



±2 LSB INL (16ビット)、  
2 ppm/°Cリファレンス電圧内蔵の  
小型16/14/12ビット I<sup>2</sup>C nanoDAC+

データシート

AD5693R/AD5692R/AD5691R/AD5693

特長

- 超小型パッケージ: 2 mm × 2 mm、8 ピン LFCSP
- 高い相対精度(INL): 16 ビットで最大±2 LSB
- AD5693R/AD5692R/AD5691R  
低ドリフト 2 ppm/°C (typ)の 2.5 V リファレンスを内蔵  
2.5 V または 5 V の出力振幅を選択可能
- AD5693  
外付けリファレンスのみ  
選択可能な振幅出力: V<sub>REF</sub> または 2 × V<sub>REF</sub>
- 総合未調整誤差(TUE): FSR の最大±0.06%
- オフセット誤差: 最大±1.5 mV
- ゲイン誤差: FSR の最大±0.05 %

- 低グリッチ: 0.1 nV-sec
- 高い駆動能力: 20 mA
- 低消費電力: 3.3 V で 1.2 mW
- 独立したロジック電源: 1.8 V~5.5 V
- 広い動作温度範囲: -40°C~+105°C
- 4 kV の HBM ESD 保護

アプリケーション

- プロセス制御
- データ・アキュジション・システム
- ゲインとオフセットのデジタル調整
- プログラマブルな電圧源
- 光モジュールのパワー制御

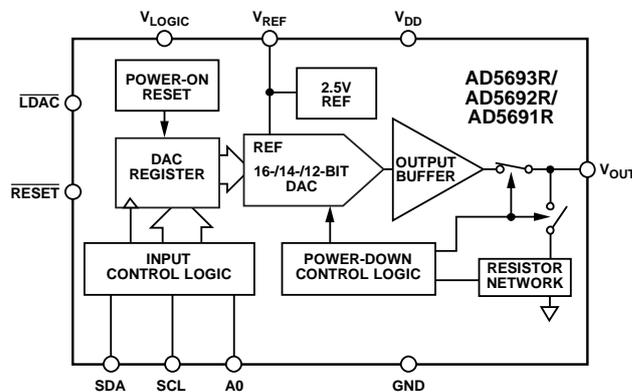
概要

nanoDAC+® ファミリーに属する AD5693R/AD5692R/AD5691R/AD5693 は、低消費電力、1 チャンネル、16/14/12 ビットのバッファ付き電圧出力 DAC です。AD5693 以外のデバイスは、デフォルトではイネーブル (動作状態) されている 2 ppm/°C ドリフトの 2.5 V リファレンス電圧を内蔵しています。出力振幅は、0 V~V<sub>REF</sub> または 0 V~2 × V<sub>REF</sub> に設定することができます。すべてのデバイスは 2.7 V~5.5 V の単電源で動作し、単調性はデザインにより保証されています。これらのデバイスは、2.00 mm × 2.00 mm の 8 ピン LFCSP パッケージまたは 10 ピン MSOP パッケージを採用しています。

内蔵のパワーオン・リセット回路により、内部出力バッファを通常モードに設定した場合、パワーアップ時に DAC レジスタにゼロ・スケールのコードが書き込まれます。AD5693R/AD5692R/AD5691R/AD5693 には消費電流を 5 V で最大 2 μA まで削減するパワーダウン・モードがあり、さらにそのときの負荷をソフトウェアから選択することができます。

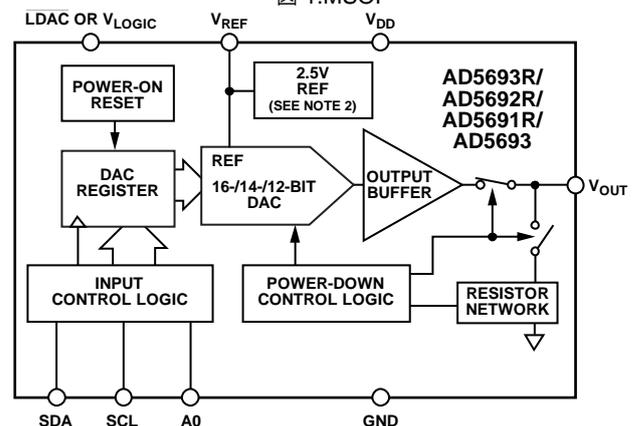
AD5693R/AD5692R/AD5691R/AD5693 は I<sup>2</sup>C インターフェースを採用しています。幾つかのデバイスには非同期の RESET ピンと V<sub>LOGIC</sub> ピンのオプションがあり、1.8 V ロジックとの互換が可能です。

機能ブロック図



12077-001

図 1. MSOP



12077-002

- NOTES
- NOT ALL PINS AVAILABLE IN ALL 8-LEAD LFCSP MODELS.
  - NOT AVAILABLE IN THE AD5693.

2. LFCSP

表 1. 関連デバイス

Interface	Reference	16-Bit	14-Bit	12-Bit
SPI	Internal	AD5683R	AD5682R	AD5681R
	External	AD5683		
I <sup>2</sup> C	Internal	AD5693R	AD5692R	AD5691R
	External	AD5693		

製品のハイライト

- 高い相対精度(INL): 最大±2 LSB (16 ビットの AD5693R/AD5693 の場合)
- 低ドリフトの 2.5 V リファレンスを内蔵: 温度係数 2 ppm/°C (typ)および 5 ppm/°C (max)
- 2 mm × 2 mm、8 ピン LFCSP または 10 ピン MSOP パッケージを採用

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許その他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	伝達関数.....	17
アプリケーション.....	1	DACアーキテクチャ.....	17
概要.....	1	シリアル・インターフェース.....	18
機能ブロック図.....	1	PCシリアル・データ・インターフェース.....	18
製品のハイライト.....	1	PCアドレス.....	18
改訂履歴.....	2	書込み動作.....	18
仕様.....	3	読出し動作.....	20
AC特性.....	5	DACのロード(ハードウェア $\overline{\text{LDAC}}$ ピン).....	21
タイミング特性.....	5	ハードウェア $\overline{\text{RESET}}$ .....	21
絶対最大定格.....	7	熱ヒステリシス.....	21
熱抵抗.....	7	パワーアップ・シーケンス.....	21
ESDの注意.....	7	レイアウトのガイドライン.....	21
ピン配置およびピン機能説明.....	8	外形寸法.....	22
代表的な性能特性.....	10	オーダー・ガイド.....	23
用語.....	16		
動作原理.....	17		
D/Aコンバータ.....	17		

## 改訂履歴

## 5/14—Rev. 0 to Rev. A

Added AD5693.....	Universal
Changes to Features, General Description, Figure 2, Table 1, and Product Highlights.....	1
Added AD5693 Parameter, Table 1 and AD5693 Parameter, Table 1.....	3
Changes to Endnote 1, Specifications Section, Table 1.....	4
Change to Total Harmonic Distortion, AC Characteristics, Table 3 and Endnote 2, Table 3.....	5
Changes to Endnote 7, Timing Characteristics, Table 4.....	5
Change to Pin 9, Description, Table 7.....	8
Changes to Figure 6 and Table 8.....	9
Change to Figure 11.....	10
Change to Figure 18.....	11
Change to the External Reference Section.....	17
Change to Figure 46.....	19
Change to Figure 48.....	20
Change to Figure 50.....	21
Changes to Ordering Guide.....	23

## 2/14—Revision 0: Initial Version

## 仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$  (GNDへ接続)、 $C_L = 200\text{ pF}$  (GNDへ接続)、 $V_{REF} = 2.5\text{ V} \sim (V_{DD} - 0.2\text{ V})$ 、 $V_{LOGIC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
STATIC PERFORMANCE <sup>1</sup>					
AD5693R					
Resolution	16			Bits	
Relative Accuracy (INL)					
A Grade			$\pm 8$	LSB	Gain = 2
B Grade			$\pm 2$	LSB	Gain = 1
Differential Nonlinearity			$\pm 3$	LSB	Gain = 1
			$\pm 1$	LSB	Guaranteed monotonic by design
AD5692R					
Resolution	14			Bits	
Relative Accuracy			$\pm 4$	LSB	
Differential Nonlinearity			$\pm 1$	LSB	Guaranteed monotonic by design
AD5691R					
Resolution	12			Bits	
Relative Accuracy					
A Grade			$\pm 2$	LSB	
B Grade			$\pm 1$	LSB	
Differential Nonlinearity			$\pm 1$	LSB	Guaranteed monotonic by design
AD5693					
Resolution	16			Bits	
Relative Accuracy (INL)					
A Grade			$\pm 2$	LSB	Gain = 2
B Grade			$\pm 3$	LSB	Gain = 1
Differential Nonlinearity			$\pm 1$	LSB	Guaranteed monotonic by design
Zero Code Error			1.25	mV	All 0s loaded to DAC register
Offset Error			$\pm 1.5$	mV	
Full-Scale Error			$\pm 0.075$	% of FSR	All 1s loaded to DAC register
Gain Error			$\pm 0.05$	% of FSR	
Total Unadjusted Error			$\pm 0.16$	% of FSR	Internal reference, gain = 1
			$\pm 0.14$	% of FSR	Internal reference, gain = 2
			$\pm 0.075$	% of FSR	External reference, gain = 1
			$\pm 0.06$	% of FSR	External reference, gain = 2
Zero Code Error Drift		$\pm 1$		$\mu\text{V}/^\circ\text{C}$	
Offset Error Drift		$\pm 1$		$\mu\text{V}/^\circ\text{C}$	
Gain Temperature Coefficient		$\pm 1$		ppm/ $^\circ\text{C}$	
DC Power Supply Rejection Ratio		0.2		mV/V	DAC code = midscale, $V_{DD} = 5\text{ V} \pm 10\%$
OUTPUT CHARACTERISTICS					
Output Voltage Range	0		$V_{REF}$	V	Gain = 0
	0		$2 \times V_{REF}$	V	Gain = 1
Capacitive Load Stability		2		nF	$R_L = \infty$
		10		nF	$R_L = 2\text{ k}\Omega$
Resistive Load	1			k $\Omega$	$C_L = 0\text{ }\mu\text{F}$
Load Regulation		10		$\mu\text{V}/\text{mA}$	$V_{DD} = 5\text{ V}$ , DAC code = midscale, $-30\text{ mA} \leq I_{OUT} \leq +30\text{ mA}$
		10		$\mu\text{V}/\text{mA}$	$V_{DD} = 3\text{ V}$ , DAC code = midscale, $-20\text{ mA} \leq I_{OUT} \leq +20\text{ mA}$
Short-Circuit Current	20		50	mA	
Load Impedance at Rails <sup>2</sup>		20		$\Omega$	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>REFERENCE OUTPUT</b>					
Output Voltage	2.4975		2.5025	V	At ambient temperature
Voltage Reference TC <sup>3</sup>					See the Terminology section
A Grade		5	20	ppm/°C	
B Grade		2	5	ppm/°C	
Output Impedance		0.05		Ω	
Output Voltage Noise		16.5		μV p-p	0.1 Hz to 10 Hz
Output Voltage Noise Density		240		nV/√Hz	At ambient temperature, f = 10 kHz, C <sub>L</sub> = 10 nF
Capacitive Load Stability		5		μF	R <sub>L</sub> = 2 kΩ
Load Regulation Sourcing		50		μV/mA	At ambient temperature, V <sub>DD</sub> ≥ 3 V
Load Regulation Sinking		30		μV/mA	At ambient temperature
Output Current Load Capability		±5		mA	V <sub>DD</sub> ≥ 3 V
Line Regulation		80		μV/V	At ambient temperature
Thermal Hysteresis		125		ppm	First cycle
		25		ppm	Additional cycles
<b>REFERENCE INPUT</b>					
Reference Current		35		μA	V <sub>REF</sub> = V <sub>DD</sub> = V <sub>LOGIC</sub> = 5.5 V, gain = 1
		57		μA	V <sub>REF</sub> = V <sub>DD</sub> = V <sub>LOGIC</sub> = 5.5 V, gain = 2
Reference Input Range <sup>4</sup>			V <sub>DD</sub>	V	
Reference Input Impedance		120		kΩ	Gain = 1
		60		kΩ	Gain = 2
<b>LOGIC INPUTS</b>					
I <sub>IN</sub> , Input Current			±1	μA	Per pin
			±3	μA	SDA and SCL pins
V <sub>INL</sub> , Input Low Voltage <sup>4</sup>			0.3 × V <sub>DD</sub>	V	
V <sub>INH</sub> , Input High Voltage <sup>4</sup>	0.7 × V <sub>DD</sub>			V	
C <sub>IN</sub> , Pin Capacitance		2		pF	
<b>LOGIC OUTPUTS (SDA)<sup>4</sup></b>					
Output Low Voltage, V <sub>OL</sub>			0.4	V	I <sub>SINK</sub> = 200 μA
Output High Voltage, V <sub>OH</sub>	V <sub>DD</sub> - 0.4			V	I <sub>SOURCE</sub> = 200 μA
Pin Capacitance		4		pF	
<b>POWER REQUIREMENTS</b>					
V <sub>LOGIC</sub> <sup>5</sup>	1.8		5.5	V	
I <sub>LOGIC</sub> <sup>5</sup>		0.25	3	μA	V <sub>IH</sub> = V <sub>LOGIC</sub> or V <sub>IL</sub> = GND
V <sub>DD</sub>	2.7		5.5	V	Gain = 1
	V <sub>REF</sub> + 1.5		5.5	V	Gain = 2
I <sub>DD</sub> <sup>6</sup>					V <sub>IH</sub> = V <sub>DD</sub> , V <sub>IL</sub> = GND
Normal Mode <sup>7</sup>		350	500	μA	Internal reference enabled
		110	180	μA	Internal reference disabled
Power-Down Modes <sup>8</sup>			2	μA	

<sup>1</sup> 直線性はコード範囲を縮小して計算: AD5693R/AD5693 (コード 512~コード 65,535)、AD5692R (コード 128~コード 16,384)、AD5691R (コード 32~コード 4096)。出力は無負荷。

<sup>2</sup> いずれかの電源レールから負荷電流を取り出すとき、その電源レールに対する出力電圧のヘッドルームは、出力デバイスのチャンネル抵抗 20 Ω (typ)により制限されます。例えば、1 mA シンクの場合、20 Ω、1 mA での最小出力電圧は 20 mV になります。詳細については、図 35 を参照してください。

<sup>3</sup> リファレンス電圧の温度係数はボックス法に準拠して計算します。詳細については、用語のセクションを参照してください。

<sup>4</sup> V<sub>LOGIC</sub> ピンを持つデバイス上では V<sub>LOGIC</sub> を V<sub>DD</sub> で置き換えてください。

<sup>5</sup> V<sub>LOGIC</sub> ピンは全モードで使用できません。

<sup>6</sup> V<sub>LOGIC</sub> ピンを使用できない場合は、I<sub>DD</sub> = I<sub>DD</sub> + I<sub>LOGIC</sub> となります。

<sup>7</sup> インターフェースは非アクティブ状態。DAC はアクティブ。DAC 出力は無負荷。

<sup>8</sup> DAC はパワーダウン。

## AC 特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$  (GNDへ接続)、 $C_L = 200\text{ pF}$  (GNDへ接続)、 $V_{REF} = 2.5\text{ V} \sim (V_{DD} - 0.2\text{ V})$ 、 $V_{LOGIC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、typ 値は  $25^\circ\text{C}$  での値、 $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。

表 3.

Parameter	Typ	Max	Unit	Conditions/Comments
Output Voltage Settling Time <sup>1,2</sup>	5	7	$\mu\text{s}$	Gain = 1
Slew Rate	0.7		$\text{V}/\mu\text{s}$	
Digital-to-Analog Glitch Impulse <sup>1</sup>	0.1		$\text{nV}\cdot\text{s}$	$\pm 1$ LSB change around major carry, gain = 2
Digital Feedthrough <sup>1</sup>	0.1		$\text{nV}\cdot\text{s}$	
Total Harmonic Distortion <sup>1</sup>	-80		dB	At ambient temperature, BW = 20 kHz, $V_{DD} = 5\text{ V}$ , $f_{OUT} = 1\text{ kHz}$
Output Noise Spectral Density <sup>1</sup>	300		$\text{nV}/\sqrt{\text{Hz}}$	DAC code = midscale, 10 kHz
Output Noise	6		$\mu\text{V p-p}$	0.1 Hz to 10 Hz; internal reference
SNR	90		dB	At ambient temperature, bandwidth (BW) = 20 kHz, $V_{DD} = 5\text{ V}$ , $f_{OUT} = 1\text{ kHz}$
SFDR	83		dB	At ambient temperature, BW = 20 kHz, $V_{DD} = 5\text{ V}$ , $f_{OUT} = 1\text{ kHz}$
SINAD	80		dB	At ambient temperature, BW = 20 kHz, $V_{DD} = 5\text{ V}$ , $f_{OUT} = 1\text{ kHz}$

<sup>1</sup>用語のセクションを参照してください。

<sup>2</sup>AD5693R/AD5693 では  $\pm 2$  LSB へ。AD5692R では  $\pm 1$  LSB へ。AD5691R では  $\pm 0.5$  LSB へ。

## タイミング特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{LOGIC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。

表 4.

Parameter <sup>1</sup>	Min	Typ	Max	Unit	Description
$f_{SCL}$ <sup>2</sup>			400	kHz	Serial clock frequency
$t_1$	0.6			$\mu\text{s}$	SCL high time, $t_{HIGH}$
$t_2$	1.3			$\mu\text{s}$	SCL low time, $t_{LOW}$
$t_3$	100			ns	Data setup time, $t_{SU, DAT}$
$t_4$ <sup>3</sup>	0		0.9	$\mu\text{s}$	Data hold time, $t_{HD, DAT}$
$t_5$	0.6			$\mu\text{s}$	Setup time for a repeated start condition, $t_{SU, STA}$
$t_6$	0.6			$\mu\text{s}$	Hold time (repeated) start condition, $t_{HD, STA}$
$t_7$	1.3			$\mu\text{s}$	Bus free time between a stop and a start condition, $t_{BUF}$
$t_8$	0.6			$\mu\text{s}$	Setup time for a stop condition, $t_{SU, STO}$
$t_9$	20		300	ns	Rise time of SDA signal, $t_r$
$t_{10}$ <sup>4</sup>	$20 \times (V_{DD}/5.5\text{ V})$		300	ns	Fall time of SDA signal, $t_f$
$t_{11}$	20		300	ns	Rise time of SCL signal, $t_r$
$t_{12}$ <sup>4</sup>	$20 \times (V_{DD}/5.5\text{ V})$		300	ns	Fall time of SCL signal, $t_f$
$t_{SP}$ <sup>5</sup>	0		50	ns	Pulse width of suppressed spike (not shown in Figure 3)
$t_{13}$	400			ns	LDAC falling edge to SCL falling edge
$t_{14}$	400			ns	LDAC pulse width (synchronous mode)
$t_{15}$	20			ns	LDAC pulse width (asynchronous mode)
$t_{16}$	75			ns	RESET pulse width
$t_{REF\_POWER\_UP}$ <sup>6</sup>		600		$\mu\text{s}$	Reference power-up (not shown in Figure 3)
$t_{SHUTDOWN}$ <sup>7</sup>			6	$\mu\text{s}$	Exit shutdown (not shown in Figure 3)

<sup>1</sup>最大バス容量負荷は 400 pF に制限されています。すべての入力信号は  $t_r = t_f = 1\text{ ns/V}$  ( $V_{DD}$  の 10% から 90%) で規定し、 $(V_{IL} + V_{IH})/2$  の電圧レベルからの時間とします。

<sup>2</sup>SDA と SCL のタイミングは、入力フィルタをイネーブルして測定。入力フィルタを切り離すと、転送レートは向上しますが、デバイスの EMC 動作に悪影響があります。

<sup>3</sup>SCL の立下がりエッジの不定領域を避けるため、マスター・デバイスは、SDA 信号に最小 300 ns を追加する必要があります(SCL 信号の  $V_{OH}(\text{min})$  を基準として)。

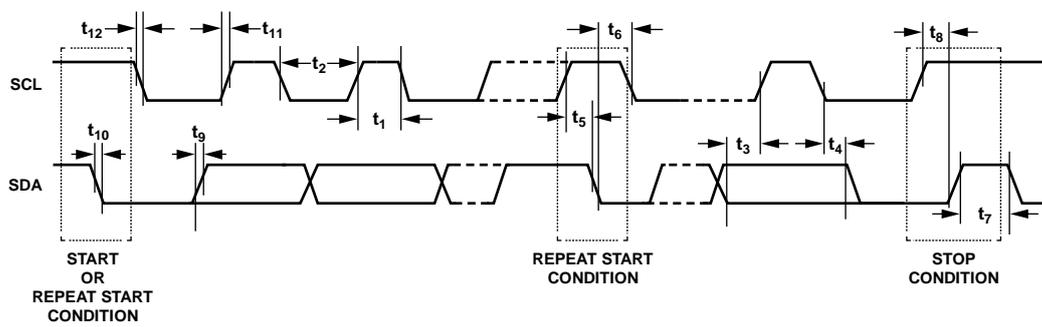
<sup>4</sup> $V_{LOGIC}$  ピンを持つデバイス上では  $V_{DD}$  を  $V_{LOGIC}$  で置き換えて計算してください。

<sup>5</sup>標準モードには適用しません。

<sup>6</sup> $V_{DD} = 2.7\text{ V}$  の後にデバイス電源を投入する際、同じタイミングが期待されず。

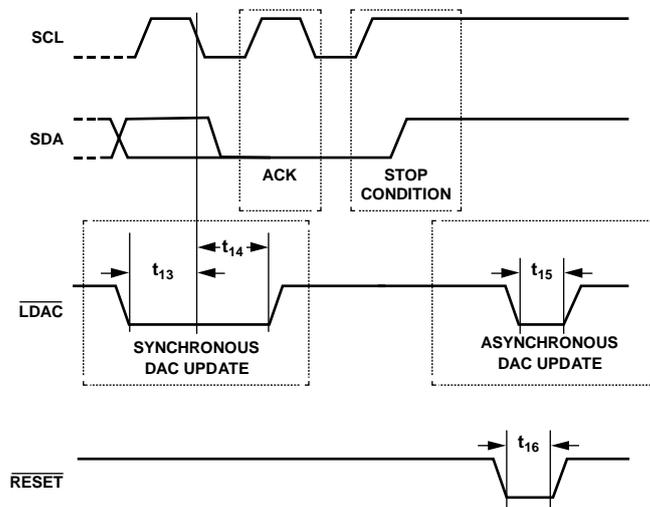
<sup>7</sup>パワーダウン動作モードを終わり AD5693R/AD5692R/AD5691R/AD5693 の通常動作モードまでの時間。

タイミング図



12077-003

図 3. I<sup>2</sup>C シリアル・インターフェースのタイミング図



12077-004

図 4. I<sup>2</sup>C RESET と LDAC のタイミング

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 5.

Parameter	Rating
$V_{DD}$ to GND	-0.3 V to +7 V
$V_{LOGIC}$ to GND	-0.3 V to +7 V
$V_{OUT}$ to GND	-0.3 V to $V_{DD} + 0.3$ V or +7 V (whichever is less)
$V_{REF}$ to GND	-0.3 V to $V_{DD} + 0.3$ V or +7 V (whichever is less)
Digital Input Voltage to GND <sup>1</sup>	-0.3 V to $V_{DD} + 0.3$ V or +7 V (whichever is less)
Operating Temperature Range	
Industrial	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature ( $T_J$ max)	135°C
Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$
ESD <sup>2</sup>	4 kV
FICDM <sup>3</sup>	1.25 kV

<sup>1</sup>  $V_{LOGIC}$  ピンを持つデバイス上では  $V_{DD}$  を  $V_{LOGIC}$  で置き換えてください。

<sup>2</sup> 人体モデル (HBM)。

<sup>3</sup> Field-Induced Charged Device Model の分類。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上の製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

## 熱抵抗

$\theta_{JA}$  は JEDEC JESD51 規格により定義され、値はテスト・ボードとテスト環境に依存します。

表 6.熱抵抗<sup>1</sup>

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
8-Lead LFCSP	90	25	°C/W
10-Lead MSOP	135	N/A	°C/W

<sup>1</sup> JEDEC 2S2P テスト・ボード、自然空冷(0 m/sec の空気流)。

## ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

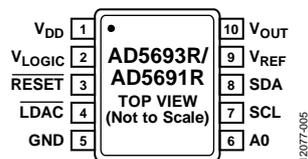


図 5.10 ピン MSOP のピン配置

表 7. ピン機能説明、10 ピン MSOP

ピン番号	記号	説明
1	V <sub>DD</sub>	電源入力。これらのデバイスは 2.7 V～5.5 V で動作することができます。電源は GND へデカップリングしてください。
2	V <sub>LOGIC</sub>	デジタル電源。電圧範囲は 1.8 V～5.5 V。この電源は GND へデカップリングしてください。
3	RESET	ハードウェア <b>エラー! ブックマークが定義されていません。</b> ・リセット・ピン。 <b>RESET</b> 入力はロー・レベル検出です。 <b>RESET</b> がロー・レベルになると、デバイスがリセットされ、他の外部ピン入力は無視されます。入力レジスタと DAC レジスタにはゼロ・スケール・コード値が書き込まれ、コントロール・レジスタにはデフォルト値が設定されます。このピンを使用しない場合は、V <sub>LOGIC</sub> へ接続してください。
4	LDAC	DAC のロード。入力レジスタ値を DAC レジスタへ転送します。このピンは、非同期と同期の 2 つのモードで動作することができます(図 4 参照)。このピンはロー・レベルに固定することができます。このときは新しいデータが入力レジスタに書き込まれると、DAC が更新されます。
5	GND	グラウンド基準。
6	A0	複数のパッケージをデコードするためのプログラマブルなアドレス設定ピン。アドレス・ピンは随時更新することができます。
7	SCL	シリアル・クロック・ライン。
8	SDA	シリアル・データ入力/出力。
9	V <sub>REF</sub>	リファレンス電圧入力/出力。AD5693R/AD5691R では、デフォルトでこのピンがリファレンス出力ピンになります。内蔵リファレンスに対して 10 nF のデカップリング・コンデンサの使用が推奨されます。
10	V <sub>OUT</sub>	DAC からのアナログ出力電圧。出力アンプはレール to レールで動作します。

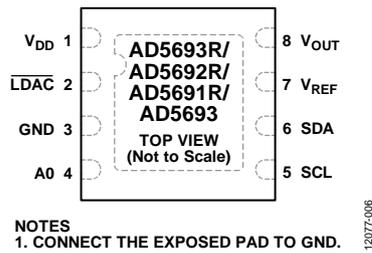


図 6.ピン配置、8 ピン LFCSP、 $\overline{\text{LDAC}}$  オプション

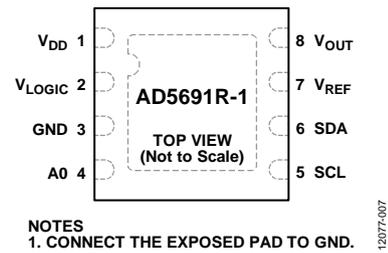


図 7.ピン配置、8 ピン LFCSP、 $V_{\text{LOGIC}}$  オプション

表 8.ピン機能説明、8 ピン LFCSP

ピン番号		記号	説明
$\overline{\text{LDAC}}$	$V_{\text{LOGIC}}$		
1	1	$V_{\text{DD}}$	電源入力。これらのデバイスは 2.7 V~5.5 V で動作することができます。電源は GND へデカップリングしてください。
2	N/A	$\overline{\text{LDAC}}$	DAC のロード。入力レジスタ値を DAC レジスタへ転送します。このピンは、非同期と同期の 2 つのモードで動作することができます(図 4 参照)。このピンはロー・レベルに固定することができます。このときは新しいデータが入力レジスタに書き込まれると、DAC が更新されます。
N/A	2	$V_{\text{LOGIC}}$	デジタル電源。電圧範囲は 1.8 V~5.5 V。この電源は GND へデカップリングしてください。
3	3	GND	グラウンド基準。
4	4	A0	複数のパッケージをデコードするためのプログラマブルなアドレス設定ピン。アドレス・ピンは随時更新することができます。
5	5	SCL	シリアル・クロック・ライン。
6	6	SDA	シリアル・データ入力/出力。
7	7	$V_{\text{REF}}$	リファレンス電圧入力/出力。AD5693R/AD5692R/AD5691R では、デフォルトでこのピンがリファレンス出力ピンになります。内蔵リファレンスに対して 10 nF のデカップリング・コンデンサの使用が推奨されます。
8	8	$V_{\text{OUT}}$ EPAD	DAC からのアナログ出力電圧。出力アンプはレール to レールで動作します。 エクスポーズド・パッド (金属面パッド)。エクスポーズド・パッドは GND へ接続してください。

代表的な性能特性

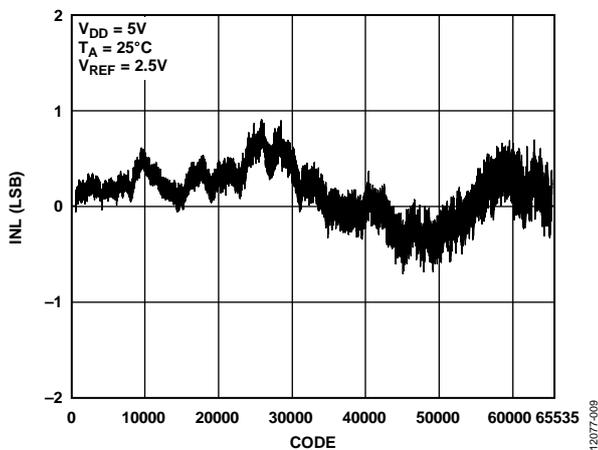


図 8.AD5693R/AD5693 INL

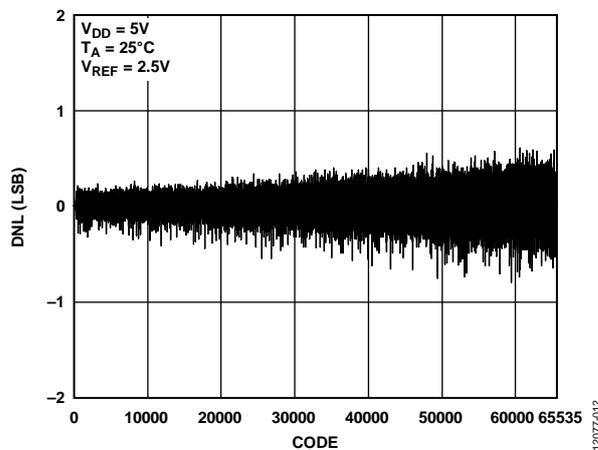


図 11.AD5693R/AD5693 DNL

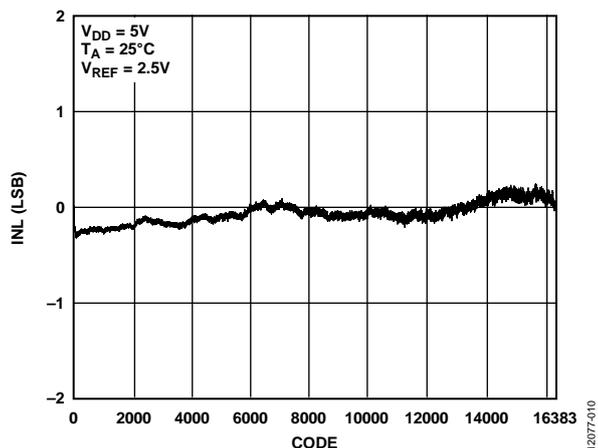


図 9.AD5692R INL

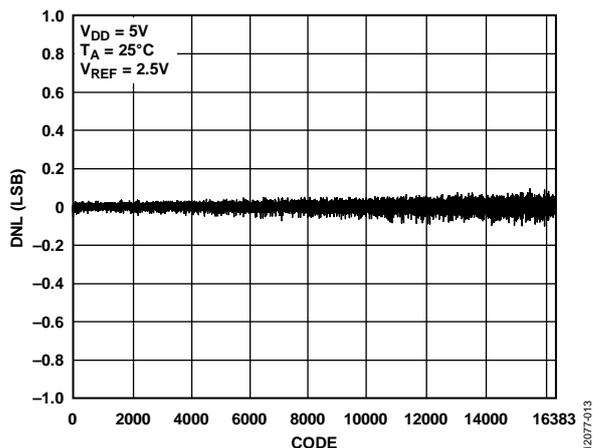


図 12.AD5692R DNL

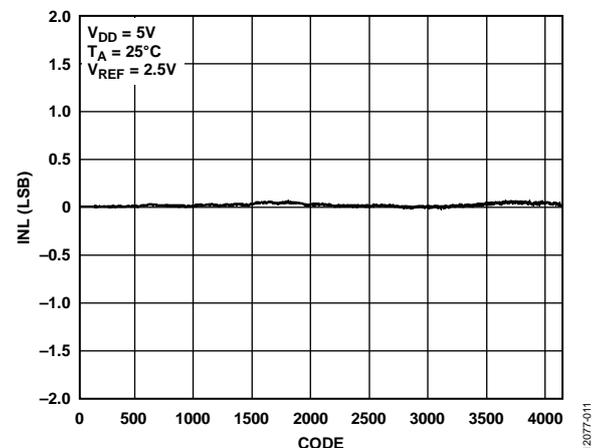


図 10.AD5691R INL

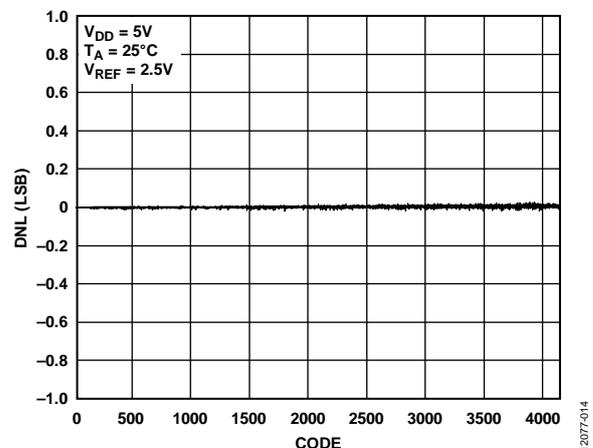


図 13.AD5691R DNL

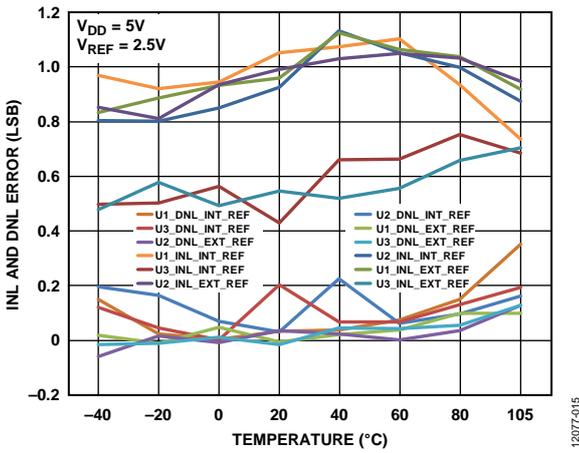


図 14. INL 誤差および DNL 誤差の温度特性(AD5693R/AD5693)

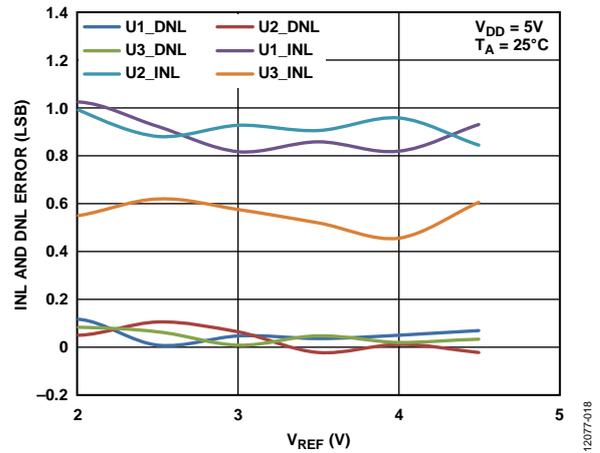


図 17. V<sub>REF</sub> 対 INL 誤差および DNL 誤差 (AD5693R/AD5693)

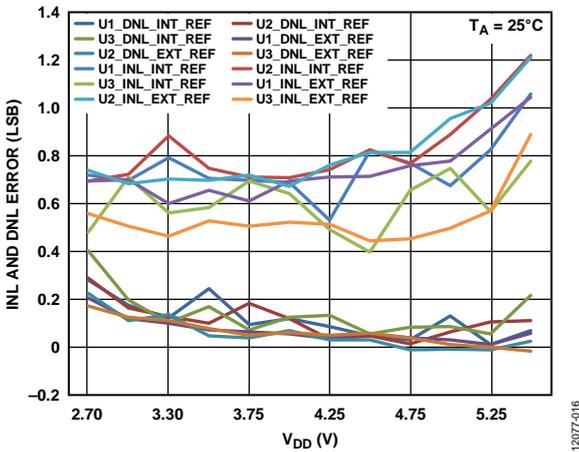


図 15. V<sub>DD</sub> 対 INL 誤差および DNL 誤差

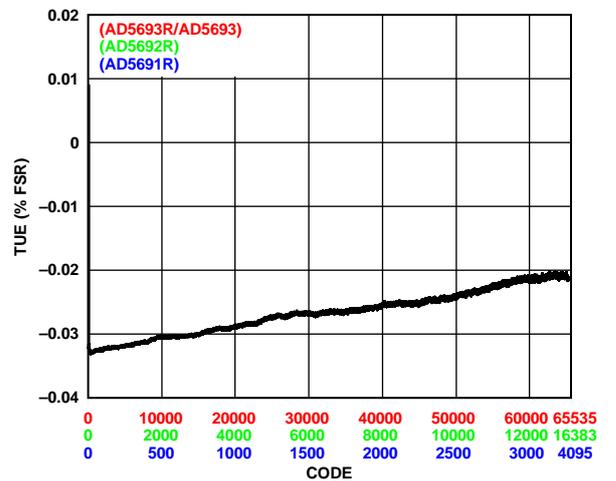


図 18. コード対 TUE

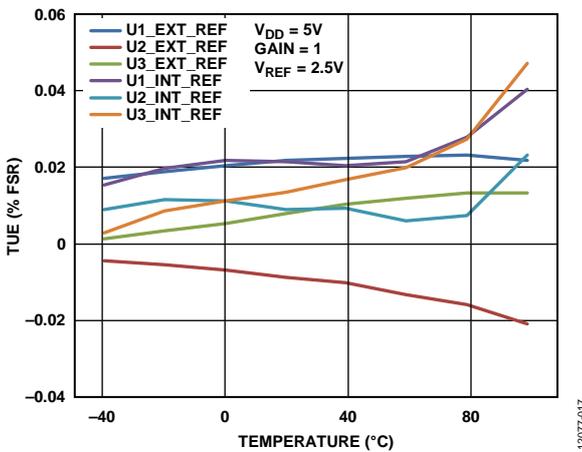


図 16. TUE の温度特性

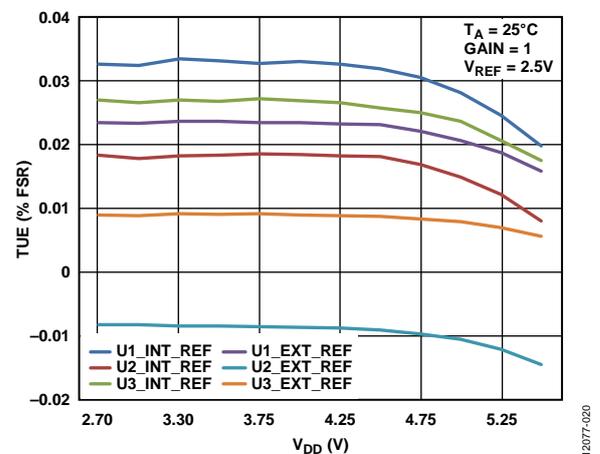


図 19. V<sub>DD</sub> 対 TUE

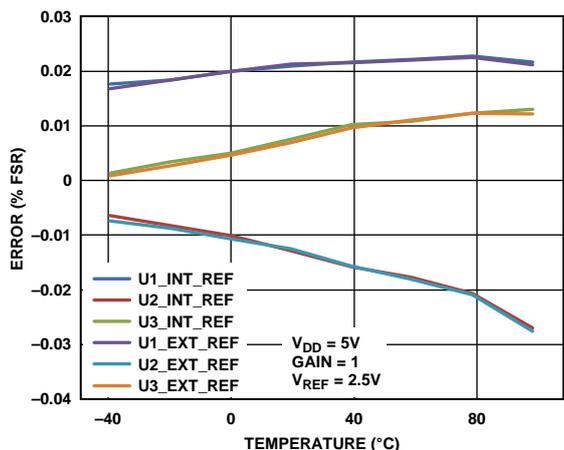


図 20. ゲイン誤差とフルスケール誤差の温度特性

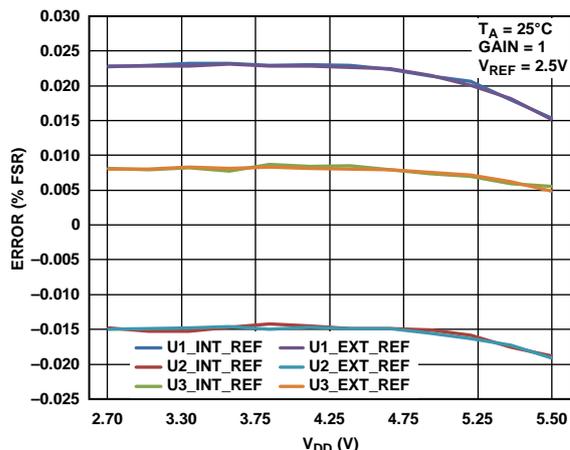


図 23. V<sub>DD</sub> 対ゲイン誤差およびフルスケール誤差

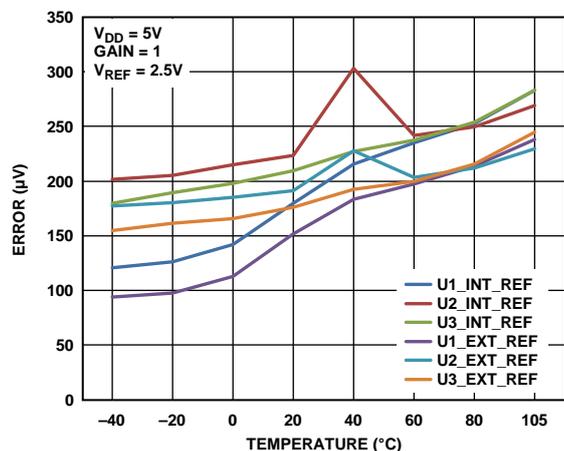


図 21. ゼロ・コード誤差およびオフセット誤差の温度特性

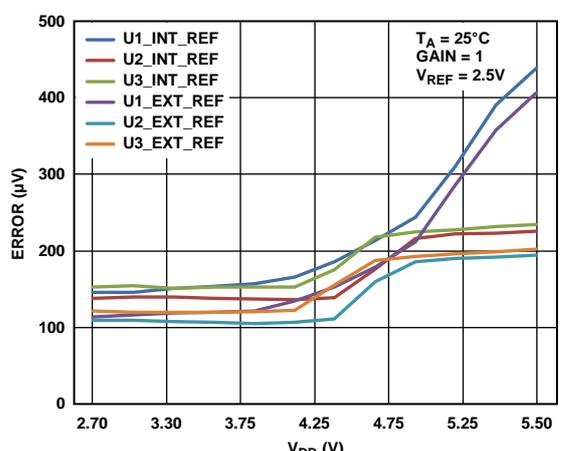


図 24. V<sub>DD</sub> 対ゼロ・コード誤差およびオフセット誤差

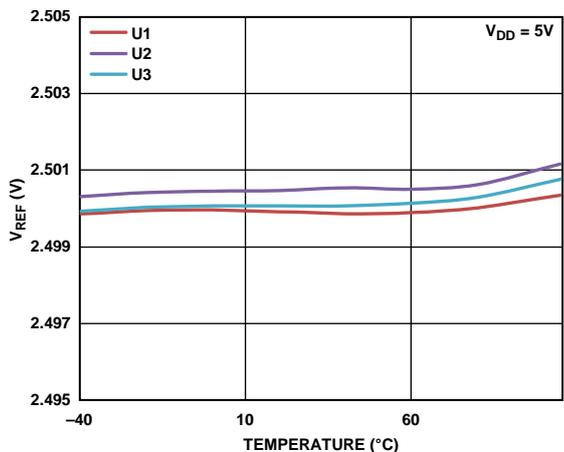


図 22. 内蔵リファレンス電圧の温度特性(グレード B)

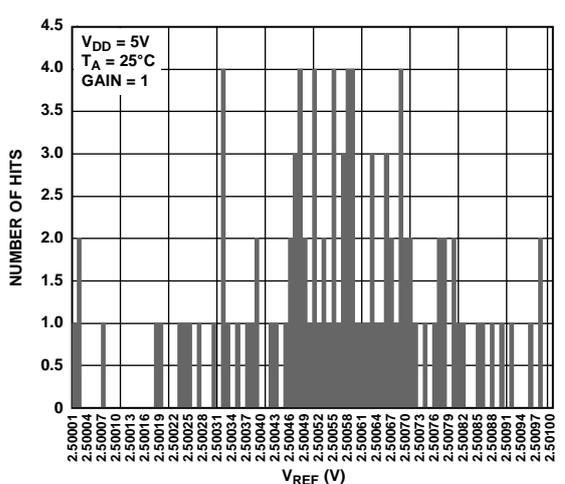


図 25. リファレンス出力電圧の分布

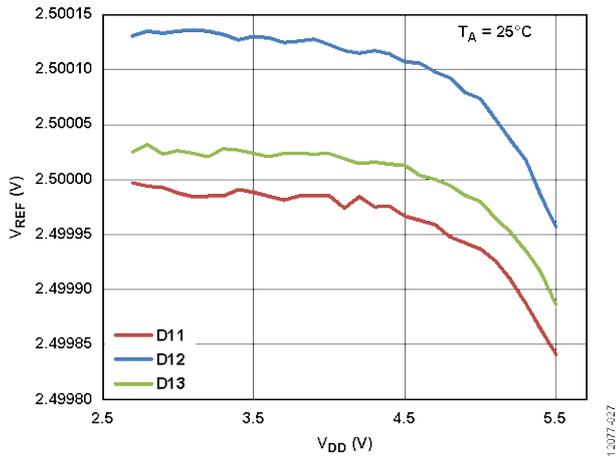


図 26.  $V_{DD}$  対内蔵リファレンス電圧

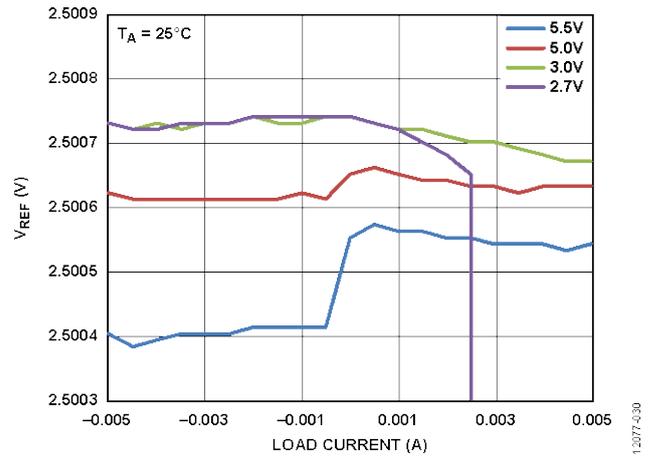


図 29. 負荷電流対内蔵リファレンス電圧

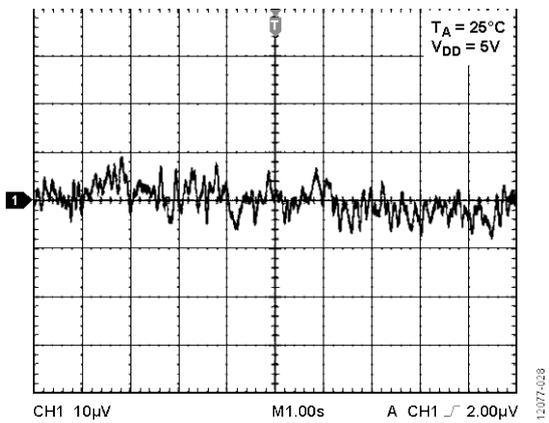


図 27. 内蔵リファレンスのノイズ、0.1 Hz~10 Hz

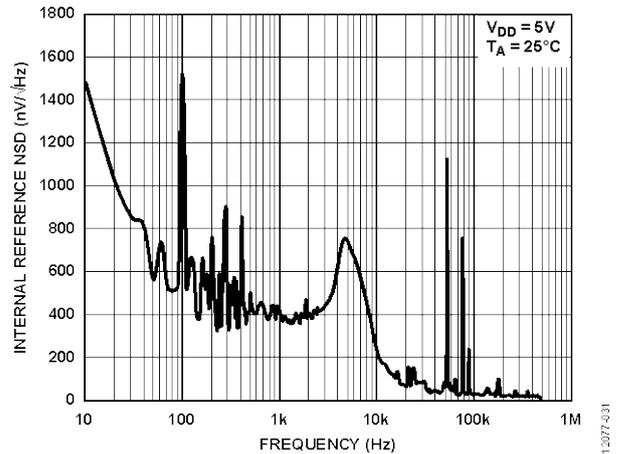


図 30. 内蔵リファレンス・ノイズ・スペクトル密度の周波数特性

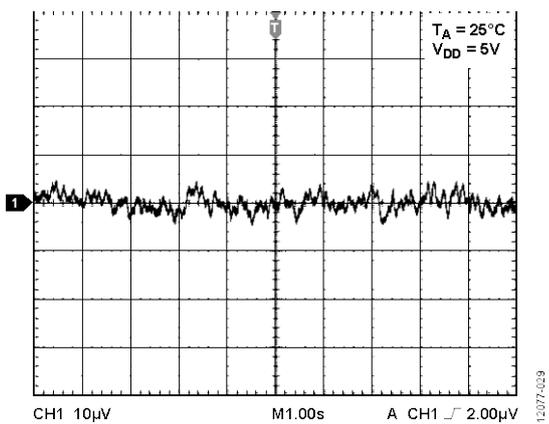


図 28. 0.1 Hz~10 Hz での出力ノイズ・プロット  
内蔵リファレンス電圧使用

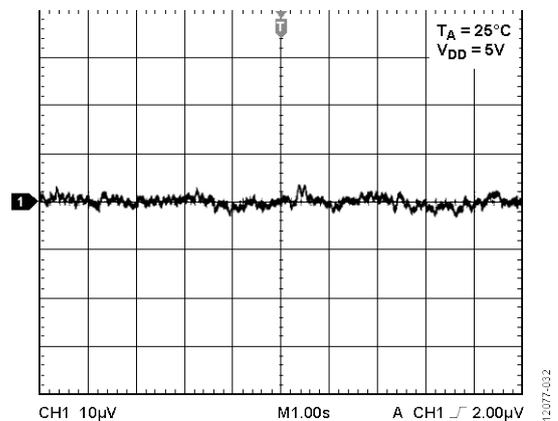


図 31. 0.1 Hz~10 Hz での出力ノイズ・プロット  
外付けリファレンス電圧使用

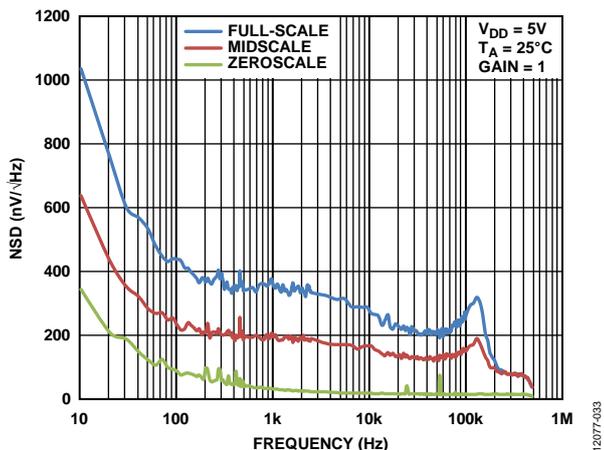


図 32. ノイズ・スペクトル密度の周波数特性、ゲイン = 1

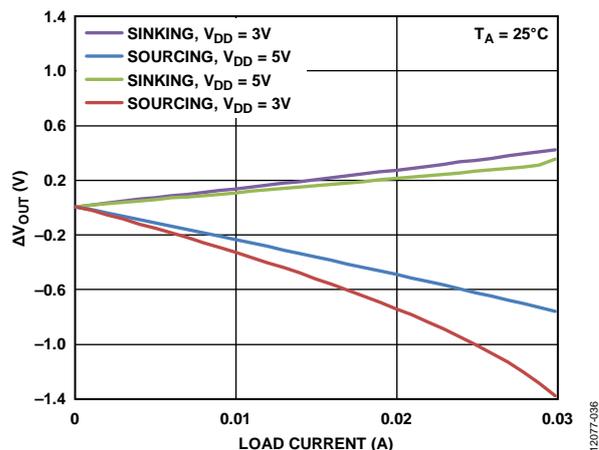


図 35. 負荷電流対ヘッドルーム/フットルーム

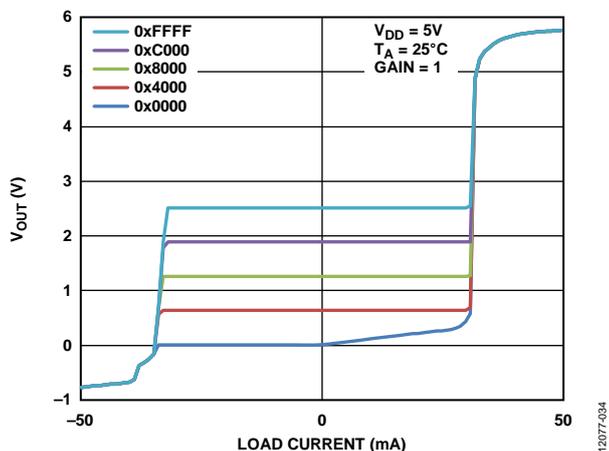


図 33. ソース能力とシンク能力、ゲイン = 1

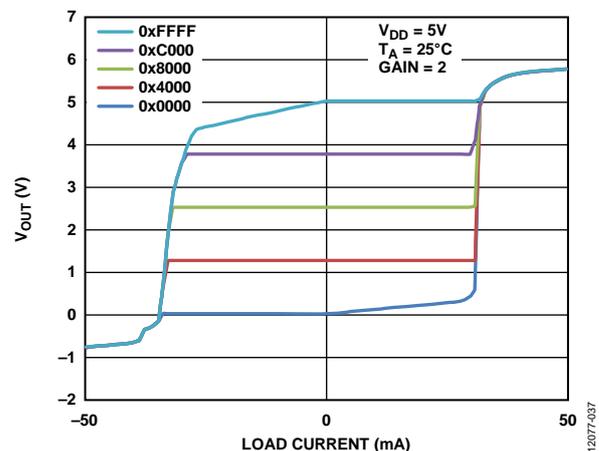


図 36. ソース能力とシンク能力、ゲイン = 2

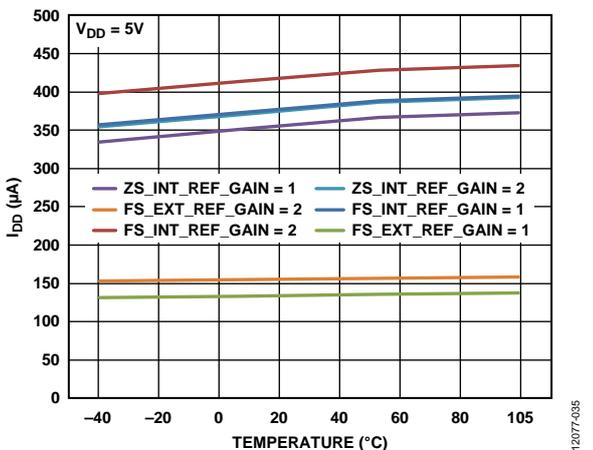


図 34.  $I_{DD}$  の温度特性

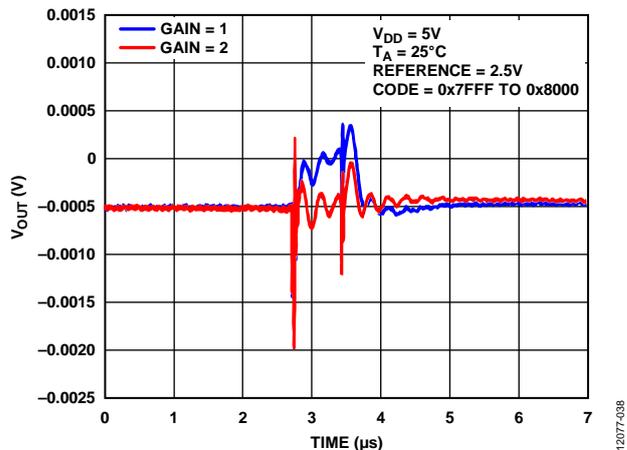


図 37. デジタルからアナログへのグリッチ・インパルス

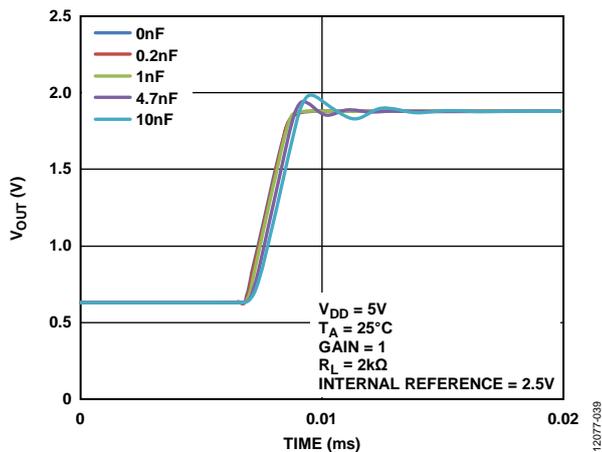


図 38.セトリング・タイム対容量負荷、ゲイン = 1

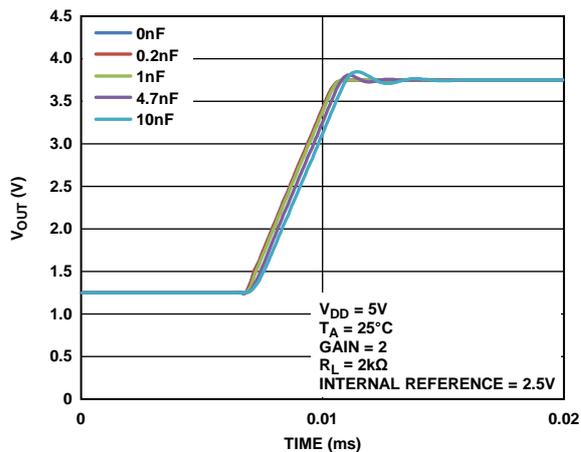


図 41.セトリング・タイム対容量負荷、ゲイン = 2

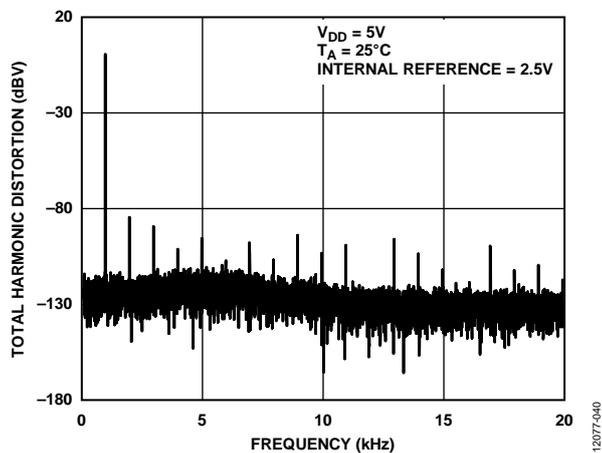


図 39.全高調波歪み、1 kHz

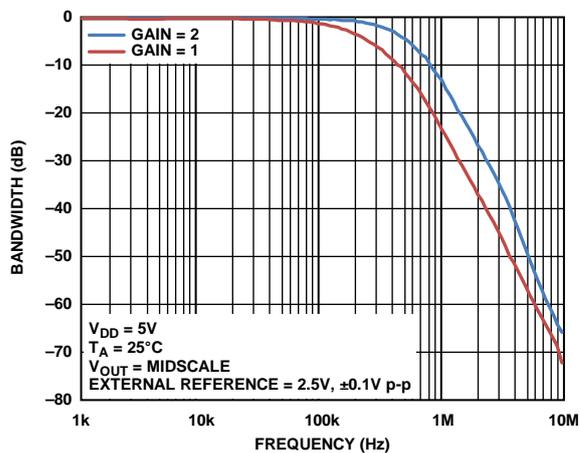


図 42.乗算帯域幅  
外付けリファレンス電圧 = 2.5 V、±0.1 V p-p  
10 kHz~10 MHz

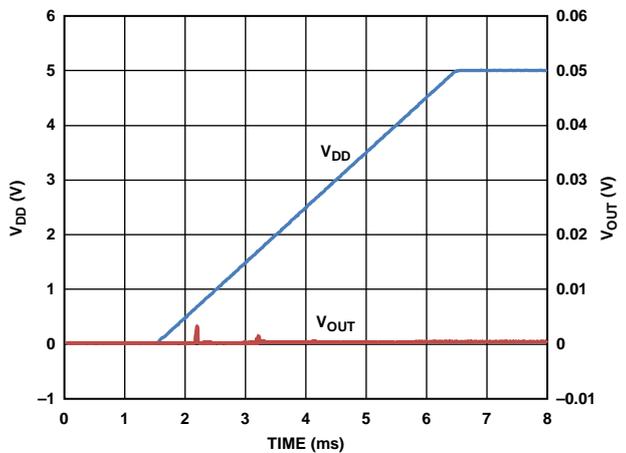


図 40.0 V へのパワーオン・リセット

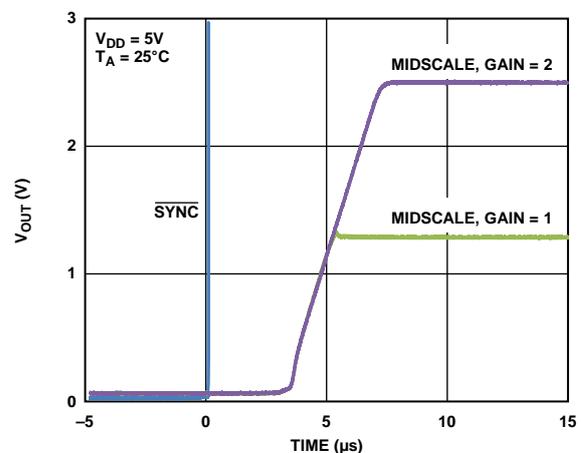


図 43.パワーダウン終了時のミッドスケール出力

## 用語

### 相対精度または積分非直線性(INL)

DAC の場合、相対精度すなわち積分非直線性は、DAC 伝達関数の上下両端を結ぶ直線からの最大のずれ(LSB 数で表示)を表します。INL (typ)対コードのプロットについては、図 8、図 9、図 10 を参照してください。

### 微分非直線性(DNL)

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB との差をいいます。最大±1 LSB の微分非直線性の規定により、単調性が保証されます。この DAC はデザインにより単調性を保証しています。DNL (typ)対コードのプロットについては、図 11、図 12、図 13 を参照してください。

### ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コード(0x0000)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には、出力が 0 V です。ゼロ・コードでの誤差は AD5693R/AD5692R/AD5691R/AD5693 では常にプラス電圧です。これは、DAC と出力アンプのオフセット誤差の組み合わせによって DAC 出力が 0 V より低くなることができないためです。ゼロ・コード誤差は mV で表します。ゼロ・コード誤差のプロットについては、図 21 と図 24 を参照してください。

### フルスケール誤差

フルスケール誤差は、フルスケール・コード(0xFFFF)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には出力は  $V_{Ref} - 1 \text{ LSB}$  あるいは  $2 \times V_{Ref} - 1 \text{ LSB}$  である必要があります。フルスケール誤差はフルスケール範囲のパーセント値で表します。フルスケール誤差の温度特性については、図 20 と図 23 を参照してください。

### ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。理論 DAC 伝達特性傾斜からの変位を表し、FSR の % で表示されます。

### ゼロ・コード誤差ドリフト

ゼロ・コード誤差ドリフトは、温度変化によるゼロ・コード誤差の変化を表し、 $\mu\text{V}/^\circ\text{C}$  で表されます。

### ゲイン温度係数

ゲイン温度係数は、温度変化に対するゲイン誤差の変化を表し、FSR/ $^\circ\text{C}$  の ppm で表されます。

### オフセット誤差

オフセット誤差は、伝達関数の直線領域での  $V_{OUT}$  (実測値)と  $V_{OUT}$  (理論)の差を表し、mV で表示されます。オフセット誤差は、DAC レジスタに AD5693R ではコード 512 を、AD5692R ではコード 256 を、AD5693R/AD5693 ではコード 128 をそれぞれロードして、測定されています。この誤差は正または負になります。

### DC 電源除去比(PSRR)

PSRR は、電源電圧変化の DAC 出力に対する影響を表します。PSRR は、DAC フルスケール出力での、 $V_{OUT}$  変化の  $V_{DD}$  変化に対する比です。これは mV/V で測定されます。 $V_{REF}$  を 2 V に維持して、 $V_{DD}$  を ±10% 変化させます。

### 出力電圧セトリング・タイム

1/4 フルスケールから 3/4 フルスケールへの入力変化に対して、DAC 出力が規定のレベル内に安定するために要する時間を表します。

### デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV-sec で表すグリッチの面積として規定され、デジタル入力コードが 1 LSB ステップだけ変化するメジャーキャリヤ遷移時に(0x7FFF から 0x8000)、測定されます。

### デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。nV-sec で規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定されます。

### ノイズ・スペクトル密度

ノイズ・スペクトル密度は、内部で発生するランダム・ノイズの大きさを表します。ランダム・ノイズは、スペクトル密度 (nV/ $\sqrt{\text{Hz}}$ )として特性評価されます。DAC にミッドスケールを入力し、出力のノイズを測定して nV/ $\sqrt{\text{Hz}}$  で表します。ノイズ・スペクトル密度のプロットについては、図 28、図 31、図 32 を参照してください。リファレンスのノイズ・スペクトル密度を図 27 と図 30 に示します。

### 乗算帯域幅

DAC 内のアンプは有限な帯域幅を持っています。乗算帯域幅は、これらの有限帯域幅を表します。リファレンス上の正弦波 (DAC にはフルスケール・コードをロード)は、出力に現われます。乗算帯域幅は、出力振幅が入力より 3 dB 小さくなる周波数で表します。

### 全高調波歪み(THD)

THD は、理想的な正弦波と DAC を使ったために歪んだ正弦波との差を表します。DAC に対してリファレンスとして正弦波を使ったときに、DAC 出力に現われる高調波との比が THD になります。dB 値で表示します。

### リファレンス電圧温度係数 (TC)

温度変化に対するリファレンス出力電圧の変化を意味し、リファレンス TC はボックス法を使って計算されます。この方法では、与えられた温度範囲でのリファレンス出力の最大変化として TC を定義し、次式のように ppm/ $^\circ\text{C}$  で表わします。

$$TC = \left[ \frac{V_{REFmax} - V_{REFmin}}{V_{REFnom} \times \text{TempRange}} \right] \times 10^6$$

ここで、

$V_{REFmax}$  は全温度範囲で測定した最大リファレンス出力。

$V_{REFmin}$  は全温度範囲で測定した最小リファレンス出力。

$V_{REFnom}$  は公称リファレンス出力電圧、2.5 V。

$\text{TempRange}$  は規定の温度範囲、 $-40^\circ\text{C} \sim +105^\circ\text{C}$ 。

## 動作原理

### D/A コンバータ

AD5693R/AD5692R/AD5691R/AD5693 は、シングル 16 ビット、14 ビット、12 ビット、シリアル入力の電圧出力 DAC で、2.5 V のリファレンス電圧を内蔵しています。これらのデバイスは 2.7 V~5.5 V の電源電圧で動作します。データは、I<sup>2</sup>C シリアル・インターフェースを使用して 24 ビット・ワード・フォーマットで AD5693R/AD5692R/AD5691R/AD5693 へ書込まれます。

AD5693R/AD5692R/AD5691R/AD5693 は、パワーオン・リセット回路を内蔵しており、この回路により、パワーアップ時に DAC 出力をゼロ・スケールにすることができます。これらのデバイスは、消費電流を最大 2 μA まで減少させるソフトウェア・パワーダウン・モードも持っています。

### 伝達関数

内蔵リファレンスは、デフォルトでオンになっています。DAC の入力コード形式は、ストレート・バイナリです。理論的な出力電圧は次式で与えられます。

AD5693R/AD5693 の場合、

$$V_{OUT}(D) = \text{ゲイン} \times V_{REF} \times \left[ \frac{D}{65,536} \right]$$

AD5692R の場合、

$$V_{OUT}(D) = \text{ゲイン} \times V_{REF} \times \left[ \frac{D}{16,384} \right]$$

AD5691R の場合、

$$V_{OUT}(D) = \text{ゲイン} \times V_{REF} \times \left[ \frac{D}{4096} \right]$$

ここで、

$D$  は DAC レジスタにロードされるバイナリ・コードの 10 進数表示。

$\text{Gain}$  は、出力アンプのゲインで、デフォルトで  $\times 1$  に設定されます。ゲインは、コントロール・レジスタのゲイン・ビットを使って  $\times 2$  に設定することもできます。

### DAC アーキテクチャ

AD5693R/AD5692R/AD5691R/AD5693 ではセグメント化したストリング DAC アーキテクチャを採用し、出力バッファ・アンプを内蔵しています。図 44 に内部ブロック図を示します。

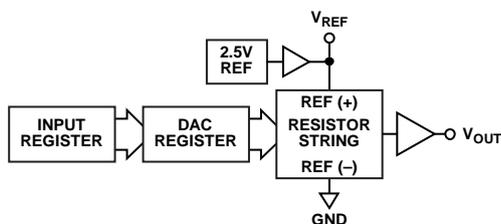


図 44. DAC チャンネル・アーキテクチャのブロック図

セグメント化抵抗ストリング DAC の簡略化した構造を図 45 に示します。DAC レジスタにロードされるコードにより、出力バッファに接続されたストリングのオンになるスイッチが決定されます。

ストリングの各抵抗は同じ値  $R$  を持つため、ストリング DAC の単調性が保証されます。

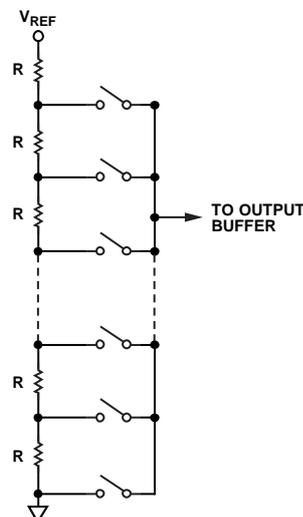


図 45. 簡略化した抵抗ストリング構造

### 内蔵リファレンス電圧

AD5693R/AD5692R/AD5691R の内蔵リファレンスはパワーアップ時にオンになりますが、コントロール・レジスタへの書込みによりディスエーブル（オフ）することができます。

AD5693R/AD5692R/AD5691R は 2.5 V、2 ppm/°C のリファレンス電圧を内蔵し、ゲイン・ビットの状態に応じて DAC は、2.5 V または 5 V のフルスケール出力になります。

内蔵リファレンス電圧は  $V_{REF}$  ピンに出力されます。このバッファ付きリファレンス電圧は、最大 5 mA の外部負荷を駆動することができます。

### 外付けリファレンス電圧

$V_{REF}$  ピンは、AD5693 では入力ピンです。AD5693R/AD5692R/AD5691R の  $V_{REF}$  ピンは入力ピンに設定することもできるため、アプリケーションで外付けリファレンス動作が必要な場合これを使用することができます。

AD5693R/AD5692R/AD5691R の内蔵リファレンスは、デフォルトでパワーアップ時にオンになっています。外付けリファレンスをピンに接続する前に、コントロール・レジスタの REF ビット（ビット DB12）に書込みを行って、内蔵リファレンスをディスエーブルしてください。

### 出力バッファ

出力バッファは入力/出力レール to レール・バッファとしてデザインされており、最大出力電圧範囲は  $V_{DD}$  までです。ゲイン・ビットにより、セグメント化ストリング DAC のゲインを  $\times 1$  または  $\times 2$  に設定します（表 12 参照）。

出力バッファは、10 nF の容量と 2 kΩ の抵抗の並列接続を駆動することができます（図 38 と 図 41 参照）。容量負荷を大きくする場合は、スナバ回路またはシャント抵抗を使って出力アンプから負荷をアイソレーションしてください。スルーレートは 0.7 V/μs であり、1/4 スケールから 3/4 スケールまでのセトリング・タイムは 5 μs です。

## シリアル・インターフェース

AD5693R/AD5692R/AD5691R/AD5693は、I<sup>2</sup>C互換の2線式シリアル・インターフェースを内蔵しています。これらのデバイスは、マスター・デバイスから制御されるスレーブ・デバイスとしてI<sup>2</sup>Cバスに接続することができます。図3に、代表的な書込みシーケンスのタイミング図を示します。

AD5693R/AD5692R/AD5691R/AD5693は、標準(100 kHz)と高速(400 kHz)のデータ転送モードをサポートしています。10ビット・アドレッシングとジェネラル・コール・アドレッシングはサポートされていません。

### I<sup>2</sup>C シリアル・データ・インターフェース

2線式シリアル・バス・プロトコルは、次のように動作します。

1. マスターはスタート条件を設定してデータ転送を開始します。このスタート条件は、SCL がハイ・レベルの間に SDA ラインがハイ・レベルからロー・レベルへ変化することと定義されます。次のバイトはアドレス・バイトで、7 ビットのスレーブ・アドレスから構成されています。送信されたアドレスに該当するスレーブ・アドレスのデバイスは、9 番目のクロック・パルスで、SDA をロー・レベルにして応答します(これはアクノリッジ(ACK)ビットと呼ばれます)。選択されたデバイスがシフトレジスタにデータを読み書きする間、バス上の他の全デバイスはアイドル状態を維持します。
2. データは、9 個のクロック・パルスで 8 ビットのデータとそれに続くアクノリッジ・ビットの順にシリアル・バス上を伝送します。SDA ラインは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります。
3. 全データビットの読出しまたは書込みが終了すると、ストップ条件が設定されます。書込みモードでは、マスターが 10 番目のクロック・パルスで SDA ラインをハイ・レベルに引き上げて、ストップ条件を設定します。読出しモードでは、マスターは 9 番目のクロック・パルスでアクノリッジを発行しません(SDA ラインがハイ・レベルを維持)。この後、マスターは SDA ラインをロー・レベルにして、10 番目のクロック

ク・パルスがハイ・レベルになるときストップ条件を設定します。

### I<sup>2</sup>C アドレス

AD5693R/AD5692R/AD5691R/AD5693は、7ビットのスレーブ・アドレスを持っています。上位5ビットは10011固定です。最後から2番目のビットはA0アドレス・ピンの状態で設定され、LSBは0に設定されます。A0をハード・ワイヤー接続で変更する機能を使うと、表9に示すように、1つのバスにこれらのデバイスを2個接続することができます。さらに、送信を開始する前にピンを更新できるため、このピンをGPIOまたはマルチプレクサに接続することにより、同じバス上で複数のデバイス制御が可能になります。

表 9. デバイス・アドレスの指定

A0 Pin Connection	A0	I <sup>2</sup> C Address
GND	0	1001100
V <sub>LOGIC</sub> (V <sub>DD</sub> on LFCSP Package)	1	1001110

### 書込み動作

AD5693R/AD5692R/AD5691R/AD5693へ書込みを行うときは、まずスタート条件を送信し、続いてアドレス・バイト(R/W = 0)を送信します。その後に DAC は SDA をロー・レベルにして、データ受信の準備ができたことを通知します(図 46 参照)。AD5693R/AD5692R/AD5691R/AD5693は、種々の DAC 機能を制御するコマンド・バイト(表 10 参照)と 2 バイトの DAC データを必要とします。これらの全データバイトは、AD5693R/AD5692R/AD5691R/AD5693によりそれぞれアクノリッジが送り返されます。この後に、ストップ条件が続きます。書込みシーケンスを図 46 に示します。

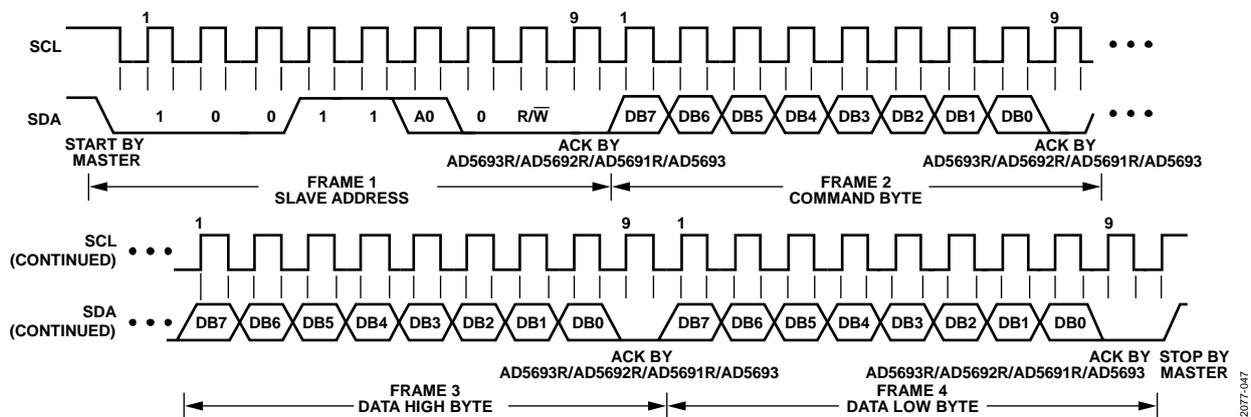


図 46. I<sup>2</sup>C の書込み動作

表 10. コマンド表<sup>1</sup>

Command Byte					Data High Byte			Data Low Byte				Operation
DB7	DB6	DB5	DB4	[DB3:DB0]	[DB7:DB3]	[DB2:DB0]	[DB7:DB4]	DB3	DB2	DB1	DB0	
0	0	0	0	XXXX	XXXXXX	XXX	XXXX	X	X	X		NOP: do nothing.
0	0	0	1	XXXX	DB15:DB11	DB10:DB8	DB7:DB4	DB3 <sup>2</sup>	DB2 <sup>2</sup>	DB1 <sup>2,3</sup>	DB0 <sup>2,3</sup>	Write input register.
0	0	1	0	XXXX	XXXXXX	XXX	XXXX	X	X	X	X	Update DAC register (LDAC software).
0	0	1	1	XXXX	DB15:DB11	DB10:DB8	DB7:DB4	DB3 <sup>2</sup>	DB2 <sup>2</sup>	DB1 <sup>2,3</sup>	DB0 <sup>2,3</sup>	Write DAC and input registers.
0	1	0	0	XXXX	DB15:DB11	000	0000	0	0	0	0	Write control register.

<sup>1</sup> X = don't care.<sup>2</sup> AD5681R の場合このビットは don't care ビット。<sup>3</sup> AD5692R の場合このビットは don't care ビット。

### 入力レジスタの書き込み

この入力レジスタを使って、DAC レジスタに更新する値を予め入力しておくことができます。入力レジスタから DAC レジスタへの転送は、 $\overline{\text{LDAC}}$  ピンでハードウェアから、またはコマンド 2 を使ってソフトウェアから実行することができます。

新しいデータを DAC レジスタへロードすると、この DAC レジスタは自動的に入力レジスタを上書きします。

### DAC レジスタを更新

このコマンドは、書き込み動作終了時に入力レジスタの内容を DAC レジスタへ転送し、これにより  $V_{\text{OUT}}$  ピン電圧が更新されます。このシリアル書き込みに含まれるデータは無視されます。

この動作は、ソフトウェア  $\overline{\text{LDAC}}$  と同じです。

### DAC レジスタの書き込み

このコマンドは、書き込み動作の完了時に DAC 出力を更新します。入力レジスタは、DAC レジスタ値で自動的に更新されます。

### コントロール・レジスタへの書き込み

コントロール・レジスタは、パワーダウン機能とゲイン機能を設定するときに使います。また、内蔵リファレンス電圧のイネーブル/ディスエーブルとソフトウェア・リセットの実行にも使います。コントロール・レジスタの機能については、表 11 を参照してください。

表 11. コントロール・レジスタ・ビット

D15	D14	D13	D12	D11
Reset	PD1	PD0	REF	Gain

### ゲイン・ビット

ゲイン・ビットは出力アンプのゲインを選択します。表 12 に、出力電圧範囲と対応するゲイン・ビットの状態を示します。

表 12. ゲイン・ビット

Gain	Output Voltage Range
0	0 V to $V_{\text{REF}}$ (default)
1	0 V to $2 \times V_{\text{REF}}$

### REF ビット

AD5693R/AD5692R/AD5691R の内蔵リファレンスは、デフォルトでパワーアップ時にオンになっています。ソフトウェアからコントロール・レジスタのビット DB12 を設定することにより、このリファレンスをターンオン/オフさせることができます。表 13 に、ビットの状態と動作モードの対応を示します。

消費電力を削減するため、デバイスをパワーダウン・モードにする場合、内蔵リファレンスをディスエーブルすることが推奨されます。

表 13. リファレンス・ビット

REF	Reference Function
0	Reference enabled (default)
1	Reference disabled

### PD0 ビットと PD1 ビット

AD5693R/AD5692R/AD5691R/AD5693 には、コントロール・レジスタへの書き込みによりアクセスされる 2 つの動作モードがあります。通常モードでは、出力バッファは直接  $V_{\text{OUT}}$  ピンへ接続されます。パワーダウン・モードでは、出力バッファは内部でディスエーブルされ、 $V_{\text{OUT}}$  ピンの出力インピーダンスは既知の値を選択することができます(表 14 参照)。

表 14. 動作モード

Operating Mode	PD1	PD0
Normal Mode	0	0
Power-Down Modes		
1 k $\Omega$ Output Impedance	0	1
100 k $\Omega$ Output Impedance	1	0
Three-State Output Impedance	1	1

パワーダウン・モードでは、このデバイスは出力バッファをディスエーブルしますが、内蔵リファレンス電圧はディスエーブルしません。最大の消費電力削減を実現するためには、内蔵リファレンスをディスエーブルすることが推奨されます。

内蔵リファレンス電圧と出力バッファをディスエーブルすると、電源電流は 5 V で 2  $\mu$ A まで削減されます。

出力ステージを図 47 に示します。

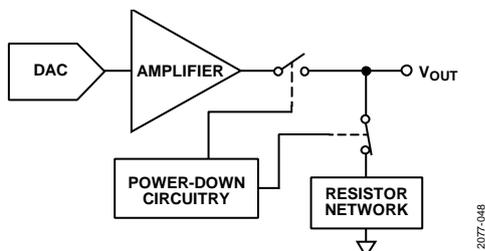


図 47. パワーダウン時の出力ステージ

パワーダウン・モードになると、出力アンプはシャットダウンしますが、内蔵リファレンス電圧がパワーダウンされないかぎり(コントロール・レジスタのビット DB12 を使用)、バイアス・ジェネレータ、リファレンス、抵抗ストリングは動作状態を続けます。電源電流は、最小 5 V で 2  $\mu$ A に減少します。DAC レジスタ値はパワーダウン・モードで影響を受けないため、DAC レジスタの更新を続けることができます。パワーダウンから抜け出すために要する時間は、 $V_{DD} = 5$  V で 4  $\mu$ s (typ) です。また、リファレンスがディスエーブルされている場合は 600  $\mu$ s です。

## リセット・ビット

AD5693R/AD5692R/AD5691R/AD5693 のコントロール・レジスタにはソフトウェア・リセット・ビットがあります。このビットは、DAC をゼロ・スケールへリセットし、入力レジスタ、DAC レジスタ、コントロール・レジスタをそれぞれのデフォルト値へリセットします。コントロール・レジスタの RESET ビットに 1 を設定すると、ソフトウェア・リセットが開始されます。ソフトウェア・リセットが完了すると、リセット・ビットは自動的に 0 にクリアされます。

## 読出し動作

AD5693R/AD5692R/AD5691R/AD5693 DAC の入力レジスタからリードバックを行うときは、まず読み出しのアドレス・バイト ( $R/\bar{W} = 1$ ) を送信します。その後、DAC は SDA をロー・レベルにして、データ送信の準備ができたことを通知します。そこで、入力レジスタ値を含む 2 バイトのデータが DAC から読出されます(図 48 参照)。マスターからの NACK 条件の後に STOP 条件が続いて、読出しシーケンスが完了します。

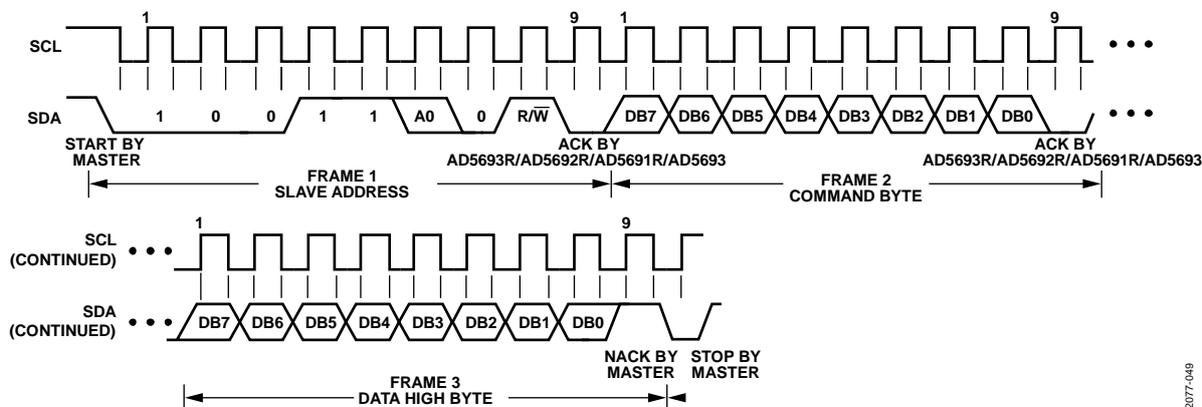


図 48. I<sup>2</sup>C の読出し動作

## DAC のロード(ハードウェアLDACピン)

AD5693R/AD5692R/AD5691R/AD5693 の DAC は、入力レジスタと DAC レジスタから構成されるダブル・バッファ化されたインターフェースを内蔵しています。LDAC ピンにより、データは入力レジスタから DAC レジスタへ転送され、出力が更新されます。

### 同期 DAC 更新

入力レジスタの書き込み中 LDAC ピンをロー・レベルに維持すると、ACK ビットの前の最後の SCL 立下がりエッジで DAC レジスタ、入力レジスタ、出力が更新されます(図 4 参照)。

### 非同期 DAC 更新

LDAC がハイ・レベルの間に、データはデバイスへ送信されます。ストップ条件が発生した後に LDAC をロー・レベルにすると、DAC 出力が更新されます。出力 DAC は、LDAC ピンの立下がりエッジで更新されます。デバイスのアクセス中に LDAC にパルスが入力されても、このパルスは無視されます。

## ハードウェア RESET

RESET はアクティブ・ロー信号で、DAC 出力をゼロ・スケールへリセットし、入力レジスタ、DAC レジスタ、コントロール・レジスタにそれぞれのデフォルト値を設定します。動作を完了するためには、RESET を 75 ns 間ロー・レベルに維持する必要があります。RESET 信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はゼロ・スケールを維持します。RESET エラー! ブックマークが定義されていません。ピンがロー・レベルの間、AD5693R/AD5692R/AD5691R/AD5693 は新しいコマンドを無視します。パワーアップ時に RESET をロー・レベルに維持すると、RESET ピンが解除されるまで、内蔵リファレンス電圧が正しく初期化されません。

## 熱ヒステリシス

熱ヒステリシスは、周囲温度→低温→高温→周囲温度で温度変化させた場合にリファレンス電圧に発生する電圧差です。

熱ヒステリシス・データを図 49 に示します。このデータは、周囲温度→-40°C→+105°C→周囲温度で温度変化させて測定したものです。V<sub>REF</sub> の変化分を 2 つの周囲温度の間で測定し、結果を図 49 の実線で示します。同じ温度変化と測定を直ちに繰り返し、その結果を図 49 に点線で示します。

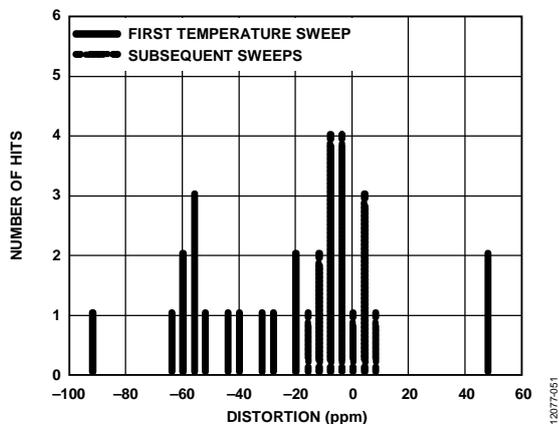


図 49.熱ヒステリシス

## パワーアップ・シーケンス

ダイオードがデジタル・ピンとアナログ・ピンでの電圧コンプライアンスを制限しているため、V<sub>DD</sub>、V<sub>OUT</sub>、V<sub>LOGIC</sub>の各電圧を加える前に GND を接続することが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずに V<sub>DD</sub> に電源が接続されてしまいます。最適なパワーアップ・シーケンスは、GND、V<sub>DD</sub>、V<sub>LOGIC</sub>、V<sub>REF</sub> (外部電源の場合) 続いてデジタル入力の順序です。

## レイアウトのガイドライン

高精度が重要となる回路では、電源とグラウンド・リターン・レイアウトを注意深く行うことが、定格性能の保証に役立ちます。ADC を実装するプリント回路ボード(PCB)は、AD5693R/AD5692R/AD5691R/AD5693 をアナログ・プレーン上に配置するようにデザインする必要があります。

AD5693R/AD5692R/AD5691R/AD5693 に対しては、10 μF と 0.1 μF の並列接続により十分な電源バイパスをパッケージのできるだけ近くに、理想的にはデバイスに直接に、接続する必要があります。10 μF コンデンサはタンタルのビーズ型を使います。0.1 μF のコンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供する一般的なセラミック型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESI)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

1 枚のボード上に多くのデバイスを実装するシステムでは、放熱を容易にするヒート・シンク能力を設けることが有効な場合があります。

AD5693R/AD5692R/AD5691R/AD5693 の LFCSP パッケージの底には、エクスポーズド・パッド(金属面パッド)が設けてあります。このパッドをデバイスの GND へ接続してください。最適性能を得るためには、マザーボードのデザインに特別な注意を払って、パッケージを実装してください。熱的性能、電気的性能、ボード・レベルの性能を強化するため、パッケージ底面のエクスポーズド・パッドは対応する PCB のサーマル・ランド・パッドにハンダ付けしてください。PCB ランド・パッド領域にサーマル・ビアを配置するようにデザインしてさらに熱放散を強化してください。

自然なヒート・シンク効果を提供するため、デバイス上の GND プレーンを大きくすることができます(図 50 参照)。

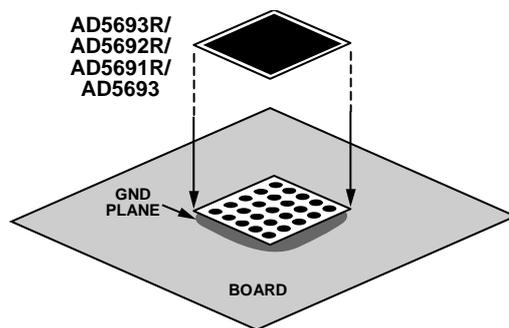
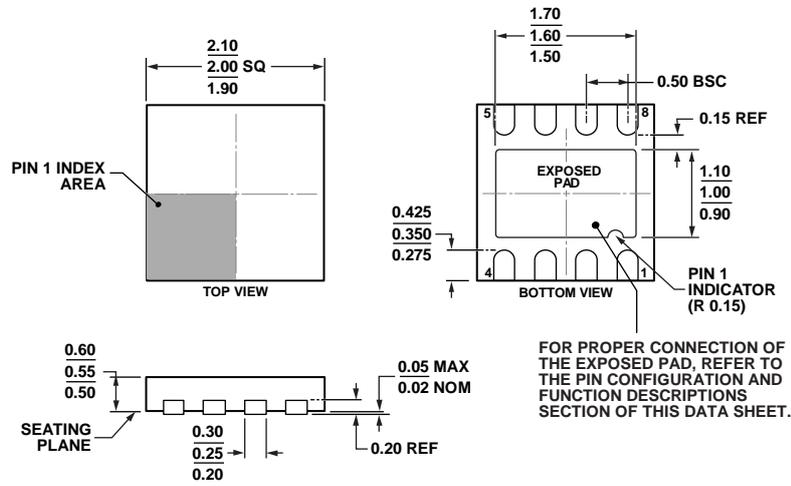


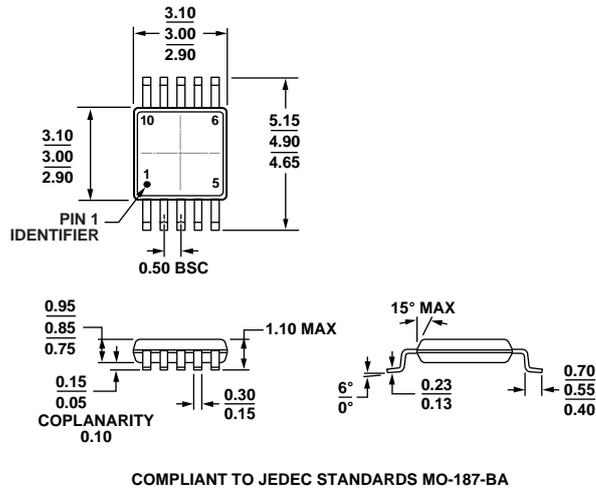
図 50.パッドとボードの接続

外形寸法



01-14-2013-C

図 51.8 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_UD]  
2.00 × 2.00 mm ボディ、極薄、デュアル・リード  
(CP-8-10)  
寸法: mm



081709-A

図 52.10 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]  
(RM-10)  
寸法: mm

## オーダー・ガイド

Model <sup>1</sup>	Resolution (Bits)	Pinout	Temperature Range	Performance	Package Description	Package Option	Branding
AD5693RACPZ-RL7	16	$\overline{\text{LDAC}}$	-40°C to +105°C	A-Grade	8-Lead LFCSP_UD	CP-8-10	AB
AD5693RARMZ	16		-40°C to +105°C	A-Grade	10-Lead MSOP	RM-10	DJU
AD5693RARMZ-RL7	16		-40°C to +105°C	A-Grade	10-Lead MSOP	RM-10	DJU
AD5693RBRMZ	16		-40°C to +105°C	B-Grade	10-Lead MSOP	RM-10	DJV
AD5693RBRMZ-RL7	16		-40°C to +105°C	B-Grade	10-Lead MSOP	RM-10	DJV
AD5693BCPZ-RL7	16	$\overline{\text{LDAC}}$	-40°C to +105°C	B-Grade	8-Lead LFCSP_UD	CP-8-10	AA
AD5692RACPZ-RL7	14	$\overline{\text{LDAC}}$	-40°C to +105°C	A-Grade	8-Lead LFCSP_UD	CP-8-10	4M
AD5691RACPZ-1RL7	12	$V_{\text{LOGIC}}$	-40°C to +105°C	A-Grade	8-Lead LFCSP_UD	CP-8-10	5W
AD5691RBCPZ-RL7	12	$\overline{\text{LDAC}}$	-40°C to +105°C	B-Grade	8-Lead LFCSP_UD	CP-8-10	6M
AD5691RBRMZ	12		-40°C to +105°C	B-Grade	10-Lead MSOP	RM-10	DK2
AD5691RBRMZ-RL7	12		-40°C to +105°C	B-Grade	10-Lead MSOP	RM-10	DK2
EVAL-AD5693RSDZ					Evaluation Board		

<sup>1</sup> Z = RoHS 準拠製品。

I<sup>2</sup>C は、Philips Semiconductors 社(現在の NXP Semiconductors 社)が制定した通信プロトコルです。