



# SPIインターフェース付きの 16/12ビット・クワッド nanoDAC+

データシート

AD5686/AD5684

## 特長

高い相対精度(INL): 16ビットで最大 $\pm 2$  LSB  
小型パッケージ: 3 mm x 3 mm の 16 ピン LFCSP  
総合未調整誤差(TUE): FSR の最大 $\pm 0.1\%$

オフセット誤差: 最大 $\pm 1.5$  mV  
ゲイン誤差: FSR の最大 $\pm 0.1\%$   
高い駆動能力: 20 mA、電源レールから 0.5 V  
ユーザー設定可能なゲイン: 1 または 2 (GAIN ピン)  
ゼロスケールまたはミッドスケールへのリセット(RSTSEL ピン)  
1.8 V ロジックに互換  
リードバックまたはデジタイゼーション付きの 50 MHz SPI  
低グリッチ: 0.5 nV-sec  
強固な 4 kV HBM および 1.5 kV FICDM ESD 定格  
低消費電力: 3 V 電源で 1.8 mW  
電源電圧: 2.7 V~5.5 V  
温度範囲:  $-40^{\circ}\text{C}$ ~ $+105^{\circ}\text{C}$

## アプリケーション

ゲインとオフセットのデジタル調整  
プログラマブルな減衰器  
プロセス制御(PLC I/O カード)  
工業用オートメーション  
データ・アキュジション・システム

## 概要

nanoDAC+™ファミリーに属する AD5686/AD5684 は、低消費電力 16/12 ビットのバッファ付き電圧出力クワッド DAC です。これらのデバイスは、2.5 V (ゲイン=1) または 5 V (ゲイン=2) のフルスケール出力を選択するゲイン選択ピンを内蔵しています。すべてのデバイスは 2.7 V~5.5 V の単電源で動作し、デザインにより単調性が保証され、ゲイン誤差は 0.1% FSR 以下でオフセット誤差性能は 1.5 mV です。これらのデバイスは、3 mm x 3 mm LFCSP パッケージまたは TSSOP パッケージを採用しています。

また、AD5686/AD5684 はパワーオン・リセット回路と RSTSEL ピンも内蔵しています。この RSTSEL ピンを使うと、DAC 出力がゼロスケールまたはミッドスケールでパワーアップし、有効な書き込みが行われるまでその状態を維持させることができます。各デバイスは、チャンネルごとのパワーダウン機能を内蔵しています。この機能はパワーダウン・モードのデバイス消費電流を 3 V で 4  $\mu\text{A}$  へ削減します。

AD5686/AD5684 は、最大 50 MHz のクロック・レートで動作する多機能な SPI インターフェースを採用し、すべてのデバイスは 1.8 V/3 V/5 V ロジック用の V<sub>Logic</sub> ピンを内蔵しています。

## 機能ブロック図

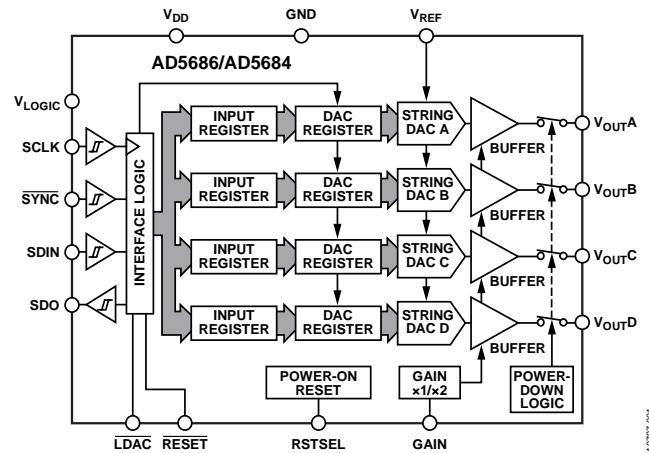


図 1.

表 1. クワッド nanoDAC+ デバイス

Interface	Reference	16-Bit	14-Bit	12-Bit
SPI	Internal	AD5686R	AD5685R	AD5684R
SPI	External	AD5686		AD5684
I <sup>2</sup> C	Internal	AD5696R	AD5695R	AD5694R
I <sup>2</sup> C	External	AD5696		AD5694

## 製品のハイライト

- 高い相対精度(INL)。
  - AD5686 (16 ビット): 最大  $\pm 2$  LSB
  - AD5684 (12 ビット): 最大  $\pm 1$  LSB
- 優れた DC 性能。
  - 総合未調整誤差: FSR の最大  $\pm 0.1\%$
  - オフセット誤差: 最大  $\pm 1.5$  mV
  - ゲイン誤差: FSR の最大  $\pm 0.1\%$
- 2 種類のパッケージ・オプション。
  - 3 mm x 3 mm の 16 ピン LFCSP
  - 16 ピン TSSOP

Rev. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。  
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2012 Analog Devices, Inc. All rights reserved.

## 目次

特長 .....	1	シリアル・インターフェース .....	19
アプリケーション .....	1	スタンダアロン動作 .....	20
機能ブロック図 .....	1	書込コマンドと更新コマンド .....	20
概要 .....	1	デジチェーン動作 .....	20
製品のハイライト .....	1	リードバック動作 .....	21
改訂履歴 .....	2	パワーダウン動作 .....	21
仕様 .....	3	DACのロード(ハードウェア $\overline{\text{LDAC}}$ ピン) .....	22
AC 特性 .....	5	$\overline{\text{LDAC}}$ マスク・レジスタ .....	22
タイミング特性 .....	6	ハードウェア・リセット( $\overline{\text{RESET}}$ ) .....	23
デジチェーンおよびリードバックのタイミング特性 .....	7	リセット選択ピン(RSTSEL) .....	23
絶対最大定格 .....	9	アプリケーション情報 .....	24
ESD の注意 .....	9	マイクロプロセッサ・インターフェース .....	24
ピン配置およびピン機能説明 .....	10	AD5686/AD5684 と ADSP-BF531 とのインターフェース .....	24
代表的な性能特性 .....	11	AD5686/AD5684 と SPORT とのインターフェース .....	24
用語 .....	16	レイアウトのガイドライン .....	24
動作原理 .....	18	電流絶縁型インターフェース .....	25
D/A コンバータ .....	18	外形寸法 .....	26
伝達関数 .....	18	オーダー・ガイド .....	27
DAC アーキテクチャ .....	18		

## 改訂履歴

7/12—Revision 0: Initial Version

## 仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ ;  $V_{REF} = 2.5\text{ V}$ ;  $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ ; すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。  $R_L = 2\text{ k}\Omega$ ;  $C_L = 200\text{ pF}$ 。

表 2.

Parameter	A Grade <sup>1</sup>			B Grade <sup>1</sup>			Unit	Test Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
STATIC PERFORMANCE <sup>2</sup>								
AD5686								
Resolution	16			16			Bits	
Relative Accuracy		$\pm 2$	$\pm 8$		$\pm 1$	$\pm 2$	LSB	Gain = 2
		$\pm 2$	$\pm 8$		$\pm 1$	$\pm 3$	LSB	Gain = 1
Differential Nonlinearity			$\pm 1$			$\pm 1$	LSB	Guaranteed monotonic by design
AD5684								
Resolution	12			12			Bits	
Relative Accuracy		$\pm 0.12$	$\pm 2$		$\pm 0.12$	$\pm 1$	LSB	Guaranteed monotonic by design
Differential Nonlinearity			$\pm 1$			$\pm 1$	LSB	Guaranteed monotonic by design
Zero-Code Error		0.4	4		0.4	1.5	mV	All 0s loaded to DAC register
Offset Error		+0.1	$\pm 4$		+0.1	$\pm 1.5$	mV	
Full-Scale Error		+0.01	$\pm 0.2$		+0.01	$\pm 0.1$	% of FSR	All 1s loaded to DAC register
Gain Error		$\pm 0.02$	$\pm 0.2$		$\pm 0.02$	$\pm 0.1$	% of FSR	
Total Unadjusted Error		$\pm 0.01$	$\pm 0.25$		$\pm 0.01$	$\pm 0.1$	% of FSR	Gain = 2
			$\pm 0.25$			$\pm 0.2$	% of FSR	Gain = 1
Offset Error Drift <sup>3</sup>		$\pm 1$			$\pm 1$		$\mu\text{V}/^\circ\text{C}$	
Gain Temperature Coefficient <sup>3</sup>		$\pm 1$			$\pm 1$		ppm	Of FSR/ $^\circ\text{C}$
DC Power Supply Rejection Ratio <sup>3</sup>		0.15			0.15		mV/V	DAC code = midscale; $V_{DD} = 5\text{ V} \pm 10\%$
DC Crosstalk <sup>3</sup>		$\pm 2$			$\pm 2$		$\mu\text{V}$	Due to single channel, full-scale output change
		$\pm 3$			$\pm 3$		$\mu\text{V}/\text{mA}$	Due to load current change
		$\pm 2$			$\pm 2$		$\mu\text{V}$	Due to powering down (per channel)
OUTPUT CHARACTERISTICS <sup>3</sup>								
Output Voltage Range	0		$V_{REF}$	0		$V_{REF}$	V	Gain = 1
	0		$2 \times V_{REF}$	0		$2 \times V_{REF}$	V	Gain = 2, see Figure 23
Capacitive Load Stability		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 1\text{ k}\Omega$
Resistive Load <sup>4</sup>	1			1			k $\Omega$	
Load Regulation		80			80		$\mu\text{V}/\text{mA}$	$5\text{ V} \pm 10\%$ , DAC code = midscale; $-30\text{ mA} \leq I_{OUT} \leq +30\text{ mA}$
		80			80		$\mu\text{V}/\text{mA}$	$3\text{ V} \pm 10\%$ , DAC code = midscale; $-20\text{ mA} \leq I_{OUT} \leq +20\text{ mA}$
Short-Circuit Current <sup>5</sup>		40			40		mA	
Load Impedance at Rails <sup>6</sup>		25			25		$\Omega$	See Figure 23
Power-Up Time		2.5			2.5		$\mu\text{s}$	Coming out of power-down mode; $V_{DD} = 5\text{ V}$
REFERENCE INPUT								
Reference Current		90			90		$\mu\text{A}$	$V_{REF} = V_{DD} = V_{LOGIC} = 5.5\text{ V}$ , gain = 1
		180			180		$\mu\text{A}$	$V_{REF} = V_{DD} = V_{LOGIC} = 5.5\text{ V}$ , gain = 2
Reference Input Range	1		$V_{DD}$	1		$V_{DD}$	V	Gain = 1
	1		$V_{DD}/2$	1		$V_{DD}/2$	V	Gain = 2
Reference Input Impedance		16			16		k $\Omega$	Gain = 2
		32			32		k $\Omega$	Gain = 1

Parameter	A Grade <sup>1</sup>			B Grade <sup>1</sup>			Unit	Test Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
<b>LOGIC INPUTS<sup>3</sup></b>								
Input Current			±2			±2	μA	Per pin
Input Low Voltage (V <sub>INL</sub> )			0.3 × V <sub>LOGIC</sub>			0.3 × V <sub>LOGIC</sub>	V	
Input High Voltage (V <sub>INH</sub> )	0.7 × V <sub>LOGIC</sub>			0.7 × V <sub>LOGIC</sub>			V	
Pin Capacitance		2			2		pF	
<b>LOGIC OUTPUTS (SDO)<sup>3</sup></b>								
Output Low Voltage, V <sub>OL</sub>			0.4			0.4	V	I <sub>SINK</sub> = 200 μA
Output High Voltage, V <sub>OH</sub>	V <sub>LOGIC</sub> - 0.4			V <sub>LOGIC</sub> - 0.4			V	I <sub>SOURCE</sub> = 200 μA
Floating State Output Capacitance		4			4		pF	
<b>POWER REQUIREMENTS</b>								
V <sub>LOGIC</sub>	1.8		5.5	1.8		5.5	V	
I <sub>LOGIC</sub>			3			3	μA	
V <sub>DD</sub>	2.7		5.5	2.7		5.5	V	Gain = 1
I <sub>DD</sub>	V <sub>REF</sub> + 1.5		5.5	V <sub>REF</sub> + 1.5		5.5	V	Gain = 2
								V <sub>IH</sub> = V <sub>DD</sub> , V <sub>IL</sub> = GND, V <sub>DD</sub> = 2.7 V to 5.5 V
Normal Mode <sup>7</sup>		0.59	0.7		0.59	0.7	mA	
All Power-Down Modes <sup>8</sup>		1	4		1	4	μA	-40°C to +85°C
			6			6	μA	-40°C to +105°C

<sup>1</sup> 温度範囲 (A および B グレード): -40°C ~ +105°C。

<sup>2</sup> 特に指定がない限り、DC仕様は出力無負荷でテスト。上側デッドバンド = 10 mV で、これは V<sub>REF</sub> = V<sub>DD</sub> かつゲイン = 1 の場合、または V<sub>REF</sub>/2 = V<sub>DD</sub> かつゲイン = 2 の場合にのみ存在します。直線性は、縮小コード範囲 256 ~ 65,280 (AD5686)、12 ~ 4080 (AD5684) を使って計算。

<sup>3</sup> デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

<sup>4</sup> チャンネル A とチャンネル B は、最大 30 mA の組み合わせ出力電流を持つことができます。同様に、チャンネル C とチャンネル D は、ジャンクション温度 110°C までで最大 30 mA の組み合わせ出力電流を持つことができます。

<sup>5</sup> V<sub>DD</sub> = 5 V。このデバイスは、一時的過負荷状態でデバイスを保護することを目的とした電流制限機能を内蔵しています。電流制限時にはジャンクション温度を超えることができます。規定の最大動作ジャンクション温度より上での動作はデバイスの信頼性を損なう可能性があります。

<sup>6</sup> いずれかの電源レールから負荷電流を取り出すとき、その電源レールに対する出力電圧のヘッドルームは、出力デバイスのチャンネル抵抗 25 Ω (typ) により制限されます。例えば、1 mA のシンク電流の場合、最小出力電圧 = 25 Ω × 1 mA = 25 mV となります (図 23 参照)。

<sup>7</sup> インターフェースは非アクティブ状態。すべての DAC はアクティブ状態。DAC 出力は無負荷。

<sup>8</sup> すべての DAC がパワーダウン。

## AC 特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ ;  $V_{REF} = 2.5\text{ V}$ ;  $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ ;  $R_L = 2\text{ k}\Omega$  (GNDへ接続);  $C_L = 200\text{ pF}$  (GNDへ接続); すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。<sup>1</sup>

表 3.

Parameter <sup>2</sup>	Min	Typ	Max	Unit	Test Conditions/Comments <sup>3</sup>
Output Voltage Settling Time					
AD5686		5	8	$\mu\text{s}$	¼ to ¾ scale settling to $\pm 2$ LSB
AD5684		5	7	$\mu\text{s}$	¼ to ¾ scale settling to $\pm 2$ LSB
Slew Rate		0.8		$\text{V}/\mu\text{s}$	
Digital-to-Analog Glitch Impulse		0.5		$\text{nV}\cdot\text{sec}$	1 LSB change around major carry
Digital Feedthrough		0.13		$\text{nV}\cdot\text{sec}$	
Multiplying Bandwidth		500		$\text{kHz}$	
Digital Crosstalk		0.1		$\text{nV}\cdot\text{sec}$	
Analog Crosstalk		0.2		$\text{nV}\cdot\text{sec}$	
DAC-to-DAC Crosstalk		0.3		$\text{nV}\cdot\text{sec}$	
Total Harmonic Distortion <sup>4</sup>		-80		$\text{dB}$	At ambient, $\text{BW} = 20\text{ kHz}$ , $V_{DD} = 5\text{ V}$ , $f_{OUT} = 1\text{ kHz}$
Output Noise Spectral Density		100		$\text{nV}/\sqrt{\text{Hz}}$	DAC code = midscale, $10\text{ kHz}$ ; gain = 2
Output Noise		6		$\mu\text{V p-p}$	0.1 Hz to 10 Hz
SNR		90		$\text{dB}$	At ambient, $\text{BW} = 20\text{ kHz}$ , $V_{DD} = 5\text{ V}$ , $f_{OUT} = 1\text{ kHz}$
SFDR		83		$\text{dB}$	At ambient, $\text{BW} = 20\text{ kHz}$ , $V_{DD} = 5\text{ V}$ , $f_{OUT} = 1\text{ kHz}$
SINAD		80		$\text{dB}$	At ambient, $\text{BW} = 20\text{ kHz}$ , $V_{DD} = 5\text{ V}$ , $f_{OUT} = 1\text{ kHz}$

<sup>1</sup> デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

<sup>2</sup> 用語のセクションを参照してください。

<sup>3</sup> 温度範囲は、 $-40^\circ\text{C} \sim +105^\circ\text{C}$  です ( $25^\circ\text{C}$  での typ 値)。

<sup>4</sup> デジタル的に発生した  $1\text{ kHz}$  の正弦波。

タイミング特性

すべての入力信号は  $t_R = t_F = 1 \text{ ns/V}$  ( $V_{DD}$  の 10% から 90%) で規定し、電圧レベル ( $V_{IL} + V_{IH}$ )/2 からの時間とします。図 2 参照。特に指定がない限り、 $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ ;  $1.8 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$ ;  $V_{REF} = 2.5 \text{ V}$ 。すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 4.

Parameter <sup>1</sup>	Symbol	1.8 V ≤ V <sub>LOGIC</sub> < 2.7 V		2.7 V ≤ V <sub>LOGIC</sub> ≤ 5.5 V		Unit
		Min	Max	Min	Max	
SCLK Cycle Time	t <sub>1</sub>	33		20		ns
SCLK High Time	t <sub>2</sub>	16		10		ns
SCLK Low Time	t <sub>3</sub>	16		10		ns
SYNC to SCLK Falling Edge Setup Time	t <sub>4</sub>	15		10		ns
Data Setup Time	t <sub>5</sub>	8		5		ns
Data Hold Time	t <sub>6</sub>	8		5		ns
SCLK Falling Edge to SYNC Rising Edge	t <sub>7</sub>	15		10		ns
Minimum SYNC High Time	t <sub>8</sub>	20		20		ns
SYNC Falling Edge to SCLK Fall Ignore	t <sub>9</sub>	16		10		ns
LDAC Pulse Width Low	t <sub>10</sub>	25		15		ns
SCLK Falling Edge to LDAC Rising Edge	t <sub>11</sub>	30		20		ns
SCLK Falling Edge to LDAC Falling Edge	t <sub>12</sub>	20		20		ns
RESET Minimum Pulse Width Low	t <sub>13</sub>	30		30		ns
RESET Pulse Activation Time	t <sub>14</sub>	30		30		ns
Power-Up Time <sup>2</sup>		4.5		4.5		μs

<sup>1</sup>  $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ ,  $1.8 \text{ V} \leq V_{LOGIC} \leq V_{DD}$  での最大 SCLK 周波数は 50 MHz。デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

<sup>2</sup> AD5686/AD5684 動作がパワーダウン・モードから通常モードに移行するために要する時間。出力無負荷で 32 番目のクロック・エッジから DAC ミッドスケール値の 90% まで。

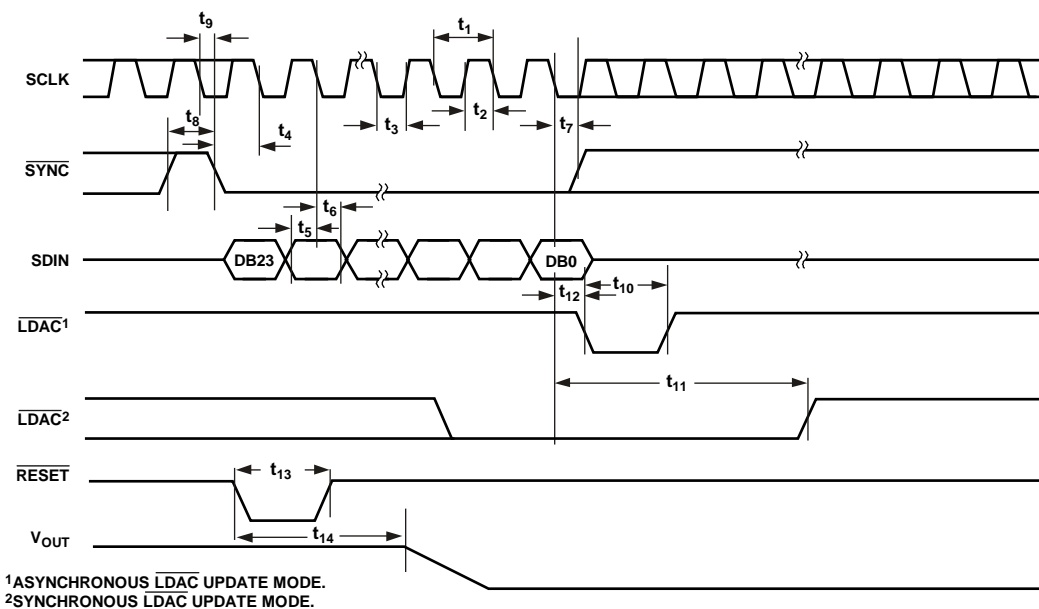


図 2. シリアル書き込み動作

デジチェーンおよびリードバックのタイミング特性

すべての入力信号は  $t_R = t_F = 1 \text{ ns/V}$  ( $V_{DD}$  の 10% から 90%) で規定し、電圧レベル ( $V_{IL} + V_{IH}$ )/2 からの時間とします。図 4 と図 5 参照。特に指定がない限り、 $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ ;  $1.8 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$ ;  $V_{REF} = 2.5 \text{ V}$ 。すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 5.

Parameter <sup>1</sup>	Symbol	1.8 V ≤ V <sub>LOGIC</sub> < 2.7 V		2.7 V ≤ V <sub>LOGIC</sub> ≤ 5.5 V		Unit
		Min	Max	Min	Max	
SCLK Cycle Time	t <sub>1</sub>	66		40		ns
SCLK High Time	t <sub>2</sub>	33		20		ns
SCLK Low Time	t <sub>3</sub>	33		20		ns
SYNC to SCLK Falling Edge	t <sub>4</sub>	33		20		ns
Data Setup Time	t <sub>5</sub>	5		5		ns
Data Hold Time	t <sub>6</sub>	5		5		ns
SCLK Falling Edge to SYNC Rising Edge	t <sub>7</sub>	15		10		ns
Minimum SYNC High Time	t <sub>8</sub>	60		30		ns
Minimum SYNC High Time	t <sub>9</sub>	60		30		ns
SDO Data Valid from SCLK Rising Edge	t <sub>10</sub>		36		25	ns
SCLK Falling Edge to SYNC Rising Edge	t <sub>11</sub>	15		10		ns
SYNC Rising Edge to SCLK Rising Edge	t <sub>12</sub>	15		10		ns

<sup>1</sup>  $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ ,  $1.8 \text{ V} \leq V_{LOGIC} \leq V_{DD}$  で、最大 SCLK 周波数は 25 MHz または 15 MHz。デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

回路およびタイミング図

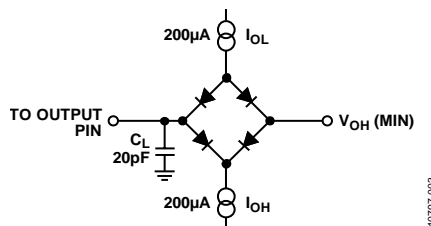


図 3. デジタル出力(SDO)タイミング仕様の負荷回路

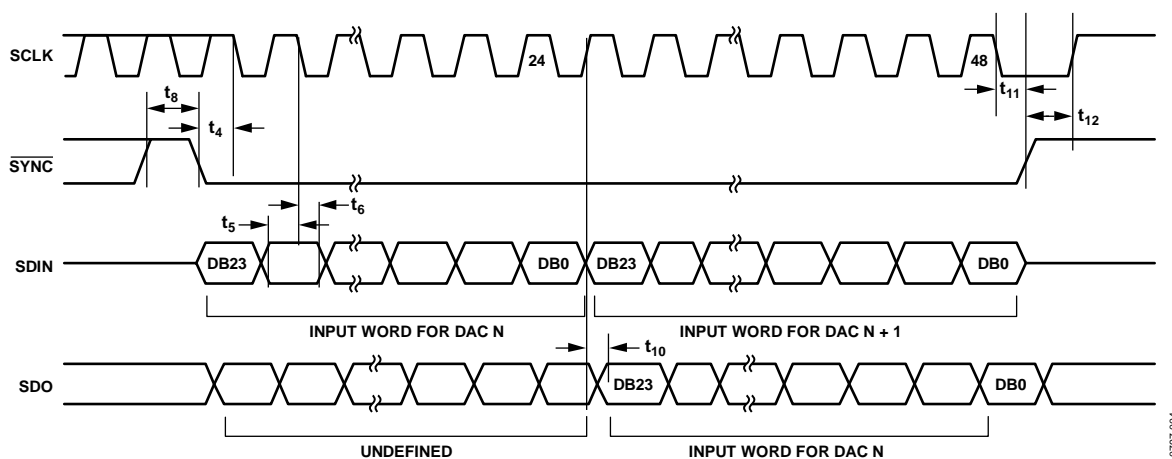
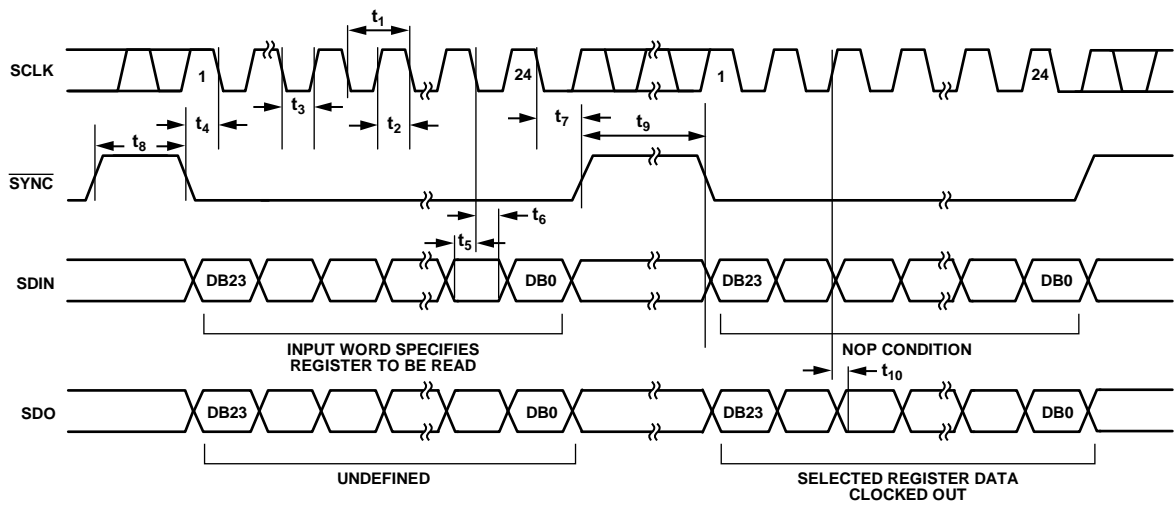


図 4. デジチェーンのタイミング図



10797-005

図 5. リードバック・タイミング図



## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
$V_{DD}$ to GND	-0.3 V to +7 V
$V_{LOGIC}$ to GND	-0.3 V to +7 V
$V_{OUT}$ to GND	-0.3 V to $V_{DD} + 0.3$ V
$V_{REF}$ to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3$ V
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	125°C
16-Lead TSSOP, $\theta_{JA}$ Thermal Impedance, 0 Airflow (4-Layer Board)	112.6°C/W
16-Lead LFCSP, $\theta_{JA}$ Thermal Impedance, 0 Airflow (4-Layer Board)	70°C/W
Reflow Soldering Peak Temperature, Pb Free (J-STD-020)	260°C
ESD	
HBM <sup>1</sup>	4 kV
FICDM	1.5 kV

<sup>1</sup> 人体モデル (HBM)分類。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

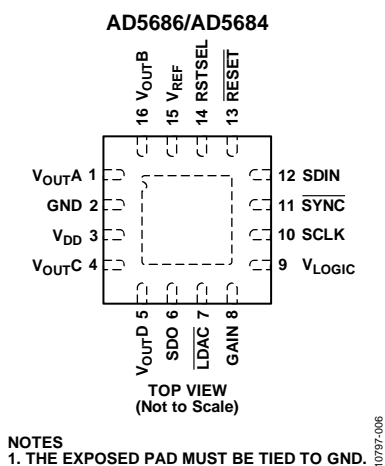


図 6.16 ピン LFCSP のピン配置

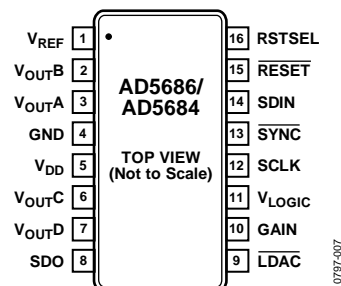


図 7.16 ピン TSSOP のピン配置

表 7.ピン機能の説明

ピン番号		記号	説明
LFCSP	TSSOP		
1	3	V <sub>OUTA</sub>	DAC A からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。
2	4	GND	デバイス上の全回路に対するグラウンド基準電圧ポイント。
3	5	V <sub>DD</sub>	電源入力。これらのデバイスは 2.7 V ~ 5.5 V で動作し、電源は 10 μF のコンデンサと 0.1 μF のコンデンサとの並列接続により GND へデカップリングする必要があります。
4	6	V <sub>OUTC</sub>	DAC C のアナログ出力電圧。出力アンプはレール to レール動作。
5	7	V <sub>OUTD</sub>	DAC D のアナログ電圧出力。出力アンプはレール to レールの動作。
6	8	SDO	シリアル・データ出力。複数の AD5686/AD5684 デバイスのデイジーチェーン接続に、またはリードバックに使用することができます。シリアル・データは SCLK の立上がりエッジで転送され、クロックの立下がりエッジで有効になります。
7	9	LDAC	LDAC は、非同期と同期の 2 つのモードで動作することができます。入力レジスタに新しいデータがある場合、このピンにロー・レベルのパルスを入力すると、任意またはすべての DAC レジスタが更新されます。この信号を使うと、全 DAC 出力を同時に更新することができます。あるいは、このピンをロー・レベルに固定することができます。
8	10	GAIN	振幅設定ピン。このピンを GND に接続すると、4 個すべての DAC 出力の振幅は 0 V ~ V <sub>REF</sub> になります。このピンを V <sub>DD</sub> に接続すると、4 個すべての DAC 出力の振幅は 0 V ~ 2 × V <sub>REF</sub> になります。
9	11	V <sub>LOGIC</sub>	デジタル電源。電圧範囲は 1.8 V ~ 5.5 V。
10	12	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジでシフトレジスタに入力されます。データは最大 50 MHz のレートで転送できます。
11	13	SYNC	アクティブ・ローのコントロール入力。これは、入力データに対するフレーム同期信号です。SYNC がロー・レベルになると、データは次の 24 個のクロックの立下がりエッジで転送されます。
12	14	SDIN	シリアル・データ入力。これらのデバイスは、24 ビットの入力シフトレジスタを内蔵しています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
13	15	RESET	非同期リセット入力。RESET 入力、立下がりエッジ検出です。RESET がロー・レベルのときは、すべての LDAC パルスが無視されます。RESET がロー・レベルになると、入力レジスタと DAC レジスタが RSTSEL ピンの状態に応じてゼロスケールまたはミッドスケールで更新されます。
14	16	RSTSEL	パワーオン・リセット・ピン。このピンを GND に接続すると、4 個すべての DAC はゼロスケールでパワーアップします。このピンを V <sub>DD</sub> に接続すると、4 個すべての DAC はミッドスケールでパワーアップします。
15	1	V <sub>REF</sub>	リファレンス電圧入力。
16	2	V <sub>OUTB</sub>	DAC B のアナログ電圧出力。出力アンプはレール to レールの動作を行います。
17	N/A	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは GND に接続する必要があります。

代表的な性能特性

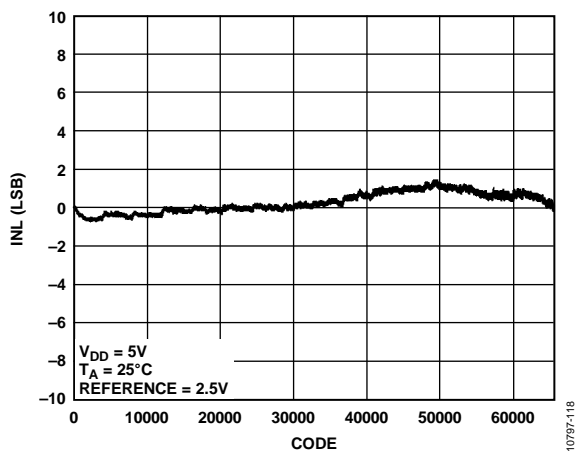


図 8.AD5686 INL

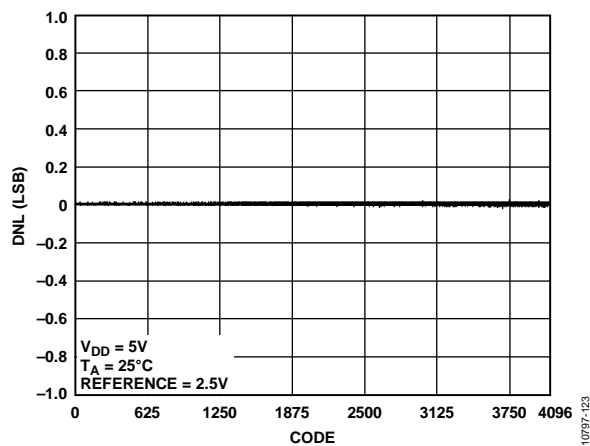


図 11.AD5684 DNL

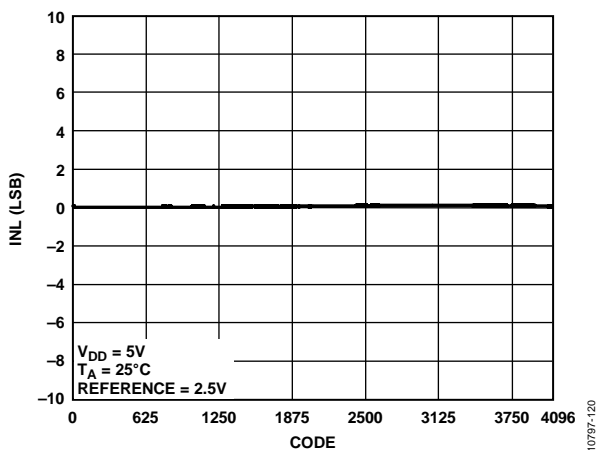


図 9.AD5684 INL

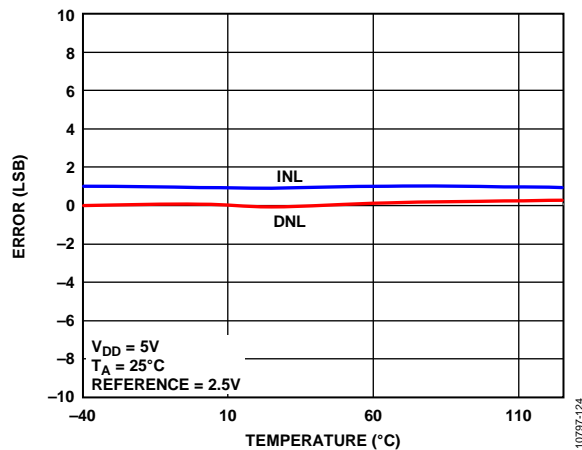


図 12.INL 誤差と DNL 誤差の温度特性

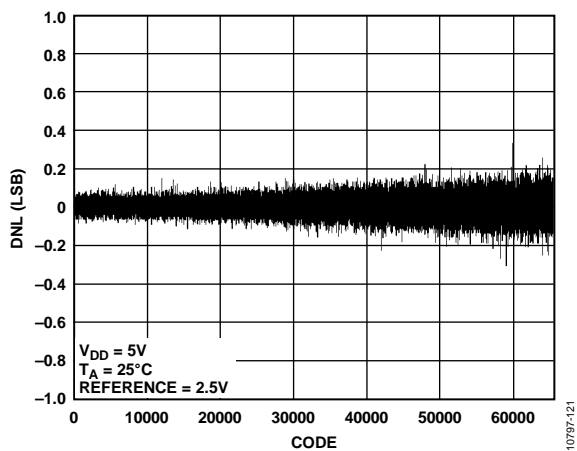


図 10.AD5686 DNL

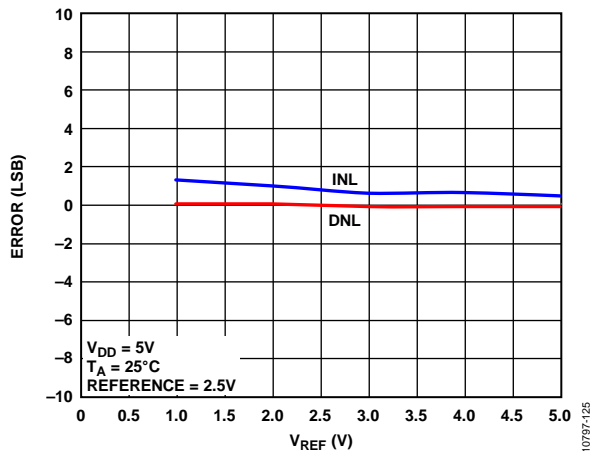


図 13.VREF 対 INL 誤差および DNL 誤差

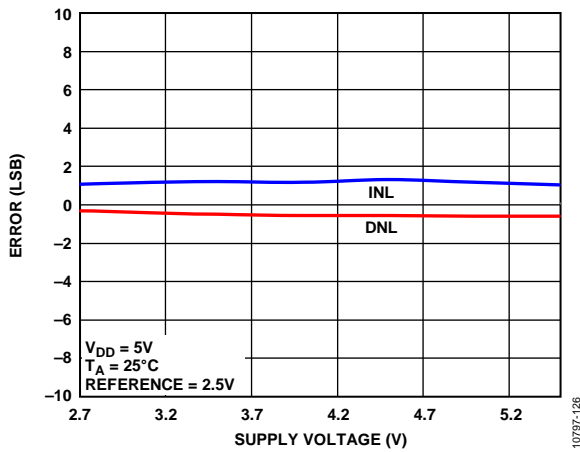


図 14.電源電圧対 INL 誤差および DNL 誤差

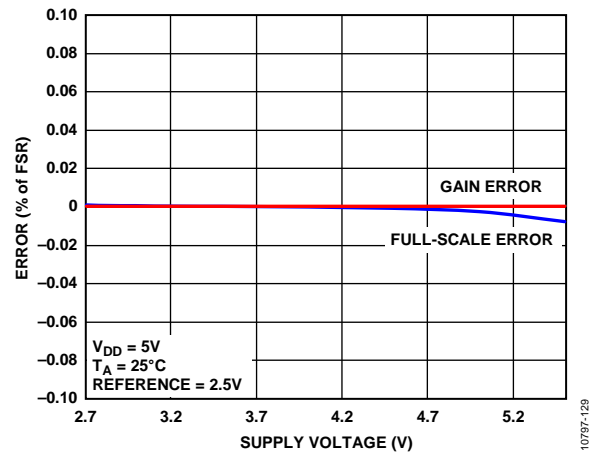


図 17.電源電圧対ゲイン誤差およびフルスケール誤差

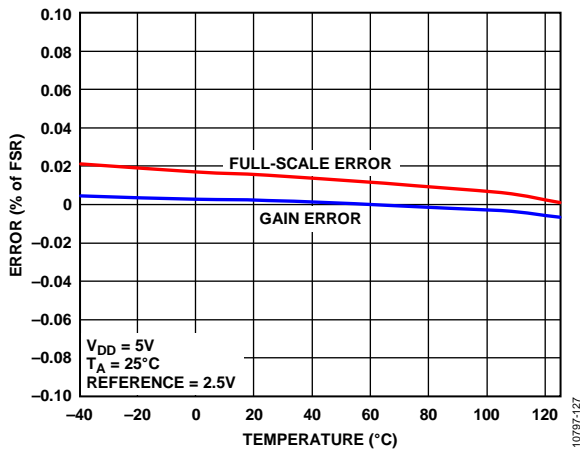


図 15.ゲイン誤差とフルスケール誤差の温度特性

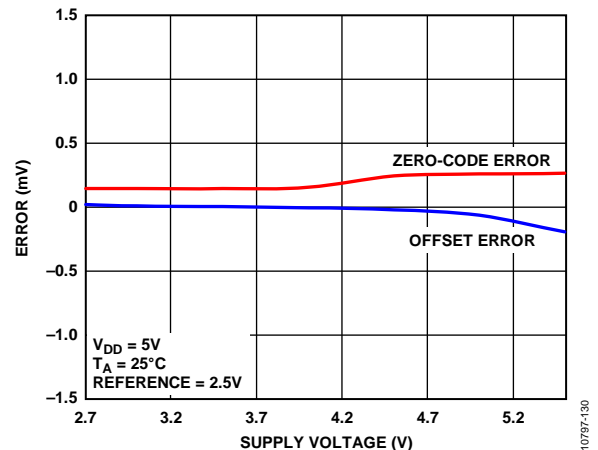


図 18.電源電圧対ゼロ・コード誤差およびオフセット誤差

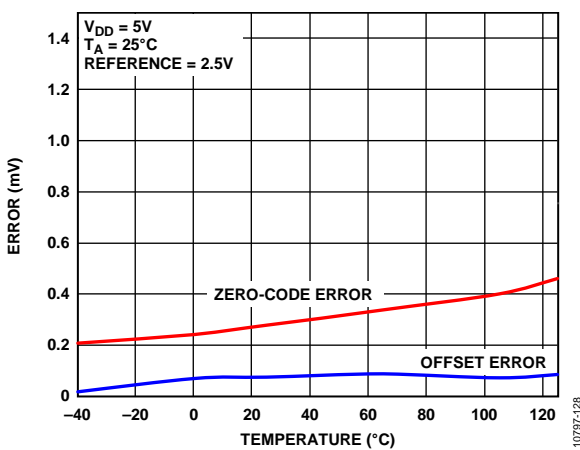


図 16.ゼロ・コード誤差とオフセット誤差の温度特性

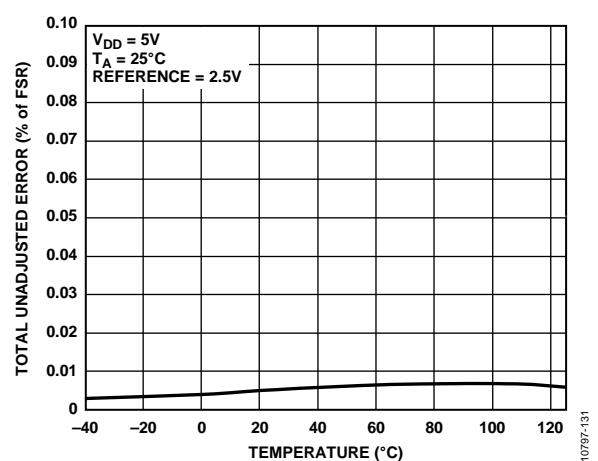


図 19.TUE の温度特性

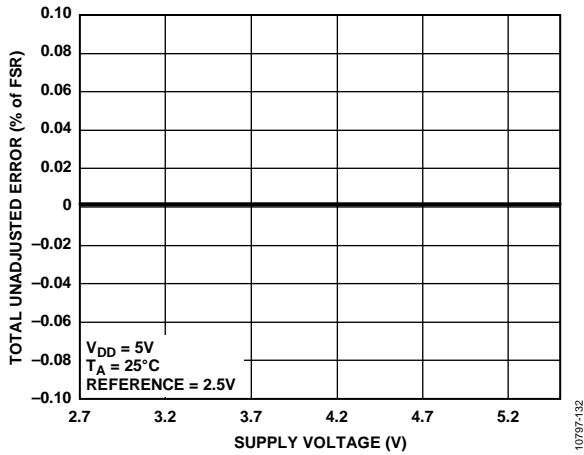


図 20.電源電圧対 TUE、ゲイン = 1

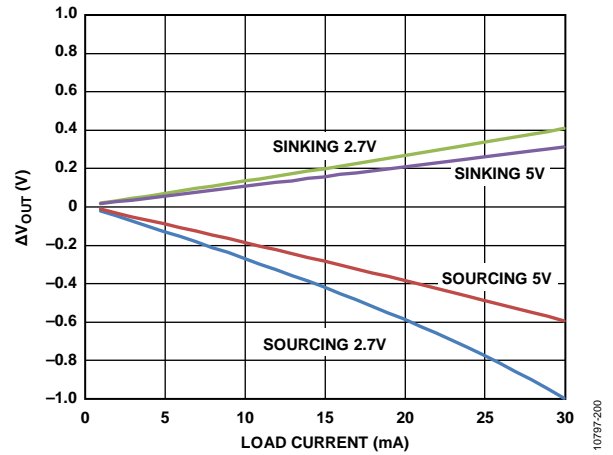


図 23.負荷電流対ヘッドルーム/フットルーム

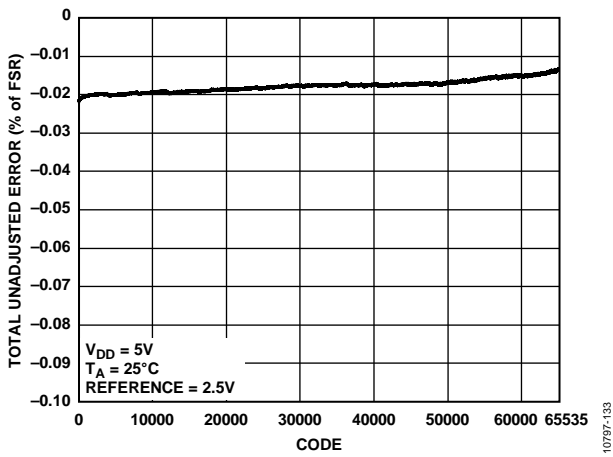


図 21.コード対 TUE

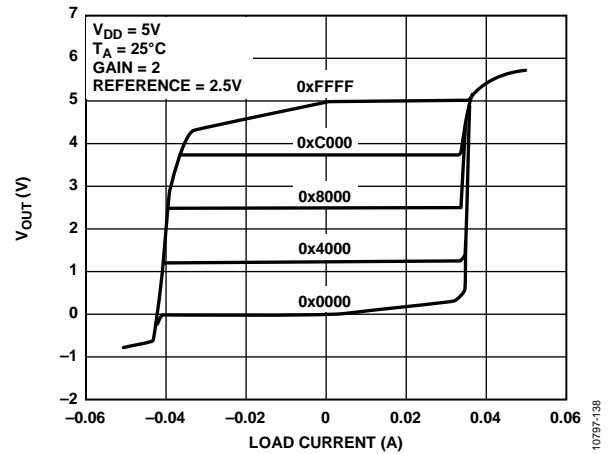


図 24.5 V でのソース能力とシンク能力

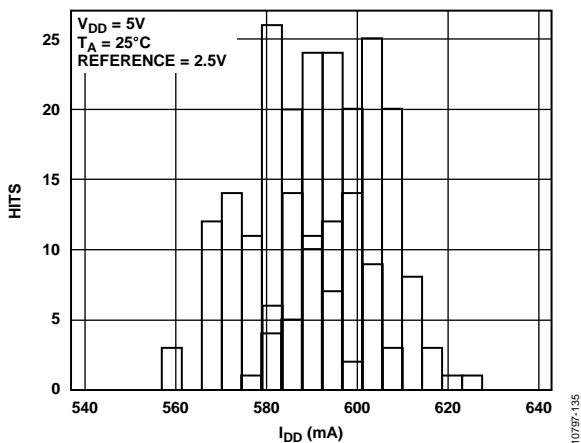


図 22. $I_{DD}$  のヒストグラム

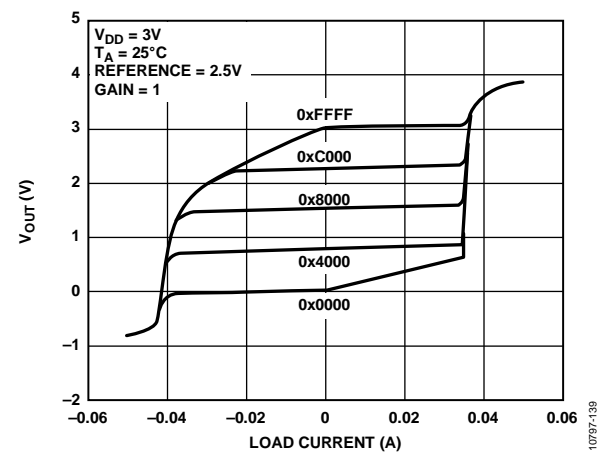


図 25.3 V でのソース能力とシンク能力

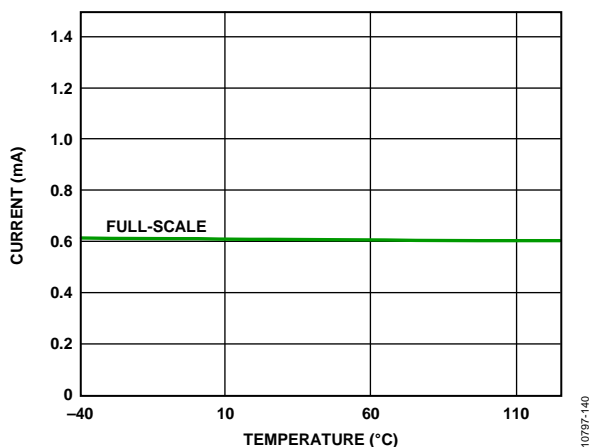


図 26.電源電流の温度特性

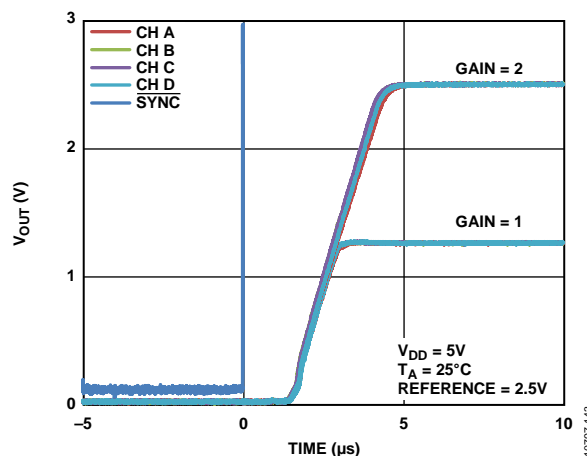


図 29.パワーダウン終了時のミススケール出力

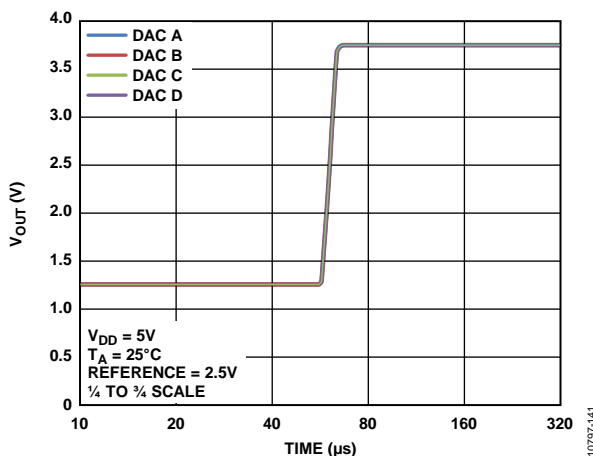


図 27.セトリング・タイム、5 V

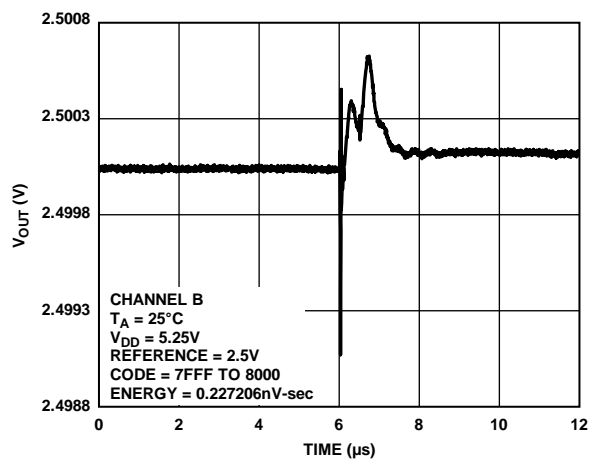


図 30.デジタルからアナログへのグリッチ・インパルス

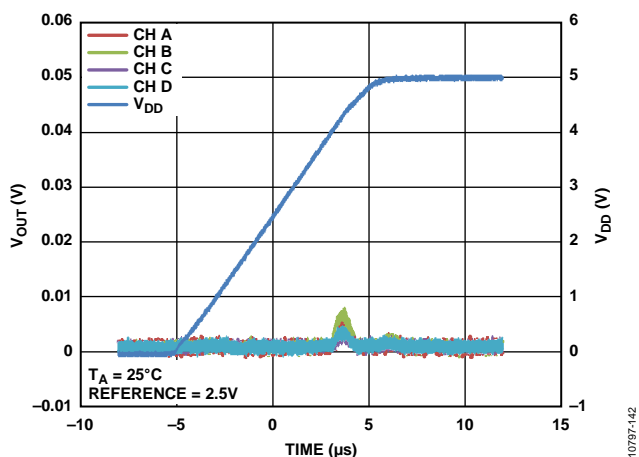


図 28.0 V へのパワーオン・リセット

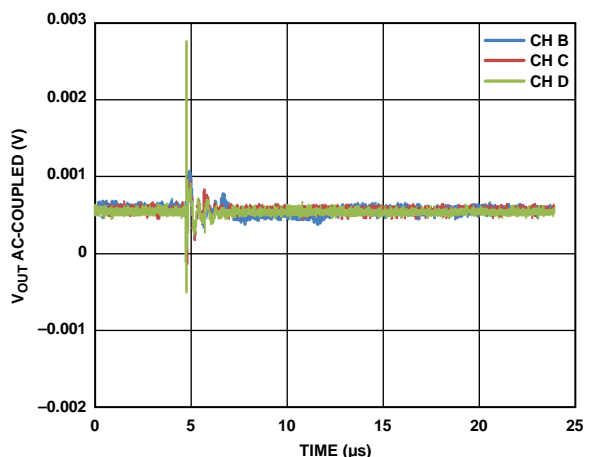


図 31.アナログ・クロストーク、チャンネル A

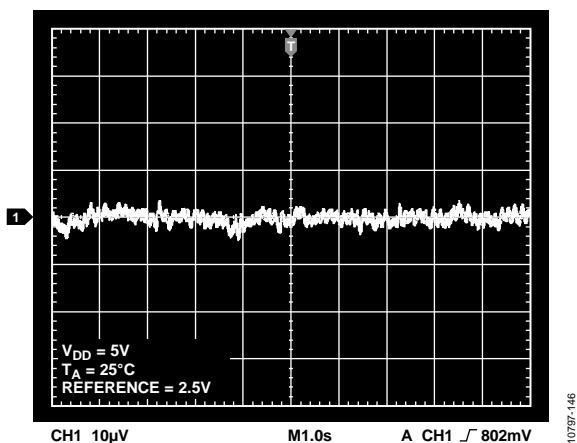


図 32. 0.1 Hz~10 Hz での出力ノイズ・プロット

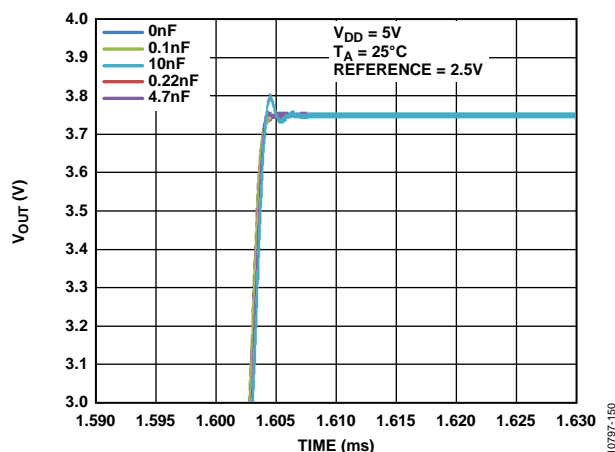


図 34. 容量負荷対セトリング・タイム

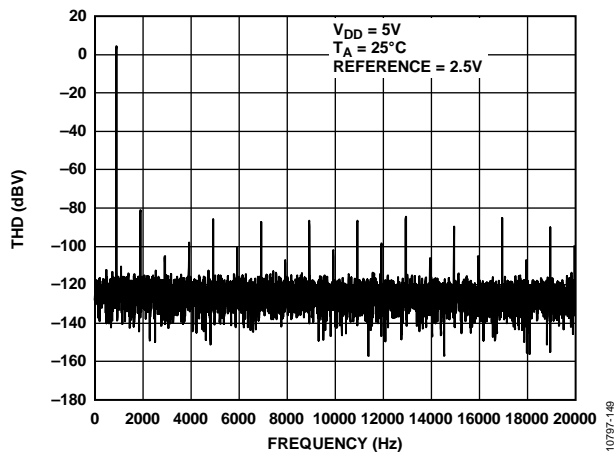


図 33. 総合高調波歪み、1 kHz

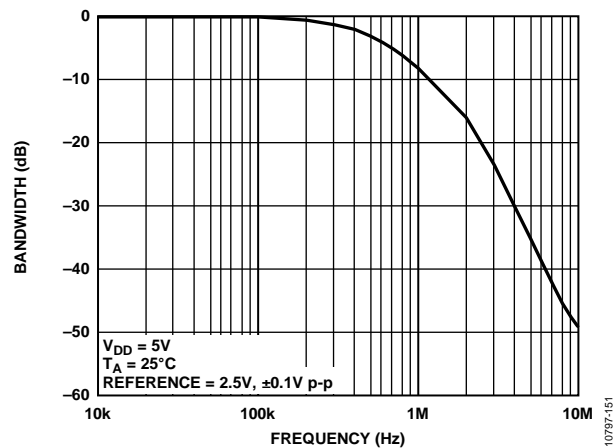


図 35. 乗算帯域幅、リファレンス電圧 = 2.5 V  
±0.1 V p-p、10 kHz~10 MHz

## 用語

### 相対精度または積分非直線性(INL)

DAC の場合、相対精度すなわち積分非直線性は、DAC 伝達関数の上下両端を結ぶ直線からの最大乖離(LSB 数で表示)を表します。INL(typ)対コードのプロットを図 8 に示します。

### 微分非直線性(DNL)

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大 $\pm 1$  LSB の微分非直線性の規定により、単調性が保証されます。これらの DAC はデザインにより単調性を保証しています。代表的な DNL 対コードについては図 10 を参照してください。

### ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コード(0x0000)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には、出力が 0 V である必要があります。ゼロ・コード誤差は AD5686/AD5684 では常に正です。これは、DAC と出力アンプのオフセット誤差の組み合わせによって DAC 出力が 0 V より低くなることができないためです。ゼロ・コード誤差は mV で表します。ゼロ・コード誤差の温度特性を図 16 に示します。

### フルスケール誤差

フルスケール誤差は、フルスケール・コード(0xFFFF)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には出力は  $V_{DD} - 1$  LSB である必要があります。フルスケール誤差はフルスケール範囲のパーセント値(FSR の%)で表します。フルスケール誤差の温度特性を図 15 に示します。

### ゲイン誤差

ゲイン誤差は、DAC 振幅誤差の測定値です。理論 DAC 伝達特性傾斜からの変位を表し、FSR の%で表示されます。

### オフセット誤差ドリフト

オフセット誤差ドリフトは、温度変化によるオフセット誤差の変化を表し、 $\mu\text{V}/^\circ\text{C}$  で表されます。

### ゲイン温度係数

ゲイン温度係数は、温度変化に対するゲイン誤差の変化を表し、FSR/ $^\circ\text{C}$  の ppm で表されます。

### オフセット誤差

オフセット誤差は、伝達関数の直線領域での  $V_{\text{OUT}}$  (実測値)と  $V_{\text{OUT}}$  (理論)の差を表し、mV で表示されます。この誤差は正または負になります。

### DC 電源除去比(PSRR)

DC PSRR は、電源電圧変化の DAC 出力に対する影響を表します。PSRR は、DAC フルスケール出力での、 $V_{\text{OUT}}$  変化の  $V_{\text{DD}}$  変化に対する比です。これは mV/V で測定されます。 $V_{\text{REF}}$  を 2.5 V に維持して、 $V_{\text{DD}}$  を  $\pm 10\%$  変化させます。

### 出力電圧セトリング・タイム

これは、1/4 フルスケール入力から 3/4 フルスケール入力への変化に対して、DAC 出力が所定のレベルまでに安定するために要する時間であり、SYNC の立上がりエッジから測定されます。

### デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV-sec で表すグリッチの面積として規定され、主要なキャリ変化時に(0x7FFF から 0x8000)、デジタル入力コードが 1 LSB だけ変化したときに測定されます(図 30 参照)。

### デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。nV-sec で規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定されます。

### ノイズ・スペクトル密度

ノイズ・スペクトル密度は、内部で発生するランダム・ノイズの大きさを表します。ランダム・ノイズは、スペクトル密度(nV/ $\sqrt{\text{Hz}}$ )としてキャラクタライズされます。DAC にミッドスケールを入力し、出力のノイズを測定して nV/ $\sqrt{\text{Hz}}$  で表します。

### DC クロストーク

別の DAC 出力での変化に起因する 1 つの DAC の出力レベルでの DC 変化。1 つのミッドスケールに維持した DAC をモニタしながら、別の DAC 上でのフルスケール出力変化(またはソフト・パワーダウンとパワーアップ)を使って測定し、 $\mu\text{V}$  で表されます。

負荷電流変化に起因する DC クロストークは、1 つの DAC の負荷電流変化がミッドスケールに設定された別の DAC へ与える影響を表し、 $\mu\text{V}/\text{mA}$  で表わされます。

### デジタル・クロストーク

ある 1 つの DAC の入力レジスタにおけるフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)から、ミッドスケール・レベルにある別の DAC の出力に混入したグリッチ・インパルスを表し、スタンドアロン・モードで測定し、nV-sec で表されます。



**アナログ・クロストーク**

DAC の出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルスを表し、入力レジスタの 1 つにフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆の変化)をロードして測定します。次に、ソフトウェア LDAC を実効して、デジタル・コードが変化しない DAC の出力をモニタします。グリッチの面積は nV-sec で表示します。

**DAC 間クロストーク**

デジタル・コードの変化とそれに続く別の DAC のアナログ出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルス。書込コマンドと更新コマンドを使って、DAC の 1 つにフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)をロードして、この間にミッドスケールにある別の DAC 出力をモニタすることにより測定します。グリッチのエネルギは nV-sec で表示します。

**乗算帯域幅**

DAC 内のアンプは有限な帯域幅を持っています。乗算帯域幅はこれを表します。入力された基準正弦波(DAC にフルスケール・コードをロード)は、出力に現われます。

**全高調波歪み(THD)**

THD は、理論正弦波と DAC を使ったために減衰したその正弦波との差を表します。DAC に対してリファレンスとして正弦波を使ったときに、DAC 出力に現われる高調波が THD になります。dB 値で表示します。

## 動作原理

### D/A コンバータ

AD5686/AD5684 は、シリアル入力の 16/12 ビット電圧出力クワッド DAC です。これらのデバイスは 2.7 V~5.5 V の電源電圧で動作します。データは、3 線式シリアル・インターフェースを使用して 24 ビット・ワード・フォーマットで AD5686/AD5684 へ書込まれます。AD5686/AD5684 は、パワーオン・リセット回路を内蔵しており、この回路により、パワーアップ時に DAC 出力を既知出力状態に維持することができます。これらのデバイスは、消費電流を 4  $\mu$ A (typ)まで減少させるソフトウェア・パワーダウン・モードも持っています。

### 伝達関数

DAC への入力コーディングはストレート・バイナリを使っているため、外付けリファレンスを使う場合、理論出力電圧は次式で与えられます。

$$X_{QWV} = X_{TGH} \times I_{ckp} \left[ \frac{F}{2^P} \right]$$

ここで、 $D$  は、DAC レジスタにロードされるバイナリ・コードの 10 進数表示です。

12 ビット・デバイスの場合 0~4095

16 ビット・デバイスの場合 0~65,535

$N$  は、DAC の分解能です。

$V_{REF}$  は、外付けリファレンスの値です。

$Gain$  は、出力アンプのゲインで、デフォルトで 1 に設定されます。

ゲインは、ゲイン選択ピンを使って  $\times 1$  または  $\times 2$  に設定することができます。このピンを GND に接続すると、4 個すべての DAC 出力の振幅は  $0\text{ V} \sim V_{REF}$  になります。このピンを  $V_{DD}$  に接続すると、4 個すべての DAC 出力の振幅は  $0\text{ V} \sim 2 \times V_{REF}$  になります。

### DAC アーキテクチャ

DAC アーキテクチャは、ストリング DAC とそれに続く出力アンプから構成されています。図 36 に、DAC アーキテクチャのブロック図を示します。

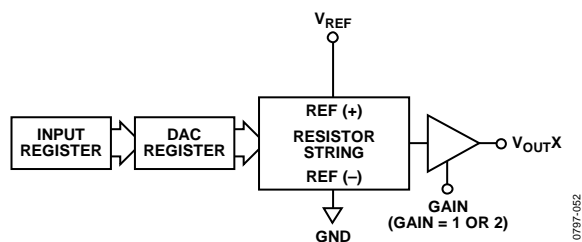


図 36. DAC 1 チャンネルあたりのアーキテクチャのブロック図

抵抗ストリング構造を図 37 に示します。各値が  $R$  の抵抗ストリングから構成されています。DAC レジスタにロードされるコードにより、ストリングのどのノードから電圧を分割して出力アンプへ供給するかが指定されます。スイッチの内の 1 つが閉じてストリングがアンプに接続されて、電圧が取り出されます。DAC は抵抗のストリングであるため、単調整が保証されます。

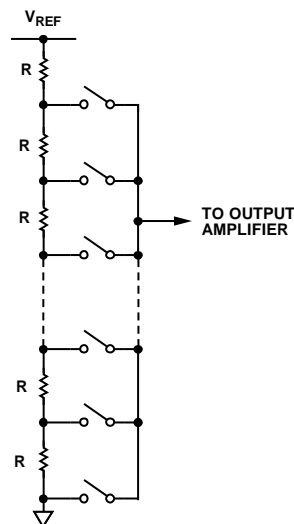


図 37. 抵抗ストリング構造

### 出力アンプ

出力バッファアンプは、出力でレール to レール電圧を発生することができます。0 V~ $V_{DD}$  の出力範囲になります。実際の範囲は、 $V_{REF}$  の値、GAIN ピン、オフセット誤差、ゲイン誤差に依存します。GAIN ピンで出力のゲインを選択します。

- このピンを GND に接続すると、4 個すべての出力のゲインは 1 になり、出力範囲は  $0\text{ V} \sim V_{REF}$  になります。
- このピンを  $V_{DD}$  に接続すると、4 個すべての出力のゲインは 2 になり、出力範囲は  $0\text{ V} \sim 2 \times V_{REF}$  になります。

これらのアンプは、GND へ接続した 1 k $\Omega$  と 2 nF の並列接続負荷を駆動することができます。スルーレートは 0.8 V/ $\mu$ s であり、1/4 スケールから 3/4 スケールまでのセトリング・タイムは 5  $\mu$ s です。

### シリアル・インターフェース

AD5686/AD5684 は、SPI、QSPI™、MICROWIRE®の各インターフェース規格や大部分のDSPと互換性のある 3 線式シリアル・インターフェース(SYNC、SCLK、SDIN)を内蔵しています。図 2 に、代表的な書込みシーケンスのタイミング図を示します。AD5686/AD5684 はSDOピンを内蔵しています。このピンを使うと、複数のデバイスをデイズチェーン接続することができます(デイズチェーン動作のセクション参照)。あるいはリードバックに使うことができます。

### 入カシフトレジスタ

AD5686/AD5684 の入カシフトレジスタは 24 ビット幅です。データは MSB ファースト (DB23)でロードされます。先頭の 4 ビットはコマンド・ビット C3~C0 です(表 8 参照)。その後ろに、4 ビットの DAC アドレス・ビット DAC A、DAC B、DAC C、DAC D が続き(表 9 参照)、最後はデータワードのビットです。

AD5686 の場合、データワードは 16 ビット入力コードで構成されます(図 38 参照)。AD5684 の場合、データワードは 12 ビット入力コードとそれに続くゼロまたは 4 個の don't care ビットで構成されます(図 39 参照)。これらのデータビットは、SCLK の 24 個の立下がりエッジで入力レジスタへ転送され、SYNC の立上がりエッジで更新されます。

コマンドは、選択したアドレス・ビットに応じて、個別 DAC チャンネル、組み合わせ DAC チャンネル、またはすべての DAC に対して実行することができます(表 9 参照)。

表 8. コマンド・ビットの定義

Command Bits				Description
C3	C2	C1	C0	
0	0	0	0	No operation
0	0	0	1	Write to Input Register n (dependent on LDAC)
0	0	1	0	Update DAC Register n with contents of Input Register n
0	0	1	1	Write to and update DAC Channel n
0	1	0	0	Power down/power up DAC
0	1	0	1	Hardware LDAC mask register
0	1	1	0	Software reset (power-on reset)
0	1	1	1	Reserved
1	0	0	0	Set up DCEN register (daisy-chain enable)
1	0	0	1	Set up readback register (readback enable)
1	0	1	0	Reserved
...	...	...	...	Reserved
1	1	1	1	Reserved

表 9. アドレス・ビットと選択される DAC

Address Bits				Selected DAC Channel <sup>1</sup>
DAC D	DAC C	DAC B	DAC A	
0	0	0	1	DAC A
0	0	1	0	DAC B
0	1	0	0	DAC C
1	0	0	0	DAC D
0	0	1	1	DAC A and DAC B
1	1	1	1	All DACs

<sup>1</sup> DAC チャンネルの任意の組み合わせを、アドレス・ビットを使って選択することができます。

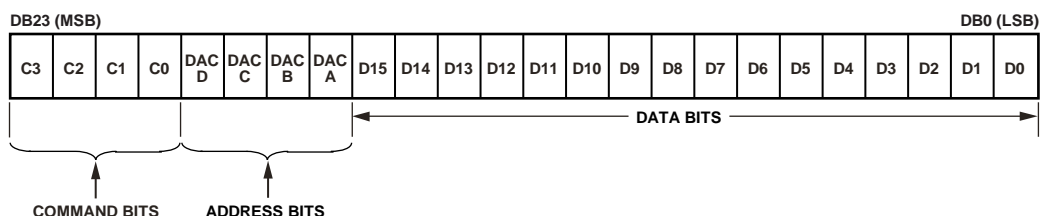


図 38. AD5686 入カシフトレジスタ値

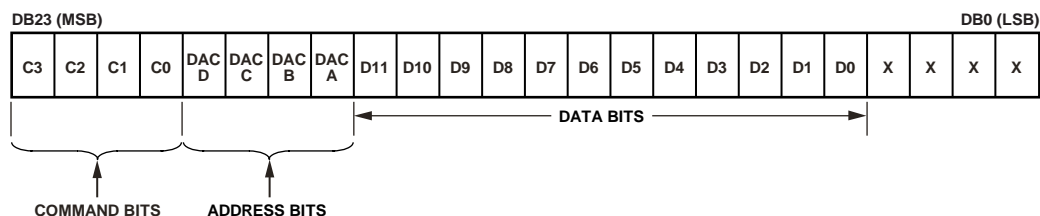


図 39. AD5684 入カシフトレジスタ値

### スタンダアロン動作

SYNCラインをロー・レベルにすると、書き込みシーケンスが開始されます。SDINラインからのデータは、SCLKの立下がりエッジで24ビット入力シフトレジスタに入力されます。24個のデータビットの最後を入力した後に、SYNCをハイ・レベルにする必要があります。その後で設定された機能、すなわちDACレジスタ値のLDAC依存変更および/または動作モード変更が実行されます。24番目のクロックの前のクロックでSYNCをハイ・レベルにすると、有効なフレームと無効なデータがDACへロードされたものと見なされます。次の書き込みシーケンス前にSYNCを最小20 ns間ハイ・レベルにして(シングル・チャンネル、図2の $t_{\text{H}}^{\text{SYNC}}$ 参照)、SYNCの立下がりエッジで次の書き込みシーケンスを開始できるようにする必要があります。SYNCは、デバイスの消費電力を小さくするため書き込みシーケンスと書き込みシーケンスの間にレール電圧でアイドルする必要があります。SYNCラインはSCLKの24個の立下がりエッジ間ロー・レベルに維持され、DACはSYNCの立上がりエッジで更新されます。

データがアドレス指定されたDACの入力レジスタへ転送された後に、SYNCラインがハイ・レベルの間にLDACをロー・レベルにすると、すべてのDACレジスタと出力を更新することができます。

### 書込コマンドと更新コマンド

#### 入力レジスタ n への書込(LDACに依存)

コマンド 0001 を使うと、各DACの専用入力レジスタへ個別に書込みを行うことができます。LDACがロー・レベルのとき、入力レジスタはトランスペアレントになります(LDACマスク・レジスタから制御されていない場合)。

#### 入力レジスタ n の値による DAC レジスタ n の更新

コマンド 0010 は、選択した入力レジスタ値を DAC レジスタ/出力へロードして DAC 出力を直接更新します。

#### DAC チャンネル n への書込と更新(LDACに非依存)

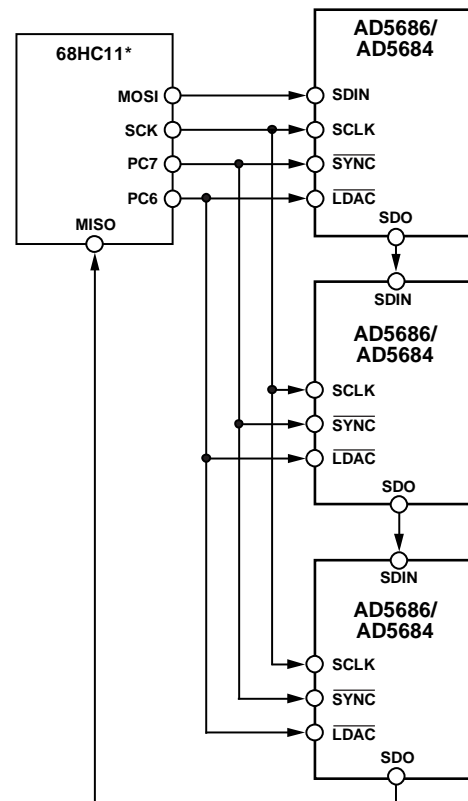
コマンド 0011 を使うと、DAC レジスタへ書込みを行なって、DAC 出力を直接更新することができます。

### デージーチェーン動作

複数の DAC を使うシステムでは、SDO ピンを使って複数のデバイスをデージーチェーン接続することができます。この機能は、ソフトウェアからデージーチェーン・イネーブル(DCEN)コマンドを実行してイネーブルします。コマンド 1000 は、この DCEN 機能として予約されています(表 8 参照)。デージーチェーン・モードは、DCEN レジスタのビット(DB0)をセットしてイネーブルします。デフォルト設定はスタンダアロン・モードで、DB0 = 0 になっています。表 10 に、ビットの状態とデバイスの動作モードとの対応を示します。

表 10. デージーチェーン・イネーブル(DCEN)レジスタ

DB0	Description
0	Standalone mode (default)
1	DCEN mode



\*ADDITIONAL PINS OMITTED FOR CLARITY.

10797-057

図 40. AD5686/AD5684 のデージーチェーン接続

SYNCがロー・レベルのとき、SCLKピンは連続的に入力シフトレジスタに接続されます。24個を超えるクロック・パルスが入力されると、データは入力シフトレジスタからはみ出して、SDOピンに出力されます。データはSCLKの立上がりエッジで出力され、SCLKの立下がりエッジで有効になります。SDOラインをチェーン内の次のDACのSDIN入力に接続すると、デージーチェーン・インターフェースが構成されます。システム内の各DACは、24個のクロック・パルスを必要とします。したがって、必要な合計クロック・サイクル数は  $24 \times N$  になります。ここで、Nは更新される合計デバイス数です。24の整数倍でないクロックでSYNCがハイ・レベルになると、有効なフレームと無効なデータがDACにロードされたものと見なされます。すべてのデバイスに対するシリアル転送が完了したら、SYNCをハイ・レベルにします。この動作により、デージーチェーン内にある各デバイス内の入力データがラッチされて、入力シフトレジスタにさらにデータが入力されるのを防止します。シリアル・クロックとしては、連続クロックまたはゲートド・クロックが可能です。正しいクロック・サイクル数間、SYNCをロー・レベルに維持することが可能な場合のみ、連続SCLKソースを使用することができます。ゲートド・クロック・モードでは、所定数のクロック・サイクルを含むバースト・クロックを使い、最終クロックの後にSYNCをハイ・レベルにしてデータをラッチする必要があります。

### リードバック動作

リードバック・モードは、ソフトウェアからリードバック・コマンドを実行して開始します。コントロール・レジスタのデイズチェーン・モード・ディスエーブル・ビットを使って SDO 出力をディスエーブルすると、再度ディスエーブルされた後に、読出し動作の間自動的にイネーブルされます。コマンド 1001 はリードバック機能に予約されています。このコマンドは、アドレス・ビット DAC A~DAC D の選択に対応して、読出し対象レジスタを選択します。リードバックでは 1 個の DAC レジスタだけが選択可能であることに注意してください。残りの 3 個のアドレス・ビットはロジック 0 に設定する必要があります。書込みシーケンス内の残りのデータビットは don't care ビットになります。1 以外のビットを選択すると、デフォルトで DAC チャンネル A がリードバックされます。次の SPI への書込み時に SDO に出力されるデータに、前にアドレス指定したレジスタのデータが含まれています。

例えば、チャンネル A の DAC レジスタをリードバックするとき、次のシーケンスを使うことができます。

- 0x900000 を AD5686/AD5684 入力レジスタへ書込みます。この動作により、デバイスが読出しモードに設定され、チャンネル A の DAC レジスタが選択されます。データビット DB15~DB0 は無視されることに注意してください。
- 次に、2 番目の書込みで NOP 状態 0x000000 を書込みます。この書込みで、レジスタからのデータが SDO ラインへ出力されます。DB23~DB20 には未定義データが格納され、最後の 16 ビットに DAC レジスタ値の DB19~DB4 が格納されます。

### パワーダウン動作

AD5686/AD5684 には 3 種類のパワーダウン・モードがあります(表 11 参照)。コマンド 0100 は、パワーダウン機能に割り当てられています(表 8 参照)。これらのパワーダウン・モードは、入力シフトレジスタの 8 ビット(ビット DB7~ビット DB0)を設定することにより、ソフトウェアから設定することができます。各 DAC チャンネルに対応した 2 ビットがあります。表 11 に、2 ビットの状態とデバイスの動作モードとの対応を示します。

表 11.動作モード

Operating Mode	PDx1	PDx0
Normal Operation	0	0
Power-Down Modes		
1 kΩ to GND	0	1
100 kΩ to GND	1	0
Three-State	1	1

対応するビットをセットすることにより、任意またはすべての DAC (DAC A~DAC D)を選択したモードにパワーダウンさせることができます。パワーダウン/パワーアップ動作時の入力シフトレジスタ値については表 12 を参照してください。

入力シフトレジスタのビット PDx1 とビット PDx0 (ここで x は選択したチャンネル)を 0 に設定すると、デバイスは通常の消費電力(5 V で 0.59 mA)で通常動作しますが、3 つのパワーダウン・モードでは、電源電流は 5 V で 4 μA に減少します。電源電流が減少するだけでなく、出力ステージも内部でアンプ出力から既知値の抵抗回路へ切り替えられます。これは、デバイスの出力インピーダンスが既知であると同時にデバイスがパワーダウン・モードになるという利点を持っています。3 種類のパワーダウン・オプションがあります(表 11 参照)。すなわち、出力が内部で 1 kΩ または 100 kΩ 抵抗を介して GND に接続されるか、あるいはオープン(スリー・ステート)になります。出力ステージを図 41 に示します。

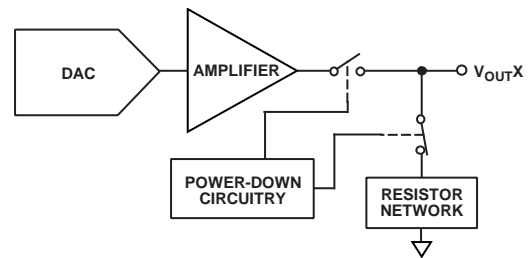


図 41.パワーダウン時の出力ステージ

パワーダウン・モードのときは、バイアス・ジェネレータ、出力アンプ、抵抗ストリング、およびその他の関係するリニア回路はシャットダウンされます。ただし、DAC レジスタの値はパワーダウン・モードで影響を受けることはありません。デバイスがパワーダウン・モードのとき、DAC レジスタを更新することができます。パワーダウンから抜け出すために要する時間は、V<sub>DD</sub> = 5 V で 4.5 μs (typ)です。

表 12.パワーダウン/パワーアップ動作の 24 ビット入力シフトレジスタ値<sup>1</sup>

DB23	DB22	DB21	DB20	DB19 to DB16	DB15 to DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0 (LSB)
0	1	0	0	X	X	PDD1	PDD0	PDC1	PDC0	PDB1	PDB0	PDA1	PDA0
Command bits (C3 to C0)				Address bits (don't care)		Power-Down Select DAC D		Power-Down Select DAC C		Power-Down Select DAC B		Power-Down Select DAC A	

<sup>1</sup> X = don't care.

## DAC のロード(ハードウェアLDACピン)

AD5686/AD5684 のDACは、入力レジスタとDACレジスタの 2 つのレジスタ・バンクで構成されているダブルバッファ化されたインターフェースを内蔵しています。入力レジスタの任意の組み合わせへ書込みを行うことができます。DACレジスタの更新は、LDACピンから制御されます。

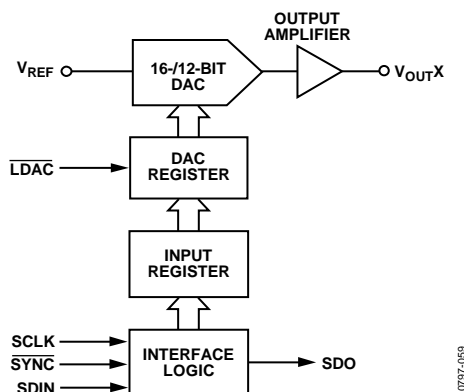


図 42.1 個の DAC についての入力ロード回路の簡略図

### DAC の瞬時更新(LDACをロー・レベルに維持)

コマンド 0001 を使ってデータを入力レジスタへ入力する間LDACをロー・レベルに維持します。アドレス指定された入力レジスタとDACレジスタがSYNCの立上がりエッジで更新されて、出力が変化を開始します(表 14 参照)。

### DAC の遅延更新(LDACへ立下がりパルスを入力)

コマンド 0001 を使ってデータを入力レジスタへ入力するときLDACをハイ・レベルに維持します。SYNCをハイ・レベルにした後にLDACをロー・レベルにすることにより、すべてのDAC出力が非同期に更新されます。更新は、LDACの立下がりエッジで行われるようになります。

表 14.書込コマンドとLDACピンの真値表<sup>1</sup>

Command	Description	Hardware LDAC Pin State	Input Register Contents	DAC Register Contents
0001	Write to Input Register n (dependent on LDAC)	V <sub>LOGIC</sub>	Data update	No change (no update)
		GND <sup>2</sup>	Data update	Data update
0010	Update DAC Register n with contents of Input Register n	V <sub>LOGIC</sub>	No change	Updated with input register contents
		GND	No change	Updated with input register contents
0011	Write to and update DAC Channel n	V <sub>LOGIC</sub>	Data update	Data update
		GND	Data update	Data update

<sup>1</sup> ハードウェアLDACピンのハイ・レベルからロー・レベルへの変化により、常に DAC レジスタ値が、LDACマスク・レジスタでマスクされていないチャンネルの入力レジスタ値で更新されます。

<sup>2</sup> LDAC をロー・レベルに固定すると、LDAC マスク・ビットは無視されます。

## LDAC マスク・レジスタ

コマンド 0101 は、このソフトウェアLDAC機能に予約されています。アドレス・ビットは無視されます。コマンド 0101 を使ってDACへ書込を行うと、4 ビットのLDACレジスタ(DB3~DB0)がロードされます。各チャンネルのデフォルト値は 0、すなわちLDACピンは通常動作になります。ビットを 1 に設定すると、ハードウェアLDACピンの状態に無関係に、このDACチャンネルはLDACピンでの変化を無視します。この柔軟性は、LDACピンに対応させてチャンネルを選択するアプリケーションで役立ちます。このLDACレジスタを使うと、ハードウェアLDACピンを柔軟に制御することができます(表 13 参照)。あるDACチャンネルに対してLDACビット(DB3~DB0)を 0 に設定することは、このチャンネルの更新がハードウェアLDACピンから制御されることを意味します。

表 13.LDAC 上書きの定義

Load LDAC Register		LDAC Operation
LDAC Bits (DB3 to DB0)	LDAC Pin	
0	1 or 0	Determined by the LDAC pin.
1	X <sup>1</sup>	DAC channels are updated and override the LDAC pin. DAC channels see LDAC as 1.

<sup>1</sup> X = don't care

## ハードウェア・リセット( $\overline{\text{RESET}}$ )

$\overline{\text{RESET}}$  はアクティブ・ローのリセットで、出力をゼロスケールまたはミッドスケールへクリアできるようにします。クリア・コード値は、 $\overline{\text{RESET}}$ セレクト・ピンを使って選択することができます。動作を完了するためには、 $\overline{\text{RESET}}$ を最小 30 ns間ロー・レベルに維持する必要があります(図 2 参照)。 $\overline{\text{RESET}}$ 信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はクリア値を維持します。 $\overline{\text{RESET}}$ ピンがロー・レベルの間、出力は新しい値で更新できません。これらのデバイスには、DACをパワーオン・リセット・コードにリセットする、ソフトウェアからのリセット機能もあります。コマンド 0110 は、このソフトウェア・リセット機能に割り当てられています(表 8 参照)。パワーオン・リセット時のLDACまたは $\overline{\text{RESET}}$ の動作はすべて無視されます。

## リセット選択ピン(RSTSEL)

AD5686/AD5684 は、パワーアップ時に出力電圧を制御するパワーオン・リセット回路を内蔵しています。RSTSEL ピンをロー・レベルにすると、出力はゼロスケールでパワーアップします。これは DAC のリニア領域外であることに注意してください。RSTSEL ピンをハイ・レベルにすると、 $V_{\text{OUT}}$  はミッドスケールでパワーアップします。出力はこのレベルでパワーアップを維持し、有効な書込みシーケンスが実行されるまでこの状態が維持されます。

## アプリケーション情報

### マイクロプロセッサ・インターフェース

マイクロプロセッサとAD5686/AD5684とのインターフェースは、マイクロコントローラとDSPプロセッサに対して互換性を持つ標準プロトコルを使うシリアル・バスを使って行います。この通信チャンネルには、クロック信号、データ信号、同期信号から構成される3線式または4線式のインターフェースが必要です。このデバイスでは、24ビットのデータワードを使用し、SYNCの立上がりエッジでデータが有効である必要があります。

### AD5686/AD5684 と ADSP-BF531 とのインターフェース

AD5686/AD5684のSPIインターフェースは、業界標準のDSPとマイクロコントローラに容易に接続できるようにデザインされています。図43に、AD5686/AD5684とアナログ・デバイセズのBlackfin® DSPとの接続方法を示します。Blackfinは、AD5686/AD5684のSPIピンへ直接接続できるSPIポートを内蔵しています。

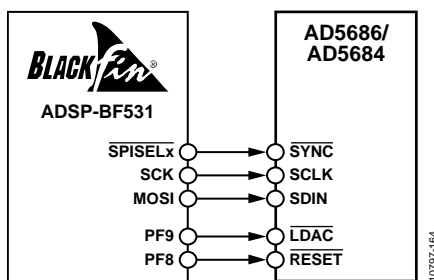


図43. ADSP-BF531 インターフェース

### AD5686/AD5684 と SPORT とのインターフェース

アナログ・デバイセズのADSP-BF527は、1個のSPORTシリアル・ポートを内蔵しています。図44に、1個のSPORTインターフェースを使って、AD5686/AD5684を制御する方法を示します。

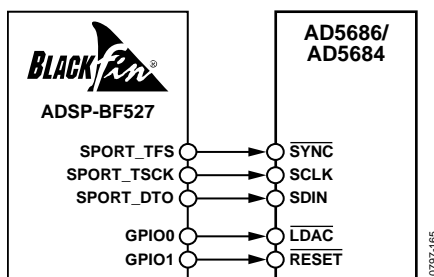


図44. SPORT インターフェース

### レイアウトのガイドライン

高精度が重要となる回路では、電源とグラウンド・リターンへのレイアウトを注意深く行うことが、定格性能の保証に役立ちます。

AD5686/AD5684を実装するPCBは、AD5686/AD5684をアナログ・プレーン上に配置するようにデザインする必要があります。

AD5686/AD5684に対しては、10 $\mu$ Fと0.1 $\mu$ Fの並列接続により十分な電源バイパスをパッケージのできるだけ近くに、理想的にはデバイスに直接に、接続する必要があります。10 $\mu$ Fのコンデンサはタンタルのビーズ型を使います。0.1 $\mu$ Fコンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESI)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

1枚のボード上に多くのデバイスを実装するシステムでは、ヒート・シンク能力を設けて電力の消費を容易にすることが有効であることがあります。

AD5686/AD5684には、デバイスの底にエクスポーズド・パッドが設けてあります。このパッドをデバイスのGNDへ接続してください。最適性能を得るためには、マザーボードのデザインに特別な注意を払って、パッケージを実装してください。熱的性能、電氣的性能、ボード・レベルの性能を強化するため、パッケージ底面のエクスポーズド・パッドは対応するPCBのサーマル・ランド・パッドにハンダ付けしてください。PCBランド・パッド領域にサーマル・ビアを配置するようにデザインしてさらに熱放散を強化してください。

自然なヒート・シンク効果を提供するため、デバイス上のGNDプレーンを大きくすることができます(図45参照)。

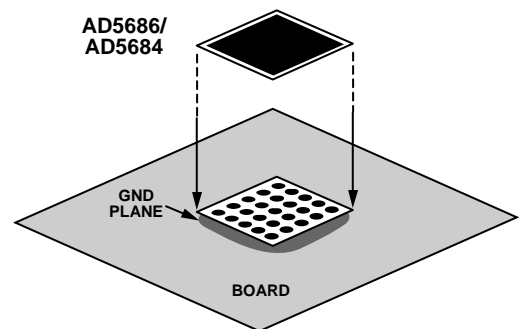
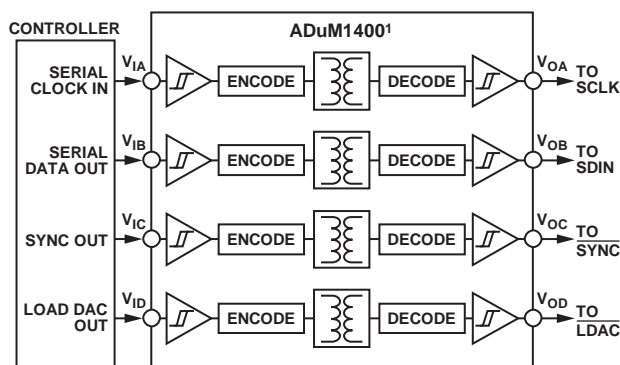


図45. パッドとボードの接続



電流絶縁型インターフェース

多くのプロセス制御アプリケーションでは、コントローラと被制御対象のユニットとの間にアイソレーション障壁を設けて、危険な同相モード電圧から制御回路を保護してアイソレーションすることが必要です。アナログ・デバイセズの *iCoupler*® 製品は、2.5 kV を超える電圧アイソレーションを提供します。AD5686/AD5684 はシリアル・ローディング方式を採用しているため、インターフェース・ライン数が最小になっているので、絶縁インターフェース向けに最適です。図 46 に、ADuM1400 を使用して構成した、AD5686/AD5684 への 4 チャンネル絶縁型インターフェースを示します。詳細については、弊社ウェブサイト「*iCoupler*® デジタル・アイソレーション比類なき性能と集積化」をご覧ください。



<sup>1</sup>ADDITIONAL PINS OMITTED FOR CLARITY.

10797-167

図 46. 絶縁型インターフェース

外形寸法

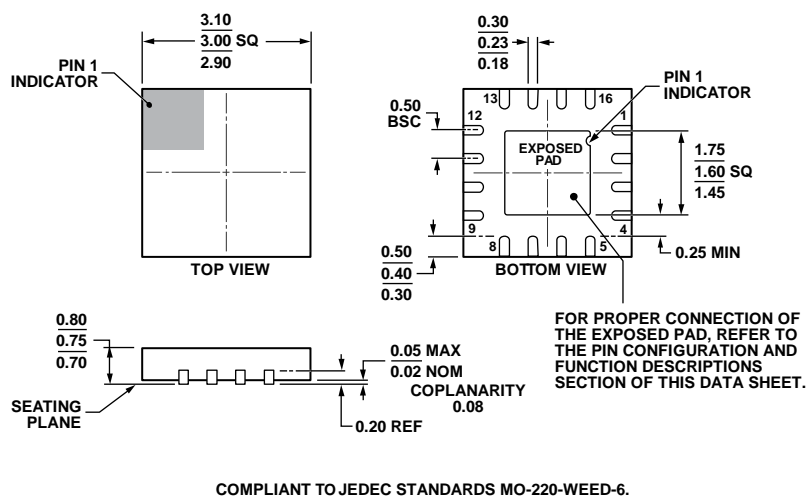


図 47.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_WQ]  
3 mm x 3 mm ボディ、極薄クワッド  
(CP-16-22)  
寸法: mm

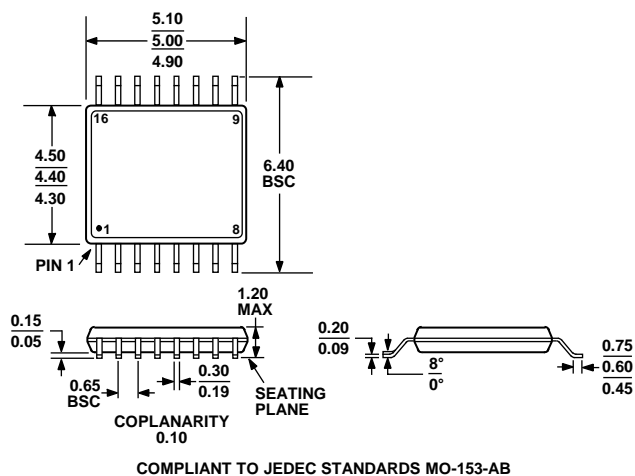


図 48.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]  
(RU-16)  
寸法: mm

## オーダー・ガイド

Model <sup>1</sup>	Resolution	Temperature Range	Accuracy	Package Description	Package Option	Branding
AD5686ACPZ-RL7	16 Bits	-40°C to +105°C	±8 LSB INL	16-Lead LFCSP_WQ	CP-16-22	DJH
AD5686BCPZ-RL7	16 Bits	-40°C to +105°C	±2 LSB INL	16-Lead LFCSP_WQ	CP-16-22	DJJ
AD5686ARUZ	16 Bits	-40°C to +105°C	±8 LSB INL	16-Lead TSSOP	RU-16	
AD5686ARUZ-RL7	16 Bits	-40°C to +105°C	±8 LSB INL	16-Lead TSSOP	RU-16	
AD5686BRUZ	16 Bits	-40°C to +105°C	±2 LSB INL	16-Lead TSSOP	RU-16	
AD5686BRUZ-RL7	16 Bits	-40°C to +105°C	±2 LSB INL	16-Lead TSSOP	RU-16	
AD5684BCPZ-RL7	12 Bits	-40°C to +105°C	±1 LSB INL	16-Lead LFCSP_WQ	CP-16-22	DJP
AD5684ARUZ	12 Bits	-40°C to +105°C	±2 LSB INL	16-Lead TSSOP	RU-16	
AD5684ARUZ-RL7	12 Bits	-40°C to +105°C	±2 LSB INL	16-Lead TSSOP	RU-16	
AD5684BRUZ	12 Bits	-40°C to +105°C	±1 LSB INL	16-Lead TSSOP	RU-16	
AD5684BRUZ-RL7	12 Bits	-40°C to +105°C	±1 LSB INL	16-Lead TSSOP	RU-16	
EVAL-AD5686RSDZ				16-Bit Evaluation Board		
EVAL-AD5684RSDZ				12-Bit Evaluation Board		

<sup>1</sup> Z = RoHS 準拠製品。