



±2 (16ビット) LSB INL、2 ppm/°Cリファレンス内蔵 小型16/14/12ビットSPI nanoDAC+

データシート

AD5683R/AD5682R/AD5681R/AD5683

特長

超小型パッケージ: 2 mm × 2 mm、8 ピン LFCSP
高い相対精度(INL): 16 ビットで最大±2 LSB

AD5683R/AD5682R/AD5681R

2 ppm/°C (typ)の低ドリフト 2.5 V リファレンスを内蔵
2.5 V または 5 V の出力振幅を選択可能

AD5683

外付けリファレンスのみ
選択可能な振幅出力: V_{REF} または $2 \times V_{REF}$
総合未調整誤差(TUE): FSR の最大 0.06%
オフセット誤差: 最大±1.5 mV
ゲイン誤差: FSR の最大±0.05%

低グリッチ: 0.1 nV-sec
高い駆動能力: 20 mA
低消費電力: 3.3 V で 1.2 mW
独立したロジック電源: 1.8 V~5.5 V
広い動作温度範囲: -40°C~+105°C
4 kV の HBM ESD 保護

アプリケーション

プロセス制御
データ・アキュイジション・システム
ゲインとオフセットのデジタル調整
プログラマブル電圧源

概要

nanoDAC+®ファミリーに属する AD5683R/AD5682R/AD5681R/AD5683 は、低消費電力、1 チャンネル、16/14/12 ビットのバッファ付き電圧出力 DAC です。AD5683 以外のデバイスは、デフォルトでイネーブルされている 2 ppm/°C ドリフトの 2.5 V リファレンス電圧を内蔵しています。出力振幅は、0 V~ V_{REF} または 0 V~ $2 \times V_{REF}$ に設定することができます。すべてのデバイスは 2.7 V~5.5 V の単電源で動作し、単調性はデザインにより保証されています。これらのデバイスは、2.00 mm × 2.00 mm の 8 ピン LFCSP パッケージまたは 10 ピン MSOP パッケージを採用しています。

内蔵のパワーオン・リセット回路により、内蔵出力バッファを通常モードに設定した場合、パワーアップ時に DAC レジスタにゼロスケールが書込まれます。AD5683R/AD5682R/AD5681R/AD5683 には消費電流を 5 V で最大 2 μ A まで削減するパワーダウン・モードがあり、さらにパワーダウン・モードでソフトウェアから出力負荷を選択することができます。

AD5683R/AD5682R/AD5681R/AD5683 は、最大 50 MHz のクロック・レートで動作する 3 線式シリアル・インターフェースを採用しています。幾つかのデバイスは非同期の RESET ピンと V_{LOGIC} ピンのオプションを持ち、1.8 V との互換性があります。

機能ブロック図

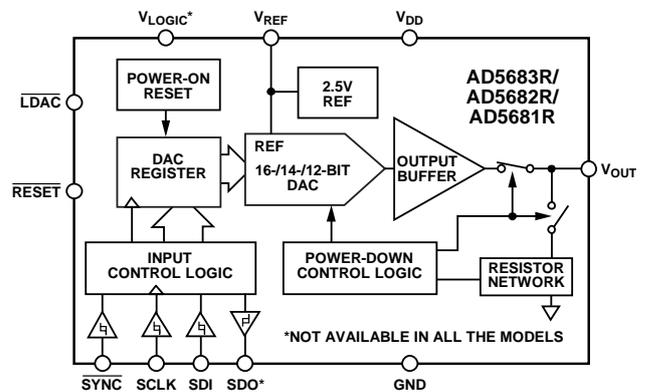


図 1. AD5683R/AD5682R/AD5681R MSOP
(詳細については、機能ブロック図—LFCSP のセクションを参照してください。)

表 1. シングル・チャンネル nanoDAC+

Interface	Reference	16-Bit	14-Bit	12-Bit
SPI	Internal	AD5683R	AD5682R	AD5681R
SPI	External	AD5683		

製品のハイライト

- 高い相対精度(INL)。
AD5683R/AD5683 (16 ビット): 最大±2 LSB。
- 低ドリフトの 2.5 V リファレンス電圧を内蔵。
温度係数: 2 ppm/°C (typ)
最大温度係数: 5 ppm/°C
- 2 種類のパッケージ・オプション。
2.00 mm × 2.00 mm の 8 ピン LFCSP。
10 ピン MSOP。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	D/A コンバータ	19
アプリケーション	1	伝達関数.....	19
機能ブロック図	1	DACアーキテクチャ.....	19
概要.....	1	シリアル・インターフェース.....	21
製品のハイライト	1	SPI シリアル・データ・インターフェース	21
改訂履歴.....	2	ショート書込み動作 (AD5681R の場合).....	21
機能ブロック図—LFCSP.....	3	内部レジスタ	23
仕様.....	4	コマンド.....	23
AC 特性	6	ハードウェア $\overline{\text{LDAC}}$	25
タイミング特性.....	6	ハードウェア $\overline{\text{RESET}}$	25
絶対最大定格	8	熱ヒステリシス	26
熱抵抗.....	8	パワーアップ・シーケンス	26
ESD の注意	8	レイアウトのガイドライン	26
ピン配置およびピン機能説明	9	外形寸法.....	27
代表的な性能特性	11	オーダー・ガイド	28
用語.....	17		
動作原理.....	19		

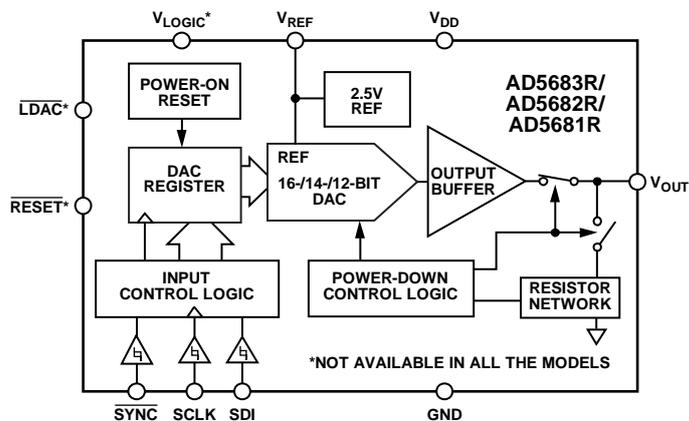
改訂履歴

1/14—Rev. 0 to Rev. A

Change to Features Section	1
Removed Endnote 2, Endnote 3, Endnote 5, and Endnote 6, Table 2; Renumbered Sequentially	5
Removed Endnote 2, Table 3; Renumbered Sequentially	6
Removed Endnote 1, Table 4; Renumbered Sequentially	6
Changes to Table 5	8
Removed Solder Heat Reflow Section and Figure 53; Renumbered Sequentially	25

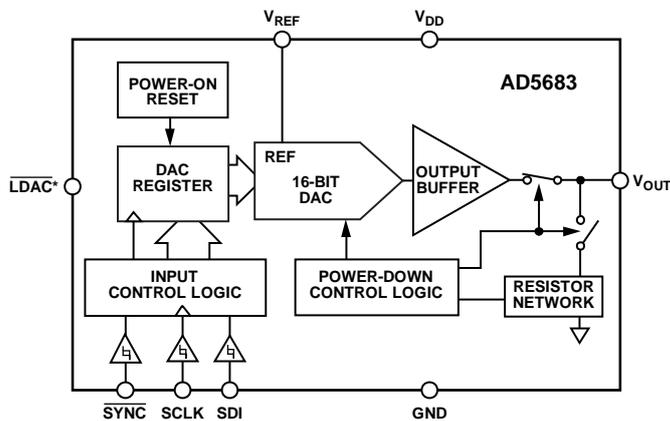
12/13—Revision 0: Initial Version

機能ブロック図—LFCSP



11955-002

図 2.AD5683R/AD5682R/AD5681R LFCSP



11955-003

図 3.AD5683 LFCSP

仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ (GNDへ接続)、 $C_L = 200\text{ pF}$ (GNDへ接続)、 $V_{REF} = 2.5\text{ V}$ 、 $V_{LOGIC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
STATIC PERFORMANCE ¹					
AD5683R					
Resolution	16			Bits	
Relative Accuracy, INL				LSB	
A Grade			± 8	LSB	
B Grade			± 2	LSB	Gain = 2
			± 3	LSB	Gain = 1
Differential Nonlinearity, DNL			± 1	LSB	Guaranteed monotonic by design
AD5683					
Resolution	16			Bits	
Relative Accuracy, INL			± 2	LSB	Gain = 2
			± 3	LSB	Gain = 1
Differential Nonlinearity, DNL			± 1	LSB	Guaranteed monotonic by design
AD5682R					
Resolution	14			Bits	
Relative Accuracy, INL			± 1	LSB	
Differential Nonlinearity, DNL			± 1	LSB	Guaranteed monotonic by design
AD5681R					
Resolution	12			Bits	
Relative Accuracy, INL			± 1	LSB	
Differential Nonlinearity, DNL			± 1	LSB	Guaranteed monotonic by design
Zero-Code Error			1.25	mV	All 0s loaded to DAC register
Offset Error			± 1.5	mV	
Full-Scale Error			± 0.075	% of FSR	All 1s loaded to DAC register
Gain Error			± 0.05	% of FSR	
Total Unadjusted Error, TUE			± 0.16	% of FSR	Internal reference, gain = 1
			± 0.14	% of FSR	Internal reference, gain = 2
			± 0.075	% of FSR	External reference, gain = 1
			± 0.06	% of FSR	External reference, gain = 2
Zero-Code Error Drift		± 1		$\mu\text{V}/^\circ\text{C}$	
Offset Error Drift		± 1		$\mu\text{V}/^\circ\text{C}$	
Gain Temperature Coefficient		± 1		ppm/ $^\circ\text{C}$	
DC Power Supply Rejection Ratio, PSRR		0.2		mV/V	DAC code = midscale; $V_{DD} = 5\text{ V} \pm 10\%$
OUTPUT CHARACTERISTICS					
Output Voltage Range	0		V_{REF}	V	Gain = 1
	0		$2 \times V_{REF}$	V	Gain = 2
Capacitive Load Stability		2		nF	$R_L = \infty$
		10		nF	$R_L = 2\text{ k}\Omega$
Resistive Load	1			k Ω	$C_L = 0\text{ }\mu\text{F}$
Load Regulation		10		$\mu\text{V}/\text{mA}$	5 V, DAC code = midscale; $-30\text{ mA} \leq I_{OUT} \leq +30\text{ mA}$
		10		$\mu\text{V}/\text{mA}$	3 V, DAC code = midscale; $-20\text{ mA} \leq I_{OUT} \leq +20\text{ mA}$
Short-Circuit Current	20	30	50	mA	
Load Impedance at Rails ²		20		Ω	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
REFERENCE OUTPUT					
Output Voltage	2.4975		2.5025	V	At ambient
Voltage Reference TC ³					See the Terminology section
A-Grade		5	20	ppm/°C	
B-Grade		2	5	ppm/°C	
Output Impedance		0.05		Ω	
Output Voltage Noise		16.5		μV p-p	0.1 Hz to 10 Hz
Output Voltage Noise Density		250		nV/√Hz	At ambient; f = 10 kHz, C _L = 10 nF
Capacitive Load Stability		5		μF	R _L = 2 kΩ
Load Regulation Sourcing		50		μV/mA	At ambient; V _{DD} ≥ 3 V
Load Regulation Sinking		30		μV/mA	At ambient
Output Current Load Capability		±5		mA	V _{DD} ≥ 3 V
Line Regulation		80		μV/V	At ambient
Thermal Hysteresis		125		ppm	First cycle
		25		ppm	Additional cycles
REFERENCE INPUT					
Reference Current		26		μA	V _{REF} = V _{DD} = V _{LOGIC} = 5.5 V, gain = 1
		47		μA	V _{REF} = V _{DD} = V _{LOGIC} = 5.5 V, gain = 2
Reference Input Range	1		V _{DD}	V	
Reference Input Impedance		120		kΩ	Gain = 1
		60		kΩ	Gain = 2
LOGIC INPUTS					
I _{IN} , Input Current			±1	μA	Per pin
V _{INL} , Input Low Voltage ⁴			0.3 × V _{DD}	V	
V _{INH} , Input High Voltage ⁵	0.7 × V _{DD}			V	
C _{IN} , Pin Capacitance		2		pF	
LOGIC OUTPUTS (SDO)⁵					
Output Low Voltage, V _{OL}			0.4	V	I _{SINK} = 200 μA
Output High Voltage, V _{OH}	V _{DD} - 0.4			V	I _{SOURCE} = 200 μA
Pin Capacitance		4		pF	
POWER REQUIREMENTS					
V _{LOGIC} ⁵	1.8		5.5	V	
I _{LOGIC} ⁵		0.25	3	μA	V _{IH} = V _{LOGIC} or V _{IL} = GND
V _{DD}	2.7		5.5	V	Gain = 1
	V _{REF} + 1.5		5.5	V	Gain = 2
I _{DD} ⁶					V _{IH} = V _{DD} , V _{IL} = GND
Normal Mode ⁷		350	500	μA	Internal reference enabled
		110	180	μA	Internal reference disabled
Power-Down Modes ⁸			2	μA	

¹ 直線性はコード範囲を縮小して計算: AD5683R と AD5683 (コード 512 ~ コード 65,535)、AD5682R (コード 128 ~ コード 16,384)、AD5681R (コード 32 ~ コード 4096)。出力は無負荷。

² いずれかの電源レールから負荷電流を取り出すとき、その電源レールに対する出力電圧のヘッドルームは、出力デバイスのチャンネル抵抗 20 Ω (typ) により制限されます。例えば、1 mA シンクの場合、20 Ω、1 mA での最小出力電圧は 20 mV になります。図 38 の負荷電流対ヘッドルーム/フットルームを参照。

³ リファレンス電圧の温度係数はボックス法に準拠して計算します。詳細については、用語のセクションを参照してください。

⁴ V_{LOGIC} ピンを持つデバイス上では V_{LOGIC} を V_{DD} で置き換えてください。

⁵ V_{LOGIC} ピンと SDO ピンは全モードで使用できません。

⁶ V_{LOGIC} ピンを使用できない場合は、I_{DD} = I_{DD} + I_{LOGIC} となります。

⁷ インターフェースは非アクティブ状態。DAC はアクティブ。DAC 出力は無負荷。

⁸ DAC はパワーダウン。

AC 特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ (GNDへ接続)、 $C_L = 200\text{ pF}$ (GNDへ接続)、 $V_{REF} = 2.5\text{ V}$ 、 $V_{LOGIC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。¹

表 3.

Parameter	Typ	Max	Unit	Conditions/Comments
Output Voltage Settling Time ^{2,3}	5	7	μs	Gain = 1
Slew Rate	0.7		$\text{V}/\mu\text{s}$	
Digital-to-Analog Glitch Impulse ²	0.1		$\text{nV}\cdot\text{sec}$	± 1 LSB change around major carry, gain = 2
Digital Feedthrough ²	0.1		$\text{nV}\cdot\text{sec}$	
Total Harmonic Distortion ²	-83		dB	$V_{REF} = 2\text{ V} \pm 0.1\text{ V p-p}$, frequency = 10 kHz
Output Noise Spectral Density	200		$\text{nV}/\sqrt{\text{Hz}}$	DAC code = midscale, 10 kHz
Output Noise	6		$\mu\text{V p-p}$	0.1 Hz to 10 Hz; internal reference, DAC = zero scale
SNR	90		dB	At ambient, BW = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
SFDR	88		dB	At ambient, BW = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
SINAD	82		dB	At ambient, BW = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$

¹ 温度範囲 = $-40^\circ\text{C} \sim +105^\circ\text{C}$ 、typ 値は 25°C での値。

² 用語のセクションを参照してください。

³ AD5683R/AD5683 は ± 2 LSB へ、AD5682R は ± 1 LSB へ、AD5681R は ± 0.5 LSB へ。

タイミング特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{LOGIC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。

表 4.

Parameter ¹	Symbol	$1.8\text{ V} \leq V_{LOGIC} \leq 2.7\text{ V}$			$2.7\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$			Daisy Chain and Readback			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SCLK Cycle Time	t_1	33			20			40			ns
SCLK High Time	t_2	16			10			20			ns
SCLK Low Time	t_3	16			10			20			ns
SYNC to SCLK Falling Edge Setup Time	t_4	15			10			20			ns
Data Setup Time	t_5	5			5			5			ns
Data Hold Time	t_6	5			5			5			ns
SCLK Falling Edge to SYNC Rising Edge	t_7	15			10			10			ns
Minimum SYNC High Time	t_8	20			20			40			ns
SYNC Falling Edge to SCLK Fall Ignore	t_9	16			10			10			ns
SDO Data Valid from SCLK Rising Edge	t_{10}									35	ns
SYNC Rising Edge to SCLK Falling Edge	t_{11}							10			ns
SYNC Rising Edge to SDO Disabled	t_{12}									60	ns
SYNC Rising Edge to LDAC Falling Edge	t_{13}	25			25			25			ns
LDAC Pulse Width Low	t_{14}	20			15			15			ns
RESET Minimum Pulse Width Low	t_{15}	75			75			75			ns
RESET Pulse Activation Time	t_{16}	150			150			150			ns
Reference Power-Up ³	$t_{REF_POWER_UP}$ ⁴		600			600			600		μs
Exit Shutdown ³	$t_{SHUTDOWN}$ ⁵			6			6			6	μs

¹ すべての入力信号は $t_r = t_f = 1\text{ ns/V}$ (V_{DD} の 10% から 90%) で規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルからの時間とします。

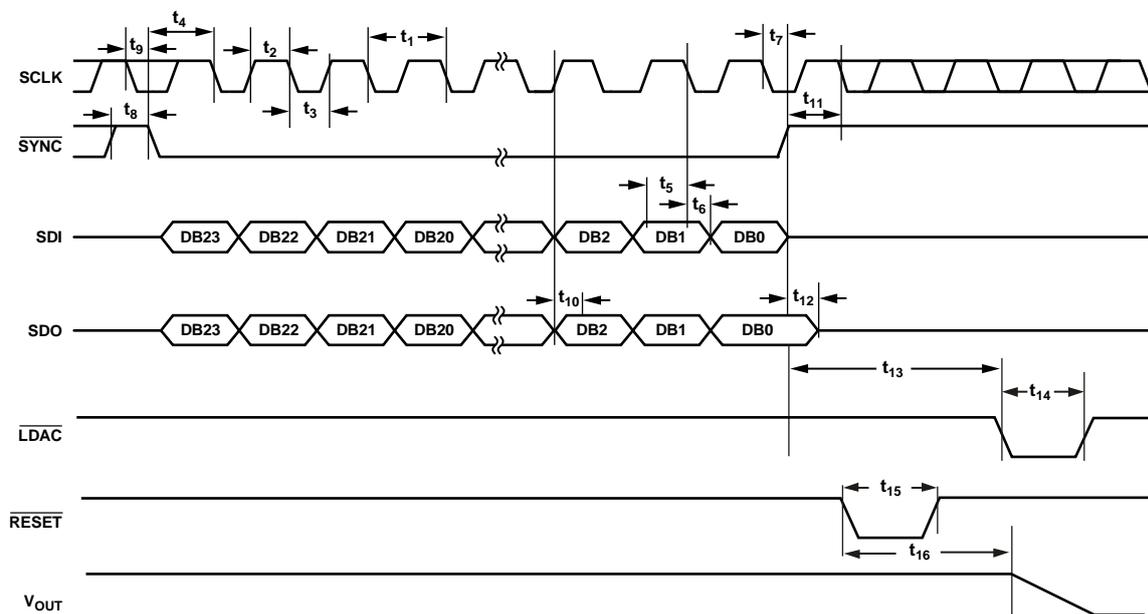
² V_{LOGIC} ピンを持たないデバイス上では V_{DD} を V_{LOGIC} で置き換えてください。

³ 図 4 には示してありません。

⁴ $V_{DD} = 2.7\text{ V}$ の後にデバイス電源を投入する際、同じタイミングが期待されます。

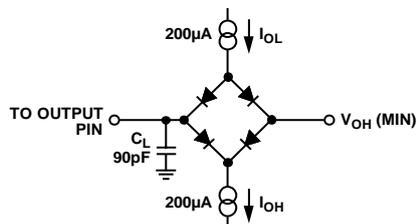
⁵ AD5683R/AD5682R/AD5681R 動作がパワーダウン・モードから通常モードに移行するために要する時間。出力無負荷で SYNC の立上がりエッジから DAC ミツドスケール値の 90% まで。

タイミングおよび回路図



11955-004

図 4.SPI のタイミング図、モード 1 およびモード 2 と互換 (AN-1248 アプリケーション・ノート参照)



11955-005

図 5.デジタル出力(SDO)タイミング仕様の負荷回路

絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 5.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{LOGIC} to GND	-0.3 V to +7 V
V_{OUT} to GND	-0.3 V to $V_{DD} + 0.3\text{ V}$ or +7 V (whichever is less)
V_{REF} to GND	-0.3 V to $V_{DD} + 0.3\text{ V}$ or +7 V (whichever is less)
Digital Input Voltage to GND ¹	-0.3 V to $V_{DD} + 0.3\text{ V}$ or +7 V (whichever is less)
Operating Temperature Range Industrial	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T_J max)	135°C
Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$
ESD ²	4 kV
FICDM ³	1.25 kV

¹ V_{LOGIC} ピンを持つデバイス上では V_{DD} を V_{LOGIC} で置き換えてください。

² 人体モデル (HBM)。

³ Field-Induced Charged Device Model の分類。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は JEDEC JESD51 規格により定義され、値はテスト・ボードとテスト環境に依存します。

表 6. 熱抵抗¹

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead LFCSP	90	25	°C/W
10-Lead MSOP	135	N/A	°C/W

¹ JEDEC 2S2P テスト・ボード、自然空冷(0 m/sec の空気流)。

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

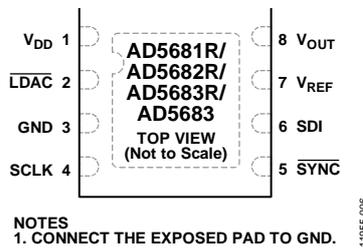


図 6. ピン配置、8 ピン LFCSP、LDAC オプション

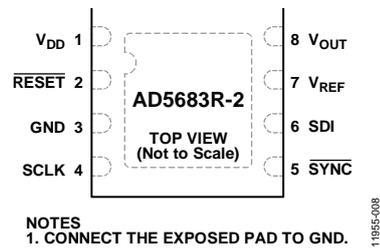


図 8. ピン配置、8 ピン LFCSP、RESET オプション

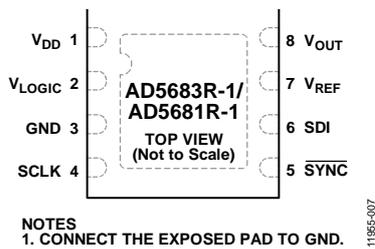


図 7. ピン配置、8 ピン LFCSP、V_{LOGIC} オプション

表 7. ピン機能説明、8 ピン LFCSP

ピン番号			記号	説明
LDAC	V _{LOGIC}	RESET		
1	1	1	V _{DD}	電源入力。これらのデバイスは 2.7 V~5.5 V で動作することができます。電源は GND へデカップリングしてください。
2	N/A	N/A	LDAC	LDAC は、非同期モードで動作することができます (図 4 参照)。入力レジスタに新しいデータがある場合、このピンにロー・レベルのパルスを入力すると、DAC レジスタが更新されます。このピンはロー・レベルに固定することができます。この場合、新しいデータが入力レジスタに書込まれると、DAC は自動的に更新されます。
N/A	2	N/A	V _{LOGIC}	デジタル電源。電圧範囲は 1.8 V~5.5 V。
N/A	N/A	2	RESET	非同期リセット入力。RESET 入力 はロー・レベル検出です。RESET をロー・レベルにすると、すべての LDAC パルスが無視され、入力レジスタと DAC レジスタはデフォルト値になり、出力は GND に接続されます。AD5683R に書込まれたデータは無視されます。使用しないとき、このピンは V _{LOGIC} に接続しておくことができます。
3	3	3	GND	デバイス上の全回路に対するグラウンド基準電圧ポイント。
4	4	4	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジでシフトレジスタに入力されます。データは最大 50 MHz のレートで転送できます。
5	5	5	SYNC	アクティブ・ローのコントロール入力。これは、入力データに対するフレーム同期信号です。SYNC がロー・レベルになると、SCLK バッファと SDI バッファがパワーオンし、入力シフトレジスタがイネーブルされます。データは、次の 24 個のクロックの立下がりエッジで転送されます。
6	6	6	SDI	シリアル・データ入力。このデバイスは、24 ビットのシフトレジスタを内蔵しています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
7	7	7	V _{REF}	AD5683R/AD5682R/AD5681R のリファレンス電圧出力。内蔵リファレンス電圧を使用する場合、このピンがリファレンス出力ピンになります。このピンは、デフォルトでリファレンス出力になります。このピンは 10 nF のコンデンサで GND へデカップリングすることが推奨されます。
8	8	8	V _{OUT}	DAC からのアナログ出力電圧。出力アンプはレール to レールで動作します。
0	0	0	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは GND へ接続してください。



図 9.ピン配置、10ピン MSOP、V_{LOGIC} オプション



図 10.ピン配置、10ピン MSOP、SDO オプション

表 8.ピン機能説明、10ピン MSOP

V _{LOGIC}	SDO	記号	説明
1	1	V _{DD}	電源入力。これらのデバイスは 2.7 V~5.5 V で動作することができます。このピンは GND へデカップリングしてください。
2	N/A	V _{LOGIC}	デジタル電源。電圧範囲は 1.8 V~5.5 V。このピンは GND へデカップリングしてください。
3	2	RESET	ハードウェア・リセット・ピン。RESET 入力はロー・レベル検出です。RESET がロー・レベルになると、デバイスがリセットされ、外部ピンは無視されます。入力レジスタと DAC レジスタにはゼロスケール値がロードされ、書込みコントロール・レジスタにはデフォルト値がロードされます。このピンを使用しない場合は、V _{LOGIC} へ接続してください。
N/A	3	SDO	シリアル・データ出力。デジチェーンまたはリードバック・コマンドとして使用することができます。
4	4	LDAC	DAC のロード。入力レジスタ値を DAC レジスタへ転送します。非同期モードで動作することができます (図 4 参照)。このピンはロー・レベルに固定することができます。この場合、新しいデータが入力レジスタに書込まれると、DAC レジスタは自動的に更新されます。
5	5	GND	グラウンド基準。
6	6	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジでシフトレジスタに入力されます。データは最大 50 MHz のレートで転送できます。
7	7	SYNC	同期データ入力。SYNC がロー・レベルになると、SCLK バッファ、SDI バッファ、入力シフトレジスタがイネーブルされます。
8	8	SDI	シリアル・データ入力。データは、SCLK の立下がりエッジでサンプルされます。
9	9	V _{REF}	リファレンス電圧入力/出力。内蔵リファレンス電圧を使用する場合、このピンがリファレンス出力ピンになります。このピンは、デフォルトでリファレンス出力になります。このピンは 10 nF のコンデンサで GND へデカップリングすることが推奨されます。
10	10	V _{OUT}	DAC からのアナログ出力電圧。出力アンプはレール to レールで動作します。

代表的な性能特性

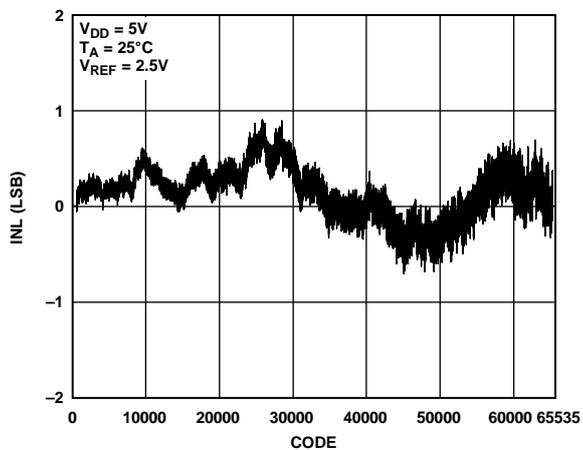


図 11.AD5683R/AD5683 INL

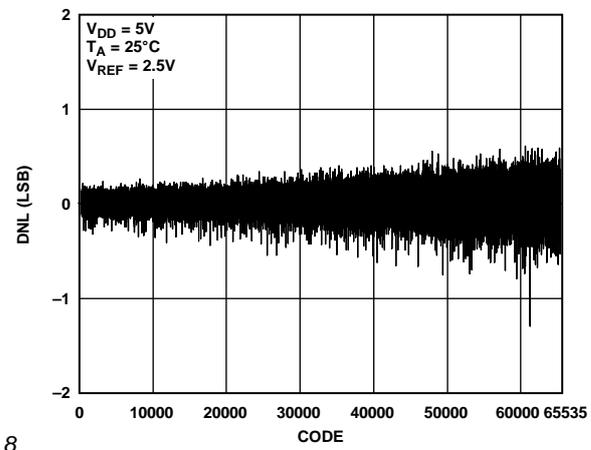


図 14.AD5683R/AD5683 DNL

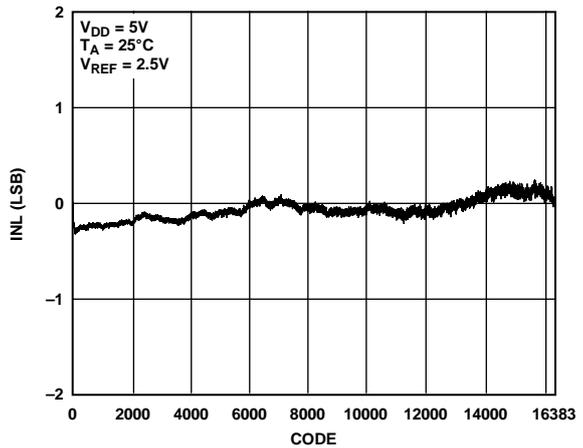


図 12.AD5682R INL

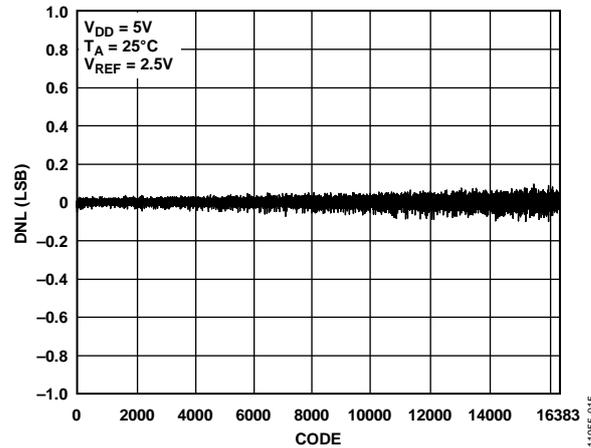


図 15.AD5682R DNL

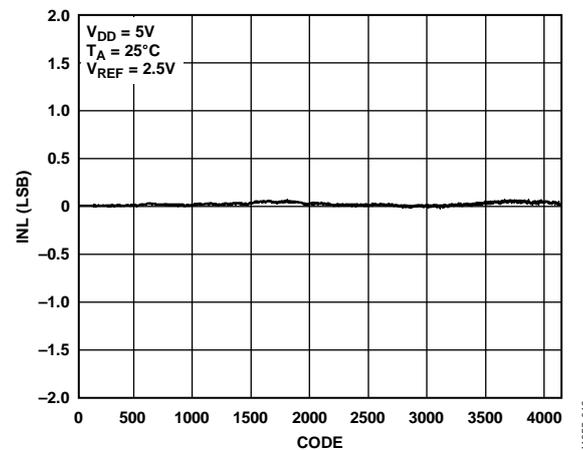


図 13.AD5681R INL

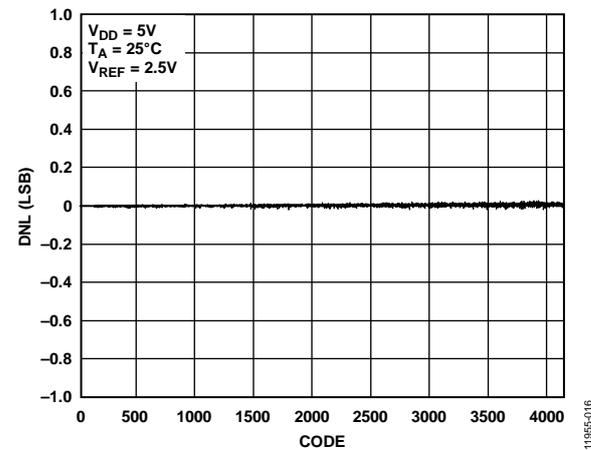


図 16.AD5681R DNL

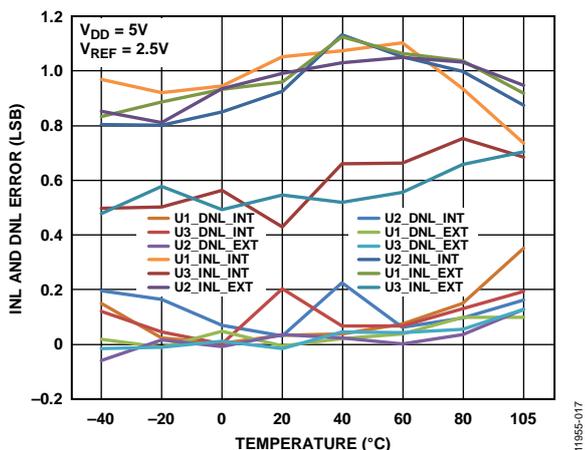


図 17. INL 誤差および DNL 誤差の温度特性 (AD5683R/AD5683)

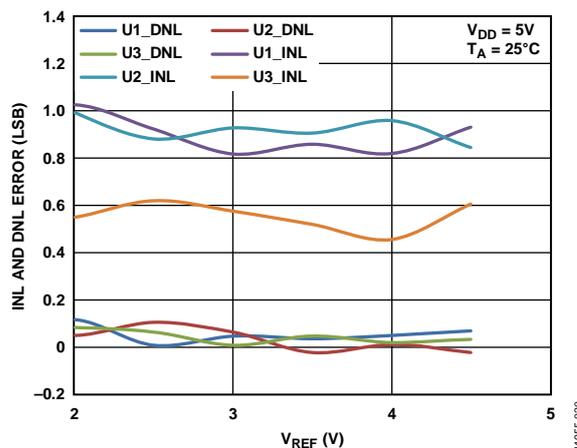


図 20. VREF 対 INL 誤差および DNL 誤差 (AD5683R/AD5683)

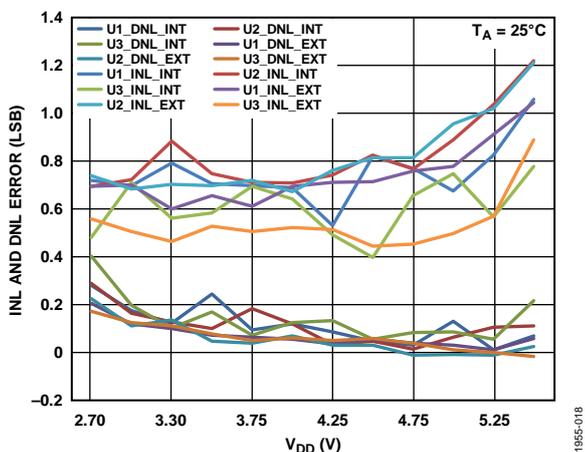


図 18. 電源電圧対 INL 誤差および DNL 誤差

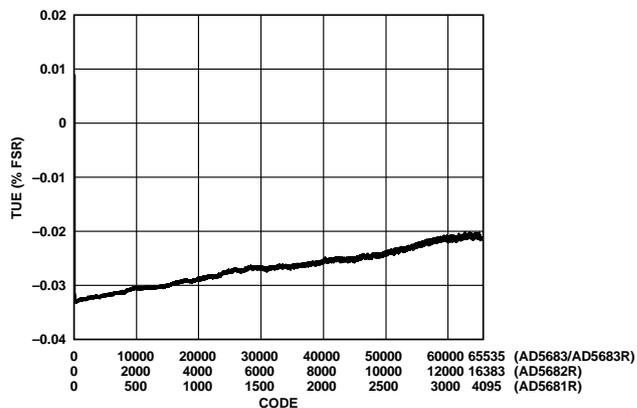


図 21. コード対 TUE

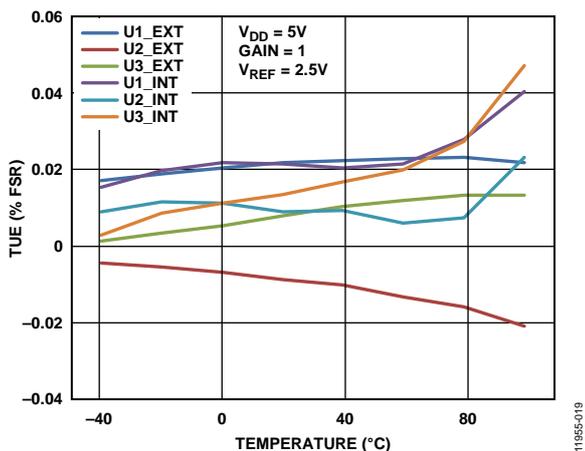


図 19. TUE の温度特性

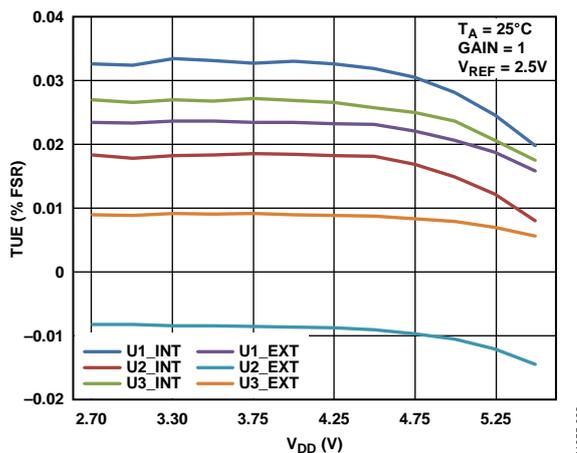


図 22. 電源対 TUE

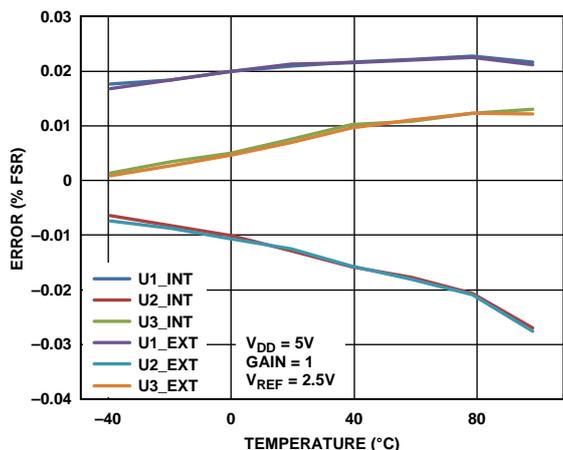


図 23.ゲイン誤差とフルスケール誤差の温度特性

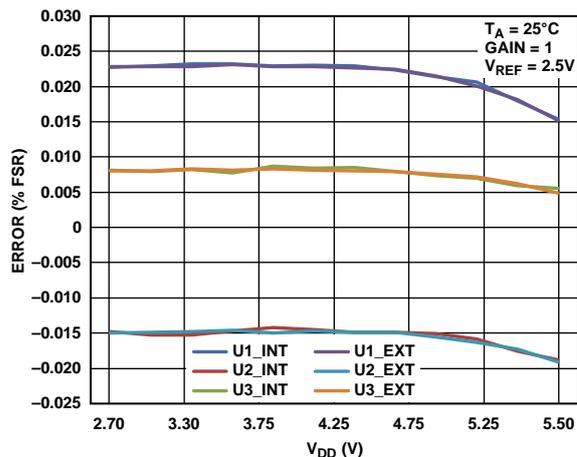


図 26.電源対ゲイン誤差およびフルスケール誤差

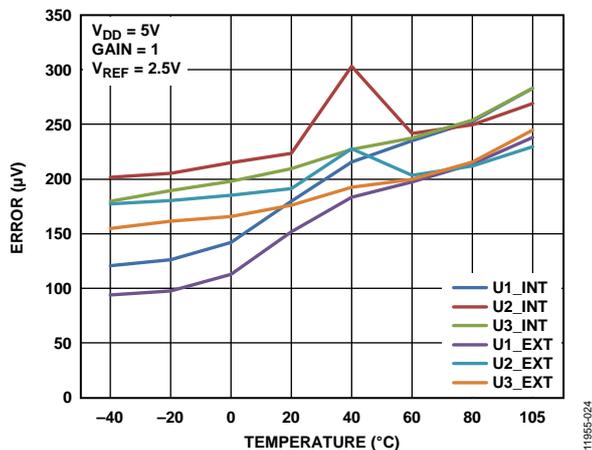


図 24.ゼロ・コード誤差およびオフセット誤差の温度特性

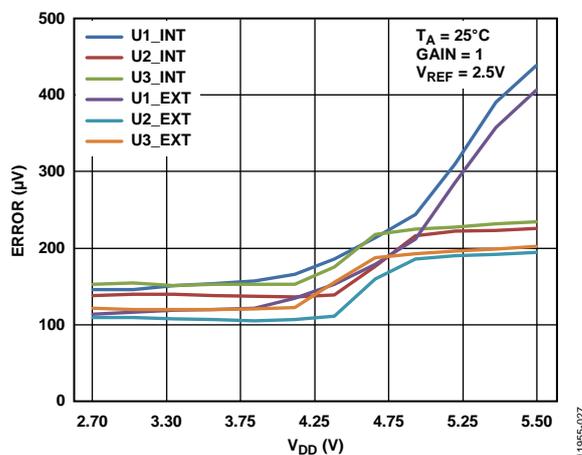


図 27.電源対ゼロ・コード誤差およびオフセット誤差

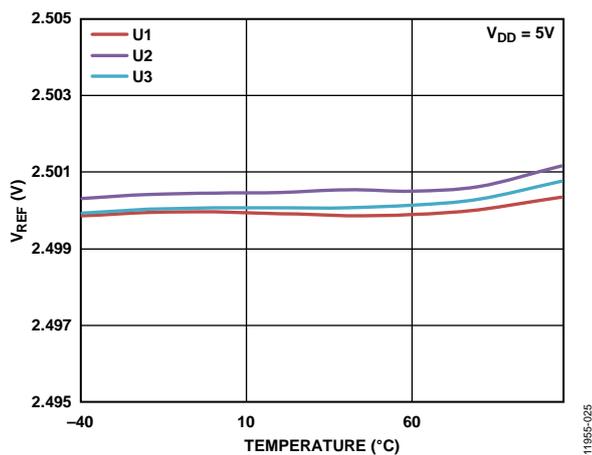


図 25.内蔵リファレンス電圧の温度特性(グレード B)

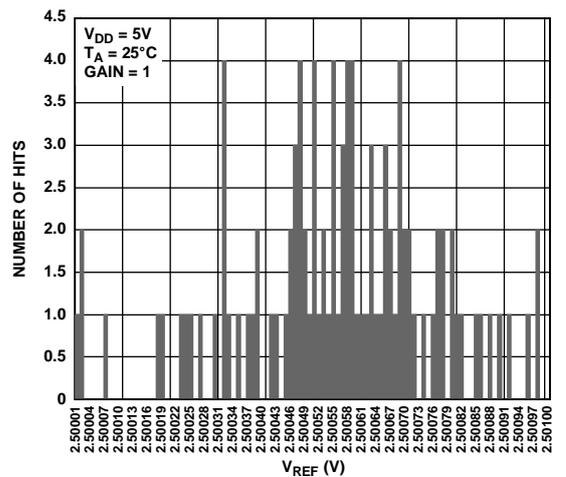


図 28.リファレンス出力の広がり

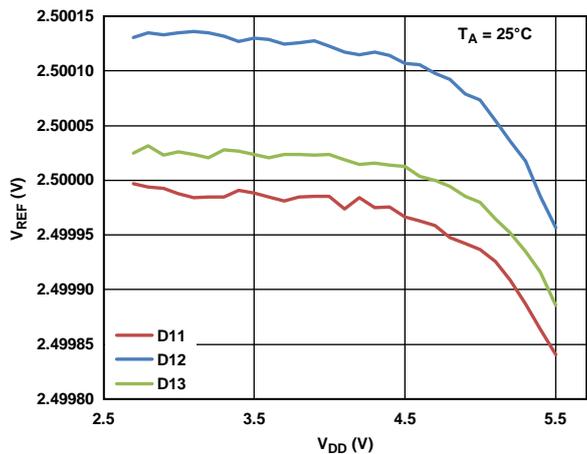


図 29.電源電圧対内蔵リファレンス電圧

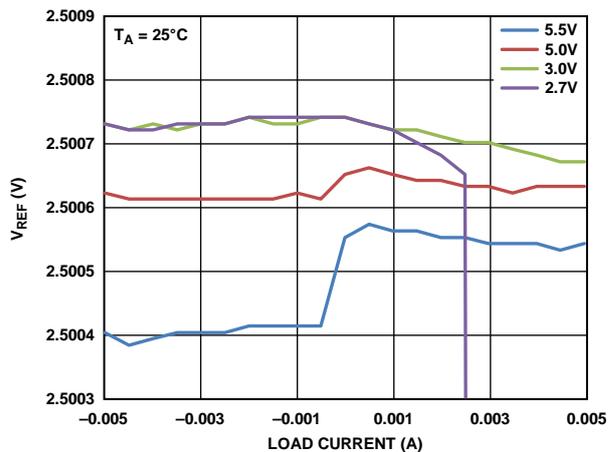


図 32.負荷電流対内蔵リファレンス電圧

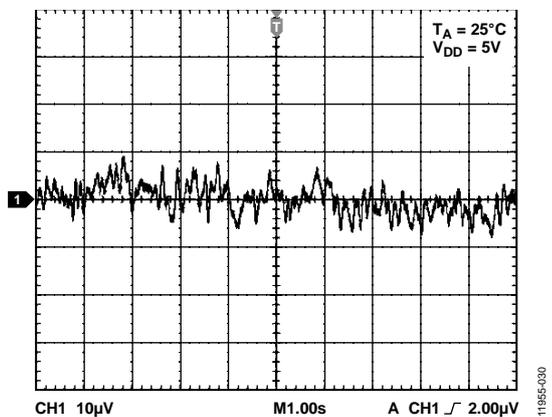


図 30.内蔵リファレンスのノイズ、0.1 Hz~10 Hz

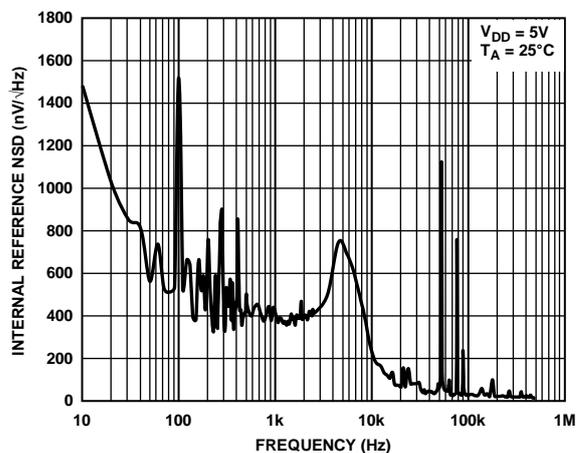


図 33.内蔵リファレンス・ノイズ・スペクトル密度の周波数特性

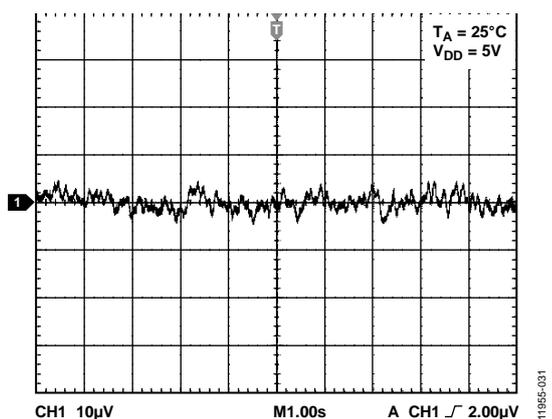


図 31.0.1 Hz~10 Hz での出力ノイズ・プロット
内蔵リファレンス電圧使用

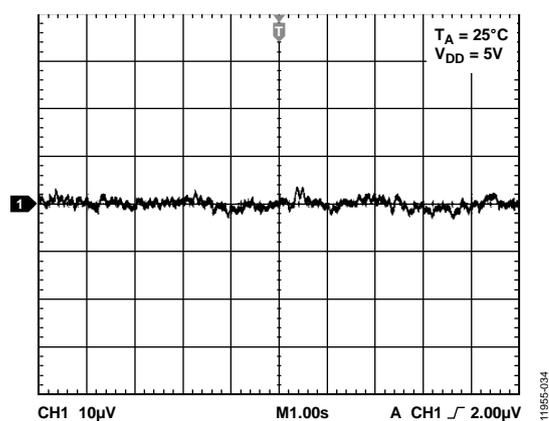


図 34.0.1 Hz~10 Hz での出力ノイズ・プロット
外付けリファレンス電圧使用

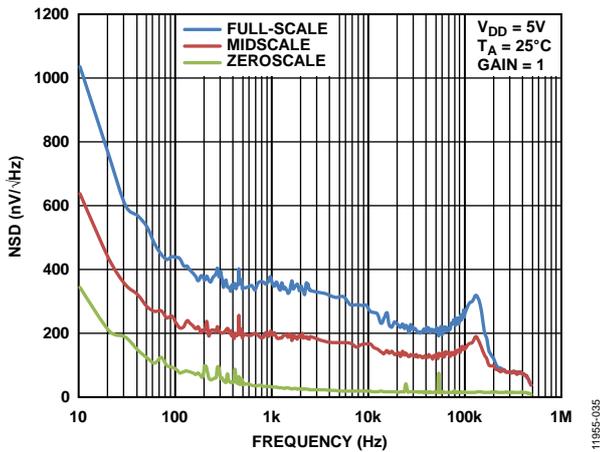


図 35. ノイズ・スペクトル密度の周波数特性、ゲイン = 1

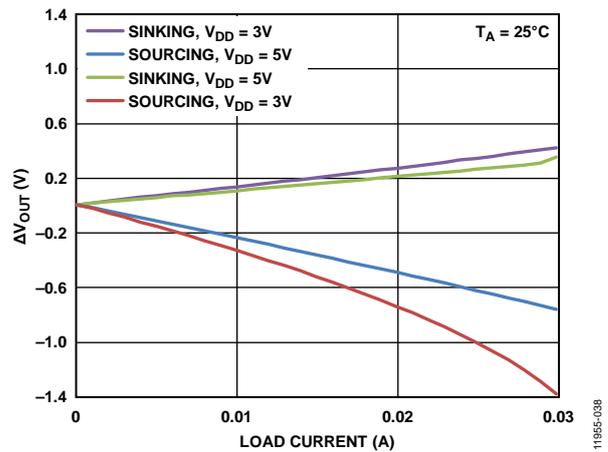


図 38. 負荷電流対ヘッドルーム/フットルーム

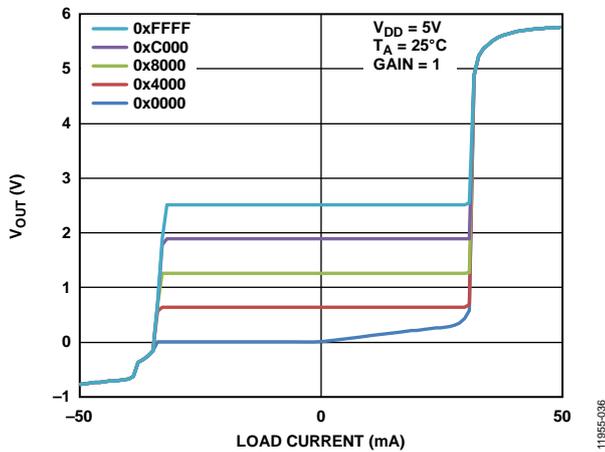


図 36. ソース能力とシンク能力、ゲイン = 1

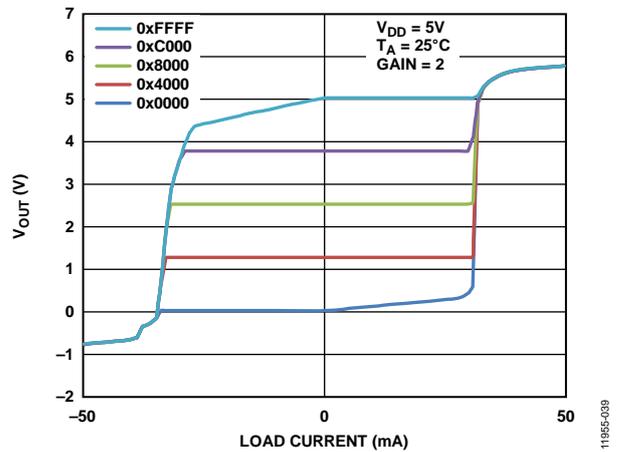


図 39. ソース能力とシンク能力、ゲイン = 2

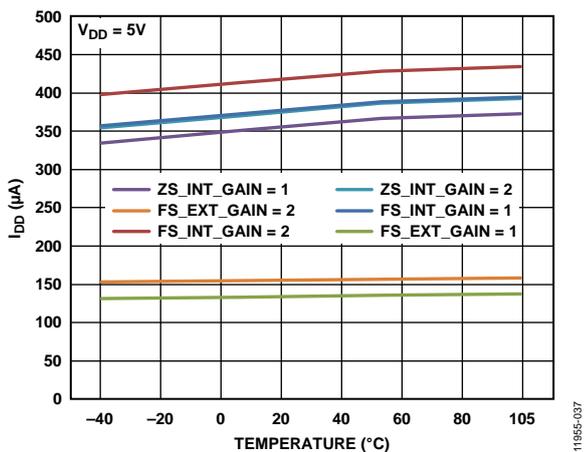


図 37. 電源電流の温度特性

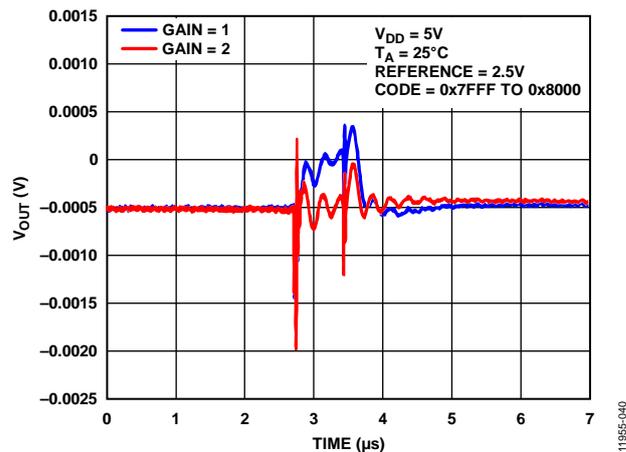


図 40. デジタルからアナログへのグリッチ・インパルス

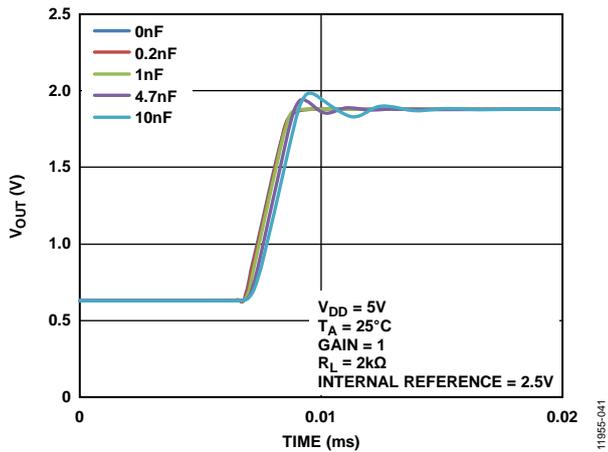


図 41.セトリング・タイム対容量負荷、ゲイン = 1

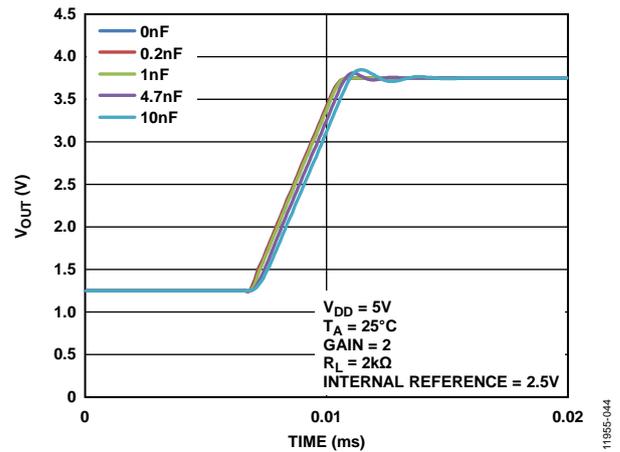


図 44.セトリング・タイム対容量負荷、ゲイン = 2

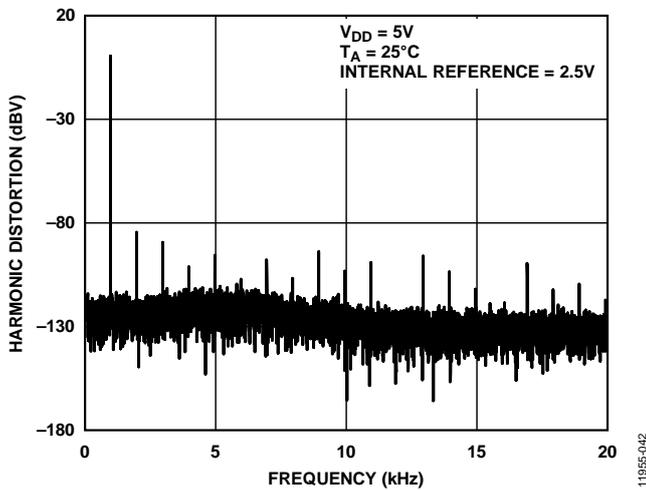


図 42.全高調波歪み、1 kHz

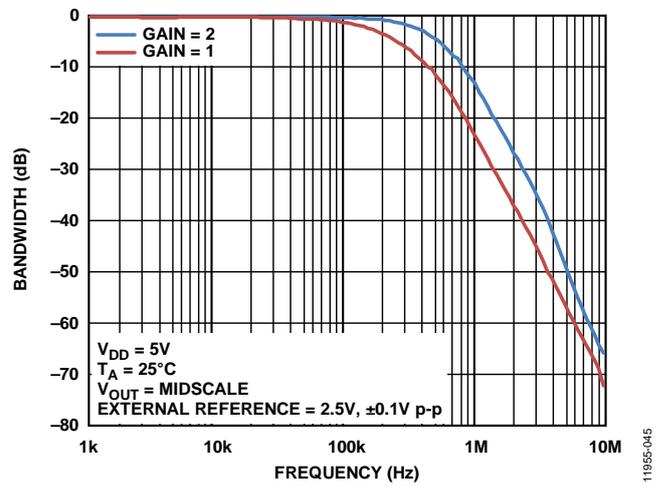


図 45.乗算帯域幅

外付けリファレンス電圧 = 2.5 V ± 0.1 V p-p、10 kHz ~ 10 MHz

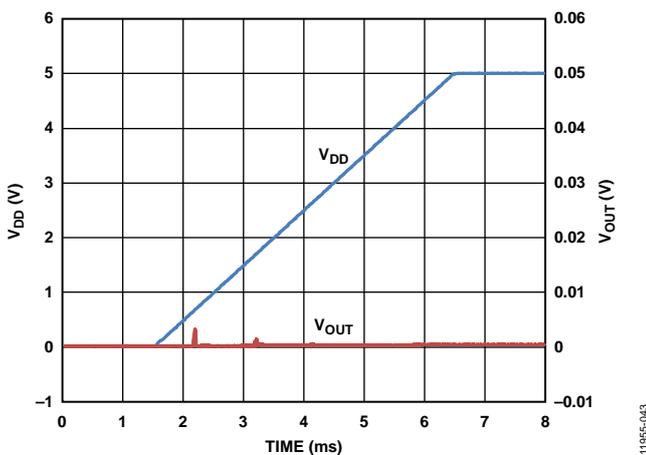


図 43.0 V へのパワーオン・リセット

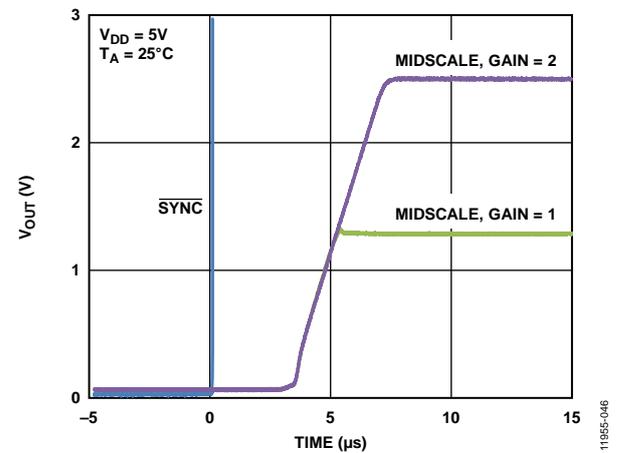


図 46.パワーダウン終了時のミッドスケール出力

用語

相対精度または積分非直線性(INL)

DAC の場合、相対精度すなわち積分非直線性は、DAC 伝達関数の上下両端を結ぶ直線からの最大乖離(LSB 数で表示)を表します。INL (typ)対コードのプロットについては、図 11、図 12、図 13 を参照してください。

微分非直線性(DNL)

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大 ± 1 LSB の微分非直線性の規定により、単調性が保証されます。この DAC はデザインにより単調性を保証しています。DNL (typ)対コードのプロットについては、図 14、図 15、図 16 を参照してください。

ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コード(0x0000)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には、出力が 0 V である必要があります。ゼロ・コード誤差は AD5683R/AD5682R/AD5681R では常に正です。これは、DAC と出力アンプのオフセット誤差の組み合わせによって DAC 出力が 0 V より低くなることができないためです。ゼロ・コード誤差は mV で表します。ゼロ・コード誤差の温度特性を図 24 に示します。

フルスケール誤差

フルスケール誤差は、フルスケール・コード(0xFFFF)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には、出力は(ゲイン $\times V_{REF}$) - 1 LSB である必要があります。フルスケール誤差はフルスケール範囲のパーセント値(FSR の%)で表します。フルスケール誤差のプロットについては、図 23 と図 26 を参照してください。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。理論 DAC 伝達特性傾斜からの変位を表し、FSR の%で表示されます。

ゼロ・コード誤差ドリフト

ゼロ・コード誤差ドリフトは、温度変化によるゼロ・コード誤差の変化を表し、 $\mu V/^{\circ}C$ で表されます。

ゲイン温度係数

ゲイン温度係数は、温度変化に対するゲイン誤差の変化を表し、FSR/ $^{\circ}C$ の ppm で表されます。

オフセット誤差

オフセット誤差は、伝達関数の直線領域での V_{OUT} (実測値)と V_{OUT} (理論)の差を表し、mV で表示されます。オフセット誤差は、AD5683R の DAC レジスタにコード 512 をロードして測定されています。この誤差は正または負になります。

DC 電源除去比(PSRR)

PSRR は、電源電圧変化の DAC 出力に対する影響を表します。PSRR は、DAC ミッドスケール出力での、 V_{OUT} 変化の V_{DD} 変化に対する比で、dB 値で表示します。 V_{REF} を 2 V に固定して、 V_{DD} を $\pm 10\%$ 変化させます。

出力電圧セトリング・タイム

1/4 スケールから 3/4 スケールへの入力変化に対して、DAC 出力が規定のレベルまでに安定するために要する時間を表します。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV-sec で表すグリッチの面積として規定され、主要キャリ変化 (0x7FFF から 0x8000) 時に、デジタル入力コードが 1 LSB だけ変化したときに測定されます(図 40 参照)。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。nV-sec で規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定されます。

リファレンス・フィードスルー

DAC 出力に変化がない時の DAC 出力における信号振幅のリファレンス入力に対する比であり、dB で表されます。

出力ノイズ・スペクトル密度

ノイズ・スペクトル密度は、内部で発生するランダム・ノイズの大きさを表します。ランダム・ノイズは、スペクトル密度 (nV/ \sqrt{Hz})としてキャラクタライズされます。DAC にミッドスケールを入力し、出力のノイズを測定して nV/ \sqrt{Hz} で表します。ノイズ・スペクトル密度のプロットについては、図 31、図 34、図 35 を参照してください。内蔵リファレンスのノイズ・スペクトル密度を図 30 と図 33 に示します。

乗算帯域幅

DAC 内のアンプは有限な帯域幅を持っています。乗算帯域幅は、この有限帯域幅を表します。リファレンス上の正弦波 (DAC にフルスケール・コードをロード)は、出力に現われます。乗算帯域幅は、出力振幅が入力より 3 dB 小さくなる周波数で表します。

全高調波歪み(THD)

THD は、理論正弦波と DAC を使ったために減衰したその正弦波との差を表します。DAC に対してリファレンスとして正弦波を使ったときに、DAC 出力に現われる高調波が THD になります。dB 値で表示します。

リファレンス電圧温度係数 (TC)

温度変化に対するリファレンス出力電圧の変化を意味し、リファレンス TC はボックス法を使って計算されます。この方法では、与えられた温度範囲でのリファレンス出力の最大変化として TC を定義し、次式のように ppm/°C で表わします。

$$TC = \left[\frac{V_{REFmax} - V_{REFmin}}{V_{REFnom} \times TempRange} \right] \times 10^6$$

ここで、

V_{REFmax} は全温度範囲で測定した最大リファレンス出力。

V_{REFmin} は全温度範囲で測定した最小リファレンス出力。

V_{REFnom} は公称リファレンス出力電圧、2.5 V。

$TempRange$ は規定の温度範囲、-40°C~+105°C。

熱ヒステリシス

熱ヒステリシスは、周囲温度→低温→高温→周囲温度で温度変化させた場合にリファレンス電圧に発生する電圧差です。

動作原理

D/A コンバータ

AD5683R/AD5682R/AD5681R は、シングル 16 ビット、14 ビット、12 ビット、シリアル入力 of 電圧出力 DAC で、2.5 V のリファレンス電圧を内蔵しています。これらのデバイスは 2.7 V~5.5 V の電源電圧で動作します。データは、3 線式シリアル・インターフェースを使用して 24 ビット・ワード・フォーマットで AD5683R/AD5682R/AD5681R へ書込まれます。AD5683R/AD5682R/AD5681R は、パワーオン・リセット回路を内蔵しており、この回路により、パワーアップ時に DAC 出力をゼロスケールにすることができます。これらのデバイスは、消費電流を最大 2 μ A まで減少させるソフトウェア・パワーダウン・モードも持っています。

伝達関数

内蔵リファレンスはデフォルトでオンになっています。外付けリファレンス電圧を必要とする場合は、AD5683 を使用することができます。DAC の入力コーディングはストレート・バイナリです。理論出力電圧は次式で与えられます。

AD5683R の場合、

$$V_{OUT}(D) = \text{ゲイン} \times V_{REF} \times \left[\frac{D}{65,536} \right]$$

AD5682R の場合、

$$V_{OUT}(D) = \text{ゲイン} \times V_{REF} \times \left[\frac{D}{16,384} \right]$$

AD5681R の場合、

$$V_{OUT}(D) = \text{ゲイン} \times V_{REF} \times \left[\frac{D}{4096} \right]$$

ここで、

D は DAC レジスタにロードされるバイナリ・コードの 10 進数表示。

Gain は出力アンプのゲイン。デフォルトで、ゲインは $\times 1$ に設定。書き込みコントロール・レジスタのゲイン・ビットを使って、ゲインを $\times 2$ 設定することもできます。

DAC アーキテクチャ

AD5683R/AD5682R/AD5681R/AD5683 ではセグメント化したストリング DAC アーキテクチャを採用し、出力バッファを内蔵しています。図 47 に内部ブロック図を示します。

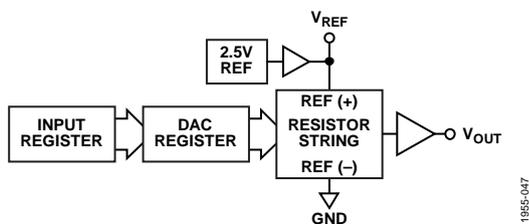


図 47. DAC チャンネル・アーキテクチャのブロック図

セグメント化抵抗ストリング DAC の簡略化した構造を図 48 に示します。DAC レジスタにロードされるコードにより、出力バッファに接続されたストリングのオンになるスイッチが決定されます。ストリングの各抵抗は同じ値 R を持つため、ストリング DAC の単調性が保証されます。

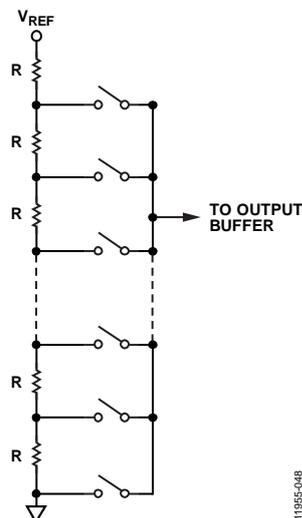


図 48. 簡略化した抵抗ストリング構造

内蔵リファレンス電圧

AD5683R/AD5682R/AD5681R の内蔵リファレンスはパワーアップ時にオンになりますが、書き込みコントロール・レジスタへの書き込みによりディスエーブルすることができます。

AD5683R/AD5682R/AD5681R は 2.5 V、2 ppm/ $^{\circ}$ C のリファレンス電圧を内蔵し、ゲイン・ビットの状態に応じて 2.5 V または 5 V のフルスケール出力になります。

内蔵リファレンス電圧は V_{REF} ピンに出力されます。このバッファ付きリファレンス電圧は、最大 50 mA の外部負荷を駆動することができます。

外付けリファレンス電圧

V_{REF} ピンは、AD5683 では入力ピンになります。

AD5683R/AD5682R/AD5681R の V_{REF} ピンは入力ピンに設定することもできるため、アプリケーションで外付けリファレンスが必要な場合これを使用することができます。

AD5683R/AD5682R/AD5681R の内蔵リファレンスは、デフォルトでパワーアップ時にオンになっています。外付けリファレンスをピンに接続する前に、書き込みコントロール・レジスタの REF ビット (ビット DB16) に書き込みを行って、内蔵リファレンスをディスエーブルしてください。

出力バッファ

出力バッファは入力／出力レール to レール・バッファとしてデザインされており、最大出力電圧範囲は V_{DD} までです。ゲイン・ビットにより、セグメント化ストリング DAC のゲインを×1 または×2 に設定します(表 12 参照)。

出力バッファ電圧は、 V_{REF} 、ゲイン・ビット、オフセット誤差、ゲイン誤差により決定されます。

出力バッファは、10 nF の容量と 2 k Ω の抵抗の並列接続を駆動することができます(図 41 と図 44 参照)。容量負荷を大きくする場合は、スナバ方式またはシャント抵抗を使って出力アンプから負荷をアイソレーションしてください。スルーレートは 0.7 V/ μ s であり、1/4 スケールから 3/4 スケールまでのセトリング・タイムは 5 μ s です。

シリアル・インターフェース

AD5683R/AD5682R/AD5681R/AD5683 は、3 線式シリアル・インターフェースを採用しています。このインターフェースは、SPI モードのモード 1 およびモード 2 と互換で、さらに SPORT のような同期インターフェースと完全に互換です。図 4 に、代表的な書込みシーケンスのタイミング図を示します。SPI インターフェースの詳細については、AN-1248 アプリケーション・ノートを参照してください。

SPI シリアル・データ・インターフェース

$\overline{\text{SYNC}}$ ピンをロー・レベルにすると、内部入力シフトレジスタがイネーブルされ、 SCLK の立下がりエッジで SDI ピンのデータがサンプルされて、入力シフトレジスタへ入力されます。データ・ワード(24 ビット)全体が SDI ピンからロードされるまで、 $\overline{\text{SYNC}}$ ピンをロー・レベルに維持する必要があります(図 4 参照)。 $\overline{\text{SYNC}}$ がハイ・レベルに戻ると、シリアル・データ・ワードが表 9 の命令に従ってデコードされます。

連続したデータワードの間で、最小 20 μs 間 $\overline{\text{SYNC}}$ をハイ・レベルに維持する必要があります。

24 個の立下がりクロック・エッジの後に $\overline{\text{SYNC}}$ をハイ・レベルにすると、有効な書込みと見なされて、最初の 24 ビットが入力シフトレジスタへロードされます。

消費電力を小さくするため、すべてのシリアル・インターフェース・ピンを電源レール近くで動作させることが推奨されます。

ショート書込み動作 (AD5681R の場合)

AD5681R の SPI シリアル・インターフェースでは、必要に応じて、少ない数のクロックでデータを転送することができます。入力レジスタまたは DAC レジスタが表 9 に示すように書込まれる場合、最後の 8 ビットは don't care ビットになります。DAC 更新レートを高くする場合は、データワードのサイズを小さくすることができます。

16 個と 24 個のクロック・エッジの間に $\overline{\text{SYNC}}$ をハイ・レベルにすると、有効な書込みと見なされて、最初の 16 ビットのみがデコードされます(図 49 参照)。16 個の立下がりクロック・エッジの前に $\overline{\text{SYNC}}$ をハイ・レベルにすると、シリアル書込みが無視されて、この書込みシーケンスは無効と見なされます。DCEN ビットをイネーブルすると、この機能は使用できません(表 11 参照)。

SDO ピン

AD5683R にのみ存在するシリアル・データ出力ピン (SDO) は、DAC レジスタ値のリードバックとデイズチェーン・モードでのデバイス接続の 2 つの目的に使用されます。

SDO ピンは、内部で弱いプルダウン抵抗を持つプッシュ・プル出力を内蔵しています。データは SCLK の立上がりエッジで SDO から出力され(図 4 参照)、書込みコントロール・レジスタで DCEN ビットをイネーブルした場合、またはリードバック・コマンド時に自動的にイネーブルされた場合に、ピンはアクティブになります。スタンバイ・モードでは、内部プルダウン抵抗によりバスにロジック 0 が出力されます。内部プルダウン抵抗の値が大きいため、並列接続の場合、他のデバイスが SDO ラインを制御することができます。

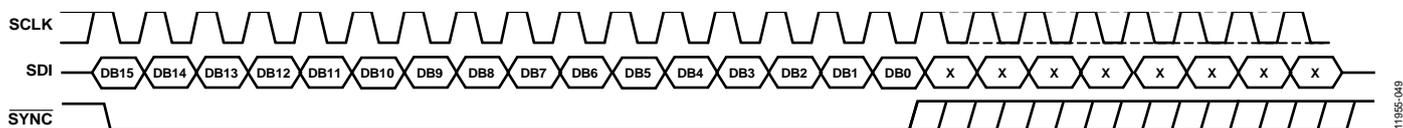


図 49. AD5681R でのショート書込み

デジチェーン接続

デジチェーン接続は、最小のピン数で IC の制御を可能にします。図 50 に示すように、前のパッケージの SDO ピンを次のパッケージの SDI ピンに接続する必要があります。後続デバイス間のライン伝搬遅延のため、クロック周期を大きくする必要があります(表 4 参照)。

デフォルトで、SDO ピンはディスエーブルされています。デジ

チェーン動作をイネーブルするときは、書き込みコントロール・レジスタの DCEN ビットをセットする必要があります(表 10 参照)。デジチェーン・モードをイネーブルすると (DCEN = 1)、AD5683R/AD5682R/AD5681R/AD5683 は有効なフレームとして 24 ビットより長いすべてのデータワードを受け付けて、受信した最後の 24 ビットをデコードします(図 51 参照)。

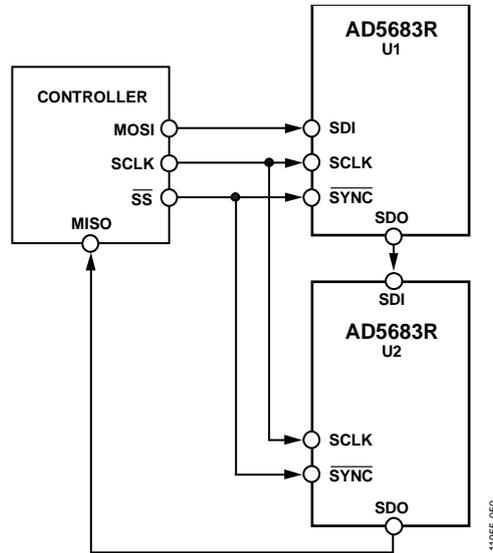


図 50. デジチェーン接続

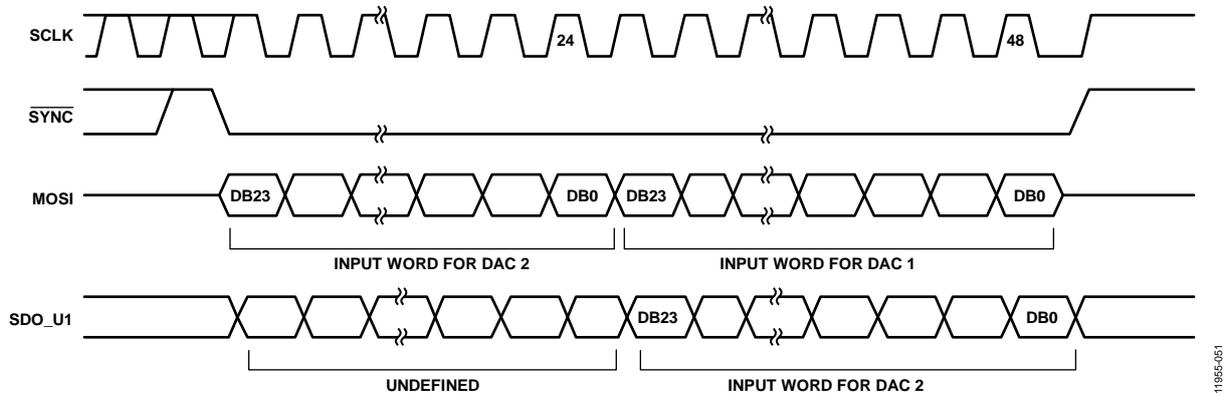


図 51. デジチェーンのタイミング図

内部レジスタ

入力シフトレジスタ

AD5683R/AD5682R/AD5681R/AD5683 のシフトレジスタは 24 ビット幅です。シリアル・データは MSB ファースト (DB23)でロードされ、先頭の 4 ビットはコマンド・ビットの C3~C0 で、その後にデータビットが続きます。

データビットは、20 ビット、18 ビット、または 16 ビットの入力コードで、その後ろに複数の don't care ビットが続きます(表 9 参照)。コマンドは、 $\overline{\text{SYNC}}$ の立上がりエッジでデコードされます。

入力レジスタ

入力レジスタは、新しいデータをプリロードするバッファとして機能します。このレジスタは、 V_{OUT} ピンの電圧を制御しません。入力レジスタ値の DAC レジスタへの転送には、ソフトウェアまたはハードウェアによる 2つの方法があります。

DAC レジスタ

DAC レジスタは、 V_{OUT} ピンの電圧を制御します。このレジスタの更新は、コマンドを発行することにより、または入力レジスタ値を DAC レジスタへ転送することにより行うことができます。

表 9. コマンド動作

Command [DB23:DB20]				Data Bits [DB19:DB0] ¹													Operation
C3	C2	C1	C0	DB19	DB18	DB17	DB16	DB15	DB14	[DB13:DB8]	DB7	DB6	DB5	DB4	[DB3:DB0]		
0	0	0	0	X	X	X	X	X	X	X...X	X	X	X	X	X...X	Do nothing	
0	0	0	1	DB15	DB14	DB13	DB12	DB11	DB10	DB9...DB4	DB3 ²	DB2 ²	DB1 ^{2,3}	DB0 ^{2,3}	X...X	Write input register	
0	0	1	0	X	X	X	X	X	X	X...X	X	X	X	X	X...X	Update DAC register (software LDAC)	
0	0	1	1	DB15	DB14	DB13	DB12	DB11	DB10	DB9...DB4	DB3 ²	DB2 ²	DB1 ^{2,3}	DB0 ^{2,3}	X...X	Write DAC and input register	
0	1	0	0	DB19	DB18	DB17	DB16	DB15	DB14	0...0	0	0	0	0	0...0	Write control register	
0	1	0	1	X	X	X	X	X	X	X...X	X	X	X	X	X...X	Readback input register	

¹ X = don't care.

² AD5681R の場合このビットは don't care ビット。

³ AD5682R の場合このビットは don't care ビット。

コマンド

入力レジスタの書込み

この入力レジスタを使って、DAC レジスタの新しい値を予めロードしておくことができます。入力レジスタから DAC レジスタへの転送は、 $\overline{\text{LDAC}}$ ピンでハードウェアから、またはコマンド 2 を使ってソフトウェアから開始することができます。

コマンド 3 を使って新しいデータを DAC レジスタへ直接ロードすると、この DAC レジスタは自動的に入力レジスタを上書きします。

DAC レジスタを更新

このコマンドは入力レジスタ値を DAC レジスタへ転送し、これにより V_{OUT} ピンが更新されます。

この動作は、ソフトウェア $\overline{\text{LDAC}}$ と同じです。

DAC レジスタの書込み

DAC レジスタは、DAC の出力電圧を制御します。このコマンドは、書込み動作の完了時に DAC レジスタを更新します。入力レジスタは、DAC レジスタ値で自動的に更新されます。

コントロール・レジスタへの書き込み

書き込みコントロール・レジスタは、パワーダウン機能とゲイン機能を設定するときに使います。また、内蔵リファレンス電圧のイネーブル/ディスエーブルとソフトウェア・リセットの実行にも使います。書き込みコントロール・レジスタ機能については、表 10 を参照してください。

表 10.書き込みコントロール・レジスタ・ビット

DB19	DB18	DB17	DB16	DB15	DB14
Reset	PD1	PD0	REF	Gain	DCEN

DCEN ビット

デジチェーン・イネーブル・ビット (DCEN、ビット DB14) は SDO ピンをイネーブルして、デバイスがデジチェーン・モードで動作できるようにします。このビットは、リードバック・コマンドが実行されると、自動的にディスエーブルされます。このビットをイネーブルすると、AD5681R の書き込みショート・コマンド機能がディスエーブルされます。

表 11.デジチェーン・イネーブル・ビット (DCEN)

DB0	Mode
0	Standalone mode (default)
1	DCEN mode

ゲイン・ビット

ゲイン・ビットは出力アンプのゲインを選択します。表 12 に、出力電圧範囲と対応するゲイン・ビットの状態を示します。

表 12.ゲイン・ビット

Gain	Output Voltage Range
0	0 V to V_{REF} (default)
1	0 V to $2 \times V_{REF}$

REF ビット

内蔵リファレンスはパワーアップ時にデフォルトでオンになっています。ソフトウェアから書き込みコントロール・レジスタのソフトウェア設定ビット DB16 を設定することにより、このリファレンスをターンオン/オフさせることができます。表 13 に、ビットの状態と動作モードの対応を示します。

消費電力を削減するため、デバイスをパワーダウン・モードにする場合、内蔵リファレンスをディスエーブルすることが推奨されます。

表 13.リファレンス・ビット (REF)

REF	Reference Function
0	Reference enabled (default)
1	Reference disabled

PD0 ビットと PD1 ビット

AD5683R/AD5682R/AD5681R には、書き込みコントロール・レジスタへの書き込みによりアクセスされる 2 つの動作モードがあります。通常モードでは、出力バッファは直接 V_{OUT} ピンへ接続されます。

パワーダウン・モードでは、出力バッファは内部でディスエーブルされ、 V_{OUT} ピンの出力インピーダンスは既知の値に選択することができます(表 14 参照)。

表 14.動作モード

Operating Mode	PD1	PD0
Normal Mode	0	0
Power-Down Modes		
1 k Ω Output Impedance	0	1
100 k Ω Output Impedance	1	0
Three-State Output Impedance	1	1

パワーダウン・モードでは、このデバイスは出力バッファをディスエーブルしますが、内蔵リファレンス電圧はディスエーブルしません。最大の消費電力削減を実現するためには、可能な場合 REF ビットをディスエーブルすることが推奨されます。

内蔵リファレンス電圧と出力バッファをディスエーブルすると、電源電流は 5 V で 2 μ A まで削減されます。

出力ステージを図 52 に示します。

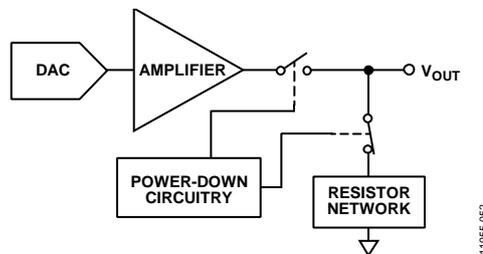


図 52.パワーダウン時の出力ステージ

パワーダウン・モードになると、出力アンプはシャットダウンしますが、内蔵リファレンス電圧がパワーダウンされないかぎり(書き込みコントロール・レジスタのビット DB16 を使用)、バイアス・ジェネレータ、リファレンス、抵抗ストリングは動作を続けます。パワーダウン・モードでは、弱い SDO 抵抗も切り離されます。電源電流は 5 V で 2 μ A に減少します。DAC レジスタ値はパワーダウン・モードで影響を受けないため、DAC レジスタの更新を続けることができます。パワーダウンから抜け出すために要する時間は、 $V_{DD} = 5$ V で 4 μ s (typ)です。また、リファレンスがディスエーブルされている場合は 600 μ s です。

リセット・ビット

AD5683R/AD5682R/AD5681R の書き込みコントロール・レジスタにはソフトウェア・リセット機能があります。この機能は、入力レジスタと DAC レジスタをゼロスケールへリセットし、書き込みコントロール・レジスタをデフォルト値へリセットします。書き込みコントロール・レジスタのリセット・ビット(ビット DB19)に 1 を設定すると、ソフトウェア・リセットが開始されます。ソフトウェア・リセットが完了すると、リセット・ビットは自動的に 0 にクリアされます。

リードバック入力レジスタ

AD5683R では、コマンド 5 (表 9 参照) を使って SDO ピンから入力レジスタ値をリードバックすることができます(図 53 参照)。

読出し動作の間 SDO ピンが自動的にイネーブルされ、その後再度ディスエーブルされます(表 15 参照)。読出し動作の前に DCEN ビットをイネーブルすると、このビットはリードバック動作の後にリセットされます。AD5683R がデイジーチェーン・モードで動作する場合は、ユーザーが DCEN ビットを再度イネーブルする必要があります。

表 15. 書き込みおよびリードバック・シーケンス

SDI	SDO	Action
0x180000	0x000000	Write 0x8000 to the input register
0x500000	0x000000	Prepare data read from the input register
0x000000	0xX8000X ¹	Clock out the data

¹ X = don't care

ハードウェア LDAC

AD5683R/AD5682R/AD5681R/AD5683 の DAC は、入力レジスタと DAC レジスタから構成されるダブル・バッファ化されたインターフェースを内蔵しています。LDAC により、データは入力レジスタから DAC レジスタへ転送され、出力が更新されます。

データの入力シフトレジスタへの入力中に、LDAC をハイ・レベルにします。SYNC をハイ・レベルにした後に LDAC をロー・レベルにすることにより、DAC 出力が更新されます。出力 DAC は、LDAC の立下がりエッジで更新されます。

データのアクセス中に LDAC にパルスが入力されても、このパルスは無視されます。

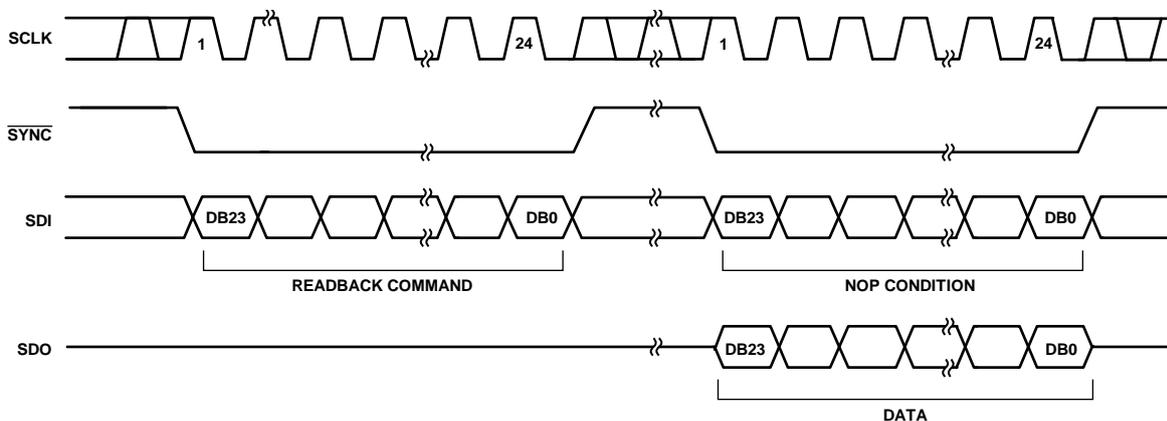


図 53. リードバック動作

1195E-064

熱ヒステリシス

熱ヒステリシスは、周囲温度→低温→高温→周囲温度で温度変化させた場合にリファレンス電圧に発生する電圧差です。

熱ヒステリシス・データを図 54 に示します。このデータは、周囲温度→-40°C→+105°C→周囲温度で温度変化させて測定したものです。次に、 V_{REF} の変化分を 2 つの周囲温度の間で測定し、結果を図 54 の実線で示します。同じ温度変化と測定を直ちに繰り返し、その結果を図 54 にパターン化した線で示します。

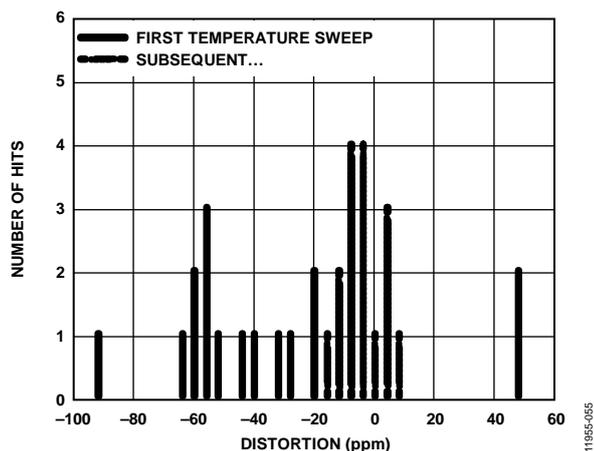


図 54.熱ヒステリシス

パワーアップ・シーケンス

ダイオードがデジタル・ピンとアナログ・ピンでの電圧コンプライアンスを制限しているため、 V_{DD} 、 V_{OUT} 、 V_{LOGIC} の各電圧を加える前に GND を接続することが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずに V_{DD} に電源が接続されてしまいます。最適なパワーアップ・シーケンスは、GND、 V_{DD} 、 V_{LOGIC} 、 V_{REF} 続いてデジタル入力の順序です。

レイアウトのガイドライン

高精度が重要となる回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。

ADC を実装するプリント回路ボード (PCB) は、AD5683R/AD5682R/AD5681R/AD5683 をアナログ・プレーン上に配置するようにデザインする必要があります。

AD5683R/AD5682R/AD5681R/AD5683 に対しては、10 μ F と 0.1 μ F の並列接続により十分な電源バイパスをパッケージのできるだけ近くに、理想的にはデバイスに直接に、接続する必要があります。10 μ F コンデンサはタンタルのビーズ型を使います。0.1 μ F コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供する一般的なセラミック型のような実効直列抵抗 (ESR) が小さく、かつ実効直列インダクタンス (ESI) が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

1 枚のボード上に多くのデバイスを実装するシステムでは、ヒート・シンク能力を設けて電力の消費を容易にすることが有効であることがあります。

AD5683R/AD5682R/AD5681R/AD5683 には、デバイスの底にエクスポーズド・パッドが設けてあります。このパッドをデバイスの GND へ接続してください。最適性能を得るためには、マザーボードのデザインに特別な注意を払って、パッケージを実装してください。熱的性能、電気的性能、ボード・レベルの性能を強化するため、パッケージ底面のエクスポーズド・パッドは対応する PCB のサーマル・ランド・パッドにハンダ付けしてください。PCB ランド・パッド領域にサーマル・ビアを配置するようにデザインしてさらに熱放散を強化してください。

自然なヒート・シンク効果を提供するため、デバイス上の GND プレーンを大きくすることができます (図 55 参照)。

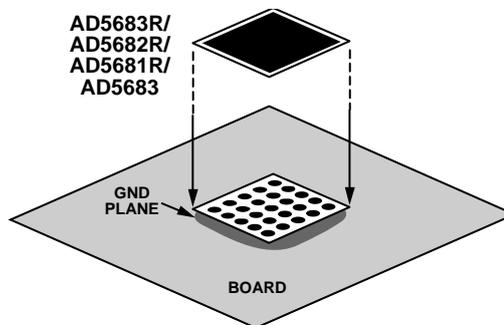


図 55.パッドとボードの接続

オーダー・ガイド

Model ¹	Resolution (Bits)	Pinout	Temperature Range	Performance	Package Description	Package Option	Branding
AD5683RACPZ-RL7	16	LDAC	-40°C to +105°C	A-Grade	8-Lead LFCSP_UD	CP-8-10	94
AD5683RACPZ-1RL7	16	V _{LOGIC}	-40°C to +105°C	A-Grade	8-Lead LFCSP_UD	CP-8-10	95
AD5683RACPZ-2RL7	16	RESET	-40°C to +105°C	A-Grade	8-Lead LFCSP_UD	CP-8-10	96
AD5683RARMZ	16	V _{LOGIC}	-40°C to +105°C	A-Grade	10-Lead MSOP	RM-10	DHY
AD5683RARMZ-RL7	16	V _{LOGIC}	-40°C to +105°C	A-Grade	10-Lead MSOP	RM-10	DHY
AD5683RBRMZ	16	V _{LOGIC}	-40°C to +105°C	B-Grade	10-Lead MSOP	RM-10	DHZ
AD5683RBRMZ-RL7	16	V _{LOGIC}	-40°C to +105°C	B-Grade	10-Lead MSOP	RM-10	DHZ
AD5683RBRMZ-3	16	SDO	-40°C to +105°C	B-Grade	10-Lead MSOP	RM-10	DJ0
AD5683RBRMZ-3-RL7	16	SDO	-40°C to +105°C	B-Grade	10-Lead MSOP	RM-10	DJ0
AD5683RBCPZ-RL7	16	LDAC	-40°C to +105°C	B-Grade	8-Lead LFCSP_UD	CP-8-10	9A
AD5682RBCPZ-RL	14	LDAC	-40°C to +105°C	B-Grade	8-Lead LFCSP_UD	CP-8-10	9B
AD5682RBCPZ-RL7	14	LDAC	-40°C to +105°C	B-Grade	8-Lead LFCSP_UD	CP-8-10	9B
AD5681RBCPZ-RL	12	LDAC	-40°C to +105°C	B-Grade	8-Lead LFCSP_UD	CP-8-10	98
AD5681RBCPZ-RL7	12	LDAC	-40°C to +105°C	B-Grade	8-Lead LFCSP_UD	CP-8-10	98
AD5681RBCPZ-1RL	12	V _{LOGIC}	-40°C to +105°C	B-Grade	8-Lead LFCSP_UD	CP-8-10	99
AD5681RBCPZ-1RL7	12	V _{LOGIC}	-40°C to +105°C	B-Grade	8-Lead LFCSP_UD	CP-8-10	99
AD5681RBRMZ	12	V _{LOGIC}	-40°C to +105°C	B-Grade	10-Lead MSOP	RM-10	DHX
AD5681RBRMZ-RL7	12	V _{LOGIC}	-40°C to +105°C	B-Grade	10-Lead MSOP	RM-10	DHX

¹ Z = RoHS 準拠製品。