



SPIインターフェース内蔵のオクタル 16ビット nanoDAC+

データシート

AD5676

特長

高性能

- 高い相対精度 (INL) : 16 ビットで最大±3 LSB
- 総合未調整誤差 (TUE) : 最大±0.14%の FSR
- オフセット誤差 : 最大±1.5 mV
- ゲイン誤差 : 最大±0.06%の FSR

広い動作範囲

- 温度範囲 : -40°C~+125°C
- 2.7 V~5.5 V 電源

容易な実装

- ユーザ選択式ゲイン 1 または 2 (GAIN ピン)
- ゼロ・スケールまたはミッドスケールへのリセット (RSTSEL ピン)
- 1.8 V ロジック互換

- リードバックまたはデジチェーン接続に対応する 50 MHz SPI
- ESD 耐性 : HBM にて 2kV、FICDM にて 1.5kV
- 20 ピンの RoHS 準拠 TSSOP パッケージ

アプリケーション

- 光トランシーバ
- 基地局用パワー・アンプ
- プロセス制御 (PLC 入出力カード)
- 工業用オートメーション
- データ・アキュイジション・システム

概要

AD5676 は、低消費電力、オクタル、16 ビットのバッファ付き電圧出力 D/A コンバータ (DAC) です。このデバイスにはゲイン選択ピンがあり、 V_{REF} (ゲイン=1) または $2 \times V_{REF}$ (ゲイン=2) のフルスケール出力を選択できます。AD5676 DAC は 2.7 V~5.5 V の単電源で動作し、設計により単調性が保証されています。AD5676 は 20 ピンの TSSOP パッケージを採用しています。

AD5676 は、内蔵のパワーオン・リセット回路と RSTSET ピンとを使って、パワーアップ時の DAC 出力をゼロ・スケールまたは、ミッドスケールに設定することができ、有効な書き込みが行われるまでその状態を維持します。AD5676 はチャンネル別にパワーダウン・モードを使用でき、デバイスの消費電流を $1 \mu A$ (typ) まで低減することができます。

AD5676 は最大 50 MHz のクロック・レートで動作する汎用性の高いシリアル・ペリフェラル・インターフェース (SPI) を採用しており、1.8 V~5 V ロジック用の V_{LOGIC} ピンがあります。

表 1. オクタル nanoDAC+®デバイス

Interface	Reference	16-Bit	12-Bit
SPI	Internal	AD5676R	AD5672R
	External	AD5676	Not applicable
I ² C	Internal	AD5675R	AD5671R

製品のハイライト

- 高い相対精度 (INL) 16 ビット : 最大±3 LSB
- 温度範囲 : -40°C~+125°C
- 20 ピンの RoHS 準拠 TSSOP パッケージ

機能ブロック図

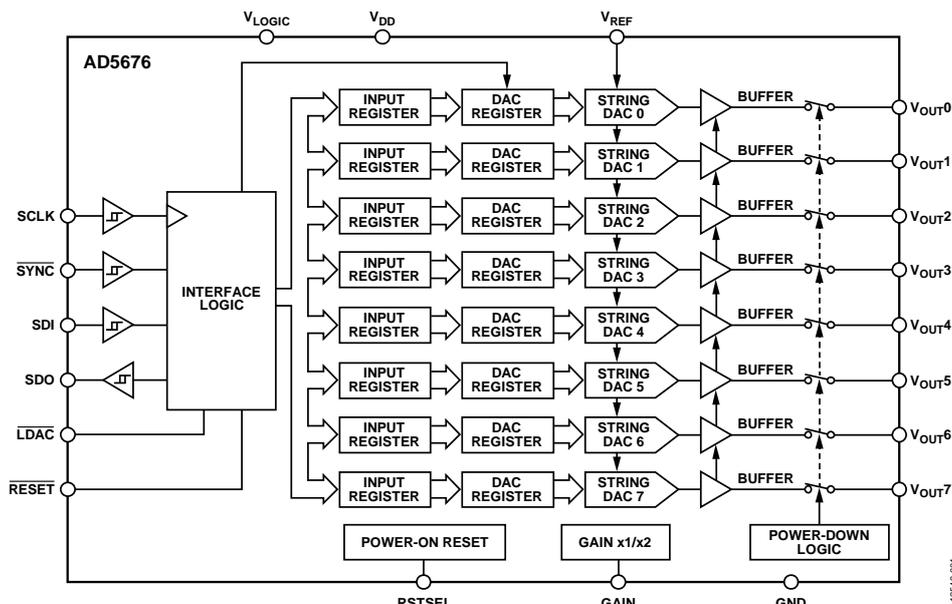


図 1.

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©20145 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長.....	1	スタンダアロン動作.....	20
アプリケーション.....	1	書込みコマンドと更新コマンド.....	20
概要.....	1	デジチェーン動作.....	21
製品のハイライト.....	1	リードバック動作.....	21
機能ブロック図.....	1	パワーダウン動作.....	22
改訂履歴.....	2	DACのロード (ハードウェア $\overline{\text{LDAC}}$ ピン).....	23
仕様.....	3	$\overline{\text{LDAC}}$ マスク・レジスタ.....	23
AC特性.....	5	ハードウェア・リセット ($\overline{\text{RESET}}$).....	24
タイミング特性.....	6	リセット選択ピン (RSTSEL).....	24
デジチェーンとリードバックのタイミング特性.....	7	アプリケーション情報.....	25
絶対最大定格.....	9	電源に関する推奨事項.....	25
ESDに関する注意.....	9	マイクロプロセッサ・インターフェース.....	25
ピン配置と機能の説明.....	10	AD5676とADSP-BF531との接続.....	25
代表的な性能特性.....	11	AD5676とSPORTとの接続.....	25
用語の説明.....	17	レイアウトのガイドライン.....	25
動作原理.....	19	ガルバニック絶縁インターフェース.....	26
D/Aコンバータ.....	19	外形寸法.....	27
伝達関数.....	19	オーダー・ガイド.....	27
DACアーキテクチャ.....	19		
シリアル・インターフェース.....	19		

改訂履歴

10/14—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $1.8\text{ V} \leq V_{\text{LOGIC}} \leq 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 、すべての仕様は $-40^\circ\text{C} \sim +125^\circ\text{C}$ で規定。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
STATIC PERFORMANCE¹					
Resolution	16			Bits	
Relative Accuracy (INL) ²		± 1.8	± 3	LSB	Gain = 1
		± 1.7	± 3	LSB	Gain = 2
Differential Nonlinearity (DNL) ²		± 0.7	± 1	LSB	Gain = 1
		± 0.5	± 1	LSB	Gain = 2
Zero Code Error ²		0.8	1.6	mV	Gain = 1 or gain = 2
Offset Error ²		-0.75	± 2	mV	Gain = 1
		-0.1	± 1.5	mV	Gain = 2
Full-Scale Error ²		-0.018	± 0.14	% of FSR	Gain = 1
		-0.013	± 0.07	% of FSR	Gain = 2
Gain Error ²		+0.04	± 0.12	% of FSR	Gain = 1
		-0.02	± 0.06	% of FSR	Gain = 2
Total Unadjusted Error (TUE)		+0.03	± 0.18	% of FSR	Gain = 1
		+0.006	± 0.14	% of FSR	Gain = 2
Offset Error Drift ^{2, 3}		± 1		$\mu\text{V}/^\circ\text{C}$	
DC Power Supply Rejection Ratio (PSRR) ^{2, 3}		0.25		mV/V	DAC code = midscale, $V_{DD} = 5\text{ V} \pm 10\%$
DC Crosstalk ^{2, 3}		± 2		μV	Due to single channel, full-scale output change
		± 3		$\mu\text{V}/\text{mA}$	Due to load current change
		± 2		μV	Due to powering down (per channel)
OUTPUT CHARACTERISTICS³					
Output Voltage Range	0		V_{REF}	V	Gain = 1
	0		$2 \times V_{\text{REF}}$	V	Gain = 2
Output Current Drive			15	mA	
Capacitive Load Stability		2		nF	$R_L = \infty$
		10		nF	$R_L = 1\text{ k}\Omega$
Resistive Load ⁴	1			k Ω	
Load Regulation		183		$\mu\text{V}/\text{mA}$	$5\text{ V} \pm 10\%$, DAC code = midscale; $-30\text{ mA} \leq I_{\text{OUT}} \leq +30\text{ mA}$
		177		$\mu\text{V}/\text{mA}$	$3\text{ V} \pm 10\%$, DAC code = midscale; $-20\text{ mA} \leq I_{\text{OUT}} \leq +20\text{ mA}$
Short-Circuit Current ⁵		40		mA	
Load Impedance at Rails ⁶		25		Ω	
Power-Up Time		2.5		μs	Exiting power-down mode, $V_{DD} = 5\text{ V}$
REFERENCE INPUT					
Reference Input Current		398		μA	$V_{\text{REF}} = V_{DD} = V_{\text{LOGIC}} = 5.5\text{ V}$, gain = 1
		789		μA	$V_{\text{REF}} = V_{DD} = V_{\text{LOGIC}} = 5.5\text{ V}$, gain = 2
Reference Input Range	1		V_{DD}	V	Gain = 1
	1		$V_{DD}/2$	V	Gain = 2
Reference Input Impedance		14		k Ω	Gain = 1
		7		k Ω	Gain = 2
LOGIC INPUTS³					
Input Current			± 1	μA	Per pin
Input Voltage					
Low, V_{INL}			$0.3 \times V_{\text{LOGIC}}$	V	
High, V_{INH}	$0.7 \times V_{\text{LOGIC}}$			V	
Pin Capacitance		3		pF	
LOGIC OUTPUTS (SDO)³					
Output Voltage					
Low, V_{OL}			0.4	V	$I_{\text{SINK}} = 200\text{ }\mu\text{A}$
High, V_{OH}	$V_{\text{LOGIC}} - 0.4$			V	$I_{\text{SOURCE}} = 200\text{ }\mu\text{A}$
Floating State Output Capacitance		4		pF	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
POWER REQUIREMENTS					
V_{LOGIC}	1.8		5.5	V	
I_{LOGIC}			1	μA	Power on
			0.5	μA	Power down
V_{DD}	2.7		5.5	V	Gain = 1
	$V_{\text{REF}} + 1.5$		5.5	V	Gain = 2
I_{DD}					
Normal Mode ⁷		1.1	1.26	mA	-40°C to +85°C
		1.1	1.3	mA	-40°C to +105°C
All Power-Down Modes ⁸		1	1.7	μA	Three-state, -40°C to +85°C
		1	1.7	μA	Power down to 1 k Ω , -40°C to +85°C
		1	2.5	μA	Three-state, -40°C to +105°C
		1	2.5	μA	Power down to 1 k Ω , -40°C to +105°C
		1	5.5	μA	Three-state, -40°C to +125°C
		1	5.5	μA	Power down to 1 k Ω , -40°C to +125°C

¹ 特に指定がない限り DC 仕様は出力無負荷でテスト。上側デッドバンド = 10 mV で、 $V_{\text{REF}} = V_{\text{DD}}$ でゲイン = 1 の場合、または $V_{\text{REF}}/2 = V_{\text{DD}}$ でゲイン = 2 の場合のみ。直線性は縮小コード範囲 256~65,280 を使って計算。

² 「用語の説明」を参照。

³ これらの仕様については設計および特性評価により保証しています。出荷テストは行っていません。

⁴ ジャンクション温度 125°C までであれば、チャンネル 0、チャンネル 1、チャンネル 2、チャンネル 3 は合計で 40 mA の電流をソース/シンクできます。同様に、チャンネル 4、チャンネル 5、チャンネル 6、チャンネル 7 もこれらのチャンネルの合計で最大 40 mA の電流をソース/シンクできます。

⁵ $V_{\text{DD}} = 5 \text{ V}$ 。AD5676 は、一時的な過負荷状態のときにデバイスを保護するための電流制限機能を内蔵しています。電流制限時にはジャンクション温度を越えて動作する事があります。しかしながら、規定の最大動作ジャンクション温度より高い温度での動作は、デバイスの信頼性を損なうおそれがあります。

⁶ いずれかの電源レールから負荷電流を取り出す場合、その電源レールに対する出力電圧のヘッドルームは、出力デバイスのチャンネル抵抗 25 Ω (typ) によって制限されます。たとえば、1 mA のシンク電流の場合は最小出力電圧 = $25 \Omega \times 1 \text{ mA} = 25 \text{ mV}$ です。

⁷ インターフェースは非アクティブ状態。すべての DAC はアクティブ状態。DAC 出力は無負荷。

⁸ すべての DAC がパワーダウン。

AC 特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega \sim \text{GND}$ 、 $C_L = 200\text{ pF} \sim \text{GND}$ 、 $1.8\text{ V} \leq V_{\text{Logic}} \leq 5.5\text{ V}$ 、すべての仕様は $-40^\circ\text{C} \sim +125^\circ\text{C}$ で規定。これらの仕様については設計および特性評価により保証しています。出荷テストは行っていません。

表 3

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Output Voltage Settling Time ¹		5	8	μs	$\frac{1}{4}$ to $\frac{3}{4}$ scale settling to $\pm 2\text{ LSB}$
Slew Rate		0.8		$\text{V}/\mu\text{s}$	
Digital-to-Analog Glitch Impulse ¹		1.4		$\text{nV}\cdot\text{sec}$	1 LSB change around major carry, gain = 1
Digital Feedthrough ¹		0.13		$\text{nV}\cdot\text{sec}$	
Digital Crosstalk ¹		0.1		$\text{nV}\cdot\text{sec}$	
Analog Crosstalk ¹		-0.25		$\text{nV}\cdot\text{sec}$	Gain = 1
		-1.3		$\text{nV}\cdot\text{sec}$	Gain = 2
DAC-to-DAC Crosstalk ¹		-2.0		$\text{nV}\cdot\text{sec}$	
Total Harmonic Distortion (THD) ^{1,2}		-80		dB	$T_A = 25^\circ\text{C}$, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{\text{OUT}} = 1\text{ kHz}$
Output Noise Spectral Density (NSD) ¹		300		$\text{nV}/\sqrt{\text{Hz}}$	DAC code = midscale, bandwidth = 10 kHz, gain = 2
Output Noise		6		$\mu\text{V p-p}$	0.1 Hz to 10 Hz, gain = 1
Signal-to-Noise Ratio (SNR)		90		dB	$T_A = 25^\circ\text{C}$, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{\text{OUT}} = 1\text{ kHz}$
Spurious-Free Dynamic Range (SFDR)		83		dB	$T_A = 25^\circ\text{C}$, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{\text{OUT}} = 1\text{ kHz}$
Signal-to-Noise-and-Distortion Ratio (SINAD)		80		dB	$T_A = 25^\circ\text{C}$, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{\text{OUT}} = 1\text{ kHz}$

¹ 「用語の説明」を参照。

² この DAC を使ってデジタル的に生成した 1 kHz の正弦波を仕様。

タイミング特性

すべての入力信号は $t_r = t_f = 1 \text{ ns/V}$ (V_{DD} の 10% ~ 90%) で規定し、電圧レベル ($V_{IL} + V_{IH}$)/2 からの時間とします。図 2 を参照。特に指定がない限り、 $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 、 $1.8 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$ 、 $V_{REF} = 2.5 \text{ V}$ 、すべての仕様は $-40^\circ\text{C} \sim +125^\circ\text{C}$ で規定。

表 4.

Parameter ¹	Symbol	$1.8 \text{ V} \leq V_{LOGIC} < 2.7 \text{ V}$		$2.7 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$		Unit
		Min	Max	Min	Max	
SCLK Cycle Time	t_1	20		20		ns
SCLK High Time	t_2	4		1.7		ns
SCLK Low Time	t_3	4.5		4.3		ns
SYNC to SCLK Falling Edge Setup Time	t_4	15.1		10.1		ns
Data Setup Time	t_5	0.8		0.8		ns
Data Hold Time	t_6	+0.1		-0.8		ns
SCLK Falling Edge to SYNC Rising Edge	t_7	0.95		1.25		ns
Minimum SYNC High Time (Single, Combined, or All Channel Update)	t_8	9.65		6.75		ns
SYNC Falling Edge to SCLK Fall Ignore	t_9	4.75		9.7		ns
LDAC Pulse Width Low	t_{10}	4.85		5.45		ns
SCLK Falling Edge to LDAC Rising Edge	t_{11}	41.25		25		ns
SCLK Falling Edge to LDAC Falling Edge	t_{12}	26.35		20.3		ns
RESET Minimum Pulse Width Low	t_{13}	4.8		6.2		ns
RESET Pulse Activation Time	t_{14}	13.2		80		ns
Power-Up Time ²		5.15		5.18		μs

¹ 最大 SCLK 周波数は $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 、 $1.8 \text{ V} \leq V_{LOGIC} \leq V_{DD}$ で 50 MHz。これらの仕様については設計および特性評価により保証しています。出荷テストは行っていません。

² AD5676 の動作がパワーダウン状態を終了して通常モードへ移行するための時間。出力無負荷で 32 番目のクロック・エッジから DAC ミッドスケール値の 90% まで。

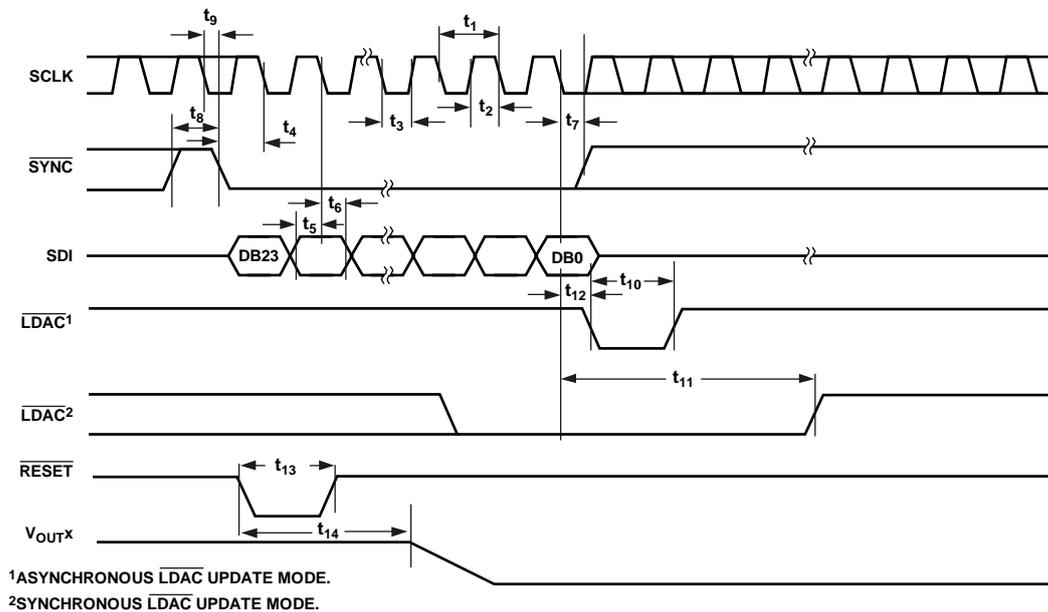


図 2. シリアル書き込み動作

デジチェーンとリードバックのタイミング特性

すべての入力信号は $t_r = t_f = 1 \text{ ns/V}$ (V_{DD} の 10% ~ 90%) で規定し、電圧レベル $(V_{IL} + V_{IH})/2$ からの時間とします。図 4 および図 5 を参照。特に指定がない限り、 $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 、 $1.8 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$ 、 $V_{REF} = 2.5 \text{ V}$ 、すべての仕様は $-40^\circ\text{C} \sim +125^\circ\text{C}$ で規定。

表 5.

Parameter ¹	Symbol	$1.8 \text{ V} \leq V_{LOGIC} < 2.7 \text{ V}$		$2.7 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$		Unit
		Min	Max	Min	Max	
SCLK Cycle Time	t_1	120		83.3		ns
SCLK High Time	t_2	33		25.3		ns
SCLK Low Time	t_3	2.8		3.25		ns
SYNC to SCLK Falling Edge	t_4	75		50		ns
Data Setup Time	t_5	1.2		0.5		ns
Data Hold Time	t_6	0.3		0.4		ns
SCLK Falling Edge to SYNC Rising Edge	t_7	16.2		13		ns
Minimum SYNC High Time	t_8	55.1		45		ns
SDO Data Valid from SCLK Rising Edge	t_{10}	21.5		22.7		ns
SCLK Falling Edge to SYNC Rising Edge	t_{11}	24.4		20.3		ns
SYNC Rising Edge to SCLK Rising Edge	t_{12}	85.5		54		ns

¹ 最大 SCLK 周波数は $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 、 $1.8 \text{ V} \leq V_{LOGIC} \leq V_{DD}$ で 25 MHz または 15 MHz。これらの仕様については設計および特性評価により保証しています。出荷テストは行っていません。

回路図およびデジチェーンとリードバックのタイミング図

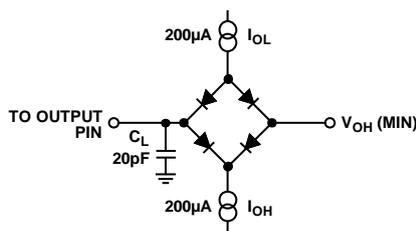


図 3. デジタル出力 (SDO) タイミング仕様の負荷回路

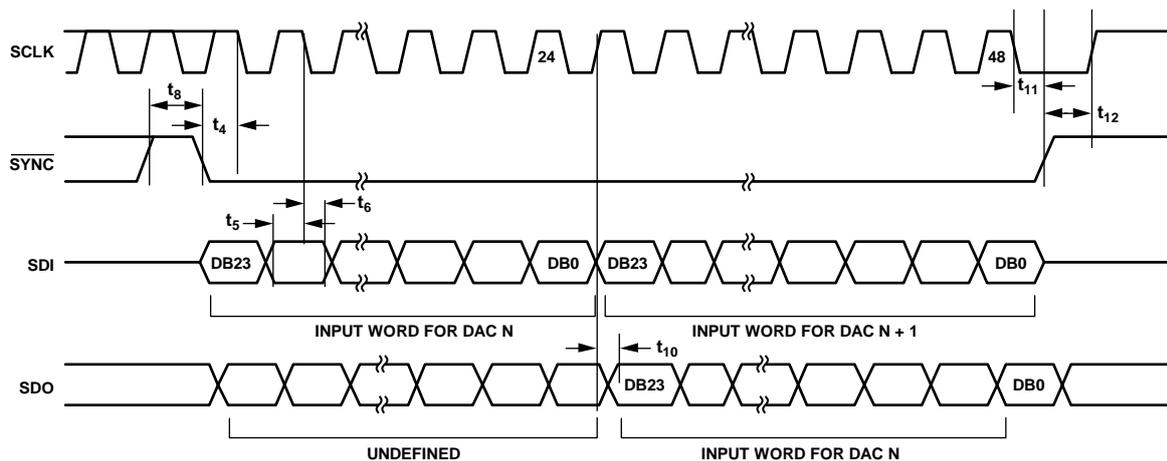
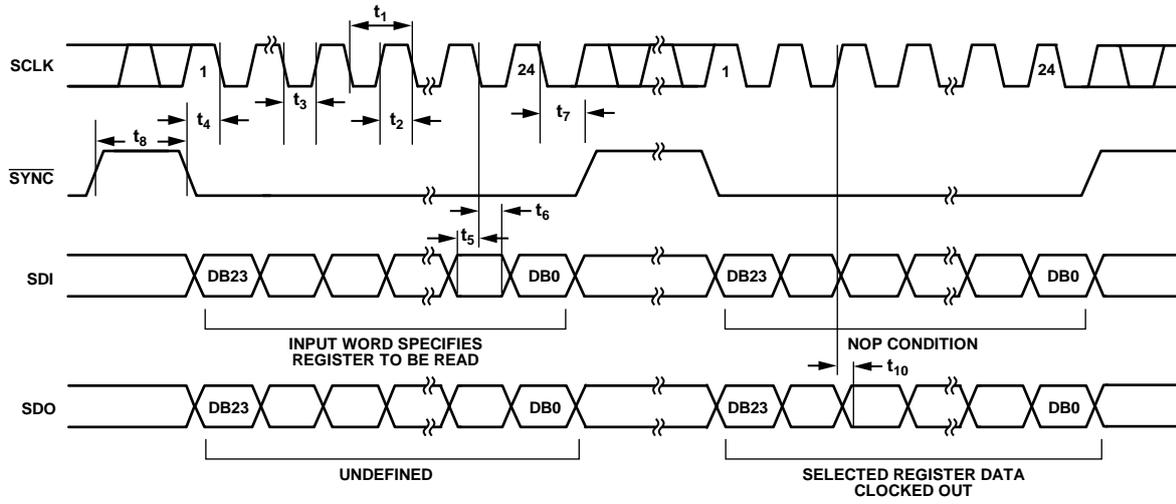


図 4. デジチェーン・タイミング図



12549-005

図 5. リードバック・タイミング図

絶対最大定格

特に指定のない限り $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{LOGIC} to GND	-0.3 V to +7 V
V_{OUTX} to GND	-0.3 V to $V_{DD} + 0.3$ V
V_{REF} to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3$ V
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	125°C
20-Lead TSSOP, θ_{JA} Thermal Impedance, Zero Airflow (4-Layer Board)	112.6°C/W
Reflow Soldering Peak Temperature, Pb Free (J-STD-020)	260°C
ESD Ratings	
Human Body Model (HBM)	2 kV
Field-Induced Charged Device Model (FICDM)	1.5 kV

左記の絶対最大定格以上のストレスを加えると、製品に恒久的な損傷を与える恐れがあります。この規定はストレス定格の規定のみを目的とするものであり、ここに示す条件や、この仕様の動作に関する項に記載する条件を超えるその他の条件でデバイスが動作することを意味するものではありません。最大動作条件を超えて長時間デバイスを使用すると、製品の信頼性に影響を与える恐れがあります。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

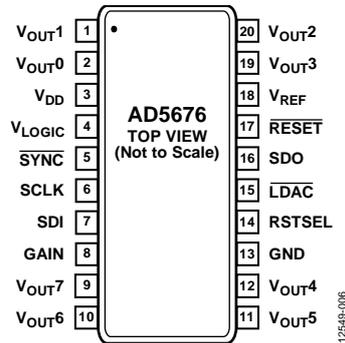


図 6. 20 ピン TSSOP のピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1	V _{OUT1}	DAC 1 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
2	V _{OUT0}	DAC 0 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
3	V _{DD}	電源入力。AD5676 は 2.7 V ~ 5.5 V で動作します。このピンと GND 間に 0.1 μF のコンデンサと 10 μF のコンデンサとを並列に接続し、V _{DD} をデカップリングしてください。
4	V _{LOGIC}	デジタル電源。電圧範囲は 1.8 V ~ 5.5 V です。
5	$\overline{\text{SYNC}}$	アクティブ・ローの制御入力。これは入力データ用のフレーム同期信号です。 $\overline{\text{SYNC}}$ がローになると、次の 24 クロックの立下がりエッジでデータが転送されます。
6	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジで入力シフト・レジスタに入力されます。データは最大 50 MHz の速度で転送されます。
7	SDI	シリアル・データ入力。AD5676 には 24 ビットの入力シフト・レジスタが組み込まれています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
8	GAIN	スパン設定。このピンを GND に接続すると、8 個の DAC 出力すべてが 0 V ~ V _{REF} のスパンに設定されます。また、V _{LOGIC} に接続すると、8 個の DAC 出力すべてが 0 V ~ 2 × V _{REF} に設定されます。
9	V _{OUT7}	DAC 7 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
10	V _{OUT6}	DAC 6 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
11	V _{OUT5}	DAC 5 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
12	V _{OUT4}	DAC 4 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
13	GND	デバイス上のすべての回路のグラウンド基準点。
14	RSTSEL	パワーオン・リセット。パワーアップ時、8 個の DAC すべてをゼロ・スケールにするには、このピンを GND に接続します。パワーアップ時、8 個の DAC すべてをミッドスケールにするには、このピンを V _{LOGIC} に接続します。
15	$\overline{\text{LDAC}}$	DAC をロード。 $\overline{\text{LDAC}}$ は非同期と同期の 2 モードで動作します。入力レジスタに、新しいデータがあるとき、このピンにロー・レベルのパルスを入力すると、任意の DAC レジスタまたはすべての DAC レジスタが更新されます。これにより、すべての DAC 出力を同時に更新できます。このピンをロー・レベルに固定することもできます。
16	SDO	シリアル・データ出力。複数のデバイスをデジチェーン接続するとき、あるいはリードバックのために使用します。シリアル・データは SCLK の立上がりエッジで転送され、立下がりエッジで有効になります。
17	$\overline{\text{RESET}}$	非同期リセット入力。 $\overline{\text{RESET}}$ ピンへの入力信号の立下がりエッジでリセットします。 $\overline{\text{RESET}}$ がロー・レベルの場合はすべての $\overline{\text{LDAC}}$ パルスが無視されます。 $\overline{\text{RESET}}$ がアクティブになると、入力レジスタと DAC レジスタがゼロ・スケールまたはミッドスケールで更新されます。どちらのスケールになるかは RSTSEL ピンの状態によります。
18	V _{REF}	リファレンス入力電圧。
19	V _{OUT3}	DAC 3 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
20	V _{OUT2}	DAC 2 からのアナログ出力電圧。出力アンプはレール to レールで動作します。

代表的な性能特性

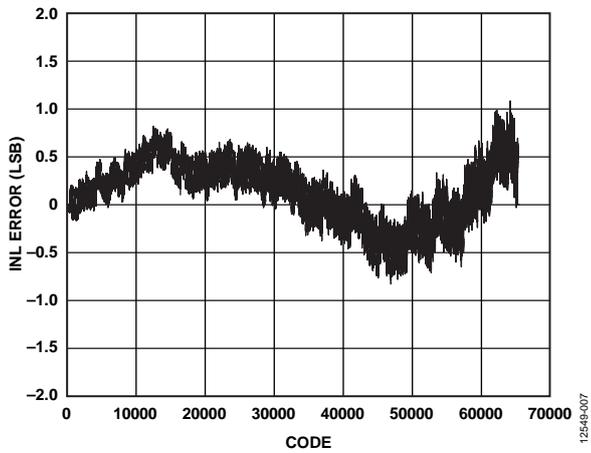


図 7. コード対 INL 誤差

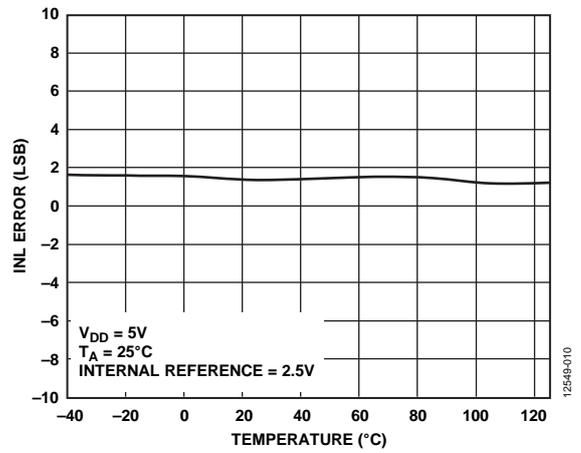


図 10. INL 誤差の温度特性

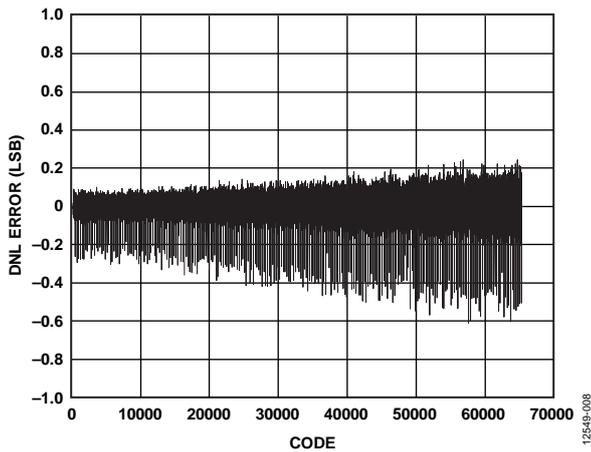


図 8. コード対 DNL 誤差

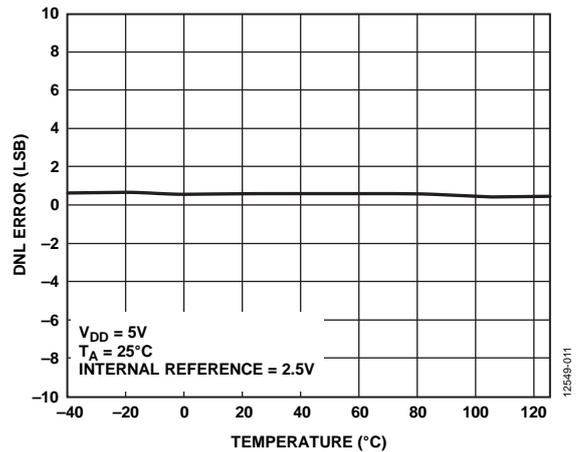


図 11. DNL 誤差の温度特性

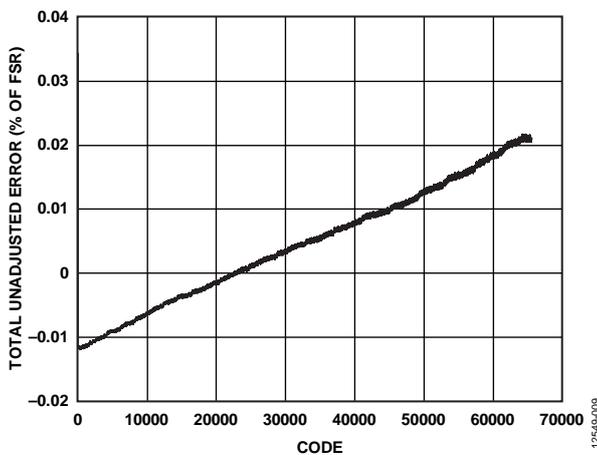


図 9. コード対 TUE

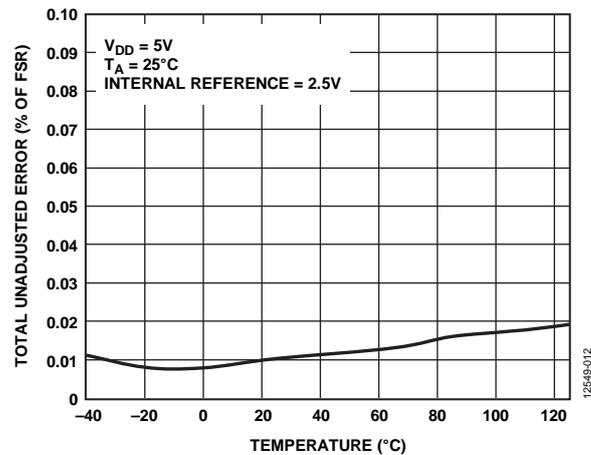


図 12. TUE の温度特性

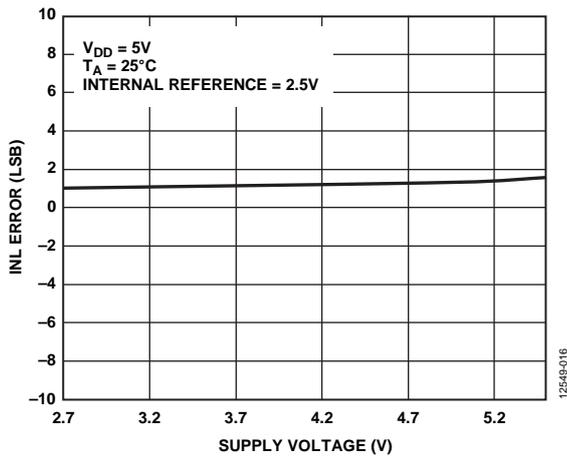


図 13. 電源電圧 対 INL 誤差

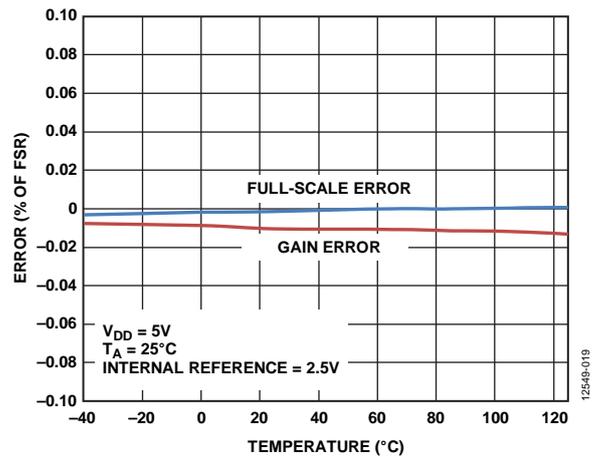


図 16. ゲイン誤差／フルスケール誤差の温度特性

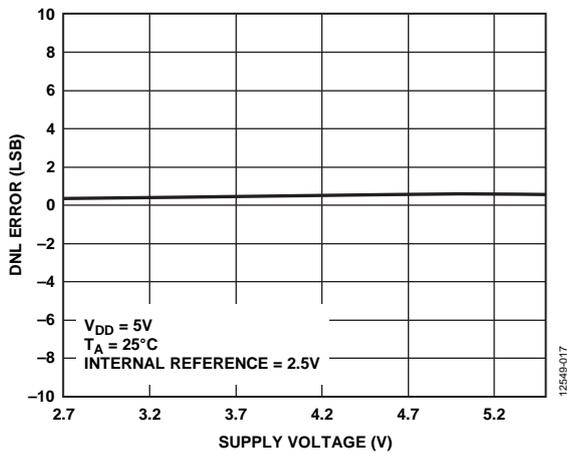


図 14. 電源電圧 対 DNL 誤差

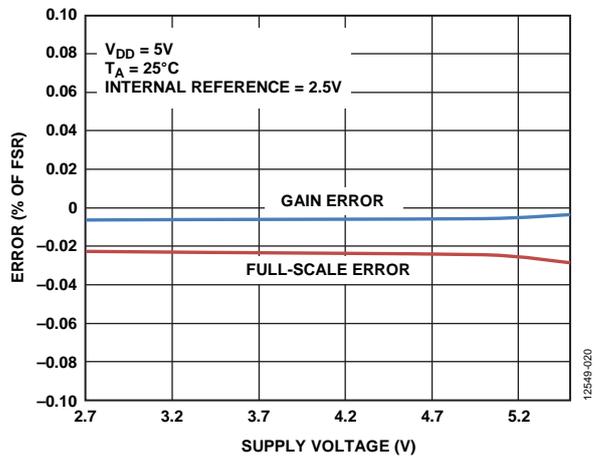


図 17. 電源電圧 対 ゲイン誤差／フルスケール誤差

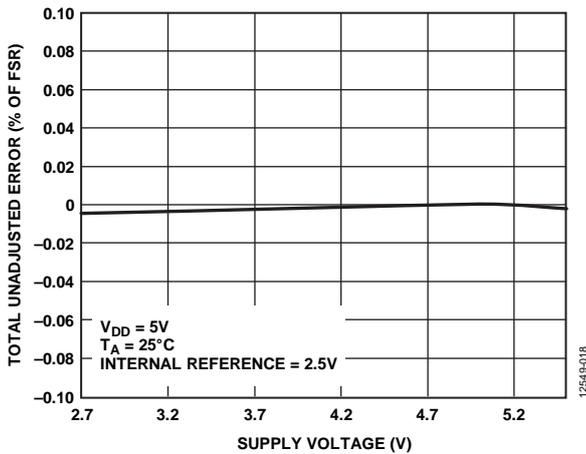


図 15. 電源電圧 対 TUE

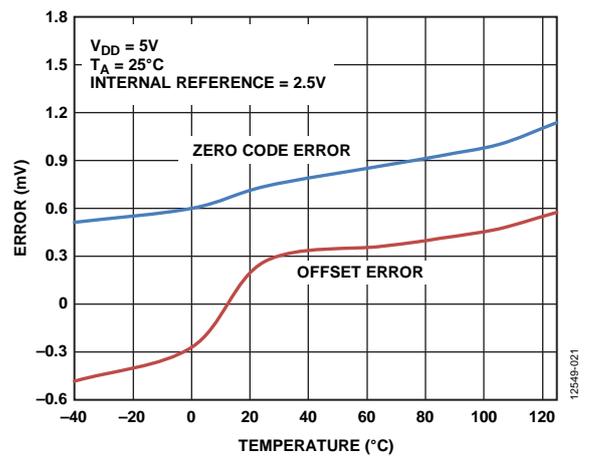


図 18. ゼロ・コード誤差／オフセット誤差の温度特性

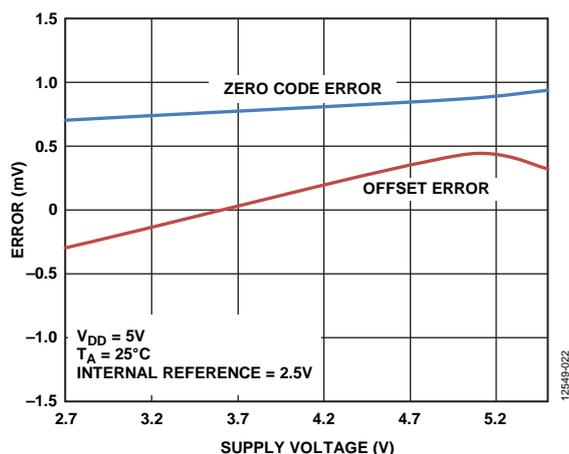


図 19. 電源電圧 対 ゼロ・コード誤差/オフセット誤差

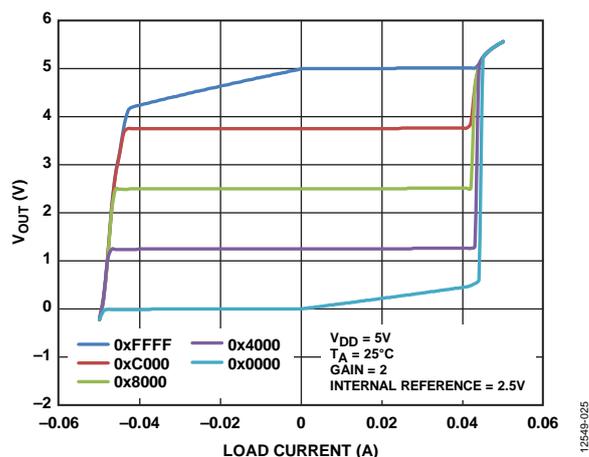


図 22. 5Vでのソース能力とシンク能力

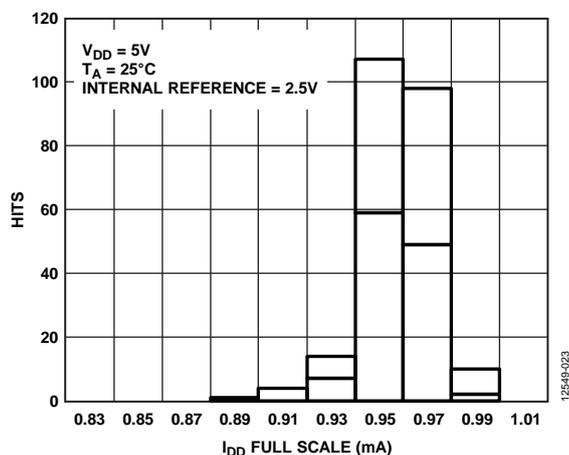


図 20. 外部リファレンス使用時の I_{DD} ヒストグラム

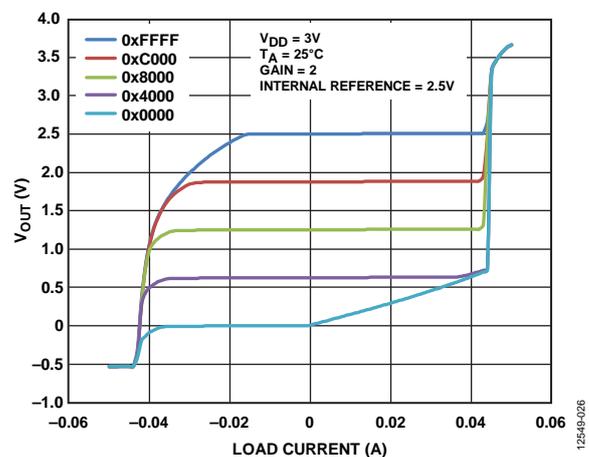


図 23. 3Vでのソース能力とシンク能力

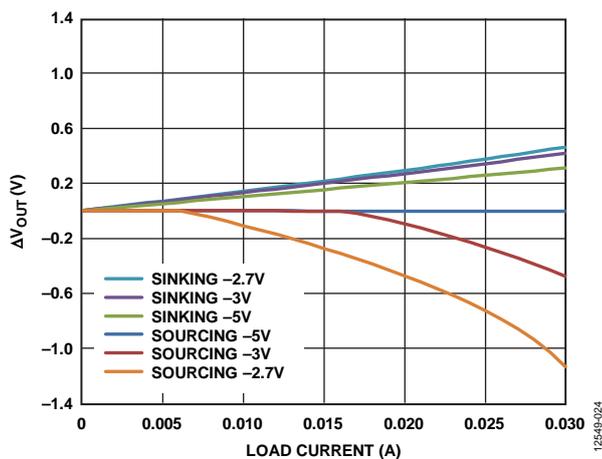


図 21. 負荷電流 対 ヘッドルーム/フルトルーム (ΔV_{OUT})

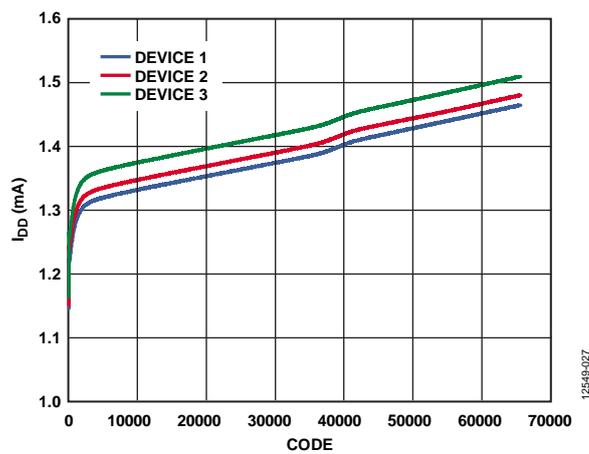


図 24. コード 対 電源電流 (I_{DD})

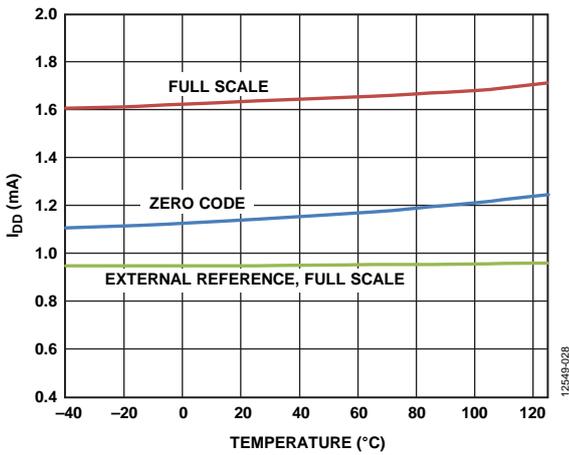


図 25. 電源電流 (I_{DD}) の温度特性

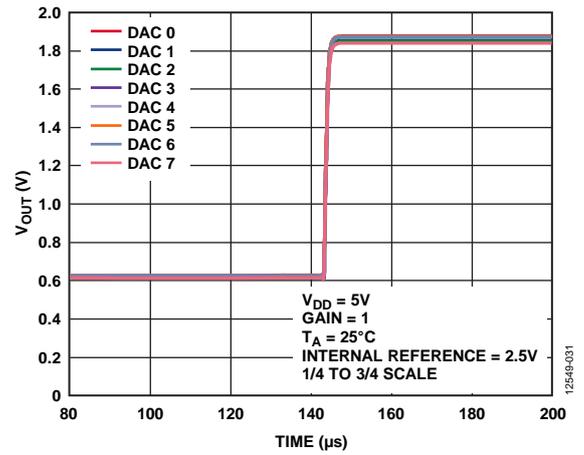


図 28. フルスケール・セトリング時間

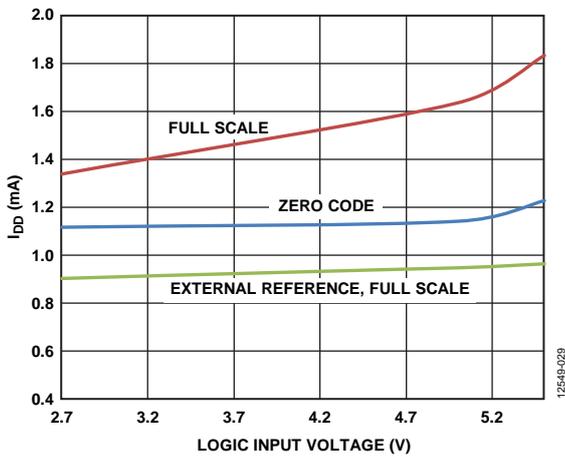


図 26. 電源電圧対電源電流 (I_{DD})

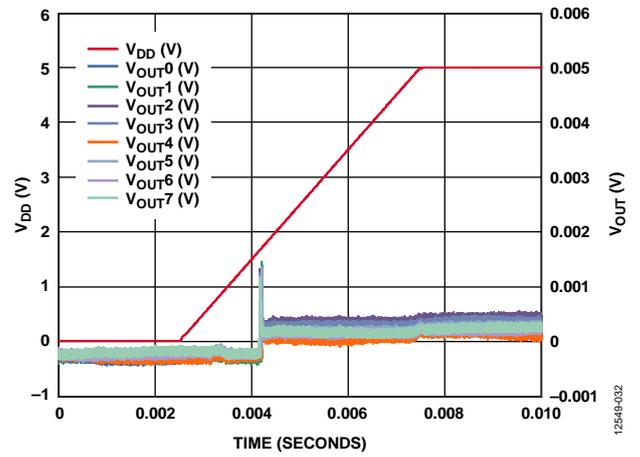


図 29. 0 V およびミッドスケールへのパワーオン・リセット

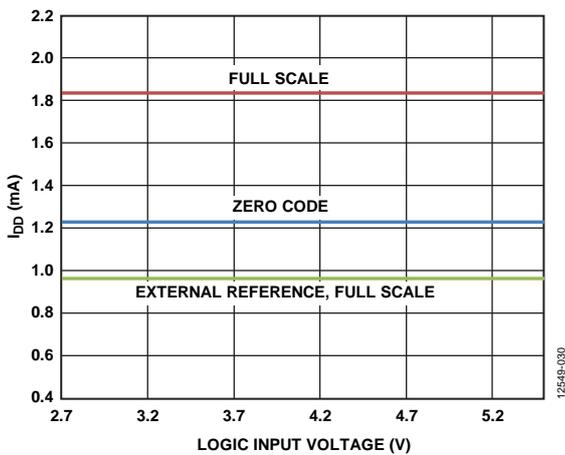


図 27. ロジック入力電圧対電源電流 (I_{DD})

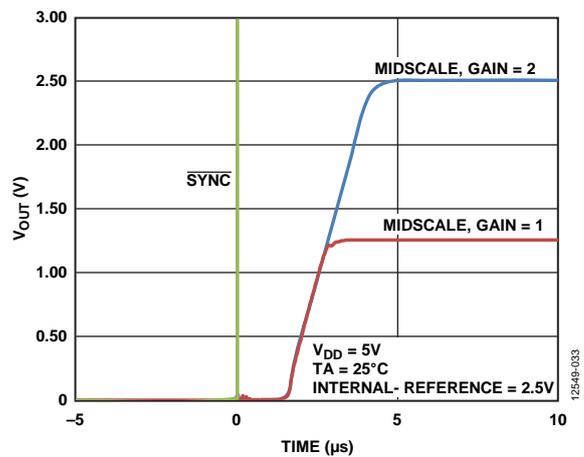


図 30. パワーダウン・モードから復帰時、DAC 出力がミッドスケールへ移行する時の波形

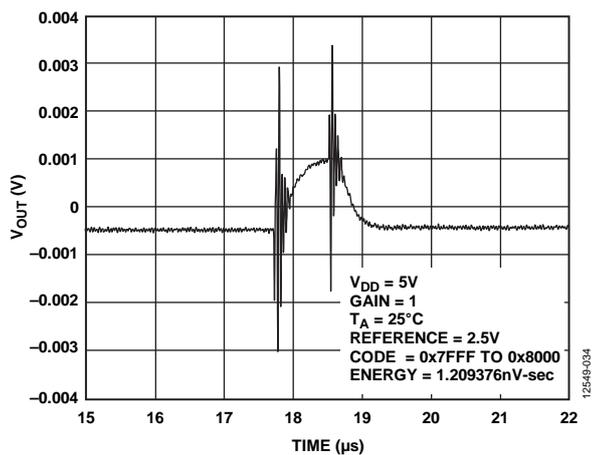


図 31. デジタル/アナログ変換時のグリッチ・インパルス

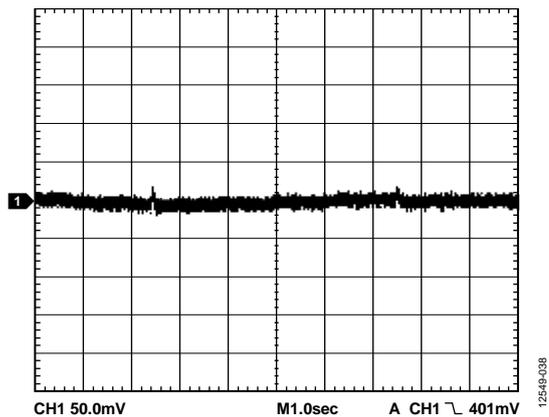


図 34. 0.1 Hz~10 Hz の出力ノイズ

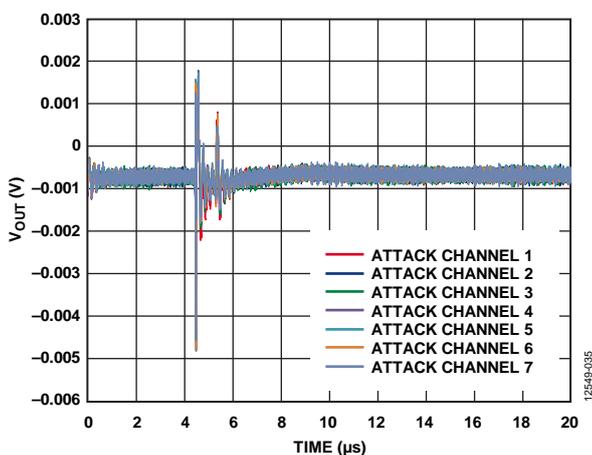


図 32. アナログ・クロストーク

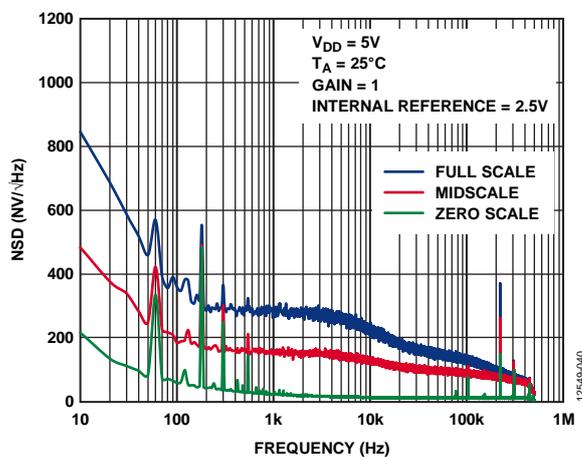


図 35. ノイズ・スペクトル密度 (NSD)

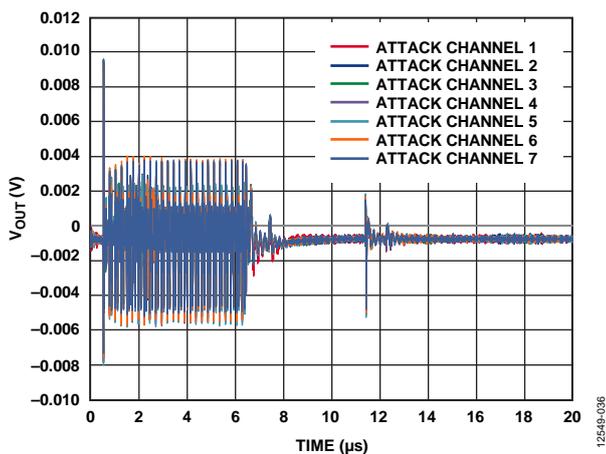


図 33. DAC 間クロストーク

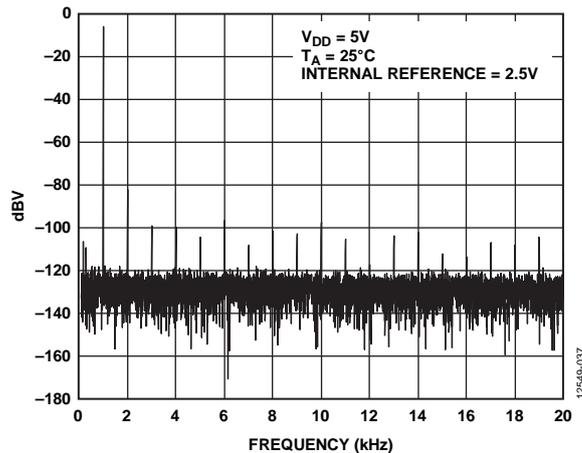


図 36. 1 kHz での THD

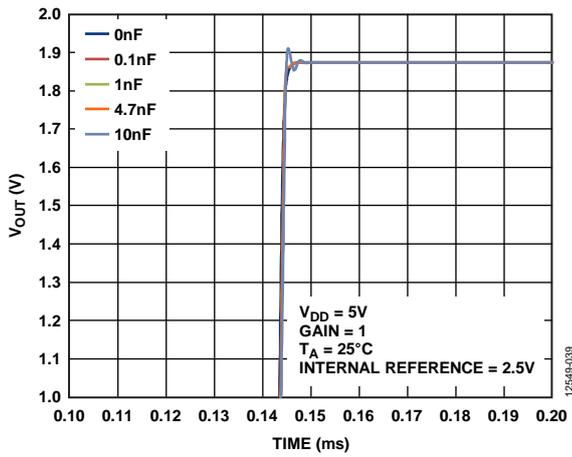


図 37. 容量負荷 対 セットリング時間

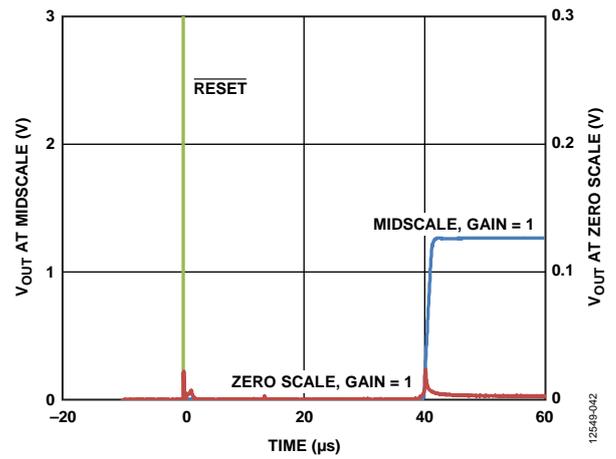


図 39. ハードウェア・リセット

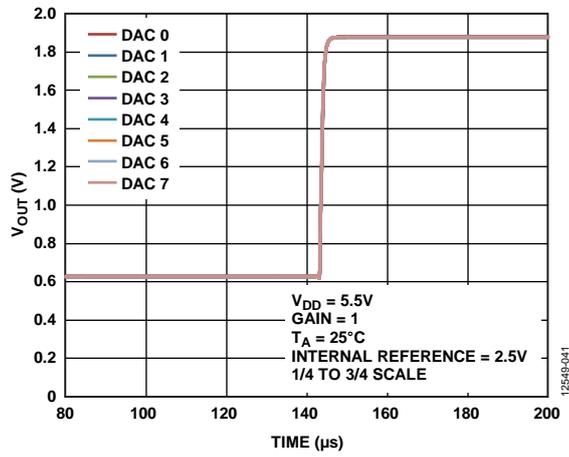


図 38. 5.5 V でのセットリング時間

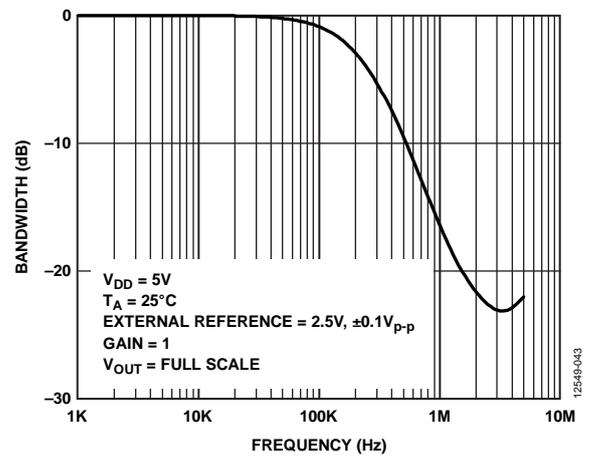


図 40. 外部リファレンス使用時の乗算帯域幅

用語の説明

相対精度または積分非直線性 (INL)

DAC の場合、相対精度すなわち積分非直線性は、DAC 伝達関数の上下両端を結ぶ直線からの最大偏差を LSB で表した値です。

微分非直線性 (DNL)

DNL は、隣接する 2 つのコード間で測定された変化と、理論的な 1 LSB の変化との差です。指定された DNL の値が最大 ± 1 LSB であれば、単調性が保証されます。AD5676 の単調性は設計により保証されています。

ゼロ・コード誤差

ゼロ・コード誤差は、DAC レジスタにゼロ・コード (0x0000) をロードしたときの出力誤差を表す数値です。理想的には、出力は 0 V です。DAC の出力が 0 V を下回ることはないのでゼロ・コード誤差は常に正です。この誤差は DAC と出力アンプのオフセット誤差の組み合わせです。ゼロ・コード誤差の単位は、mV です。

フルスケール誤差

フルスケール誤差は、DAC レジスタにフルスケール・コード (0xFFFF) をロードしたときの出力誤差を表す数値です。理想的には、出力は $V_{DD} - 1$ LSB になります。フルスケール誤差はフルスケール・レンジのパーセント値 (FSR の%) で表します。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表す数値です。これは DAC 伝達特性の理論的な傾きからの偏差を示すもので、FSR の%値で表します。

オフセット誤差ドリフト

オフセット誤差ドリフトは、温度変化に伴うオフセット誤差の変化を表す値で、単位は $\mu\text{V}/^\circ\text{C}$ です。

オフセット誤差

オフセット誤差は、伝達関数の直線領域での V_{OUT} (実測値) と V_{OUT} (理論値) の差を表す値で、単位は mV です。オフセット誤差は、DAC レジスタにコード 512 をロードした状態で測定します。この誤差は正または負になります。

DC 電源電圧変動除去比 (PSRR)

PSRR は、電源電圧の変化が DAC 出力に及ぼす影響を表します。PSRR は、DAC フルスケール出力における V_{DD} 変化に対する V_{OUT} 変化の比です。単位は mV/V です。 V_{REF} を 2 V に維持して V_{DD} を $\pm 10\%$ 変化させます。

出力電圧セトリング時間

出力電圧セトリング時間は、DAC 出力がフルスケールの 1/4 から 3/4 まで変化するコードを入力し、その出力が所定のレベルに安定するまでに要する時間で、 $\overline{\text{SYNC}}$ の立上がりエッジから測定します。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DAC レジスタ内の入力コードの状態が変化するときアナログ出力に混入するインパルスです。通常、グリッチの面積として規定され、その単位は nV-sec です。入力コードの LSB が 1 変化して最上位の桁が繰り上がるとき (0x7FFF から 0x8000) に測定します。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力が更新されていないとき、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスで、その単位は、nV-sec です。データ・バス上でのフルスケール・コードの変化時、すなわち全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定します。

ノイズ・スペクトル密度 (NSD)

NSD は内部で発生するランダム・ノイズの大きさを表します。ランダム・ノイズは、スペクトル密度 ($\text{nV}/\sqrt{\text{Hz}}$) として特性評価されます。これは DAC をミッドスケールにロードし、出力のノイズを測定することによって決定します。単位は $\text{nV}/\sqrt{\text{Hz}}$ です。

DC クロストーク

DC クロストークは、一方の DAC 出力の変化に対して、もう一方の DAC の出力レベルに生じる DC 変化です。ミッドスケールに維持した DAC 出力をモニタしながら、別の DAC でフルスケールの出力変化 (またはソフト・パワーダウンとパワーアップ) を行って測定します。単位は μV です。

負荷電流変化に起因する DC クロストークは、1 つの DAC の負荷電流変化が、ミッドスケールに維持された別の DAC に与える影響を表します。単位は $\mu\text{V}/\text{mA}$ です。

デジタル・クロストーク

デジタル・クロストークは、ある DAC の入力レジスタでフルスケールのコード変化 (全ビット 0 から全ビット 1 への変化、およびその逆の変化) が生じた結果として、ミッドスケールに維持された別の DAC の出力に伝わるグリッチ・インパルスです。スタンドアロン・モードで測定し、その単位は、nV-sec です。

アナログ・クロストーク

アナログ・クロストークは、DAC の出力変化の結果として別の DAC 出力に伝わるグリッチ・インパルスです。アナログ・クロストークを測定するには、入力レジスタの 1 つにフルスケールのコード変化 (全ビット 0 から全ビット 1 への変化、およびその逆の変化) をロードします。次にソフトウェア LDAC を実行して、デジタル・コードが変化していない方の DAC の出力をモニタします。グリッチの面積は nV-sec で表します。

DAC 間クロストーク

DAC 間クロストークは、デジタル・コードの変化とそれに続く DAC のアナログ出力変化に起因して、別の DAC 出力に現れるグリッチ・インパルスです。書込みコマンドと更新コマンドを使って原因側の DAC にフルスケールのコード変化 (全ビット 0 から全ビット 1 への変化、およびその逆変化) をロードし、ミッドスケールにある別のチャンネルの出力をモニタすることによって測定します。グリッチのエネルギーは nV-sec で表します。

乗算帯域幅

DAC 内のアンプの周波数帯域幅は有限です。乗算帯域幅はこれを表す値です。フルスケール・コードをロードした DAC に正弦波を重畳した基準電圧を接続すると、DAC 出力には、その正弦波が出力されます。正弦波の周波数を変化させ、DAC から出力される正弦波の振幅が、基準電圧に重畳された正弦波の振幅より 3dB 低下した時の周波数を、乗算帯域幅と規定しています。

全高調波歪み (THD)

DAC を使って発生させた正弦波は、理想正弦波とは異なっています。この差異を THD として規定しています。DAC から出力される正弦波は高調波成分を含んでいます。その高調波成分による歪みが THD で、単位は dB です。

動作原理

D/A コンバータ

AD5676はオクタル16ビット、シリアル入力の電圧出力DACです。このデバイスは、2.7 V～5.5 Vの電源電圧で動作します。AD5676へのデータ書込みは、3線式シリアル・インターフェースを使用して24ビット・ワード・フォーマットで行われます。AD5676はパワーオン・リセット回路を内蔵しており、既知の出力状態でDACをパワーアップさせることができます。また、消費電流を1 μ A (typ)まで低減するソフトウェア・パワーダウン・モードも組み込まれています。

伝達関数

出力アンプのゲインはデフォルトで1に設定されています。この値は、ゲイン選択ピン (GAIN) を使用して $\times 1$ または $\times 2$ に設定できます。このピンをGNDに接続すると、8個のDAC出力すべてが0 V～ V_{REF} のスパンに設定されます。このピンを V_{DD} に接続すると、8個のDAC出力のスパンはすべて0 V～ $2 \times V_{REF}$ になります。

DAC アーキテクチャ

出力バッファを内蔵した、セグメント型ストリング・アーキテクチャを採用したDACです。内部ブロック図を図41に示します。

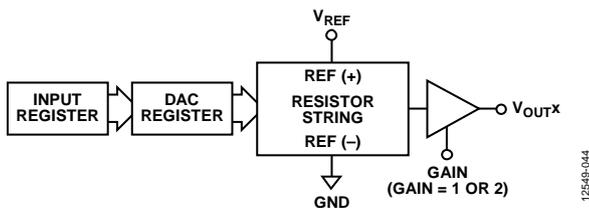


図 41. シングル DAC チャンネル・アーキテクチャのブロック図

セグメント型抵抗ストリングDAC構造の簡略図を図42に示します。DACレジスタにロードされたコードが、出力バッファに接続されているストリング上のどのスイッチをオンにするかを決定します。

ストリング内の各抵抗の値はすべて同じ値「R」なので、ストリングDACの単調性が保証されています。

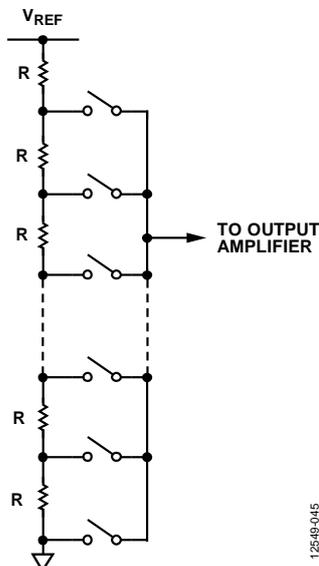


図 42. 抵抗ストリングの構造 (簡略図)

出力アンプ

出力バッファ・アンプはその出力上にレール to レール電圧を生成します。出力範囲は0 V～ V_{DD} です。実際の電圧範囲は、 V_{REF} 、GAINピン、オフセット誤差、ゲイン誤差の値によって異なります。GAINピンで出力のゲインを選択します。

- GAINピンをGNDに接続すると8個の出力のゲインはすべて1になり、出力範囲は0 V～ V_{REF} になります。
- GAINピンを V_{DD} に接続すると8個の出力のゲインはすべて2になり、出力範囲は0 V～ $2 \times V_{REF}$ になります。

これらのアンプは、GNDに接続した10 nFのコンデンサと並列に配置した1 k Ω の負荷をドライブできます。スルーレートは0.8 V/ μ sで、1/4～3/4スケールの代表的なセトリング時間は5 μ sです。

シリアル・インターフェース

AD5676は、3線式シリアル・インターフェース ($\overline{\text{SYNC}}$ 、SCLK、SDI) を搭載しています。このインターフェースは、ほとんどのDSPが装備している、SPI、QSPI™、MICROWIREインターフェース規格と互換性があります。標準的な書込みシーケンスのタイミング図を図2に示します。また、AD5676には、複数デバイスのデジチェーン接続 (「デジチェーン動作」参照) やリードバックに使用できるSDOピンもあります。

入力シフト・レジスタ

AD5676の入力シフト・レジスタは24ビット幅です。データは最初にMSB (DB23) がロードされ、最初の4ビットはコマンド・ビットC3～C0 (表8参照)、次の4ビットがDACアドレス・ビットA3～A0 (表9参照)、そして最後が16ビットのデータワードです。

データワードは16ビットの入力コードで構成され、その後に0個、2個、または4個のdon't careビットが続きます。これらのデータビットはSCLKの24個の立下がりエッジで入力レジスタに転送され、 $\overline{\text{SYNC}}$ の立上がりエッジで更新されます。

コマンドは、選択したアドレス・ビットに応じて、各DACチャンネル、DACチャンネルの組み合わせ、またはすべてのDACに対して実行されます。

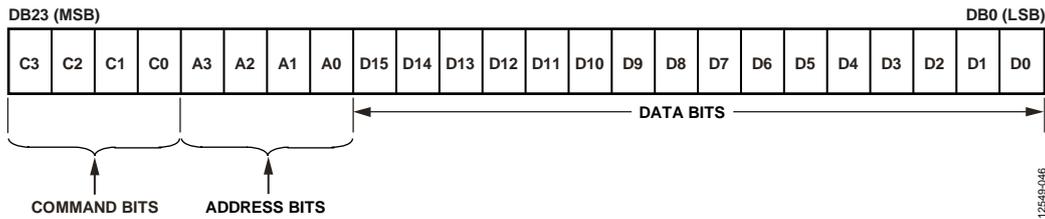


図 43. 入力シフト・レジスタの値

表 8 コマンド・ビットの定義

Command				Description
C3	C2	C1	C0	
0	0	0	0	No operation
0	0	0	1	Write to Input Register n (where n = 1 to 8, depending on the DAC selected from the address bits in Table 8), dependent on LDAC
0	0	1	0	Update the DAC register with contents of Input Register n
0	0	1	1	Write to and update DAC Channel n
0	1	0	0	Power down/power up the DAC
0	1	0	1	Hardware LDAC mask register
0	1	1	0	Software reset (power-on reset)
0	1	1	1	Reserved
1	0	0	0	Set up the DCEN register (daisy-chain enable)
1	0	0	1	Set up the readback register (readback enable)
1	0	1	0	Update all channels of the input register simultaneously with the input data
1	0	1	1	Update all channels of the DAC register and input register simultaneously with the input data
1	1	0	0	Reserved
...
1	1	1	1	Reserved

表 9 アドレス・ビットと選択される DAC

Address Bits				Selected Output DAC Channel
A3	A2	A1	A0	
0	0	0	0	DAC 0 ¹
0	0	0	1	DAC 1
0	0	1	0	DAC 2
0	0	1	1	DAC 3
0	1	0	0	DAC 4
0	1	0	1	DAC 5
0	1	1	0	DAC 6
0	1	1	1	DAC 7

¹ アドレス・ビットを使ってあらゆる DAC チャンネルの組み合わせを選ぶことができます。

スタンダアロン動作

書込みシーケンスは $\overline{\text{SYNC}}$ ラインをロー・レベルにすることで開始されます。SDI ラインからのデータは、SCLK の立下がりエッジで 24 ビット入力シフト・レジスタに入力されます。24 個のデータビットの最後が入力されると、 $\overline{\text{SYNC}}$ がハイ・レベルになります。続いて、コマンドで設定された機能、すなわち LDAC 依存による DAC レジスタ値の変更、動作モードの変更などが実行されます。

24 番目より前のクロックで $\overline{\text{SYNC}}$ がハイ・レベルになると、そのフレームは有効と見なされますが、DAC に無効なデータがロードされる可能性があります。 $\overline{\text{SYNC}}$ の立下がりエッジで次の書込みシーケンスを開始できるように、その書込みシーケンスの前に少なくとも 9.65 ns 間、 $\overline{\text{SYNC}}$ をハイ・レベルに保持して下さい (シングル・チャンネル、表 4 の t_{S} を参照)。また、書込みシーケンスと次の書込みシーケンスとの間に $\overline{\text{SYNC}}$ の電圧レベルを電源レール電圧でアイドル状態にすると、消費電力をさらに低減することができます。 $\overline{\text{SYNC}}$ ラインは SCLK の立下がりエッジが 24 個に達するまでロー・レベルのまま、 $\overline{\text{SYNC}}$ の立上がりエッジで DAC が更新されます。

アドレス指定された DAC の入力レジスタにデータが転送されると、LDAC をロー・レベル、 $\overline{\text{SYNC}}$ ラインをハイ・レベルにすることによって DAC のすべてのレジスタと出力が更新されます。

書込みコマンドと更新コマンド

入力レジスタ n への書込み (LDAC に依存)

コマンド 0001 を使うと、指定された DAC の入力レジスタにデータを書込むことができます。LDAC がロー・レベルの場合、入力レジスタはトランスペアレントになります (LDAC マスク・レジスタによって制御されていない場合)。

入力レジスタ n の値による DAC レジスタ n の更新

コマンド 0010 は、選択した入力レジスタの値を DAC のレジスタと出力にロードして DAC 出力を直接更新します。

DAC チャンネル n への書込みと更新 (LDAC 非依存)

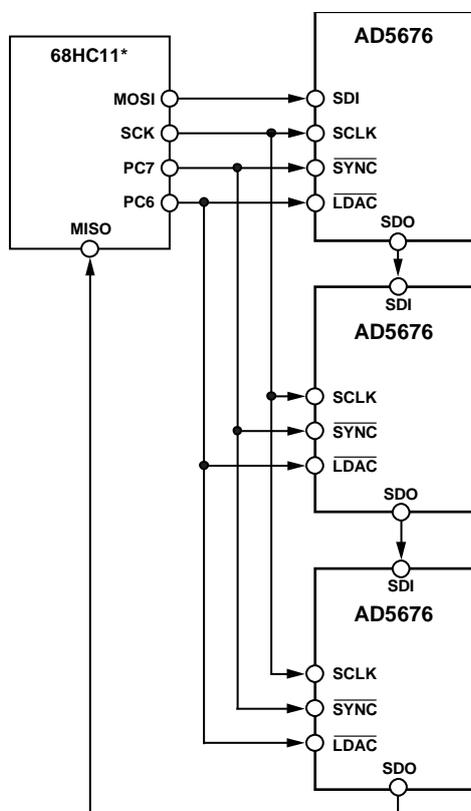
コマンド 0011 を使うと、DAC レジスタへ書込みを行って DAC 出力を直接更新することができます。

デジチェーン動作

複数の DAC を含むシステムでは、SDO ピンを使って複数のデバイスをデジチェーン接続できます。この機能は、ソフトウェアからデジチェーン・イネーブル (DCEN) コマンドを実行してイネーブルします。コマンド 1000 は、この DCEN 機能用に予約されています (表 8 参照)。デジチェーン・モードは、DCEN レジスタの DB0 ビットをセットしてイネーブルします。デフォルト設定はスタンドアロン・モードで、DB0=0 です。このビットの状態とデバイスの動作モードの対応を表 10 に示します。

表 10. デジチェーン・イネーブル (DCEN) レジスタ

DB0	Description
0	Standalone mode (default)
1	DCEN mode



*ADDITIONAL PINS OMITTED FOR CLARITY.

図 44. AD5676 のデジチェーン接続

SYNC をロー・レベルにしておくと、SCLK ピンは入力シフト・レジスタに接続されたままになります。24 個を超えるクロック・パルスが入力されると、データは入力シフト・レジスタからあふれ出して SDO ラインに出力されます。このデータは SCLK の立上がりエッジで出力され、SCLK の立下がりエッジで有効になります。このラインをチェーン内にある次の DAC の SDI 入力に接続すると、デジチェーン・インターフェースが構成されます。システム内の各 DAC は、24 個のクロック・パルスを必要とします。したがって、合計クロック・サイクル数は $24 \times N$ になります。N は、デジチェーン動作させるデバイスの合計数です。24×N でないクロックで SYNC がハイ・レベルになると、そのフレームは有効と見なされますが、DAC に無効なデータがロードされる可能性があります。すべてのデバイスへのシリアル

転送が完了すると、SYNC がハイ・レベルになります。この動作によってデジチェーン内にある各デバイスの入力データがラッチされて、入力シフト・レジスタにそれ以上データが入力されるのを防ぎます。シリアル・クロックは、連続クロックまたはゲーテッド・クロックとすることができます。正しいクロック・サイクル数の間ずっと SYNC をロー・レベルに維持できる場合は、連続 SCLK ソースを使用します。ゲーテッド・クロック・モードでは、正確な数のクロック・サイクルを含むバースト・クロックを使い、最終クロックの後に SYNC をハイ・レベルにしてデータをラッチします。

リードバック動作

リードバック・モードは、ソフトウェアで実行するリードバック・コマンドで開始します。コントロール・レジスタのデジチェーン・モード・ディスエーブル・ビットを使って SDO 出力をディスエーブルにしていると、読み出し動作の間 SDO 出力が自動的にイネーブルになり、読み出し終了後に再度ディスエーブルになります。コマンド 1001 はリードバック機能専用です。このコマンドを使うと、アドレス・ビット DAC 0~DAC 7 のうち 1 つを選択し、読み出すレジスタを決めることができます。リードバック時に選択できる DAC レジスタは 1 つだけです。残り 3 個のアドレス・ビットはロジック 0 に設定します。書き込みシーケンス内の残りのデータビットは don't care ビットです。複数ビットを選択した場合やどのビットも選択しなかった場合は、デフォルトで DAC チャンネル 0 がリードバックされます。次の SPI 書き込み時に SDO 出力に現れるデータは、前にアドレス指定したレジスタのデータです。

たとえば、チャンネル 0 の DAC レジスタをリードバックするには次のシーケンスを実行します。

1. AD5676 の入力レジスタに 0x900000 を書き込みます。これによってデバイスが読み出しモードに設定され、チャンネル 0 の DAC レジスタが選択されます。DB15~DB0 のすべてのデータビットは don't care ビットです。
2. 次に、2 番目の書き込みとして無動作 (NOP) 0x000000 を書き込みます。この書き込み時に、レジスタからのデータが SDO ラインへ出力されます。DB23~DB20 には未定義データが格納され、最後の 16 ビットには DAC レジスタ値の DB19~DB4 が格納されます。

パワーダウン動作

AD5676には後述する2種類のパワーダウン・モードがあります。コマンド 0100 はパワーダウン機能用に予約されています (表 8 参照)。パワーダウン・モードはソフトウェア・プログラマブルで、入力シフト・レジスタの16個のビット(ビット DB15~DB0)をセットして設定します。各 DAC チャンネルには2ビットが割り当てられています。この2ビットの状態とデバイスの動作モードの対応を表 11 に示します。

表 11. 動作モード

Operating Mode	PD1	PD0
Normal Operation	0	0
Power-Down Modes		
1 kΩ to GND	0	1
Three-State	1	1

対応するビットをセットすることにより、任意またはすべての DAC (DAC 0~DAC 7) を選択したモードでパワーダウンさせることができます。パワーダウン/パワーアップ動作時の入力シフト・レジスタ値については表 12 を参照してください。

入力シフト・レジスタのビット PD1 と PD0 を 0 に設定すると、デバイスは通常の消費電力 1.1 mA (typ) で動作します。しかし、2つのパワーダウン・モードに設定されると消費電流が 1 μA (typ) に減少します。この時、電源電流が減少するだけでなく、出力段にあるアンプの出力は、出力段内部に存在する既知の抵抗回路に

接続されます。これにより、デバイスがパワーダウン・モード時における出力インピーダンスを把握できるという利点があります。パワーダウン・オプションは2種類あり、1 kΩ の抵抗を経由して出力を GND に接続するか、開放回路状態 (スリーステート) にするかのいずれかです。パワーダウン時の出力段を図 45 に示します。

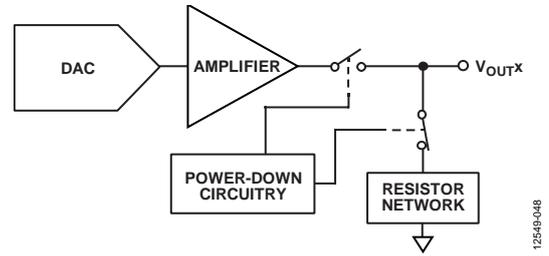


図 45. パワーダウン時の出力段

パワーダウン・モードがアクティブになると、バイアス・ジェネレータ、出力アンプ、抵抗ストリング、その他の関連リニア回路がシャットダウンします。ただし、DAC レジスタの値は、パワーダウン・モードのときでも影響を受けません。つまり、デバイスがパワーダウン・モードであるにもかかわらず DAC レジスタが更新されます。パワーダウン状態を終了するのに要する時間は、 $V_{DD} = 5\text{ V}$ で 5 μs (typ) です。

表 12. パワーダウン/パワーアップ動作時の 24 ビット入力シフト・レジスタの値¹

			DAC 7	DAC 6	DAC 5	DAC 4	DAC 3	DAC 2	DAC 1	DAC 0
DB23:DB20	DB19	DB18:DB16	DB15: B14	DB13: B12	DB11: B10	DB9:DB8	DB7:DB6	DB5:DB4	DB3:DB2	DB1:DB0
0100	0	XXX	PD1:PD0	PD1:PD0	PD1:PD0	PD1:PD0	PD1:PD0	PD1:PD0	PD1:PD0	PD1:PD0

¹ X は don't care ビットを表します。

DAC のロード (ハードウェア $\overline{\text{LDAC}}$ ピン)

AD5676 の DAC は、2 つのレジスタ・バンク (入力レジスタと DAC レジスタ) で構成されるダブルバッファ・インターフェースを内蔵しています。入力レジスタへの書込みは任意の組み合わせで行うことができます。DAC レジスタの更新は $\overline{\text{LDAC}}$ ピンで制御します。

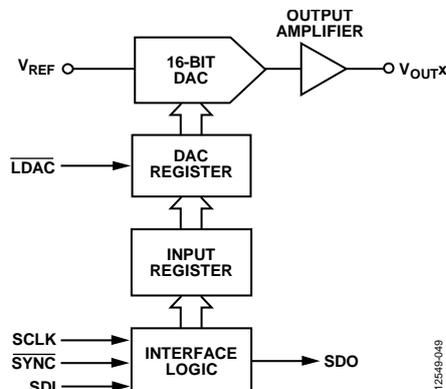


図 46. シングル DAC の入力ロード回路 (簡略図)

DAC の即時 (同期) 更新 ($\overline{\text{LDAC}}$ をロー・レベルに維持)

コマンド 0001 を使ってデータを入力レジスタへ入力するときは、 $\overline{\text{LDAC}}$ をロー・レベルに維持します。 $\overline{\text{SYNC}}$ の立上がりエッジで、アドレス指定された入力レジスタと DAC レジスタの両方が更新され、DAC 出力が変化を開始します (表 14 参照)。

DAC の遅延 (非同期) 更新 ($\overline{\text{LDAC}}$ はロー・レベル・パルス)

コマンド 0001 を使ってデータを入力レジスタへ入力するときは、 $\overline{\text{LDAC}}$ をハイ・レベルに維持しておきます。 $\overline{\text{SYNC}}$ をハイ・レベルにした後に、 $\overline{\text{LDAC}}$ にロー・レベル・パルスを入力すると、すべての DAC 出力が非同期で更新されます。更新は $\overline{\text{LDAC}}$ の立下がりエッジで発生します。

表 14. 書込みコマンドと $\overline{\text{LDAC}}$ ピンの真理値表¹

Command	Description	Hardware $\overline{\text{LDAC}}$ Pin State	Input Register Contents	DAC Register Contents
0001	Write to Input Register n (dependent on $\overline{\text{LDAC}}$)	V_{LOGIC}	Data update	No change (no update)
		GND ²	Data update	Data update
0010	Update the DAC register with contents of Input Register n	V_{LOGIC}	No change	Updated with input register contents
		GND	No change	Updated with input register contents
0011	Write to and update DAC Channel n	V_{LOGIC}	Data update	Data update
		GND	Data update	Data update

¹ ハードウェア $\overline{\text{LDAC}}$ ピンがハイ・レベルからロー・レベルへ変化すると、 $\overline{\text{LDAC}}$ マスク・レジスタでマスクされていないチャンネルの入力レジスタ値によって DAC レジスタの値が更新されます。

² $\overline{\text{LDAC}}$ をロー・レベルに固定すると、 $\overline{\text{LDAC}}$ マスク・ビットは無視されます。

$\overline{\text{LDAC}}$ マスク・レジスタ

コマンド 0101 は、このハードウェア $\overline{\text{LDAC}}$ 機能用に予約されています。この時、アドレス・ビットは無視されます。コマンド 0101 を使った DAC への書込みで、4 ビットの $\overline{\text{LDAC}}$ レジスタ (DB3~DB0) にデータをロードします。各チャンネルにおけるレジスタのデフォルト値は 0、つまり $\overline{\text{LDAC}}$ ピンは通常動作します。これらのビットを 1 に設定すると、この DAC チャンネルはハードウェア $\overline{\text{LDAC}}$ ピンの状態に関係なく $\overline{\text{LDAC}}$ ピンの変化を無視します。この柔軟性のある機能は、 $\overline{\text{LDAC}}$ ピンで制御できるチャンネルを、任意に選択したいアプリケーションに有益です。

表 13. $\overline{\text{LDAC}}$ 上書きの定義

Load $\overline{\text{LDAC}}$ Register		$\overline{\text{LDAC}}$ Operation
$\overline{\text{LDAC}}$ Bits (DB3 to DB0)	$\overline{\text{LDAC}}$ Pin	
0000	1 or 0	Determined by the $\overline{\text{LDAC}}$ pin.
1111	X ¹	DAC channels update and override the $\overline{\text{LDAC}}$ pin. DAC channels see $\overline{\text{LDAC}}$ as 1.

¹ X は don't care ビットを表します。

$\overline{\text{LDAC}}$ レジスタを使うと、ハードウェア $\overline{\text{LDAC}}$ ピンによる制御に柔軟性を持たせることができます (表 13 参照)。DAC チャンネルに対して $\overline{\text{LDAC}}$ ビット (DB0~DB3) を 0 に設定すれば、このチャンネルの更新はハードウェア $\overline{\text{LDAC}}$ ピンによってのみ制御できるようになります。

ハードウェア・リセット ($\overline{\text{RESET}}$)

$\overline{\text{RESET}}$ ピンはアクティブ・ローのリセットで、出力をゼロ・スケールまたはミッドスケールへクリアすることができます。クリアされた時のコード値は $\overline{\text{RESET}}$ セレクト・ピンを使って選択できます。 $\overline{\text{RESET}}$ は、動作を完了させるために少なくとも $2\ \mu\text{s}$ の間ロー・レベルに維持する必要があります (図 2 参照)。 $\overline{\text{RESET}}$ 信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はクリア値を維持します。 $\overline{\text{RESET}}$ ピンがロー・レベルの間は出力を新しい値に更新できません。ソフトウェアで実行するリセット機能もあります。この機能は、DAC をパワーオン・リセット・コードに従ってリセットします。コマンド 0110 はソフトウェア・リセット機能用に指定されています (表 8 参照)。パワーオ

ン・リセットを行っている期間中、 $\overline{\text{LDAC}}$ または $\overline{\text{RESET}}$ に関するイベントはすべて無視されます。

リセット選択ピン (RSTSEL)

AD5676 には、パワーアップ時の出力電圧を制御するパワーオン・リセット回路が組み込まれています。RSTSEL ピンをロー・レベルに接続すると、パワーアップ時の出力はゼロ・スケールです。これは DAC のリニア領域外です。RSTSEL ピンをハイ・レベルに接続すると、パワーアップ時の V_{OUTX} はミッドスケールになります。この出力は、DAC に対して有効な書込みシーケンスが実行されるまで、パワーアップ時のレベルを維持します。

アプリケーション情報

電源に関する推奨事項

通常、AD5676の電源には $V_{DD}=3.3\text{ V}$ 、 $V_{LOGIC}=1.8\text{ V}$ を使用します。

ADP7118は V_{DD} ピンの電源に使用できます。また、 V_{LOGIC} ピンの電源には ADP160 を使用できます。このセットアップを図 47 に示します。ADP7118 の入力電圧の最大値は 20 V、ADP160 の入力電圧の最大値は 5.5 V です。

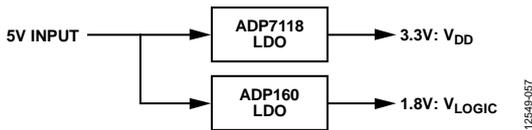


図 47. AD5676 用の低ノイズ電源ソリューション

マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5676 の接続は、DSP プロセッサおよびマイクロコントローラと互換の標準プロトコルを使用するシリアル・バスを介して行います。この通信チャンネルには、クロック信号、データ信号、同期信号で構成される 3 線式または 4 線式のインターフェースが必要です。また、AD5676 には、 $\overline{\text{SYNC}}$ の立上がりエッジでデータが有効になる 24 ビットのデータワードが必要です。

AD5676 と ADSP-BF531 との接続

AD5676 の SPI インターフェースは、業界標準の DSP やマイクロコントローラに容易に接続できます。図 48 に AD5676 とアナログ・デバイセズの Blackfin® DSP との接続方法を示します。Blackfin は、AD5676 の SPI ピンへ直接接続できる SPI ポートを内蔵しています。

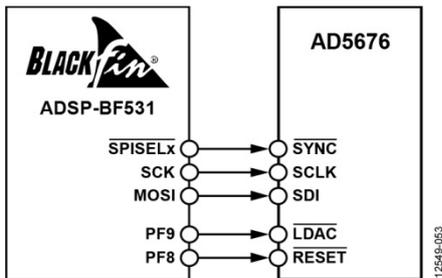


図 48 ADSP-BF531 とのインターフェース

AD5676 と SPORT との接続

アナログ・デバイセズの ADSP-BF527 は、1 個の SPORT シリアル・ポートを内蔵しています。図 49 に、SPORT インターフェースを使って AD5676 を制御する方法を示します。

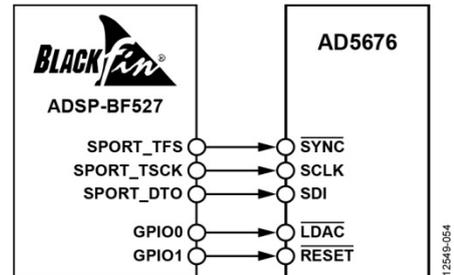


図 49 SPORT インターフェース

レイアウトのガイドライン

精度が重視される回路では、電源とグラウンド・リターンレイアウトを注意深く行うことによって定格性能を確実に実現することができます。AD5676 を搭載するプリント回路基板 (PCB) を取り付けるときは、アナログ・プレーン上に AD5676 が配置されるようにしてください。

AD5676 では、各電源に $10\mu\text{F}$ と $0.1\mu\text{F}$ のコンデンサを並列接続して、十分な電源バイパスを設ける必要があります。これらのコンデンサはできるだけデバイスの近くに取り付けてください。直接接続が理想的です。 $10\mu\text{F}$ のコンデンサはタンタル・ビーズ型を使用します。 $0.1\mu\text{F}$ コンデンサは、等価直列抵抗 (ESR) と等価直列インダクタンス (ESI) が小さいもの、例えば一般的なセラミック型を選択して下さい。これらの性能を満足するコンデンサは、高い周波数成分を GND へと導く低インピーダンス・パスを提供することができ、内部ロジックのスイッチングに起因する過渡電流を処理することができます。

1 枚のボード上に多数のデバイスを実装するシステムでは、電力消費による熱の放熱を容易にするために何らかのヒート・シンク能力を設ける方法が有効です。

デバイスが搭載されているプリント基板の GND プレーン面積を増やすことで、自然なヒート・シンク効果を持たせることができます (図 50 参照)。

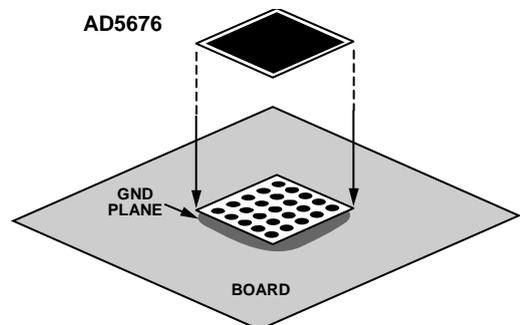


図 50. パッドとボードの接続

ガルバニック絶縁インターフェース

多くのプロセス制御アプリケーションでは、コントローラと被制御ユニットの間に絶縁障壁を設けて、危険な同相モード電圧が発生したときに制御回路を絶縁して保護する必要があります。アナログ・デバイセズの *iCoupler*® 製品には、2.5 kV を超える電圧絶縁能力があります。AD5676 はシリアル・ローディング方式を採用しており、インターフェース・ライン数が最小であるため絶縁インターフェース用に最適です。図 51 に、ADuM1400 を使用した AD5676 への 4 チャンネル絶縁型インターフェースを示します。詳細については www.analog.com/icoupler をご覧ください。

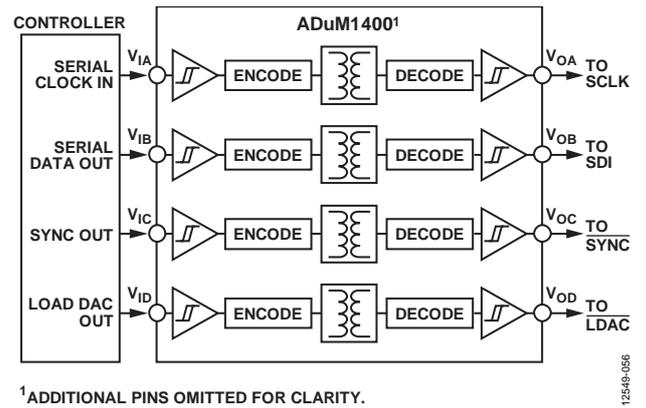


図 51. 絶縁インターフェース

外形寸法

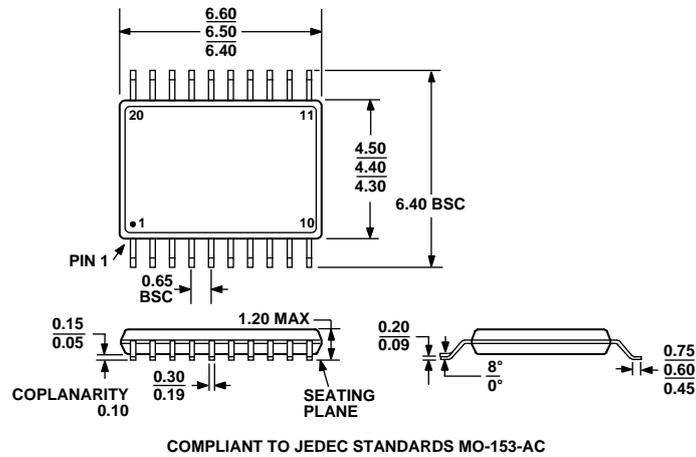


図 52. 20 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-20)
寸法単位：mm

オーダー・ガイド

Model ¹	Resolution	Temperature Range	Accuracy	Package Description	Package Option
AD5676BRUZ	16 Bits	-40°C to +125°C	±3 LSB INL	20-Lead TSSOP	RU-20
AD5676BRUZ-REEL7	16 Bits	-40°C to +125°C	±3 LSB INL	20-Lead TSSOP	RU-20
EVAL-AD5676RSDZ				Evaluation Board	

¹ Z = RoHS 準拠製品。