



I²Cインターフェース内蔵 オクタル16ビットnanoDAC+

データシート AD5675

特長

- 高性能
 - 高い相対精度(INL): 16ビットで最大±3 LSB
 - 総合未調整誤差(TUE): FSRの最大±0.14%
 - オフセット誤差:最大±1.5mV
 - ゲイン誤差:FSRの最大±0.06%
- 広い動作範囲
 - 温度範囲:-40°C~+125°C
 - 2.7~5.5 V 電源で動作
 - 実装が容易
 - ユーザー設定可能なゲイン:1または2(GAINピン)
 - 1.8 V ロジックとの互換性
- I²C互換シリアル・インターフェース
- 強固な 2kV HBM および 1.5 kV FICDM ESD 定格
- RoHS 準拠の 20 ピン TSSOP パッケージを採用

アプリケーション

- 光トランシーバ
- 基地局用パワー・アンプ
- プロセス制御(PLC I/O カード)
- 工業用オートメーション
- データ・アキュイジション・システム

概要

AD5675 は、低消費電力のバッファ付き電圧出力オクタル 16 ビット DAC です。このデバイスには、V_{REF} (ゲイン=1)または 2 × V_{REF} (ゲイン= 2)のフルスケール出力を選択するゲイン選択ピンがあります。デバイスは 2.7 V~5.5 V の単電源で動作し、単調性は設計により保証されています。AD5675 は 20 ピンの TSSOP パッケージを採用しています。パワーオン・リセット回路と RSTSEL ピンにより、パワーアップ時に DAC 出力がゼロスケールまたはミッドスケールになり、有効な書込みが行われるまでその状態を維持させることができます。AD5675 にはパワーダウン・モードがあり、パワーダウン・モードでは消費電流を 1 μA (typ) に削減します。AD5675 は、最大 400 kHz のクロック・レートで動作する多機能の 2 線式シリアル・インターフェースを採用し、1.8~5 V ロジックと組み合わせて使用するための V_{LOGIC} ピンを内蔵しています。

表 1.オクタル nanoDAC+® デバイス

Interface	Reference	16-Bit	12-Bit
SPI	Internal	AD5676R	AD5672R
	External	AD5676	Not applicable
I ² C	Internal	AD5675R	AD5671R

機能ブロック図

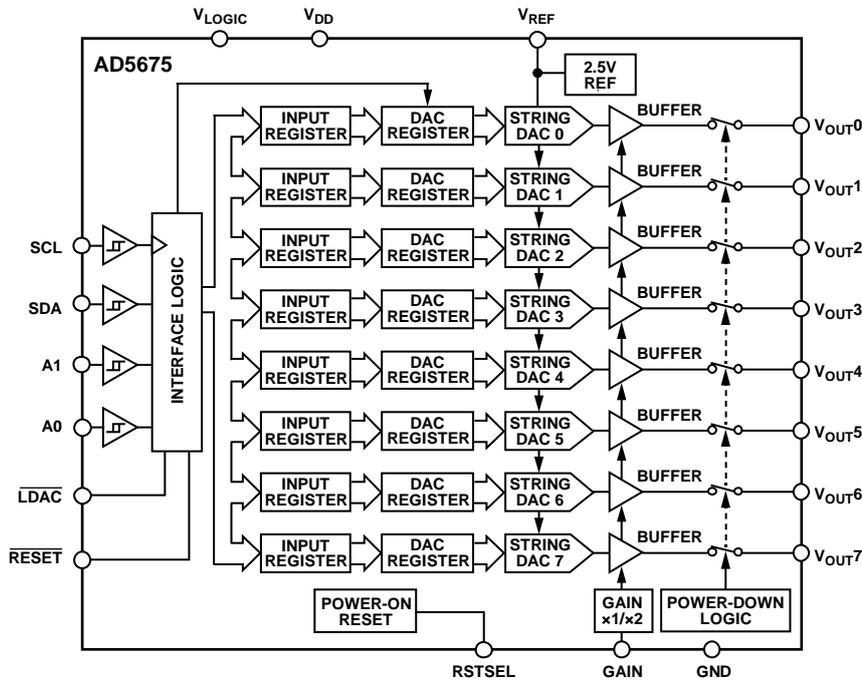


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本誌記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	I ² C スレーブ・アドレス	19
アプリケーション.....	1	シリアル動作.....	19
概要.....	1	書込み動作.....	19
機能ブロック図.....	1	読出し動作.....	20
改訂履歴.....	2	複数 DAC のリードバック・シーケンス.....	20
仕様.....	3	パワーダウン動作.....	21
AC 特性.....	5	DAC のロード(ハードウェア LDAC ピン).....	21
タイミング特性.....	5	LDAC マスク・レジスタ.....	22
絶対最大定格.....	7	ハードウェア・リセット(RESET).....	23
ESD の注意.....	7	リセット選択ピン(RST SEL).....	23
ピン配置およびピン機能説明.....	8	アプリケーション情報.....	24
代表的な性能特性.....	9	電源の推奨事項.....	24
用語.....	15	マイクロプロセッサ・インターフェース.....	24
動作原理.....	17	AD5675 と ADSP-BF531 とのインターフェース.....	24
D/A コンバータ.....	17	レイアウトのガイドライン.....	24
伝達関数.....	17	電流絶縁型インターフェース.....	24
DAC アーキテクチャ.....	17	外形寸法.....	25
シリアル・インターフェース.....	18	オーダー・ガイド.....	25
書込コマンドと更新コマンド.....	19		

改訂履歴

1/15—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 、すべての仕様は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ で規定。

表 2.

Parameter	A Grade			B Grade			Unit	Test Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
STATIC PERFORMANCE ¹								
Resolution	16			16			Bits	
Relative Accuracy/Integral Nonlinearity (INL) ²		± 1.8	± 8		± 1.8	± 3	LSB	Gain = 1
Differential Nonlinearity (DNL) ²		± 1.7	± 8		± 1.7	± 3	LSB	Gain = 2
		± 0.7	± 1		± 0.7	± 1	LSB	Gain = 1
Zero Code Error ²		± 0.5	± 1		± 0.5	± 1	LSB	Gain = 2
		0.8	4		0.8	1.6	mV	Gain = 1 or gain = 2
Offset Error ²		-0.75	± 6		-0.75	± 2	mV	Gain = 1
		-0.1	± 4		-0.1	± 1.5	mV	Gain = 2
Full-Scale Error ²		-0.018	± 0.28		-0.018	± 0.14	% of FSR	Gain = 1
		-0.013	± 0.14		-0.013	± 0.07	% of FSR	Gain = 2
Gain Error ²		+0.04	± 0.24		+0.04	± 0.12	% of FSR	Gain = 1
		-0.02	± 0.12		-0.02	± 0.06	% of FSR	Gain = 2
TUE		± 0.03	± 0.3		± 0.03	± 0.18	% of FSR	Gain = 1
		± 0.006	± 0.25		± 0.006	± 0.14	% of FSR	Gain = 2
Offset Error Drift ^{2,3}		± 1			± 1		$\mu\text{V}/^\circ\text{C}$	
DC Power Supply Rejection Ratio (PSRR) ^{2,3}		0.25			0.25		mV/V	DAC code = midscale, $V_{DD} = 5\text{ V} \pm 10\%$
DC Crosstalk ^{2,3}		± 2			± 2		μV	Due to single channel, full-scale output change
		± 3			± 3		$\mu\text{V}/\text{mA}$	Due to load current change
		± 2			± 2		μV	Due to powering down (per channel)
OUTPUT CHARACTERISTICS ³								
Output Voltage Range	0		V_{REF}	0		V_{REF}	V	Gain = 1
	0		$2 \times V_{REF}$	0		$2 \times V_{REF}$	V	Gain = 2
Output Current Drive			15			15	mA	
Capacitive Load Stability		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 1\text{ k}\Omega$
Resistive Load ⁴	1			1			k Ω	
Load Regulation		183			183		$\mu\text{V}/\text{mA}$	$V_{DD} = 5\text{ V} \pm 10\%$, DAC code = midscale, $-30\text{ mA} \leq I_{OUT} \leq +30\text{ mA}$
		177			177		$\mu\text{V}/\text{mA}$	$V_{DD} = 3\text{ V} \pm 10\%$, DAC code = midscale, $-20\text{ mA} \leq I_{OUT} \leq +20\text{ mA}$
Short-Circuit Current ⁵		40			40		mA	
Load Impedance at Rails ⁶		25			25		Ω	
Power-Up Time		2.5			2.5		μs	Exiting power-down mode, $V_{DD} = 5\text{ V}$
REFERENCE INPUT								
Reference Input Current		398			398		μA	$V_{REF} = V_{DD} = V_{LOGIC} = 5.5\text{ V}$, gain = 1
		789			789		μA	$V_{REF} = V_{DD} = V_{LOGIC} = 5.5\text{ V}$, gain = 2
Reference Input Range	1		V_{DD}	1		V_{DD}	V	Gain = 1
	1		$V_{DD}/2$	1		$V_{DD}/2$	V	Gain = 2
Reference Input Impedance		14			14		k Ω	Gain = 1
		7			7		k Ω	Gain = 2
LOGIC INPUTS ³								
Input Current			± 1			± 1	μA	Per pin
Input Voltage			$0.3 \times V_{LOGIC}$			$0.3 \times V_{LOGIC}$	V	
							V	
High, V_{INH}	$0.7 \times V_{LOGIC}$			$0.7 \times V_{LOGIC}$			V	
Pin Capacitance		3			3		pF	

Parameter	A Grade			B Grade			Unit	Test Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
LOGIC OUTPUTS (SDA) ³								
Output Voltage								
Low, V_{OL}			0.4			0.4	V	$I_{SINK} = 200 \mu A$
High, V_{OH}	$V_{LOGIC} - 0.4$			$V_{LOGIC} - 0.4$			V	$I_{SOURCE} = 200 \mu A$
Floating State Output Capacitance		4			4		pF	
POWER REQUIREMENTS								
V_{LOGIC}	1.8		5.5	1.8		5.5	V	
I_{LOGIC}			1			1	μA	Power-on, $-40^{\circ}C$ to $+105^{\circ}C$
			1.3			1.3	μA	Power-on, $-40^{\circ}C$ to $+125^{\circ}C$
			0.5			0.5	μA	Power-down, $-40^{\circ}C$ to $+105^{\circ}C$
			1.3			1.3	μA	Power-down, $-40^{\circ}C$ to $+125^{\circ}C$
V_{DD}	2.7		5.5	2.7		5.5	V	Gain = 1
	$V_{REF} + 1.5$		5.5	$V_{REF} + 1.5$		5.5	V	Gain = 2
I_{DD}								$V_{IH} = V_{DD}$, $V_{IL} = GND$, $V_{DD} = 2.7 V$ to $5.5 V$
Normal Mode ⁷		1.1	1.26		1.1	1.26	mA	$-40^{\circ}C$ to $+85^{\circ}C$
		1.1	1.3		1.1	1.3	mA	$-40^{\circ}C$ to $+125^{\circ}C$
All Power-Down Modes ⁸		1	1.7		1	1.7	μA	Tristate to $1 k\Omega$, $-40^{\circ}C$ to $+85^{\circ}C$
		1	1.7		1	1.7	μA	Power down to $1 k\Omega$, $-40^{\circ}C$ to $+85^{\circ}C$
		1	2.5		1	2.5	μA	Tristate to $1 k\Omega$, $-40^{\circ}C$ to $+105^{\circ}C$
		1	2.5		1	2.5	μA	Power down to $1 k\Omega$, $-40^{\circ}C$ to $+105^{\circ}C$
		1	5.5		1	5.5	μA	Tristate to $1 k\Omega$, $-40^{\circ}C$ to $+125^{\circ}C$
		1	5.5		1	5.5	μA	Power down to $1 k\Omega$, $-40^{\circ}C$ to $+125^{\circ}C$

¹特に指定がない限り、DC仕様は出力無負荷でテスト。上側デッドバンド=10 mVで、これは $V_{REF} = V_{DD}$ かつゲイン=1の場合、または $V_{REF}/2 = V_{DD}$ かつゲイン=2の場合にのみ存在します。直線性は、縮小コード範囲256~65,280を使って計算。

²用語のセクションを参照してください。

³設計と特性評価により保証しますが、出荷テストは行いません。

⁴チャンネル0、チャンネル1、チャンネル2、チャンネル3は、40 mAのソース/シンク可能。同様に、チャンネル4、チャンネル5、チャンネル6、チャンネル7は、ジャンクション温度 $125^{\circ}C$ まで40 mAのソース/シンク可能。

⁵ $V_{DD} = 5 V$ 。このAD5675は、一時的過負荷状態でデバイスを保護することを目的とした電流制限機能を内蔵しています。電流制限時にはジャンクション温度を超過する可能性があります。規定の最大動作ジャンクション温度より高い温度での動作はデバイスの信頼性を損なう可能性があります。

⁶いずれかの電源レールから負荷電流を取り出すとき、その電源レールに対する出力電圧のヘッドルームは、出力デバイスのチャンネル抵抗 25Ω (typ)により制限されます。例えば、1 mAのシンク電流の場合、最小出力電圧= $25 \Omega \times 1 mA = 25 mV$ となります。

⁷インターフェースは非アクティブ状態。すべてのDACはアクティブ状態。DAC出力は無負荷。

⁸すべてのDACがパワーダウン。

AC 特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ (GNDへ接続)、 $C_L = 200\text{ pF}$ (GNDへ接続)、 $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ 、すべての仕様は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ で規定。設計と特性評価により保証しますが、出荷テストは行いません。

表 3.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Output Voltage Settling Time ¹		5	8	μs	$1/4$ to $3/4$ scale settling to ± 2 LSB
Slew Rate		0.8		$\text{V}/\mu\text{s}$	
Digital-to-Analog Glitch Impulse ¹		1.4		$\text{nV}\cdot\text{sec}$	1 LSB change around major carry (gain = 1)
Digital Feedthrough ¹		0.13		$\text{nV}\cdot\text{sec}$	
Digital Crosstalk ¹		0.1		$\text{nV}\cdot\text{sec}$	
Analog Crosstalk ¹		-0.25		$\text{nV}\cdot\text{sec}$	Gain = 1
		-1.3		$\text{nV}\cdot\text{sec}$	Gain = 2
DAC-to-DAC Crosstalk ¹		-2.0		$\text{nV}\cdot\text{sec}$	Gain = 2
Total Harmonic Distortion (THD) ^{1,2}		-80		dB	$T_A = 25^\circ\text{C}$, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
Output Noise Spectral Density (NSD) ¹		300		$\text{nV}/\sqrt{\text{Hz}}$	DAC code = midscale, bandwidth = 10 kHz, gain = 2
Output Noise		6		$\mu\text{V p-p}$	0.1 Hz to 10 Hz, gain = 1
Signal-to-Noise Ratio (SNR)		90		dB	$T_A = 25^\circ\text{C}$, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
Spurious-Free Dynamic Range (SFDR)		83		dB	$T_A = 25^\circ\text{C}$, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
Signal-to-Noise-and-Distortion Ratio (SINAD)		80		dB	$T_A = 25^\circ\text{C}$, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$

¹用語のセクションを参照してください。

²デジタル的に発生した 1 kHz の正弦波。

タイミング特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ 、すべての仕様は $-40^\circ\text{C} \sim +125^\circ\text{C}$ で規定。

表 4.

Parameter ^{1,2}	Min	Max	Unit	Description
t_1	0.92		μs	SCL cycle time
t_2	0.11		μs	t_{HIGH} , SCL high time
t_3	0.44		μs	t_{LOW} , SCL low time
t_4	0.04		μs	$t_{HD,STA}$, start/repeated start hold time
t_5	40		ns	$t_{SU,DAT}$, data setup time
t_6^3	-0.04		μs	$t_{HD,DAT}$, data hold time
t_7	-0.045		μs	$t_{SU,STA}$, repeated start setup time
t_8	0.195		μs	$t_{SU,STO}$, stop condition setup time
t_9	0.12		μs	t_{BUF} , bus free time between a stop condition and a start condition
t_{10}^4	0		ns	t_R , rise time of SCL and SDA when receiving
$t_{11}^{4,5}$	$20 + 0.1 C_B$		ns	t_F , fall time of SCL and SDA when transmitting/receiving
t_{12}	20		ns	LDAC pulse width
t_{13}	0.4		ns	SCL rising edge to LDAC rising edge
t_{14}	4.8		ns	RESET minimum pulse width low, $1.8\text{ V} \leq V_{LOGIC} \leq 2.7\text{ V}$
	6.2		ns	RESET minimum pulse width low, $2.7\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$
t_{15}	132		ns	RESET activation time, $1.8\text{ V} \leq V_{LOGIC} \leq 2.7\text{ V}$
	80		ns	RESET activation time, $2.7\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$
t_{SP}^6	0		ns	Pulse width of suppressed spike
C_B^5		400	pF	Capacitive load for each bus line

¹図 2 と図 3 を参照。

²設計と特性評価により保証しますが、出荷テストは行いません。

³SCL の立下がりエッジの不定領域を避けるため、マスター・デバイスは、SDA 信号に対して最小 300 ns のホールド・タイムを保証する必要があります(SCL 信号の最小 V_{HI} を基準として)。

⁴ t_R と t_F は、 $0.3 \times V_{DD}$ から $0.7 \times V_{DD}$ の間で測定。

⁵ C_B は、1 本のバス・ラインの合計容量(pF)です。

⁶SCL と SDA の入力フィルタリングにより、ノイズ・スパイクを 50 ns 以下に抑制。

タイミング図

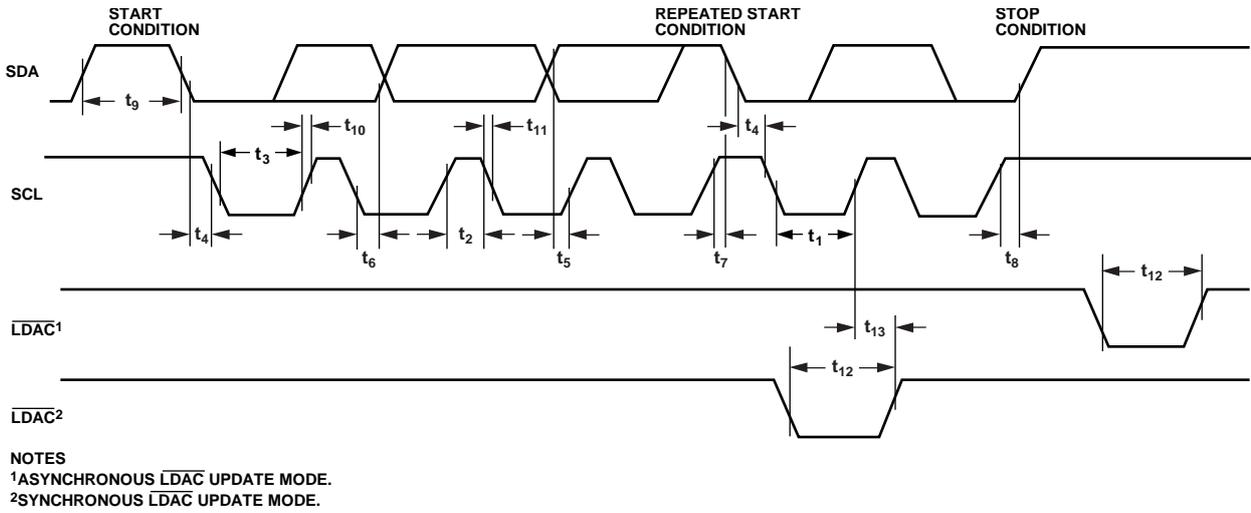


図 2.2 線式シリアル・インターフェースのタイミング図



図 3. RESET のタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 5.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{LOGIC} to GND	-0.3 V to +7 V
V_{OUTX} to GND	-0.3 V to $V_{DD} + 0.3$ V
V_{REF} to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3$ V
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	125°C
20-Lead TSSOP, θ_{JA} Thermal Impedance, Zero Airflow (4-Layer Board)	112.6°C/W
Reflow Soldering Peak Temperature, Pb-Free (J-ST D-020)	260°C
ESD Ratings	
Human Body Model (HBM)	2 kV
Field Induced Charged Device Model (FICDM)	1.5 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上での製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されなまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

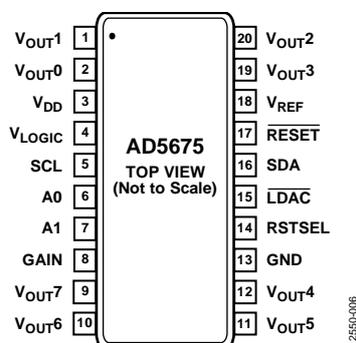


図 4. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	V _{out1}	DAC 1 からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。
2	V _{out0}	DAC 0 からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。
3	V _{DD}	電源入力。AD5675 は 2.7 V ~ 5.5 V で動作します。電源は 10 μF のコンデンサと 0.1 μF のコンデンサの並列接続により GND へデカップリングしてください。
4	V _{LOGIC}	デジタル電源。このピンの電圧範囲は 1.8 V ~ 5.5 V。
5	SCL	シリアル・クロック・ライン。このピンは、24 ビット入力シフトレジスタにデータをクロック入出力する SDA ラインと組み合わせて使います。
6	A0	アドレス入力。7 ビット・スレーブ・アドレスの先頭の LSB を設定します。
7	A1	アドレス入力。7 ビット・スレーブ・アドレスの 2 番目の LSB を設定します。
8	GAIN	振幅設定ピン。このピンを GND に接続すると、8 個すべての DAC 出力の振幅は 0 V ~ V _{REF} になります。このピンを V _{LOGIC} に接続すると、8 個すべての DAC 出力の振幅は 0 V ~ 2 × V _{REF} になります。
9	V _{out7}	DAC 7 からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。
10	V _{out6}	DAC 6 からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。
11	V _{out5}	DAC 5 からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。
12	V _{out4}	DAC 4 からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。
13	GND	デバイス上の全回路に対するグラウンド基準電圧ポイント。
14	RSTSEL	パワーオン・リセット。このピンを GND に接続すると、8 個すべての DAC はパワーアップ時にゼロスケールになります。このピンを V _{LOGIC} に接続すると、8 個すべての DAC はパワーアップ時にミッドスケールになります。
15	LDAC	DAC のロード。LDAC は、非同期と同期の 2 つのモードで動作します。入力レジスタに新しいデータがある場合、このピンにロー・レベルのパルスを入力すると、任意またはすべての DAC レジスタが更新されます。この機能を使うと、すべての DAC 出力を同時に更新することができます。あるいは、このピンをロー・レベルに固定することができます。
16	SDA	シリアル・データ入力。このピンは、24 ビット入力シフトレジスタにデータをクロック入出力する SCL ラインと組み合わせて使います。SDA は双方向のオープン・ドレイン・データラインであるため、外付け抵抗で電源にプルアップする必要があります。
17	RESET	非同期リセット入力。RESET 入力は、立下がりエッジ検出です。RESET がロー・レベルのときは、すべての LDAC パルスが無視されます。RESET がロー・レベルになると、入力レジスタと DAC レジスタが RSTSEL ピンの状態に応じてゼロスケールまたはミッドスケールで更新されます。
18	V _{REF}	リファレンス電圧入力。
19	V _{out3}	DAC 3 からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。
20	V _{out2}	DAC 2 からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。

代表的な性能特性

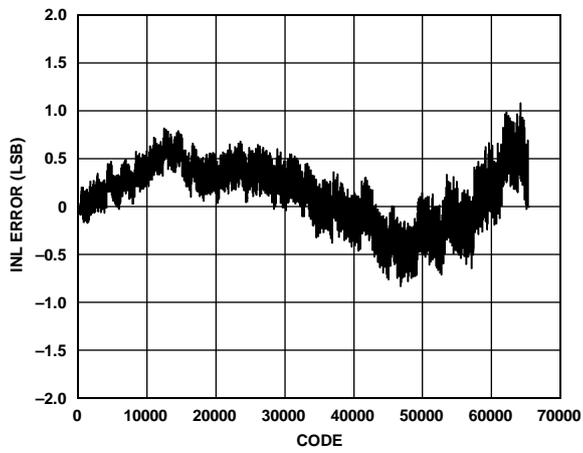


図 5.コード対 INL 誤差

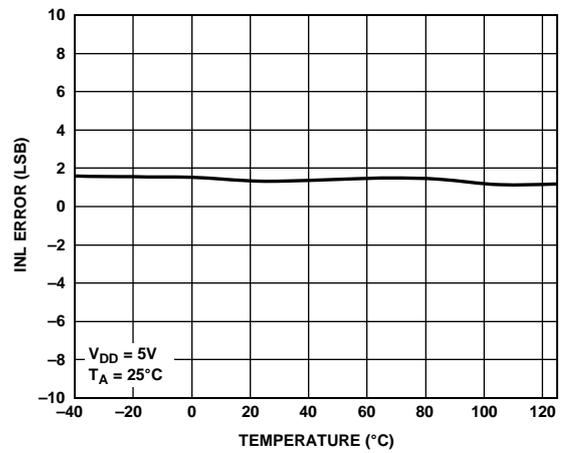


図 8.INL 誤差の温度特性

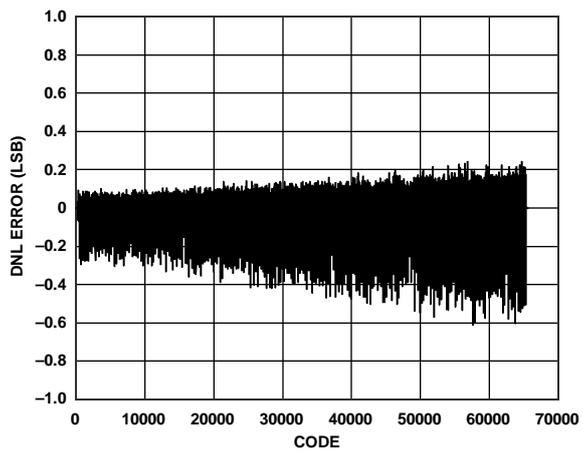


図 6.コード対 DNL 誤差

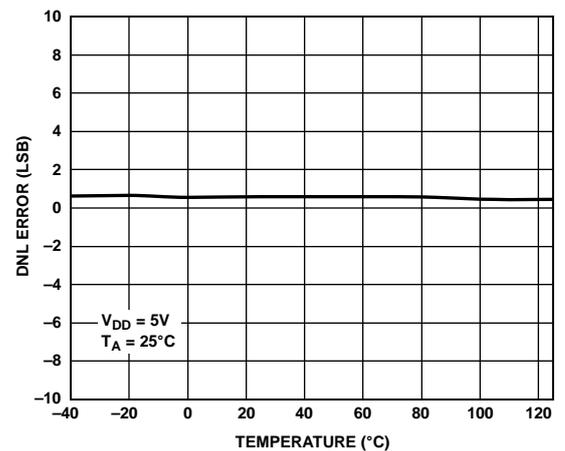


図 9.DNL 誤差の温度特性

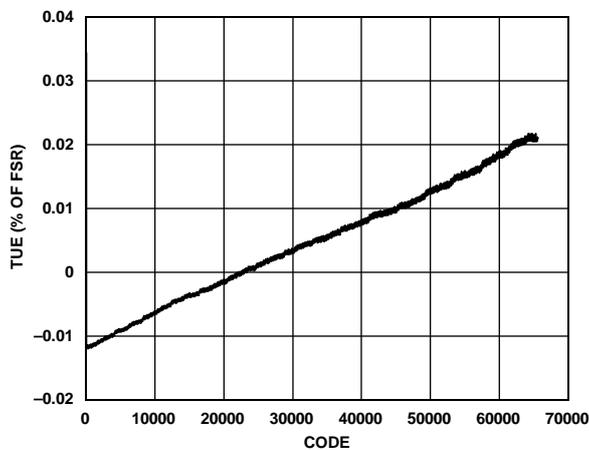


図 7.コード対 TUE

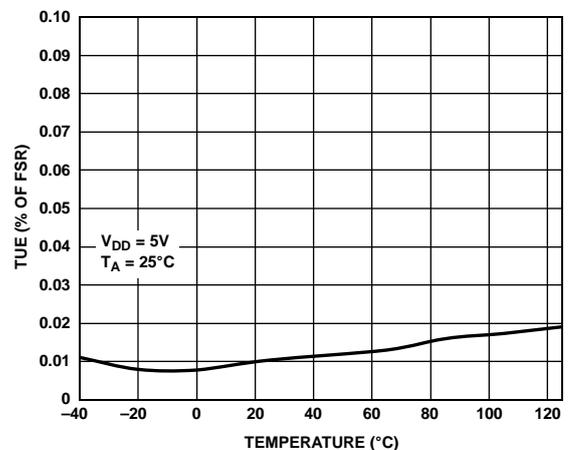


図 10.TUE の温度特性

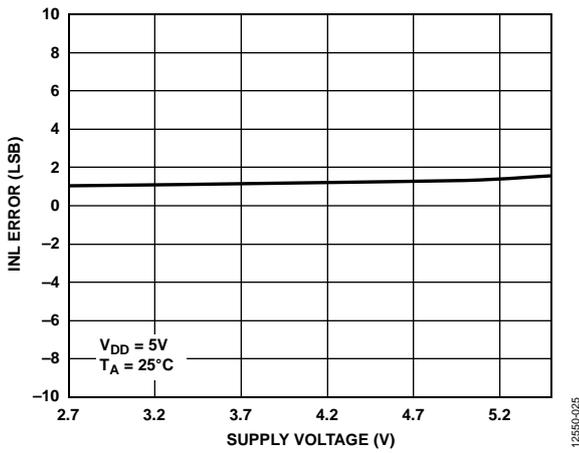


図 11.電源電圧対 INL 誤差

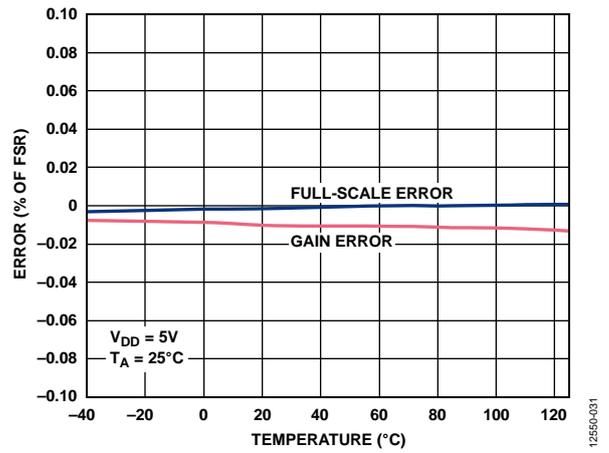


図 14.ゲイン誤差とフルスケール誤差の温度特性

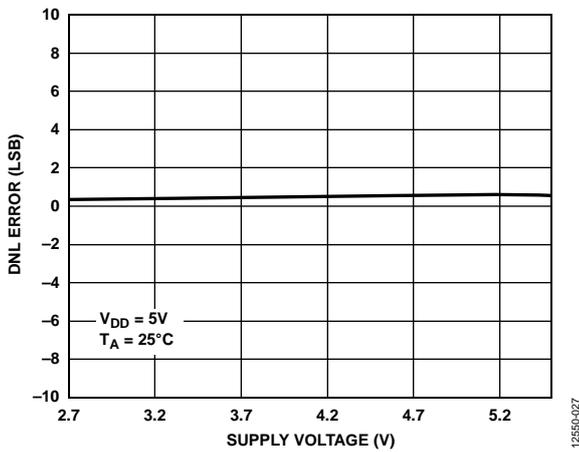


図 12.電源電圧対 DNL 誤差

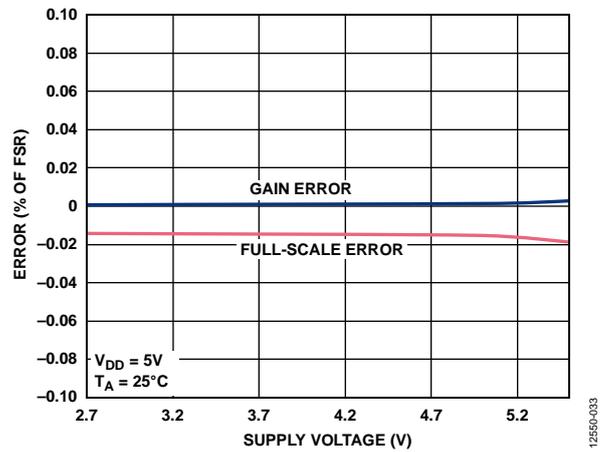


図 15.電源電圧対ゲイン誤差およびフルスケール誤差

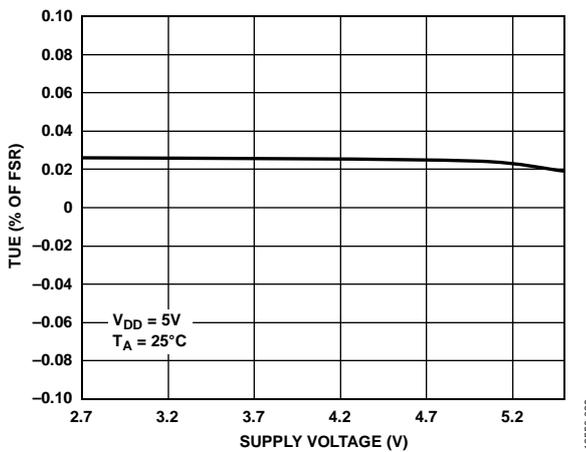


図 13.電源電圧対 TUE

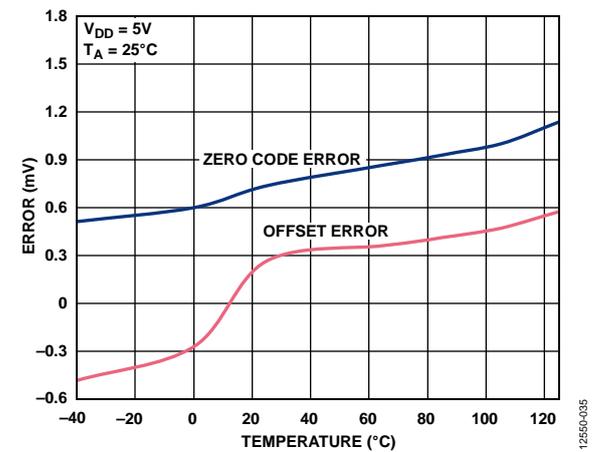


図 16.ゼロ・コード誤差およびオフセット誤差の温度特性

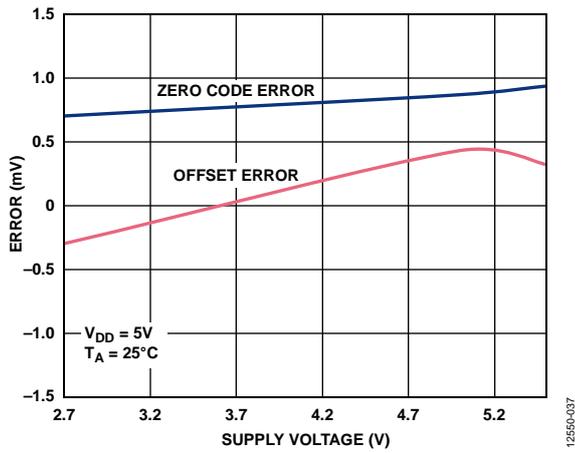


図 17.電源電圧対ゼロ・コード誤差およびオフセット誤差

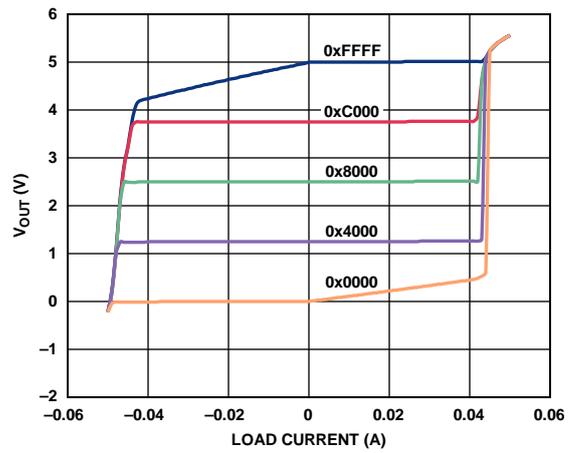


図 20.5 V でのソース能力とシンク能力

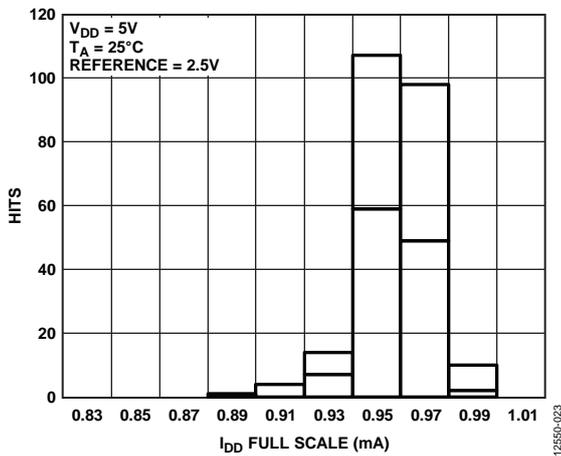


図 18.電源電流 (I_{DD}) のヒストグラム—外付けリファレンス電圧

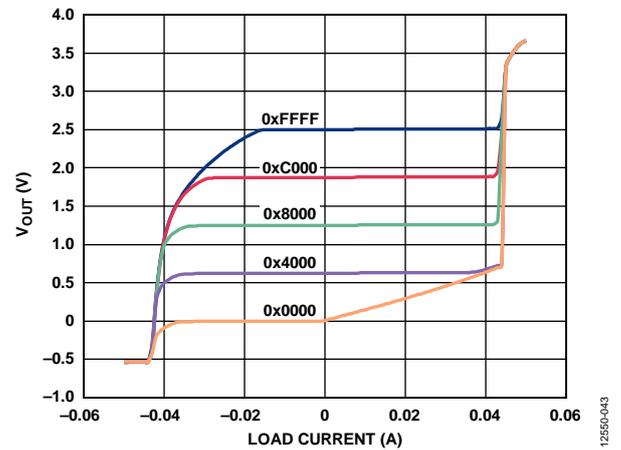


図 21.3 V でのソース能力とシンク能力

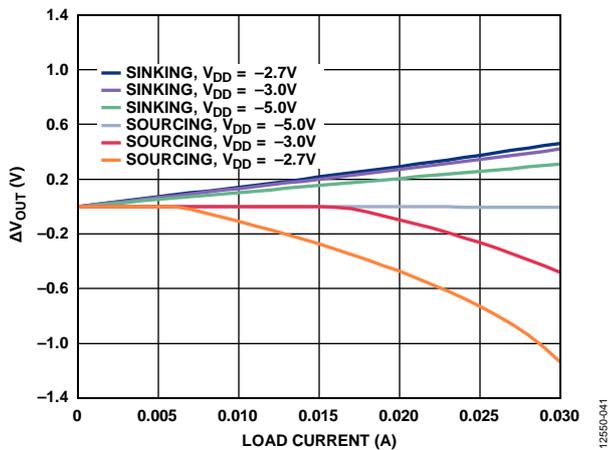


図 19.負荷電流対ヘッドルーム/フットルーム (ΔV_{OUT})

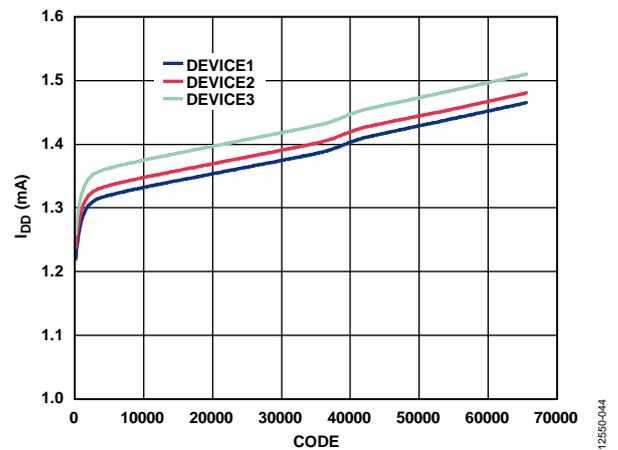


図 22.コード対電源電流 (I_{DD})

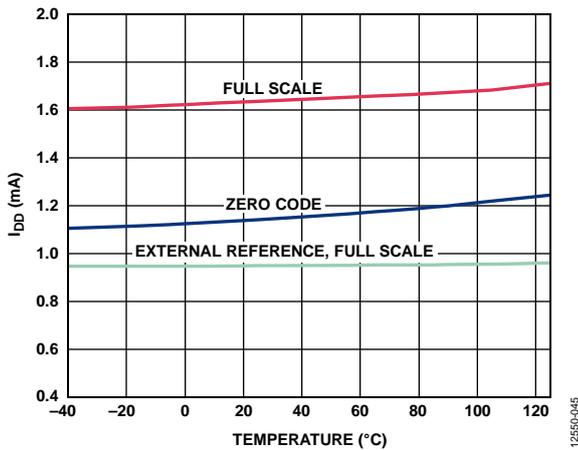


図 23.電源電流 (I_{DD})の温度特性

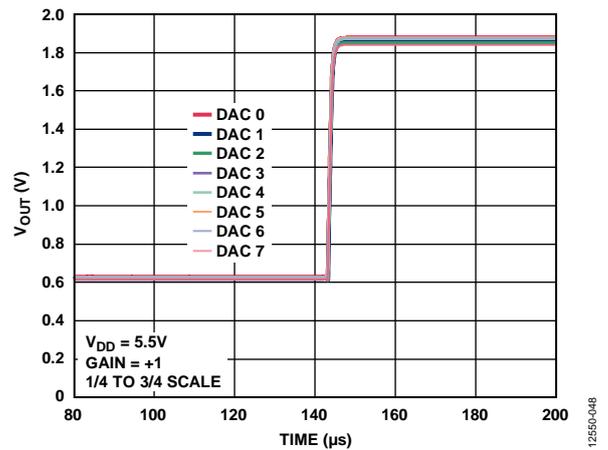


図 26.フルスケール・セトリング・タイム

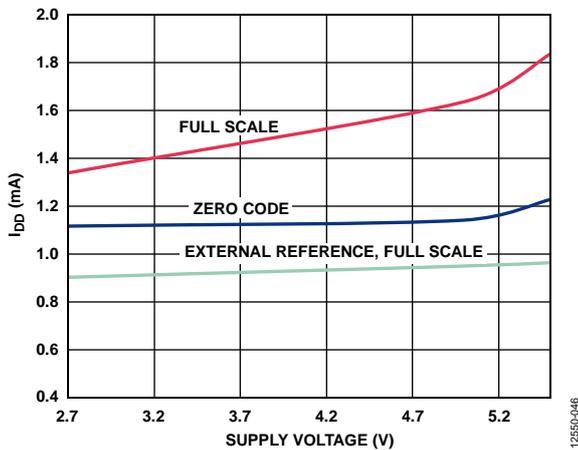


図 24.電源電圧対電源電流 (I_{DD})

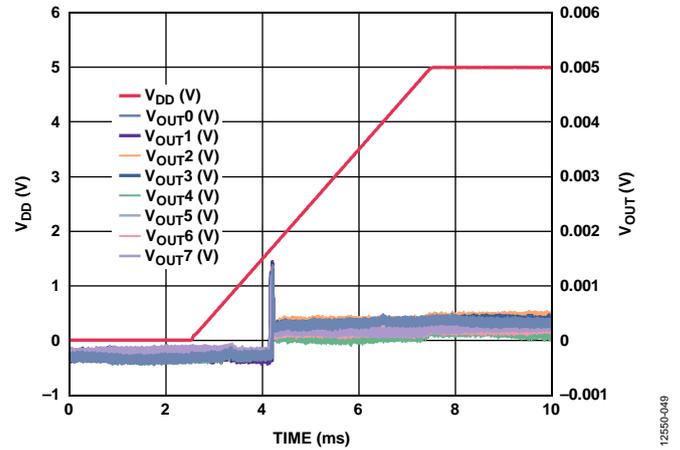


図 27.0 V とミッドスケールへのパワーオン・リセット

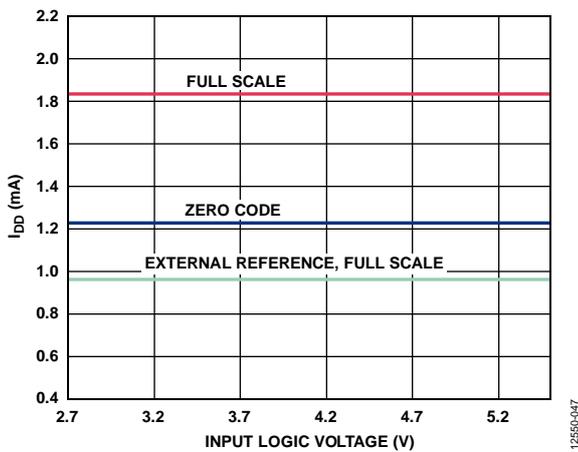


図 25.入力ロジック電圧対電源電流 (I_{DD})

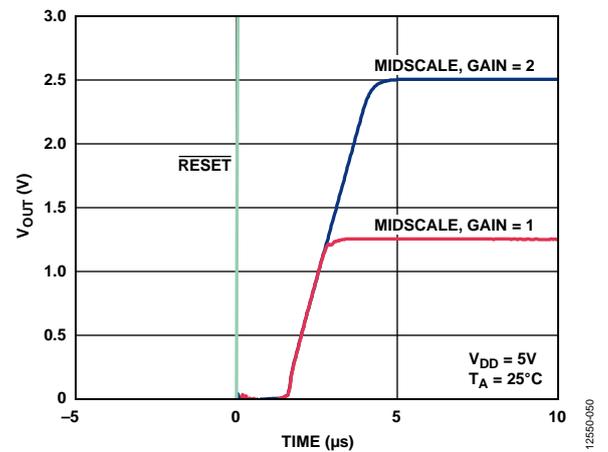


図 28.パワーダウン終了時のミッドスケール出力

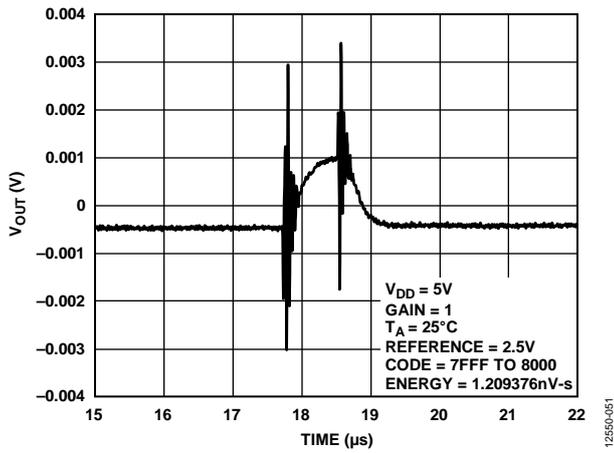


図 29. デジタルからアナログへのグリッチ・インパルス

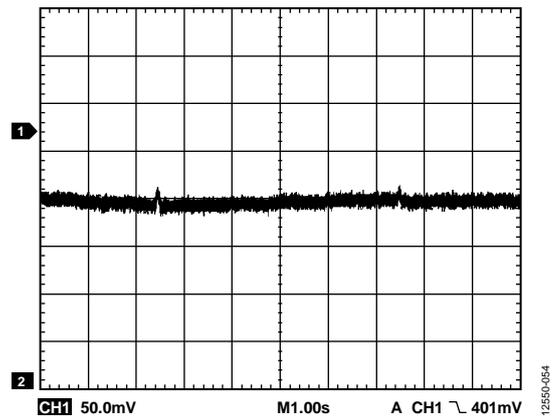


図 32. 32.01 Hz～10 Hz での出力ノイズ・プロット

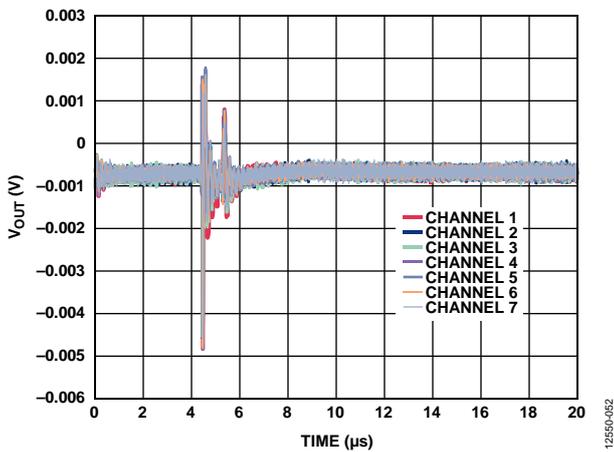


図 30. アナログ・クロストーク

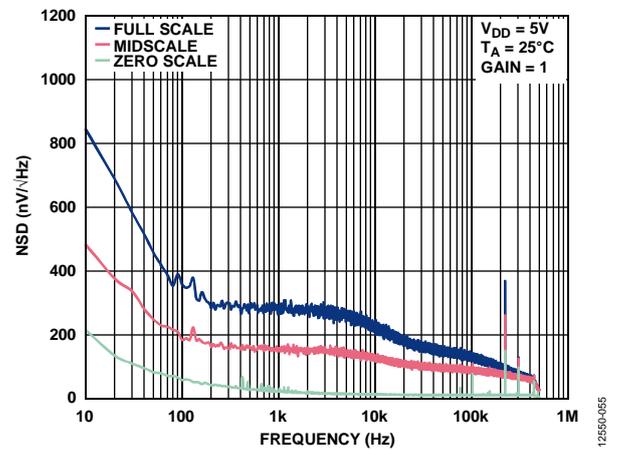


図 33. ノイズ・スペクトル密度(NSD)

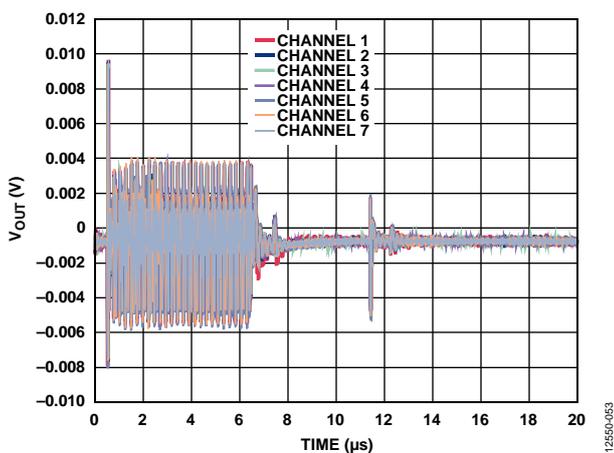


図 31. DAC 間クロストーク

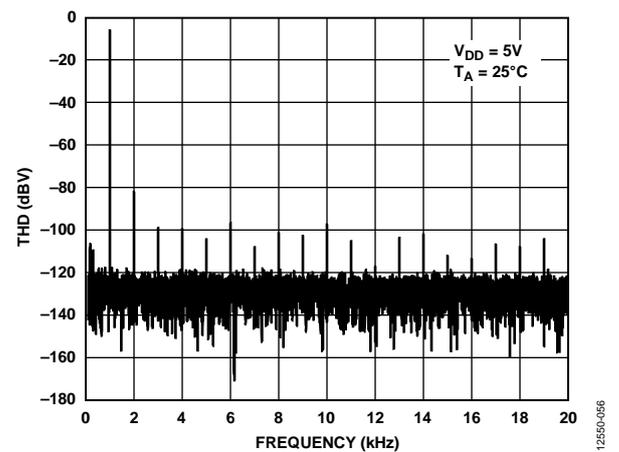


図 34. 全高調波歪み (THD)、1 kHz

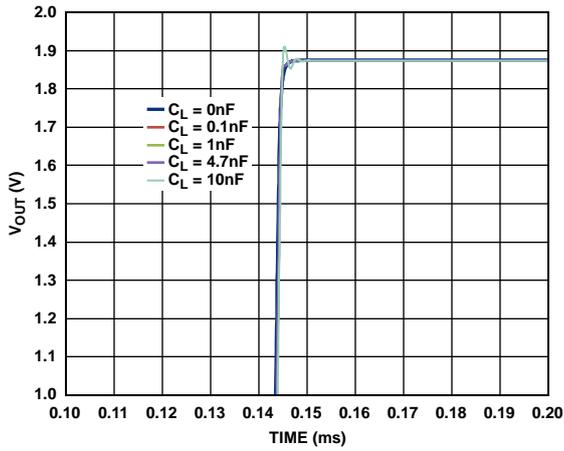


図 35.容量負荷対セトリング・タイム

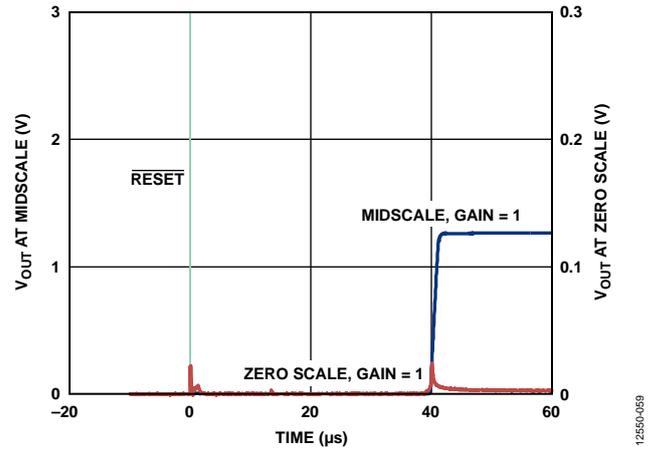


図 37.ハードウェア・リセット

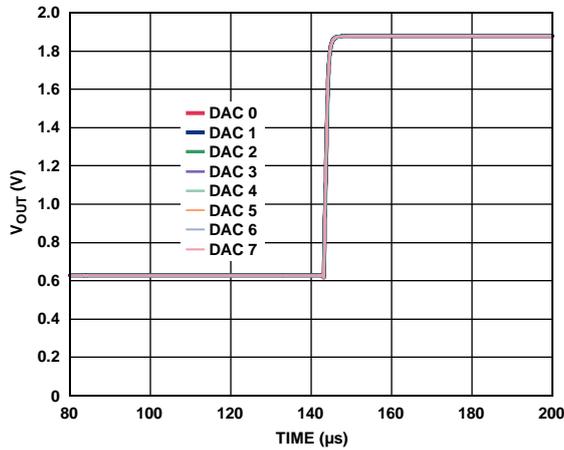


図 36.セトリング・タイム、5.5 V

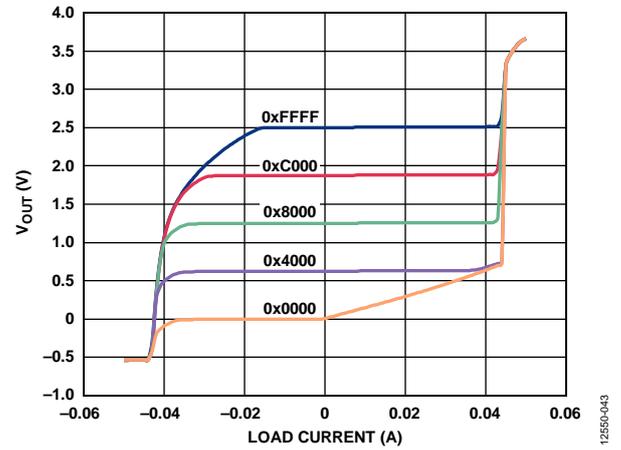


図 38.乗算帯域幅

用語

相対精度または積分非直線性(INL)

DACの場合、相対精度または積分非直線性は、DAC伝達関数の上下両端を結ぶ直線からの最大乖離(LSB数で表示)を表します。

微分非直線性(DNL)

DNLは、隣接する2つのコードの間における測定された変化と理論的な1LSB変化との差をいいます。最大 ± 1 LSBのDNLの仕様は、単調性を保証するものです。このDACは設計により単調性を保証しています。

ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コード(0x0000)をDACレジスタにロードしたときの出力誤差として測定されます。理論出力は0Vです。ゼロ・コード誤差は常に正です。これは、DACと出力アンプのオフセット誤差の組み合わせによってDAC出力が0Vより低くなることができないためです。ゼロ・コード誤差はmVで表します。

フルスケール誤差

フルスケール誤差は、フルスケール・コード(0xFFFF)をDACレジスタにロードしたときの出力誤差として測定されます。理論出力は $V_{DD} - 1$ LSBです。フルスケール誤差はフルスケール範囲のパーセント値(FSRの%)で表します。

ゲイン誤差

ゲイン誤差はDACのスパン誤差を表します。理論DAC伝達特性傾斜からの変位を表し、FSRの%で表示されます。

オフセット誤差ドリフト

オフセット誤差ドリフトは、温度変化によるオフセット誤差の変化を表し、 $\mu\text{V}/^\circ\text{C}$ で表されます。

オフセット誤差

オフセット誤差は、伝達関数の直線領域での V_{OUT} (実測値)と V_{OUT} (理論値)の差を表し、mVで表示されます。オフセット誤差は、DACレジスタにコード256をロードして測定されています。この誤差は正または負になります。

DC電源変動除去比(PSRR)

DC PSRRは、電源電圧変化のDAC出力に対する影響を表します。PSRRは、DACフルスケール出力での、 V_{OUT} 変化の V_{DD} 変化に対する比です。これはmV/Vで測定されます。 V_{REF} を2Vに維持して、 V_{DD} を $\pm 10\%$ 変化させます。

出力電圧セトリング・タイム

1/4フルスケールから3/4フルスケールへの入力変化に対して、DAC出力が規定のレベルまでに安定するために要する時間を表します。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DACレジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV-secで表すグリッチの面積として規定され、主要なキャリ変化時に(0x7FFFから0x8000)、デジタル入力コードが1LSBだけ変化したときに測定されます。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に混入するインパルスを表します。nV-secで規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット0から全ビット1への変化、またはその逆の変化のときに測定されます。

ノイズ・スペクトル密度(NSD)

NSDは、内部で発生されたランダム・ノイズの大きさを表します。ランダム・ノイズは、スペクトル密度(nV/ $\sqrt{\text{Hz}}$)としてキャラクタライズされます。NSDを測定するときは、DACにミッドスケールをロードして、出力でノイズを測定し、nV/ $\sqrt{\text{Hz}}$ で表します。

DCクロストーク

別のDAC出力での変化に起因する1つのDACの出力レベルでのDC変化。1つのミッドスケールに維持したDACをモニタしながら、別のDAC上でのフルスケール出力変化(またはソフト・パワーダウンとパワーアップ)を使って測定し、 μV で表されます。

負荷電流変化に起因するDCクロストークは、1つのDACの負荷電流変化がミッドスケールに設定された別のDACへ与える影響を表し、 $\mu\text{V}/\text{mA}$ で表されます。

デジタル・クロストーク

1つのDACの入力レジスタにおけるフルスケール・コード変化(全ビット0から全ビット1への変化、およびその逆変化)から、ミッドスケール・レベルにある別のDACの出力に混入したグリッチ・インパルスを表し、スタンドアロン・モードで測定し、nV-secで表されます。

アナログ・クロストーク

DACの出力変化に起因して、別のDAC出力に混入するグリッチ・インパルスを表し、アナログ・クロストークを測定するときは、入力レジスタの1つにフルスケール・コード変化(全ビット0から全ビット1への変化、およびその逆の変化)をロードして測定します。次に、ソフトウェアLDACを実行して、デジタル・コードが変化しないDACの出力をモニタします。グリッチの面積はnV-secで表示します。

DAC間クロストーク

デジタル・コードの変化とそれに続くDACのアナログ出力変化に起因して、別のDAC出力に混入するグリッチ・インパルス。書込コマンドと更新コマンドを使って、チャンネルの1つにフルスケール・コード変化(全ビット0から全ビット1への変化、およびその逆変化)をロードして、この間にミッドスケールにある被害チャンネル出力をモニタすることにより測定します。グリッチのエネルギーはnV-secで表示します。

乗算帯域幅

乗算帯域幅は、DAC 内部でのアンプの有限な帯域幅を表します。リファレンス上の正弦波 (DAC にフルスケール・コードをロード) は、出力に現われます。乗算帯域幅は、出力振幅が入力より 3 dB 小さくなる周波数で表します。

全高調波歪み(THD)

THD は、理論正弦波と、DAC を使ったために減衰した波形との差を表します。DAC に対してリファレンスとして正弦波を使ったときに、DAC 出力に現われる高調波が THD になります。THD は dB で表示します。

動作原理

D/A コンバータ

AD5675 は、16 ビット、シリアル入力、電圧出力のオクタル DAC です。AD5675 は 2.7 V~5.5 V の電源電圧で動作します。データは、2 線式シリアル・インターフェースを使用して 24 ビット・ワード・フォーマットで AD5675 へ書込みます。AD5675 は、パワーオン・リセット回路を内蔵しており、この回路により、パワーアップ時に DAC 出力を既知の出力状態に維持することができます。このデバイスは、消費電流を 1 μ A (typ)まで減少させるソフトウェア・パワーダウン・モードも持っています。

伝達関数

出力アンプのゲインは、ゲイン選択ピン (GAIN) を使って $\times 1$ または $\times 2$ に設定されます。ゲイン選択ピンを GND へ接続すると、8 個のすべての DAC 出力の振幅が $0\text{ V} \sim V_{\text{REF}}$ になります。このピンを V_{LOGIC} に接続すると、8 個すべての DAC 出力の振幅は $0\text{ V} \sim 2 \times V_{\text{REF}}$ になります。

DAC アーキテクチャ

AD5675 ではセグメント化したストリング DAC アーキテクチャを採用し、出力バッファを内蔵しています。図 39 に内部ブロック図を示します。

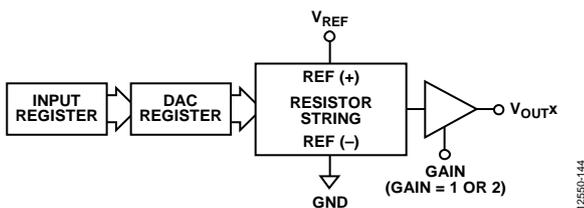


図 39. DAC 1 チャンネルあたりのアーキテクチャのブロック図

セグメント化抵抗ストリング DAC の簡略化した構造を図 40 に示します。DAC レジスタにロードされるコードが、電圧を取り出すストリング上のノードを決め、取り出されたこの電圧が出力アンプに入力されます。スイッチの内の 1 つが閉じてストリングがアンプに接続されて、電圧が取り出されます。ストリングの各抵抗は同じ値 R を持つため、ストリング DAC の単調性が保証されます。

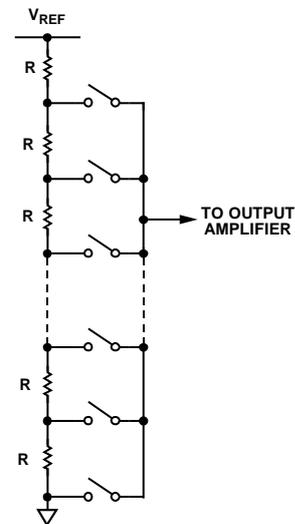


図 40.抵抗ストリング構造

出力アンプ

出力バッファアンプは、出力でレール to レール電圧を発生し、 $0\text{ V} \sim V_{\text{DD}}$ の出力範囲になります。実際の範囲は、 V_{REF} の値、GAIN ピン、オフセット誤差、ゲイン誤差に依存します。GAIN ピンで出力のゲインを選択します。GAIN ピンを GND に接続すると、8 個の全 DAC の出力ゲインは 1 で、出力範囲は $0\text{ V} \sim V_{\text{REF}}$ になります。GAIN ピンを V_{LOGIC} に接続すると、8 個の全 DAC の出力ゲインは 2 で、出力範囲は $0\text{ V} \sim 2 \times V_{\text{REF}}$ になります。

このアンプは、1 k Ω と GND へ接続した 10 nF の並列接続負荷を駆動することができます。スルーレートは 0.8 V/ μ s であり、1/4 スケールから 3/4 スケールまでのセトリング・タイムは 5 μ s (typ)です。

シリアル・インターフェース

AD5675 は、2 線式の I²C 互換シリアル・インターフェースを内蔵しています。このデバイスは、マスター・デバイスから制御されるスレーブ・デバイスとして I²C バスに接続することができます。AD5675 は、標準(100 kHz)と高速(400 kHz)のデータ転送モードをサポートしています。10 ビット・アドレッシングとジェネラル・コール・アドレッシングはサポートされていません。

入力シフトレジスタ

AD5675 の入力シフトレジスタは 24 ビット幅です。データは MSB ファースト(DB23)でロードされ、先頭の 4 ビットはコマンド・ビット C3~C0 です(表 7 参照)。その後ろに、4 ビットの DAC アドレス・ビット A3~A0 が続き(表 8 参照)、最後は 16 ビットのデータワードです。

データワードは 16 ビット入力コードで構成されます(図 41 参照)。これらのデータビットは、SCL の 24 個の立下がりエッジで入力レジスタへ転送されます。

コマンドは、選択したアドレス・ビットに応じて、個別 DAC チャンネル、組み合わせ DAC チャンネル、またはすべての DAC に対して実行することができます。

表 7.コマンドの定義

コマンド				説明
C3	C2	C1	C0	
0	0	0	0	無動作
0	0	0	1	入力レジスタ n への書込み (ここで、n は、表 8 のアドレス・ビットで選択された DAC に応じて 0~7、LDAC に依存)
0	0	1	0	入力レジスタ n の値で DAC レジスタ n を更新
0	0	1	1	DAC チャンネル n への書込みと更新
0	1	0	0	DAC のパワーダウン/パワーアップ
0	1	0	1	ハードウェア LDAC マスク・レジスタ
0	1	1	0	ソフトウェア・リセット (パワーオン・リセット)
0	1	1	1	予約済み
1	0	0	0	予約済み
1	0	0	1	予約済み
1	0	1	0	入力レジスタのすべてのチャンネルを入力データで同時に更新
1	0	1	1	DAC レジスタと入力レジスタのすべてのチャンネルを入力データで同時に更新
1	1	0	0	予約済み
...	
1	1	1	1	予約済み

表 8.アドレス・コマンド

チャンネル・アドレス、ビット [3:0]				選択される DAC チャンネル
A3	A2	A1	A0	
0	0	0	0	DAC0
0	0	0	1	DAC1
0	0	1	0	DAC2
0	0	1	1	DAC3
0	1	0	0	DAC4
0	1	0	1	DAC5
0	1	1	0	DAC6
0	1	1	1	DAC7

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

図 41.入力シフトレジスタ 値

12550-302

書込コマンドと更新コマンド

入力レジスタ n への書込(LDACに依存)

コマンド 0001 を使うと、各 DAC の専用入力レジスタへ個別に書込みを行うことができます。LDACがロー・レベルのとき、入力レジスタはトランスペアレントになります(LDACマスク・レジスタから制御されていない場合)。

入力レジスタ n の値による DAC レジスタ n の更新

コマンド 0010 は、選択した入力レジスタ値を DAC レジスタ/出力へロードして DAC 出力を直接更新します。

DAC チャンネル n への書込と更新(LDAC非依存)

コマンド 0011 を使うと、DAC レジスタへ書込みを行って、DAC 出力を直接更新することができます。

I²C スレーブ・アドレス

AD5675は7ビットの I²C スレーブ・アドレスを持っています。上位 5 ビットは 00011 で、下位 2 ビット(A1 と A0)はアドレス・ピン(A1 と A0)の状態で設定されます。A1 と A0 をハード・ワイヤ接続で変更する機能を使うと、表 9 に示すように、1 つのバスに AD5675 デバイスを最大 4 個接続することができます。

表 9. デバイス・アドレスの指定

A1 Pin Connection	A0 Pin Connection	A1	A0
GND	GND	0	0
GND	V _{LOGIC}	0	1
V _{LOGIC}	GND	1	0
V _{LOGIC}	V _{LOGIC}	1	1

シリアル動作

2 線式 I²C シリアル・バス・プロトコルは、次のように動作します。

1. マスターはスタート条件を設定してデータ転送を開始します。このスタート条件は、SCL がハイ・レベルの間に SDA ラインがハイ・レベルからロー・レベルへ変化することと定義されます。次のバイトはアドレス・バイトで、7 ビットのスレーブ・アドレスから構成されています。
2. 送信されたアドレスに該当するスレーブ・デバイスは 9 番目のクロック・パルスで、SDA ラインをロー・レベルにして応答します(これはアクノリッジ・ビット(ACK)と呼ばれます)。選択されたデバイスが入力シフトレジスタに読み書きするデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。
3. データは、9 個のクロック・パルスで 8 ビットのデータとそれに続くアクノリッジ・ビットの順にシリアル・バス上を伝送します。SDA ラインは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります。
4. 全データビットの読出しまたは書込みが終了すると、ストップ条件が設定されます。書込みモードでは、マスターが 10 番目のクロック・パルスで SDA ラインをハイ・レベルにプルアップして、ストップ条件を設定します。読出しモードでは、マスターは 9 番目のクロック・パルスでナック(NACK)を発行します(SDA ラインがハイ・レベルを維持)。この後、マスターは SDA ラインをロー・レベルにして、10 番目のクロック・パルスが再度ハイ・レベルになるときストップ条件を設定します。

書込み動作

AD5675 へ書込みを行うときは、まずスタート・コマンドを送信し、続いてアドレス・バイト (R/Wエラー! ブックマークが定義されていません。 = 0)を送信します。その後に DAC は SDA をロー・レベルにして、データ受信の準備ができたことを通知します。AD5675 は、DAC と種々の DAC 機能を制御するコマンド・バイト用の 2 バイトのデータを必要とします。このため、3 バイトのデータを DAC に書込む必要があります。すなわち、コマンド・バイト、その後ろに上位データバイトと下位データバイトが続きます(図 42 参照)。これらの全データバイトは、AD5675 によりアクノリッジされます。この後に、ストップ条件が続きます。

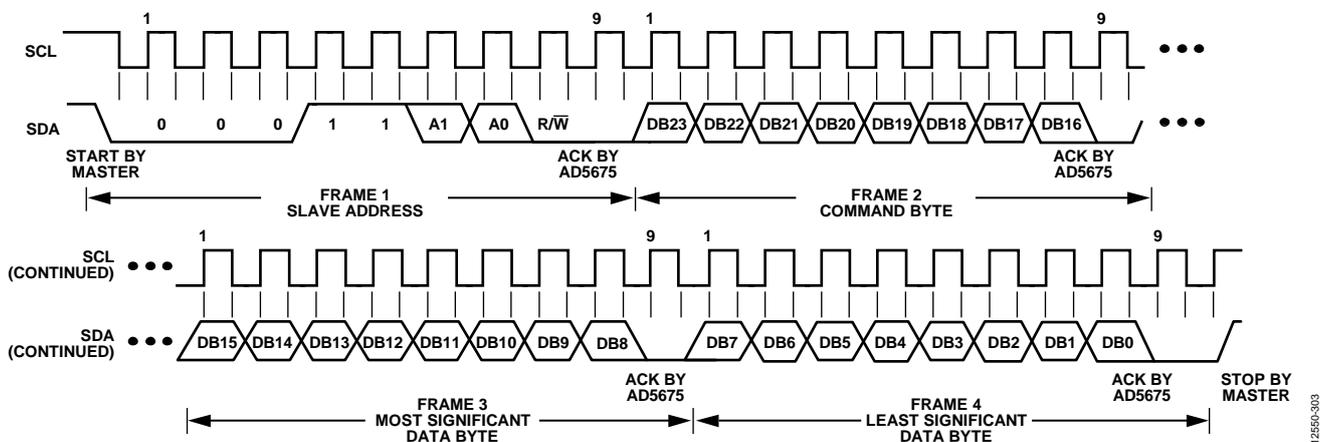


図 42. I²C の書込み動作

読出し動作

AD5675 からデータの読出しを行うときは、まずスタート・コマンドを送信し、続いてアドレス・バイト(R/W = 0)を送信します。その後、DAC は SDA をロー・レベルにして、データ受信の準備ができたことを通知します。アドレス・バイトの後ろには、コマンド・バイトが続く必要があります。このコマンド・バイトは、後続の読出しコマンドと読出し対象のポインタ・アドレスを指定します。これも DAC からアクノリッジされます。ユーザーは 1 個または複数の DAC レジスタ値をリードバックする対象チャンネルを設定し、コマンド・バイトを使ってリードバック・コマンドをアクティブに設定します。

この後、マスターからスタート条件が繰り返され、アドレスが R/W = 1 で再送されます。これは DAC からアクノリッジされて、データ送信の準備ができたことが通知されます。次に、2 バイトのデータが DAC から読出されます(図 43 参照)。マスターからの NACK 条件の後ろに STOP 条件が続いて、読出しシーケンスが完了します。複数の DAC が選択されると、DAC 0 がデフォルトでリードバックされます。

複数 DAC のリードバック・シーケンス

複数の AD5675 DAC から読出しを行うときは、まずアドレス・バイト(R/Wエラー! ブックマークが定義されていません。 = 0)を送信します。その後、DAC は SDA をロー・レベルにして、データ受信の準備ができたことを通知します。このアドレス・バイトの後ろにはコマンド・バイトが続く必要があります。これに対しても DACはアクノリッジします。ユーザーはコマンド・バイトを使ってリードバックを開始するチャンネルを選択します。この後、マスターからスタート条件が繰り返され、アドレスが R/W = 1 で再送されます。これは DAC からアクノリッジされて、データ送信の準備ができたことが通知されます。そこで、最初の 2 バイトのデータが、コマンド・バイトで選択された DAC 入力レジスタ n から、MSB ファーストで読出されます(図 43 参照)。次の 2 バイトのデータが、DAC 入力レジスタ n + 1 から読出され、次のバイトが DAC 入力レジスタ n + 2 から読出されます。DAC 入力レジスタからのデータ読出しはオートインクリメント方式で続き、NACK の後ろにストップ条件が続くと停止します。DAC 入力レジスタ 7 を読出すと、読出したデータの次の 2 バイトは、DAC 入力レジスタ 0 から読出したデータになります。

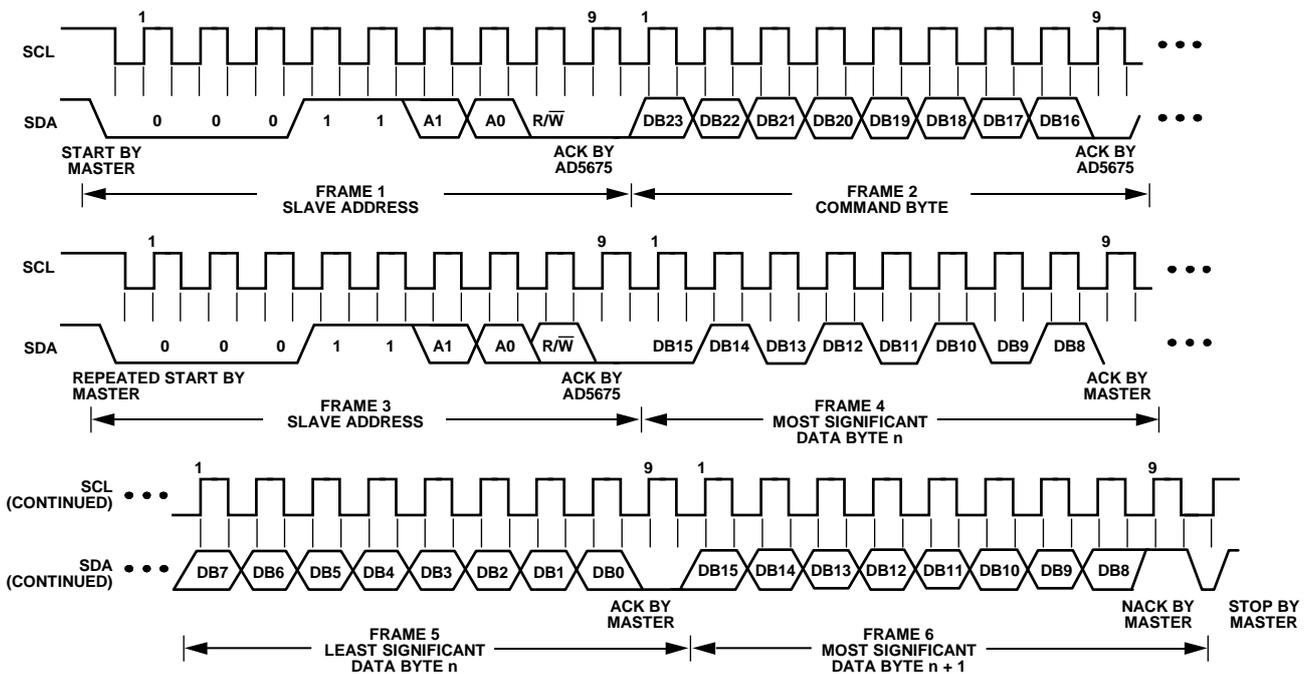


図 43. I²C の読出し動作

12560-304

パワーダウン動作

AD5675には2種類のパワーダウン・モードがあります。コマンド 0100 は、パワーダウン機能に割り当てられています(表 7 参照)。これらのパワーダウン・モードは、入力シフトレジスタの16ビット(ビット DB15~ビット DB0)を設定することにより、ソフトウェアから設定することができます。各 DAC チャンネルに対応した2ビットがあります。表 10に、2ビットの状態とデバイスの動作モードとの対応を示します。

対応するビットをセットすることにより、任意またはすべての DAC (DAC 0~DAC 7)を選択したモードにパワーダウンさせることができます。パワーダウン/パワーアップ動作時の入力シフトレジスタ値については表 11を参照してください。

表 10.動作モード

Operating Mode	PD1	PD0
Normal Operation	0	0
Power-Down Modes		
1 kΩ to GND	0	1
Tristate	1	1

入力シフトレジスタの PD1 と PD0 の両ビットを 0 に設定すると、デバイスは 5 V で 1 mA (typ) の消費電力で通常動作します。ただし、2 種類のパワーダウン・モードでは、電源電流が 1μA (typ) に削減されます。この削減の他に、出力ステージが内部的にアンプ出力から切り離されて既知の値を持つ抵抗回路に接続されます。これは、デバイスの出力インピーダンスが既知であると同時にデバイスがパワーダウン・モードになるという利点を持っています。2 種類のパワーダウン・オプションがあります。すなわち、出力を内部で 1 kΩ 抵抗を介して GND に接続するか、あるいはオープン(スリー・ステート)にします。出力ステージを

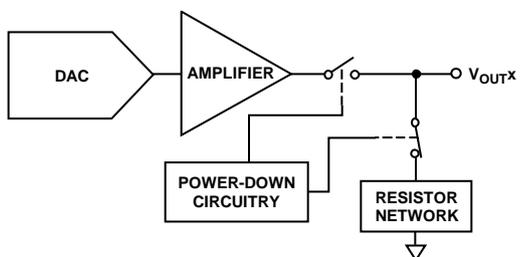


図 44. パワーダウン時の出力ステージ

パワーダウン・モードのときは、バイアス・ジェネレータ、出力アンプ、抵抗ストリング、およびその他の関係するリニア回路

表 11. パワーダウン/パワーアップ動作での 24 ビット入力シフトレジスタ値

[DB23:DB20]	DB19	[DB18:DB16]	DAC 7	DAC 6	DAC 5	DAC 4	DAC 3	DAC 2	DAC 1	DAC 0
[DB23:DB20]	DB19	[DB18:DB16]	[DB15:DB14]	[DB13:DB12]	[DB11:DB10]	[DB9:DB8]	[DB7:DB6]	[DB5:DB4]	[DB3:DB2]	[DB1:DB0]
0100	0	XXX ¹	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]

¹X は don't care.

路はシャットダウンされます。ただし、DAC レジスタの値はパワーダウン・モードで影響を受けることはありません。デバイスがパワーダウン・モードのとき、DAC レジスタを更新することができます。パワーダウンから抜け出すために要する時間は、V_{DD} = 5 V で 2.5 μs (typ) です。

DAC のロード(ハードウェア LDAC ピン)

AD5675 の DAC は、入力レジスタと DAC レジスタの 2 つのレジスタ・バンクで構成されているダブルバッファ化されたインターフェースを内蔵しています。入力レジスタの任意の組み合わせへ書込みを行うことができます。DAC レジスタの更新は、LDAC ピンから制御されます。

DAC の瞬時更新(LDAC をロー・レベルに維持)

DAC の瞬時更新の場合、コマンド 0001 を使ってデータを入力レジスタへ入力する間 LDAC をロー・レベルに維持します。アドレス指定された入力レジスタと DAC レジスタが 24 番目のクロックで更新されて、出力が直ちに变化します。

DAC の遅延更新(LDAC を高レベルに維持)

DAC の遅延更新の場合、コマンド 0001 を使ってデータを入力レジスタへ入力する間 LDAC を高レベルに維持します。24 番目のクロックの後に LDAC エラー! ブックマークが定義されていません。をロー・レベルにすると、すべての DAC 出力が非同期的に更新されます。更新は、LDAC の立下がりエッジで行われます。

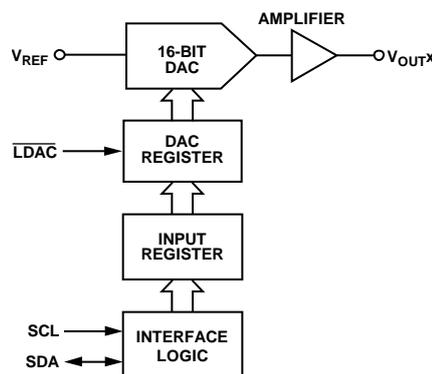


図 45. 1 個の DAC についての入力ロード回路の簡略化した図

LDAC マスク・レジスタ

コマンド 0101 は、このハードウェア LDAC機能に予約されています。アドレス・ビットは無視されます。コマンド 0101 を使って DAC へ書込を行うと、4 ビットの LDAC レジスタ (DB3～DB0) がロードされます。各チャンネルのデフォルト値は 0、すなわち LDAC ピンは通常動作になります。ビットを 1 に設定すると、ハードウェア LDAC ピンの状態に無関係に、この DAC チャンネルは LDAC ピンでの変化を無視します。この柔軟性は、LDAC ピンに対応させてチャンネルを選択するアプリケーションで役立ちます。

この LDAC レジスタを使うと、ハードウェア LDAC ピンを柔軟に制御することができます (表 13 参照)。ある DAC チャンネルに対して LDAC ビット (DB0～DB3) を 0 に設定することは、このチャンネルの更新がハードウェア LDAC ピンから制御されることを意味します。

表 12. LDAC 上書きの定義

Load LDAC Register		LDAC Operation
LDAC Bits (DB3 to DB0)	LDAC Pin	
0000	1 or 0	Determined by the LDAC pin.
1111	X ¹	DAC channels update and override the LDAC pin. DAC channels see LDAC as 1.

¹ X means don't care.

表 13. 書込コマンドと LDAC ピンの真理値表¹

Command	Description	Hardware LDAC Pin State	Input Register Contents	DAC Register Contents
0001	Write to Input Register n (dependent on LDAC)	V _{LOGIC} GND ²	Data update Data update	No change (no update) Data update
0010	Update DAC Register n with the contents of Input Register n	V _{LOGIC} GND	No change No change	Updated with input register contents Updated with input register contents
0011	Write to and update DAC Channel n	V _{LOGIC} GND	Data update Data update	Data update Data update

¹ ハードウェア LDAC ピンのハイ・レベルからロー・レベルへの変化により、常に DAC レジスタ値が、LDAC マスク・レジスタでマスクされていないチャンネルの入力レジスタ値で更新されます。

² LDAC をロー・レベルに固定すると、LDAC マスク・ビットは無視されます。

ハードウェア・リセット(RESET)

RESETはアクティブ・ローのリセットで、出力をゼロスケールまたはミッドスケールへクリアできるようにします。クリア・コード値は、**エラー!ブックマークが定義されていません**。RSTSELピンを使って選択することができます。動作を完了するためには、RESETを最小 $2\ \mu\text{s}$ 間ロー・レベルに維持する必要があります(図 2 参照)。RESET信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はクリア値を維持します。RESETピンがロー・レベルの間、出力は新しい値で更新されません。これらのデバイスには、DACをパワーオン・リセット・コードにリセットする、ソフトウェアからのリセット機能もあります。コマンド 0110は、このソフトウェア・リセット機能に割り当てられています(表 7 参照)。パワーオン・リセット

時の LDACまたは RESETの動作はすべて無視されます。

リセット選択ピン(RSTSEL)

AD5675は、パワーアップ時に出力電圧を制御するパワーオン・リセット回路を内蔵しています。RSTSELピンをロー・レベルにすると、出力はパワーアップ時にゼロスケールになります。このパワーアップはDACのリニア領域の外側であることに注意してください。RSTSELピンをハイ・レベルにすると、V_{OUTX}ピンはパワーアップ時にミッドスケールになります。出力はパワーアップ時にこのレベルで維持され、有効な書込みシーケンスがDACに実行されるまでこの状態が維持されます。

アプリケーション情報

電源の推奨事項

AD5675 は、 $V_{DD}=3.3\text{ V}$ と $V_{\text{LOGIC}}=1.8\text{ V}$ の電源を使います。

V_{DD} ピンの電源として **ADP7118** を使うことができます。 V_{LOGIC} ピンの電源として **ADP160** を使うことができます。このセットアップを図 46 に示します。ADP7118 と ADP160 は、それぞれ最大 20 V と 5.5 V の入力電圧で動作することができます。



図 46. AD5675 に対する低ノイズ電源ソリューション

マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5675 とのインターフェースは、マイクロコントローラと DSP プロセッサに対して互換性を持つ標準プロトコルを使うシリアル・バスを使って行います。この通信チャンネルは、クロック信号とデータ信号から構成される 2 線式インターフェースです。

AD5675 と ADSP-BF531 とのインターフェース

AD5675 の I²C インターフェースは、業界標準の DSP とマイクロコントローラに容易に接続できるように設計されています。図 47 に、AD5675 とアナログ・デバイセズの Blackfin[®] プロセッサとの接続方法を示します。Blackfin プロセッサは、AD5675 の I²C ピンへ直接接続できる I²C ポートを内蔵しています。

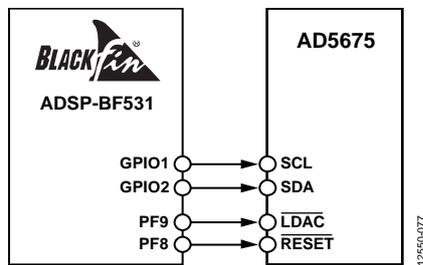


図 47. AD5675 と ADSP-BF531 とのインターフェース

レイアウトのガイドライン

高精度が重要となる回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5675 を実装する PCB は、AD5675 をアナログ・プレーン上に配置するように設計する必要があります。

AD5675 に対しては、10 μF と 0.1 μF の並列接続により十分な電源バイパスをパッケージのできるだけ近くに、理想的にはデバイスに直接に、接続する必要があります。10 μF のコンデンサはタンタルのビーズ型を使います。0.1 μF コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗 (ESR) が小さく、かつ実効直列インダクタンス (ESI) が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

1 枚のボード上に多くのデバイスを実装するシステムでは、熱

放散を容易にするヒート・シンク能力を設けることが有効な場合があります。

自然なヒート・シンク効果を提供するため、デバイス上の GND プレーンを大きくすることができます (図 48 参照)。

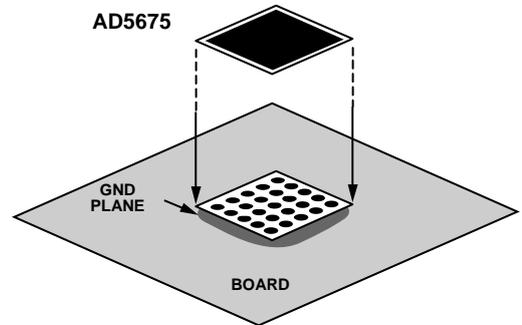
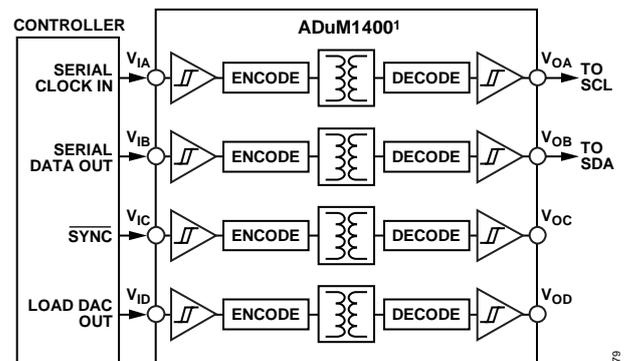


図 48. パッドとボードの接続

電氣的絶縁型インターフェース

多くのプロセス制御アプリケーションでは、コントローラと被制御対象のユニットとの間にアイソレーション障壁を設けて、危険な同相モード電圧から制御回路を保護してアイソレーションする必要があります。アナログ・デバイセズの *iCoupler*[®] 製品ファミリーは、2.5 kV を超える電圧アイソレーションを提供します。AD5675 はシリアル・ローディング方式を採用しているため、インターフェース・ライン数が最小になっているので、絶縁インターフェース向けに最適です。図 49 に、ADuM1400 を使用した、AD5675 に対する 4 チャンネル絶縁型インターフェースを示します。詳細については、www.analog.com/icoupler をご覧ください。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

図 49. 絶縁型インターフェース

外形寸法

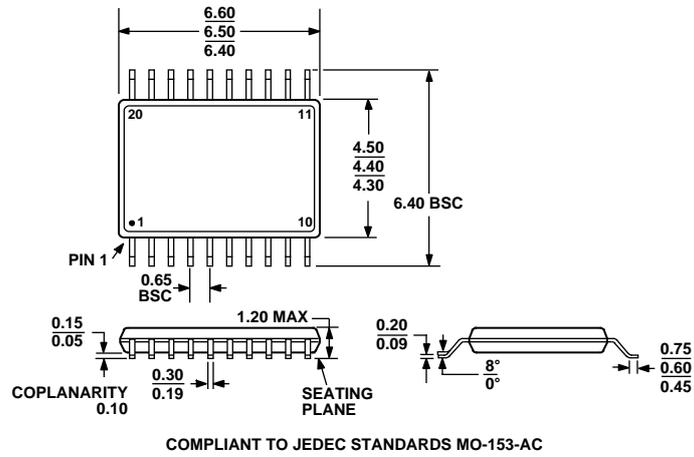


図 50.20 ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] (RU-20)
寸法: mm

オーダー・ガイド

Model ¹	Resolution (Bits)	Temperature Range	Accuracy	Package Description	Package Option
AD5675ARUZ	16	-40°C to +125°C	±8 LSB INL	20-Lead TSSOP	RU-20
AD5675ARUZ-REEL7	16	-40°C to +125°C	±8 LSB INL	20-Lead TSSOP	RU-20
AD5675BRUZ	16	-40°C to +125°C	±3 LSB INL	20-Lead TSSOP	RU-20
AD5675BRUZ-REEL7	16	-40°C to +125°C	±3 LSB INL	20-Lead TSSOP	RU-20

¹Z = RoHS 準拠製品。