



2 ppm/°C リファレンス、SPI インターフェイス内蔵、12/16 ビット、オクタル nanoDAC+

データシート

AD5672R/AD5676R

RISA 特長

高性能

- 高い相対精度 (INL) : 16 ビットで ± 3 LSB (最大値)
- 総合未調整誤差 (TUE) : FSR の ± 0.14 % (最大値)
- オフセット誤差: ± 1.5 mV (最大値)
- ゲイン誤差: FSR の ± 0.06 % (最大値)
- 低ドリフト 2.5 V リファレンス: 2 ppm/°C (代表値)

広い動作範囲

- 温度範囲: -40 °C ~ $+125$ °C
- 電源電圧範囲: 2.7 V ~ 5.5 V

実装が容易

- 1 または 2 のゲインを選択可能 (GAIN ピン/ゲイン・ビット)
- 1.8 V ロジックとの互換性

- リードバックまたはデジタイゼーション付きの 50 MHz SPI
- 堅牢な 2 kV HBM および 1.5 kV FICDM の ESD 定格
- RoHS 準拠の 20 ピン TSSOP および LFCSP パッケージ

アプリケーション

- 光トランシーバ
- 基地局用パワー・アンプ
- プロセス制御 (PLC I/O カード)
- 工業用オートメーション
- データ・アキュイジション・システム

概要

AD5672R/AD5676R は、低消費電力、オクタル、12/16 ビットのバッファ付き電圧出力 D/A コンバータ (DAC) です。これらのデバイスは、2.5 V、2 ppm/°C の内部リファレンス (デフォルトでイネーブル) を備えており、ゲイン選択ピンによって、2.5 V (ゲイン=1) または 5 V (ゲイン=2) のフルスケール出力を選べます。デバイスは 2.7 V ~ 5.5 V の単電源で動作し、設計によって単調増加性が保証されています。AD5672R/AD5676R は、20 ピン TSSOP または 20 ピン LFCSP パッケージを採用しています。また、搭載されたパワーオン・リセット回路と RSTSEL ピンにより、DAC 出力をゼロ・スケールまたはミッドスケールにパワーアップし、有効な書き込みが行われるまでその状態にしておくことができます。AD5672R/AD5676R にはパワーダウン・モードがあり、パワーダウン・モードでは消費電流を 1 μ A (代表値) に低減します。

表 1. オクタル nanoDAC+® デバイス

Interface	Reference	16-Bit	12-Bit
SPI	Internal	AD5676R	AD5672R
	External	AD5676	Not applicable
I ² C	Internal	AD5675R	AD5671R

製品のハイライト

- 高い相対精度 (INL)。
 - AD5672R (12 ビット) : ± 1 LSB (最大値)
 - AD5676R (16 ビット) : ± 3 LSB (最大値)
- 低ドリフトの 2.5 V 内部リファレンス

機能ブロック図

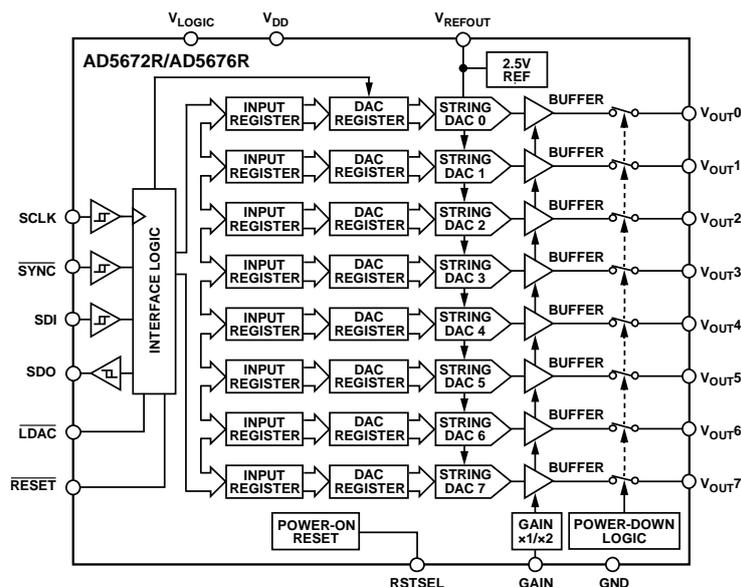


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

risa 特長	1	書込みコマンドと更新コマンド	26
アプリケーション	1	デジチェーン動作	26
概要	1	リードバック動作	27
製品のハイライト	1	パワーダウン動作	27
機能ブロック図	1	DAC のロード (ハードウェア $\overline{\text{LDAC}}$ ピン)	28
改訂履歴	2	$\overline{\text{LDAC}}$ マスク・レジスタ	28
仕様	3	ハードウェア・リセット ($\overline{\text{RESET}}$)	29
AD5672R の仕様	3	リセット選択ピン (RSTSEL)	29
AD5676R の仕様	5	LFCSP バージョンのアンプのゲインの選択	29
AC 特性	7	内部リファレンスのセットアップ	29
タイミング特性	8	ハンダ加熱リフロー	29
デジチェーンおよびリードバックのタイミング特性	9	長時間温度ドリフト	29
絶対最大定格	11	熱ヒステリシス	30
熱抵抗	11	アプリケーション情報	31
ESD に関する注意	11	電源の推奨事項	31
ピン配置およびピン機能の説明	12	マイクロプロセッサ・インターフェース	31
代表的な性能特性	13	AD5672R/AD5676R と ADSP-BF531 とのインターフェース	31
用語の定義	22	AD5672R/AD5676R と SPORT とのインターフェース	31
動作原理	24	レイアウトのガイドライン	31
D/A コンバータ	24	デジタル・アイソレータを用いた絶縁インターフェース	32
伝達関数	24	外形寸法	33
DAC アーキテクチャ	24	オーダー・ガイド	34
シリアル・インターフェース	25		
スタンドアロン動作	26		
改訂履歴			
11/15—Rev. A to Rev. B		Updated Outline Dimensions	33
Added 20-Lead LFCSP	Universal	Changes to Ordering Guide	34
Change to Features	1		
Changed $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$ to T_{MIN} to T_{MAX}	7	2/15—Rev. 0 to Rev. A	
Changes to Table 7	11	Added AD5672R Specifications Section	3
Added Thermal Resistance Section and Table 8; Renumbered		Changes to Table 2	3
Sequentially	11	Added AD5676R Specifications Section and Table 3; Renumbered	
Added Figure 7; Renumbered Sequentially	12	Sequentially	5
Changes to Table 9	12	Change to RESET Pulse Activation Parameter, Table 5	8
Changes to Transfer Function Section, Internal Reference Section, and		Change to Terminology Section	22
Output Amplifiers Section	24	Changes to Transfer Function Section and Output Amplifiers Section	
Changes to Table 10	25	24
Changes to Write to and Update DAC Channel n (Independent		Changes to Hardware Reset ($\overline{\text{RESET}}$) Section	29
of LDAC) Section	26	Changes to Ordering Guide	33
Changes to Readback Operation Section	27		
Changes to LDAC Mask Register Section and Table 15	28	10/14—Revision 0: Initial Version	
Changes to Reset Select Pin (RSTSEL) Section, Internal Reference			
Setup Section, Table 17, and Table 18	29		
Added Amplifier Gain Selection on LFCSP Section	29		

仕様

AD5672R の仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 、全ての仕様は $T_A = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ で規定。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
STATIC PERFORMANCE¹					
Resolution	12			Bits	
Relative Accuracy (INL)		± 0.12	± 1	LSB	Gain = 1
		± 0.12	± 1	LSB	Gain = 2
Differential Nonlinearity (DNL)		± 0.01	± 0.1	LSB	Gain = 1
		± 0.01	± 0.1	LSB	Gain = 2
Zero Code Error		0.8	1.6	mV	Gain = 1 or gain = 2
Offset Error		-0.75	± 2	mV	Gain = 1
		-0.1	± 1.5	mV	Gain = 2
Full-Scale Error		-0.018	± 0.14	% of FSR	Gain = 1
		-0.013	± 0.07	% of FSR	Gain = 2
Gain Error		+0.04	± 0.12	% of FSR	Gain = 1
		-0.02	± 0.06	% of FSR	Gain = 2
TUE		± 0.03	± 0.18	% of FSR	Gain = 1
		± 0.006	± 0.14	% of FSR	Gain = 2
Offset Error Drift ²		± 1		$\mu\text{V}/^\circ\text{C}$	
DC Power Supply Rejection Ratio (PSRR) ²		0.25		mV/V	DAC code = midscale, $V_{DD} = 5\text{ V} \pm 10\%$
DC Crosstalk ²		± 2		μV	Due to single channel, full-scale output change
		± 3		$\mu\text{V}/\text{mA}$	Due to load current change
		± 2		μV	Due to powering down (per channel)
OUTPUT CHARACTERISTICS²					
Output Voltage Range	0		2.5	V	Gain = 1
	0		5	V	Gain = 2
Output Current Drive			15	mA	
Capacitive Load Stability		2		nF	$R_L = \infty$
		10		nF	$R_L = 1\text{ k}\Omega$
Resistive Load ³	1			k Ω	
Load Regulation		183		$\mu\text{V}/\text{mA}$	$V_{DD} = 5\text{ V} \pm 10\%$, DAC code = midscale, $-30\text{ mA} \leq I_{OUT} \leq +30\text{ mA}$
		177		$\mu\text{V}/\text{mA}$	$V_{DD} = 3\text{ V} \pm 10\%$, DAC code = midscale, $-20\text{ mA} \leq I_{OUT} \leq +20\text{ mA}$
Short-Circuit Current ⁴		40		mA	
Load Impedance at Rails ⁵		25		Ω	
Power-Up Time		2.5		μs	Exiting power-down mode, $V_{DD} = 5\text{ V}$
REFERENCE OUTPUT					
Output Voltage ⁶	2.4975		2.5025	V	
Reference Temperature Coefficient ^{7, 8}		2	5	ppm/ $^\circ\text{C}$	See the Terminology section
Output Impedance ²		0.04		Ω	
Output Voltage Noise ²		13		$\mu\text{V p-p}$	0.1 Hz to 10 Hz
Output Voltage Noise Density ²		240		nV/ $\sqrt{\text{Hz}}$	At ambient temperature, $f = 10\text{ kHz}$, $C_L = 10\text{ nF}$, gain = 1 or 2
Load Regulation Sourcing ²		29		$\mu\text{V}/\text{mA}$	At ambient temperature
Load Regulation Sinking ²		74		$\mu\text{V}/\text{mA}$	At ambient temperature
Output Current Load Capability ²		± 20		mA	$V_{DD} \geq 3\text{ V}$
Line Regulation ²		43		$\mu\text{V}/\text{V}$	At ambient temperature
Long-Term Stability/Drift ²		12		ppm	After 1000 hours at 125°C
Thermal Hysteresis ²		125		ppm	First cycle
		25		ppm	Additional cycles

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC INPUTS ²					
Input Current			±1	μA	Per pin
Input Voltage					
Low, V_{INL}			$0.3 \times V_{LOGIC}$	V	
High, V_{INH}	$0.7 \times V_{LOGIC}$			V	
Pin Capacitance		3		pF	
LOGIC OUTPUTS (SDO) ²					
Output Voltage					
Low, V_{OL}			0.4	V	$I_{SINK} = 200 \mu A$
High, V_{OH}	$V_{LOGIC} - 0.4$			V	$I_{SOURCE} = 200 \mu A$
Floating State Output Capacitance		4		pF	
POWER REQUIREMENTS					
V_{LOGIC}	1.8		5.5	V	
I_{LOGIC}			1	μA	Power-on, -40°C to +105°C
			1.3	μA	Power-on, -40°C to +125°C
			0.5	μA	Power-down, -40°C to +105°C
			1.3	μA	Power-down, -40°C to +125°C
V_{DD}	2.7		5.5	V	Gain = 1
	$V_{REF} + 1.5$		5.5	V	Gain = 2
I_{DD}					$V_{IH} = V_{DD}$, $V_{IL} = GND$, $V_{DD} = 2.7 V$ to $5.5 V$
Normal Mode ⁹		1.1	1.26	mA	Internal reference off, -40°C to +85°C
		1.8	2.0	mA	Internal reference on, -40°C to +85°C
		1.1	1.3	mA	Internal reference off
		1.8	2.1	mA	Internal reference on
All Power-Down Modes ¹⁰		1	1.7	μA	Tristate to 1 kΩ, -40°C to +85°C
		1	1.7	μA	Power down to 1 kΩ, -40°C to +85°C
		1	2.5	μA	Tristate, -40°C to +105°C
		1	2.5	μA	Power down to 1 kΩ, -40°C to +105°C
		1	5.5	μA	Tristate to 1 kΩ, -40°C to +125°C
		1	5.5	μA	Power down to 1 kΩ, -40°C to +125°C

¹ 特に指定がない限り、DC仕様は出力無負荷でテスト。上側デッドバンド = 10 mV で、これは $V_{REF} = V_{DD}$ かつゲイン = 1 の場合、または $V_{REF}/2 = V_{DD}$ かつゲイン = 2 の場合にのみ存在します。直線性は、12 ~ 4080 の縮小コード範囲を使って計算。

² 設計と特性評価により保証しますが、出荷テストは行いません。

³ チャンネル 0、チャンネル 1、チャンネル 2、チャンネル 3 は、40 mA のソース/シンクが可能。同様に、チャンネル 4、チャンネル 5、チャンネル 6、チャンネル 7 は、125 °C のジャンクション温度まで 40 mA のソース/シンクが可能。

⁴ $V_{DD} = 5 V$ 。このデバイスは、一時的な過負荷状態でデバイスを保護する電流制限機能を搭載しています。電流制限時にはジャンクション温度を超える可能性があります。規定された最大動作ジャンクション温度を超えて動作すると、デバイスの信頼性を損なうおそれがあります。

⁵ どちらかの電源レールに負荷電流が流れているとき、そのレールを基準にした出力電圧のヘッドルームは出力デバイスの 25 Ω (代表値) のチャンネル抵抗によって制限されます。例えば、1 mA のシンク電流の場合、最小出力電圧 = $25 \Omega \times 1 mA = 25 mV$ となります。

⁶ プレソルダ・リフローの初期精度は $\pm 750 \mu V$ で、出力電圧には前処理でのドリフトの影響が含まれます。「内部リファレンスのセットアップ」のセクションを参照してください。

⁷ リファレンスは 2 点の温度で調整とテストが行われ、-40 °C ~ +125 °C で特性評価されます。

⁸ リファレンスの温度係数はボックス法に従って計算します。詳細については、「用語の定義」のセクションを参照してください。

⁹ インターフェースは非アクティブ状態。全ての DAC はアクティブ状態。DAC 出力は無負荷。

¹⁰ 全ての DAC がパワーダウン。

AD5676R の仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 、全ての仕様は $T_A = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ で規定。

表 3.

Parameter	A Grade			B Grade			Unit	Test Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
STATIC PERFORMANCE ¹								
Resolution	16			16			Bits	
Relative Accuracy (INL)		± 1.8	± 8		± 1.8	± 3	LSB	Gain = 1
		± 1.7	± 8		± 1.7	± 3	LSB	Gain = 2
Differential Nonlinearity (DNL)		± 0.7	± 1		± 0.7	± 1	LSB	Gain = 1
		± 0.5	± 1		± 0.5	± 1	LSB	Gain = 2
Zero Code Error		0.8	3		0.8	1.6	mV	Gain = 1 or gain = 2
Offset Error		-0.75	± 6		-0.75	± 2	mV	Gain = 1
		-0.1	± 4		-0.1	± 1.5	mV	Gain = 2
Full-Scale Error		-0.01	± 0.28		-0.01	± 0.14	% of FSR	Gain = 1
		8			8			
		-0.01	± 0.14		-0.01	± 0.07	% of FSR	Gain = 2
		3			3			
Gain Error		+0.04	± 0.24		+0.04	± 0.12	% of FSR	Gain = 1
		-0.02	± 0.12		-0.02	± 0.06	% of FSR	Gain = 2
TUE		± 0.03	± 0.3		± 0.03	± 0.18	% of FSR	Gain = 1
		± 0.006	± 0.25		± 0.006	± 0.14	% of FSR	Gain = 2
Offset Error Drift ²		± 1			± 1		$\mu\text{V}/^\circ\text{C}$	
DC Power Supply Rejection Ratio (PSRR) ²		0.25			0.25		mV/V	DAC code = midscale, $V_{DD} = 5\text{ V} \pm 10\%$
DC Crosstalk ²		± 2			± 2		μV	Due to single channel, full-scale output change
		± 3			± 3		$\mu\text{V}/\text{mA}$	Due to load current change
		± 2			± 2		μV	Due to powering down (per channel)
OUTPUT CHARACTERISTICS ²								
Output Voltage Range	0		2.5	0		2.5	V	Gain = 1
	0		5	0		5	V	Gain = 2
Output Current Drive			15			15	mA	
Capacitive Load Stability		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 1\text{ k}\Omega$
Resistive Load ³	1			1			k Ω	
Load Regulation		183			183		$\mu\text{V}/\text{mA}$	$V_{DD} = 5\text{ V} \pm 10\%$, DAC code = midscale, $-30\text{ mA} \leq I_{OUT} \leq +30\text{ mA}$
		177			177		$\mu\text{V}/\text{mA}$	$V_{DD} = 3\text{ V} \pm 10\%$, DAC code = midscale, $-20\text{ mA} \leq I_{OUT} \leq +20\text{ mA}$
Short-Circuit Current ⁴		40			40		mA	
Load Impedance at Rails ⁵		25			25		Ω	
Power-Up Time		2.5			2.5		μs	Exiting power-down mode, $V_{DD} = 5\text{ V}$
REFERENCE OUTPUT								
Output Voltage ⁶	2.4975		2.5025	2.4975		2.5025	V	
Reference Temperature Coefficient ^{7,8}		5	20		2	5	ppm/ $^\circ\text{C}$	See the Terminology section
Output Impedance ²		0.04			0.04		Ω	
Output Voltage Noise ²		13			13		μV p-p	0.1 Hz to 10 Hz
Output Voltage Noise Density ²		240			240		nV/ $\sqrt{\text{Hz}}$	At ambient temperature, $f = 10\text{ kHz}$, $C_L = 10\text{ nF}$, gain = 1 or 2
Load Regulation Sourcing ²		29			29		$\mu\text{V}/\text{mA}$	At ambient temperature
Load Regulation Sinking ²		74			74		$\mu\text{V}/\text{mA}$	At ambient temperature
Output Current Load Capability ²		± 20			± 20		mA	$V_{DD} \geq 3\text{ V}$
Line Regulation ²		43			43		$\mu\text{V}/\text{V}$	At ambient temperature
Long-Term Stability/Drift ²		12			12		ppm	After 1000 hours at 125°C
Thermal Hysteresis ²		125			125		ppm	First cycle
		25			25		ppm	Additional cycles

Parameter	A Grade			B Grade			Unit	Test Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
LOGIC INPUTS²								
Input Current			±1			±1	μA	Per pin
Input Voltage								
Low, V _{INL}			0.3 × V _{LOGIC}			0.3 × V _{LOGIC}	V	
High, V _{INH}	0.7 × V _{LOGIC}			0.7 × V _{LOGIC}			V	
Pin Capacitance		3			3		pF	
LOGIC OUTPUTS (SDO)²								
Output Voltage			0.4			0.4	V	I _{SINK} = 200 μA
Low, V _{OL}							V	I _{SOURCE} = 200 μA
High, V _{OH}	V _{LOGIC} - 0.4			V _{LOGIC} - 0.4				
Floating State Output Capacitance		4			4		pF	
POWER REQUIREMENTS								
V _{LOGIC}	1.8		5.5	1.8		5.5	V	
I _{LOGIC}			1			1	μA	Power-on, -40°C to +105°C
			1.3			1.3	μA	Power-on, -40°C to +125°C
			0.5			0.5	μA	Power-down, -40°C to +105°C
			1.3			1.3	μA	Power-down, -40°C to +125°C
V _{DD}	2.7		5.5	2.7		5.5	V	Gain = 1
	V _{REF} + 1.5		5.5	V _{REF} + 1.5		5.5	V	Gain = 2
I _{DD}								V _{IH} = V _{DD} , V _{IL} = GND, V _{DD} = 2.7 V to 5.5 V
Normal Mode ⁹		1.1	1.26		1.1	1.26	mA	Internal reference off, -40°C to +85°C
		1.8	2.0		1.8	2.0	mA	Internal reference on, -40°C to +85°C
		1.1	1.3		1.1	1.3	mA	Internal reference off
		1.8	2.1		1.8	2.1	mA	Internal reference on
All Power-Down Modes ¹⁰		1	1.7		1	1.7	μA	Tristate to 1 kΩ, -40°C to +85°C
		1	1.7		1	1.7	μA	Power down to 1 kΩ, -40°C to +85°C
		1	2.5		1	2.5	μA	Tristate, -40°C to +105°C
		1	2.5		1	2.5	μA	Power down to 1 kΩ, -40°C to +105°C
		1	5.5		1	5.5	μA	Tristate to 1 kΩ, -40°C to +125°C
		1	5.5		1	5.5	μA	Power down to 1 kΩ, -40°C to +125°C

¹ 特に指定がない限り、DC仕様は出力無負荷でテスト。上側デッドバンド = 10 mV で、これは V_{REF} = V_{DD} かつゲイン = 1 の場合、または V_{REF}/2 = V_{DD} かつゲイン = 2 の場合のみ存在します。直線性は、256 ~ 65,280 の縮小コード範囲を使って計算。

² 設計と特性評価により保証しますが、出荷テストは行いません。

³ チャンネル 0、チャンネル 1、チャンネル 2、チャンネル 3 は、40 mA のソース/シンクが可能。同様に、チャンネル 4、チャンネル 5、チャンネル 6、チャンネル 7 は、125 °C のジャンクション温度まで 40 mA のソース/シンクが可能。

⁴ V_{DD} = 5 V。このデバイスは、一時的な過負荷状態でデバイスを保護する電流制限機能を搭載しています。電流制限時にはジャンクション温度を超える可能性があります。規定された最大動作ジャンクション温度を超えて動作すると、デバイスの信頼性を損なうおそれがあります。

⁵ どちらかの電源レールに負荷電流が流れているとき、そのレールを基準にした出力電圧のヘッドルームは出力デバイスの 25 Ω (代表値) のチャンネル抵抗によって制限されます。例えば、1 mA のシンク電流の場合、最小出力電圧 = 25 Ω × 1 mA = 25 mV となります。

⁶ プレソルダ・リフローの初期精度は ±750 μV で、出力電圧には前処理でのドリフトの影響が含まれます。「内部リファレンスのセットアップ」のセクションを参照してください。

⁷ リファレンスは 2 点の温度で調整とテストが行われ、-40 °C ~ +125 °C で特性評価されます。

⁸ リファレンスの温度係数はボックス法に従って計算します。詳細については、「用語の定義」のセクションを参照してください。

⁹ インターフェースは非アクティブ状態。全ての DAC はアクティブ状態。DAC 出力は無負荷。

¹⁰ 全ての DAC がパワーダウン。

AC 特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ (GNDへ接続)、 $C_L = 200\text{ pF}$ (GNDへ接続)、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。動作温度範囲は $-40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 。設計と特性評価により保証しますが、出荷テストは行いません。

表 4.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
OUTPUT VOLTAGE SETTling TIME ¹					
AD5672R		5	8	μs	1/4 to 3/4 scale settling to $\pm 2\text{ LSB}$
AD5676R		5	8	μs	1/4 to 3/4 scale settling to $\pm 2\text{ LSB}$
SLEW RATE		0.8		$\text{V}/\mu\text{s}$	
DIGITAL-TO-ANALOG GLITCH IMPULSE ¹		1.4		$\text{nV}\cdot\text{sec}$	1 LSB change around major carry (internal reference, gain = 1)
DIGITAL FEEDTHROUGH ¹		0.13		$\text{nV}\cdot\text{sec}$	
CROSSTALK ¹					
Digital		0.1		$\text{nV}\cdot\text{sec}$	Internal reference, gain = 2
Analog		-0.25		$\text{nV}\cdot\text{sec}$	
		-1.3		$\text{nV}\cdot\text{sec}$	
DAC-to-DAC		-2.0		$\text{nV}\cdot\text{sec}$	
TOTAL HARMONIC DISTORTION ²		-80		dB	At T_A , bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
OUTPUT NOISE SPECTRAL DENSITY ¹		300		$\text{nV}/\sqrt{\text{Hz}}$	DAC code = midscale, 10 kHz, gain = 2
OUTPUT NOISE ¹		6		$\mu\text{V p-p}$	0.1 Hz to 10 Hz, gain = 1
SIGNAL-TO-NOISE RATIO (SNR)		90		dB	At $T_A = 25\text{ }^\circ\text{C}$, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
SPURIOUS-FREE DYNAMIC RANGE (SFDR)		83		dB	At $T_A = 25\text{ }^\circ\text{C}$, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
SIGNAL-TO-NOISE-AND-DISTORTION RATIO (SINAD)		80		dB	At $T_A = 25\text{ }^\circ\text{C}$, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$

¹ 「用語の定義」のセクションを参照してください。特に指定がない限り、内部リファレンスとゲイン = 1 を使って測定。

² デジタル的に発生した 1 kHz のサイン波。

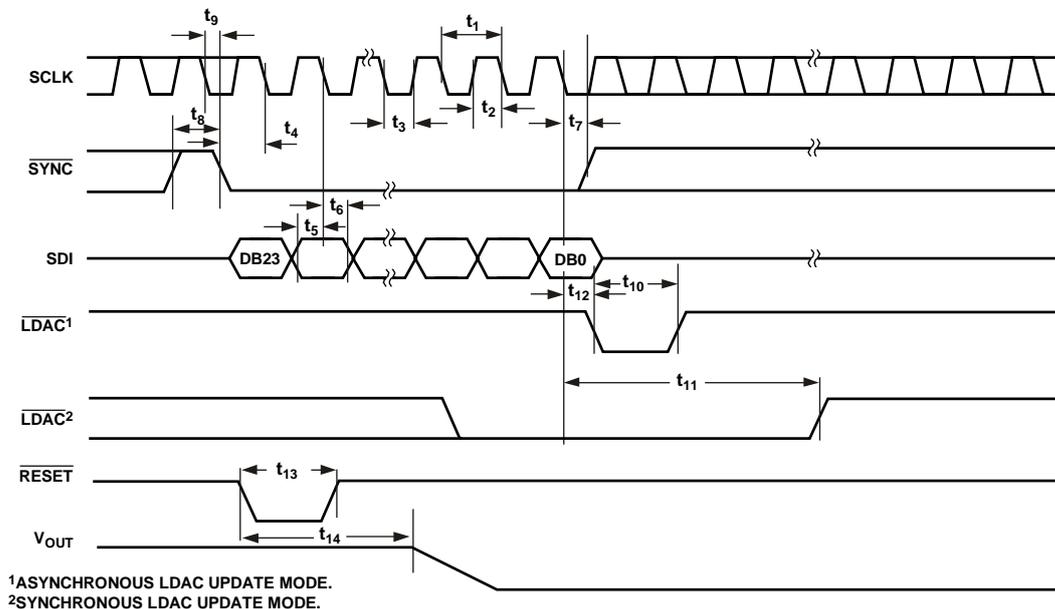
タイミング特性

すべての入力信号は $t_r = t_f = 1 \text{ ns/V}$ (V_{DD} の 10% ~ 90%) で規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルで時間を測定しています。図 2 参照。
 $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 、 $1.8 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$ 、 $V_{REFIN} = 2.5 \text{ V}$ 。特に指定がない限り、すべての仕様は $-40^\circ\text{C} \sim +125^\circ\text{C}$ で規定。 $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 、 $1.8 \text{ V} \leq V_{LOGIC} \leq V_{DD}$ で最大 SCLK 周波数は 50 MHz。設計と特性評価により保証しますが、出荷テストは行いません。

表 5.

Parameter	$1.8 \text{ V} \leq V_{LOGIC} < 2.7 \text{ V}$		$2.7 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$		Unit	Description
	Min	Max	Min	Max		
t_1	20		20		ns	SCLK Cycle Time
t_2	4		1.7		ns	SCLK High Time
t_3	4.5		4.3		ns	SCLK Low Time
t_4	15.1		10.1		ns	$\overline{\text{SYNC}}$ to SCLK Falling Edge Setup Time
t_5	0.8		0.8		ns	Data Setup Time
t_6	0.1		-0.8		ns	Data Hold Time
t_7	0.95		1.25		ns	SCLK Falling Edge to $\overline{\text{SYNC}}$ Rising Edge
t_8	9.65		6.75		ns	Minimum $\overline{\text{SYNC}}$ High Time (Single, Combined, or All Channel Update)
t_9	4.75		9.7		ns	$\overline{\text{SYNC}}$ Falling Edge to SCLK Fall Ignore
t_{10}	4.85		5.45		ns	$\overline{\text{LDAC}}$ Pulse Width Low
t_{11}	41.25		25		ns	SCLK Falling Edge to $\overline{\text{LDAC}}$ Rising Edge
t_{12}	26.35		20.3		ns	SCLK Falling Edge to $\overline{\text{LDAC}}$ Falling Edge
t_{13}	4.8		6.2		ns	$\overline{\text{RESET}}$ Minimum Pulse Width Low
t_{14}	132		80		ns	$\overline{\text{RESET}}$ Pulse Activation Time
	5.15		5.18		μs	Power-Up Time ¹

¹ AD5672R/AD5676R の動作がパワーダウン・モードから通常モードに移行するために要する時間。出力無負荷で 32 番目のクロック・エッジから DAC ミッドスケール値の 90% まで。



¹ASYNCHRONOUS LDAC UPDATE MODE.
²SYNCHRONOUS LDAC UPDATE MODE.

図 2. シリアル書き込み動作

11984-002

デジチェーンおよびリードバックのタイミング特性

すべての入力信号は $t_r = t_f = 1 \text{ ns/V}$ (V_{DD} の 10% ~ 90%) で規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルで時間を測定しています。図 4 と図 5 参照。 $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 、 $1.8 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$ 、 $V_{REF} = 2.5 \text{ V}$ 。特に指定がない限り、すべての仕様は $-40^\circ\text{C} \sim +125^\circ\text{C}$ で規定。 $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 、 $1.8 \text{ V} \leq V_{LOGIC} \leq V_{DD}$ で最大 SCLK 周波数は 25 MHz または 15 MHz。設計と特性評価により保証しますが、出荷テストは行いません。

表 6.

Parameter	$1.8 \text{ V} \leq V_{LOGIC} < 2.7 \text{ V}$		$2.7 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$		Unit	Description
	Min	Max	Min	Max		
t_1	120		83.3		ns	SCLK Cycle Time
t_2	33		25.3		ns	SCLK High Time
t_3	2.8		3.25		ns	SCLK Low Time
t_4	75		50		ns	SYNC to SCLK Falling Edge
t_5	1.2		0.5		ns	Data Setup Time
t_6	0.3		0.4		ns	Data Hold Time
t_7	16.2		13		ns	SCLK Falling Edge to SYNC Rising Edge
t_8	55.1		45		ns	Minimum SYNC High Time
t_{10}	21.5		22.7		ns	SDO Data Valid from SCLK Rising Edge
t_{11}	24.4		20.3		ns	SCLK Falling Edge to SYNC Rising Edge
t_{12}	85.5		54		ns	SYNC Rising Edge to SCLK Rising Edge

回路図とデジチェーンおよびリードバックのタイミング図

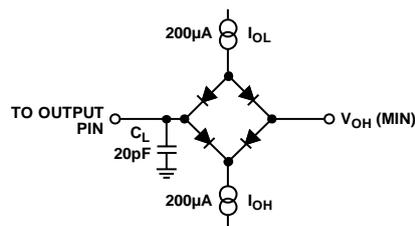


図 3. デジタル出力 (SDO) タイミング仕様の負荷回路

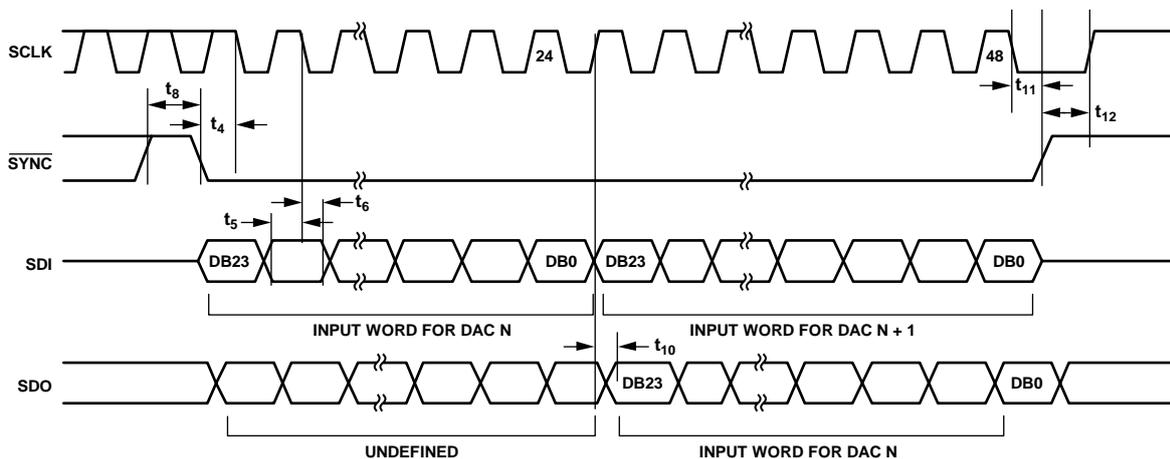


図 4. デジチェーンのタイミング図

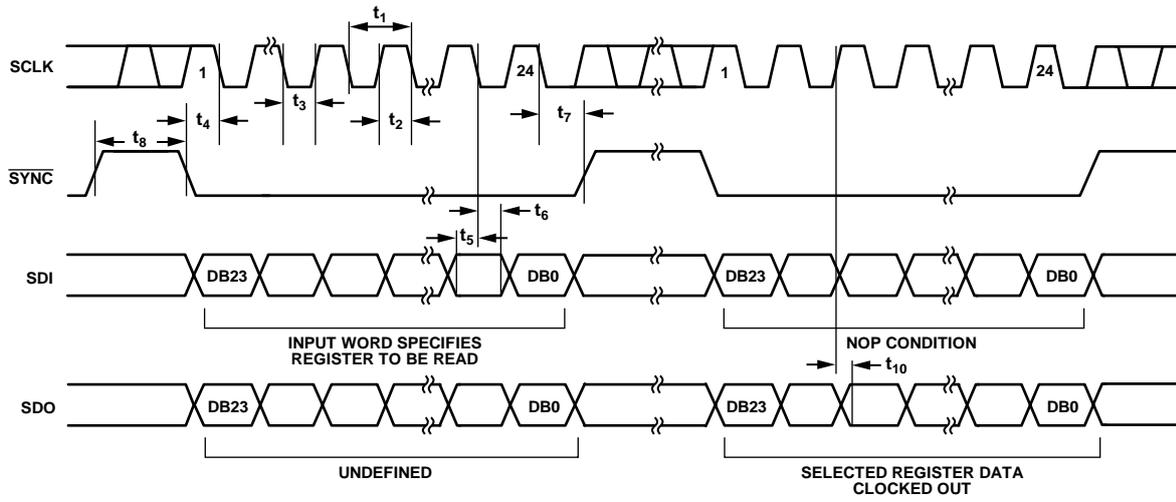


図 5. リードバックのタイミング図

11954-005

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 7.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{LOGIC} to GND	-0.3 V to +7 V
V_{OUTX} to GND	-0.3 V to $V_{DD} + 0.3$ V
V_{REF} to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3$ V
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	125°C
Reflow Soldering Peak Temperature, Pb-Free (J-STD-020)	260°C
ESD Ratings	
Human Body Model (HBM)	2 kV
Field-Induced Charged Device Model (FICDM)	1.5 kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

ボードの熱設計には十分に注意する必要があります。熱抵抗は、使用する PCB、レイアウト、環境条件に大きく影響されます。

表 8. 熱抵抗

Package Type	θ_{JA}	θ_{JB}	θ_{JC}	Ψ_{JT}	Ψ_{JB}	Unit
20-Lead TSSOP (RU-20) ¹	98.65	44.39	17.58	1.77	43.9	°C/W
20-Lead LFCSP (CP-20-8) ²	82	16.67	32.5	0.43	22	°C/W

¹熱抵抗のシミュレーション値は、JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 参照

²熱抵抗のシミュレーション値は、3つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 参照

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

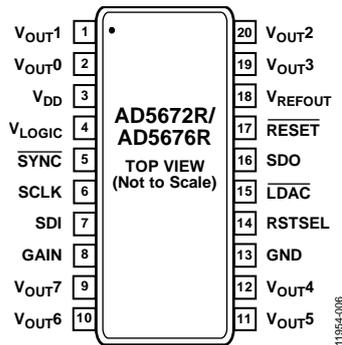
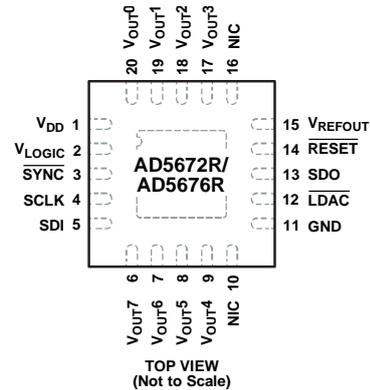


図 6. TSSOP のピン配置



NOTES
 1. NIC = NO INTERNAL CONNECTION.
 2. THE EXPOSED PAD MUST BE TIED TO GND.

図 7. LFCSP のピン配置

表 9. ピン機能の説明

Pin No.		Mnemonic	Description
TSSOP	LFCSP		
1	19	V _{OUT1}	DAC 1 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
2	20	V _{OUT0}	DAC 0 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
3	1	V _{DD}	電源入力。これらのデバイスは 2.7 V ~ 5.5 V で動作します。V _{DD} 電源は、10 μF のコンデンサと 0.1 μF のコンデンサとの並列接続で GND にデカップリングします。
4	2	V _{LOGIC}	デジタル電源。このピンの電圧は 1.8 V ~ 5.5 V の範囲です。
5	3	SYNC	アクティブ・ローのコントロール入力。これは、入力データに対するフレーム同期信号です。SYNC がロー・レベルになると、データは次の 24 個のクロックの立下がりエッジで転送されます。
6	4	SCLK	シリアル・クロック入力です。データは、シリアル・クロック入力の立下がりエッジで入力シフト・レジスタに入力されます。データは最大 50 MHz のレートで転送できます。
7	5	SDI	シリアル・データ入力。このデバイスは、24 ビットの入力シフト・レジスタを内蔵しています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
8		GAIN	スパン設定ピン。このピンを GND に接続すると、8 個全ての DAC 出力のスパンが 0 V ~ V _{REF} になります。このピンを V _{LOGIC} に接続すると、8 個全ての DAC 出力のスパンが 0 V ~ 2 × V _{REF} になります。
9	6	V _{OUT7}	DAC 7 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
10	7	V _{OUT6}	DAC 6 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
11	8	V _{OUT5}	DAC 5 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
12	9	V _{OUT4}	DAC 4 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
	10	NIC	内部接続なし。
13	11	GND	デバイスの全ての回路のグラウンド基準ポイント。
14		RSTSEL	パワーオン・リセット・ピン。このピンを GND に接続すると、8 個全ての DAC がゼロ・スケールにパワーアップします。このピンを V _{LOGIC} に接続すると、8 個全ての DAC がミッドスケールにパワーアップします。
15	12	LDAC	DAC のロード。LDAC は、非同期と同期の 2 つのモードで動作します。入力レジスタに新しいデータがある場合、このピンにロー・レベルのパルスを与えると、任意または全ての DAC レジスタを更新できるので、全ての DAC 出力を同時に更新できます。このピンはロー・レベルに固定することもできます。
16	13	SDO	シリアル・データ出力。このピンを使って複数のデバイスをデジチェーン接続することができます。あるいは、このピンをリードバックに使用することもできます。シリアル・データは SCLK の立上がりエッジで転送され、立下がりエッジで有効になります。
17	14	RESET	非同期リセット入力。RESET 入力は、立下がりエッジで検出されます。RESET がロー・レベルの場合、全ての LDAC パルスは無視されます。RESET がロー・レベルになると、入力レジスタと DAC レジスタが RSTSEL ピンの状態に応じてゼロ・スケールまたはミッドスケールに更新されます。
18	15	V _{REFOUT}	リファレンス出力電圧。内部リファレンスを使用する場合、これはリファレンス出力ピンになります。
19	17	V _{OUT3}	DAC 3 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
20	18	V _{OUT2}	DAC 2 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
N/A ¹	0	EPAD	露出パッド。露出パッドは GND に接続する必要があります。

¹ N/A は適用なしを表します。

代表的な性能特性

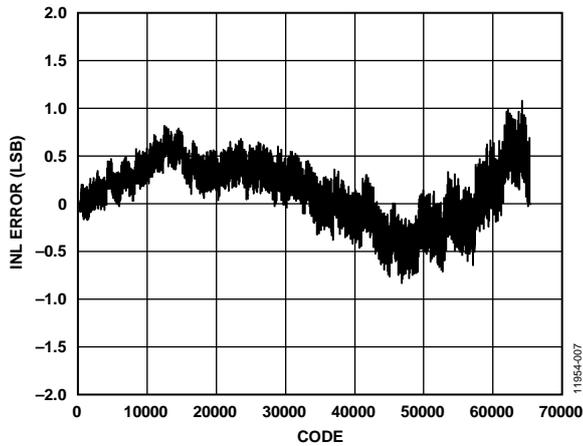


図 8. AD5676R のコード対 INL 誤差

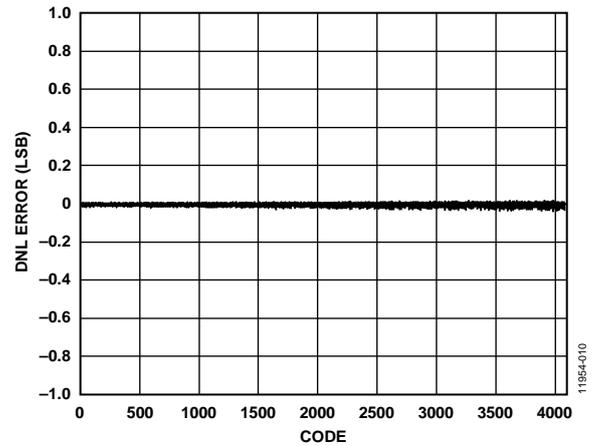


図 11. AD5672R のコード対 DNL 誤差

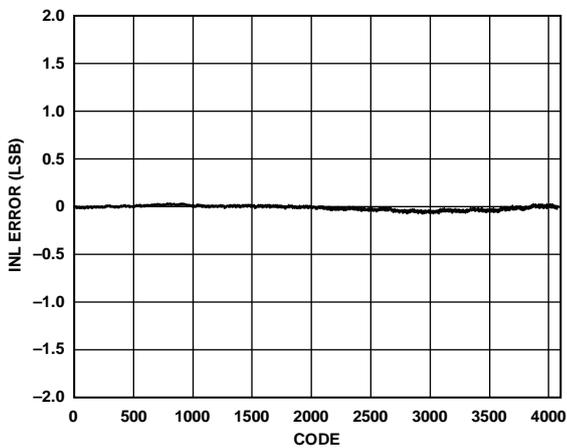


図 9. AD5672R のコード対 INL 誤差

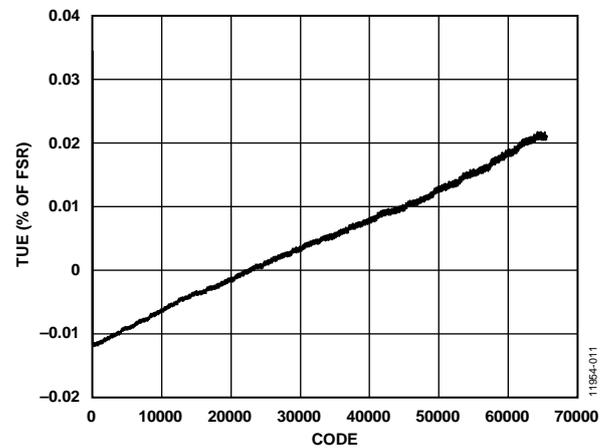


図 12. AD5676R のコード対 TUE

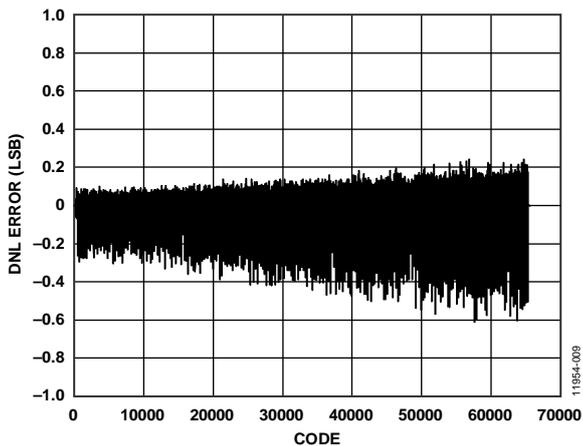


図 10. AD5676R のコード対 DNL 誤差

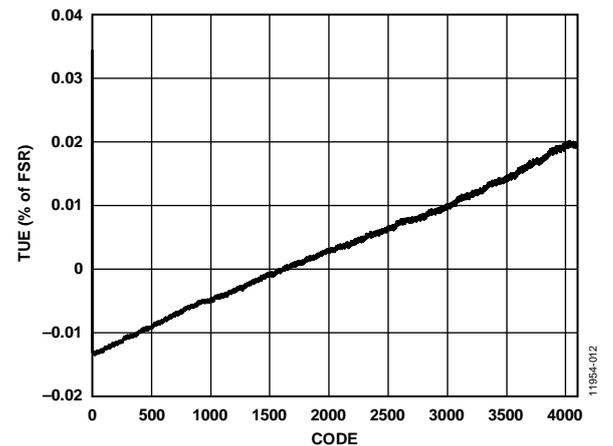


図 13. AD5672R のコード対 TUE

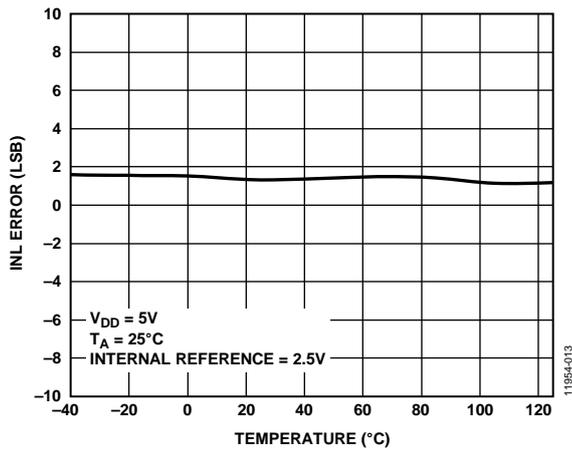


図 14. AD5676R の INL 誤差の温度特性

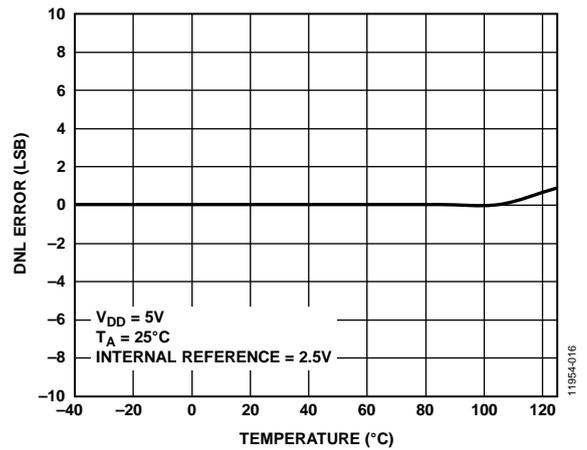


図 17. AD5672R の DNL 誤差の温度特性

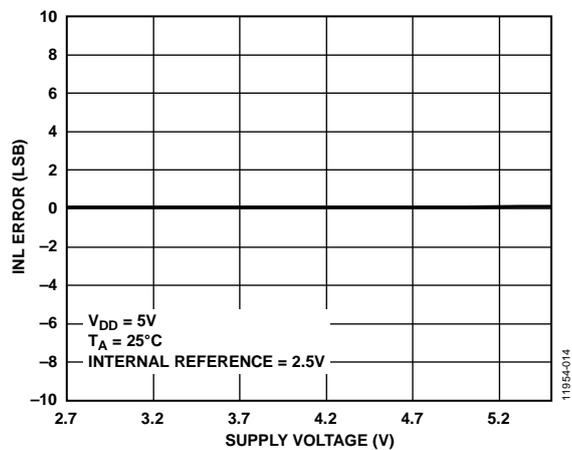


図 15. AD5672R の電源電圧対 INL 誤差

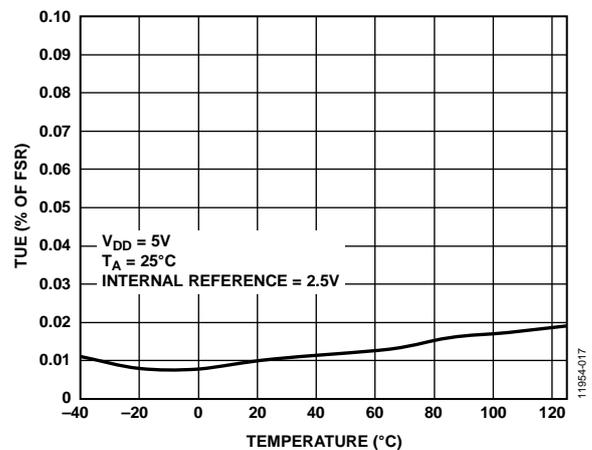


図 18. AD5676R の TUE の温度特性

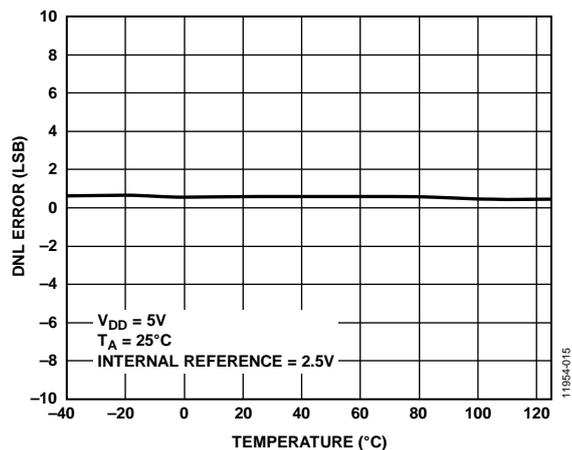


図 16. AD5676R の DNL 誤差の温度特性

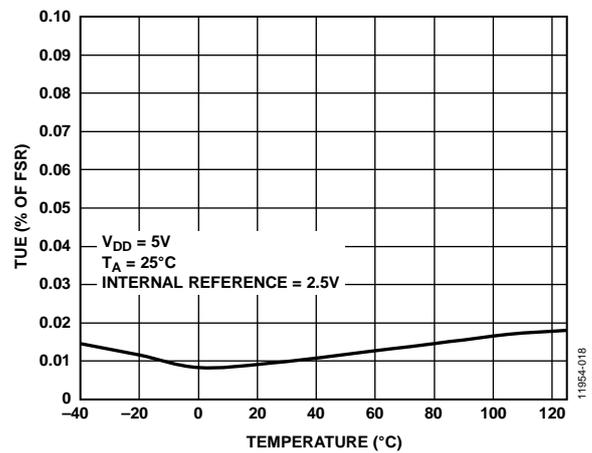


図 19. AD5672R の TUE の温度特性

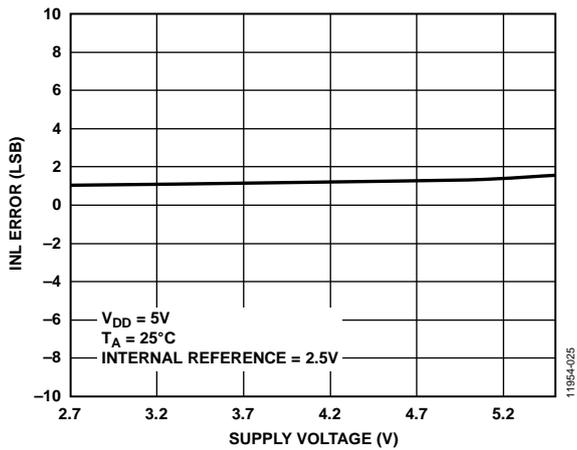


図 20. AD5676R の電源電圧対 INL 誤差

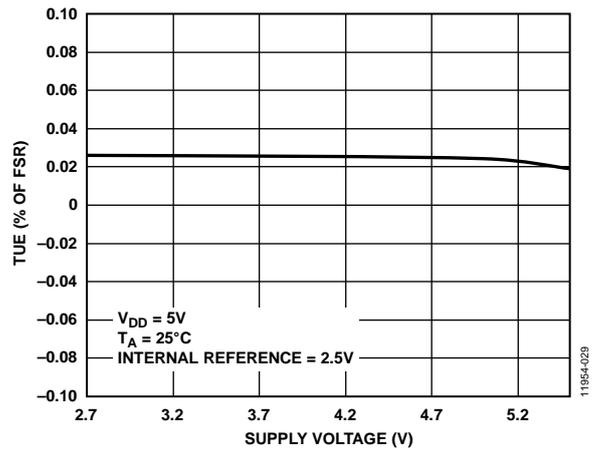


図 23. AD5676R の電源電圧対 TUE

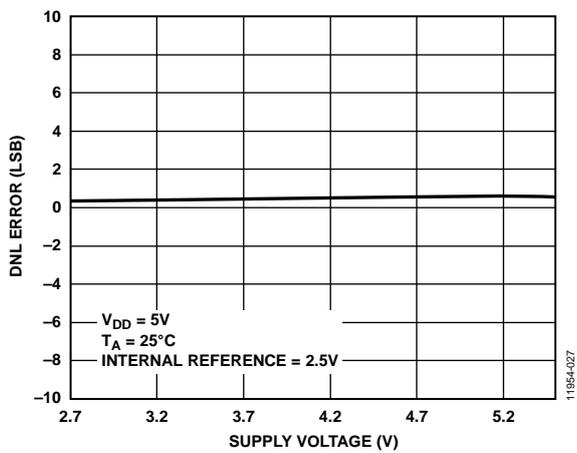


図 21. AD5676R の電源電圧対 DNL 誤差

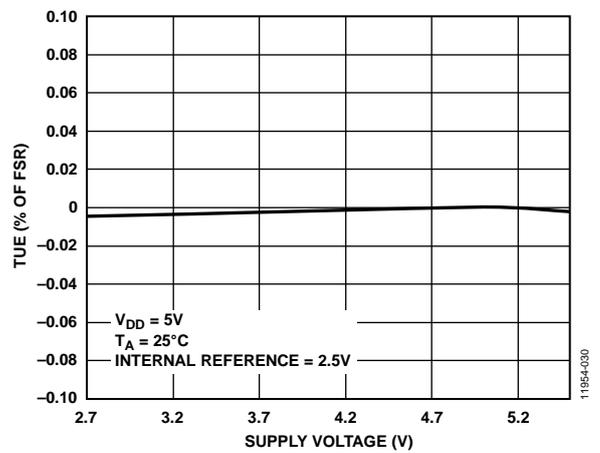


図 24. AD5672R の電源電圧対 TUE

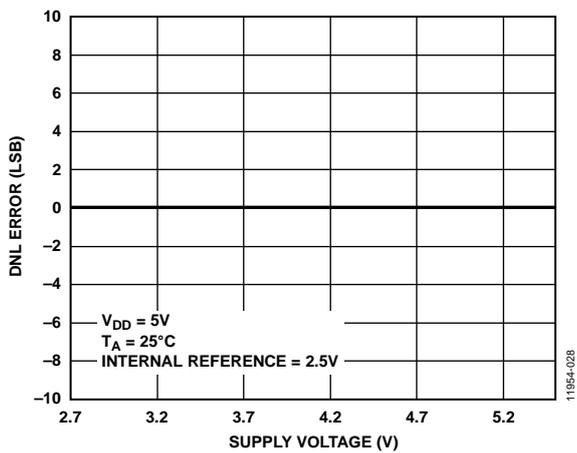


図 22. AD5672R の電源電圧対 DNL 誤差

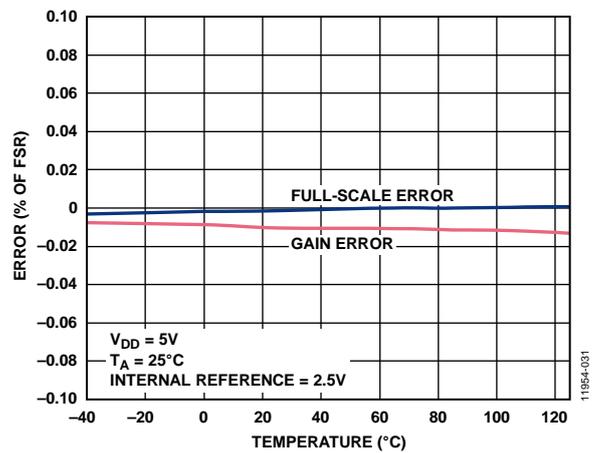


図 25. AD5676R のゲイン誤差とフルスケール誤差の温度特性

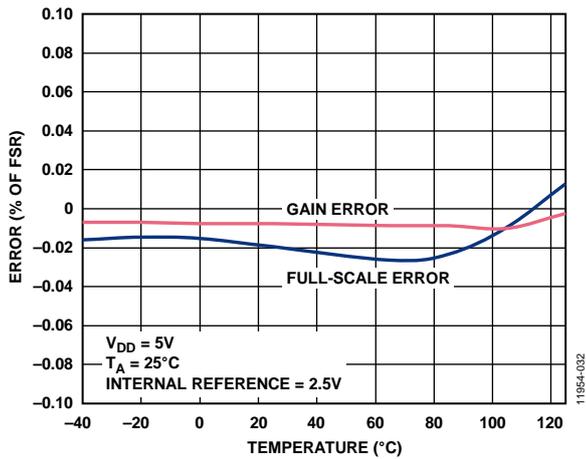


図 26. AD5672R のゲイン誤差とフルスケール誤差の温度特性

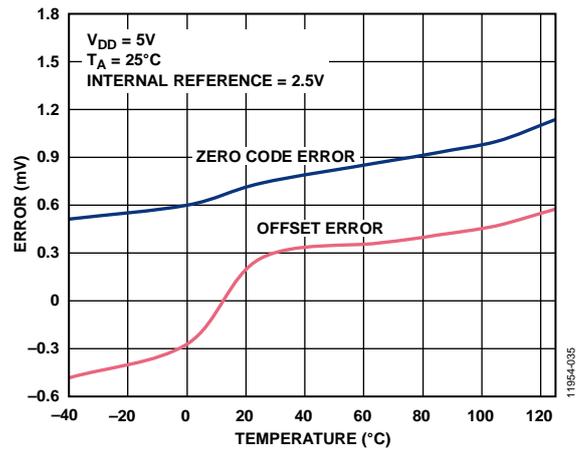


図 29. AD5676R のゼロコード誤差とオフセット誤差の温度特性

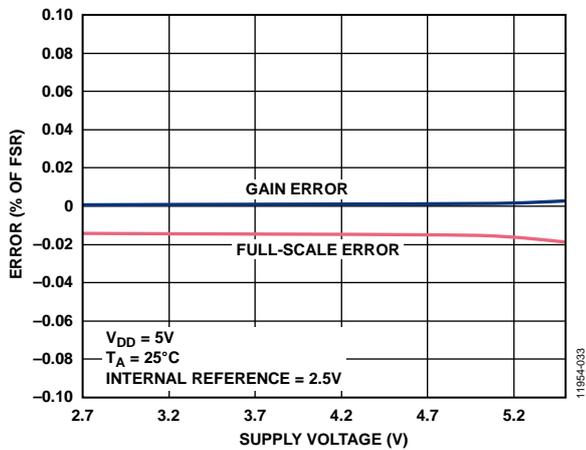


図 27. AD5676R の電源電圧対ゲイン誤差およびフルスケール誤差

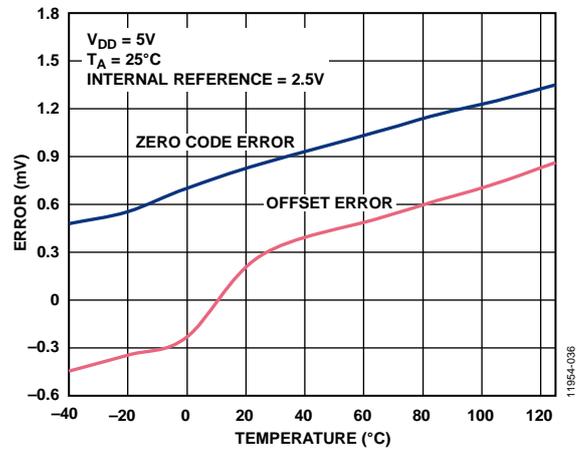


図 30. AD5672R のゼロコード誤差とオフセット誤差の温度特性

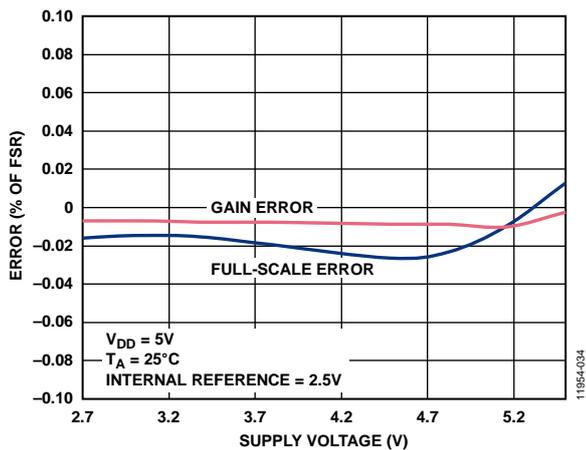


図 28. AD5672R の電源電圧対ゲイン誤差およびフルスケール誤差

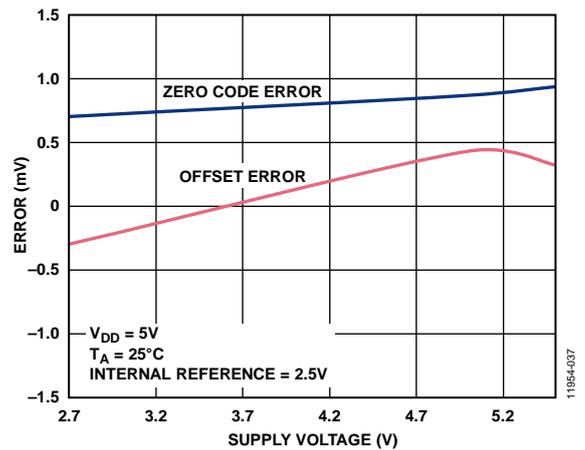


図 31. AD5676R の電源電圧対ゼロコード誤差およびオフセット誤差

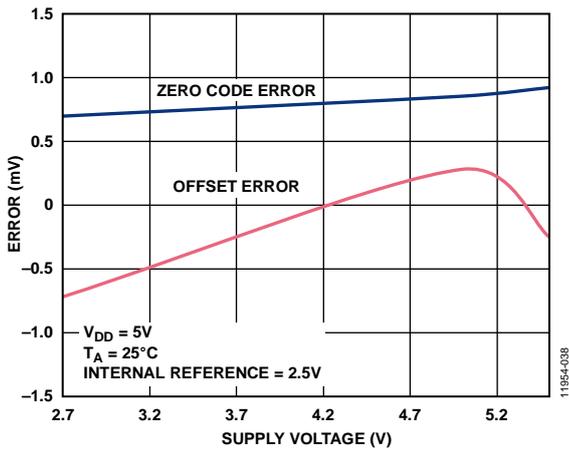


図 32. AD5672R の電源電圧対ゼロコード誤差およびオフセット誤差

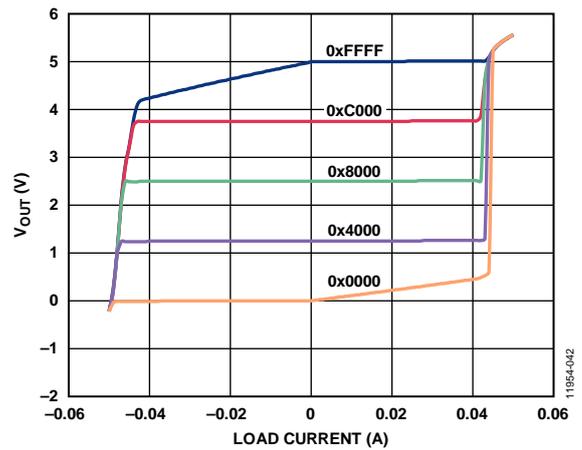


図 35. 5 V でのソース能力とシンク能力

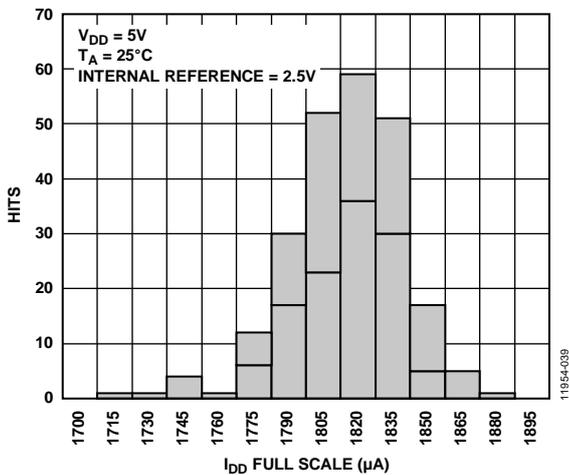


図 33. 内部リファレンス使用時の電源電流 (I_{DD})

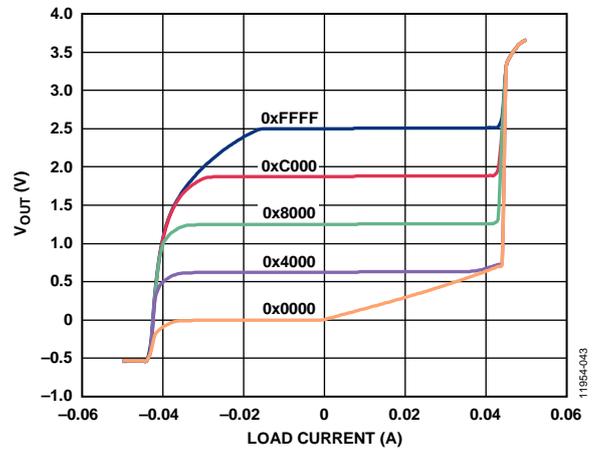


図 36. 3 V でのソース能力とシンク能力

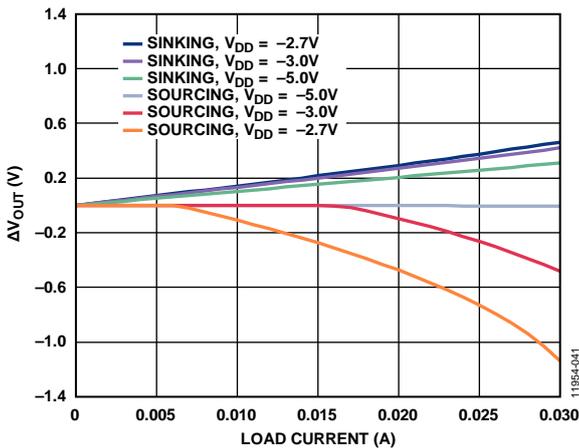


図 34. 負荷電流対ヘッドルーム/フルルーム (ΔV_{OUT})

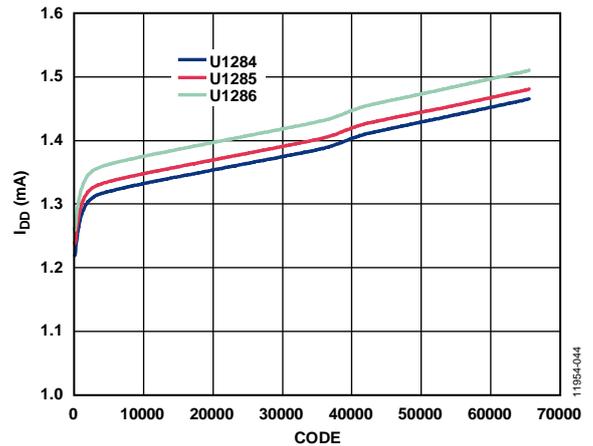


図 37. コード対電源電流 (I_{DD})

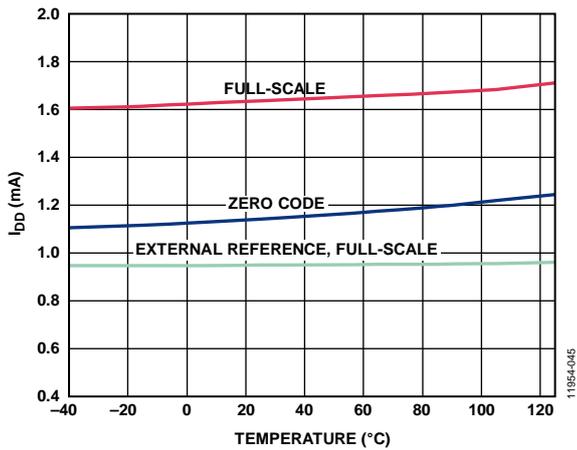


図 38. 電源電流 (I_{DD}) の温度特性

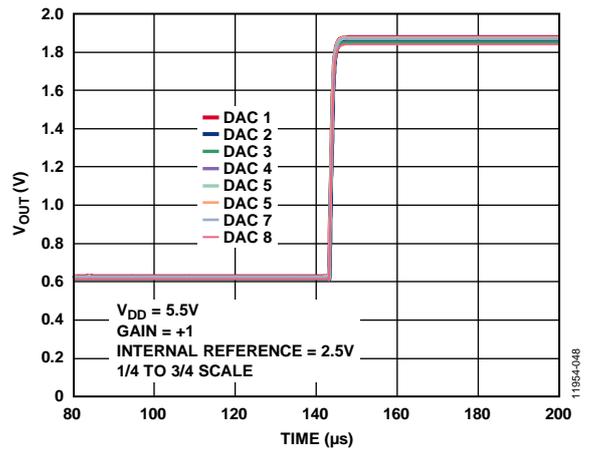


図 41. フルスケール・セトリング・タイム

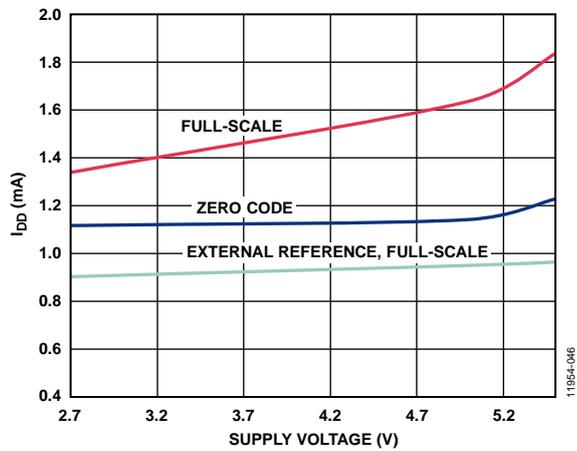


図 39. 電源電圧対電源電流 (I_{DD})

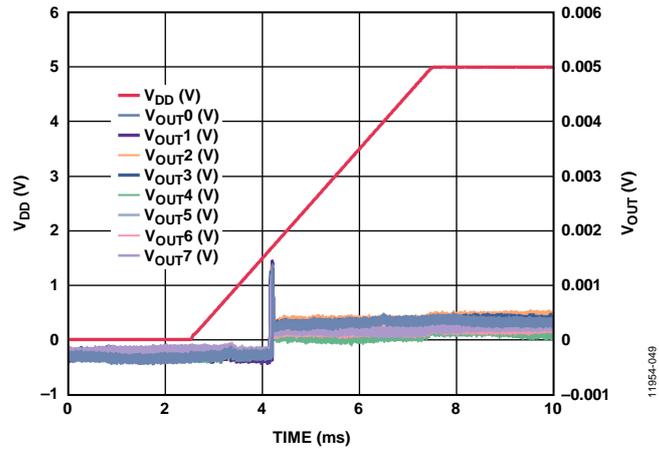


図 42. 0 V とミッドスケールへのパワーオン・リセット

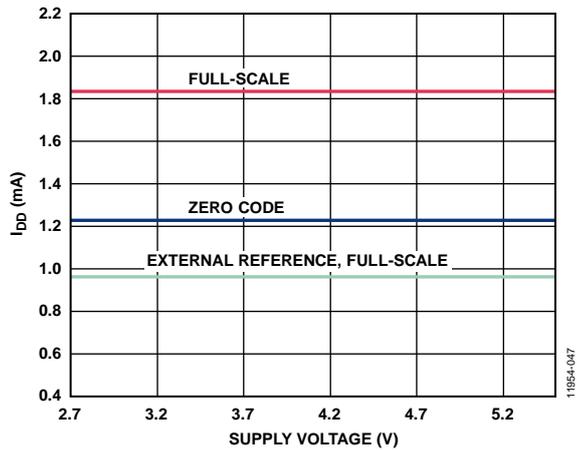


図 40. ゼロ・コードとフルスケール対電源電流 (I_{DD})

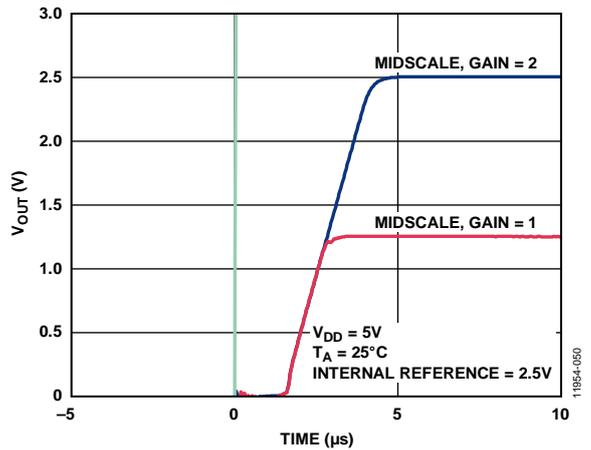


図 43. パワーダウン終了時のミッドスケール出力

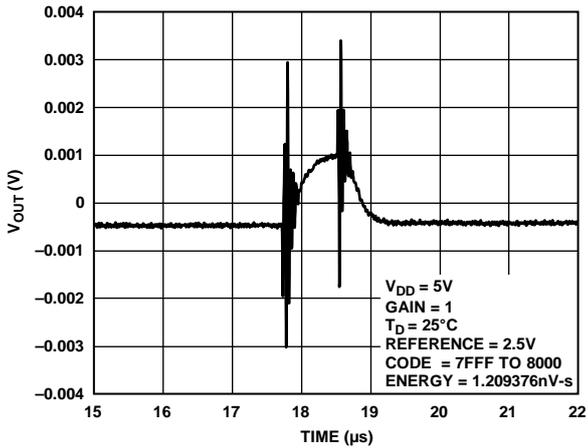


図 44. デジタル/アナログ・グリッチ・インパルス

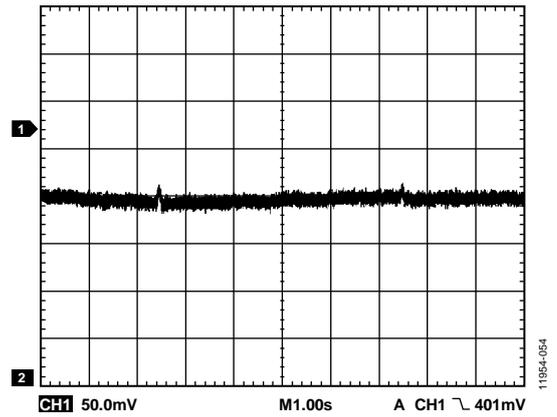


図 47. 0.1 Hz ~ 10 Hz での出力ノイズ

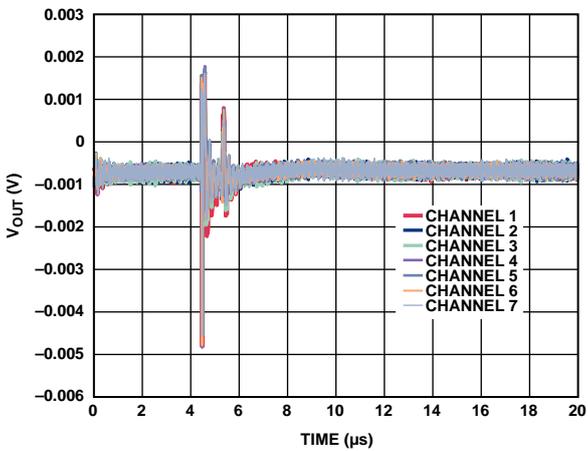


図 45. アナログ・クロストーク

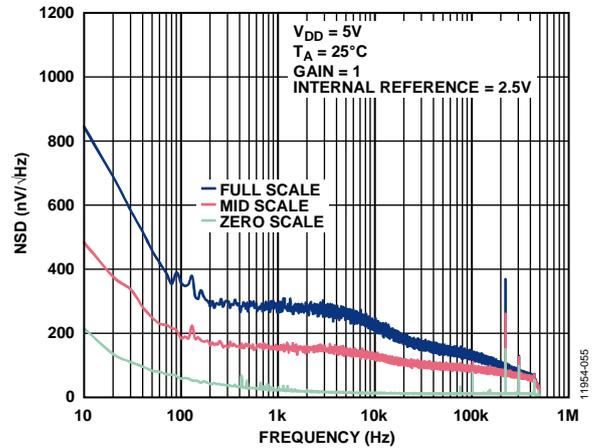


図 48. ノイズ・スペクトル密度 (NSD)

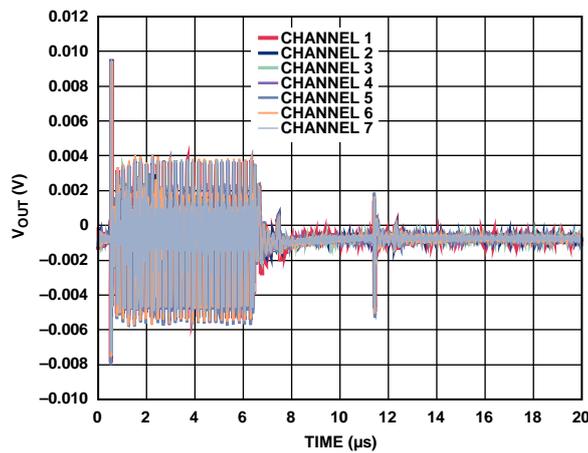


図 46. DAC 間クロストーク

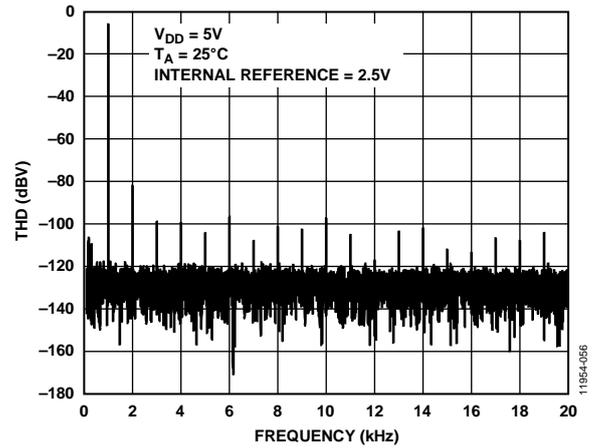


図 49. 1 kHz での全高調波歪み (THD)

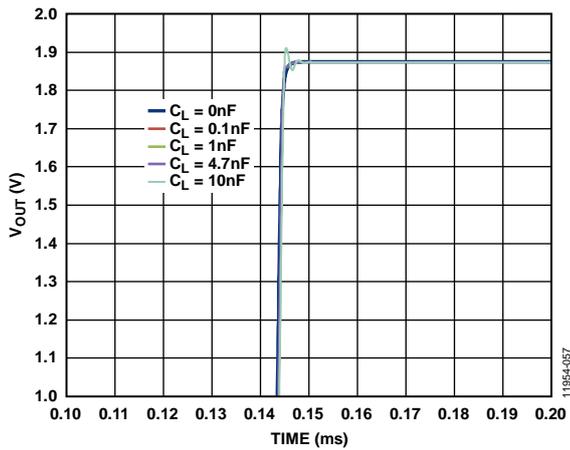


図 50. 容量性負荷対セトリング・タイム

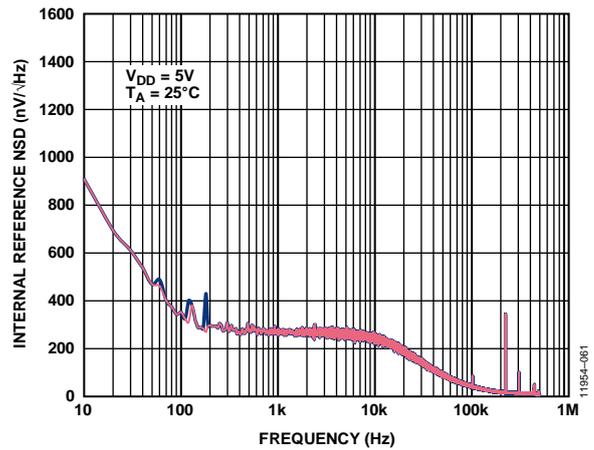


図 53. 内部リファレンスの NSD の周波数特性

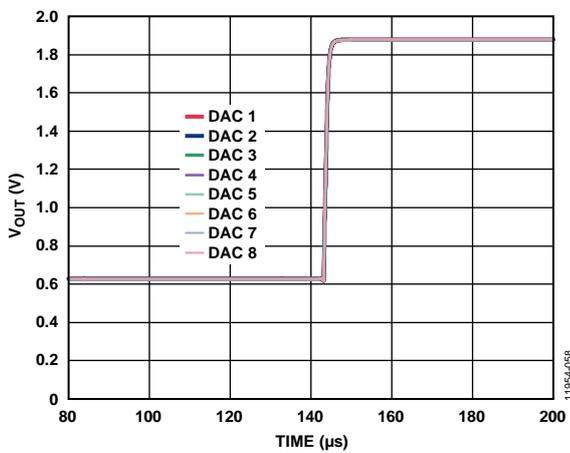


図 51. セトリング・タイム、5.5 V

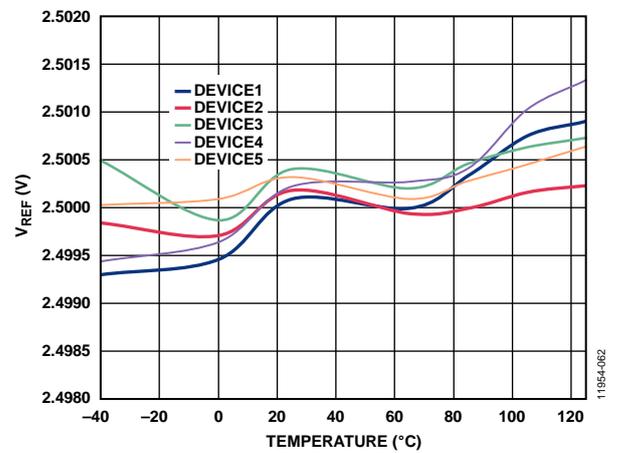


図 54. 内部リファレンス電圧 (V_{REF}) の温度特性 (A グレード)

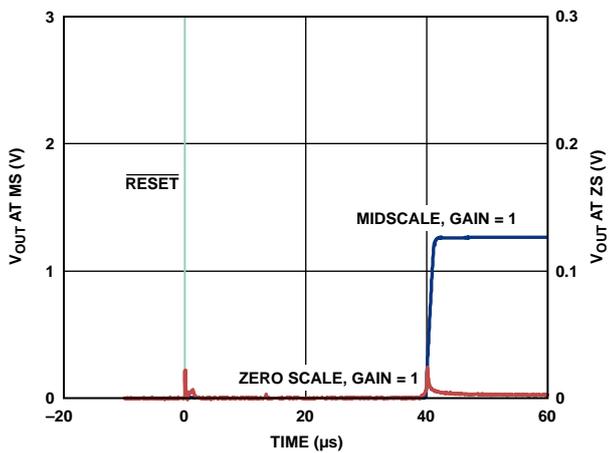


図 52. ハードウェア・リセット

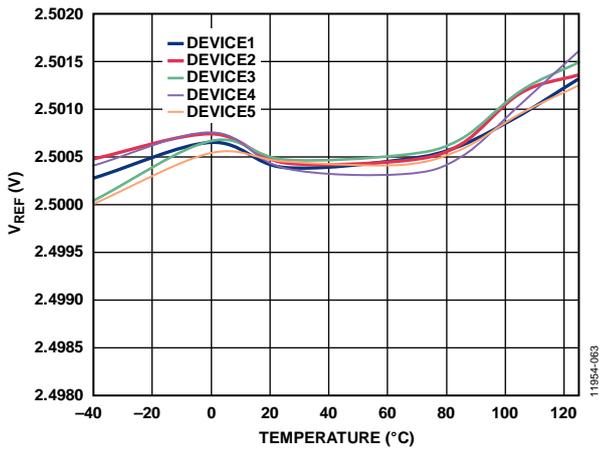


図 55. 内部リファレンス電圧 (V_{REF}) の温度特性 (B グレード)

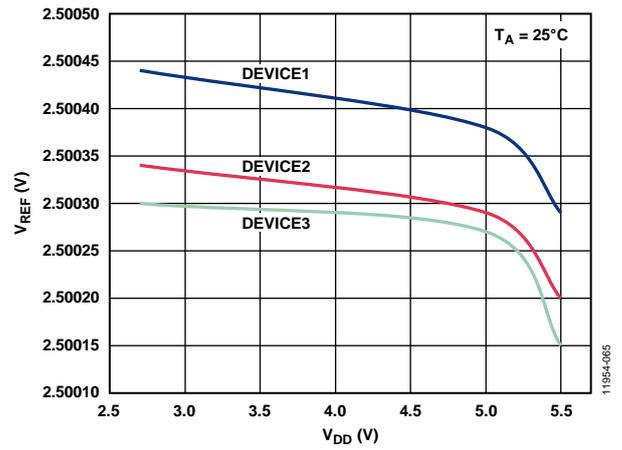


図 57. 電源電圧 (V_{DD}) 対内部リファレンス電圧 (V_{REF})

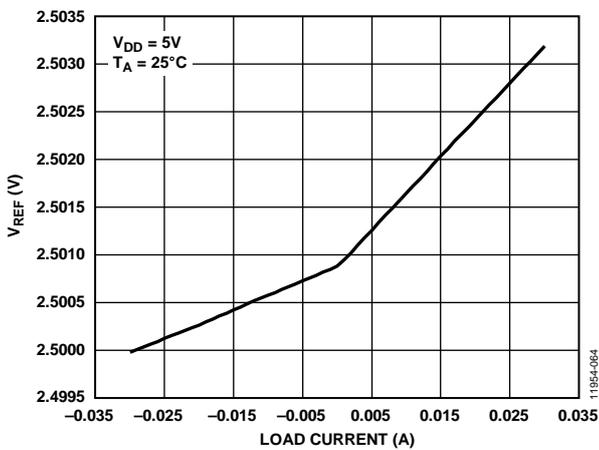


図 56. 負荷電流および電源電圧 (V_{DD}) 対内部リファレンス電圧

用語の定義

相対精度または積分非直線性 (INL)

DAC の場合、相対精度すなわち積分非直線性は、DAC の伝達関数の上下両端を結ぶ直線からの最大偏差 (LSB 単位) を表します。

微分非直線性 (DNL)

微分非直線性 (DNL) は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差を表します。微分非直線性の仕様が ± 1 LSB 以内の場合は、単調増加性が保証されています。これらの DAC は、設計により単調増加性を保証しています。

ゼロ・コード誤差

ゼロ・コード誤差は、ゼロのコード (0x0000) を DAC レジスタにロードしたときの出力誤差を測定したものです。出力は理論上 0 V となります。DAC と出力アンプのオフセット誤差の組み合わせによって DAC 出力が 0 V より低くなることはありません。ゼロコード誤差は常に正の値になります。ゼロ/コード誤差は mV で表されます。

フルスケール誤差

フルスケール誤差は、フルスケール・コード (0xFFFF) を DAC レジスタにロードしたときの出力誤差を測定したものです。理論上の出力は $V_{DD} - 1$ LSB です。フルスケール誤差はフルスケール範囲のパーセント値 (% FSR) で表されます。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。DAC の伝達特性の傾きの理論値からの偏位で、FSR の % で表されます。

オフセット誤差ドリフト

ゼロコード誤差ドリフトは、温度変化に伴うオフセット誤差の変化を測定したもので、 $\mu\text{V}/^\circ\text{C}$ で表されます。

オフセット誤差

オフセット誤差は、伝達関数のリニア領域での V_{OUT} (実測値) と V_{OUT} (理想値) との差を mV で表します。オフセット誤差は、コード 256 を DAC レジスタにロードして測定します。これは負または正の値となります。

DC 電源電圧変動除去比 (PSRR)

DC 電源電圧変動除去比は、電源電圧変化の DAC 出力に対する影響を表します。PSRR は、DAC のフルスケール出力での V_{OUT} の変化の V_{DD} の変化に対する比で、 mV/V で表されます。 V_{REF} を 2 V に維持し、 V_{DD} を $\pm 10\%$ 変化させます。

出力電圧セトリング・タイム

出力電圧セトリング・タイムは、フルスケールの 1/4 から 3/4 までの入力の変化に対して、DAC 出力が規定のレベルに安定するために要する時間であり、SYNC の立上がりエッジから測定されます。

デジタル/アナログ・グリッチ・インパルス

デジタル/アナログ・グリッチ・インパルスは、DAC レジスタの入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、 $\text{nV}\cdot\text{sec}$ で表すグリッチの面積として規定され、主要なキャリ変化 (0x7FFF から 0x8000) 時に、デジタル入力コードが 1 LSB だけ変化したときに測定されます。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。 $\text{nV}\cdot\text{sec}$ で規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定されます。

リファレンス・フィードスルー

リファレンス・フィードスルーは、DAC 出力の更新が行われていないときの DAC 出力の信号振幅とリファレンス入力の比を表します。(dB で表されます。)

ノイズ・スペクトル密度

ノイズ・スペクトル密度は、内部で発生するランダム・ノイズを測定したものです。ランダム・ノイズは、スペクトル密度 ($\text{nV}/\sqrt{\text{Hz}}$) として特性評価されます。DAC にミッドスケールをロードして、その出力で発生するノイズを測定し、 $\text{nV}/\sqrt{\text{Hz}}$ で表されます。

DC クロストーク

DC クロストークは、別の DAC の出力の変化に応じた 1 つの DAC の出力レベルの DC 変化を表します。ミッドスケールに維持した別の DAC をモニタしながら、1 つの DAC 上でのフルスケール出力変化 (または、ソフト・パワーダウンおよびパワーアップ) を使って測定し、 μV で表されます。

負荷電流変化に起因する DC クロストークは、1 つの DAC の負荷電流の変化がミッドスケールに維持された別の DAC へ与える影響を測定し、 $\mu\text{V}/\text{mA}$ で表されます。

デジタル・クロストーク

デジタル・クロストークは、別の DAC の入力レジスタにおけるフルスケール・コード変化 (全ビット 0 から全ビット 1 への変化、およびその逆) に応じて、ミッドスケール・レベルにある 1 つの DAC の出力に混入したグリッチ・インパルスを表します。スタンドアロン・モードで測定し、 $\text{nV}\cdot\text{sec}$ で表されます。

アナログ・クロストーク

アナログ・クロストークは、別の DAC の出力での変化によって 1 つの DAC の出力に混入したグリッチ・インパルスを表します。最初に、入力レジスタの 1 つにフルスケール・コード変化（全ビット 0 から全ビット 1 への変化、およびその逆）をロードして測定します。次に、ソフトウェア LDAC を実行して、デジタル・コードが変化しなかった DAC の出力をモニタします。グリッチの面積は nV-sec で表されます。

DAC 間クロストーク

DAC 間クロストークは、デジタル・コードの変化とそれに続く別の DAC のアナログ出力変化に起因して、1 つの DAC の出力に混入するグリッチ・インパルスを表します。書込みコマンドと更新コマンドを使って、影響元のチャンネルにフルスケール・コード変化（全ビット 0 から全ビット 1 への変化、およびその逆）をロードし、ミッドスケールにある影響先のチャンネルの出力をモニタして測定します。グリッチのエネルギーは nV-sec で表されます。

乗算帯域幅

乗算帯域幅は、DAC 内部のアンプの有限な帯域幅を測定したものです。リファレンスのサイン波（フルスケール・コードを DAC にロードした状態）が出力に現れます。乗算帯域幅は、出力振幅が入力を 3dB 下回るときの周波数です。

全高調波歪み (THD)

THD は、理想的なサイン波と、DAC を使って減衰したサイン波との偏差を表します。DAC のリファレンスにサイン波を使用し、DAC 出力に生じる高調波を測定した値が THD であり、dB で表されます。

電圧リファレンス温度係数 (TC)

電圧リファレンス TC は、温度変化に伴うリファレンス出力電圧の変化を測定したもので、ボックス法を使って計算します。この方法では、次のように、ppm/°C で表される所定の温度範囲でのリファレンス出力の最大変化として TC を定義しています。

$$TC = \left[\frac{V_{REF(MAX)} - V_{REF(MIN)}}{V_{REF(NOM)} \times Temp\ Range} \right] \times 10^6$$

ここで、

$V_{REF(MAX)}$ は全温度範囲で測定した最大リファレンス出力、 $V_{REF(MIN)}$ は全温度範囲で測定した最小リファレンス出力、 $V_{REF(NOM)}$ は公称リファレンス出力電圧 2.5 V、 $Temp\ Range$ は規定の温度範囲 -40 °C ~ +125 °C です。

動作原理

D/A コンバータ

AD5672R/AD5676R は、12/16 ビット、シリアル入力、電圧出力のオクタル DAC で、リファレンスを内蔵しています。これらのデバイスは 2.7 V ~ 5.5 V の電源電圧で動作します。データは、3 線式シリアル・インターフェースを介して 24 ビットのワード・フォーマットで AD5672R/AD5676R に書き込まれます。AD5672R/AD5676R は、DAC 出力を既知の出力状態にパワーアップさせるパワーオン・リセット回路を内蔵しています。これらのデバイスにはソフトウェア・パワーダウン・モードも内蔵されており、標準的な消費電流を 1 μ A まで低減します。

伝達関数

内部リファレンスはデフォルトでオンになります。

出力アンプのゲインは、TSSOP バージョンのゲイン選択ピン (GAIN) または LFCSP バージョンのゲイン・ビットを使って $\times 1$ または $\times 2$ に設定することができます。GAIN ピンを GND に接続すると、8 個全ての DAC 出力のスペンが 0 V ~ V_{REF} になります。GAIN ピンを V_{LOGIC} に接続すると、8 個全ての DAC 出力のスペンが 0 V ~ $2 \times V_{REF}$ になります。LFCSP パッケージを採用する場合は、内部リファレンスおよびゲイン設定レジスタのゲイン・ビットを使って出力アンプのゲインを設定します。ゲイン・ビットのデフォルト値は 0 です。ゲイン・ビットが 0 のときは、8 個全ての DAC 出力のスペンが 0 V ~ V_{REF} になります。ゲイン・ビットが 1 のときは、8 個全ての DAC 出力のスペンが 0 V ~ $2 \times V_{REF}$ になります。TSSOP バージョンでは、ゲイン・ビットは無視されます。

DAC アーキテクチャ

AD5672R/AD5676R では、セグメント化ストリング DAC アーキテクチャを採用し、出力バッファを内蔵しています。内部ブロック図を図 58 に示します。

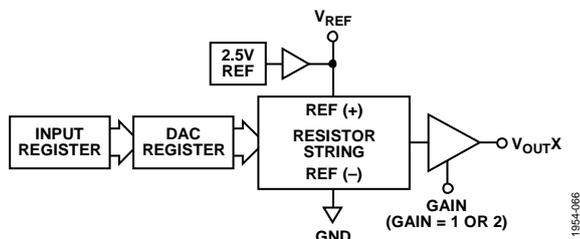


図 58. 1 チャンネルの DAC アーキテクチャのブロック図

抵抗ストリング構造を図 59 に示します。DAC レジスタにロードされるコードにより、電圧を取り出して出力アンプに供給するストリングのノードが決まります。スイッチの 1 つが閉じてストリングがアンプに接続されることにより、電圧が取り出されます。ストリング内の各抵抗は同じ値 R を持つため、ストリング DAC の単調増加性が保証されます。

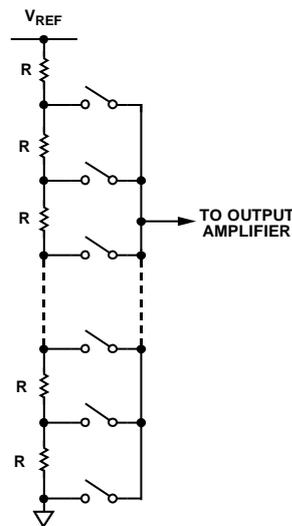


図 59. 抵抗ストリング構造

内部リファレンス

AD5672R/AD5676R の内部リファレンスは、パワーアップ時にイネーブルされますが、コントロール・レジスタへの書き込みによってディスエーブルすることができます。詳細については、「内部リファレンスのセットアップ」のセクションを参照してください。

AD5672R/AD5676R は、2.5 V、2 ppm/ $^{\circ}$ C のリファレンスを備え、GAIN ピンまたはゲイン・ビットの状態に応じて 2.5 V または 5 V のフルスケール出力になります。デバイスの内部リファレンスは V_{REFOUT} ピンに出力されます。このバッファ付きリファレンスは最大 15 mA の外部負荷を駆動できます。

出力アンプ

出力バッファ・アンプは、出力でレール to レール電圧を発生します。実際の範囲は、 V_{REF} の値、ゲインの設定、オフセット誤差、ゲイン誤差に依存します。

これらの出力アンプは、GND に接続した 1 k Ω と 10 nF の並列接続負荷を駆動することができます。1/4 スケールから 3/4 スケールまでのセトリング・タイムが 5 μ s (代表値) のときのスルー・レートは 0.8 V/ μ s です。

シリアル・インターフェース

AD5672R/AD5676R は、SPI、QSPI™、MICROWIRE の各インターフェース規格や大部分の DSP と互換性のある 3 線式シリアル・インターフェース (SYNC、SCLK、SDI) を採用しています。図 2 に、代表的な書込みシーケンスのタイミング図を示します。AD5672R/AD5676R は SDO ピンを備えているので、複数のデバイスをデイズチェーン接続することができます (「デイズチェーン動作」のセクションを参照)。このピンはリードバックに使うこともできます。

入力シフトレジスタ

AD5672R/AD5676R の入力シフトレジスタは 24 ビット幅です。データは MSB ファースト (DB23) でロードされ、最初の 4 ビットはコマンド・ビット C3 ~ C0 (表 10 参照)、次の 4 ビットは DAC アドレス・ビット A3 ~ A0 (表 11 参照)、最後のビット列はデータワードです。

データワードは、AD5672R では 12 ビットの入力コードとそれに続く 4 個のドントケア・ビット、AD5676R では 16 ビットの入力コードのみで構成されます (図 60 と図 61 参照)。これらのデータ・ビットは、SCLK の 24 個の立下がりエッジで入力レジスタに転送され、SYNC の立上がりエッジで更新されます。

コマンドは、選択したアドレス・ビットに応じて、個別の DAC チャンネル、組み合わせの DAC チャンネル、または全ての DAC に対して実行します。

表 10. コマンドの定義

Command				Description
C3	C2	C1	C0	
0	0	0	0	No operation
0	0	0	1	Write to Input Register n where n = 1 to 8, depending on the DAC selected from the address bits in Table 11 (dependent on LDAC)
0	0	1	0	Update DAC Register n with contents of Input Register n
0	0	1	1	Write to and update DAC Channel n
0	1	0	0	Power down/power up the DAC
0	1	0	1	Hardware LDAC mask register
0	1	1	0	Software reset (power-on reset)
0	1	1	1	Internal reference and gain setup register
1	0	0	0	Set up the DCEN register (daisy-chain enable)
1	0	0	1	Set up the readback register (readback enable)
1	0	1	0	Update all channels of the input register simultaneously with the input data
1	0	1	1	Update all channels of the DAC register and input register simultaneously with the input data
1	1	0	0	Reserved
...	
1	1	1	1	Reserved

表 11. アドレス・コマンド

Channel Address[3:0]				Selected Channel ¹
A3	A2	A1	A0	
0	0	0	0	DAC 0
0	0	0	1	DAC 1
0	0	1	0	DAC 2
0	0	1	1	DAC 3
0	1	0	0	DAC 4
0	1	0	1	DAC 5
0	1	1	0	DAC 6
0	1	1	1	DAC 7

¹ アドレス・ビットを使って DAC チャンネルの任意の組み合わせを選択することができます。

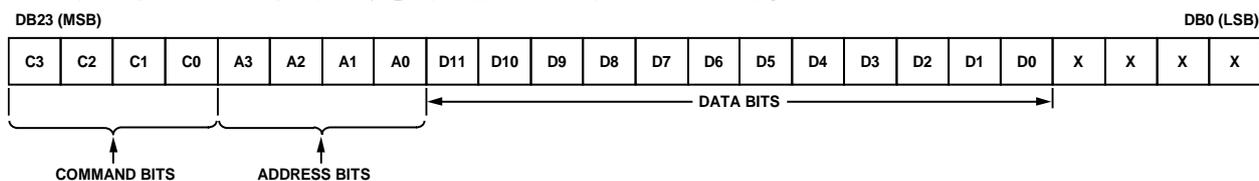


図 60. AD5672R の入力シフトレジスタ値



図 61. AD5676R の入力シフトレジスタ値

スタンドアロン動作

SYNC ラインをロー・レベルにすると、書込みシーケンスが開始されます。SDI ラインからのデータは、SCLK の立下がりエッジで 24 ビット入力シフトレジスタに入力されます。24 個のデータ・ビットの最終ビットがクロックインされた後に、SYNC をハイ・レベルにします。次いで、設定された機能、すなわち LDAC に応じた DAC レジスタ値の変更や動作モードの変更が実行されます。24 番目のクロックより前のクロックで SYNC をハイ・レベルにすると、それが有効なフレームと見なされて、無効なデータが DAC にロードされます。次の書込みシーケンスの前に SYNC を少なくとも 20 ns の間ハイ・レベルにして（シングル・チャンネル、図 2 の t_{S} 参照）、SYNC の立下がりエッジで次の書込みシーケンスを開始できるようにします。デバイスの消費電力を小さくするため、書込みシーケンスと書込みシーケンスの間は SYNC を電源電圧でアイドル状態にします。SYNC ラインは SCLK の 24 個の立下がりエッジの間ロー・レベルに維持され、DAC は SYNC の立上がりエッジで更新されます。

データがアドレス指定された DAC の入力レジスタへ転送された後に、SYNC ラインがハイ・レベルの間に LDAC をロー・レベルにすると、すべての DAC レジスタと出力が更新されます。

書込みコマンドと更新コマンド

入力レジスタ n への書込み (LDAC に依存する)

コマンド 0001 により、各 DAC 専用の入力レジスタに個別に書込みを行うことができます。LDAC がロー・レベルの場合、LDAC マスク・レジスタで制御されていなければ、入力レジスタはトランスペアレントになります。

入力レジスタ n の値による DAC レジスタ n の更新

コマンド 0010 は、選択した入力レジスタの値を DAC レジスタと出力にロードして DAC 出力を直接更新します。

DAC チャンネル n への書込みと更新 (LDAC に依存しない)

コマンド 0011 により、DAC レジスタに書込みを行って DAC 出力を直接更新することができます。ビット D7～ビット D0 により、データを入力レジスタからどの DAC の DAC レジスタに転送するかが決まります。ビットを 1 にセットすると、データが入力レジスタから適切な DAC レジスタに転送されます。

デジチェーン動作

複数の DAC を内蔵するシステムでは、SDO ピンを使って複数のデバイスをデジチェーン接続することができます。この機能は、ソフトウェアでデジチェーン・イネーブル

(DCEN) コマンドを実行することによってイネーブルされます。コマンド 1000 は、この DCEN 機能に割り当てられています (表 10 参照)。デジチェーン・モードは、DCEN レジスタのビット DB0 をセットすることによってイネーブルされます。デフォルト設定はスタンドアロン・モードで、DB0 = 0 です。ビットの状態と対応するデバイスの動作モードを表 12 に示します。

表 12. デジチェーン・イネーブル (DCEN) レジスタ

DB0	Description
0	Standalone mode (default)
1	DCEN mode

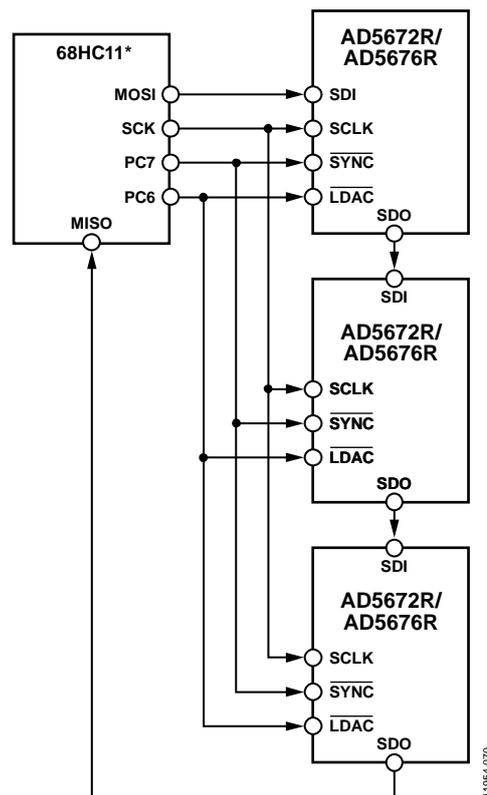


図 62. AD5672R/AD5676R のデジチェーン接続

SYNC がロー・レベルのとき、SCLK ピンは連続的に入力シフトレジスタに接続されます。24 個を超えるクロック・パルスが入力されると、データは入力シフトレジスタからはみ出して、SDO ラインに出力されます。このデータは SCLK の立上がりエッジで出力され、SCLK の立下がりエッジで有効です。この SDO ラインをチェーン内の次の DAC の SDI 入力に接続することにより、デジチェーン・インターフェースが構成されます。システム内の各 DAC は、24 個のクロック・パルスを必要とします。したがって、必要な合計クロック・サイクル数は $24 \times N$ になります。ここで、N は更新される合計デバイス数です。24 の整数倍でないクロックで SYNC がハイ・レベルになると、それが有効なフレームと見なされて、無効なデータが DAC にロードされることがあります。すべてのデバイスに対するシリアル転送が完了したら、SYNC がハイ・レベルになります。この動作により、デジチェーン内にある各デバイス内の入力データがラッチされて、入力シフトレジスタにさらにデータが入力されるのを防止します。シリアル・クロックとしては、連続クロックまたはゲーテッド・クロックが可能です。正しい数のクロック・サイクルの間、SYNC がロー・レベルに維持される場合、連続した SCLK ソースが使用されます。ゲーテッド・クロック・モードでは、正確な数のクロック・サイクルを含むバースト・クロックを使い、最終クロックの後に SYNC をハイ・レベルにしてデータをラッチする必要があります。

リードバック動作

リードバック・モードは、ソフトウェアで実行可能なリードバック・コマンドによって開始されます。コントロール・レジスタのデジタイズモード・ディスエーブル・ビットによって SDO 出力をディスエーブルしている場合、SDO 出力は読出し動作の間自動的にイネーブルされ、その後、再度ディスエーブルされます。コマンド 1001 は、リードバック機能に割り当てられています。このコマンドは、アドレス・ビット A3 ~ A0 に従って、読出し対象の DAC 入力レジスタを選択します (表 10 ~ 表 11 参照)。リードバック時は 1 個の入力レジスタだけが選択可能であることに注意してください。書込みシーケンス内の残りのデータ・ビットはドントケア・ビットです。次の SPI 書込み時に SDO に出力されるデータには、前にアドレス指定したレジスタのデータが含まれています。

例えば、チャンネル 0 の DAC レジスタをリードバックするときは、次のシーケンスを使うことができます。

- 0x900000 を AD5672R/AD5676R 入力レジスタへ書込みます。この動作により、デバイスが読出しモードに設定され、チャンネル 0 の DAC レジスタが選択されます。データ・ビット DB15 ~ DB0 はすべてドントケア・ビットであることに注意してください。
- 次に、2 番目の書込みで、無動作 (NOP) 状態 0x000000 を書き込みます。この書き込み時に、レジスタのデータが SDO ラインにクロックアウトされます。DB23 ~ DB20 は未定義データで、最後の 16 ビットは DAC レジスタの DB19 ~ DB4 の値です。

SYNC がハイ・レベルのとき、SDO ピンは、最終データ・ビットを保持する弱いラッチで駆動されます。SDO ピンは、別のデバイスの SDO ピンによってオーバードライブすることができるので、同じ SPI インターフェースを使って複数のデバイスを読み出すことができます。

パワーダウン動作

AD5672R/AD5676R には 2 種類のパワーダウン・モードがあります。コマンド 0100 がパワーダウン機能に指定されています (表 10 参照)。これらのパワーダウン・モードは、入力シフトレジスタの 16 ビット (ビット DB15 ~ ビット DB0) を設定することにより、ソフトウェアで設定することができます。2 ビットが各 DAC チャンネルに対応しています。2 ビットの状態と対応するデバイスの動作モードを表 13 に示します。

対応するビットを設定することにより、任意または全ての DAC (DAC 0 ~ DAC 7) を、選択したモードにパワーダウンさせます。パワーダウン/パワーアップ動作時の入力シフトレジスタの値については、表 14 を参照してください。

表 13. 動作モード

Operating Mode	PD1	PD0
Normal Operation	0	0
Power-Down Modes		
1 kΩ to GND	0	1
Tristate	1	1

入力シフトレジスタの PD1 と PD0 の両方のビットを 0 に設定すると、デバイスは 5 V/1 mA (代表値) の消費電力で通常動作を行います。しかし、2 種類のパワーダウン・モードでは、電源電流が 1 μA (代表値) に減少します。この電源電流の減少に加えて、出力段が内部でアンプ出力から既知の値の抵抗ネットワークに切り替わります。これには、デバイスがパワーダウン・モードのときにデバイスの出力インピーダンスが既知であるという利点があります。また、2 種類のパワーダウン・オプションがあります。出力を内部で 1 kΩ 抵抗を介して GND に接続するか、オープン・サーキット (スリーステート) のままにします。図 63 に出力段を示します。

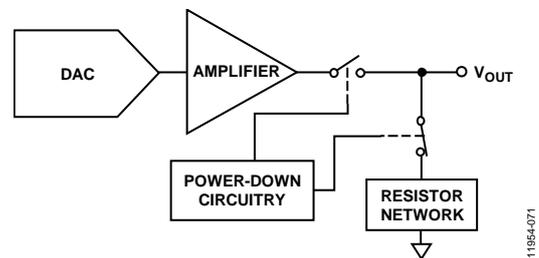


図 63. パワーダウン時の出力段

パワーダウン・モードになると、バイアス・ジェネレータ、出力アンプ、抵抗ストリング、およびその他関係するリニア回路がシャットダウンされます。ただし、DAC レジスタの値はパワーダウン・モードで影響を受けることはありません。デバイスがパワーダウン・モードのときに DAC レジスタを更新することができます。パワーダウンから抜け出すのに要する時間は、V_{DD} = 5 V で 2.5 μs (代表値) です。

消費電流をさらに低減するためには、内部リファレンスをパワー・オフします。詳細については、「内部リファレンスのセッティング」のセクションを参照してください。

表 14. パワーダウン/パワーアップ動作の 24 ビット入力シフトレジスタ値

[DB23:DB20]	DB19	[DB18:DB16]	DAC 7 [DB15:B14]	DAC 6 [DB13:B12]	DAC 5 [DB11:B10]	DAC 4 [DB9:DB8]	DAC 3 [DB7:DB6]	DAC 2 [DB5:DB4]	DAC 1 [DB3:DB2]	DAC 0 [DB1:DB0]
0100	0	XXX ¹	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]

¹X はドントケア。

DAC のロード (ハードウェア $\overline{\text{LDAC}}$ ピン)

AD5672R/AD5676R DAC は、入力レジスタと DAC レジスタの 2 つのレジスタ・バンクで構成されたダブル・バッファ付きインターフェースを内蔵しています。任意の組み合わせの入力レジスタに書き込みを行うことができます。DAC レジスタの更新は $\overline{\text{LDAC}}$ ピンによって制御されます。

DAC の瞬時更新 ($\overline{\text{LDAC}}$ をロー・レベルに維持)

DAC の瞬時更新の場合、コマンド 0001 を使ってデータを入力レジスタへクロックインする間、 $\overline{\text{LDAC}}$ をロー・レベルに維持します。アドレス指定された入力レジスタと DAC レジスタの両方が $\overline{\text{SYNC}}$ の立上がりエッジで更新されて、出力が変化を開始します (表 16 参照)。

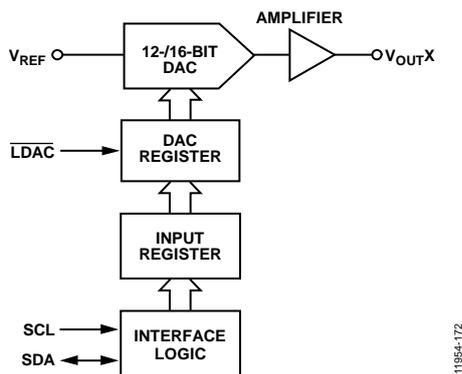


図 64. 1 個の DAC の入力ロード回路の簡略図

DAC の遅延更新 ($\overline{\text{LDAC}}$ へロー・レベルのパルスを入力)

DAC の遅延更新の場合、コマンド 0001 を使ってデータを入力レジスタへクロックインする間、 $\overline{\text{LDAC}}$ をハイ・レベルに維持します。 $\overline{\text{SYNC}}$ をハイ・レベルにした後に $\overline{\text{LDAC}}$ をロー・レベルにすることにより、すべての DAC 出力が非同期で更新されます。更新は $\overline{\text{LDAC}}$ の立下がりエッジで行われます。

$\overline{\text{LDAC}}$ マスク・レジスタ

コマンド 0101 は、このソフトウェア $\overline{\text{LDAC}}$ 機能用です。アドレス・ビットは無視されます。コマンド 0101 を使って DAC に書き込みを行うと、8 ビットの $\overline{\text{LDAC}}$ レジスタ (DB7 ~ DB0) がロードされます。各チャンネルのデフォルト値は 0、すなわち $\overline{\text{LDAC}}$ ピンが通常動作をします。これらのビットを 1 に設定すると、ハードウェア $\overline{\text{LDAC}}$ ピンの状態に関係なく、この DAC チャンネルは $\overline{\text{LDAC}}$ ピンの変化を無視します。この柔軟な機能は、 $\overline{\text{LDAC}}$ ピンに対応してチャンネルを選択するアプリケーションに有用です。

この $\overline{\text{LDAC}}$ レジスタにより、ハードウェア $\overline{\text{LDAC}}$ ピンを柔軟に制御することができます (表 15 参照)。DAC チャンネルに対して $\overline{\text{LDAC}}$ ビット (DB0 ~ DB7) を 0 に設定することは、このチャンネルの更新がハードウェア $\overline{\text{LDAC}}$ ピンで制御されることを意味します。

表 15. $\overline{\text{LDAC}}$ 上書きの定義

Load $\overline{\text{LDAC}}$ Register		$\overline{\text{LDAC}}$ Operation
$\overline{\text{LDAC}}$ Bits (DB7 to DB0)	$\overline{\text{LDAC}}$ Pin	
00000000	1 or 0	$\overline{\text{LDAC}}$ ピンによって決定される。
11111111	X ¹	DAC チャンネルが更新され、 $\overline{\text{LDAC}}$ ピンを無効にする。DAC チャンネルは $\overline{\text{LDAC}}$ を 1 とみなす。

¹ X はドントケア。

表 16. 書き込みコマンドと $\overline{\text{LDAC}}$ ピンの真理値表 ¹

Command	Description	Hardware $\overline{\text{LDAC}}$ Pin State	Input Register Contents	DAC Register Contents
0001	Write to Input Register n (dependent on $\overline{\text{LDAC}}$)	V_{LOGIC} GND ²	Data update Data update	No change (no update) Data update
0010	Update DAC Register n with contents of Input Register n	V_{LOGIC} GND	No change No change	Updated with input register contents Updated with input register contents
0011	Write to and update DAC Channel n	V_{LOGIC} GND	Data update Data update	Data update Data update

¹ ハードウェア $\overline{\text{LDAC}}$ ピンのハイ・レベルからロー・レベルへの変化により、常に DAC レジスタの値が $\overline{\text{LDAC}}$ マスク・レジスタでマスク (ブロック) されていないチャンネルの入力レジスタの値で更新されます。

² $\overline{\text{LDAC}}$ をロー・レベルに固定すると、 $\overline{\text{LDAC}}$ マスク・ビットは無視されます。

ハードウェア・リセット (RESET)

RESET ピンはアクティブ・ローのリセットで、出力をゼロ・スケールまたはミッドスケールにクリアすることができます。クリア・コード値は、RESET 選択ピンを使って選択することができます。動作を完了するには、RESET ピンを最小時間 (表 5 参照) ロー・レベルに維持する必要があります。RESET 信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はクリア値を維持します。RESET ピンがロー・レベルの間、出力を新しい値で更新することはできません。DAC をパワーオン・リセット・コードにリセットする、ソフトウェアで実行可能なリセット機能もあります。コマンド 0110 は、このソフトウェア・リセット機能に割り当てられています (表 10 参照)。パワーオン・リセット時の LDAC と RESET の全てのイベントは無視されます。

リセット選択ピン (RSTSEL)

AD5672R/AD5676R は、パワーアップ時に出力電圧を制御するパワーオン・リセット回路を内蔵しています。RSTSEL ピンをロー・レベルに接続すると、出力はゼロ・スケールにパワーアップします。これは DAC のリニア領域外であることに注意してください。RSTSEL ピンをハイ・レベルに接続すると、V_{OUTX} はミッドスケールにパワーアップします。DAC に有効な書込みシーケンスが実行されるまで、出力はパワーアップされたこのレベルを維持します。RSTSEL ピンは、TSSOP バージョンでのみ使用できます。AD5672R/AD5676R の LFCSP バージョンを使用する場合は、出力は 0 V にパワーアップします。

LFCSP バージョンのアンプのゲインの選択

LFCSP バージョンの出力アンプのゲイン設定は、内部リファレンスおよびゲイン設定レジスタの DB2 ビットの状態によって決まります (表 17 と表 18 参照)。

内部リファレンスのセットアップ

内部リファレンスは、デフォルトでパワーアップ時にオンになります。電源電流を減らすには、コントロール・レジスタのソフトウェアで設定可能なビット DB0 をセットして、このリファレンスをオフします。ビットの状態と対応するデバイスの動作モードを表 17 に示します。コマンド 0111 は、LFCSP バージョンの内部リファレンスのセットアップとゲイン設定に割り当てられています (表 10 参照)。

表 17. 内部リファレンスおよびゲイン設定レジスタ

Bit	Description
DB2	Amplifier gain setting DB2 = 0: amplifier gain = 1 (default) DB2 = 1: amplifier gain = 2
DB0	Reference enable DB0 = 0: internal reference enabled (default) DB0 = 1: internal reference disabled

表 18. 内部リファレンスおよびゲイン設定コマンドに対する 24 ビット入力シフトレジスタの値

DB23 (MSB)	DB22	DB21	DB20	DB19 to DB3	DB2	DB1	DB0 (LSB)
0	1	1	1	Don't care	Gain	Reserved. Set to 0	Reference enable

ハンダ加熱リフロー

全ての IC リファレンス電圧回路と同様に、ハンダ処理によってリファレンス値がシフトすることがあります。アナログ・デバイスでは、デバイスをボードにハンダ付けする影響を再現する、プリコンディションと呼ばれる信頼性テストを実施しています。前述の出力電圧の仕様には、この信頼性テストの影響が含まれています。

この信頼性テスト (プリコンディション) で測定したハンダ加熱リフローの影響を図 65 に示します。

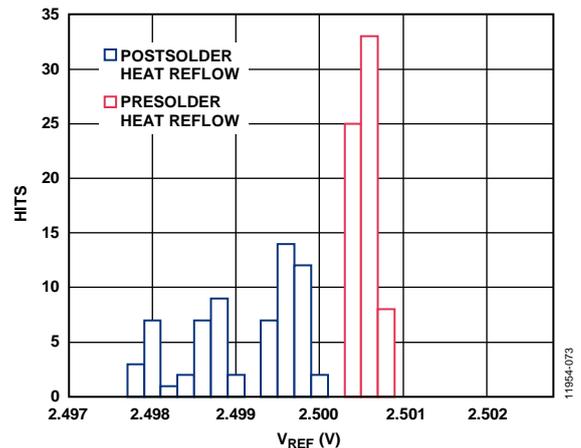


図 65. ハンダ加熱リフローでのリファレンス電圧のシフト

長時間温度ドリフト

150 °C での 1000 時間の寿命テスト後の V_{REF} 値の変化を図 66 に示します。

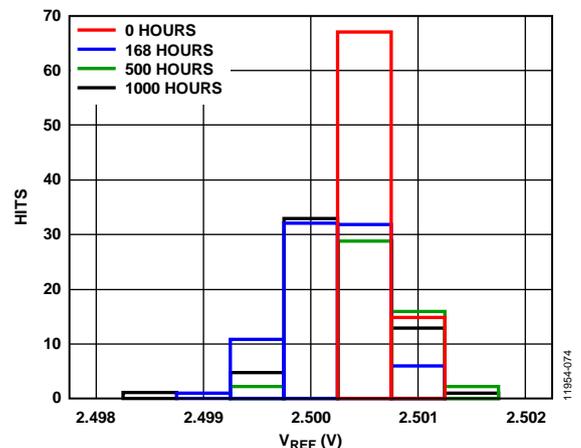


図 66. 1000 時間でのリファレンスのドリフト

熱ヒステリシス

熱ヒステリシスは、周囲温度から低温、高温と変化させ、周囲温度に戻すことによってリファレンス電圧に生じる電圧差です。

熱ヒステリシス・データを図 67 に示します。このデータは、周囲温度から $-40\text{ }^{\circ}\text{C}$ まで変化させてから、 $+125\text{ }^{\circ}\text{C}$ まで変化させ、周囲温度に戻すことによって測定したものです。次に、周囲温度での 2 つの測定値の間の V_{REF} の変化分（図 67 に青で表示）を計算しました。同じ温度変化と測定を直ちに繰り返し、その結果を図 67 に赤で示します。

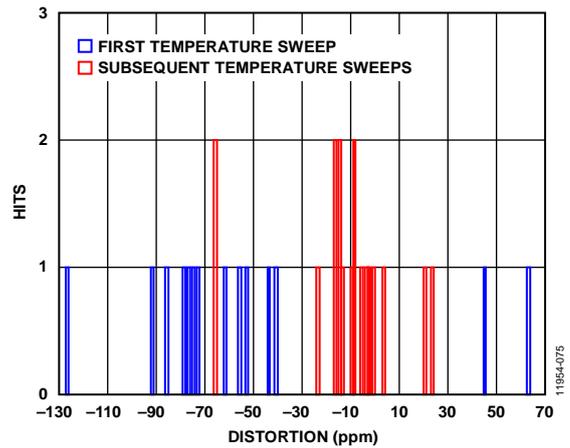


図 67. 熱ヒステリシス

アプリケーション情報

電源の推奨事項

AD5672R/AD5676R は通常、 $V_{DD} = 3.3\text{ V}$ と $V_{LOGIC} = 1.8\text{ V}$ の電源で動作します。

V_{DD} ピンの電源として ADP7118 を、 V_{LOGIC} ピンの電源として ADP160 を使用することができます。図 68 に、このセットアップを示します。ADP7118 と ADP160 は、それぞれ最大 20 V と 5.5 V の入力電圧で動作することができます。



図 68. AD5672R/AD5676R に対する低ノイズの電力ソリューション

マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5672R/AD5676R とのインターフェースは、DSP プロセッサとマイクロコントローラに対して互換性を持つ標準プロトコルを使用するシリアル・バスを介して行います。この通信チャンネルには、クロック信号、データ信号、同期信号から構成される 3 線式または 4 線式のインターフェースが必要です。AD5672R/AD5676R は 24 ビット・データ・ワードを使い、SYNC の立上がりエッジでデータが有効である必要があります。

AD5672R/AD5676R と ADSP-BF531 とのインターフェース

AD5672R/AD5676R の SPI インターフェースは、業界標準の DSP とマイクロコントローラに容易に接続できるように設計されています。アナログ・デバイセズの Blackfin® DSP に接続された AD5672R/AD5676R を図 69 に示します。Blackfin は、AD5672R/AD5676R の SPI ピンに直接接続できる SPI ポートを内蔵しています。

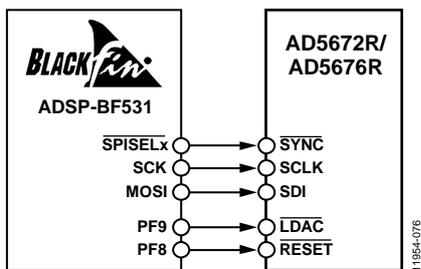


図 69. ADSP-BF531 インターフェース

AD5672R/AD5676R と SPORT とのインターフェース

アナログ・デバイセズの ADSP-BF527 は、1 個の SPORT シリアル・ポートを内蔵しています。図 70 に、1 個の SPORT インターフェースを使って AD5672R/AD5676R を制御する方法を示します。

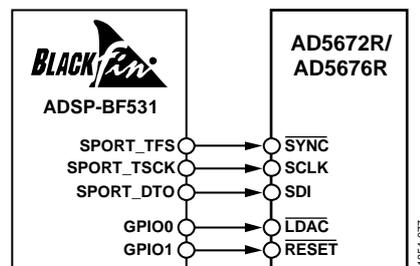


図 70. SPORT インターフェース

レイアウトのガイドライン

精度が重要な回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5672R/AD5676R を実装する PCB は、これらのデバイスがアナログ・プレーン上になるように設計します。

AD5672R/AD5676R には、各電源に $10\ \mu\text{F}$ と $0.1\ \mu\text{F}$ の並列接続による十分な電源バイパスが必要で、パッケージのできるだけ近くに、理想的にはデバイスに隣接させて配置します。 $10\ \mu\text{F}$ のコンデンサにはタンタルのビード型を使用します。 $0.1\ \mu\text{F}$ のコンデンサには、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗 (ESR) が小さく、かつ実効直列インダクタンス (ESL) が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

1 枚のボードに多くのデバイスが搭載されるシステムでは、電力消費を容易にするために、なんらかの放熱機能を備えることが多くの場合に有効です。

デバイス上の GND プレーンを大きくすることにより、自然な放熱効果を得ることができます (図 71 参照)。

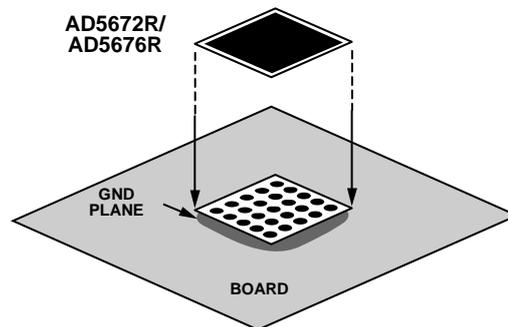
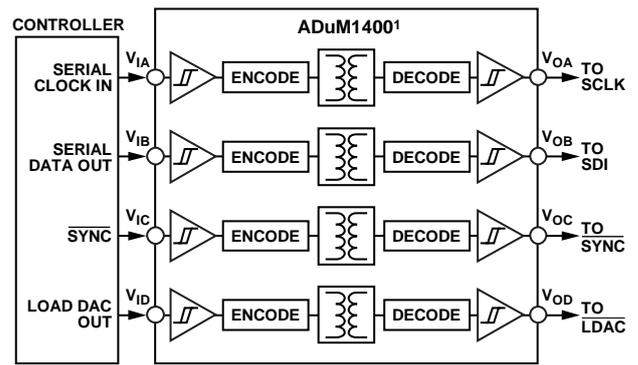


図 71. パッドとボードの接続

デジタル・アイソレータを用いた絶縁インターフェース

多くのプロセス制御アプリケーションでは、制御する装置と制御される装置の間に絶縁バリアを設けて、危険なコモンモード電圧から制御回路を保護し絶縁する必要があります。アナログ・デバイセズの *iCoupler*® 製品は、2.5 kV を超える絶縁電圧を提供します。AD5672R/AD5676R はシリアル・ローディング構造を採用しているため、インターフェース・ライン数が最小で済むので、絶縁型インターフェースに最適です。ADuM1400 を使用した、AD5672R/AD5676R に対する 4 チャンネル絶縁型インターフェースを図 72 に示します。詳細については、www.analog.com/icoupler をご覧ください。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

図 72. 絶縁型インターフェース

11954-079

外形寸法

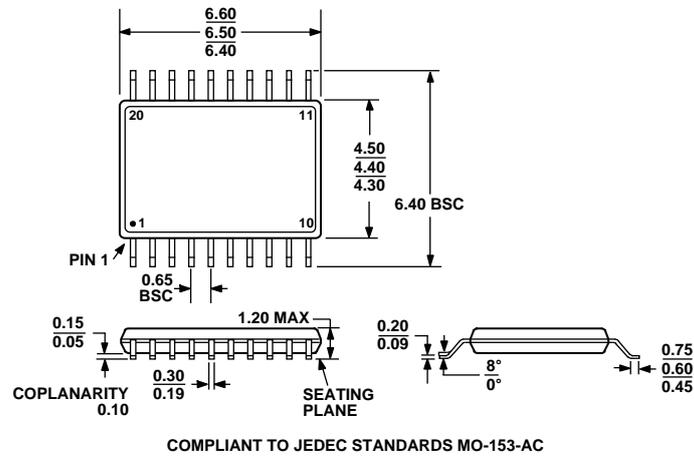


図 73. 24 ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] (RU-20)
寸法: mm

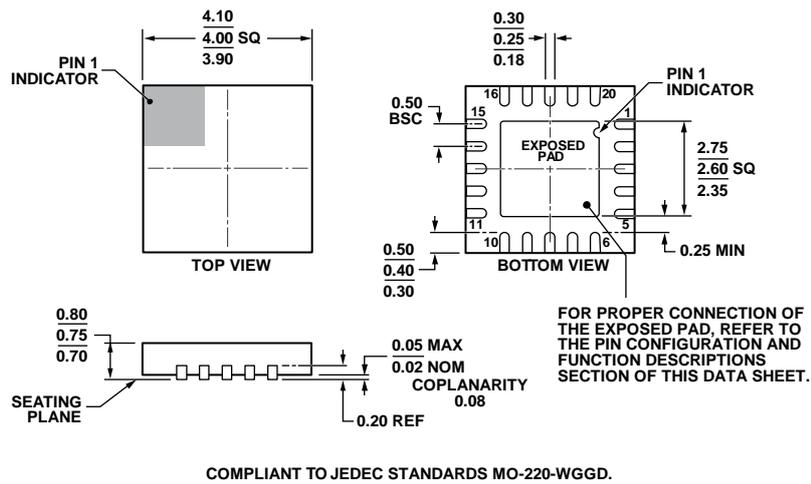


図 74. 20 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_WQ] 4 mm x 4 mm ボディ、極薄、クワッド (CP-20-8)
寸法: mm

020509-B

オーダー・ガイド

Model ¹	Resolution (Bits)	Temperature Range	Accuracy (LSB INL)	Typical Reference Temperature Coefficient (ppm/°C)	Package Description	Package Option
AD5672RBRUZ	12	-40°C to +125°C	±1	2	20-Lead TSSOP	RU-20
AD5672RBRUZ-REEL7	12	-40°C to +125°C	±1	2	20-Lead TSSOP	RU-20
AD5672RBCPZ-REEL7	12	-40°C to +125°C	±1	2	20-Lead LFCSP_WQ	CP-20-8
AD5672RBCPZ-RL	12	-40°C to +125°C	±1	2	20-Lead LFCSP_WQ	CP-20-8
AD5676RARUZ	16	-40°C to +125°C	±8	5	20-Lead TSSOP	RU-20
AD5676RARUZ REEL7	16	-40°C to +125°C	±8	5	20-Lead TSSOP	RU-20
AD5676RACPZ-REEL7	16	-40°C to +125°C	±8	5	20-Lead LFCSP_WQ	CP-20-8
AD5676RACPZ-RL	16	-40°C to +125°C	±8	5	20-Lead LFCSP_WQ	CP-20-8
AD5676RBRUZ	16	-40°C to +125°C	±3	2	20-Lead TSSOP	RU-20
AD5676RBRUZ-REEL7	16	-40°C to +125°C	±3	2	20-Lead TSSOP	RU-20
AD5676RBCPZ-REEL7	16	-40°C to +125°C	±3	2	20-Lead LFCSP_WQ	CP-20-8
AD5676RBCPZ-RL	16	-40°C to +125°C	±3	2	20-Lead LFCSP_WQ	CP-20-8
EVAL-AD5676RSDZ					Evaluation Board	

¹ Z = RoHS 準拠製品。

ℱC は、Philips Semiconductors 社（現在の NXP Semiconductors 社）が独自に開発した通信プロトコルです。