

### 特長

- 低消費電流 (250 $\mu$ A@5V) のシングル16ビットnanoDAC
- 12ビット精度を保証
- 小型パッケージ: 8ピンSOT-23/MSOP
- パワーダウン・モード時の消費電流: 480nA@5V、100nA@3V
- DAC出力をゼロスケールまたはミッドスケールの電圧に  
パワーオン・リセット
- 電源電圧: 2.7~5.5V
- 16ビットの単調増加性を設計により保証
- 3つのパワーダウン機能
- シュミット・トリガ内蔵のシリアル・インターフェース
- レールtoレール動作
- SYNC 割込み機能
- 温度範囲: -40~+125 $^{\circ}$ C

### アプリケーション

- プロセス制御
- データ・アキュイジション・システム
- バッテリー駆動の携帯用計測器
- ゲインとオフセットのデジタル調整
- プログラマブルな電圧源および電流源
- プログラマブルな減衰器

### 概要

nanoDACファミリーのAD5662は2.7~5.5Vの単電源で動作する低消費電力、シングルの16ビット・バッファ電圧出力DACであり、単調増加性が設計により保証されています。

AD5662ではDACの出力電圧範囲を設定するために、外部リファレンス電圧が必要です。パワーオン・リセット回路を内蔵しているため、パワーアップ時にDACの出力が0V (AD5662x-1) またはミッドスケール (AD5662x-2) にリセットされ、有効な書き込みが行われるまでこの電圧を維持します。AD5662は消費電流を5V時に480nAに低減するパワーダウン機能を内蔵しているため、パワーダウン・モード時に出力ピンが出力アンプから切り離され、既知の内蔵抵抗にソフトウェアで接続することができます。

通常動作時の消費電力が小さいため、バッテリー駆動の携帯用機器に最適です。消費電力は5V電源時で0.75mWですが、パワーダウン・モードのときには2.4 $\mu$ Wまで低減されます。

内蔵の高精度出力アンプにより、レールtoレールの出力振幅を実現します。リモート・センシングのアプリケーションでは、この出力アンプの反転入力を利用できます。

REV.0

### 機能ブロック図

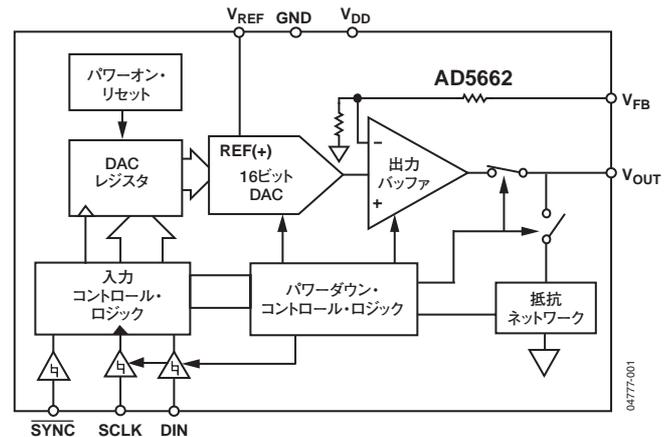


図1

AD5662の汎用3線式シリアル・インターフェースは最大30MHzのクロック・レートで動作し、SPI®、QSPI™、MICROWIRE™、DSPの各インターフェース規格と互換性があります。

### 製品のハイライト

- 16ビットDAC—12ビット精度を保証
- 8ピンSOT-23パッケージと8ピンMSOPパッケージ
- 低消費電力。3V電源時で0.42mW (typ)、5V電源時で0.75mW (typ)
- DAC出力をゼロスケールまたはミッドスケールにパワーオン・リセット
- 10 $\mu$ s (max) のセトリグ時間

### 関連デバイス

製品番号	説明
AD5620/AD5640/AD5660	SOT-23パッケージ、リファレンス内蔵、3V/5V電源動作の12/14/16ビットDAC

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。日本語データシートは、REVISIONが古い場合があります。最新の内容については、英語版をご参照ください。©2005 Analog Devices, Inc. All rights reserved.

# AD5662

## 目次

仕様	3	パワーオン・リセット	15
タイミング特性	5	パワーダウン・モード	16
絶対最大定格	6	マイクロプロセッサとのインターフェース	16
ESDに対する注意	6	アプリケーション	18
ピン配置と機能の説明	7	リファレンスの選択	18
代表的な性能特性	8	リファレンスをAD5662の電源として使用する方法	18
用語の説明	13	AD5662を使用したバイポーラ動作	19
動作理論	14	プログラマブルな4~20mAプロセス・コントローラ としてAD5662を使用する方法	19
DAC部	14	デジタル・アイソレータ (iCoupler) を用いた 絶縁インターフェース	20
抵抗ストリング	14	電源のバイパスとグラウンディング	20
出力アンプ	14	外形寸法	21
シリアル・インターフェース	14	オーダー・ガイド	22
入力シフト・レジスタ	15		
$\overline{\text{SYNC}}$ 割込み	15		

## 改訂履歴

1/05—Revision 0: Initial Version

## 仕様

$V_{DD}=2.7\sim 5.5V$ 、 $R_L=2k\Omega$  (GNDに接続)、 $C_L=200pF$  (GNDに接続)、 $V_{REF}=V_{DD}$ 。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。

表1

パラメータ	Aグレード			Bグレード			単位	Yバージョン <sup>1</sup> 条件/備考
	Min	Typ	Max	Min	Typ	Max		
静的性能 <sup>2</sup>								
分解能	16			16			ビット	
相対精度 (INL)		±8	±32		±8	±16	LSB	図4を参照
微分非直線性 (DNL)			±1			±1	LSB	設計により単調増加性を保証
ゼロコード誤差		2	10		2	10	mV	DACレジスタに全ビット「0」をロード
フルスケール誤差		-0.2	-1		-0.2	-1	% FSR	DACレジスタに全ビット「1」をロード
オフセット誤差			±10			±10	mV	
ゲイン誤差			±1.5			±1.5	% FSR	
ゼロコード誤差の温度ドリフト <sup>3</sup>		±2			±2		$\mu V/^\circ C$	
ゲイン温度係数 <sup>3</sup>		±2.5			±2.5		ppm FSR/ $^\circ C$	
DC電源電圧変動除去比 <sup>3</sup>		-100			-100		dB	DACコード=ミッドスケール、 $V_{DD}=5V/3V\pm 10\%$
出力特性 <sup>3</sup>								
出力電圧範囲	0		$V_{DD}$	0		$V_{DD}$	V	
出力電圧セトリング時間		8	10		8	10	$\mu s$	±2LSBに対する1/4スケールから3/4 スケールへの変化時のセトリング時間 $R_L=2k\Omega$ 、 $0pF < C_L < 200pF$
スルーレート		1.5			1.5		V/ $\mu s$	1/4スケールから3/4スケールへの 変化時
容量性負荷安定性		2			2		nF	$R_L=\infty$
		10			10		nF	$R_L=2k\Omega$
出力ノイズ・スペクトル密度 <sup>4</sup>		100			100		nV/ $\sqrt{Hz}$	DACコード=ミッドスケール、10kHz
出力ノイズ (0.1~10Hz) <sup>4</sup>		10			10		$\mu V$ p-p	DACコード=ミッドスケール
全高調波歪み (THD) <sup>4</sup>		-80			-80		dB	$V_{REF}=2V\pm 300mV$ p-p, $f=5kHz$
デジタルからアナログへの グリッチ・インパルス		5			5		nV-s	メジャー・キャリア周辺の1LSB変化
デジタル・フィードスルー		0.1			0.1		nV-s	
DC出力インピーダンス		0.5			0.5		$\Omega$	
短絡電流 <sup>4</sup>		30			30		mA	$V_{DD}=5V$ 、 $3V$
パワーアップ時間		4			4		$\mu s$	パワーダウン・モードを終了して通常 の動作に復帰するまでの時間 $V_{DD}=5V$ 、 $3V$
リファレンス入力 <sup>3</sup>								
リファレンス電流		40	75		40	75	$\mu A$	$V_{REF}=V_{DD}=5V$
		30	50		30	50	$\mu A$	$V_{REF}=V_{DD}=3.6V$
リファレンス入力電圧範囲 <sup>5</sup>	0.75		$V_{DD}$	0.75		$V_{DD}$	V	
リファレンス入力インピーダンス		125			125		k $\Omega$	
ロジック入力								
入力電流			±2			±2	$\mu A$	すべてのデジタル入力
入力ローレベル電圧 ( $V_{INL}$ )			0.8			0.8	V	$V_{DD}=5V$ 、 $3V$
入力ハイレベル電圧 ( $V_{INH}$ )	2			2			V	$V_{DD}=5V$ 、 $3V$
ピン容量		3			3		pF	

# AD5662

パラメータ	Aグレード			Bグレード			単位	Yバージョン <sup>1</sup> 条件/備考
	Min	Typ	Max	Min	Typ	Max		
電源条件								
V <sub>DD</sub>	2.7		5.5	2.7		5.5	V	すべてのデジタル入力=0V またはV <sub>DD</sub>
I <sub>DD</sub> (ノーマル・モード)		150	250		150	250	μA	DAC動作時(負荷電流を除く)
V <sub>DD</sub> =4.5~5.5V		140	225		140	225	μA	V <sub>IH</sub> =V <sub>DD</sub> およびV <sub>IL</sub> =GND
V <sub>DD</sub> =2.7~3.6V								V <sub>IH</sub> =V <sub>DD</sub> およびV <sub>IL</sub> =GND
I <sub>DD</sub> (すべてのパワーダウン・モード)								
V <sub>DD</sub> =4.5~5.5V		0.48	1		0.48	1	μA	V <sub>IH</sub> =V <sub>DD</sub> およびV <sub>IL</sub> =GND
V <sub>DD</sub> =2.7~3.6V		0.1	0.375		0.1	0.375	μA	V <sub>IH</sub> =V <sub>DD</sub> およびV <sub>IL</sub> =GND
電力効率								
I <sub>OUT</sub> /I <sub>DD</sub>		90			90		%	I <sub>LOAD</sub> =2mA V <sub>DD</sub> =5V

<sup>1</sup> Yバージョンの温度範囲: -40~+125°C、+25°Cで測定。

<sup>2</sup> 特に指定のない限り、DC仕様のテストは出力無負荷の条件で実施しています。直線性の計算は、コード512~65024の制限されたコード範囲を使用して行っています。

<sup>3</sup> 設計および特性評価により保証していますが、出荷テストは実施していません。

<sup>4</sup> 出力無負荷時の条件を適用しています。

<sup>5</sup> ±1LSB(max)のDNL仕様を達成可能な周囲条件下のリファレンス入力電圧範囲です。

## タイミング特性

入力信号はすべて $t_r=t_f=1\text{ns}/V$  ( $V_{DD}$ の10~90%)の条件で規定し、 $(V_{IL}+V_{IH})/2$ の電圧レベルからのタイミングを計測しています。図2を参照。 $V_{DD}=2.7\sim 5.5\text{V}$ 。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。

表2

パラメータ	$T_{MIN}$ 、 $T_{MAX}$ 時の限界値		単位	条件/コメント
	$V_{DD}=2.7\sim 3.6\text{V}$	$V_{DD}=3.6\sim 5.5\text{V}$		
$t_1^1$	50	33	ns min	SCLKサイクル時間
$t_2$	13	13	ns min	SCLKのハイレベル時間
$t_3$	13	13	ns min	SCLKのローレベル時間
$t_4$	13	13	ns min	$\overline{\text{SYNC}}$ からSCLKの立下がりエッジまでのセットアップ時間
$t_5$	5	5	ns min	データのセットアップ時間
$t_6$	4.5	4.5	ns min	データのホールド時間
$t_7$	0	0	ns min	SCLKの立下がりエッジから $\overline{\text{SYNC}}$ の立上がりエッジまでの時間
$t_8$	50	33	ns min	$\overline{\text{SYNC}}$ の最小ハイレベル時間
$t_9$	13	13	ns min	$\overline{\text{SYNC}}$ の立上がりエッジから次のSCLK立下がりエッジまでの時間
$t_{10}$	0	0	ns min	SCLKの立下がりエッジから次の $\overline{\text{SYNC}}$ 立下がりまでの時間

<sup>1</sup> SCLKの最大周波数は $V_{DD}=3.6\sim 5.5\text{V}$ 時で30MHz、 $V_{DD}=2.7\sim 3.6\text{V}$ 時で20MHz。

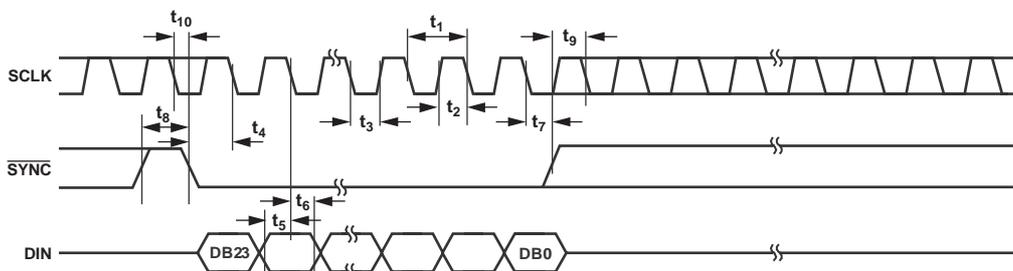


図2. シリアル書き込み動作のタイミング

# AD5662

## 絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表3

パラメータ	定格値
GNDに対する $V_{DD}$	$-0.3 \sim +7\text{V}$
GNDに対する $V_{OUT}$	$-0.3 \sim V_{DD} + 0.3\text{V}$
GNDに対する $V_{FB}$	$-0.3 \sim V_{DD} + 0.3\text{V}$
GNDに対する $V_{REF}$	$-0.3 \sim V_{DD} + 0.3\text{V}$
GNDに対するデジタル入力電圧	$-0.3 \sim V_{DD} + 0.3\text{V}$
動作温度範囲	
工業用 (Yバージョン)	$-40 \sim +125^{\circ}\text{C}$
保存温度範囲	$-65 \sim +150^{\circ}\text{C}$
ジャンクション温度 ( $T_J \text{ max}$ )	$150^{\circ}\text{C}$
消費電力	$(T_J \text{ max} - T_A) / \theta_{JA}$
SOT-23パッケージ (4層ボード)	
$\theta_{JA}$ 熱抵抗	$119^{\circ}\text{C}/\text{W}$
MSOPパッケージ (4層ボード)	
$\theta_{JA}$ 熱抵抗	$141^{\circ}\text{C}/\text{W}$
$\theta_{JC}$ 熱抵抗	$44^{\circ}\text{C}/\text{W}$
リフロー・ハンダ付けのピーク温度	
SnPb	$240^{\circ}\text{C}$
鉛フリー	$260^{\circ}\text{C}$
ESD	$2\text{kV}$

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されなまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



## ピン配置と機能の説明



図3. ピン配置

表4. ピン機能の説明

ピン番号	記号	機能
1	V <sub>DD</sub>	電源入力。このデバイスは2.7～5.5Vの電源で動作し、V <sub>DD</sub> はGNDにデカップリングします。
2	V <sub>REF</sub>	リファレンス電圧入力
3	V <sub>FB</sub>	出力アンプの帰還接続ピン。通常の動作時にはV <sub>FB</sub> をV <sub>OUT</sub> に接続してください。
4	V <sub>OUT</sub>	DACからのアナログ出力電圧。出力アンプはレールtoレール動作を行います。
5	$\overline{\text{SYNC}}$	レベル・トリガの制御入力(アクティブ・ロー)。これは、入力データに対するフレーム同期信号です。 $\overline{\text{SYNC}}$ がローレベルになると、入力シフト・レジスタがイネーブルになり、データは後続のクロックの立下がりエッジで入力されます。 $\overline{\text{SYNC}}$ ラインはSCLKの少なくとも24個の立下がりエッジの間ローレベルに保持され、DACは24番目の立下がりエッジで更新されます。ただし、24番目の立下がりエッジの前に $\overline{\text{SYNC}}$ をハイレベルにすると、これは書き込みシーケンスへの割込みとして機能し、シフト・レジスタがリセットされて書き込みシーケンスは無効とみなされます。
6	SCLK	シリアル・クロック入力。シリアル・クロック入力の立下がりエッジで、データが入力シフト・レジスタに入力されます。データは最大30MHzのレートで転送できます。
7	DIN	シリアル・データ入力。このデバイスには、24ビットのシフト・レジスタが内蔵されています。データは、シリアル・クロック入力の立下がりエッジでシフト・レジスタに入力されます。
8	GND	AD5662上の全回路に対するグラウンド基準ポイント

## 代表的な性能特性

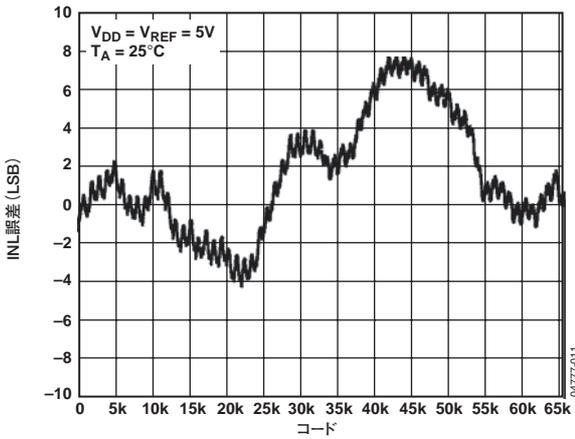


図4. 代表的なINL

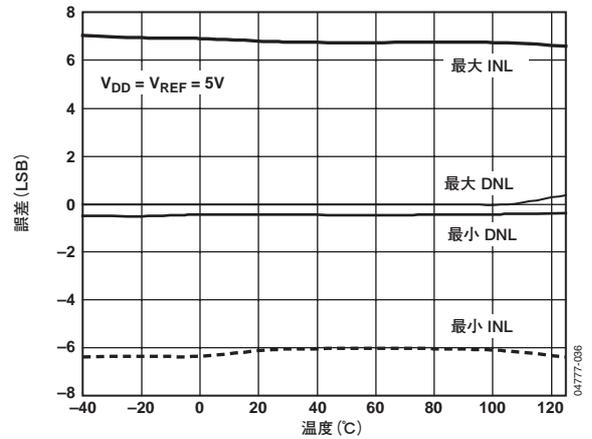


図7. INL誤差とDNL誤差の温度特性

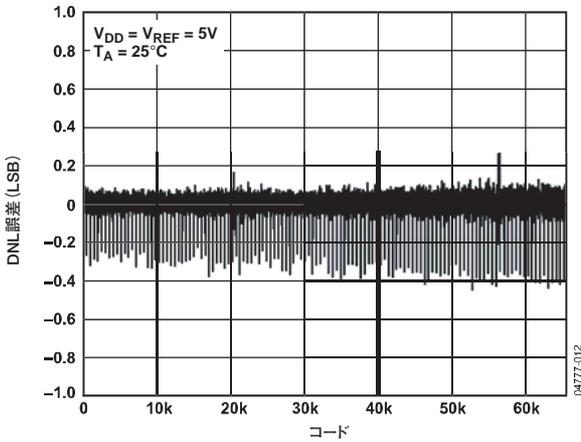


図5. 代表的なDNL

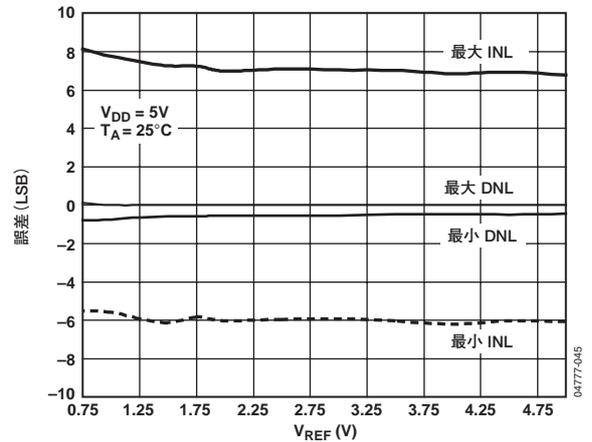


図8.  $V_{REF}$  対 INL誤差およびDNL誤差

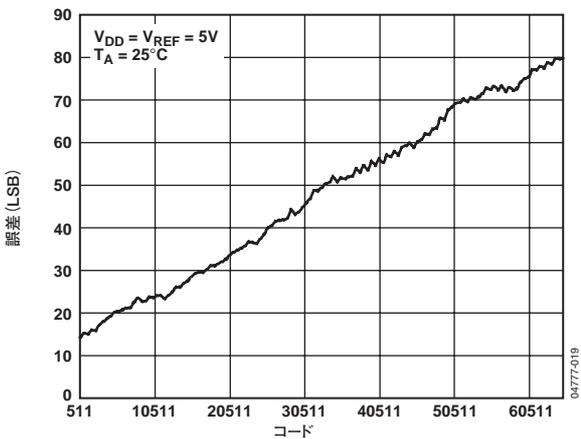


図6. 代表的な総合未調整誤差(TUE)

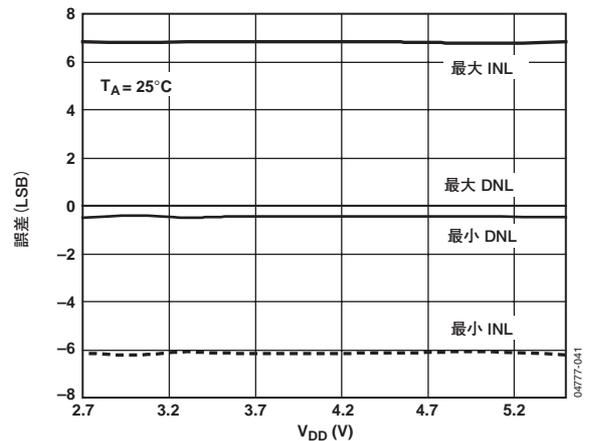


図9. 電源電圧 対 INL誤差およびDNL誤差

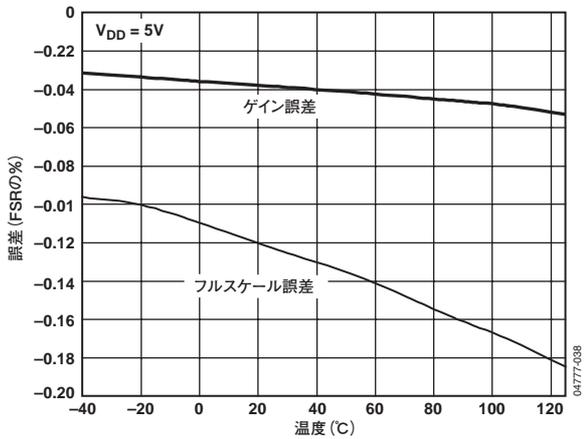


図10. ゲイン誤差とフルスケール誤差の温度特性

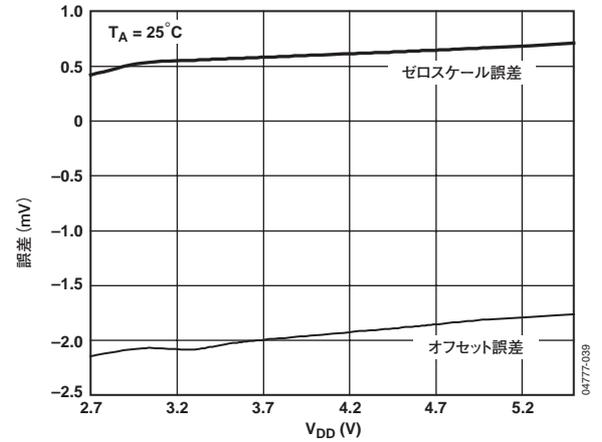


図13. 電源電圧 対 ゼロスケール誤差およびオフセット誤差

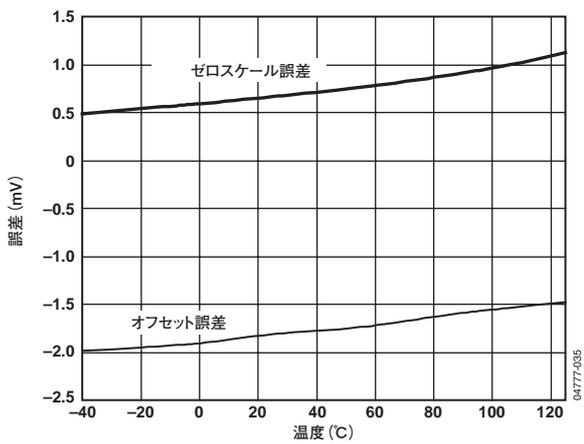


図11. ゼロスケール誤差とオフセット誤差の温度特性

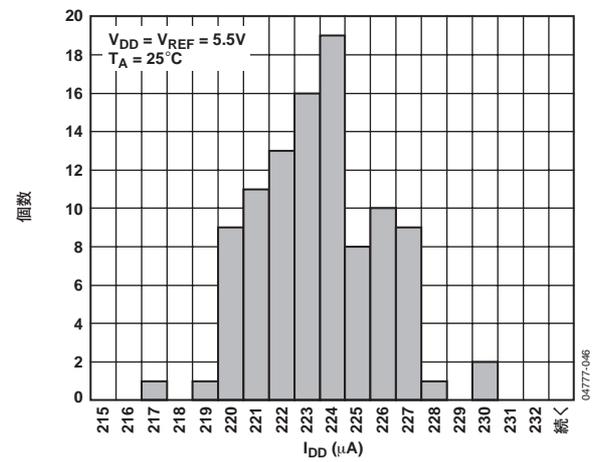


図14.  $I_{DD}$ ヒストグラム( $V_{DD} = 5.5V$ 時)

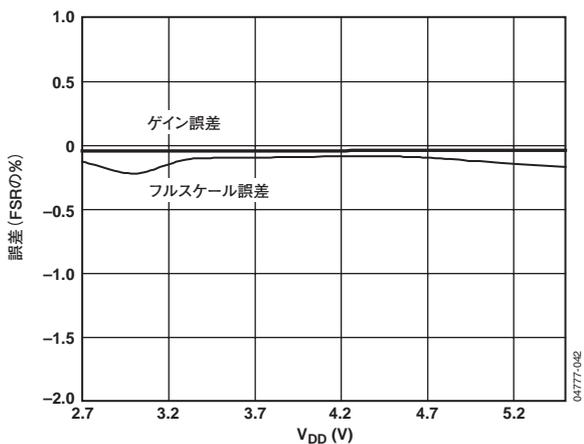


図12. 電源電圧 対 ゲイン誤差およびフルスケール誤差

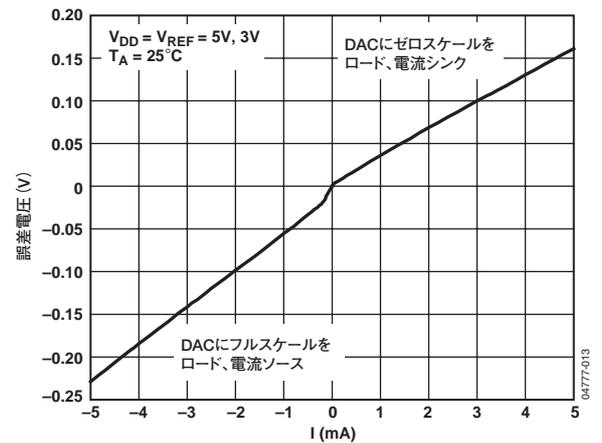


図15. ソースおよびシンク電流 対 電源レールのヘッドルーム

# AD5662

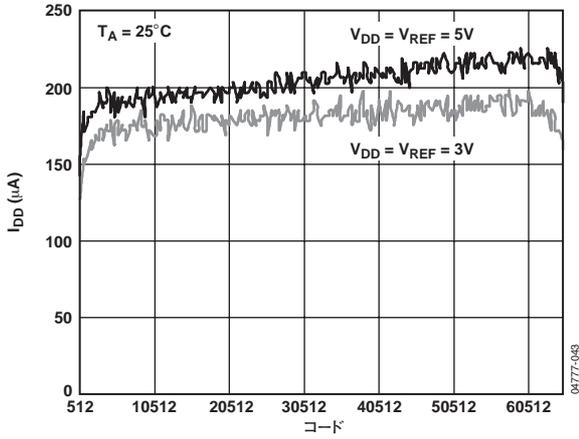


図16. コード対電源電流

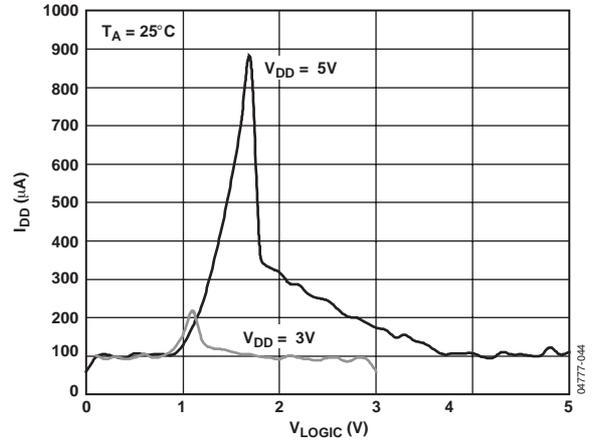


図19. ロジック入力電圧対電源電流

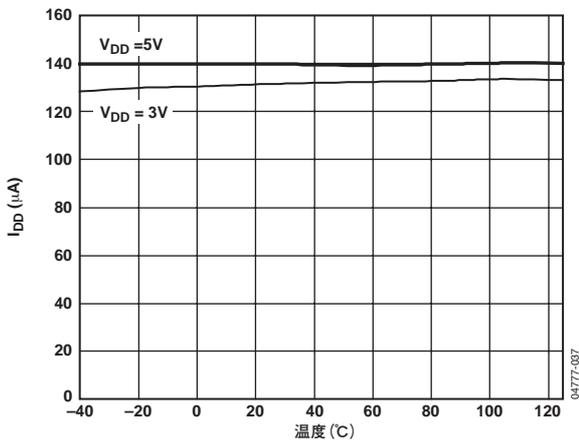


図17. 電源電流の温度特性

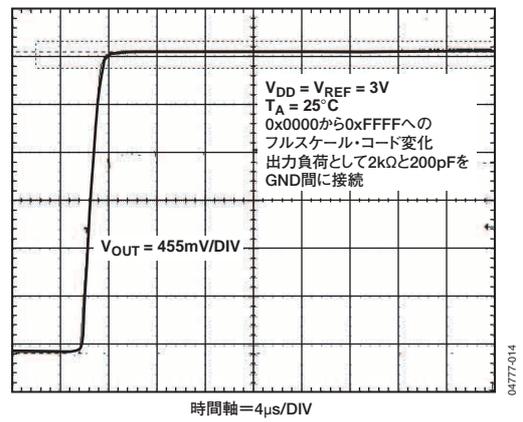


図20. フルスケール・セットリング時間(3V時)

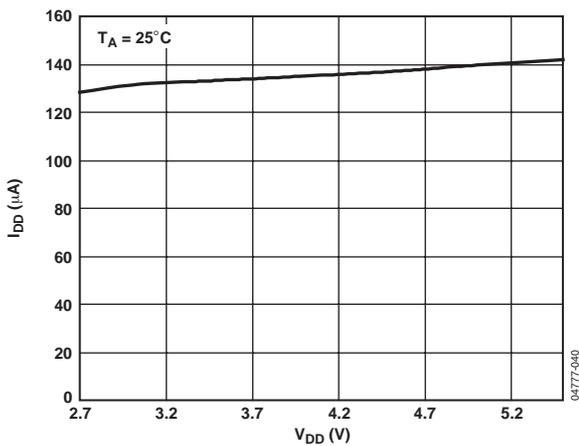


図18. 電源電圧対電源電流

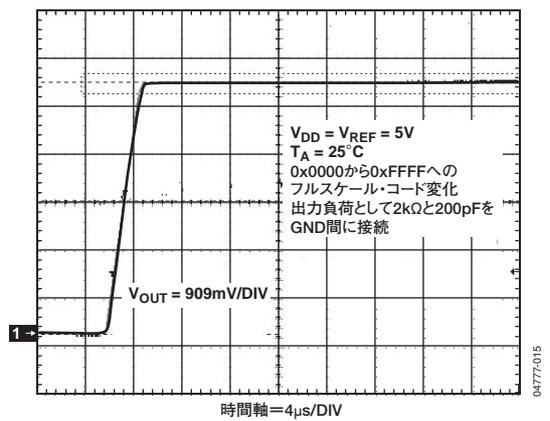


図21. フルスケール・セットリング時間(5V時)

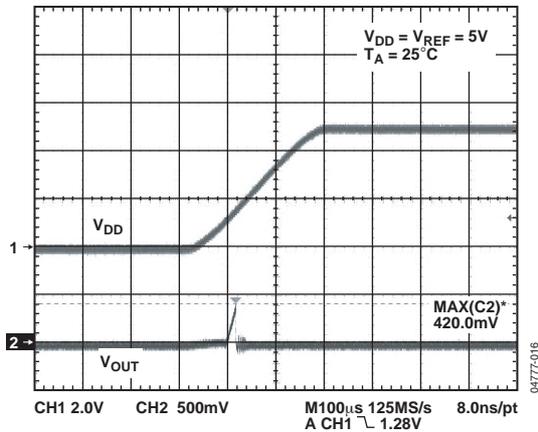


図22. 0Vのパワーオン・リセット特性

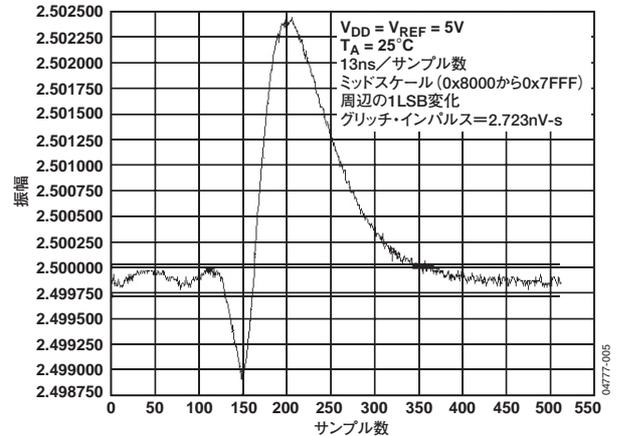


図25. デジタルからアナログへのグリッチ・インパルス(負極性)

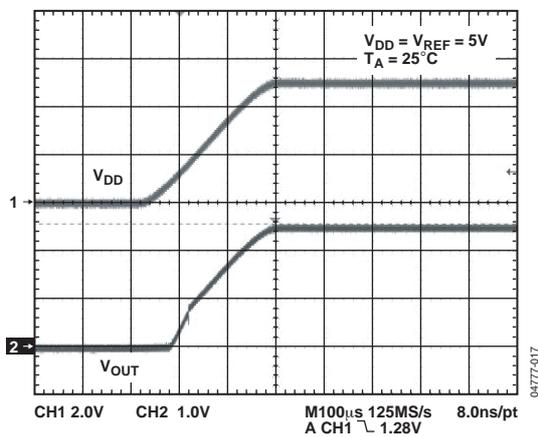


図23. ミッドスケールのパワーオン・リセット特性

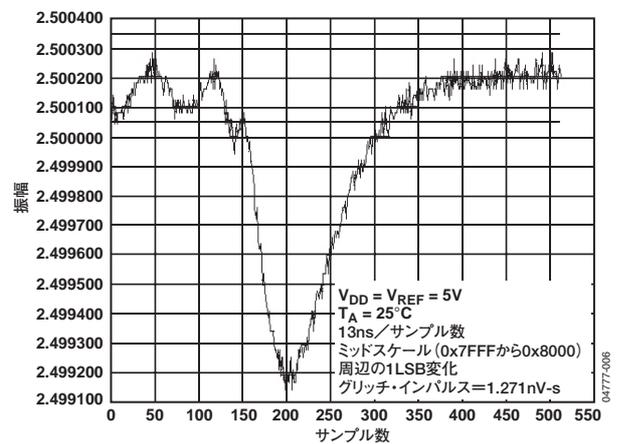


図26. デジタルからアナログへのグリッチ・インパルス(正極性)

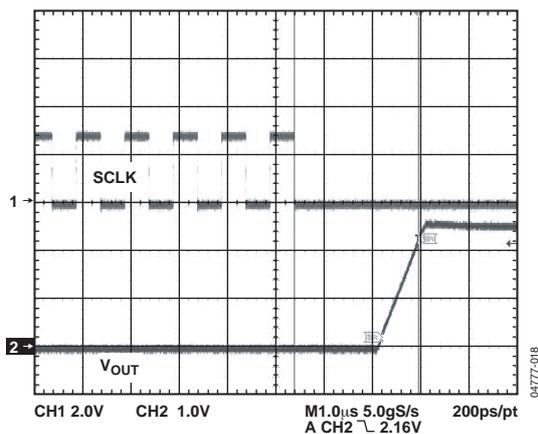


図24. パワーダウン終了後のミッドスケールのパワーオン・リセット特性

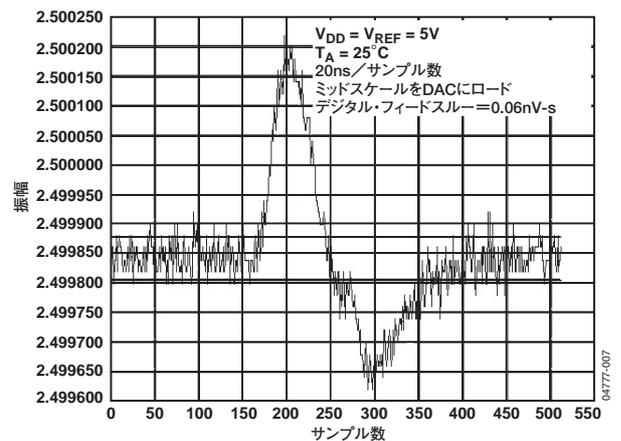


図27. デジタル・フィードスルー

# AD5662

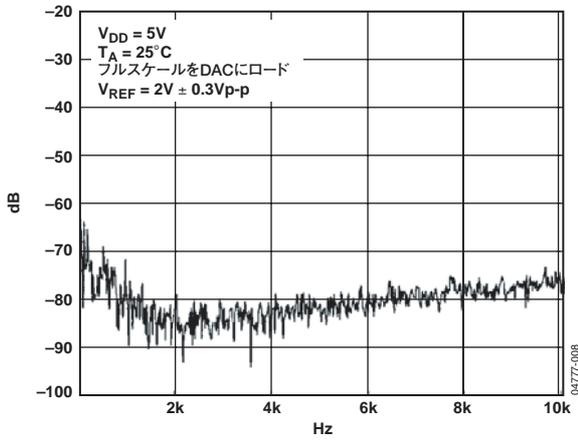


図28. 全高調波歪み

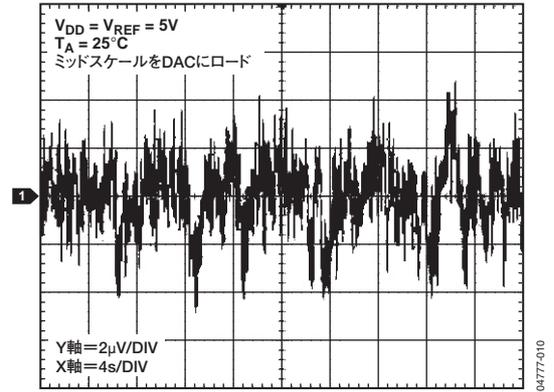


図30. 0.1 ~ 10Hz出力ノイズのプロット

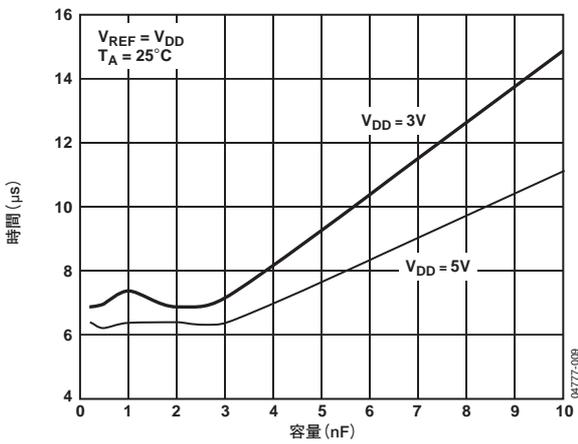


図29. 容量性負荷 対 セットリング時間

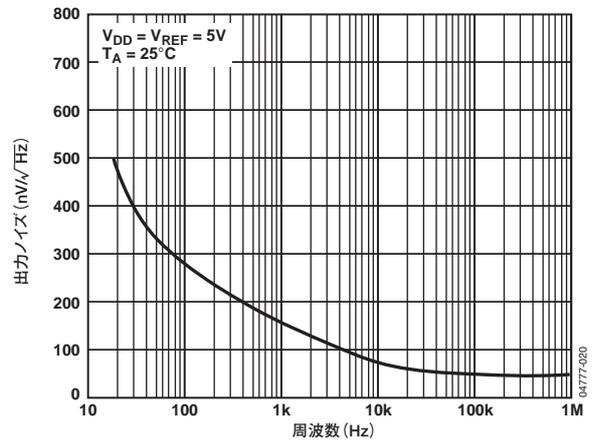


図31. ノイズ・スペクトル密度

## 用語の説明

### 相対精度または積分非直線性 (INL)

DACの場合、相対精度または積分非直線性は、DAC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差(単位はLSB)を示します。代表的なコードとINLの関係については図4を参照。

### 微分非直線性 (DNL)

微分非直線性は、隣接する任意の2つのコードの間における測定された変化と理論的な1LSB変化との差を表します。微分非直線性の仕様が±1LSB以内の場合、単調増加性が保証されています。このDACは、設計により単調増加性を保証しています。代表的なコードとDNLの関係については図5を参照。

### ゼロコード誤差

ゼロコード誤差は、ゼロコード(0x0000)をDACレジスタにロードしたときの出力誤差を表します。理論的には出力は0Vになるはずですが、AD5662ではDAC出力が0Vよりも低くなることはないため、ゼロコード誤差は常に正の値となります。この誤差は、DACのオフセット誤差と出力アンプのオフセット誤差が原因で発生します。ゼロコード誤差はmVの単位で表します。ゼロコード誤差の温度特性については図11を参照。

### フルスケール誤差

フルスケール誤差は、フルスケール・コード(0xFFFF)をDACレジスタにロードしたときの出力誤差を表します。理論的には出力は $V_{DD} - 1\text{LSB}$ になるはずですが、フルスケール誤差はフルスケール範囲の割合を示す%の単位で表します。フルスケール誤差の温度特性については図10を参照。

### ゲイン誤差

ゲイン誤差とは、DACのスパン誤差を表します。DAC伝達特性の理論値からの実際の傾き偏差を示すもので、フルスケール・レンジの%値で表します。

### 総合未調整誤差 (TUE)

総合未調整誤差は、さまざまな誤差を考慮した出力誤差を表します。代表的なコードとTUEの関係については図6を参照。

### ゼロコード誤差ドリフト

ゼロコード誤差ドリフトとは、温度変化にともなうゼロコード誤差の変化を表し、 $\mu\text{V}/\text{C}$ の単位で表します。

### ゲイン温度係数

ゲイン誤差ドリフトとは、温度変化にともなうゲイン誤差の変化を表し、(フルスケール・レンジのppm)/ $^{\circ}\text{C}$ の単位で表します。

### オフセット誤差

オフセット誤差とは、伝達関数の直線領域における $V_{\text{OUT}}$ (実際の出力電圧)と $V_{\text{OUT}}$ (理想的な出力電圧)との差を測定した値であり、mVの単位で表します。AD5662のオフセット誤差は、コード512をDACレジスタにロードして測定します。これは正または負の値となります。

### DC電源電圧変動除去比 (PSRR)

DACの出力が電源電圧の変動によって、どの程度の影響を受けるかを示します。PSRRは、DACのフルスケール出力に関する $V_{\text{OUT}}$ の変動と $V_{\text{DD}}$ の変動の比を表します。これはdBの単位で測定します。 $V_{\text{REF}}$ を2Vに保持し、 $V_{\text{DD}}$ を±10%の範囲で変動させます。

### 出力電圧セトリング時間

入力フルスケールの1/4から3/4に変化するときに、DACの出力が規定のレベルにセトリングするまでの所要時間を表し、SCLKの24番目の立下がりエッジから測定されます。

### デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスとは、DACレジスタの入力コードが変化したときに、入力からアナログ出力に注入されるインパルスを表します。通常、グリッチの面積として規定され、nV-sで表します。メジャー・キャリアの遷移(0x7FFFから0x8000)時に、デジタル入力コードが1LSB変化したときの測定値です。図25と図26を参照。

### デジタル・フィードスルー

デジタル・フィードスルーとは、DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表します。nV-sの単位で規定され、データ・バス上でのフルスケール変化時、すなわち全ビット「0」から全ビット「1」に変化したとき、または全ビット「1」から全ビット「0」にコードが遷移するときに測定します。

### 全高調波歪み (THD)

DACを使用して減衰される正弦波が理想的な正弦波と異なる偏差を表します。正弦波はDACのリファレンスとして使用され、THDはDACの出力上に存在する高調波成分の測定値です。これはdBの単位で測定します。

### ノイズ・スペクトル密度

内部で発生するランダム・ノイズの測定値です。ランダム・ノイズは、スペクトル密度( $\sqrt{\text{Hz}}$ を基準とする電圧)として特性付けられます。この測定は、DACにミッドスケールをロードし、そのときに出力で発生するノイズを計測する方法によって行います。これは $\text{nV}/\sqrt{\text{Hz}}$ の単位で測定されます。ノイズ・スペクトル密度のプロットを図31に示しています。

## 動作理論

### DAC部

AD5662 DACは、CMOSプロセスを用いて製造されています。このアーキテクチャは、ストリングDACとその後段の出力バッファ・アンプから構成されます。図32に、DACアーキテクチャのブロック図を示します。

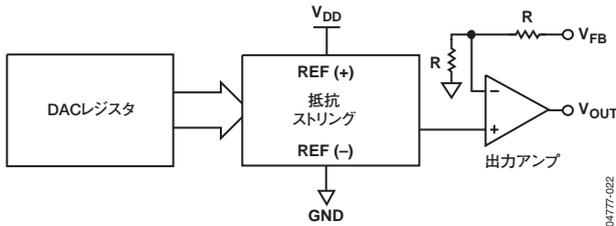


図32. DACアーキテクチャ

DACの入力コーディングはストレート・バイナリであるため、理論的な出力電圧は以下の数式から求められます。

$$V_{OUT} = V_{REF} \times \left( \frac{D}{65,536} \right)$$

ここで、 $D$ はDACレジスタにロードされるバイナリ・コードの10進数値で、0~65,535の値です。

### 抵抗ストリング

図33に、抵抗ストリングの構造を示します。各値が $R$ のシンプルな抵抗のストリングになっています。DACレジスタにロードされるコードにより、このストリング上のどのノードから電圧が出力アンプに供給されるかが決定されます。ストリングとアンプを接続しているスイッチの1つが閉じることで、電圧が出力アンプに供給されます。抵抗のストリングであるため、単調増加性が保証されます。

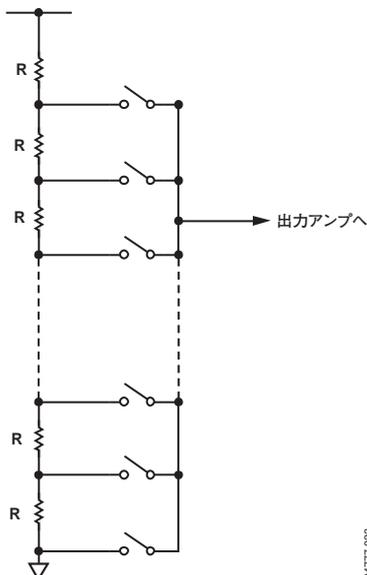


図33. 抵抗ストリング

### 出力アンプ

出力バッファ・アンプは、出力でレールtoレールの電圧を発生することができます。0V~ $V_{DD}$ の範囲の電圧を出力します。この出力バッファ・アンプでは、帰還経路の50k $\Omega$ 抵抗分圧ネットワークからゲイン2が設定されます。出力アンプの反転入力をユーザが利用できるため、リモート・センシングが可能です。通常の動作時には、この $V_{FB}$ ピンを必ず $V_{OUT}$ に接続してください。出力アンプは、GND間に並列に接続される1000pFのコンデンサと2k $\Omega$ 抵抗の負荷を駆動できます。この出力アンプの電流ソースおよびシンク能力を図15に示しています。スルーレートは1.5V/ $\mu$ sであり、セトリング時間は1/4フルスケールから3/4フルスケールへの変化に対して10 $\mu$ sです。

### シリアル・インターフェース

AD5662は、業界標準のSPI、QSPI、MICROWIREの各インターフェース規格、および大半のDSPと互換性をもつ3線式シリアル・インターフェース( $\overline{SYNC}$ 、 $SCLK$ 、 $DIN$ )を備えています。代表的な書込みシーケンスのタイミング図については、図2を参照してください。

$\overline{SYNC}$  ラインをローレベルにすることによって、書込みシーケンスが開始されます。 $DIN$ ラインからのデータは、 $SCLK$ の立下がりエッジで24ビットのシフト・レジスタに入力されます。シリアル・クロック周波数は最大30MHzまで対応しているため、AD5662は高速DSPと互換性があります。クロックの24番目の立下がりエッジで、最後のデータビットが入力され、プログラミングされた機能が実行されます(DACレジスタ値の変更や動作モードの変更)。この時点で、 $\overline{SYNC}$  ラインをローレベルに保持するか、またはハイレベルにすることが可能です。いずれの場合でも、 $\overline{SYNC}$  の立下がりエッジで次の書込みシーケンスを開始できるようにするため、次の書込みシーケンスの前に最小33nsの間 $\overline{SYNC}$  をハイレベルに保持する必要があります。 $\overline{SYNC}$  バッファを流れる電流は $V_{INL}=0.8V$ の場合より $V_{INH}=2.4V$ の場合の方が大きくなるため、さらにデバイスの消費電力を削減するには各書込みシーケンスの間も $\overline{SYNC}$  をアイドル・ローレベルに維持してください。ただし、次の書込みシーケンスの開始前に1度ハイレベルに戻す必要があります。

## 入力シフト・レジスタ

入力シフト・レジスタは、24ビット幅です(図34を参照)。最初の6ビットはドント・ケア・ビットで、次の2ビットがデバイスの動作モード(ノーマル・モードまたは3種類のパワーダウン・モード)を選択するコントロール・ビットです。各モードに関する詳細な説明については、「パワーダウン・モード」の項を参照してください。次の16ビットはデータビットで、SCLKの24番目の立下がりエッジでDACレジスタに転送されます。

## SYNC割込み

通常の手書きシーケンス時には、少なくともSCLKの24個の立下がりエッジの間、 $\overline{\text{SYNC}}$  ラインがローレベルに保持され、SCLKの24番目の立下がりエッジでDACが更新されます。ただし、24番目のエッジが立下がる前に $\overline{\text{SYNC}}$  をハイレベルに設定すると、 $\overline{\text{SYNC}}$  は書き込みシーケンス

の割込み信号として動作します。このときにシフト・レジスタがリセットされ、書き込みシーケンスは無効と判断されます。DACレジスタのデータ内容は更新されず、また動作モードも変更されません(図35を参照)。

## パワーオン・リセット

AD5662ファミリーには、パワーアップ時に出力電圧を制御するパワーオン・リセット回路が内蔵されています。AD5662x-1ではパワーアップ時にDAC出力が0Vにリセットされ、AD5662x-2ではDAC出力がミッドスケールにリセットされます。DACに有効な書き込みシーケンスが実行されるまで、この状態が保持されます。この機能は、デバイスのパワーアップ時にDACの出力状態を把握しておく必要のあるアプリケーションで特に有用です。

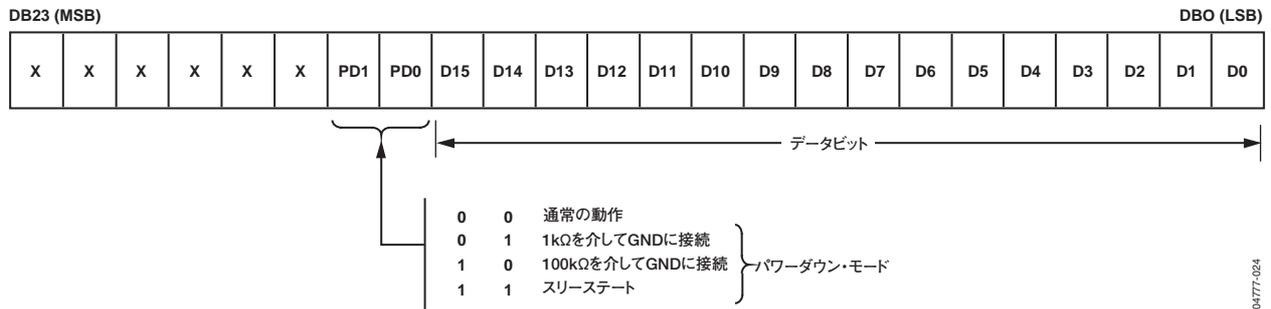


図34. 入力レジスタのデータ内容

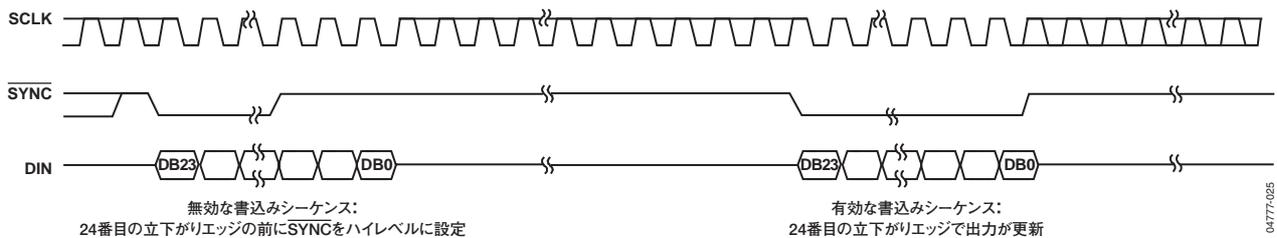


図35.  $\overline{\text{SYNC}}$  の割込み機能

# AD5662

## パワーダウン・モード

AD5662には4つの動作モードがあります。動作モードは、コントロール・レジスタの2ビット(DB17とDB16)を設定することによりソフトウェアから設定可能です。表5に、この2ビットの設定と対応するデバイスの動作モードを示します。

表5. AD5662の動作モード

DB17	DB16	動作モード
0	0	通常の動作 パワーダウン・モード:
0	1	1kΩを介してGNDに接続
1	0	100kΩを介してGNDに接続
1	1	スリーステート

両ビットを「0」に設定すると、デバイスは5V時最大250μAの消費電流で通常の動作を実行します。しかし、3つのパワーダウン・モード時には、電源電流が5Vで480nA(3V時は100nA)まで低下します。電源電流が低下するだけでなく、出力段も内部的に出力アンプから切り離されて既知の値をもつ抵抗ネットワークに接続されます。これは、デバイスの出力インピーダンスが既知であると同時にデバイスがパワーダウン・モードになるという利点があります。出力が内部で1kΩの抵抗または100kΩの抵抗を経由してGNDに接続されるか、または出力がオープン(スリーステート)になるかの3種類のオプションがあります(図36を参照)。

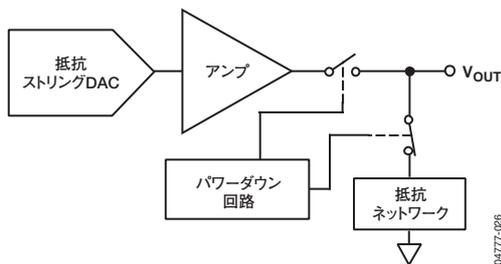


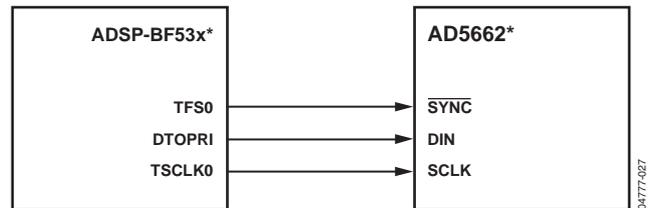
図36. パワーダウン時の出力段

パワーダウン・モードを起動すると、バイアス発生器、出力アンプ、抵抗ストリング、その他の関係するリニア回路がすべてシャットダウンされます。ただし、パワーダウン時であってもDACレジスタの値はそのまま保持されます。パワーダウンを終了してパワーアップするまでの時間は、V<sub>DD</sub>=5Vおよび3V時でともに4μs(typ)です(図24を参照)。

## マイクロプロセッサとのインターフェース接続

### AD5662とBlackfin® ADSP-BF53xとのインターフェース

図37に、AD5662とBlackfin ADSP-BF53xマイクロプロセッサとのシリアル・インターフェースを示します。ADSP-BF53xファミリーのプロセッサには、シリアル通信とマルチプロセッサ通信用に2つのデュアル・チャンネル同期シリアル・ポート(SPORT1とSPORT0)が内蔵されています。SPORT0を用いたAD5662との接続では、次のようにインターフェースがセットアップされます。DTOPRIがAD5662のDINピンを駆動し、TSCLK0がAD5662のSCLKピンを駆動します。 $\overline{\text{SYNC}}$ はTFS0から駆動されます。



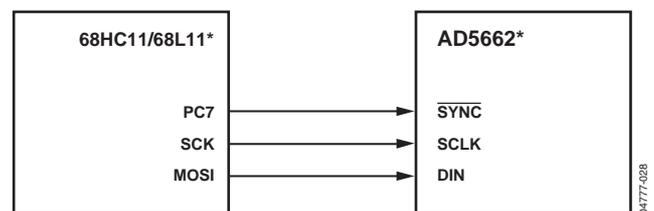
\*わかりやすくするため他のピンは省略しています。

図37. AD5662とBlackfin ADSP-BF53xとのインターフェース

### AD5662と68HC11/68L11とのインターフェース

図38に、AD5662と68HC11/68L11マイクロコントローラ間のシリアル・インターフェースを示します。68HC11/68L11のSCKがAD5662のSCLKを駆動し、MOSI出力がDACのシリアル・データ・ラインを駆動します。

$\overline{\text{SYNC}}$ 信号はポート・ライン(PC7)から生成されます。このインターフェースの正常動作のためには、68HC11/68L11でCPOLビットを「0」、かつCPHAビットを「1」となるように設定する必要があります。データがDACに転送されているときは、 $\overline{\text{SYNC}}$ ラインがローレベルになります(PC7)。68HC11/68L11が上述のように設定された場合には、MOSIに出力されるデータはSCKの立下がりエッジで有効になります。シリアル・データは68HC11/68L11から8ビットのバイトで転送され、送信サイクル内には立下がりクロック・エッジが8個しかありません。データはMSBファーストで転送されます。データをAD5662にロードするときは、最初の8ビットが転送された後もPC7をローレベルのままにして、DACに対して2番目のシリアル書き込み動作を実行します。この手順の終わりに、PC7をハイレベルにします。

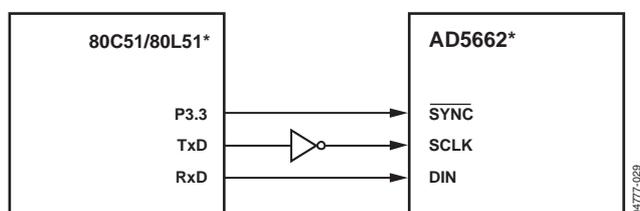


\*わかりやすくするため他のピンは省略しています。

図38. AD5662と68HC11/68L11とのインターフェース

### AD5662と80C51/80L51とのインターフェース

図39に、AD5662と80C51/80L51マイクロコントローラとのシリアル・インターフェースを示します。このインターフェースのセットアップでは、80C51/80L51のTxDがAD5662のSCLKを駆動し、RxDがシリアル・データ・ラインを駆動します。 $\overline{\text{SYNC}}$ 信号はこの場合も、ポート上のビット・プログラマブル・ピンから生成されます。このケースでは、ポート・ラインP3.3を使用します。データがAD5662に転送される時、P3.3はローレベルになります。データは80C51/80L51から8ビットのバイトで転送されるため、送信サイクル内には立下がりクロック・エッジが8個しかありません。データをDACにロードするときは、最初の8ビットが転送された後もP3.3をローレベルのままにして、2番目の書込みサイクルを実行すると、データの2番目のバイトの転送が開始されます。このサイクルの完了後にP3.3をハイレベルにします。80C51/80L51はシリアル・データをLSBファーストで出力しますが、AD5662はMSBファーストでデータを受け取る必要があります。したがって、80C51/80L51の送信ルーチンは、これを考慮に入れてください。

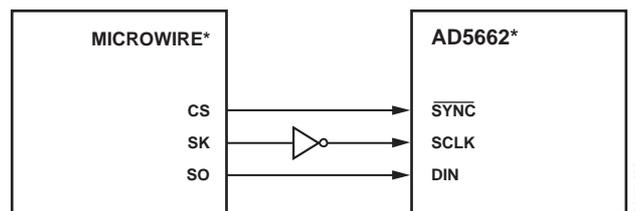


\*わかりやすくするため他のピンは省略しています。

図39. AD5662と80C51/80L51とのインターフェース

### AD5662とMICROWIREとのインターフェース

図40に、AD5662とMICROWIRE互換デバイスとのインターフェースを示します。シリアル・データはシリアル・クロックの立下がりエッジで出力され、SKの立上がりエッジでAD5662に入力されます。



\*わかりやすくするため他のピンは省略しています。

図40. AD5662とMICROWIREとのインターフェース

# AD5662

## アプリケーション

### リファレンスの選択方法

AD5662から最適な性能を得るためには、高精度の電圧リファレンスの選択に細心の注意を払う必要があります。AD5662には、1つの電圧リファレンス入力 $V_{REF}$ のみが用意されています。このリファレンス入力の電圧を使用して、DACに正の入力電圧を供給します。したがって、電圧リファレンスに少しでも誤差があると、DACにも影響が出ます。

高精度アプリケーションで電圧リファレンスを選択するときには、誤差源として初期精度、ppmドリフト、長期ドリフト、出力電圧ノイズを考慮に入れます。DACの出力電圧の初期精度は、DACのフルスケール誤差を発生する要因となります。これらの誤差を最小限に抑えるために、初期精度の高い電圧リファレンスの選択が望まれます。これに加えて、ADR423などの出力調整機能付きの電圧リファレンスを選択すると、システム設計者はリファレンス電圧をその公称値以外の電圧に設定することによって、システム誤差をゼロに抑えるように調整できます。この調整機能は、すべての誤差をゼロに調整するための温度で利用することも可能です。

長期ドリフトは、リファレンスの経時変化を測定した値です。精度の高い長期ドリフト仕様を備えたリファレンスは、製品寿命を通じて比較的安定した状態に精度が維持されています。

リファレンスの出力電圧の温度係数は、INL、DNL、TUEに影響を及ぼします。周囲条件におけるDAC出力電圧の温度依存性を低く抑えるために、精度の高い温度係数仕様を備えたリファレンスを選択してください。

比較的低いノイズを要求条件とする高精度のアプリケーションでは、リファレンスの出力電圧ノイズを考慮に入れる必要があります。要求されるシステム・ノイズ分解能に対して、可能な限り出力ノイズが低いリファレンスを選択することが重要です。ADR425などの高精度電圧リファレンスは、0.1~10Hzの範囲で出力ノイズが低く抑えられています。AD5662の電源電圧に最適な高精度リファレンス製品の例を表6に示します。

表6. AD5662用高精度リファレンス製品のリスト

部品番号	初期精度 (mV max)	温度ドリフト (ppm/°C max)	0.1~10Hzノイズ ( $\mu\text{Vp-p typ}$ )	$V_{OUT}$ (V)
ADR425	$\pm 2$	3	3.4	5
ADR395	$\pm 6$	25	5	5
REF195	$\pm 2$	5	50	5
AD780	$\pm 2$	3	4	2.5/3
ADR423	$\pm 2$	3	3.4	3

### リファレンスをAD5662の電源として使用する方法

AD5662に必要な電源電流は非常に低いので、電圧リファレンスを使用してAD5662に必要な電圧を供給することもできます(図41を参照)。電源ノイズが非常に大きい場合、あるいはシステムの電源電圧が5Vまたは3V以外の電圧値である場合(15Vなど)、この方法が特に効果的です。電圧リファレンスは、AD5662に対して定常の電源電圧を出力します。適切な電圧リファレンスについては、表6を参照してください。低ドロップアウト電圧のREF195を使用する際には、DACの出力に負荷を接続していない状態で、REF195が $250\mu\text{A}$ の電流をAD5662に供給する必要があります。DAC出力に負荷を接続している場合も同様に、REF195は電流を負荷に供給する必要があります。必要な電流の合計値(DAC出力に $5\text{k}\Omega$ の負荷を接続している場合)は、以下のようになります。

$$250\mu\text{A} + (5\text{V}/5\text{k}\Omega) = 1.25\text{mA}$$

通常、REF195の負荷レギュレーションは $2\text{ppm}/\text{mA}$ であるため、REF195から $1.25\text{mA}$ の電流が供給されるときに、その誤差は $2.5\text{ppm}$  ( $12.5\mu\text{V}$ )となります。これは $0.164\text{LSB}$ の誤差に相当します。

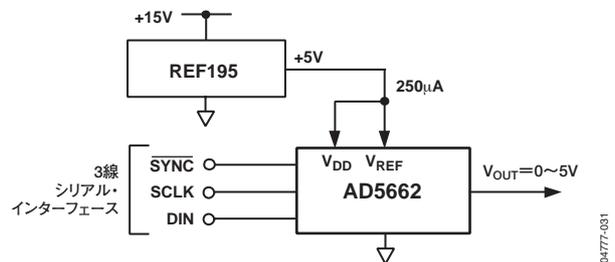


図41. REF195をAD5662の電源として使用する回路

## AD5662を使用したバイポーラ動作

AD5662は単電源で動作するように設計されていますが、図42に示す回路を使用して、バイポーラ出力電圧範囲を設定することも可能です。この回路では、出力電圧範囲が±5Vとなります。出力アンプとしてAD820またはOP295を使用すると、アンプ出力のレールtoレール動作が可能になります。

任意の入力コードに対応する出力電圧は、以下の数式から計算できます。

$$V_O = \left[ V_{DD} \times \left( \frac{D}{65,536} \right) \times \left( \frac{R1+R2}{R1} \right) - V_{DD} \times \left( \frac{R2}{R1} \right) \right]$$

ここで、 $D$ は入力コードと等価な10進数値(0~65,535)です。 $V_{DD}=5V$ 、 $R1=R2=10k\Omega$ のときに、出力電圧は以下の数式から求められます。

$$V_O = \left( \frac{10 \times D}{65,536} \right) - 5V$$

出力電圧範囲は±5Vとなり、0x0000が-5V出力、そして0xFFFFが+5V出力に相当します。

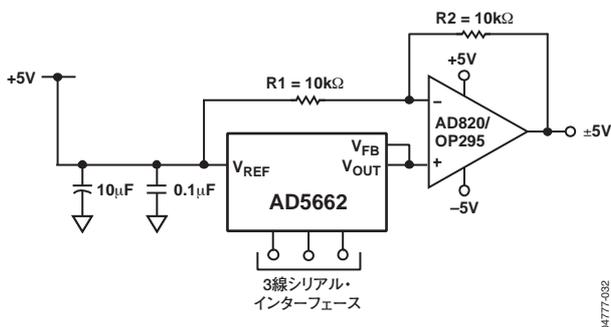


図42. AD5662を使用したバイポーラ動作

## プログラマブルな4~20mAプロセス・コントローラとしてAD5662を使用する方法

多くのプロセス制御システムのアプリケーションでは、ノイズの多い環境下でアナログ信号を送信するのに2線の電流伝送方法を使用します。この電流伝送方式では、ゼロスケール時に4mAの電流を使用し、トランスミッタのシグナル・コンディショニング回路に電源を供給することができます。この伝送方式のフルスケール出力信号は20mAです。この原理を利用することによって、プロセス制御においてループ内に低消費電力でプログラマブルな電流源と、遠隔地に配置されたアクチュエータやデバイスを制御することができます。

この機能を実行する回路を図43に示します。AD5662をコントローラとして使用するこの回路は、DACのデジタル・コードと比例する4~20mAのプログラマブル出力電流を供給します。コントローラのバイアシングはADR02によって供給されますが、次の2つの理由から外部調整を行う必要がありません。

- (1) ADR02の初期出力電圧許容誤差が優れている
- (2) AD8627とAD5662は両方とも電源消費電流が低い

回路全体の消費電流は、フォトカプラを含めても4mAを下回る3mA以下に抑えられます。AD8627は非反転ノードにおける電流加算を満たすように、出力電流を調整します。

$$I_{OUT} = 1/R7 (V_{DAC} \times R3/R1 + V_{REF} \times R3/R2)$$

図43に示す値を代入すると、

$$I_{OUT} = 0.2435 \mu A \times D + 4mA$$

ここで、 $D$ は $0 \leq D \leq 65535$ であり、AD5662のデジタル・コードが0xFFFFに等しいときに、20mAのフルスケール出力電流となります。4mA時のオフセット調整はP2によって行われ、P1は20mA時の回路のゲイン調整を行います。AD8627の非反転入力には仮想グラウンドであるため、これらの2つのトリムが相互に作用することはありません。ループ電源のパワーオン時に発生するトランジェントが原因で、AD8627の非反転入力がある反転入力よりも300mV以上低い電位に引き込まれることがないように、この回路ではショットキー・ダイオードD1が必要です。このダイオードを使用しなければ、上記のようなトランジェントに起因して、AD8627の位相反転が起こり、コントローラがラッチアップする可能性があります。この回路のループ電源電圧コンプライアンスは、ADR02に加えられる最大入力電圧によって制限され、その電圧範囲は12~40Vです。

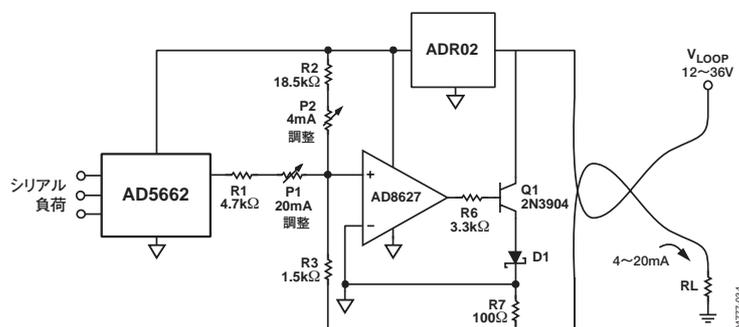


図43. プログラマブル4-20mAプロセス・コントローラ

# AD5662

## デジタル・アイソレータ (iCoupler) を用いた絶縁インターフェース

工業環境のプロセス制御アプリケーションでは、絶縁インターフェースが必要になる場合が多々あります。DACが動作している環境下で望ましくない同相電圧から制御回路を保護したり、絶縁したりする必要があるからです。iCouplerは2.5kVを超える絶縁が可能です。AD5662は3線式のシリアル・ロジック・インターフェースを使用しているため、3チャンネルのデジタル・アイソレータ「ADuM1300」で必要な絶縁を行うことができます(図44を参照)。AD5662の電源も絶縁が必要ですが、これはトランスを使用して行われます。トランスのDAC側では、5VレギュレータがAD5662に必要な5V電源を供給します。

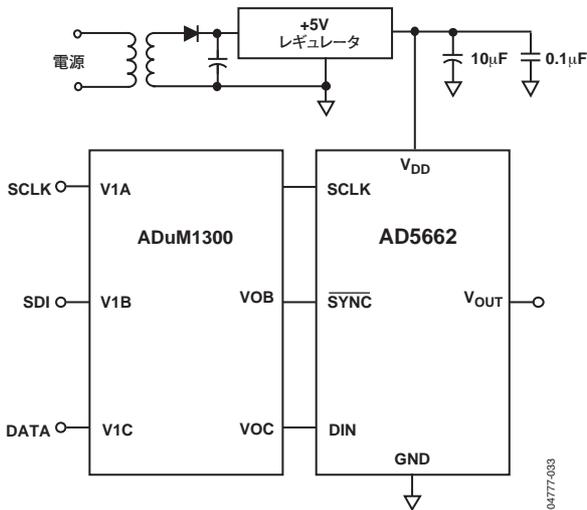


図44. iCouplerを用いた絶縁インターフェース

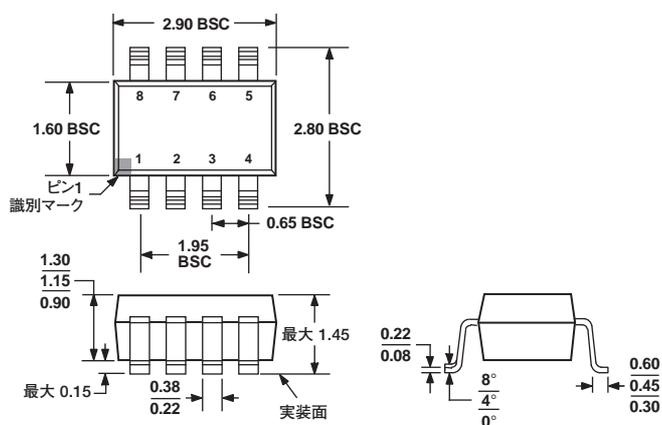
## 電源のバイパスとグラウンディング

精度が重視される回路では、ボードの電源とグラウンド・リターンノイズのレイアウトに注意する必要があります。AD5662を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれまとめて配置するように設計してください。複数のデバイスがAGNDとDGND間の接続を必要とするシステムでAD5662を使用する場合は、必ず1カ所のみで接続を行ってください。グラウンド・ポイントはAD5662のできるかぎり近くに配置してください。

AD5662の電源は、10 $\mu$ Fと0.1 $\mu$ Fのコンデンサを使用してバイパスします。コンデンサはデバイスのできるだけ近くに配置し、0.1 $\mu$ Fのコンデンサは理想的にはデバイス真上に配置してください。10 $\mu$ Fのコンデンサはタンタルのビード型を使います。0.1 $\mu$ Fのコンデンサは、セラミック型の等価直列抵抗 (ESR) が小さく、かつ等価直列インダクタンス値 (ESL) が小さいものを使うことが重要です。この0.1 $\mu$ Fのコンデンサは、内部ロジックのスイッチングによる過渡電流に起因して発生する高周波に対して、グラウンドへの低インピーダンス・パスを提供します。

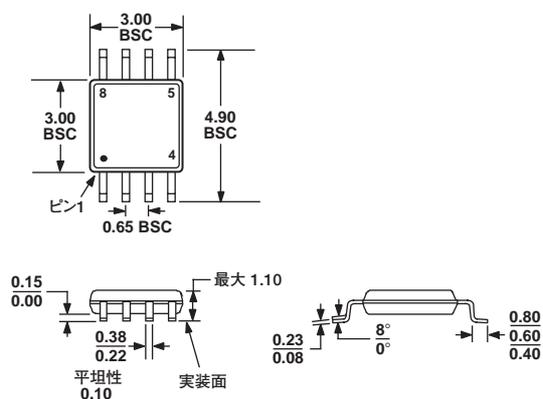
電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を低減させるようにします。クロックやその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを用いてボード上の他の部分からシールドします。デジタル信号とアナログ信号は、できるだけ交差しないようにしてください。ボードの反対側のパターンは、互いに直角になるように配置し、ボードを通過するフィードスルーの影響を削減します。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンをハンダ面に配置するマイクロストリップ技術ですが、2層ボードでは必ずしも使用できるとは限りません。

## 外形寸法



JEDEC規格MO-178BAに準拠

図45. 8ピンSOT-23パッケージ  
(RJ-8)  
寸法単位:mm



JEDEC規格MO-187AAに準拠

図46. 8ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]  
(RM-8)  
寸法単位:mm

# AD5662

## オーダー・ガイド

モデル	温度範囲	パッケージ説明	パッケージ・オプション	マーキング	パワーオン時にリセットされるコード	精度
AD5662ARJ-1500RL7	-40~+125℃	8ピンSOT-23	RJ-8	D38	ゼロ	±32LSB INL
AD5662ARJ-1REEL7	-40~+125℃	8ピンSOT-23	RJ-8	D38	ゼロ	±32LSB INL
AD5662ARJ-2500RL7	-40~+125℃	8ピンSOT-23	RJ-8	D39	ミッドスケール	±32LSB INL
AD5662ARJ-2REEL7	-40~+125℃	8ピンSOT-23	RJ-8	D39	ミッドスケール	±32LSB INL
AD5662ARM-1	-40~+125℃	8ピンMSOP	RM-8	D38	ゼロ	±32LSB INL
AD5662ARM-1REEL7	-40~+125℃	8ピンMSOP	RM-8	D38	ゼロ	±32LSB INL
AD5662BRJ-1500RL7	-40~+125℃	8ピンSOT-23	RJ-8	D36	ゼロ	±16LSB INL
AD5662BRJ-1REEL7	-40~+125℃	8ピンSOT-23	RJ-8	D36	ゼロ	±16LSB INL
AD5662BRJ-2500RL7	-40~+125℃	8ピンSOT-23	RJ-8	D37	ミッドスケール	±16LSB INL
AD5662BRJ-2REEL7	-40~+125℃	8ピンSOT-23	RJ-8	D37	ミッドスケール	±16LSB INL
AD5662BRM-1	-40~+125℃	8ピンMSOP	RM-8	D36	ゼロ	±16LSB INL
AD5662BRM-1REEL7	-40~+125℃	8ピンMSOP	RM-8	D36	ゼロ	±16LSB INL