

AD5628/AD5648/AD5668

特長

低消費電力、小型フットプリント、ピン・コンパチブルの8チャンネルDAC

AD5668: 16ビット

AD5648: 14ビット

AD5628: 12ビット

14ピン/16ピンTSSOPまたは16ピンLFCSPパッケージを採用

1.25/2.5V、5 ppm/°Cのリファレンス電圧を内蔵

パワーダウン: 5Vで400 nA、3Vで200 nAまで

電源電圧: 2.7V~5.5V

単調性をデザインにより保証

パワーオン・リセットでゼロスケールまたはミッドスケールに設定

3種類のパワーダウン機能

LDACおよびLDACのハードウェア優先機能

プログラマブルなコードに対するCLR機能

レール to レール動作

アプリケーション

プロセス制御

データ・アキュジション・システム

携帯型バッテリー駆動の計装機器

ゲインとオフセットのデジタル調整

プログラマブルな電圧源と電流源

プログラマブルな減衰器

概要

AD5628/AD5648/AD5668 デバイスは、8チャンネル低消費電力12/14/16ビットのバッファ付き電圧出力DACです。すべてのデバイスは2.7V~5.5Vの単電源で動作し、デザインにより単調性が保証されています。AD5668/AD5628は4mm×4mmLFCSPパッケージまたは16ピンTSSOPパッケージを、AD5648は14ピンまたは16ピンのTSSOPパッケージを、それぞれ採用しています。

AD5628/AD5648/AD5668には、内部ゲイン=2のリファレンス電圧も内蔵されています。AD5628-1/AD5648-1/AD5668-1は1.25V、5 ppm/°Cのリファレンス電圧を内蔵しフルスケール出力は2.5Vであり、AD5628-2/AD5648-2/AD5668-2/AD5668-3は2.5V、5 ppm/°Cのリファレンス電圧を内蔵しフルスケール出力は5Vです。内蔵リファレンス電圧はパワーアップ時にオフであるため、外付けリファレンス電圧を使用することができます。内蔵リファレンス電圧は、ソフトウェア書込みによりイネーブルされます。

これらのデバイスはパワーオン・リセット回路を内蔵しているため、DAC出力は0V(AD5628-1/AD5648-1/AD5668-1、AD5628-2/AD5648-2/AD5668-2)で、またはミッドスケール(AD5668-3)でパワーアップし、有効な書込みがあるまでこのレベルでパワーアップを維持します。これらのデバイスはデバイス消費電流を5Vで400 nAへ削減するパワーダウン機能を内蔵しているため、任意またはすべてのDACチャンネルに対して、パワーダウン・モード

機能ブロック図

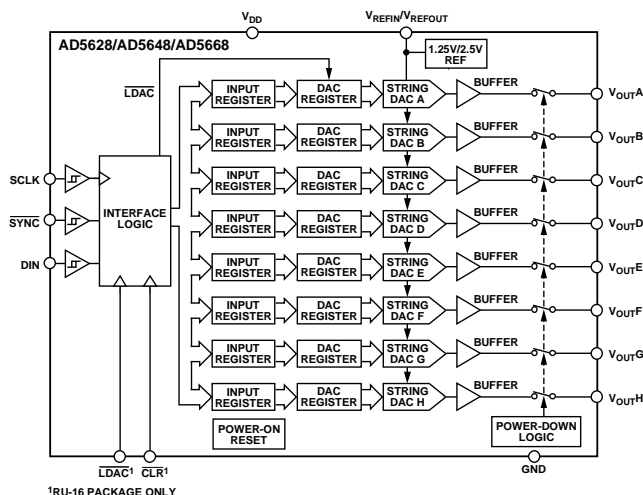


図1.

中の出力負荷をソフトウェアから選択することができます。すべてのDAC出力は、LDAC機能を使い同時に更新することができます。また、同時更新するDACチャンネルを選択することができます。また、ユーザー設定可能なコード(ゼロスケール、ミッドスケール、またはフルスケール)へすべてのDACを更新する非同期のCLRも装備しています。

AD5628/AD5648/AD5668は、最大50MHzのクロック・レートで動作し、かつSPI[®]、QSPI[™]、MICROWIRE[™]、DSPインターフェースの各規格と互換性を持つ多機能の3線式シリアル・インターフェースを内蔵しています。内蔵高精度出力アンプにより、レール to レール出力振幅が可能になっています。

製品のハイライト

1. 12/14/16ビットの8チャンネルDAC。
2. 1.25V/2.5V、5 ppm/°Cリファレンス電圧を内蔵。
3. 14ピン/16ピンTSSOPまたは16ピンLFCSPパッケージを採用。
4. 0Vまたはミッドスケールへのパワーオン・リセット。
5. パワーダウン機能を内蔵。パワーダウン時のDAC消費電流(typ): 3Vで200 nA、5Vで400 nA。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
©2005–2011 Analog Devices, Inc. All rights reserved.

Rev. E

目次

特長	1	抵抗ストリング	20
アプリケーション	1	内蔵リファレンス電圧	20
機能ブロック図	1	出力アンプ	21
概要	1	シリアル・インターフェース	21
製品のハイライト	1	入力シフトレジスタ	22
改訂履歴	2	$\overline{\text{SYNC}}$ 割込み	22
仕様	3	内蔵リファレンス・レジスタ	23
AC特性	6	パワーオン・リセット	23
タイミング特性	7	パワーダウン・モード	23
絶対最大定格	8	クリア・コード・レジスタ	23
ESDの注意	8	$\overline{\text{LDAC}}$ 機能	25
ピン配置およびピン機能説明	9	電源のバイパスとグラウンド接続	25
代表的な性能特性	10	外形寸法	26
用語	18	オーダー・ガイド	28
動作原理	20		
D/Aセクション	20		

改訂履歴

1/11—Rev. D to Rev. E

Changes to AD5628 Relative Accuracy, Zero-Code Error, Offset Error, and Reference TC Parameters, Table 1	3
Changes to AD5628 Relative Accuracy, Zero-Code Error, Offset Error, and Reference TC Parameters, Table 2	5
Changes to Output Voltage Settling Time, Table 3	6
Added Figure 53; Renumbered Sequentially	17
Change to Output Amplifier Section	21
Changes to Ordering Guide	28

9/10—Rev. C to Rev. D

Change to Title	1
Added 16-Lead LFCSP Throughout	Universal
Changes to Table 1	3
Changes to Table 2	5
Changes to Table 3	6
Changes to Table 4	7
Deleted SnPb from Table 5	8
Added Figure 5; Renumbered Sequentially	9
Changes to Table 6	9
Replaced Typical Performance Characteristics Section	10
Changes to Power-On Reset Section	23
Updated Outline Dimensions	26
Changes to Ordering Guide	28

1/10—Rev. B to Rev. C

Changes to Figure 3	10
Changes to Ordering Guide	28

2/09—Rev. A to Rev. B

Changes to Reference Current Parameter, Table 1	3
Changes to I_{DD} (Normal Mode) Parameter, Table 1	4
Changes to Reference Current Parameter, Table 2	5
Changes to I_{DD} (Normal Mode) Parameter, Table 2	6

11/05—Rev. 0 to Rev. A

Change to Specifications	3
--------------------------	---

10/05—Revision 0: Initial Version

仕様

$V_{DD} = 4.5\text{ V} \sim 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ (GNDへ接続)、 $C_L = 200\text{ pF}$ (GNDへ接続)、 $V_{REFIN} = V_{DD}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表1.

Parameter	A Grade ¹			B Grade ¹			Unit	Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
STATIC PERFORMANCE ²								
AD5628								
Resolution	12			12			Bits	
Relative Accuracy		±0.5	±4		±0.5	±1	LSB	See Figure 8
Differential Nonlinearity			±0.25			±0.25	LSB	Guaranteed monotonic by design (see Figure 11)
AD5648								
Resolution	14			14			Bits	
Relative Accuracy		±2	±8		±2	±4	LSB	See Figure 7
Differential Nonlinearity			±0.5			±0.5	LSB	Guaranteed monotonic by design (see Figure 10)
AD5668								
Resolution	16			16			Bits	
Relative Accuracy		±8	±32		±8	±16	LSB	See Figure 6
Differential Nonlinearity			±1			±1	LSB	Guaranteed monotonic by design (see Figure 9)
Zero-Code Error		6	19		6	19	mV	All 0s loaded to DAC register (see Figure 25)
Zero-Code Error Drift		±2			±2		μV/°C	
Full-Scale Error		-0.2	-1		-0.2	-1	% FSR	All 1s loaded to DAC register (see Figure 26)
Gain Error			±1			±1	% FSR	
Gain Temperature Coefficient		±2.5			±2.5		ppm	Of FSR/°C
Offset Error		±6	±19		±6	±19	mV	
DC Power Supply Rejection Ratio		-80			-80		dB	$V_{DD} \pm 10\%$
DC Crosstalk (External Reference)		10			10		μV	Due to full-scale output change, $R_L = 2\text{ k}\Omega$ to GND or V_{DD}
		5			5		μV/mA	Due to load current change
		10			10		μV	Due to powering down (per channel)
DC Crosstalk (Internal Reference)		25			25		μV	Due to full-scale output change, $R_L = 2\text{ k}\Omega$ to GND or V_{DD}
		10			10		μV/mA	Due to load current change
OUTPUT CHARACTERISTICS ³								
Output Voltage Range	0		V_{DD}	0		V_{DD}	V	
Capacitive Load Stability		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 2\text{ k}\Omega$
DC Output Impedance		0.5			0.5		Ω	
Short-Circuit Current		30			30		mA	$V_{DD} = 5\text{ V}$
Power-Up Time		4			4		μs	Coming out of power-down mode, $V_{DD} = 5\text{ V}$
REFERENCE INPUTS								
Reference Current		40	55		40	55	μA	$V_{REF} = V_{DD} = 5.5\text{ V}$ (per DAC channel)
Reference Input Range	0		V_{DD}	0		V_{DD}	V	
Reference Input Impedance		14.6			14.6		kΩ	
REFERENCE OUTPUT								
Output Voltage		2.495	2.505		2.495	2.505	V	At ambient
AD56x8-2, AD56x8-3								
Reference TC ³		5	10		5	10	ppm/°C	TSSOP
		15			5	10	ppm/°C	LFCSP
Reference Output Impedance		7.5			7.5		kΩ	
LOGIC INPUTS ³								
Input Current			±3			±3	μA	All digital inputs
Input Low Voltage, V_{INL}			0.8			0.8	V	$V_{DD} = 5\text{ V}$
Input High Voltage, V_{INH}	2			2			V	$V_{DD} = 5\text{ V}$

Parameter	A Grade ¹			B Grade ¹			Unit	Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
Pin Capacitance	3			3			pF	
POWER REQUIREMENTS								
V_{DD}	4.5		5.5	4.5		5.5	V	All digital inputs at 0 or V_{DD} , DAC active, excludes load current
I_{DD} (Normal Mode) ⁴								$V_{IH} = V_{DD}$ and $V_{IL} = GND$
$V_{DD} = 4.5\text{ V to }5.5\text{ V}$		1.0	1.5		1.0	1.5	mA	Internal reference off
$V_{DD} = 4.5\text{ V to }5.5\text{ V}$		1.8	2.25		1.7	2.25	mA	Internal reference on
I_{DD} (All Power-Down Modes) ⁵								
$V_{DD} = 4.5\text{ V to }5.5\text{ V}$		0.4	1		0.4	1	μA	$V_{IH} = V_{DD}$ and $V_{IL} = GND$

¹ 温度範囲 (typ)は、25°Cで-40°C~+105°Cです。

² 直線性はコード範囲を縮小して計算(AD5628ではコード32~コード4064、AD5648ではコード128~コード16,256、AD5668ではコード512~コード65,024)。出力は無負荷。

³ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

⁴ インターフェースは非アクティブ状態。すべてのDACはアクティブ状態。DAC出力は無負荷。

⁵ 8個のDACがすべてパワーダウンします。

$V_{DD} = 2.7\text{ V} \sim 3.6\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ (GNDへ接続)、 $C_L = 200\text{ pF}$ (GNDへ接続)、 $V_{REFIN} = V_{DD}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表2.

Parameter	A Grade ¹			B Grade ¹			Unit	Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
STATIC PERFORMANCE ²								
AD5628								
Resolution	12			12			Bits	
Relative Accuracy		± 0.5	± 4		± 0.5	± 1	LSB	See Figure 8
Differential Nonlinearity			± 0.25			± 0.25	LSB	Guaranteed monotonic by design (see Figure 11)
AD5648								
Resolution	14			14			Bits	
Relative Accuracy		± 2	± 8		± 2	± 4	LSB	See Figure 7
Differential Nonlinearity			± 0.5			± 0.5	LSB	Guaranteed monotonic by design (see Figure 10)
AD5668								
Resolution	16			16			Bits	
Relative Accuracy		± 8	± 32		± 8	± 16	LSB	See Figure 6
Differential Nonlinearity			± 1			± 1	LSB	Guaranteed monotonic by design (see Figure 9)
Zero-Code Error		6	19		6	19	mV	All 0s loaded to DAC register (see Figure 25)
Zero-Code Error Drift		± 2			± 2		$\mu\text{V}/^\circ\text{C}$	
Full-Scale Error		-0.2	-1		-0.2	-1	% FSR	All 1s loaded to DAC register (see Figure 26)
Gain Error			± 1			± 1	% FSR	
Gain Temperature Coefficient		± 2.5			± 2.5		ppm	Of FSR/ $^\circ\text{C}$
Offset Error		± 6	± 19		± 6	± 19	mV	
DC Power Supply Rejection Ratio ³		-80			-80		dB	$V_{DD} \pm 10\%$
DC Crosstalk ³ (External Reference)		10			10		μV	Due to full-scale output change, $R_L = 2\text{ k}\Omega$ to GND or V_{DD}
		5			5		$\mu\text{V}/\text{mA}$	Due to load current change
		10			10		μV	Due to powering down (per channel)
DC Crosstalk ³ (Internal Reference)		25			25		μV	Due to full-scale output change, $R_L = 2\text{ k}\Omega$ to GND or V_{DD}
		10			10		$\mu\text{V}/\text{mA}$	Due to load current change
OUTPUT CHARACTERISTICS ³								
Output Voltage Range	0		V_{DD}	0		V_{DD}	V	
Capacitive Load Stability		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 2\text{ k}\Omega$
DC Output Impedance		0.5			0.5		Ω	
Short-Circuit Current		30			30		mA	$V_{DD} = 3\text{ V}$
Power-Up Time		4			4		μs	Coming out of power-down mode, $V_{DD} = 3\text{ V}$
REFERENCE INPUTS								
Reference Current		40	55		40	55	μA	$V_{REF} = V_{DD} = 5.5\text{ V}$ (per DAC channel)
Reference Input Range	0		V_{DD}	0		V_{DD}		
Reference Input Impedance		14.6			14.6		$\text{k}\Omega$	
REFERENCE OUTPUT								
Output Voltage								
AD5628/AD5648/AD5668-1	1.247		1.253	1.247		1.253	V	At ambient
Reference TC ³		5	15		5	15	ppm/ $^\circ\text{C}$	TSSOP
		15			15		ppm/ $^\circ\text{C}$	LFCSP
Reference Output Impedance		7.5			7.5		$\text{k}\Omega$	
LOGIC INPUTS ³								
Input Current			± 3			± 3	μA	All digital inputs
Input Low Voltage, V_{INL}			0.8			0.8	V	$V_{DD} = 3\text{ V}$
Input High Voltage, V_{INH}	2			2			V	$V_{DD} = 3\text{ V}$
Pin Capacitance		3			3		pF	
POWER REQUIREMENTS								

Parameter	A Grade ¹			B Grade ¹			Unit	Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
V _{DD}	2.7		3.6	2.7		3.6	V	All digital inputs at 0 or V _{DD} , DAC active, excludes load current
I _{DD} (Normal Mode) ⁴								V _{IH} = V _{DD} and V _{IL} = GND
V _{DD} = 2.7 V to 3.6 V		1.0	1.5		1.0	1.5	mA	Internal reference off
V _{DD} = 2.7 V to 3.6 V		1.8	2.25		1.7	2.25	mA	Internal reference on
I _{DD} (All Power-Down Modes) ⁵								V _{IH} = V _{DD} and V _{IL} = GND
V _{DD} = 2.7 V to 3.6 V		0.2	1		0.2	1	μA	

¹ 温度範囲 (typ)は、25°C で-40°C~+105°Cです。

² 直線性はコード範囲を縮小して計算(AD5628 ではコード 32 ~コード 4064、AD5648 ではコード 128~コード 16256、AD5668 ではコード 512 ~コード 65024)。出力は無負荷。

³ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

⁴ インターフェースは非アクティブ状態。すべての DAC はアクティブ状態。DAC 出力は無負荷。

⁵ 8 個の DAC がすべてパワーダウンします。

AC特性

V_{DD} = 2.7 V~5.5 V、R_L = 2 kΩ (GND へ接続)、C_L = 200 pF (GND へ接続)、V_{REFIN} = V_{DD}。特に指定のない限り、すべての仕様は T_{MIN}~T_{MAX} で規定。

表3.

Parameter ^{1,2}	Min	Typ	Max	Unit	Conditions/Comments ³
Output Voltage Settling Time		2.5	7	μs	¼ to ¾ scale settling to ±2 LSB (16-bit resolution)
Slew Rate		1.2		V/μs	
Digital-to-Analog Glitch Impulse		4		nV-s	1 LSB(16-bit resolution) change around major carry (see Figure 41)
		19		nV-s	From code 0xEA00 to code 0xE9FF (16-bit resolution)
Digital Feedthrough		0.1		nV-s	
Digital Crosstalk		0.2		nV-s	
Analog Crosstalk		0.4		nV-s	
DAC-to-DAC Crosstalk		0.8		nV-s	
Multiplying Bandwidth		320		kHz	V _{REF} = 2 V ± 0.2 V p-p
Total Harmonic Distortion		-80		dB	V _{REF} = 2 V ± 0.1 V p-p, frequency = 10 kHz
Output Noise Spectral Density		120		nV/√Hz	DAC code = 0x8400(16-bit resolution), 1 kHz
		100		nV/√Hz	DAC code = 0x8400(16-bit resolution), 10 kHz
Output Noise		12		μV p-p	0.1 Hz to 10 Hz, DAC code = 0x0000

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

² 用語のセクションを参照してください。

³ 温度範囲 (typ)は、25°C で-40°C~+105°Cです。

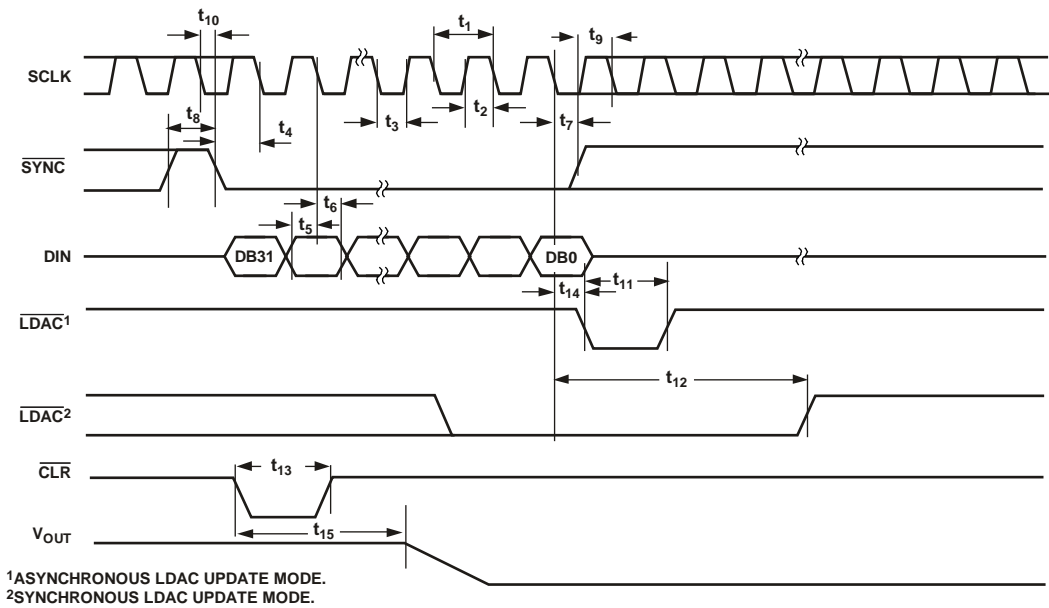
タイミング特性

すべての入力信号は $t_r = t_f = 1 \text{ ns/V}$ (V_{DD} の10%から90%)で規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルからの時間とします。図2を参照してください。 $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 。特に指定がない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表4.

Parameter	Limit at T_{MIN}, T_{MAX} $V_{DD} = 2.7 \text{ V to } 5.5 \text{ V}$	Unit	Conditions/Comments
t_1^1	20	ns min	SCLK cycle time
t_2	8	ns min	SCLK high time
t_3	8	ns min	SCLK low time
t_4	13	ns min	$\overline{\text{SYNC}}$ to SCLK falling edge set-up time
t_5	4	ns min	Data set-up time
t_6	4	ns min	Data hold time
t_7	0	ns min	SCLK falling edge to $\overline{\text{SYNC}}$ rising edge
t_8	15	ns min	Minimum $\overline{\text{SYNC}}$ high time
t_9	13	ns min	$\overline{\text{SYNC}}$ rising edge to SCLK fall ignore
t_{10}	0	ns min	SCLK falling edge to $\overline{\text{SYNC}}$ fall ignore
t_{11}	10	ns min	$\overline{\text{LDAC}}$ pulse width low
t_{12}	15	ns min	SCLK falling edge to $\overline{\text{LDAC}}$ rising edge
t_{13}	5	ns min	$\overline{\text{CLR}}$ pulse width low
t_{14}	0	ns min	SCLK falling edge to $\overline{\text{LDAC}}$ falling edge
t_{15}	300	ns typ	$\overline{\text{CLR}}$ pulse activation time

¹ $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ での最大 SCLK 周波数は 50 MHz。デザインとキャラクタライゼーションで保証しますが、出荷テストは行いません。



¹ASYNCHRONOUS LDAC UPDATE MODE.
²SYNCHRONOUS LDAC UPDATE MODE.

05502-002

図 2. シリアル書き込み動作

絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

表5.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
Digital Input Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
V_{OUT} to GND	-0.3 V to $V_{DD} + 0.3$ V
V_{REFIN}/V_{REFOUT} to GND	-0.3 V to $V_{DD} + 0.3$ V
Operating Temperature Range	
Industrial	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature ($T_{J\text{ MAX}}$)	150°C
TSSOP Package	
Power Dissipation	$(T_{J\text{ MAX}} - T_A)/\theta_{JA}$
θ_{JA} Thermal Impedance	150.4°C/W
Reflow Soldering Peak Temperature	
Pb Free	260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

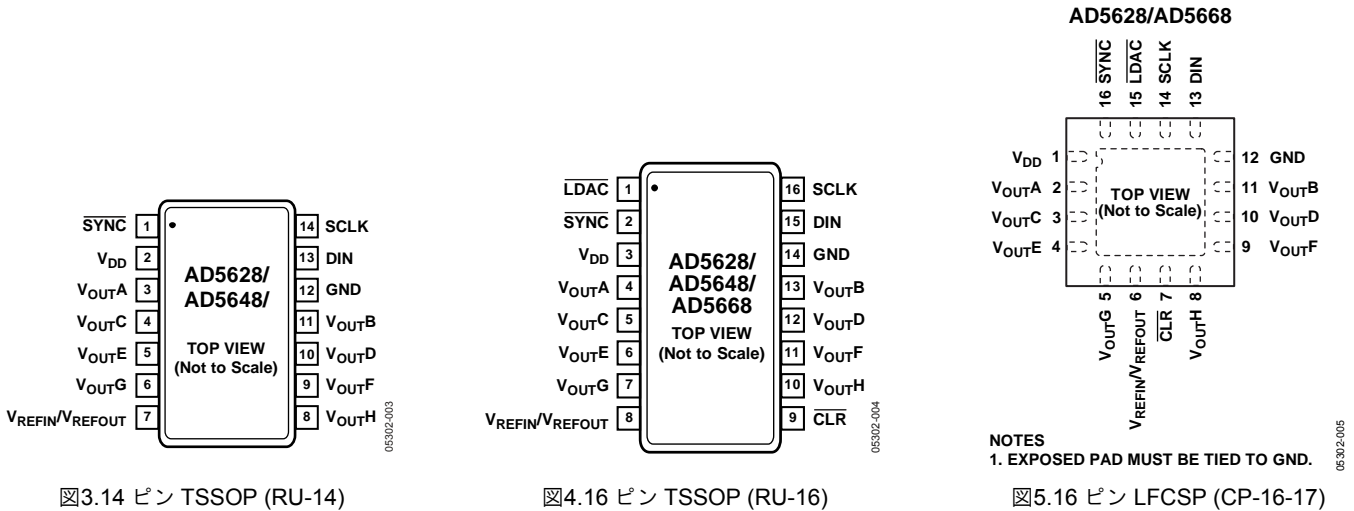


図3.14 ピン TSSOP (RU-14)

図4.16 ピン TSSOP (RU-16)

図5.16 ピン LFCSP (CP-16-17)

表6. ピン機能の説明

ピン番号			記号	説明
14ピン TSSOP	16ピン TSSOP	16ピン LFCSP		
N/A	1	15	LDAC	入力レジスタに新しいデータがある場合、このピンにロー・レベルのパルスを入力すると、すべてのDACレジスタが更新されます。この信号を使うと、全DAC出力を同時に更新することができます。あるいは、このピンをロー・レベルに固定することができます。
1	2	16	SYNC	アクティブ・ローのコントロール入力。これは、入力データに対するフレーム同期信号です。SYNCがロー・レベルになると、SCLKバッファとDINバッファが動作を開始し、入力シフトレジスタがイネーブルされます。データは、次の32個のクロックの立下がりエッジで転送されます。32個目の立下がりエッジの前にSYNCをハイ・レベルにすると、SYNCの立上がりエッジは割込みとして機能するため、デバイスは書き込みシーケンスを無視します。
2	3	1	V _{DD}	電源入力。これらのデバイスは2.7V~5.5Vで動作し、電源は10μFのコンデンサと0.1μFのコンデンサとの並列接続によりGNDヘドカップリングする必要があります。
3	4	2	V _{OUTA}	DAC Aのアナログ電圧出力。出力アンプはレール to レール動作。
11	13	11	V _{OUTB}	DAC Bのアナログ電圧出力。出力アンプはレール to レール動作。
4	5	3	V _{OUTC}	DAC Cのアナログ電圧出力。出力アンプはレール to レール動作。
10	12	10	V _{OUTD}	DAC Dのアナログ電圧出力。出力アンプはレール to レール動作。
7	8	6	V _{REFIN} /V _{REFOUT}	AD5628/AD5648/AD5668には、リファレンス入力とリファレンス出力に対する共通・ピンがあります。内蔵リファレンス電圧を使用する場合、このピンがリファレンス出力ピンになります。外付けリファレンスを使用する場合は、このピンはリファレンス入力ピンになります。デフォルトでは、このピンはリファレンス入力になっています。
N/A	9	7	CLR	非同期のクリア入力。CLR入力は、立下がりエッジ検出です。CLRがロー・レベルのときは、すべてのLDACパルスが無視されます。CLRが入力されると、入力レジスタとDACレジスタはCLRコード・レジスタの値(ゼロ、ミッドスケール、またはフルスケール)で更新されます。デフォルト設定では、出力が0Vにクリアされます。
5	6	4	V _{OUTE}	DAC Eのアナログ出力電圧。出力アンプはレール to レール動作。
9	11	9	V _{OUTF}	DAC Fのアナログ出力電圧。出力アンプはレール to レール動作。
6	7	5	V _{OUTG}	DAC Gのアナログ出力電圧。出力アンプはレール to レール動作。
8	10	8	V _{OUTH}	DAC Hのアナログ出力電圧。出力アンプはレール to レール動作。
12	14	12	GND	デバイス上の全回路に対するグラウンド基準電圧ポイント。
13	15	13	DIN	シリアル・データ入力。このデバイスは、32ビットのシフトレジスタを内蔵しています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
14	16	14	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジでシフトレジスタに入力されます。データは最大50MHzのレートで転送できます。
		EPAD	EPAD	エクスポーズド・パッドはボードのグラウンド・プレーンにハンダ接続することが推奨されます。

代表的な性能特性

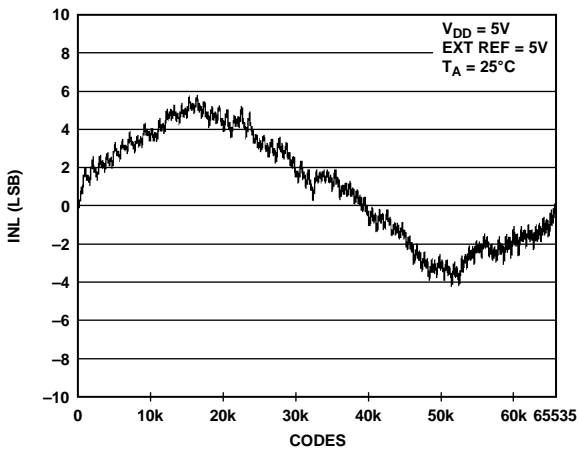


図 6. INL AD5668—外付けリファレンス電圧

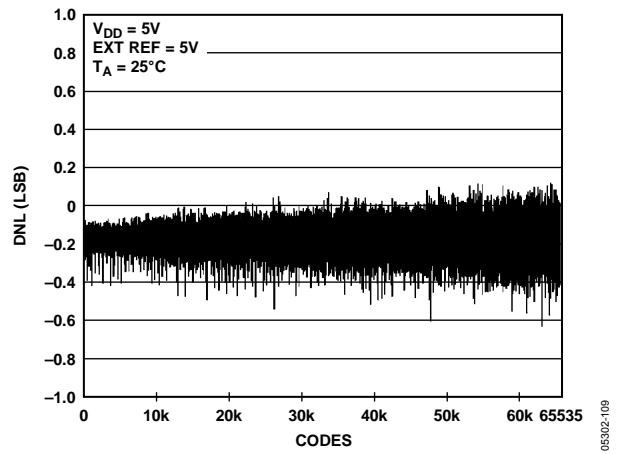


図 9. DNL AD5668—外付けリファレンス電圧

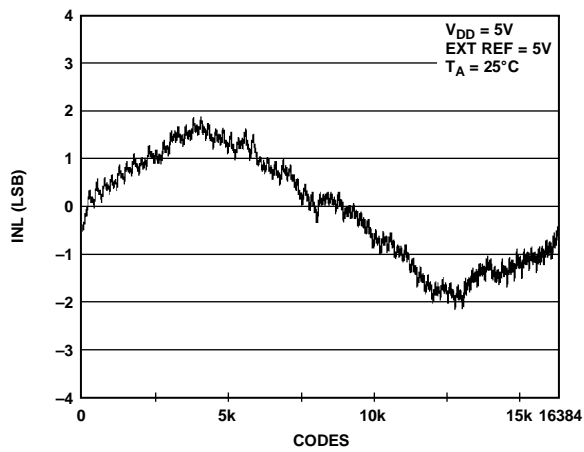


図 7. INL AD5648—外付けリファレンス電圧

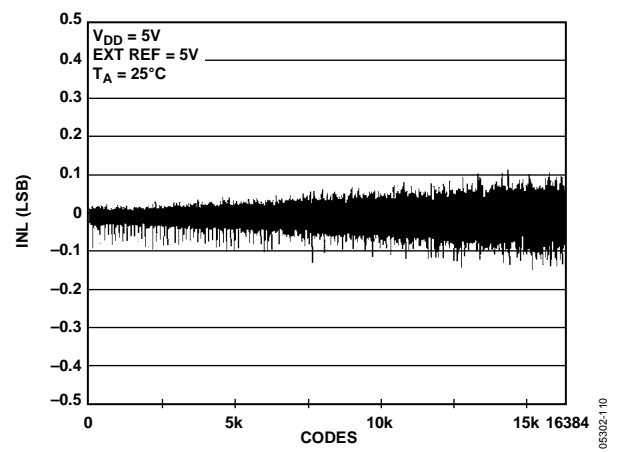


図 10. DNL AD5648—外付けリファレンス電圧

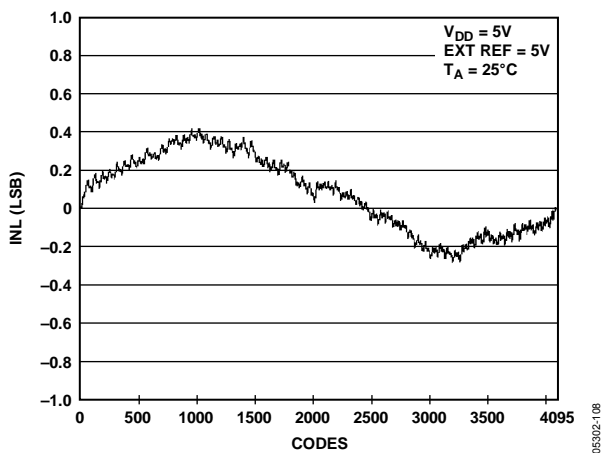


図 8. INL AD5628—外付けリファレンス電圧

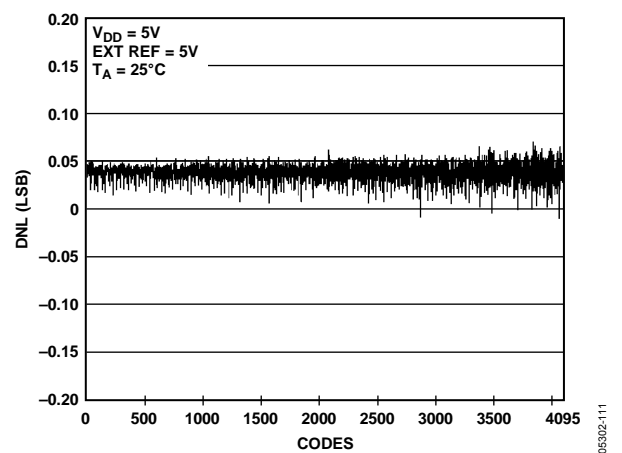
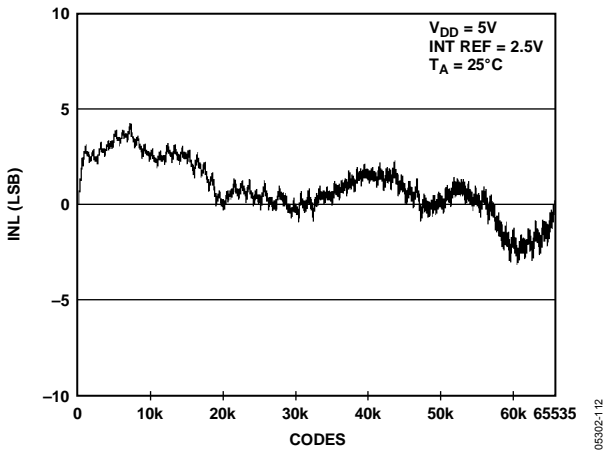
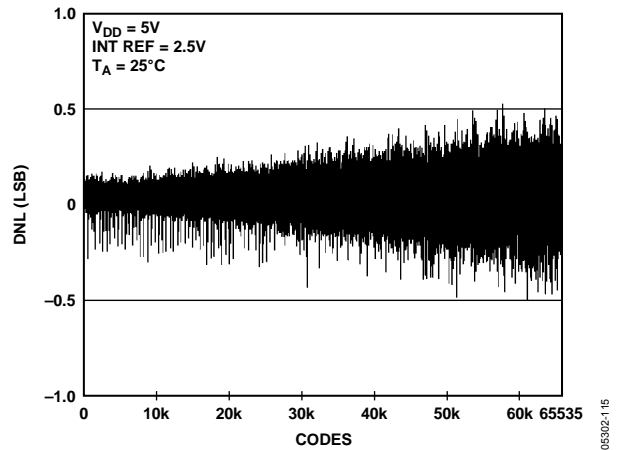


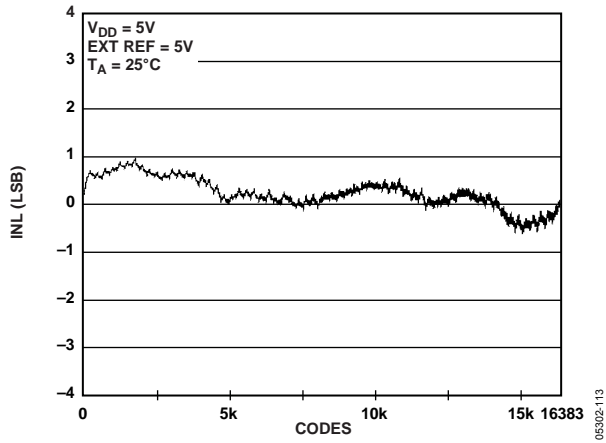
図 11. DNL AD5628—外付けリファレンス電圧



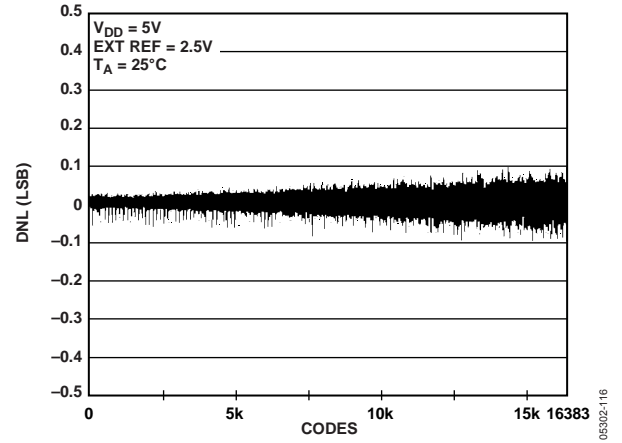
12. INL AD5668-2/AD5668-3



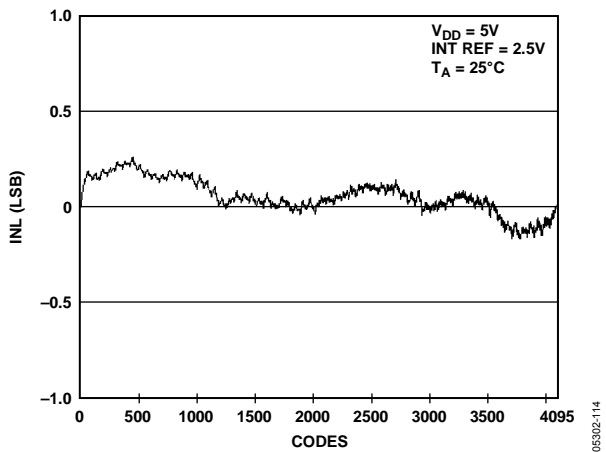
15. DNL AD5668-2/AD5668-3



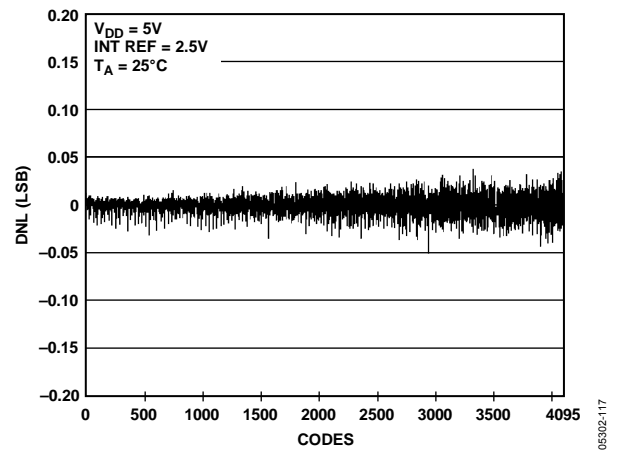
13. INL AD5648-2



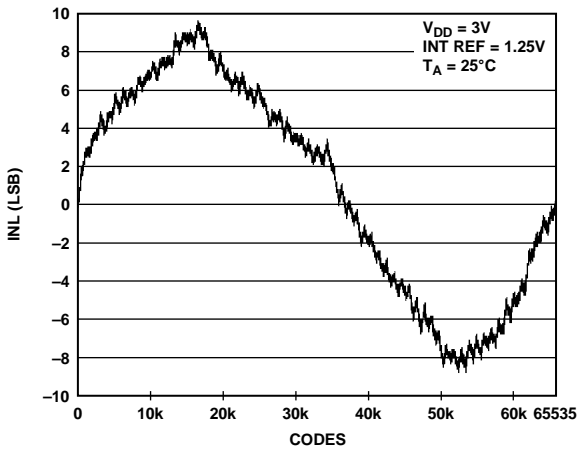
16. DNL AD5648-2



14. INL AD5628-2

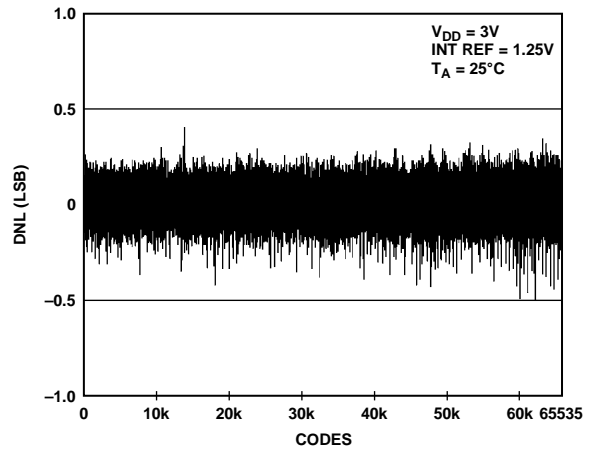


17. DNL AD5628-2



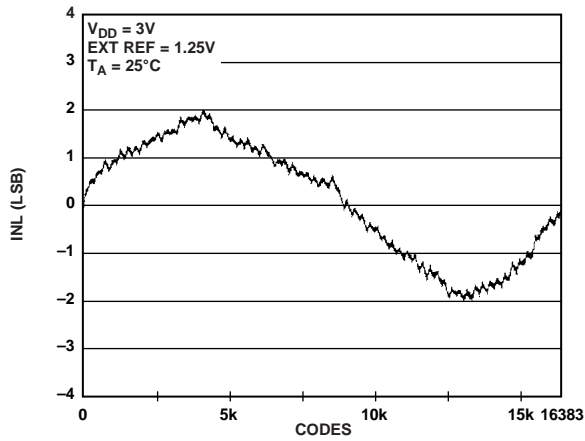
06302-118

18.INL AD5668-1



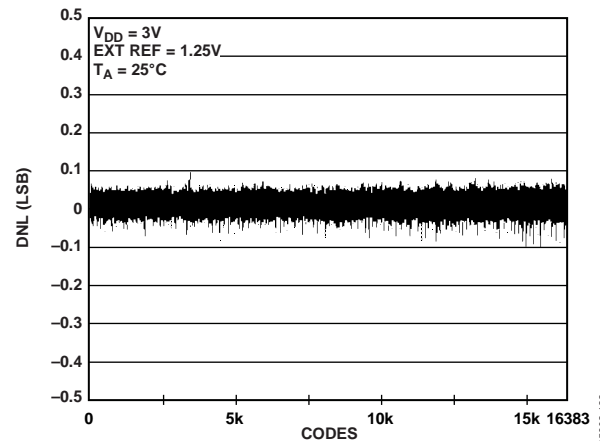
06302-121

21.DNL AD5668-1



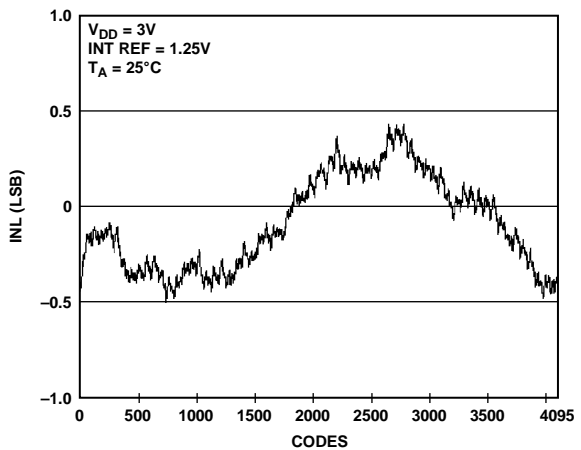
06302-119

19.INL AD5648-1



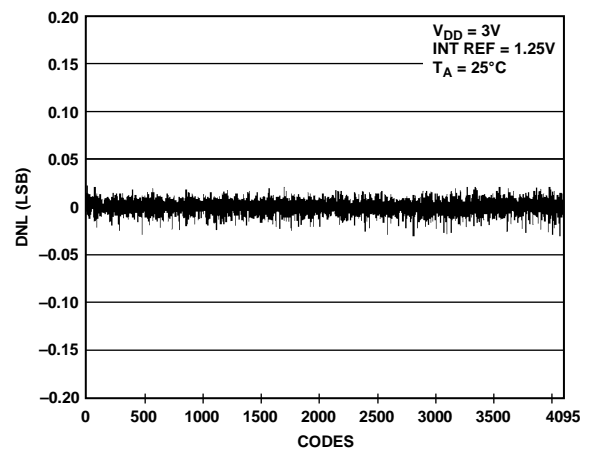
06302-122

22.DNL AD5648-1



06302-120

20.INL AD5628-1



06302-123

23.DNL AD5628-1

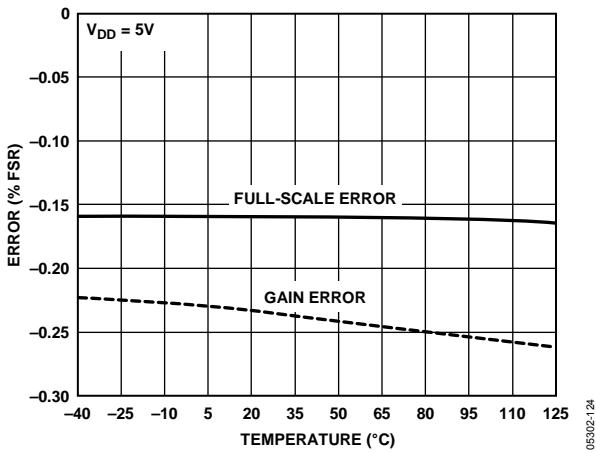


図 24. ゲイン誤差とフルスケール誤差の温度特性

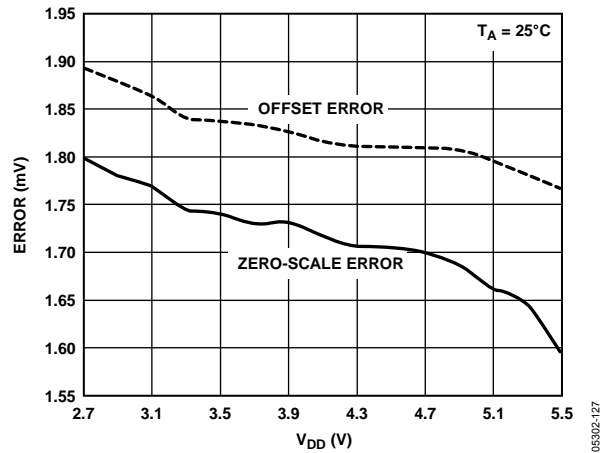


図 27. 電源電圧対ゼロスケール誤差およびオフセット誤差

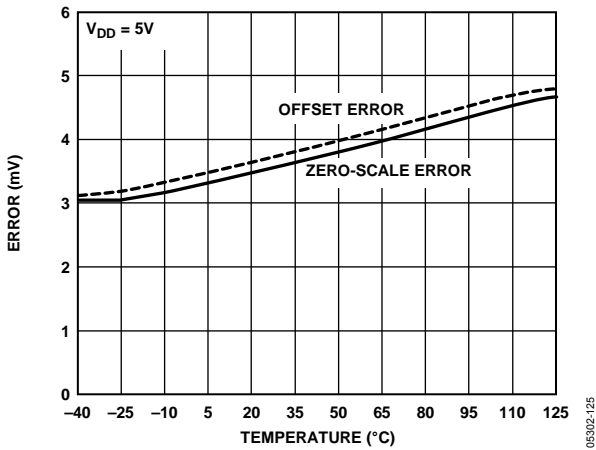


図 25. ゼロスケール誤差とオフセット誤差の温度特性

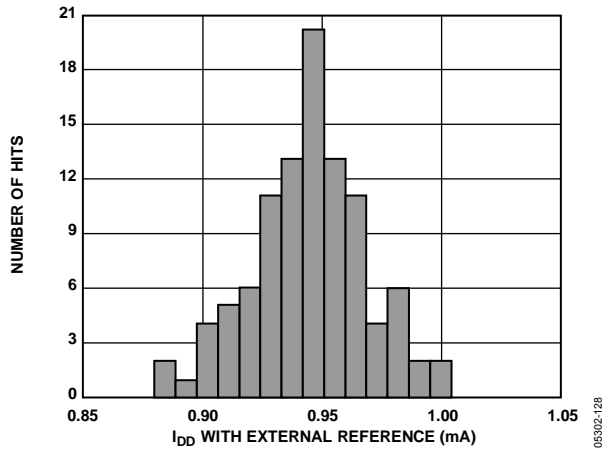


図 28. I_{DD} ヒストグラム—外付けリファレンス電圧

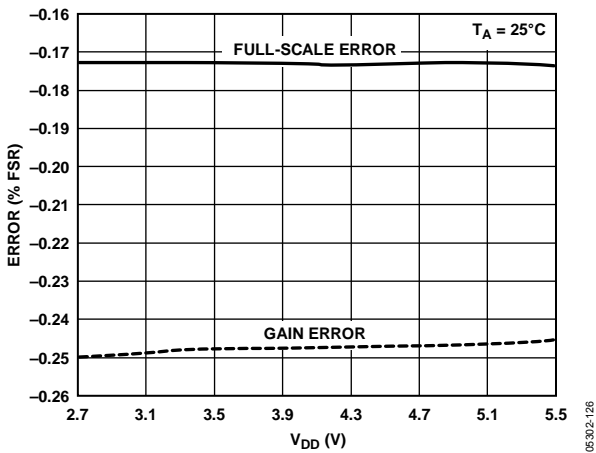


図 26. 電源電圧対ゲイン誤差およびフルスケール誤差

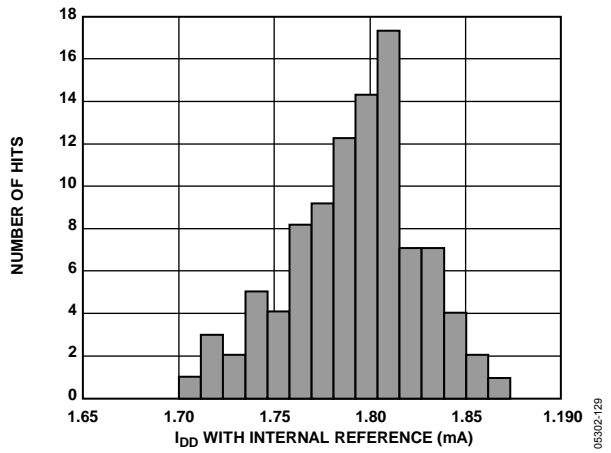


図 29. I_{DD} ヒストグラム—内蔵リファレンス電圧

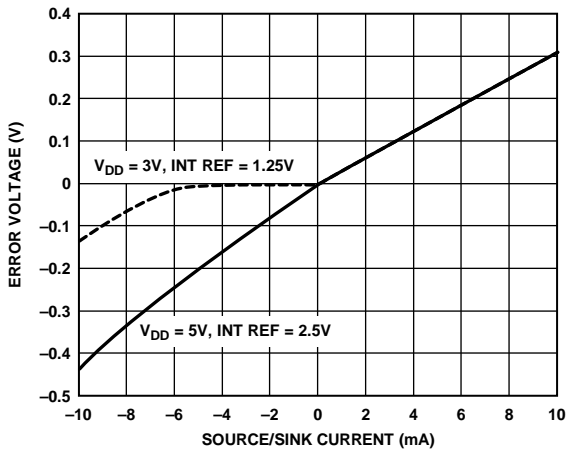


図30.ソース/シンク対電源でのヘッドルーム

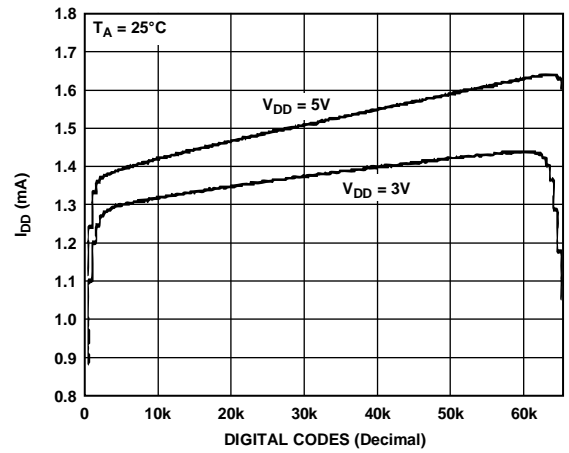


図33.コード対電源電流

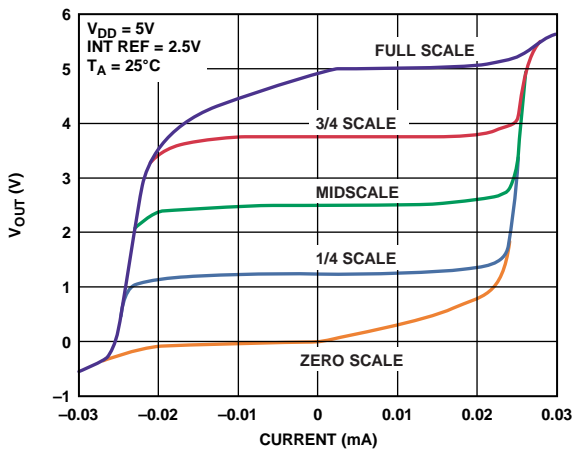


図 31.AD5668-2/AD5668-3 ソース/シンク能力

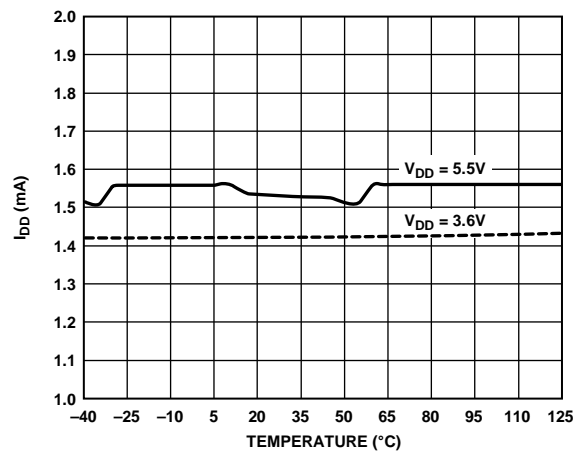


図34.電源電流の温度特性

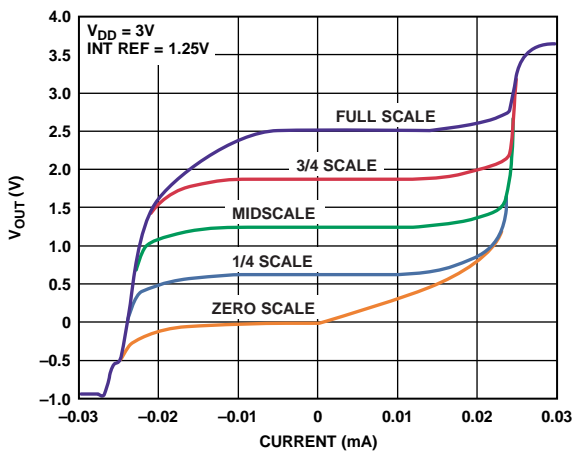


図 32.AD5668-1 ソース/シンク能力

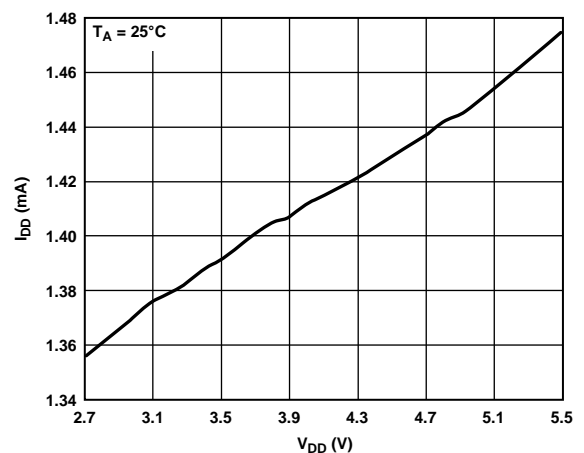


図35.電源電圧対電源電流

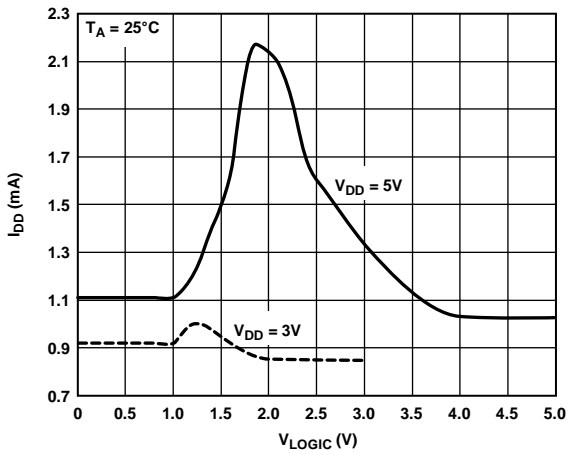


図36. ロジック入力電圧対電源電流

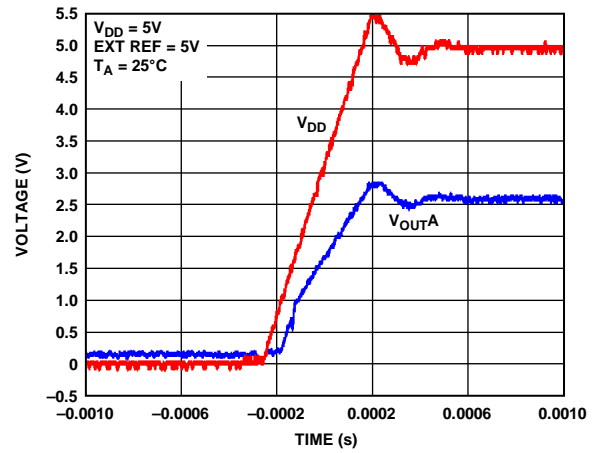


図39. ミッドスケールへのパワーオン・リセット

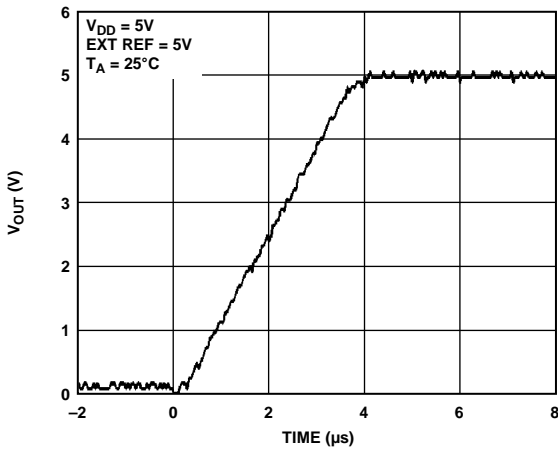


図37. フルスケール・セトリング・タイム、5V

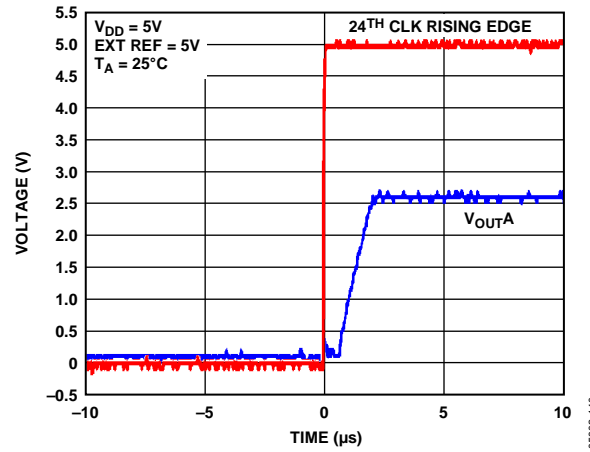


図40. パワーダウン終了時のミッドスケール出力

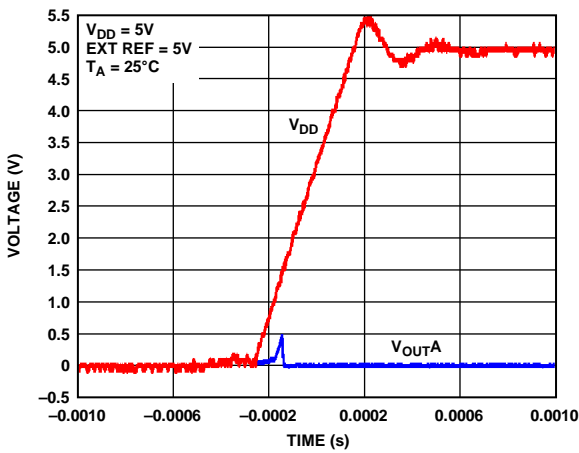


図38. 0V へのパワーオン・リセット

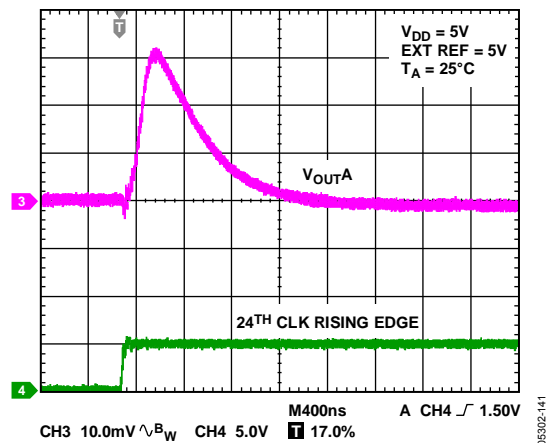


図41. デジタルからアナログへのグリッチ・インパルス(負)

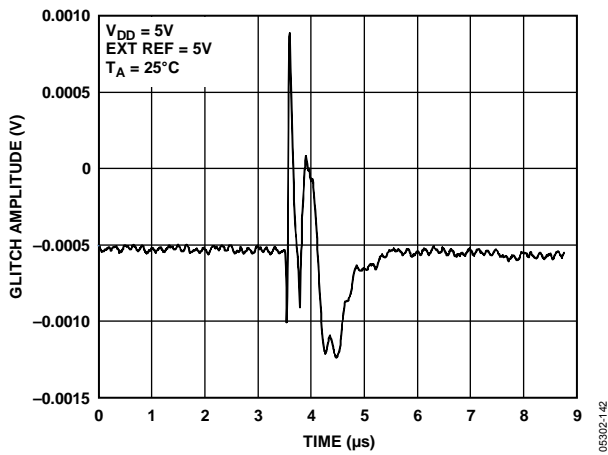


図42.アナログ・クロストーク

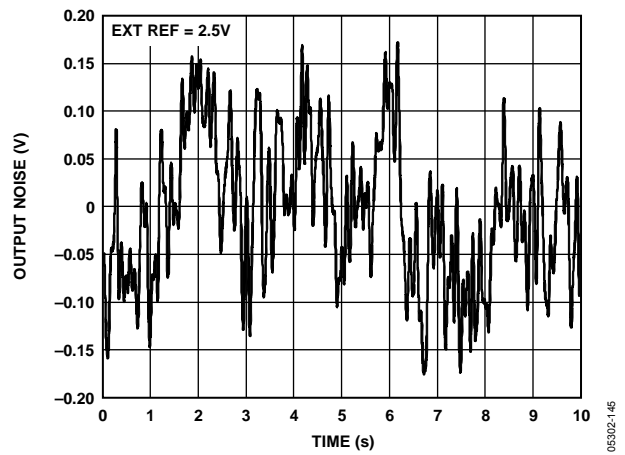


図45.0.1 Hz~10 Hz での出力ノイズ・プロット
外付けリファレンス電圧

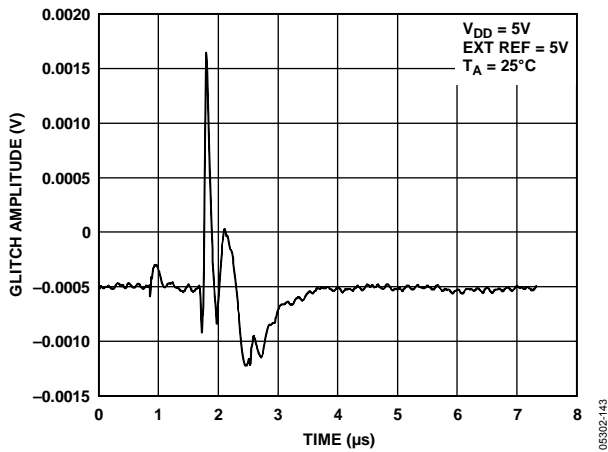


図43.DAC 間クロストーク

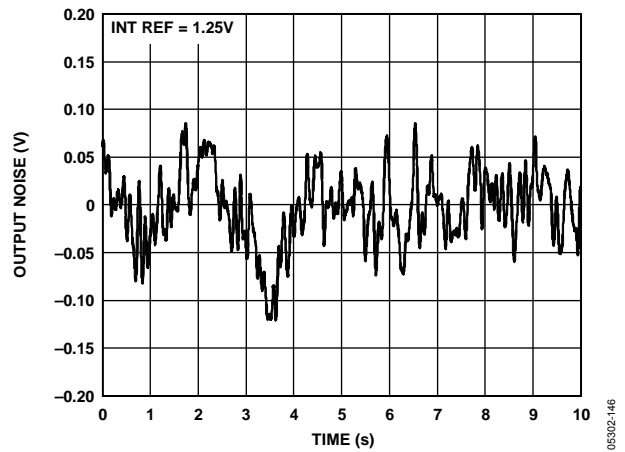


図46.0.1 Hz~10 Hz での出力ノイズ・プロット
内蔵リファレンス電圧

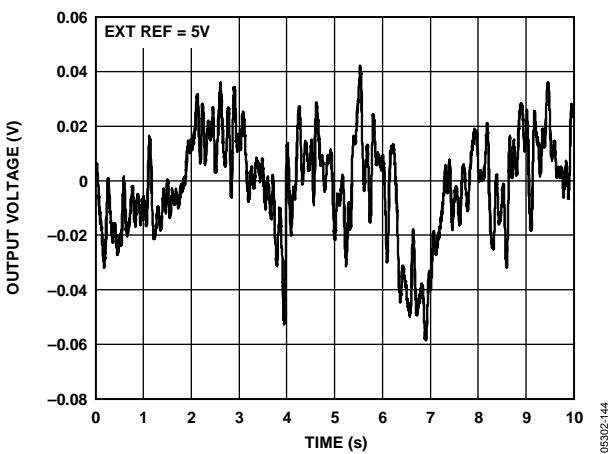


図44.0.1 Hz~10 Hz での出力ノイズ・プロット
外付けリファレンス電圧

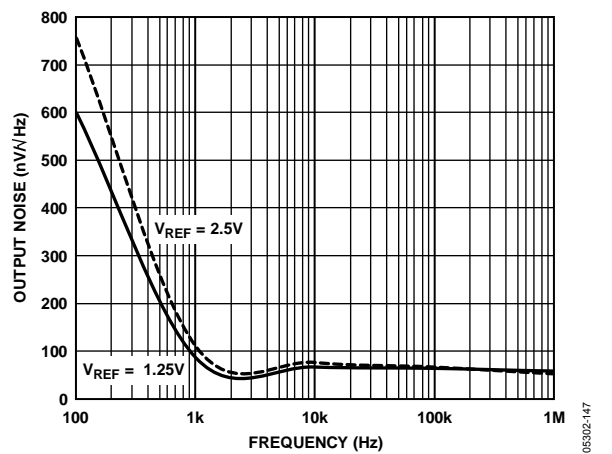


図47.ノイズ・スペクトル密度、内蔵リファレンス電圧

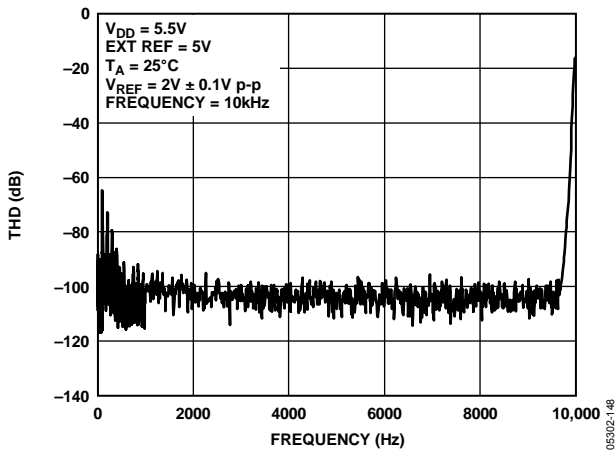


図48.総合高調波歪み

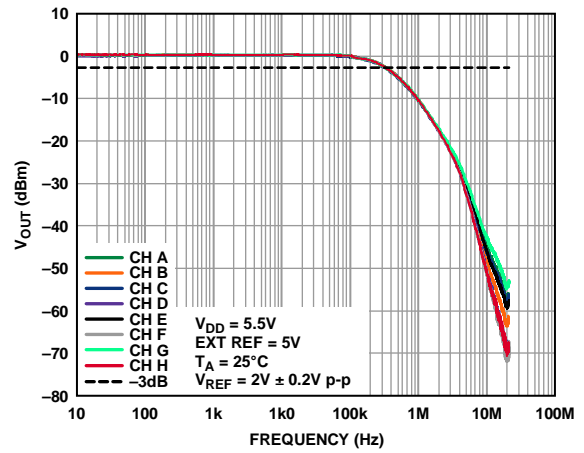


図51.乗算帯域幅

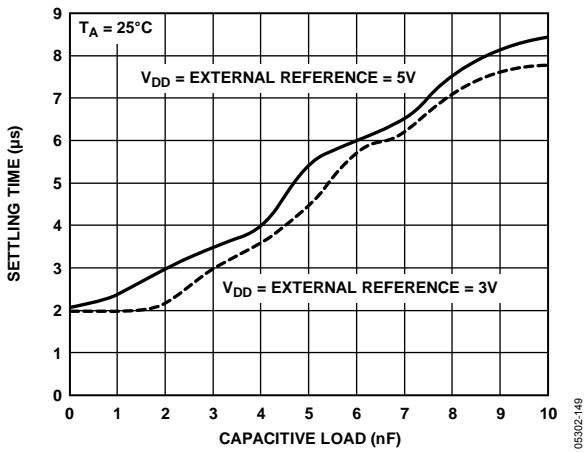


図49.容量負荷対セトリング・タイム

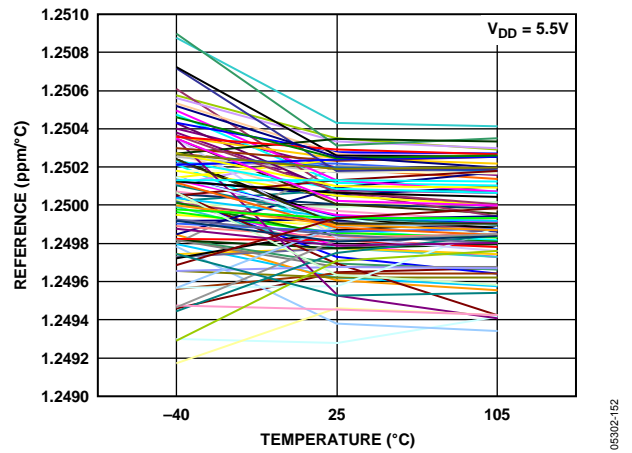


図52.1.25 V リファレンス電圧温度係数の温度特性

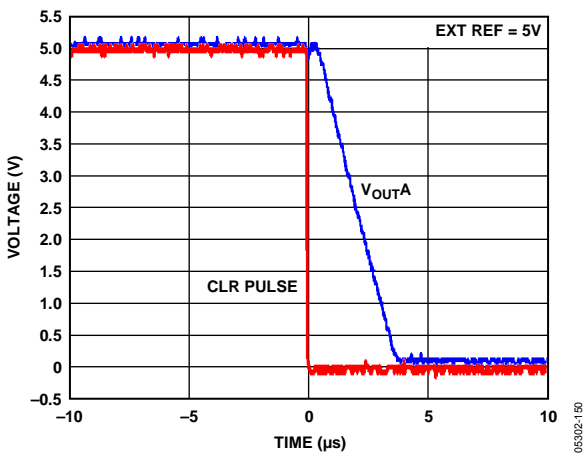


図 50.ハードウェアCLR

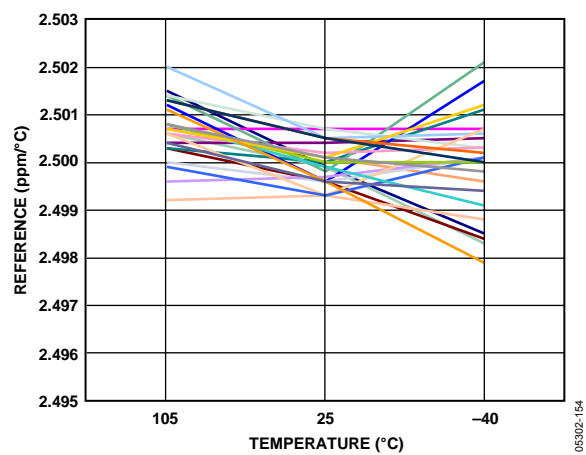


図53.2.5 V リファレンス電圧温度係数の温度特性

用語

相対精度

DACの場合、相対精度すなわち積分非直線性(INL)は、DAC伝達関数の上下両端を結ぶ直線からの最大乖離(LSB数で表示)を表します。図 6～図 8、図 12～図 14、図 18～図 20に、INL (typ)対コードを示します。

微分非直線性

微分非直線性(DNL)は、隣接する2つのコードの間における測定された変化と理論的な1 LSB変化との差を表します。最大 ± 1 LSBの微分非直線性の仕様は、単調性を保証するものです。このDACはデザインにより単調性を保証しています。図 9～図 11、図 15～図 17、図 21～図 23に、DNL (typ)対コードを示します。

オフセット誤差

オフセット誤差は、伝達関数の直線領域での V_{OUT} (実測値)と V_{OUT} (理論)の差を表し、mV で表示されます。オフセット誤差は、AD5668のDACレジスタにコード512をロードして測定されています。mV で表され、正または負の値になります。

ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コード(0x0000)をDACレジスタにロードしたときの出力誤差として測定されます。理論的には出力は0Vである必要があります。AD5628/AD5648/AD5668ではDAC出力が0Vを下回ることができないため、ゼロ・コード誤差は常に正です。これは、DACと出力アンプのオフセット誤差の組み合わせによりゼロ・コード誤差が発生するためです。ゼロ・コード誤差はmVで表します。図 27 にゼロ・コード誤差の温度特性を示します。

ゲイン誤差

ゲイン誤差はDACのスパン誤差を表します。理論値からの実際のDAC伝達特性の傾きの差をフルスケール範囲のパーセント値で表したものです。

ゼロ・コード誤差ドリフト

ゼロ・コード誤差ドリフトは、温度変化によるゼロ・コード誤差の変化を表し、 $\mu V/^{\circ}C$ で表されます。

ゲイン誤差ドリフト

ゲイン誤差ドリフトは、温度変化によるゲイン誤差の変化を表し、(フルスケール範囲のppm)/ $^{\circ}C$ で表示します。

フルスケール誤差

フルスケール誤差は、フルスケール・コード(0xFFFF)をDACレジスタにロードしたときの出力誤差として測定されます。理論的には出力は $V_{DD} - 1$ LSBである必要があります。フルスケール誤差はフルスケール範囲のパーセント値で表します。図 24 にフルスケール誤差の温度特性を示します。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DACレジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV-secで表すグリッチの面積として規定され、主要なキャリ変化時に(0x7FFFから0x8000)、デジタル入力コードが1 LSBだけ変化したときに測定されます。図 41を参照してください。

DC 電源除去比(PSRR)

PSRRは、電源電圧変化のDAC出力に対する影響を表します。PSRRは、DACフルスケール出力での、 V_{OUT} 変化の V_{DD} 変化に対する比です。dB値で表示します。 V_{REF} を2Vに固定して、 V_{DD} を $\pm 10\%$ 変化させます。

DC クロストーク

別のDAC出力でのフルスケール変化に起因する1つのDACの出力レベルでのDC変化。1つのミッドスケールに維持したDACをモニタしながら、別のDAC上でのフルスケール出力変化(またはソフト・パワーダウンとパワーアップ)を使って測定し、 μV で表示します。

負荷電流変化に起因するDCクロストークは、1つのDACの負荷電流変化がミッドスケールに設定された別のDACへ与える影響を表し、 $\mu V/mA$ で表示します。

リファレンス・フィードスルー

DAC出力に変化がないとき(すなわち \overline{LDAC} がハイ・レベル)のDAC出力における信号振幅のリファレンス入力に対する比を表し、dB値で表示します。

デジタル・フィードスルー

DAC出力に書き込みが行われていない(\overline{SYNC} がハイ・レベル)ときの、デバイスのデジタル入力ピンからDACのアナログ出力に注入されるインパルスを表し、nV-secで規定され、デジタル入力ピンでのフルスケール変化、たとえば全ビット0から全ビット1への変化、またはその逆の変化のときに測定されます。

デジタル・クロストーク

1のDACの入力レジスタにおけるフルスケール・コード変化(全ビット0から全ビット1への変化、およびその逆変化)から、ミッドスケール・レベルにある別のDACの出力に混入したグリッチ・インパルスを表し、スタンドアロン・モードで測定し、nV-sで表されます。

アナログ・クロストーク

DACの出力変化に起因して、別のDAC出力に混入するグリッチ・インパルスを表し、 \overline{LDAC} ピンをハイ・レベルに設定して、DACの1つにフルスケール・コード変化(全ビット0から全ビット1への変化、およびその逆変化)をロードして、次に \overline{LDAC} ピンにロー・レベル・パルスを入力して、デジタル・コードに変化のない別のDAC出力をモニタすることにより測定します。グリッチの面積はnV-secで表示します。

DAC 間クロストーク

デジタル・コードの変化とそれに続く DAC の出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルス。これには、デジタル・クロストークとアナログ・クロストークの両方が含まれます。LDACピンをロー・レベルに設定して、DAC の 1 つにフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)をロードして、別の DAC 出力をモニタすることにより測定します。グリッチのエネルギーは nV-sec で表示します。

乗算帯域幅

DAC 内のアンプは有限な帯域幅を持っています。乗算帯域幅はこれを表します。入力された基準正弦波(DAC にフルスケール・コ

ードをロード)は、出力に現われます。乗算帯域幅は、出力振幅が入力より 3 dB 小さくなる周波数で表します。

総合高調波歪み(THD)

理論正弦波と DAC を使ったために減衰したその正弦波との差。DAC に対してリファレンスとして正弦波を使ったときに、DAC 出力に現われる高調波が THD になります。dB 値で表示します。

動作原理

D/Aセクション

このAD5628/AD5648/AD5668 DACは、CMOSプロセスを使って製造されています。このアーキテクチャは、ストリングDACとそれに続く出力バッファ・アンプから構成されています。各デバイスは内部ゲイン=2の1.25 V/2.5 V、5 ppm/°C リファレンス電圧を内蔵しています。図 54 に、DACアーキテクチャのブロック図を示します。

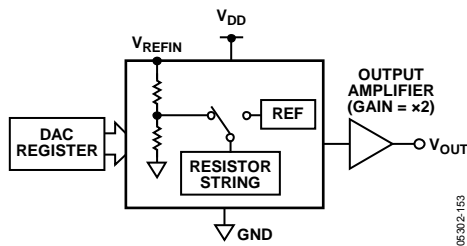


図 54. DAC アーキテクチャ

DAC への入力コーディングはストレート・バイナリを使っているため、外部リファレンスを使う場合、理論出力電圧は次式で与えられます。

$$V_{OUT} = V_{REFIN} \times \left(\frac{D}{2^N} \right)$$

内蔵リファレンス電圧を使用する場合の理論出力電圧は次式で与えられます。

$$V_{OUT} = 2 \times V_{REFOUT} \times \left(\frac{D}{2^N} \right)$$

ここで、

D = DAC レジスタにロードされるバイナリ・コードの 10 進数表示。

12 ビット AD5628 の場合 0~4095。

14 ビット AD5648 の場合 0~16,383。

16 ビット AD5668 の場合 0~65,535。

N は DAC 分解能。

抵抗ストリング

抵抗ストリング・セクションを図 55に示します。DACは各値がRの抵抗ストリングから構成されています。DACレジスタにロードされるコードにより、ストリングのどのノードから電圧を分割して出力アンプへ供給するかが指定されます。スイッチの内の1つが閉じてストリングがアンプに接続されて、電圧が取り出されます。抵抗のストリングであるため、単調整が保証されます。

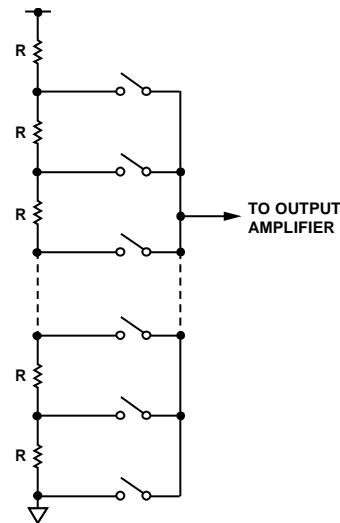


図 55. 抵抗ストリング

内蔵リファレンス電圧

AD5628/AD5648/AD5668 には、内部ゲイン = 2 のリファレンス電圧も内蔵されています。AD5628-1/AD5648-1/AD5668-1 は 1.25 V、5 ppm/°Cのリファレンス電圧を内蔵しフルスケール出力は 2.5 Vであり、AD5628-2/AD5648-2/AD5668-2/AD5668-3 は 2.5 V、5 ppm/°Cのリファレンス電圧を内蔵しフルスケール出力は 5 Vです。内蔵リファレンス電圧はパワーアップ時にオフであるため、外付けリファレンス電圧を使用することができます。コントロール・レジスタへの書き込みにより、内蔵リファレンス電圧をイネーブルします(表 7参照)。

各デバイスの内蔵リファレンス電圧は V_{REFOUT} ピンから出力されます。リファレンス出力を使って外部負荷を駆動するときはバッファが必要です。内蔵リファレンス電圧を使用する場合、リファレンス電圧を安定させるため、リファレンス出力と GND の間に 100 nF のコンデンサを接続することが推奨されます。

内蔵リファレンス電圧の使用時、個別のチャンネル・パワーダウンはサポートされていません。

出力アンプ

出力バッファアンプは、出力でレールtoレール電圧を発生することができます。0 V~V_{DD}の出力範囲になります。GNDに接続された 2 kΩと、これに並列接続された 200 pFの負荷を駆動することができます。図 31と 図 32に、出力アンプのソース能力とシンク能力を示します。スルーレートは 1.5 V/μsであり、1/4 スケールから 3/4 スケールまでのセトリング・タイムは 7 μsです。

シリアル・インターフェース

AD5628/AD5648/AD5668 は、SPI、QSPI、MICROWIREの各インターフェース規格や大部分のDSPと互換性のある 3 線式シリアル・インターフェース(SYNC、SCLK、DIN)を内蔵しています。図 2に、代表的な書込みシーケンスのタイミング図を示します。

SYNCラインをロー・レベルにすると、書込みシーケンスが開始されます。DIN ラインからのデータは、SCLK の立下がりエッジで 32 ビット・シフトレジスタに入力されます。シリアル・クロック周波数は 50 MHz まで上げることができるので、AD5628/AD5648/AD5668 は高速 DSP と互換性を持つことができます。32 番目の立下がりクロック・エッジで最後のデータビットが入力されて、プログラムされた機能(DAC レジスタ値の変更および/または動作モードの変更)が実行されます。この時点で、SYNCラインをロー・レベルに維持するか、ハイ・レベルにすることができます。いずれの場合でも、SYNCの立下がりエッジで次の書込みシーケンスを確実に開始できるようにするため、次の書込みシーケンスの前に最小 15 ns 間ハイ・レベルにする必要があります。SYNC は、デバイスの低消費電力動作であっても、書込みシーケンスの間でロー・レベルでアイドルする必要があります。ただし、前述のように、次の書込みシーケンスの前にSYNCをハイ・レベルに戻す必要があります。

表 7.コマンドの定義

Command				Description
C3	C2	C1	C0	
0	0	0	0	Write to Input Register n
0	0	0	1	Update DAC Register n
0	0	1	0	Write to Input Register n, update all (software LDAC)
0	0	1	1	Write to and update DAC Channel n
0	1	0	0	Power down/power up DAC
0	1	0	1	Load clear code register
0	1	1	0	Load LDAC register
0	1	1	1	Reset (power-on reset)
1	0	0	0	Set up internal REF register
1	0	0	1	Reserved
-	-	-	-	Reserved
1	1	1	1	Reserved

表 8.アドレス・コマンド

Address (n)				Selected DAC Channel
A3	A2	A1	A0	
0	0	0	0	DAC A
0	0	0	1	DAC B
0	0	1	0	DAC C
0	0	1	1	DAC D
0	1	0	0	DAC E
0	1	0	1	DAC F
0	1	1	0	DAC G
0	1	1	1	DAC H
1	1	1	1	All DACs

入力シフトレジスタ

入力シフトレジスタは 32 ビット幅です。先頭の 4 ビットは無視されます。次の 4 ビットはコマンド・ビット C3~C0 (表 7 参照)で、その次の 4 ビットは DAC アドレス・ビット A3~A0 (表 8 参照)、最後は 16/14/12 ビットのデータワードです。データ・ワードは、16/14/12 ビット入力コードと、それに続くそれぞれ AD5668/AD5648/AD5628 の 4/6/8 ビットの don't care ビットから構成されています(図 56~図 58 参照)。これらのデータビットは、SCLK の 32 番目の立下がりエッジで DAC レジスタへ転送されます。

SYNC 割込み

通常の手書きシーケンスでは、 $\overline{\text{SYNC}}$ ラインは SCLK の少なくとも 32 個の立下がりエッジ間ロー・レベルに維持され、DAC は 32 番目の立下がりエッジと $\overline{\text{SYNC}}$ の立上がりエッジで更新されます。ただし、32 番目の立下がりエッジの前に $\overline{\text{SYNC}}$ をハイ・レベルにすると、これは書き込みシーケンスへの割込みとして機能します。シフトレジスタがリセットされて、書き込みシーケンスは無効と見なされます。DAC レジスタ値の更新も、動作モードの変更も行われません(図 59 参照)。

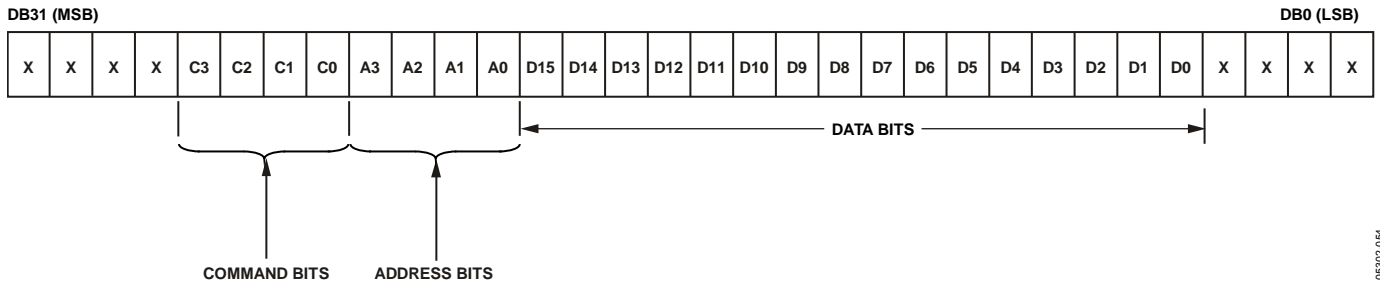


図 56. AD5668 入力レジスタ 値

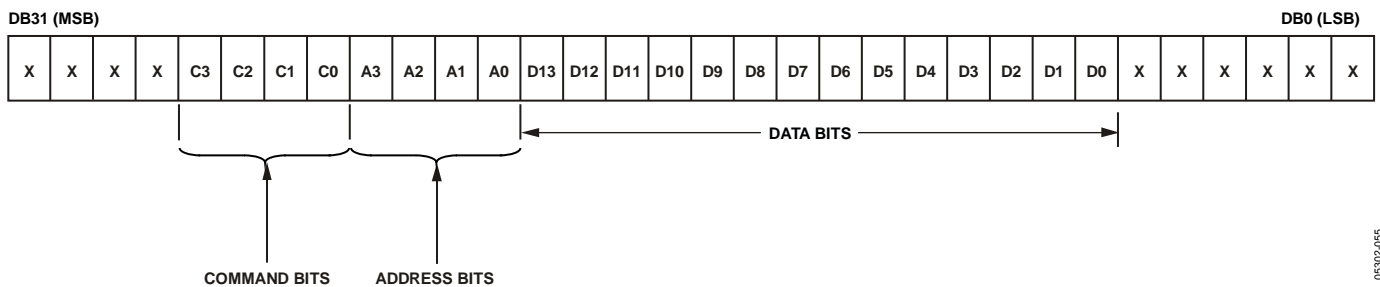


図 57. AD5648 入力レジスタ 値

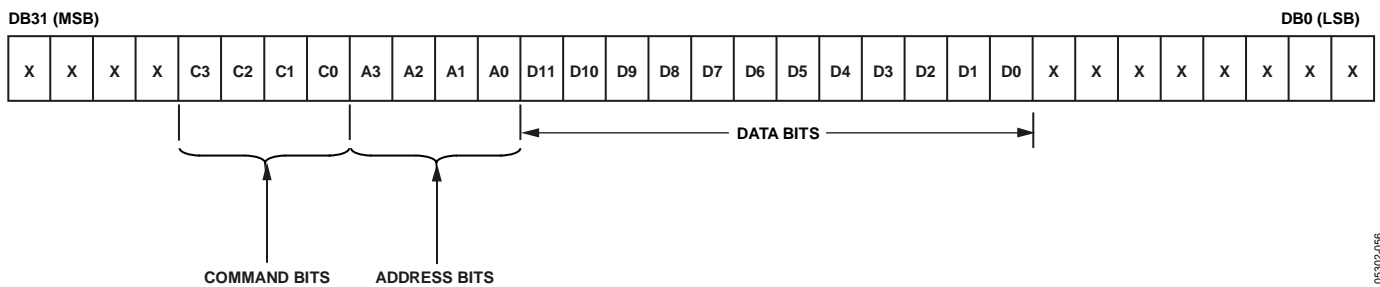


図 58. AD5628 入力レジスタ 値

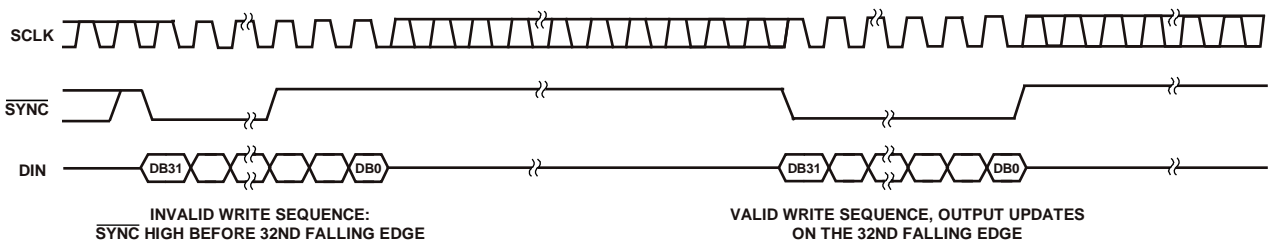


図 59. SYNC 割込み機能

内蔵リファレンス・レジスタ

内蔵リファレンスはパワーアップ時にデフォルトでオフにされています。この機能により、アプリケーションで必要な場合、外部リファレンス電圧を使用することができます。内蔵リファレンスは、ユーザ設定可能な内部 REF レジスタのビット DB0 をハイ・レベルまたはロー・レベルに設定することにより、オン/オフすることができます(表 9 参照)。コマンド 1000 は内部 REF レジスタ(表 7 参照)の設定用に予約されています。表 11 に、入力シフトレジスタのビットの状態とデバイスの動作モードの対応を示します。

パワーオン・リセット

AD5628/AD5648/AD5668 ファミリーは、パワーアップ時に出力電圧を制御するパワーオン・リセット回路を内蔵しています。AD5628/AD5648/AD5668-1/AD5668-2 DAC 出力は 0 V でパワーアップし、AD5668-3 DAC 出力はミッドスケールでパワーアップします。出力はこのレベルでパワーアップを維持し、DAC に有効な書込みシーケンスが実行されるまでこの状態が維持されます。この機能は、デバイスのパワーアップ時の DAC 出力状態が既知である必要のあるアプリケーションで特に便利です。これらのデバイスには、DAC をパワーオン・リセット・コードにリセットする、ソフトウェアからのリセット機能もあります。コマンド 0111 はこのリセット機能に予約されています(表 7 参照)。パワーオン・リセット時の LDAC または CLR の動作はすべて無視されます。

パワーダウン・モード

AD5628/AD5648/AD5668 には、4 種類の動作モードがあります。コマンド 0100 はパワーダウン機能として予約されています(表 7 参照)。これらのモードは、コントロール・レジスタの 2 ビット(ビット DB9 とビット DB8)を設定することによりソフトウェアから設定可能です。

表 11 に、ビットの状態と対応するデバイスの動作モードを示します。1 つまたはすべての DAC (DAC H~DAC A) は、対応する 8 ビット(DB7~DB0)を 1 に設定することにより、選択されたモードにパワーダウンすることができます。パワーダウン/パワーアップ動作時の入力シフトレジスタ値については表 12 を参照してください。内蔵リファレンス電圧の使用、選択されたモードへの全チャンネル・パワーダウンのみがサポートされています。

両ビットを 0 に設定すると、デバイスは 5 V で 1.3 mA のノーマル消費電流で動作します。ただし、3 種類のパワーダウン・モードでは、電源電流が 5 V で 0.4 μ A (3 V で 0.2 μ A) に減少します。電源電流が減少するだけでなく、出力ステージも内部的にアンプ出力

から切り離されて既知の値を持つ抵抗回路に接続されます。これは、デバイスの出力インピーダンスが既知であると同時にデバイスがパワーダウン・モードになるという利点を持っています。次の 3 つのオプションがあります。すなわち、出力が内部で 1 k Ω または 100 k Ω 抵抗を介して GND に接続されるか、あるいはオープン(スリー・ステート)になります。出力ステージを 図 60 に示します。

パワーダウン・モードでは、選択された DAC のバイアス・ジェネレータ、出力アンプ、抵抗ストリング、その他の関連するリニア回路がシャットダウンされます。すべてのチャンネルがパワーダウンしたときのみ、内蔵リファレンス電圧がパワーダウンします。ただし、DAC レジスタの値はパワーダウン・モードで影響を受けることはありません。パワーダウン・モードから抜け出す時間は、 $V_{DD} = 5$ V および $V_{DD} = 3$ V のとき 4 μ s (typ) です。図 40 に、プロットを示します。

PD1 = 0 と PD0 = 0 の設定(ノーマル動作)により、DAC の任意の組み合わせをパワーアップさせることができます。出力は、入力レジスタ値(LDAC = ロー・レベル)またはパワーダウン前の DAC レジスタ値(LDAC = ハイ・レベル)でパワーアップします。

クリア・コード・レジスタ

AD5628/AD5648/AD5668 には、非同期クリア入力のハードウェア CLR ピンがあります。CLR 入力、立下がりエッジ検出です。CLR ラインをロー・レベルにすると、入力レジスタと DAC レジスタにユーザ設定可能な CLR レジスタ内のデータがロードされて、この値に基づきアナログ出力が設定されます。この機能は、ゼロスケール、ミッドスケールまたはフルスケールを全チャンネルにロードするイン・システム・キャリブレーションで使うことができます。これらのクリア・コード値は、CLR コントロール・レジスタのビット DB1 とビット DB0 を設定することにより、指定することができます(表 13 参照)。デフォルト設定では出力を 0 V にクリアします。コマンド 0101 はクリア・コード・レジスタのロードに予約されています(表 7 参照)。

デバイスは、デバイスへの次の書込みの 32 番目の立下がりエッジでクリア・コード・モードから抜け出します。書込みシーケンス中に CLR が入力されると、書込みは中止されます。

CLR パルスのアクチベーション・タイム(CLR の立下がりエッジから出力が変化を開始するまでの時間)は、280 ns (typ) です。ただし、DAC リニア領域の外側では、出力が変化を開始するためには、CLR を実行した後に 520 ns (typ) が必要です(図 50 参照)。

クリア・コード・レジスタのロード動作時の入力シフトレジスタ値については表 14 を参照してください。

表 9.内蔵リファレンス・レジスタ

Internal REF Register (DB0)	Action
0	Reference off (default)
1	Reference on

表 10.リファレンス電圧セットアップ・コマンド用の 32 ビット入カシフトレジスタ値

MSB									LSB	
DB31 to DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19 to DB1	DB0
X	1	0	0	0	X	X	X	X	X	1/0
Don't cares	Command bits (C3 to C0)				Address bits (A3 to A0)—don't cares				Don't cares	Internal REF register

表 11.パワーダウン動作モード

DB9	DB8	Operating Mode
0	0	Normal operation
		Power-down modes
0	1	1 kΩ to GND
1	0	100 kΩ to GND
1	1	Three-state

表 12.パワーダウン/パワーアップ機能用の 32 ビット入カシフトレジスタ値

MSB																			LSB	
DB31 to DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19 to DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
X	0	1	0	0	X	X	X	X	X	PD1	PD0	DAC H	DAC G	DAC F	DAC E	DAC D	DAC C	DAC B	DAC A	
Don't cares	Command bits (C3 to C0)				Address bits (A3 to A0)—don't cares				Don't cares	Power-down mode	Power-down/power-up channel selection—set bit to 1 to select									

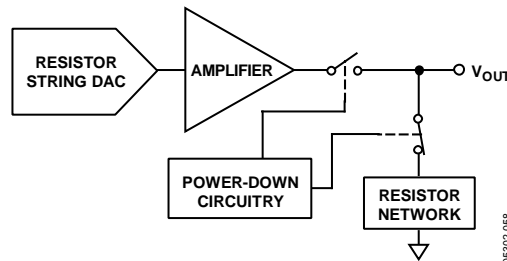


図 60.パワーダウン時の出力ステージ

表 13.クリア・コード・レジスタ

Clear Code Register		Clears to Code
DB1	DB0	
CR1	CR0	
0	0	0x0000
0	1	0x8000
1	0	0xFFFF
1	1	No operation

表 14.クリア・コード機能用の 32 ビット入カシフトレジスタ値

MSB										LSB	
DB31 to DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19 to DB2	DB1	DB0
X	0	1	0	1	X	X	X	X	X	CR1	CR0
Don't cares	Command bits (C3 to C0)				Address bits (A3 to A0)—don't cares				Don't cares	Clear code register	

LDAC 機能

すべての DAC 出力は、ハードウェア $\overline{\text{LDAC}}$ ピンを使って同時に更新することができます。

同期 $\overline{\text{LDAC}}$: 新しいデータが読み込まれた後、SCLKパルスの 32 番目の立下がりエッジで DAC レジスタが更新されます。 $\overline{\text{LDAC}}$ はロー・レベルに固定するか、またはロー・レベル・パルスを入力することができます(図 2 参照)。

非同期 $\overline{\text{LDAC}}$: 出力は入力レジスタへの書き込みと同時に更新されません。 $\overline{\text{LDAC}}$ がロー・レベルになると、DAC レジスタが入力レジスタ値で更新されます。

あるいは、入力レジスタ n に書き込みを行ってすべての DAC レジスタを更新することにより、すべての DAC 出力をソフトウェア $\overline{\text{LDAC}}$ 機能を使って同時に更新することができます。コマンド 0011 は、このソフトウェア $\overline{\text{LDAC}}$ 機能に予約されています。

この $\overline{\text{LDAC}}$ レジスタを使うと、ハードウェア $\overline{\text{LDAC}}$ ピンを柔軟に制御することができます。このレジスタを使うと、ハードウェア $\overline{\text{LDAC}}$ ピンを実行したときに同時に更新するチャンネルの組み合わせを選択することができます。ある DAC チャンネルに対して $\overline{\text{LDAC}}$ ビット・レジスタを 0 に設定することは、このチャンネルの更新が $\overline{\text{LDAC}}$ ピンから制御されることを意味します。このビットに 1 を設定すると、このチャンネルは非同期に更新されます。すなわち、 $\overline{\text{LDAC}}$ ピンの状態に無関係に、データが読み込まれた後に、DAC レジスタが更新されます。これは実質的に $\overline{\text{LDAC}}$ ピンがロー・レベルに固定されていると見なします。 $\overline{\text{LDAC}}$ レジスタの動作モードについては表 15 を参照してください。この柔軟性は、残りのチャンネルが同期して更新されているときに、選択したチャンネルを同時に更新することが必要なアプリケーションで便利です。

コマンド 0110 を使って DAC に書き込みを行うと、8 ビット $\overline{\text{LDAC}}$ レジスタ (DB7~DB0) がロードされます。各チャンネルのデフォルト値は 0、すなわち $\overline{\text{LDAC}}$ ピンは通常動作になります。このビットに 1 を設定することは、 $\overline{\text{LDAC}}$ ピンの状態に無関係に DAC チャンネルが更新されることを意味します。ロード $\overline{\text{LDAC}}$ レジスタ動作モード時の入力シフトレジスタ値については、表 16 を参照してください。

表 15. $\overline{\text{LDAC}}$ レジスタ

Load DAC Register		$\overline{\text{LDAC}}$ Operation
LDAC Bits (DB7 to DB0)	LDAC Pin	
0	1/0	Determined by $\overline{\text{LDAC}}$ pin.
1	X—don't care	DAC channels update, overriding the $\overline{\text{LDAC}}$ pin. DAC channels see $\overline{\text{LDAC}}$ as 0.

表 16. $\overline{\text{LDAC}}$ レジスタ機能に対する 32 ビット入力シフトレジスタ値

MSB										LSB							
DB31 to DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19 to DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
X	0	1	1	0	X	X	X	X	X	DAC H	DAC G	DAC F	DAC E	DAC D	DAC C	DAC B	DAC A
Don't cares	Command bits (C3 to C0)				Address bits (A3 to A0)—don't cares				Don't cares	Setting LDAC bit to 1 overrides $\overline{\text{LDAC}}$ pin							

電源のバイパスとグラウンド接続

高精度が重要な回路では、ボード上の電源とグラウンド・リターンレイアウトを注意深く行うことが役立ちます。AD5628/AD5648/AD5668 を実装するプリント回路ボードでは、アナログ部とデジタル部を分離する必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD5628/AD5648/AD5668 を使用する場合は、この接続は 1 カ所で行う必要があります。グラウンド・ポイントは AD5628/AD5648/AD5668 のできるだけ近くに配置する必要があります。

AD5628/AD5648/AD5668 の電源は、10 μF と 0.1 μF のコンデンサでバイパスする必要があります。コンデンサはデバイスのできるだけ近くに配置し、0.1 μF のコンデンサは理想的にはデバイスの近くに配置することが望まれます。10 μF のコンデンサはタンタルのビーズ型を使います。0.1 μF コンデンサは、セラミック型コンデンサのような実効直列抵抗 (ESR) が小さく、かつ実効直列インダクタンス (ESI) が小さいものを使う必要があります。この 0.1 μF のコンデンサは、内部ロジックのスイッチングにより発生する過渡電流に起因する高周波に対してグラウンドへの低インピーダンス・パスを提供します。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を軽減させるようにします。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを使ってボード上の他の部分からシールドする必要があります。デジタル信号とアナログ信号の交差は、できるだけ回避する必要があります。ボードの反対側のパターンは、互いに直角度となるように配置してボードを通過するフィードスルー効果を減少させます。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンはハンダ面に配置するマイクロストリップ技術ですが、2 層ボードでは常に可能とは限りません。

外形寸法

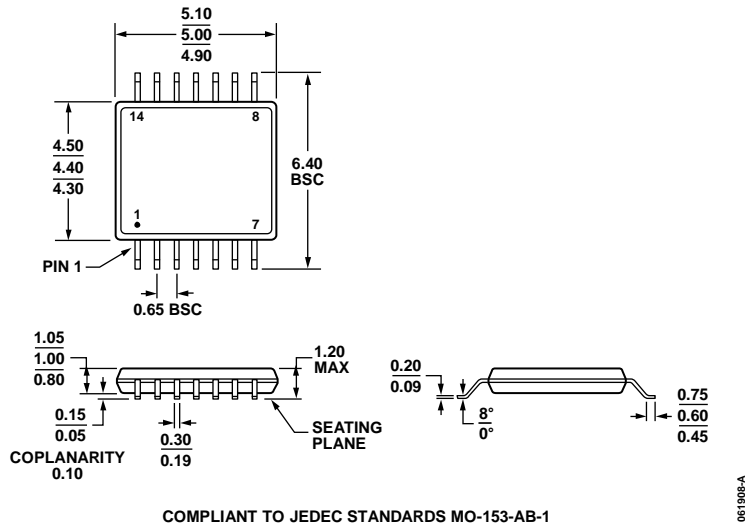


図61.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP] (RU-14)
寸法: mm

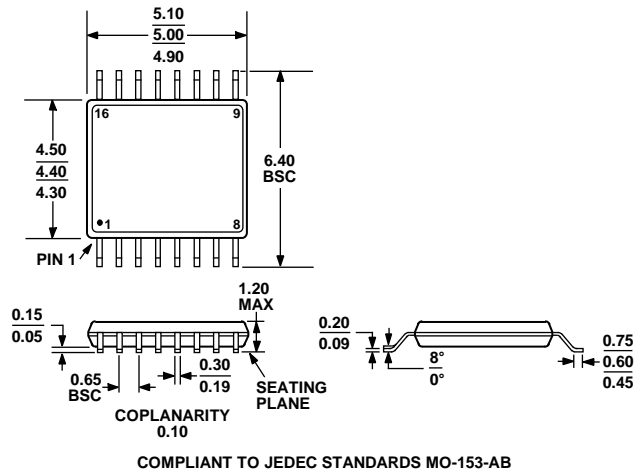
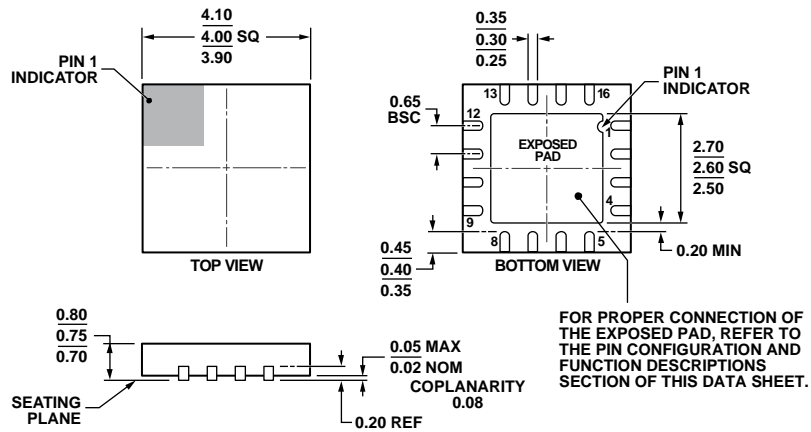


図62.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP] (RU-16)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-220-WGGC.

08-16-2010-C

図63.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
 4 mm x 4 mm ボディ、極薄クワッド
 (CP-16-17)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Power-On Reset to Code	Accuracy	Internal Reference
AD5628BRUZ-1	-40°C to +105°C	14-Lead TSSOP	RU-14	Zero	±1 LSB INL	1.25 V
AD5628BRUZ-1REEL7	-40°C to +105°C	14-Lead TSSOP	RU-14	Zero	±1 LSB INL	1.25 V
AD5628BRUZ-2	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±1 LSB INL	2.5 V
AD5628BRUZ-2REEL7	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±1 LSB INL	2.5 V
AD5628ARUZ-2	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±2 LSB INL	2.5 V
AD5628ARUZ-2REEL7	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±2 LSB INL	2.5 V
AD5628ACPZ-1-RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Zero	±2 LSB INL	1.25 V
AD5628ACPZ-2-RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Zero	±2 LSB INL	2.5 V
AD5628BCPZ-2-RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Zero	±1 LSB INL	2.5 V
AD5648BRUZ-1	-40°C to +105°C	14-Lead TSSOP	RU-14	Zero	±4 LSB INL	1.25 V
AD5648BRUZ-1REEL7	-40°C to +105°C	14-Lead TSSOP	RU-14	Zero	±4 LSB INL	1.25 V
AD5648BRUZ-2	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±4 LSB INL	2.5 V
AD5648BRUZ-2REEL7	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±4 LSB INL	2.5 V
AD5648ARUZ-2	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±8 LSB INL	2.5 V
AD5648ARUZ-2REEL7	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±8 LSB INL	2.5 V
AD5668BRUZ-1	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±16 LSB INL	1.25 V
AD5668BRUZ-1REEL7	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±16 LSB INL	1.25 V
AD5668BRUZ-2	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±16 LSB INL	2.5 V
AD5668BRUZ-2REEL7	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±16 LSB INL	2.5 V
AD5668BRUZ-3	-40°C to +105°C	16-Lead TSSOP	RU-16	Midscale	±16 LSB INL	2.5 V
AD5668BRUZ-3REEL7	-40°C to +105°C	16-Lead TSSOP	RU-16	Midscale	±16 LSB INL	2.5 V
AD5668ARUZ-2	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±32 LSB INL	2.5 V
AD5668ARUZ-2REEL7	-40°C to +105°C	16-Lead TSSOP	RU-16	Zero	±32 LSB INL	2.5 V
AD5668ARUZ-3	-40°C to +105°C	16-Lead TSSOP	RU-16	Midscale	±32 LSB INL	2.5 V
AD5668ARUZ-3REEL7	-40°C to +105°C	16-Lead TSSOP	RU-16	Midscale	±32 LSB INL	2.5 V
AD5668BCPZ-1-RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Zero	±16 LSB INL	1.25 V
AD5668BCPZ-1500RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Zero	±16 LSB INL	1.25 V
AD5668BCPZ-2-RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Zero	±16 LSB INL	2.5 V
AD5668BCPZ-2500RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Zero	±16 LSB INL	2.5 V
AD5668ACPZ-2-RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Zero	±32 LSB INL	2.5 V
AD5668ACPZ-3-RL7	-40°C to +105°C	16-Lead LFCSP_WQ	CP-16-17	Midscale	±32 LSB INL	2.5 V
EVAL-AD5668EBCZ		LFCSP Evaluation Board				
EVAL-AD5668EBRZ		TSSOP Evaluation Board				

¹ Z = RoHS 準拠製品。