

AD5624R/AD5644R/AD5664R

特長

低消費電力、最小サイズのピン互換、クワッドnanoDAC

AD5664R：16ビット

AD5644R：14ビット

AD5624R：12ビット

外部リファレンスまたは内部リファレンスの選択が可能

デフォルトは外部リファレンス

1.25V/2.5V、5ppm/°Cのリファレンスを内蔵

パッケージ：10ピンMSOPおよび3mm×3mmのLFCSP_WD

電源：2.7～5.5V

設計により単調増加性を保証

DAC出力をゼロスケールにパワーオン・リセット

チャンネルごとのパワーダウン

最高50MHzのシリアル・インターフェース

アプリケーション

プロセス制御

データ・アクイジション・システム

バッテリー駆動の携帯型計測器

ゲインとオフセットのデジタル調整

プログラマブルな電圧源と電流源

プログラマブル減衰器

概要

nanoDACファミリーのAD5624R（12ビット）/AD5644R（14ビット）/AD5664R（16ビット）は低消費電力、バッファ付きの電圧出力クワッドD/Aコンバータ（DAC）です。各デバイスは2.7～5.5Vの単電源で動作し、設計によって単調増加性が保証されています。

AD5624R/AD5644R/AD5664Rは、オンチップ・リファレンスを備えています。AD56x4R-3は1.25V、5ppm/°Cのリファレンスを内蔵し、2.5Vのフルスケール出力電圧範囲を得ることができます。AD56x4R-5は2.5V、5ppm/°Cのリファレンスを内蔵し、5Vのフルスケール出力電圧範囲が得られます。オンチップ・リファレンスはパワーアップ時にオフになるため、外部リファレンスを使用できます。デバイスはすべて2.7～5.5Vの単電源で動作します。内部リファレンスは、ソフトウェアからの書込みでイネーブルになります。

パワーオン・リセット回路を内蔵しているため、パワーアップ時にDACの出力が0Vにリセットされ、デバイスに有効な書込みが行われるまでこの状態を維持します。また、チャンネルごとのパワーダウン機能によって5V電源で480nAまで消費電流を低減でき、パワーダウン・モード時の出力負荷をソフトウェアで選択できます。通常動作でも消費電力が低いため、携帯型のバッテリー駆動機器に最適です。

機能ブロック図

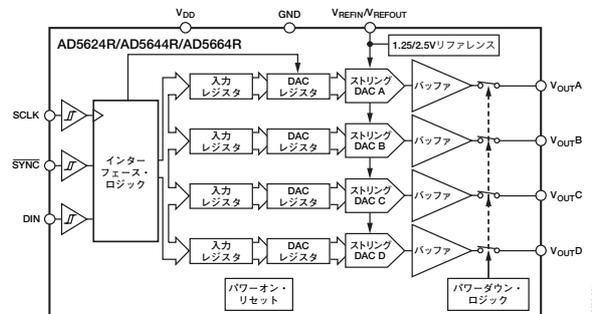


図1

表1. 関連デバイス

製品番号	説明
AD5624/AD5644	2.7～5.5V、クワッド、12/16ビットDAC、外部リファレンス
AD5666	2.7～5.5V、クワッド、16ビットDAC、内部リファレンス、LDAC、CLRピン

AD5624R/AD5644R/AD5664Rは、多機能の3線式シリアル・インターフェースを使用しています。インターフェースは最高50MHzのクロック・レートで動作し、業界標準のSPI®、QSPI™、MICROWIRE™、DSPインターフェース規格と互換性があります。オンチップの高精度出力アンプにより、レールtoレールの出力振幅が可能です。

製品のハイライト

- クワッド、12/14/16ビットDAC
- オンチップの1.25/2.5V、5ppm/°Cのリファレンス
- 10ピンMSOPおよび3mm×3mmの10ピンLFCSP_WDパッケージで提供
- 低消費電力：一般に3V電源時に1.32mW、5V電源時に2.25mW

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2006 Analog Devices, Inc. All rights reserved.

REV. A

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868

AD5624R/AD5644R/AD5664R

目次

特長	1	内部リファレンス	20
アプリケーション	1	外部リファレンス	20
機能ブロック図	1	シリアル・インターフェース	20
概要	1	入力シフト・レジスタ	21
製品のハイライト	1	SYNC割込み	21
改訂履歴	2	パワーオン・リセット	22
仕様	3	ソフトウェア・リセット	22
AD5624R-5/AD5644R-5/AD5664R-5	3	パワーダウン・モード	22
AD5624R-3/AD5644R-3/AD5664R-3	5	LDAC機能	23
AC特性	6	内部リファレンスのセットアップ	23
タイミング特性	7	マイクロプロセッサとのインターフェース	24
タイミング図	7	アプリケーション	25
絶対最大定格	8	AD5624R/AD5644R/AD5664Rの電源として	
ESDに関する注意	8	リファレンスを使用する方法	25
ピン配置と機能の説明	9	AD5624R/AD5644R/AD5664Rを使用した	
代表的な性能特性	10	バイポーラ動作	25
用語の説明	18	デジタル・アイソレータ (iCoupler) を用いた	
動作原理	20	絶縁インターフェース	25
D/A部	20	電源のバイパスとグラウンディング	26
抵抗ストリング	20	外形寸法	27
出力アンプ	20	オーダー・ガイド	28

改訂履歴

11/06—Rev. 0 to Rev A

Changes to Reference Output Parameter in Table 2	3
Changes to Reference Output Parameter in Table 3	5
Added Note to Figure 3	9

4/06—Revision 0: Initial Version

仕様

AD5624R-5/AD5644R-5/AD5664R-5

$V_{DD}=4.5\sim 5.5V$ 、 $R_L=2k\Omega$ (GNDに接続)、 $C_L=200pF$ (GNDに接続)、 $V_{REFIN}=V_{DD}$ 、特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。

表2

パラメータ	Bグレード ¹			単位	条件/備考
	Min	Typ	Max		
静的性能²					
AD5664R					
分解能	16			ビット	
相対精度		±8	±16	LSB	
微分非直線性			±1	LSB	設計により単調増加性を保証
AD5644R					
分解能	14			ビット	
相対精度		±2	±4	LSB	
微分非直線性			±0.5	LSB	設計により単調増加性を保証
AD5624R					
分解能	12			ビット	
相対精度		±0.5	±1	LSB	
微分非直線性			±0.25	LSB	設計により単調増加性を保証
ゼロコード誤差		2	10	mV	DACレジスタに全ビット「0」をロード
オフセット誤差		±1	±10	mV	
フルスケール誤差		-0.1	±1	FSRの%	DACレジスタに全ビット「1」をロード
ゲイン誤差			±1.5	FSRの%	
ゼロコード誤差ドリフト		±2		$\mu V/^{\circ}C$	
ゲイン温度係数		±2.5		ppm	FSRのppm/ $^{\circ}C$
DC電源電圧変動除去比		-100		dB	DACコード=ミッドスケール、 $V_{DD}=5V$ ±10%
DCクロストーク (外部リファレンス)					
		10		μV	フルスケール出力の変化による $R_L=2k\Omega$ (GNDまたは V_{DD} に接続)
		10		$\mu V/mA$	負荷電流の変化による
		5		μV	パワーダウンによる (各チャンネル)
DCクロストーク (内部リファレンス)					
		25		μV	フルスケール出力の変化による $R_L=2k\Omega$ (GNDまたは V_{DD} に接続)
		20		$\mu V/mA$	負荷電流の変化による
		10		μV	パワーダウンによる (各チャンネル)
出力特性³					
出力電圧範囲	0		V_{DD}	V	
容量性負荷安定性		2		nF	$R_L=\infty$
		10		nF	$R_L=2k\Omega$
DC出力インピーダンス		0.5		Ω	
短絡電流		30		mA	$V_{DD}=5V$
パワーアップ時間		4		μs	パワーダウン・モードからの復帰 $V_{DD}=+5V$

AD5624R/AD5644R/AD5664R

パラメータ	Bグレード ¹			単位	条件/備考	
	Min	Typ	Max			
リファレンス入力						
リファレンス電流		170	200	μA	$V_{REF}=V_{DD}=5.5V$	
リファレンス入力範囲	0.75		V_{DD}	V		
リファレンス入力インピーダンス		26		kΩ		
リファレンス出力						
出力電圧	2.495		2.505	V	周囲条件時	
リファレンスTC ³		±5	±10	ppm/°C	MSOPパッケージ・モデル	
		±10		ppm/°C	LFCSPパッケージ・モデル	
出力インピーダンス		7.5		kΩ		
ロジック入力 ³						
入力電流			±2	μA	すべてのデジタル入力	
V_{INL} (ローレベル入力電圧)			0.8	V	$V_{DD}=5V$	
V_{INH} (ハイレベル入力電圧)	2			V	$V_{DD}=5V$	
ピン容量		3		pF		
電源条件						
V_{DD}	4.5		5.5	V	$V_{IH}=V_{DD}$, $V_{IL}=GND$	
I_{DD} (ノーマル・モード) ⁴						
$V_{DD}=4.5\sim 5.5V$		0.45	0.9	mA		内部リファレンスをオフ
$V_{DD}=4.5\sim 5.5V$		0.95	1.2	mA		内部リファレンスをオン
I_{DD} (すべてのパワーダウン・モード) ⁵						$V_{IH}=V_{DD}$, $V_{IL}=GND$
$V_{DD}=4.5\sim 5.5V$		0.48	1	μA		

¹ 温度範囲：Bグレード：-40～+105°C

² 直線性はコード範囲を縮小して計算。(AD5664R：コード512～65,024、AD5644R：コード128～16,256、AD5624R：コード32～4064)。出力は無負荷時の条件を適用。

³ これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証。

⁴ インターフェースが非アクティブ、全DACがアクティブ、DAC出力が無負荷時の条件を適用。

⁵ 全DACがパワーダウン。

AD5624R/AD5644R/AD5664R

AD5624R-3/AD5644R-3/AD5664R-3

$V_{DD}=2.7\sim 3.6V$ 、 $R_L=2k\Omega$ (GNDに接続)、 $C_L=200pF$ (GNDに接続)、 $V_{REFIN}=V_{DD}$ 、特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。

表3

パラメータ	Min	Bグレード ¹		単位	条件/備考
		Typ	Max		
静的性能²					
AD5664R					
分解能	16			ビット	
相対精度		±8	±16	LSB	
微分非直線性			±1	LSB	設計により単調増加性を保証
AD5644R					
分解能	14			ビット	
相対精度		±2	±4	LSB	
微分非直線性			±0.5	LSB	設計により単調増加性を保証
AD5624R					
分解能	12			ビット	
相対精度		±0.5	±1	LSB	
微分非直線性			±0.25	LSB	設計により単調増加性を保証
ゼロコード誤差		2	10	mV	DACレジスタに全ビット「0」をロード
オフセット誤差		±1	±10	mV	
フルスケール誤差		-0.1	±1	FSRの%	DACレジスタに全ビット「1」をロード
ゲイン誤差			±1.5	FSRの%	
ゼロコード誤差ドリフト		±2		μV/°C	
ゲイン温度係数		±2.5		ppm	FSRのppm/°C
DC電源電圧変動除去比		-100		dB	DACコード=ミッドスケール、 $V_{DD}=3V$ ±10%
DCクロストーク					
(外部リファレンス)					
		10		μV	フルスケール出力の変化による $R_L=2k\Omega$ (GNDまたは V_{DD} に接続)
		10		μV/mA	負荷電流の変化による
		5		μV	パワーダウンによる (各チャンネル)
DCクロストーク					
(内部リファレンス)					
		25		μV	フルスケール出力の変化による $R_L=2k\Omega$ (GNDまたは V_{DD} に接続)
		20		μV/mA	負荷電流の変化による
		10		μV	パワーダウンによる (各チャンネル)
出力特性³					
出力電圧範囲	0		V_{DD}	V	
容量性負荷安定性		2		nF	$R_L=\infty$
		10		nF	$R_L=2k\Omega$
DC出力インピーダンス		0.5		Ω	
短絡電流		30		mA	$V_{DD}=3V$
パワーアップ時間		4		μs	パワーダウン・モードからの復帰 $V_{DD}=3V$
リファレンス入力					
リファレンス電流		170	200	μA	$V_{REF}=V_{DD}=3.6V$
リファレンス入力範囲	0		V_{DD}	V	
リファレンス入力インピーダンス		26		kΩ	

AD5624R/AD5644R/AD5664R

パラメータ	Bグレード ¹			単位	条件/備考
	Min	Typ	Max		
リファレンス出力					
出力電圧	1.247		1.253	V	周囲条件時
リファレンスTC ³		±5	±15	ppm/°C	MSOPパッケージ・モデル
		±10		ppm/°C	LFCSPパッケージ・モデル
出力インピーダンス		7.5		kΩ	
ロジック入力 ³					
入力電流			±2	μA	すべてのデジタル入力
V _{INL} (ローレベル入力電圧)			0.8	V	V _{DD} =3V
V _{INH} (ハイレベル入力電圧)	2			V	V _{DD} =3V
ピン容量		3		pF	
電源条件					
V _{DD}	2.7		3.6	V	
I _{DD} (ノーマル・モード) ⁴					V _{IH} =V _{DD} 、V _{IL} =GND
V _{DD} =2.7~3.6V		0.44	0.85	mA	内部リファレンスをオフ
V _{DD} =2.7~3.6V		0.95	1.15	mA	内部リファレンスをオン
I _{DD} (すべてのパワーダウン・モード) ⁵					V _{IH} =V _{DD} 、V _{IL} =GND
V _{DD} =2.7~3.6V		0.2	1	μA	

¹ 温度範囲：Bグレード：-40~+105°C

² 直線性はコード範囲を縮小して計算 (AD5664R：コード512~65,024、AD5644R：コード128~16,256、AD5624R：コード32~4064)。出力は無負荷時の条件を適用。

³ これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証。

⁴ インターフェースが非アクティブ、全DACがアクティブ、DAC出力が無負荷時の条件を適用。

⁵ 全DACがパワーダウン。

AC特性

V_{DD}=2.7~5.5V、R_L=2kΩ (GNDに接続)、C_L=200pF (GNDに接続)、V_{REFIN}=V_{DD}、特に指定のない限り、すべての仕様はT_{MIN}~T_{MAX}で規定。¹

表4

パラメータ ²	Min	Typ	Max	単位	条件/備考 ³
出力電圧セトリング時間					
AD5624R		3	4.5	μs	コード1/4~3/4スケール (±0.5LSB以内)
AD5644R		3.5	5	μs	コード1/4~3/4スケール (±0.5LSB以内)
AD5664R		4	7	μs	コード1/4~3/4スケール (±2LSB以内)
スルーレート		1.8		V/μs	
デジタルからアナログへのグリッチ・インパルス		10		nV-s	メジャー・キャリー周辺の1LSBの変化
デジタル・フィードスルー		0.1		nV-s	
リファレンス・フィードスルー		-90		dB	V _{REF} =2V±0.1Vp-p、周波数=10Hz~20MHz
デジタル・クロストーク		0.1		nV-s	
アナログ・クロストーク		1		nV-s	外部リファレンス
		4		nV-s	内部リファレンス
DAC間クロストローク		1		nV-s	外部リファレンス
		4		nV-s	内部リファレンス
乗算帯域幅		340		kHz	V _{RE} =2V±0.1Vp-p
全高調波歪み		-80		dB	V _{REF} =2V±0.1Vp-p、周波数=10kHz
出力ノイズ・スペクトル密度		120		nV/√Hz	DACコード=ミッドスケール、1kHz
		100		nV/√Hz	DACコード=ミッドスケール、10kHz
出力ノイズ		15		μVp-p	0.1~10Hz

¹ これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証。

² 「用語の説明」を参照。

³ 温度範囲は-40~+105°C、+25°Cで測定。

タイミング特性

すべての入力信号は $t_R=t_F=1\text{ns}/V$ (V_{DD} の10~90%)で規定し、 $(V_{IL}+V_{IH})/2$ の電圧レベルからの時間とします(図2を参照)。 $V_{DD}=2.7\sim 5.5\text{V}$ 。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。¹

表5

パラメータ	T_{MIN} 、 T_{MAX} での限界値 $V_{DD}=2.7\sim 5.5\text{V}$	単位	条件/備考
t_1^2	20	ns (min)	SCLKサイクル時間
t_2	9	ns (min)	SCLKハイレベル時間
t_3	9	ns (min)	SCLKローレベル時間
t_4	13	ns (min)	$\overline{\text{SYNC}}$ からSCLK立下がりエッジまでのセットアップ時間
t_5	5	ns (min)	データのセットアップ時間
t_6	5	ns (min)	データのホールド時間
t_7	0	ns (min)	SCLK立下がりエッジから $\overline{\text{SYNC}}$ 立上がりエッジまで
t_8	15	ns (min)	$\overline{\text{SYNC}}$ の最小ハイレベル時間
t_9	13	ns (min)	$\overline{\text{SYNC}}$ 立上がりエッジからSCLK立下がりエッジまで
t_{10}	0	ns (min)	SCLK立下がりエッジから $\overline{\text{SYNC}}$ 立下がりエッジまで

¹ これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証。

² SCLKの最高周波数は $V_{DD}=2.7\sim 5.5\text{V}$ で50MHz。

タイミング図

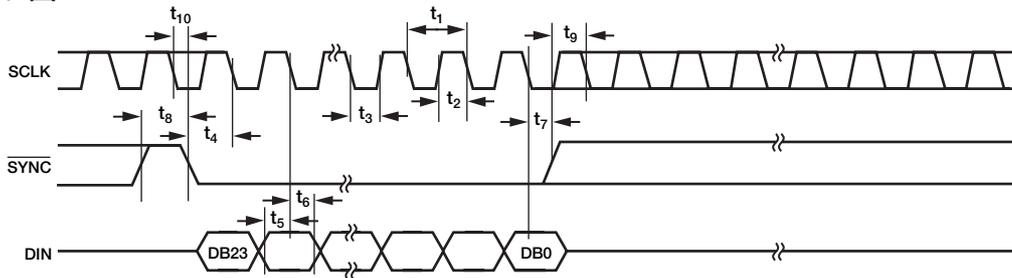


図2. シリアル書込み動作

0595E-002

AD5624R/AD5644R/AD5664R

絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表6

パラメータ	定格値
GNDに対する V_{DD}	$-0.3 \sim +7\text{V}$
GNDに対する V_{OUT}	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
GNDに対する V_{REFIN}/V_{REFOUT}	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
GNDに対するデジタル入力電圧	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
動作温度範囲	
工業用	$-40 \sim +105^{\circ}\text{C}$
保存温度範囲	$-65 \sim +150^{\circ}\text{C}$
ジャンクション温度 ($T_J \text{ max}$)	150°C
消費電力	$(T_J \text{ max} - T_A) / \theta_{JA}$
LFCSP_WDパッケージ (4層ボード)	
θ_{JA} 熱抵抗	$61^{\circ}\text{C}/\text{W}$
MSOPパッケージ (4層ボード)	
θ_{JA} 熱抵抗	$142^{\circ}\text{C}/\text{W}$
θ_{JC} 熱抵抗	$43.7^{\circ}\text{C}/\text{W}$
リフロー・ハンダ処理のピーク温度	
鉛フリー	$260 \pm 5^{\circ}\text{C}$

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

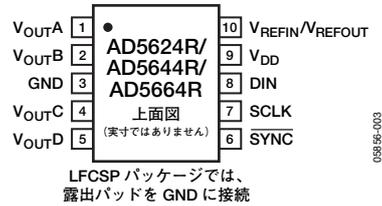


図3. ピン配置

表7. ピン機能の説明

ピン番号	記号	説明
1	V _{OUTA}	DAC Aからのアナログ出力電圧。出力アンプはレールtoレール動作
2	V _{OUTB}	DAC Bからのアナログ出力電圧。出力アンプはレールtoレール動作
3	GND	デバイス上の全回路のグラウンド・リファレンス・ポイント
4	V _{OUTC}	DAC Cからのアナログ出力電圧。出力アンプはレールtoレール動作
5	V _{OUTD}	DAC Dからのアナログ出力電圧。出力アンプはレールtoレール動作
6	$\overline{\text{SYNC}}$	アクティブ・ローレベルのコントロール入力。入力データのフレーム同期信号です。 $\overline{\text{SYNC}}$ がローレベルになると、SCLKとDINバッファがパワーオンし、入力シフト・レジスタがイネーブルになります。続く24個のクロックの立下がりエッジでデータが転送されます。24番目の立下がりエッジの前に $\overline{\text{SYNC}}$ がハイレベルになると、 $\overline{\text{SYNC}}$ の立上がりエッジが割込みになり、書込みシーケンスが無視されます。
7	SCLK	シリアル・クロック入力。シリアル・クロック入力の立下がりエッジで、データが入力シフト・レジスタにクロック入力されます。最高50MHzのレートでデータを転送できます。
8	DIN	シリアル・データ入力。デバイスには、24ビットのシフト・レジスタがあります。データは、シリアル・クロック入力の立下がりエッジでレジスタにクロック入力されます。
9	V _{DD}	電源入力。デバイスは2.7~5.5Vで動作します。10 μ Fのコンデンサと0.1 μ FのコンデンサをこのピンとGNDとの間に並列接続して、電源をデカップリングする必要があります。
10	V _{REF} /V _{REFOUT}	AD5624R/AD5644R/AD5664Rには、リファレンス入力と出力に共通の1本のピンがあります。内部リファレンスを使用する場合、これはリファレンス出力ピンになります。外部リファレンスの場合は、リファレンス入力ピンになります。このピンのデフォルト設定はリファレンス入力です。

AD5624R/AD5644R/AD5664R

代表的な性能特性

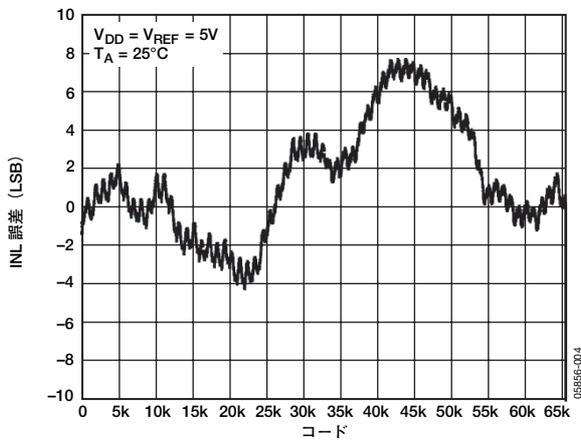


図4. AD5664RのINL (外部リファレンス)

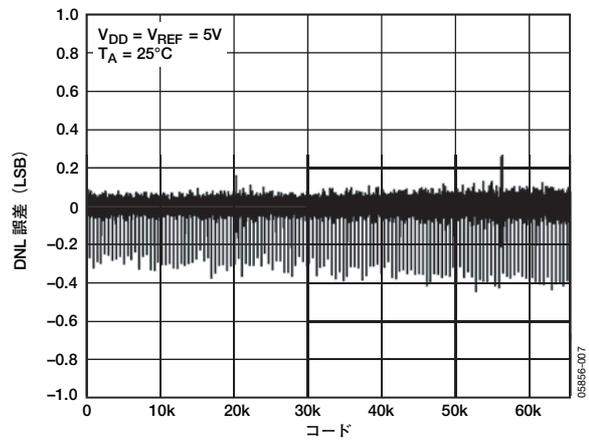


図7. AD5664RのDNL (外部リファレンス)

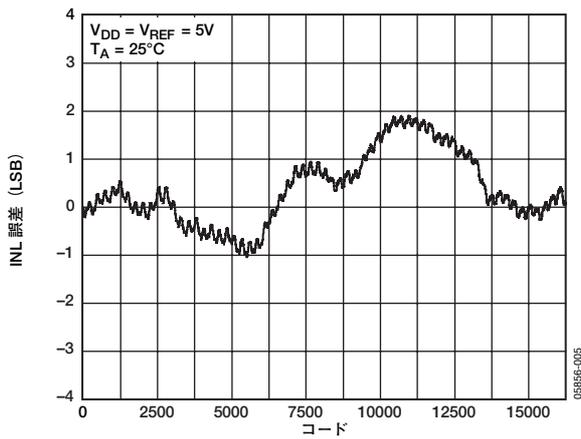


図5. AD5644RのINL (外部リファレンス)

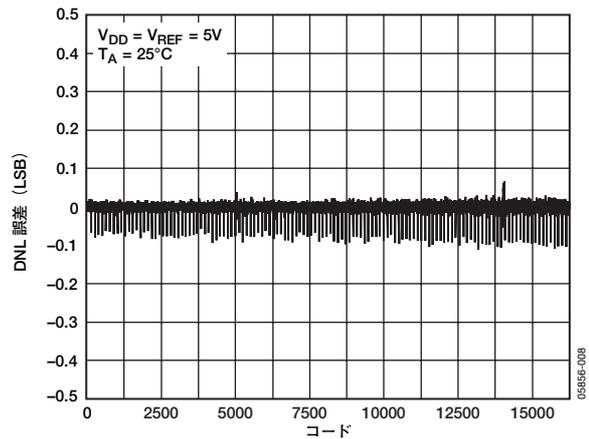


図8. AD5644RのDNL (外部リファレンス)

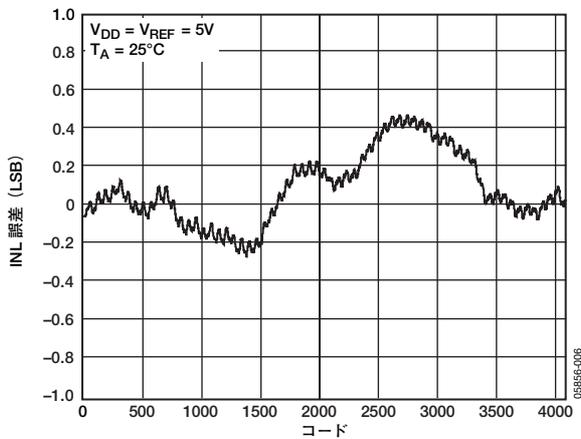


図6. AD5624RのINL (外部リファレンス)

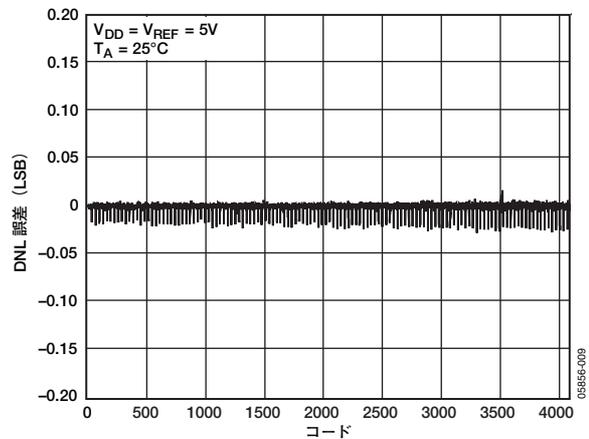


図9. AD5624RのDNL (外部リファレンス)

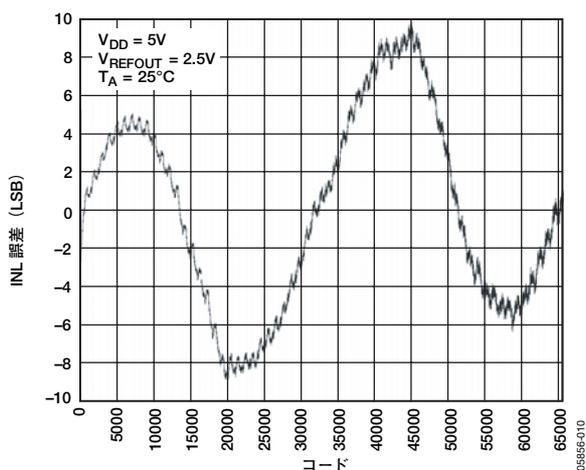


図10. AD5664R-5のINL (内部リファレンス)

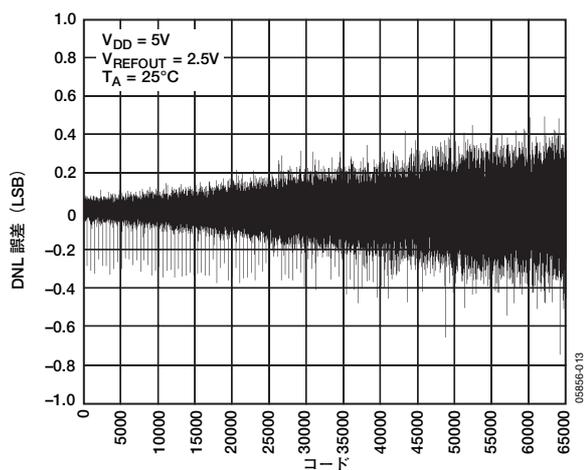


図13. AD5664R-5のDNL (内部リファレンス)

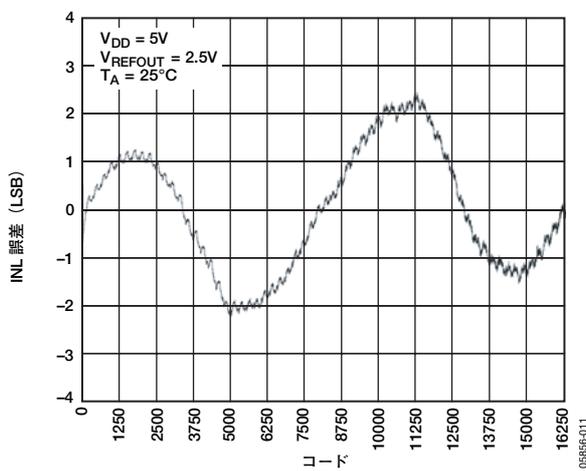


図11. AD5644R-5のINL (内部リファレンス)

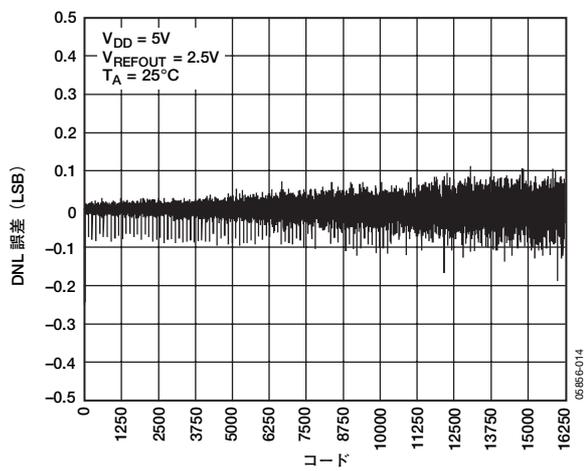


図14. AD5644R-5のDNL (内部リファレンス)

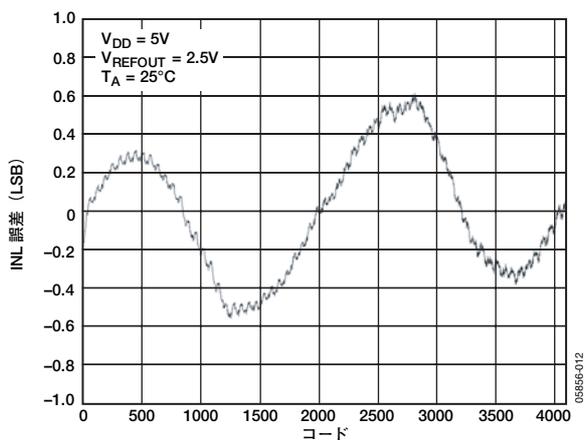


図12. AD5624R-5のINL (内部リファレンス)

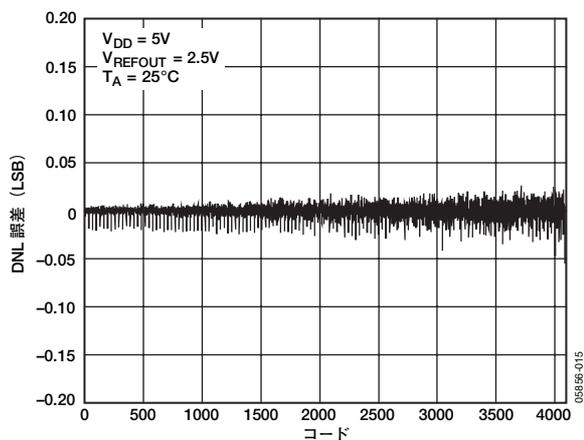


図15. AD5624R-5のDNL (内部リファレンス)

AD5624R/AD5644R/AD5664R

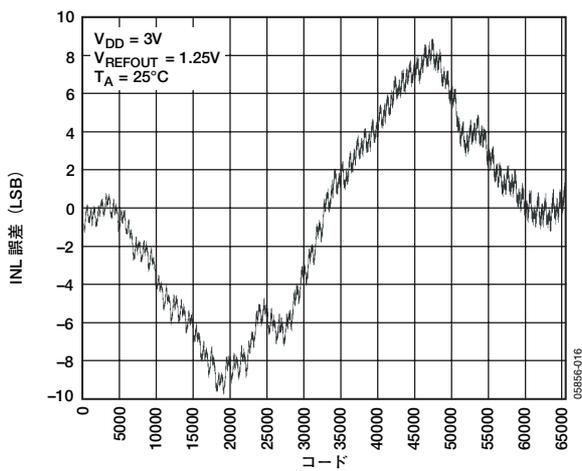


図16. AD5664R-3のINL (内部リファレンス)

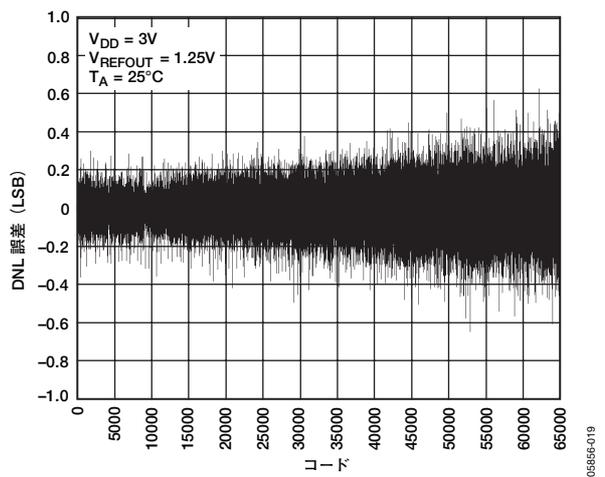


図19. AD5664R-3のDNL (内部リファレンス)

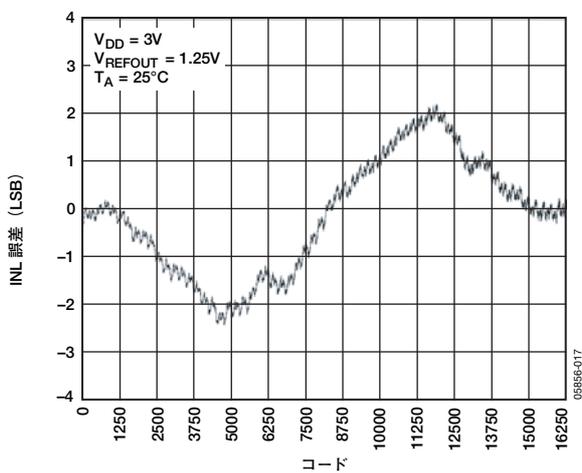


図17. AD5644R-3のINL (内部リファレンス)

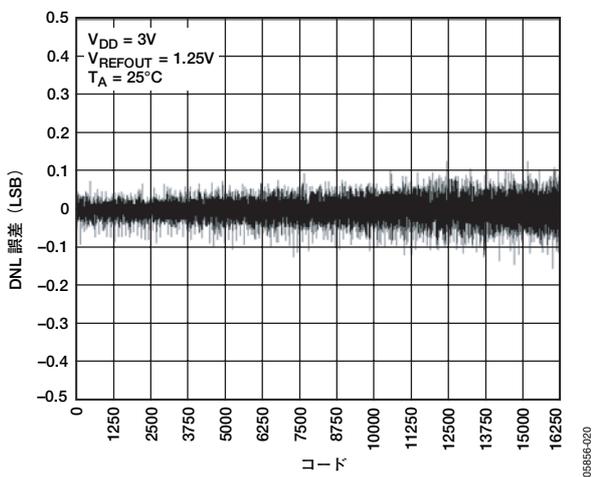


図20. AD5644R-3のDNL (内部リファレンス)

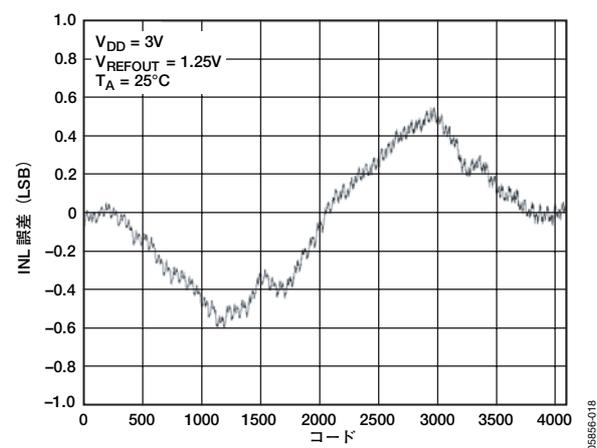


図18. AD5624R-3のINL (内部リファレンス)

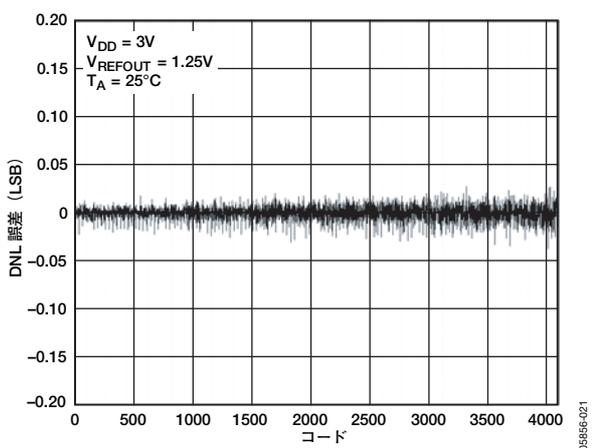


図21. AD5624R-3のDNL (内部リファレンス)

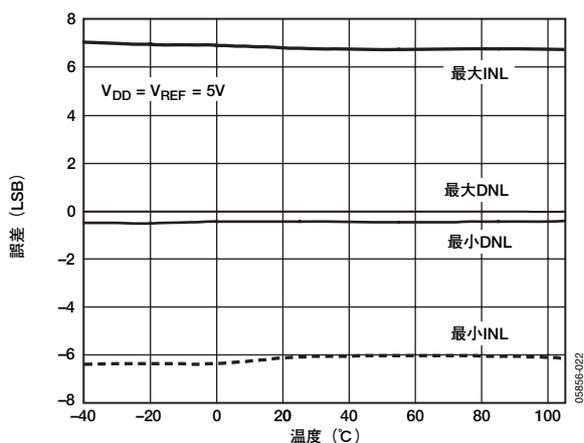


図22. INL誤差とDNL誤差の温度特性

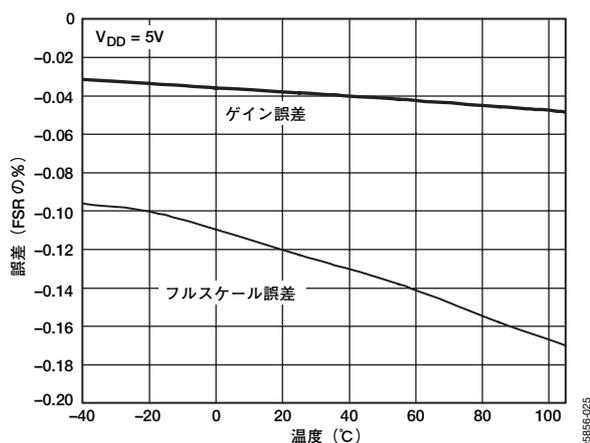


図25. ゲイン誤差とフルスケール誤差の温度特性

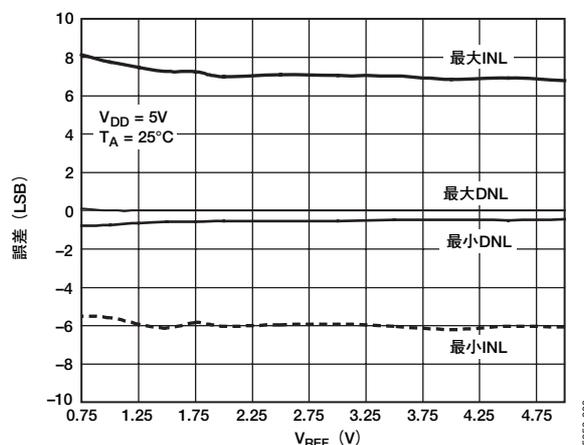


図23. V_{REF} 対 INLおよびDNL誤差

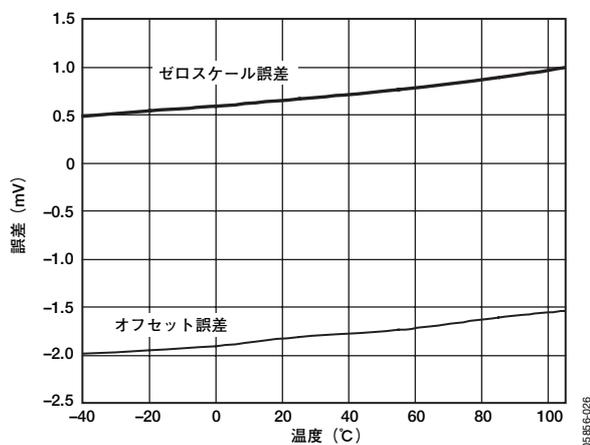


図26. ゼロスケール誤差とオフセット誤差の温度特性

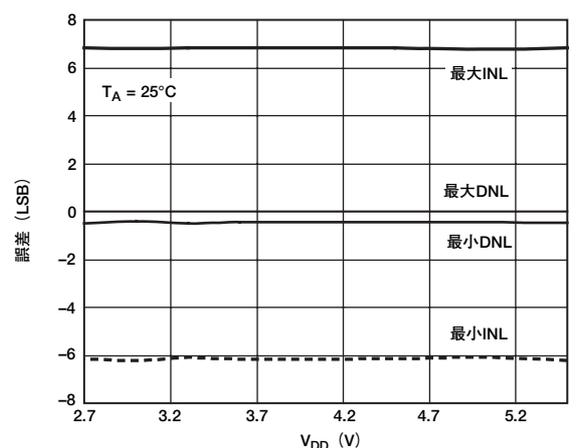


図24. 電源 対 INLおよびDNL誤差

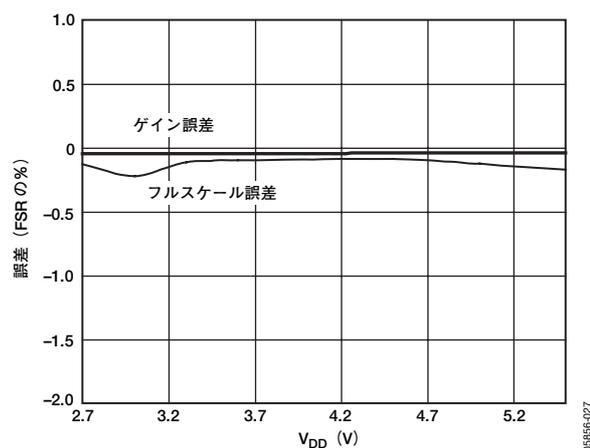


図27. 電源 対 ゲイン誤差およびフルスケール誤差

AD5624R/AD5644R/AD5664R

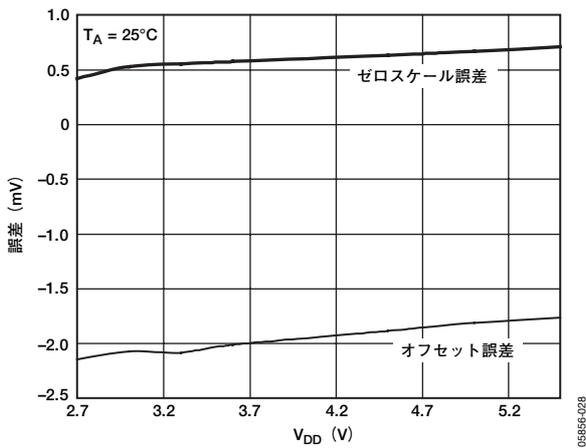


図28. 電源 対 ゼロススケール誤差およびオフセット誤差

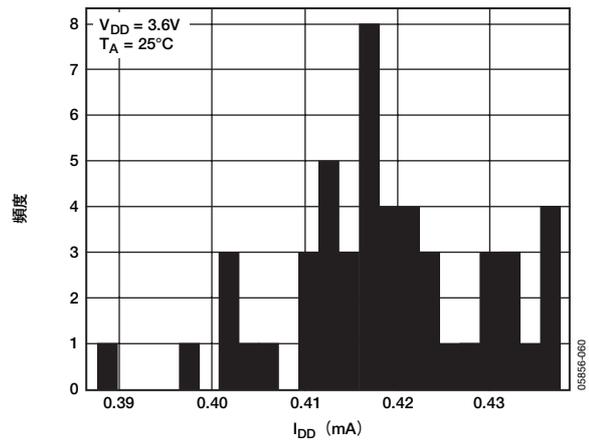


図31. 外部リファレンス使用時の I_{DD} ヒストグラム (3.6V)

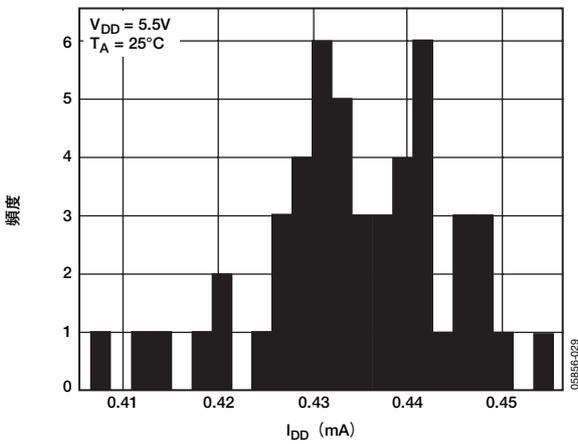


図29. 外部リファレンス使用時の I_{DD} ヒストグラム (5.5V)

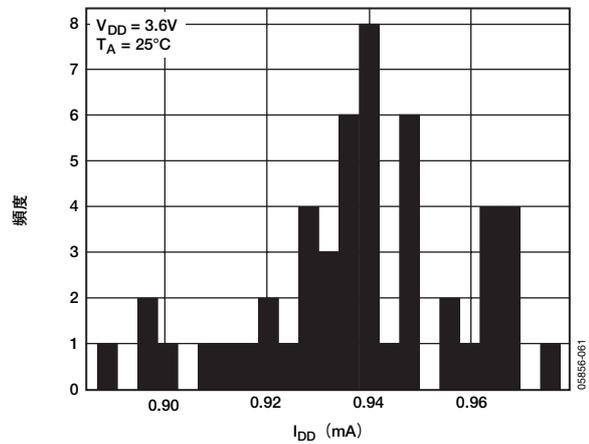


図32. 内部リファレンス使用時の I_{DD} ヒストグラム ($V_{REFOUT} = 1.25\text{V}$)

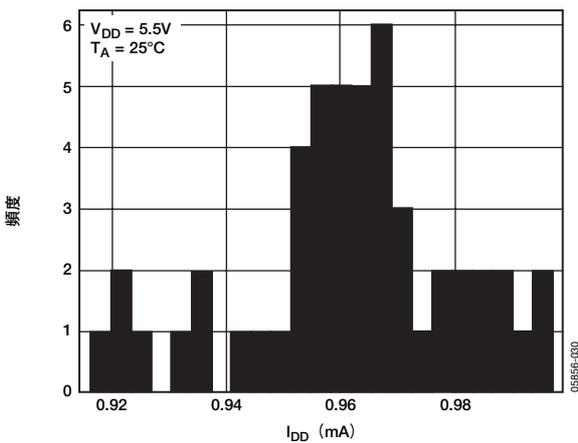


図30. 内部リファレンス使用時の I_{DD} ヒストグラム ($V_{REFOUT} = 2.5\text{V}$)

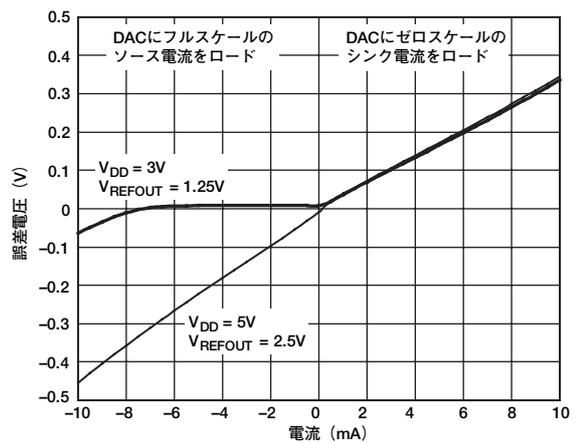


図33. ソースおよびシンク電流 対 電源レールのヘッドルーム

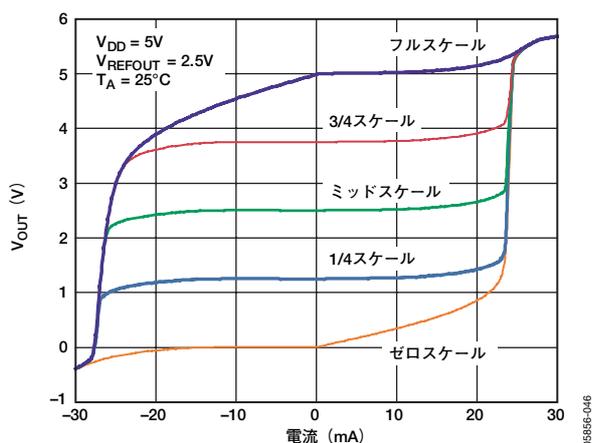


図34. AD56x4R-5のソース能力およびシンク能力

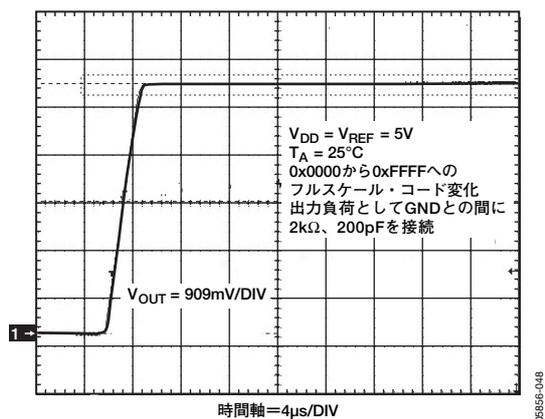


図37. フルスケールのセトリング時間 (5V)

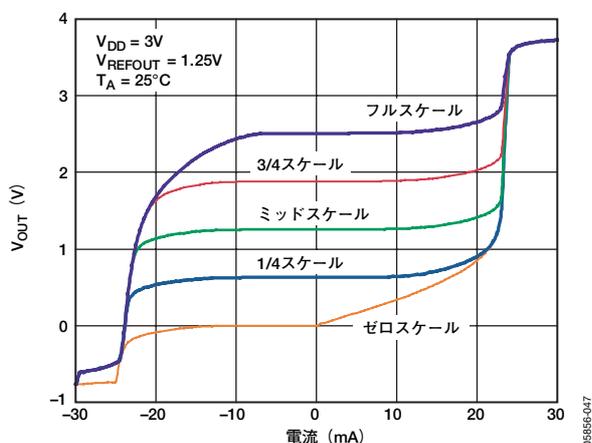


図35. AD56x4R-3のソース能力およびシンク能力

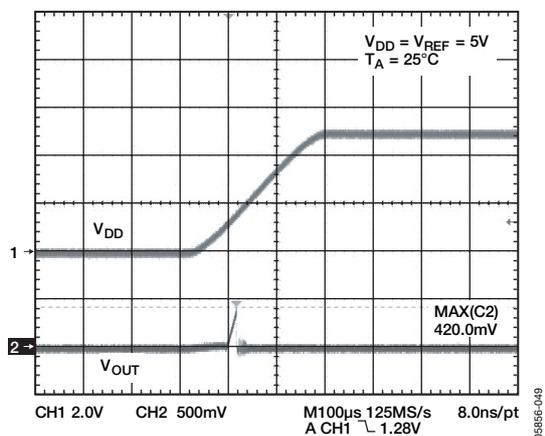


図38. パワーオン・リセット時の0V出力

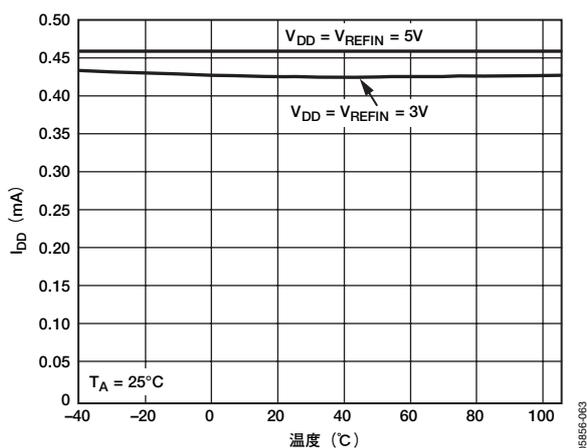


図36. 電源電流の温度特性

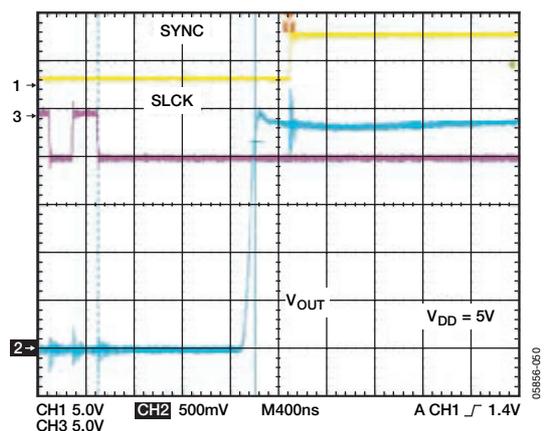


図39. パワーダウン終了後のパワーオン・リセット時のミッドスケール出力

AD5624R/AD5644R/AD5664R

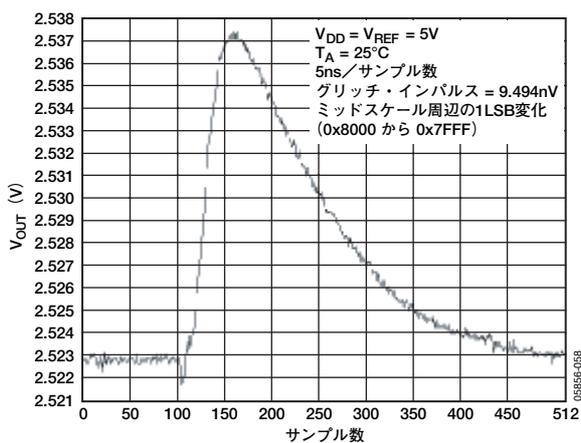


図40. デジタルからアナログへのグリッチ・インパルス (負極性)

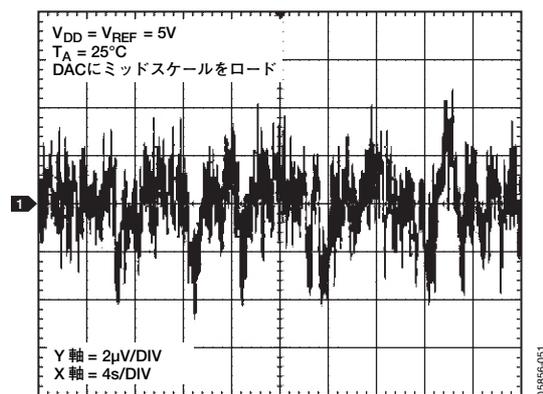


図43. 0.1~10Hz出力ノイズのプロット (外部リファレンス)

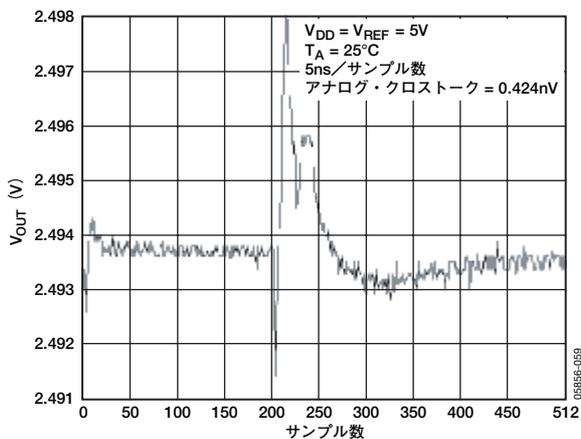


図41. アナログ・クロストーク (外部リファレンス)

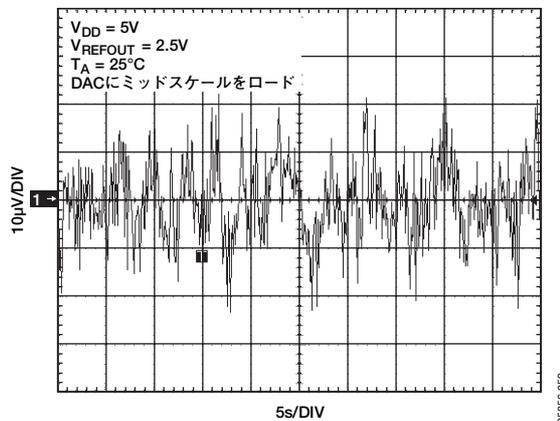


図44. 0.1~10Hz出力ノイズのプロット (2.5Vの内部リファレンス)

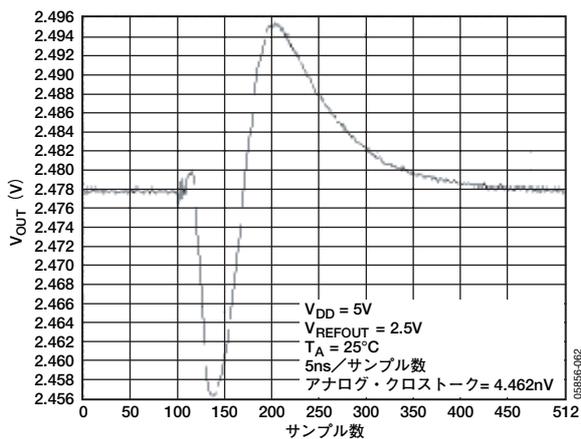


図42. アナログ・クロストーク (内部リファレンス)

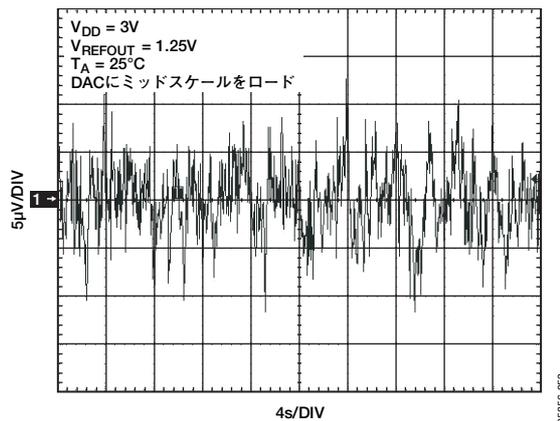


図45. 0.1~10Hz出力ノイズのプロット (1.25Vの内部リファレンス)

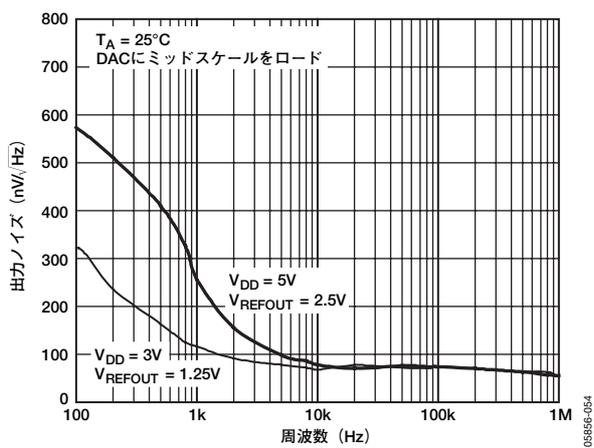


図46. ノイズ・スペクトル密度
(内部リファレンス)

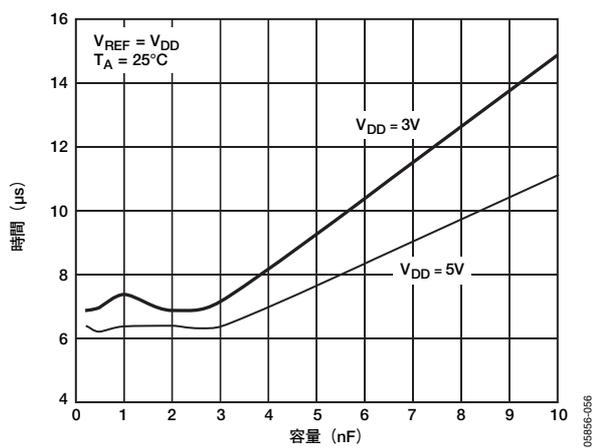


図48. 容量性負荷 対 セットリング時間

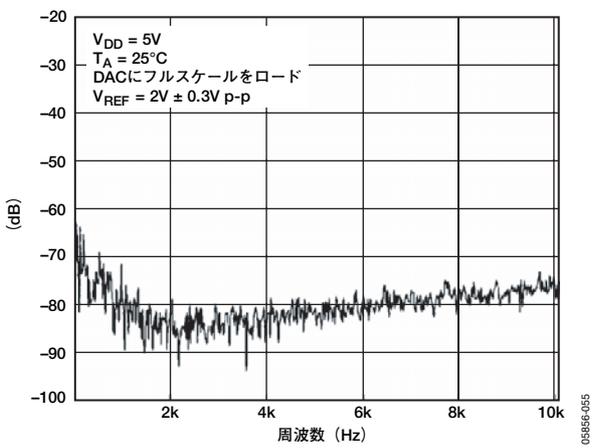


図47. 全高調波歪み (THD)

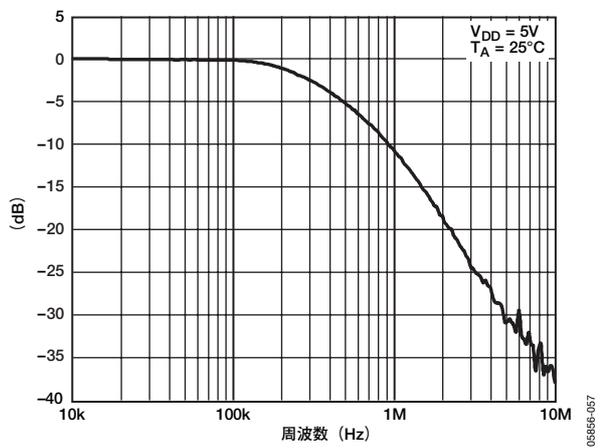


図49. 乗算帯域幅

用語の説明

相対精度または積分非直線性 (INL)

DACの場合、相対精度または積分非直線性 (INL) とは、DAC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差 (単位はLSB) を表します。代表的なコードとINLの関係を図4に示します。

微分非直線性 (DNL)

隣接する2つのコード間における1LSB変化の測定値と理論値の差です。微分非直線性の仕様が ± 1 LSB以内の場合は、単調増加性が保証されています。このDACは設計により単調増加性を保証しています。代表的なコードとDNLの関係を図7に示します。

ゼロスケール誤差

ゼロコード (0x0000) をDACレジスタにロードしたときの出力誤差を表します。出力は理論上0Vになるはずですが、AD5664RではDAC出力が0Vよりも低くなることはないため、ゼロコード誤差は常に正の値となります。この誤差は、DACのオフセット誤差と出力アンプのオフセット誤差が原因で発生します。ゼロコード誤差はmVの単位で表します。ゼロコード誤差の温度特性を図26に示します。

フルスケール誤差

フルスケール・コード (0xFFFF) をDACレジスタにロードしたときの出力誤差を表します。出力は理論上 $V_{DD}-1$ LSBになるはずですが、フルスケール誤差は、フルスケール・レンジの%値で表します。フルスケール誤差の温度特性を図25に示します。

ゲイン誤差

DACのスパン誤差を表します。これはDAC伝達特性の理論値からの実際の傾き偏差を示すもので、FSRの%値で表します。

ゼロコード誤差ドリフト

温度変化にともなうゼロコード誤差の変化を表し、 $\mu\text{V}/\text{C}$ の単位で表します。

ゲイン温度係数

温度変化にともなうゲイン誤差の変化を表し、(FSRのppm)/ $^{\circ}\text{C}$ の単位で表します。

オフセット誤差

伝達関数の直線領域における V_{OUT} (実際の出力電圧) と V_{OUT} (理想的な出力電圧) との差をmVの単位で表します。AD5664Rのオフセット誤差は、コード512をDACレジスタにロードして測定します。これは正または負の値となります。

DC電源電圧変動除去比 (PSRR)

電源電圧の変動がDACの出力に与える影響を示します。PSRRは、DACのフルスケール出力に関する V_{OUT} の変動と V_{DD} の変動の比を表します。これはdBの単位で測定します。 V_{REF} を2Vに保持し、 V_{DD} を $\pm 10\%$ のレンジで変動させます。

出力電圧セトリング時間

入力フルスケールの1/4から3/4に変化するときに、DACの出力が規定のレベルにセトリングするまでの所要時間を表し、SCLKの24番目の立下がりエッジから測定します。

デジタルからアナログへのグリッチ・インパルス

DACレジスタの入力コードが変化したときに、入力からアナログ出力に注入されるインパルスを表します。通常、グリッチの面積として規定され、nV-sで表します。メジャー・キャリアの遷移 (0x7FFFから0x8000) 時に、デジタル入力コードが1LSB変化したときの測定値です。図40を参照。

デジタル・フィードスルー

DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表します。nV-sの単位で規定され、データ・バス上でのフルスケールのコード変化時、すなわち全ビット「0」から全ビット「1」に変化したとき、または全ビット「1」から全ビット「0」にコードが遷移するときに測定します。

リファレンス・フィードスルー

リファレンス・フィードスルーは、DAC出力の更新が行われていないときのDAC出力の信号振幅とリファレンス入力の比を表します。dBの単位で表します。

ノイズ・スペクトル密度

内部で発生するランダム・ノイズの測定値です。ランダム・ノイズは、スペクトル密度 ($\sqrt{\text{Hz}}$ を基準とする電圧) として特性付けられます。この測定は、DACにミッドスケールをロードし、そのときに出力で発生するノイズを計測する方法によって行います。これは $\text{nV}/\sqrt{\text{Hz}}$ の単位で測定します。ノイズ・スペクトル密度のプロットを図46に示します。

DCクロストーク

DCクロストークは、1つのDACの出力変動に呼応してもう1つのDACに生じる出力レベルのDC変化です。測定では、1つのDACでフルスケール出力を変化させて (あるいはソフト・パワーダウンとパワーアップを行って)、ミッドスケールに保持されているもう1つのDACをモニタリングします。 μV の単位で表します。

負荷電流の変化によって生じるDCクロストークは、DACの負荷電流の変化がミッドスケールに保持されているもう1つのDACに及ぼす影響を表します。これは、 $\mu\text{V}/\text{mA}$ の単位で表します。

デジタル・クロストーク

1つのDACの入力レジスタで発生するフルスケール・コード変化 (全ビット「0」から全ビット「1」、または全ビット「1」から全ビット「0」へのコード遷移) に呼応して、ミッドスケールでもう1つのDACの出力に注入されるグリッチ・インパルスです。スタンドアロン・モードで測定し、nV-s単位で表します。

アナログ・クロストーク

1つDACの出力変化に起因してもう1つのDACの出力に注入されるグリッチ・インパルスです。フルスケールのコード変化（全ビット「0」から全ビット「1」、または全ビット「1」から全ビット「0」へのコード遷移）を入力レジスタの1つにロードして測定します。次いでソフトウェアLDACを実行し、デジタル・コードが変化しなかったDACの出力をモニタリングします。グリッチの面積をnV-s単位で表します。

DAC間クロストーク

1つのDACのデジタル・コード変化とこれに続くアナログ出力変化に起因して、もう1つのDACの出力に注入されるグリッチ・インパルスです。書き込みコマンドと更新を使用してフルスケールのコード変化（全ビット「0」から全ビット「1」、または全ビット「1」から全ビット「0」へのコード遷移）に影響を与えるチャンネルにロードすると同時に、影響を受けるチャンネル（ミッドスケール）の出力をモニタリングします。グリッチのエネルギーをnV-s単位で表します。

乗算帯域幅

DACに内蔵されているアンプの帯域幅は有限です。乗算帯域幅はこの測定値です。リファレンス上のサイン波（フルスケール・コードをDACにロードした状態）が出力上に現れます。乗算帯域幅は、出力振幅が入力よりも3dB低くなるときの周波数です。

全高調波歪み（THD）

DACを使用して減衰したサイン波と理論的なサイン波との偏差を表します。DACのリファレンスにサイン波を使用し、DACの出力上に存在する高調波成分を測定した値がTHDになります。dBの単位で測定します。

AD5624R/AD5644R/AD5664R

動作原理

D/A部

AD5624R/AD5644R/AD5664R DACは、CMOSプロセスを用いて製造されています。アーキテクチャは、ストリングDACとその後段の出力バッファ・アンプで構成されています。図50にDACアーキテクチャのブロック図を示します。

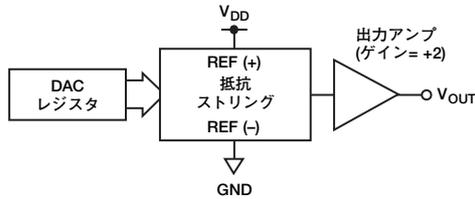


図50. DACアーキテクチャ

DACの入力コーディングはストレート・バイナリであるため、外部リファレンスを使用するときの理論的な出力電圧は、以下の式から求められます。

$$V_{OUT} = V_{REFIN} \times \left(\frac{D}{2^N} \right)$$

内部リファレンスを使用するときの理論的な出力電圧は、以下の式から求められます。

$$V_{OUT} = 2 \times V_{REFOUT} \times \left(\frac{D}{2^N} \right)$$

ここで、

D はDACレジスタにロードされるバイナリ・コードの10進値です。

- AD5624R (12ビット) は0~4095
- AD5644R (14ビット) は0~16,383
- AD5664R (16ビット) は0~65,535

N =DACの分解能

抵抗ストリング

図51に抵抗ストリングの構造を示します。各値が R のシンプルな抵抗のストリングになっています。DACレジスタにロードされるコードに基づいて、ストリングのどのノードから電圧が出力アンプに送り込まれるかが決まります。ストリングとアンプを接続するスイッチの1つが閉じると、電圧が供給されます。抵抗のストリングであるため、単調増加性が保証されます。

出力アンプ

出力バッファ・アンプは、出力でレールtoレール電圧を生成し、0Vから V_{DD} の範囲の電圧を出力できます。このアンプは、GNDとの間に並列に接続された1000pFコンデンサと2k Ω の抵抗の負荷を駆動できます。出力アンプの電流ソース能力およびシンク能力を図34と図35に示します。スルーレートは1.8V/ μ sで、フルスケールの1/4から3/4に変化するときのセトリング時間は7 μ sです。

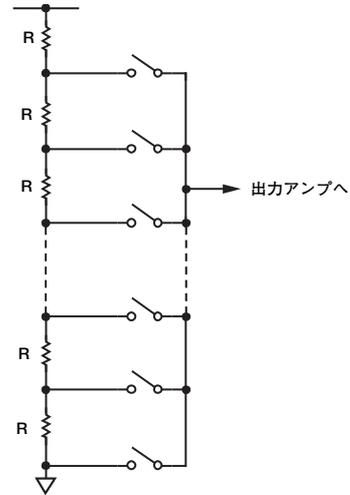


図51. 抵抗ストリング

内部リファレンス

AD5624R/AD5644R/AD5664Rのオンチップ・リファレンスは、パワーアップ時にはオフに設定されていますが、コントロール・レジスタへの書き込みによってイネーブルになります。詳細については、「内部リファレンスのセットアップ」を参照してください。

AD56x4R-3は1.25V、5ppm/ $^{\circ}$ Cのリファレンスを内蔵し、2.5Vのフルスケール出力電圧を提供します。AD56x4R-5は2.5V、5ppm/ $^{\circ}$ Cのリファレンスが内蔵し、5Vのフルスケール出力電圧を提供します。各デバイスの内部リファレンスは V_{REFOUT} ピンから外部で使用することも可能です。リファレンス出力を使用して外部負荷を駆動する場合はバッファが必要です。内部リファレンスを使用するときは、リファレンスの安定性のために、リファレンス出力とGNDとの間に100nFコンデンサを接続することを推奨します。

外部リファレンス

AD56x4R-3とAD56x4R-5には V_{REFIN} ピンが用意されているため、アプリケーションで必要であれば外部リファレンスも使用できます。オンチップのリファレンスは、デフォルト設定でパワーアップ時にオフになっています。いずれのデバイス(AD56x4R-3とAD56x4R-5)も2.7~5.5Vの単電源で動作します。

シリアル・インターフェース

AD5624R/AD5644R/AD5664Rは、3線式シリアル・インターフェース(\overline{SYNC} 、SCLK、DIN)を備えており、業界標準のSPI、QSPI、MICROWIREインターフェース、そして大半のDSPと互換性があります。代表的な書き込みシーケンスのタイミング図については、図2を参照してください。

\overline{SYNC} ラインをローレベルにすることによって、書き込みシーケンスが開始します。DINラインからのデータは、SCLKの立下がりエッジで24ビットのシフト・レジスタにクロック入力されます。最大50MHzのシリアル・クロック周波数を使用できるため、AD5624R/AD5644R/AD5664Rは高速DSPにも対応できます。クロックの24番目のエッジが立ち下ると、最後のデータビットがクロック入力され、プログラムした機能が実行されます(DACレジスタのデータ内容や動作モードが変更)。

この時点で、 $\overline{\text{SYNC}}$ ラインをローレベルに保持するか、またはハイレベルに遷移させることができます。いずれの場合も、 $\overline{\text{SYNC}}$ の立下がりエッジで次の書込みシーケンスを開始できるように、書込みシーケンスが開始される前に少なくとも15nsの間 $\overline{\text{SYNC}}$ ラインをハイレベルに保持する必要があります。

$\overline{\text{SYNC}}$ バッファは $V_{\text{IN}}=0.8\text{V}$ のときよりも $V_{\text{IN}}=2\text{V}$ のときの方が電流を多く消費するため、消費電力をさらに低減するには、書込みシーケンスが終了して次の書込みシーケンスが開始されるまでの間、 $\overline{\text{SYNC}}$ をローレベルのアイドル状態にしておきます。ただし、上述のように、次の書込みシーケンスが開始される直前には $\overline{\text{SYNC}}$ を再びハイレベルに戻す必要があります。

入力シフト・レジスタ

入力シフト・レジスタは、24ビット幅です (図52を参照)。最初の2ビットはドント・ケアで、次の3ビットはコマンド・ビットC2~C0 (表8を参照)、その後3ビットのDACアドレスA2~A0 (表9を参照)、最後に16/14/12ビットのデータワードが続きます。AD5664R、AD5644R、AD5624Rのデータワードは、それぞれ16、14、12ビットの入力コード、およびその後続くそれぞれ0、2、4個のドント・ケア・ビットで構成されます (それぞれ図52、図53、図54を参照)。これらのデータビットは、SCLKの24番目の立下がりエッジでDACレジスタに転送されます。

表8. コマンドの定義

C2	C1	C0	コマンド
0	0	0	入力レジスタ n への書込み
0	0	1	DACレジスタ n の更新
0	1	0	入力レジスタ n への書込み、すべて更新 (ソフトウェアLDAC)
0	1	1	DACチャンネル n への書込みと更新
1	0	0	DACのパワーダウン (パワーアップ)
1	0	1	リセット
1	1	0	LDACレジスタのセットアップ
1	1	1	内部リファレンスのセットアップ (オン/オフ)

表9. アドレス・コマンド

A2	A1	A0	アドレス (n)
0	0	0	DAC A
0	0	1	DAC B
0	1	0	DAC C
0	1	1	DAC D
1	1	1	全DAC

SYNC割込み

通常の手書きシーケンスでは、SCLKの少なくとも24個の立下がりエッジの間、 $\overline{\text{SYNC}}$ ラインがローレベルに保持され、SCLKの24番目の立下がりエッジでDACが更新されます。ただし、24番目のエッジが立ち下がる前に $\overline{\text{SYNC}}$ をハイレベルにすると、 $\overline{\text{SYNC}}$ は書込みシーケンスへの割込み信号として機能します。このとき、シフト・レジスタがリセットされ、書込みシーケンスは無効とみなされます。DACレジスタのデータ内容は更新されず、動作モードも変更されません (図55を参照)。

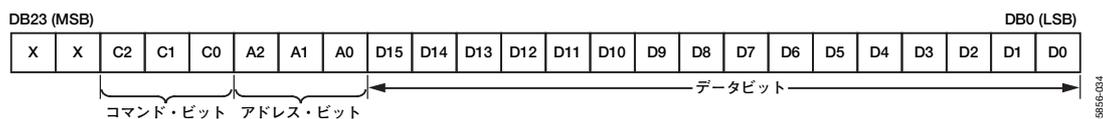


図52. AD5664R：入力シフト・レジスタの内容

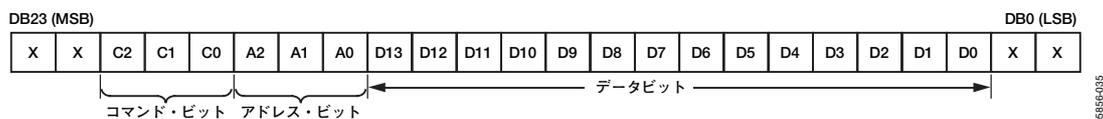


図53. AD5644R：入力シフト・レジスタの内容

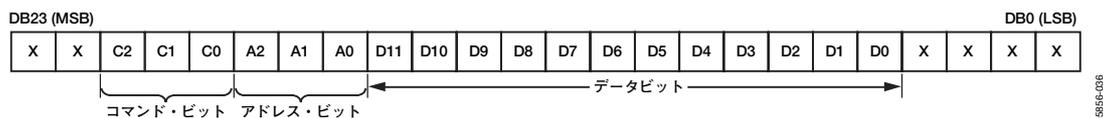


図54. AD5624R：入力シフト・レジスタの内容

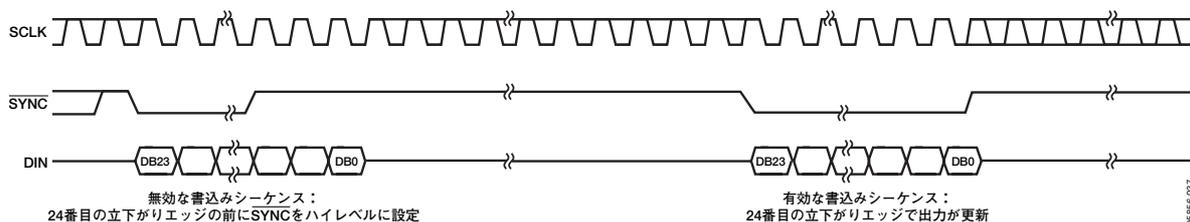


図55. $\overline{\text{SYNC}}$ の割込み機能

AD5624R/AD5644R/AD5664R

パワーオン・リセット

AD5624R/AD5644R/AD5664Rファミリーは、パワーアップ時に出力電圧を制御するパワーオン・リセット回路を内蔵しています。AD5624R/AD5644R/AD5664RのDAC出力はパワーアップ時に0Vにリセットされ、DACに有効な書込みシーケンスが行われるまで出力はこのままの状態を維持します。この機能は、パワーアップ時にDACの出力状態を把握しておかなければならないアプリケーションで特に便利です。

ソフトウェア・リセット

AD5624R/AD5644R/AD5664Rには、ソフトウェア・リセット機能があります。コマンド101がソフトウェア・リセット機能に予約されています（表8を参照）。ソフトウェア・リセット・コマンドには、コントロール・レジスタのDB0ビットの設定によってソフトウェアからプログラムできるリセット・モードが2種類あります。

表10に、ビットの状態とそれに対応するソフトウェア・リセット動作モードを示します。表12には、ソフトウェア・リセット動作モード中の入力シフト・レジスタの内容を示します。

表10. AD5624R/AD5644R/AD5664Rのソフトウェア・リセット・モード

DB0	ゼロにリセットされるレジスタ
0	DACレジスタ 入力シフト・レジスタ
1 (パワーオン・リセット)	DACレジスタ 入力シフト・レジスタ LDACレジスタ パワーダウン・レジスタ 内部リファレンス・セットアップ・レジスタ

パワーダウン・モード

AD5624R/AD5644R/AD5664Rには、4種類の動作モードがあります。コマンド100がパワーダウン機能に予約されています（表8を参照）。これらの動作モードは、コントロール・レジスタの2つのビット（DB5とDB4）を設定することでソフトウェアからプログラムできます。表11に、この2つのビットの設定とそれに対応するデバイスの動作モードを示します。対応する4つのビット（DB3、DB2、DB1、DB0）を1に設定することによって、すべてのDAC（DAC D～DAC A）を選択したモードにパワーダウンできます。

表12. ソフトウェア・リセット・コマンドに対する24ビット入力シフト・レジスタの内容

DB23～DB22 (MSB)	DB21	DB20	DB19	DB18	DB17	DB16	DB15～DB1	DB0 (LSB)
x	1	0	1	x	x	x	x	1/0
ドント・ケア	コマンド・ビット (C2～C0)			アドレス・ビット (A2～A0)			ドント・ケア	ソフトウェア・リセット・モードを指定

表13. AD5624R/AD5644R/AD5664Rのパワーダウン/パワーアップ動作に対する24ビット入力シフト・レジスタの内容

DB23～DB22 (MSB)	DB21	DB20	DB19	DB18	DB17	DB16	DB15～DB6	DB5	DB4	DB3	DB2	DB1	DB0 (LSB)
x	1	0	0	x	x	x	x	PD1	PD0	DAC D	DAC C	DAC B	DAC A
ドント・ケア	コマンド・ビット (C2～C0)			アドレス・ビット (A2～A0)、ドント・ケア			ドント・ケア	パワーダウン/パワーアップするチャンネルの選択。ビットを1に設定してチャンネルを選択					

同じコマンド100を実行し、ビット（DB5とDB4）を設定すれば、任意の組合わせのDACを通常動作モードにパワーアップできます。パワーアップするDACチャンネルの組合わせを選択するには、対応する4つのビット（DB3、DB2、DB1、DB0）を1に設定してください。パワーダウン/パワーアップ動作時の入力シフト・レジスタの内容については、表13を参照してください。

表11. AD5624R/AD5644R/AD5664Rの動作モード

DB5	DB4	動作モード
0	0	通常動作 パワーダウン・モード
0	1	1kΩを介してGNDに接続
1	0	100kΩを介してGNDに接続
1	1	スリーステート

DB5とDB4の両ビットを0に設定すると、デバイスは5V電源で450μAという通常の消費電流で通常の動作を行います。ただし、3つのパワーダウン・モードでは、電源電流が5V電源で480nA（3V電源時で200nA）まで低下します。電源電流が低下するだけでなく、出力段も内部的にアンプの出力から切り離されて既知の値をもつ抵抗ネットワークに接続されます。これには、パワーダウン・モード中のデバイスの出力インピーダンスが既知になるという利点があります。図54に示すように、1kΩの抵抗を介して出力を内部でGNDに接続するか、オープン回路（スリーステート）にしておくことができます。

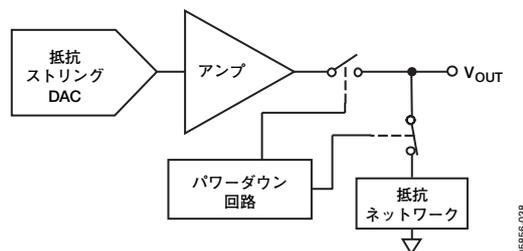


図56. パワーダウン時の出力段

パワーダウン・モードを起動すると、バイアス発生器、出力アンプ、抵抗ストリングなどの関連するリニア回路がすべてシャットダウンします。ただし、パワーダウン中にDACレジスタの内容が変わることはありません。パワーダウン・モードからの復帰時間は、 $V_{DD}=5V$ でも $V_{DD}=3V$ でも一般に4μsです（図39を参照）。

LDAC機能

AD5624R/AD5644R/AD5664Rの各DACは、入力レジスタとDACレジスタの2列のレジスタで構成されるダブルバッファ・インターフェースを備えています。入力レジスタは入力シフト・レジスタに直接接続され、有効な書込みシーケンスが終了するとデジタル・コードが該当する入力レジスタに転送されます。DACレジスタには、抵抗ストリングで使用するデジタル・コードが格納されます。

ダブルバッファ・インターフェースは、すべてのDAC出力を同時に更新する必要がある場合に便利です。入力レジスタの3つにデータを別々に書き込み、次に残りの入力レジスタにデータを書き込むことで、すべてのDACレジスタを同時に更新できます。ソフトウェアLDAC機能用にコマンド010が予約されています。

DACレジスタへのアクセスは、LDAC機能によって制御されます。LDACレジスタには、各DACチャンネル用に2つの動作モードがあります。DACチャンネルは、4ビットのLDACレジスタ (DB3、DB2、DB1、DB0) のビットを設定して選択します。LDACレジスタのセットアップ用にコマンド110が予約されています。LDACビット・レジスタがローレベルになると、対応するDACレジスタがラッチされ、DACレジスタの内容を変えずに入力レジスタの状態を変えることができます。LDACビット・レジスタがハイレベルになると、DACレジスタが透過的になり、24番目のSCLKパルスの立下がりエッジで入力レジスタの内容がDACレジスタに転送されます。これは、選択したDACチャンネルに対してLDACハードウェア・ピンをローレベルに固定して同期更新モードに設定する方法と同じです。LDACレジスタの動作モードについては、表14を参照してください。LDACレジスタのセットアップ・コマンドを設定するときの入力シフト・レジスタの内容については、表16を参照してください。

この柔軟性は、選択したチャンネルを同時に更新し、残りのチャンネルを同期して更新したいアプリケーションで役に立ちます。

表14. LDACレジスタの動作モード

ロードDACレジスタ	
LDACビット (DB3~DB0)	LDAC動作モード
0	通常動作 (デフォルト)。DACレジスタの更新は書込みコマンドによって制御します。
1	24番目のSCLKパルスの立下がりエッジで新しいデータが読み込まれた後、DACレジスタが更新されます。

内部リファレンスのセットアップ

オンチップのリファレンスは、デフォルト設定でパワーアップ時にオフになります。コントロール・レジスタのソフトウェア・プログラマブル・ビットDB0を設定することで、内部リファレンスをターンオンまたはターンオフできます。表15に、ビットの状態とそれに対応する動作モードを示します。内部リファレンスのセットアップ用にコマンド111が予約されています (表8を参照)。表16には、入力シフト・レジスタのビットの状態と、内部リファレンス・セットアップ時のデバイスの対応する動作モードを示します。

表15. 内部リファレンスのセットアップ用レジスタ

内部リファレンスのセットアップ用レジスタ (DB0)	アクション
0	リファレンス・オフ (デフォルト)
1	リファレンス・オン

表16. AD5624R/AD5644R/AD5664RのLDACセットアップ・コマンドに対する24ビット入力シフト・レジスタの内容

DB23~DB22 (MSB)	DB21	DB20	DB19	DB18	DB17	DB16	DB15~DB4	DB3	DB2	DB1	DB0 (LSB)
x	1	1	0	x	x	x	x	DAC D	DAC C	DAC B	DAC A
ドント・ケア	コマンド・ビット (C2~C0)			アドレス・ビット (A2~A0)、ドント・ケア			ドント・ケア	ビットを0または1に設定して、各チャンネルに必要な動作モードを指定			

表17. 内部リファレンス・セットアップ・コマンドに対する24ビット入力シフト・レジスタの内容

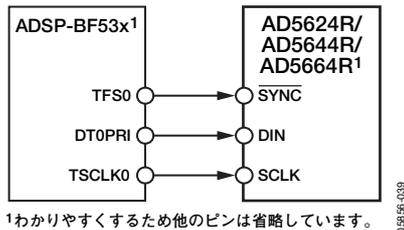
DB23~DB22 (MSB)	DB21	DB20	DB19	DB18	DB17	DB16	DB15~DB1	DB0 (LSB)
x	1	1	1	x	x	x	x	1/0
ドント・ケア	コマンド・ビット (C2~C0)			アドレス・ビット (A2~A0)			ドント・ケア	リファレンス・セットアップ・レジスタ

AD5624R/AD5644R/AD5664R

マイクロプロセッサとのインターフェース

AD5624R/AD5644R/AD5664RとBlackfin® ADSP-BF53xとのインターフェース

図57に、AD5624R/AD5644R/AD5664RとBlackfin ADSP-BF53xマイクロプロセッサとのシリアル・インターフェースを示します。ADSP-BF53xプロセッサ・ファミリーには、シリアル通信とマルチプロセッサ通信用に2つのデュアル・チャンネル同期シリアル・ポート (SPORT1とSPORT0) が内蔵されています。SPORT0を用いたAD5624R/AD5644R/AD5664Rとの接続では、インターフェースのセットアップは、DT0PRIがAD5624R/AD5644R/AD5664RのDINピンを駆動し、TSCLK0がデバイスのSCLKピンを駆動して行われます。SYNCはTFS0から駆動されます。



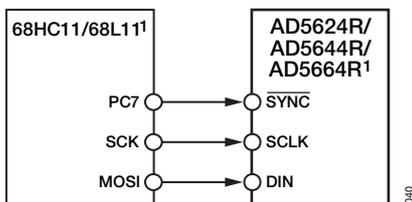
1わかりやすくするため他のピンは省略しています。

図57. AD5624R/AD5644R/AD5664RとBlackfin ADSP-BF53xとのインターフェース

AD5624R/AD5644R/AD5664Rと68HC11/68L11とのインターフェース

図58に、AD5624R/AD5644R/AD5664Rと68HC11/68L11マイクロコントローラとのシリアル・インターフェースを示します。68HC11/68L11のSCKがAD5624R/AD5644R/AD5664RのSCLKを駆動し、MOSI出力がDACのシリアル・データ・ラインを駆動します。

SYNC信号はポート・ライン (PC7) から取ります。このインターフェースを正しく動作させるには、68HC11/68L11のCPOLビットを0、CPHAビットを1に設定する必要があります。データがDACに送信されているとき、SYNCラインをローレベルにします (PC7)。68HC11/68L11が上述のように設定されていれば、MOSIに出力されるデータがSCKの立下がりエッジで有効になります。68HC11/68L11からのシリアル・データは8ビット・バイトで転送されるため、送信サイクルには立下がりクロック・エッジが8個しかありません。データはMSBファーストで送信されます。AD5624R/AD5644R/AD5664Rにデータをロードするには、最初の8ビットの転送後もPC7をローレベルのままにして、DACに2番目のシリアル書き込み動作を行います。この手順の終わりに、PC7をハイレベルにします。

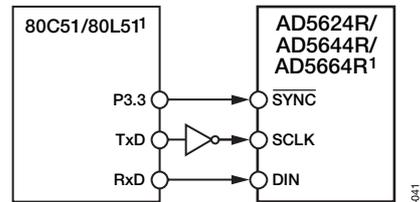


1わかりやすくするため他のピンは省略しています。

図58. AD5624R/AD5644R/AD5664Rと68HC11/68L11とのインターフェース

AD5624R/AD5644R/AD5664Rと80C51/80L51とのインターフェース

図59に、AD5624R/AD5644R/AD5664Rと80C51/80L51マイクロコントローラとのシリアル・インターフェースを示します。このインターフェースのセットアップは、80C51/80L51のTxDがAD5624R/AD5644R/AD5664RのSCLKを駆動し、RxDがデバイスのシリアル・データ・ラインを駆動して行われます。SYNC信号は、ポート上のビット・プログラマブル・ピンから取ります。この場合、ポート・ラインP3.3を使用します。データがAD5624R/AD5644R/AD5664Rに転送される時、P3.3をローレベルにします。80C51/80L51は8ビットのバイトのみでデータを転送するため、送信サイクルでは8個の立下がりクロック・エッジだけが発生します。DACにデータをロードするには、最初の8ビットの転送後もP3.3をローレベルのままにして、2番目の書き込みサイクルを実行すると、データの2番目のバイトが転送されます。このサイクルの完了後にP3.3をハイレベルにします。80C51/80L51は、LSBファーストのフォーマットでシリアル・データを出力します。AD5624R/AD5644R/AD5664RはMSBファーストでデータを受信する必要があります。80C51/80L51の送信ルーチンでは、この点を考慮に入れてください。

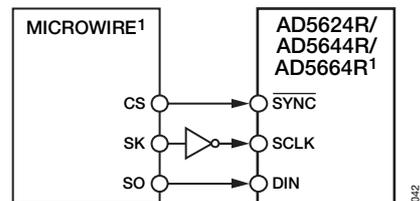


1わかりやすくするため他のピンは省略しています。

図59. AD5624R/AD5644R/AD5664Rと80C51/80L51とのインターフェース

AD5624R/AD5644R/AD5664RとMICROWIREとのインターフェース

図60に、AD5624R/AD5644R/AD5664RとMICROWIRE互換デバイスとのインターフェースを示します。シリアル・データはシリアル・クロックの立下がりエッジで出力され、SKの立下がりエッジでAD5624R/AD5644R/AD5664Rに入力されます。



1わかりやすくするため他のピンは省略しています。

図60. AD5624R/AD5644R/AD5664RとMICROWIREとのインターフェース

アプリケーション

AD5624R/AD5644R/AD5664Rの電源としてリファレンスを使用する方法

AD5624R/AD5644R/AD5664Rに必要な電源電流は非常に低いため、電圧リファレンスを使用してデバイスに必要な電圧を供給することができます (図61を参照)。電源ノイズが非常に大きい場合、あるいはシステムの電源電圧が5Vまたは3V以外の場合 (15Vなど) は、この方法が特に便利です。電圧リファレンスは、AD5624R/AD5644R/AD5664Rに定常の電源電圧を出力します (図59を参照)。低ドロップアウト電圧のREF195を使用する場合は、DACの出力に負荷を接続していない状態でAD5624R/AD5644R/AD5664Rに450 μ Aの電流を供給する必要があります。DAC出力に負荷がある場合も、REF195は負荷に電流を供給する必要があります。必要な電流の合計値 (DAC出力に5k Ω の負荷を接続している場合) は、以下のようになります。

$$450\mu\text{A} + (5\text{V}/5\text{k}\Omega) = 1.45\text{mA}$$

通常、REF195の負荷レギュレーションは2ppm/mAであるため、REF195から1.45mAの電流を供給すると2.9ppm (14.5 μ V) の誤差が生じます。これは、0.191LSBの誤差に相当します。

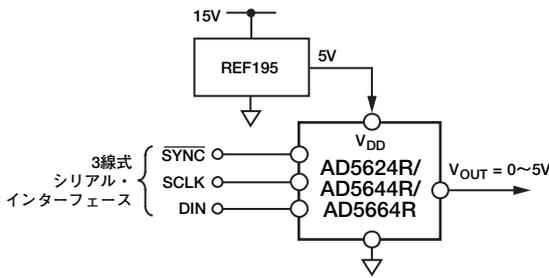


図61. AD5624R/AD5644R/AD5664Rの電源としてREF195を使用する回路

AD5624R/AD5644R/AD5664Rを使用したバイポーラ動作

AD5624R/AD5644R/AD5664Rは単電源動作用に設計されていますが、図62の回路を使用してバイポーラ出力電圧範囲を設定することも可能です。この回路では、出力電圧範囲が $\pm 5\text{V}$ となります。出力アンプにAD820またはOP295を使用すると、アンプ出力のレールtoレール動作が可能になります。

任意の入力コードに対応する出力電圧は、以下の式で計算できます。

$$V_o = \left[V_{DD} \times \left(\frac{D}{65,535} \right) \times \left(\frac{R1+R2}{R1} \right) - V_{DD} \times \left(\frac{R2}{R1} \right) \right]$$

ここで、 D は10進数値 (0~65,535) で表した入力コードです。 $V_{DD}=5\text{V}$ 、 $R1=R2=10\text{k}\Omega$ のときは、出力電圧は以下のようになります。

$$V_o = \left(\frac{10 \times D}{65,535} \right) - 5\text{V}$$

出力電圧範囲は $\pm 5\text{V}$ となり、0x0000が -5V 出力、0xFFFFが $+5\text{V}$ 出力に相当します。

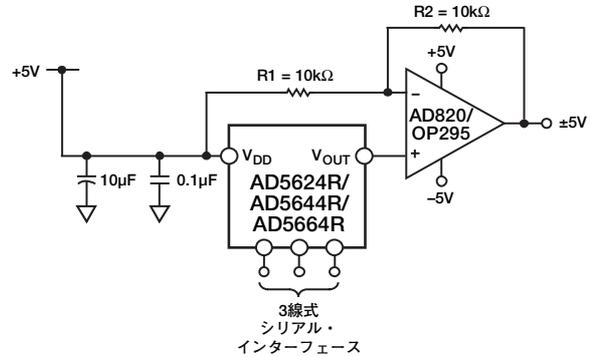


図62. AD5624R/AD5644R/AD5664Rを使用したバイポーラ動作

デジタル・アイソレータ (iCoupler) を用いた絶縁インターフェース

工業環境のプロセス制御アプリケーションでは、DACが動作している環境で発生する危険な同相電圧から制御回路を保護したり絶縁するために、絶縁インターフェースが必要になることがあります。iCoupler[®]は3kVを超える絶縁が可能です。AD5624R/AD5644R/AD5664Rは3線式シリアル・ロジック・インターフェースを使用しているため、3チャンネルのデジタル・アイソレータ「ADuM130x」によって必要な絶縁が得られます (図63を参照)。デバイスの電源も絶縁する必要がありますが、これにはトランスを使用します。トランスのDAC側では、5VのレギュレータがAD5624R/AD5644R/AD5664Rに必要な5V電源を供給します。

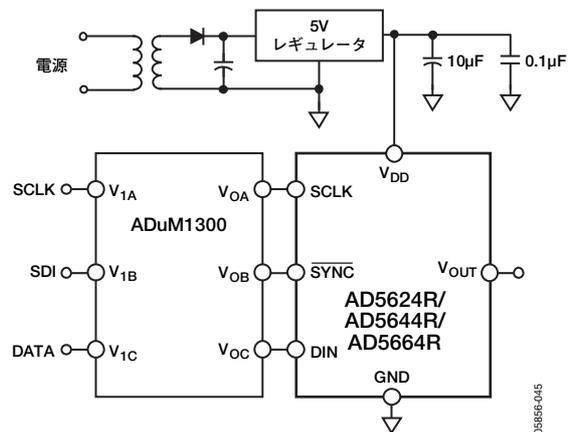


図63. iCouplerを用いた絶縁インターフェース

AD5624R/AD5644R/AD5664R

電源のバイパスとグラウンディング

精度が重視される回路では、ボード上の電源とグラウンド・リターンのレイアウトに注意してください。AD5624R/AD5644R/AD5664Rを実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれまとめて配置するように設計してください。複数のデバイスがAGNDとDGND間の接続を必要とするシステムでAD5624R/AD5644R/AD5664Rを使用する場合は、必ず1ヵ所のみでこの接続を行ってください。グラウンド・ポイントはAD5624R/AD5644R/AD5664Rのできるかぎり近くに配置してください。

AD5624R/AD5644R/AD5664Rの電源は、10 μ Fと0.1 μ Fのコンデンサを使用してバイパスします。コンデンサはデバイスのできるだけ近くに配置し、0.1 μ Fのコンデンサは理想的にはデバイスの真上に配置してください。10 μ Fのコンデンサはタンタルのビード型を使います。0.1 μ Fのコンデンサは、セラミック型の等価直列抵抗 (ESR) が小さく、かつ等価直列インダクタンス (ESL) が小さいものを使うことが重要です。この0.1 μ Fのコンデンサは、内部ロジックのスイッチングによる過渡電流によって発生する高周波に対して、グラウンドへの低インピーダンス・パスを提供します。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を低減させます。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを用いてボード上の他の部分からシールドします。デジタル信号とアナログ信号は、できるだけ交差しないようにしてください。ボードの反対側のパターンは、互いに直角になるように配置し、ボードを通過するフィードスルーの影響を削減します。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンをハンダ面に配置するマイクロストリップ技術ですが、2層ボードでは必ずしも使用できるとは限りません。

外形寸法

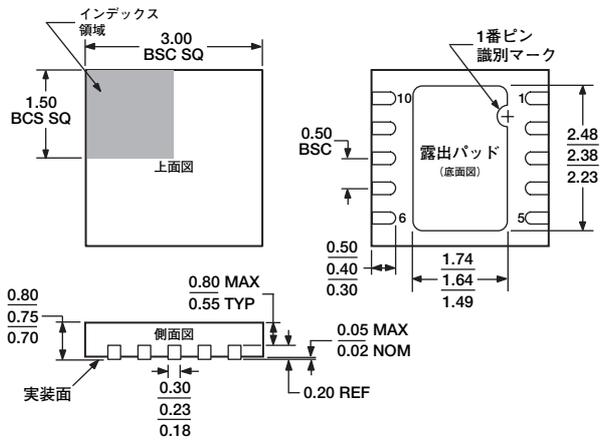
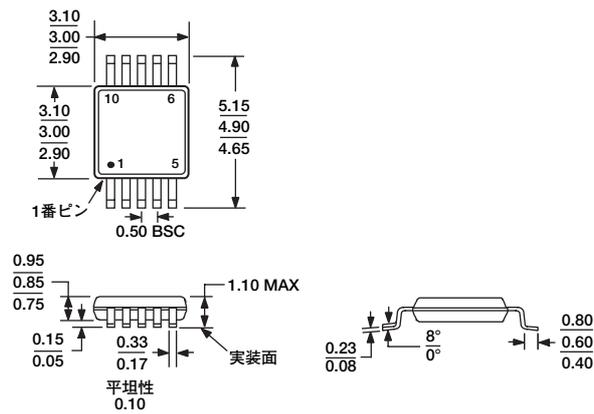


図64. 10ピン・リードフレーム・チップスケール・パッケージ [LFCSP_WD]
 3mm×3mmボディ、超薄型、デュアル・リード
 (CP-10-9)
 単位寸法：mm



JEDEC規格MO-187-BAに準拠

図65. 10ピン・ミニ・スモール・アウトライン・パッケージ [MSOP]
 (RM-10)
 単位寸法：mm

AD5624R/AD5644R/AD5664R

オーダー・ガイド

モデル	温度範囲	精度	内部 リファレンス	パッケージ	パッケージ・ オプション	マーキング
AD5624RBCPZ-3R2 ¹	-40 ~ +105°C	±1LSB INL	1.25 V	10ピンLFCSP_WD	CP-10-9	D7L
AD5624RBCPZ-3REEL7 ¹	-40 ~ +105°C	±1LSB INL	1.25 V	10ピンLFCSP_WD	CP-10-9	D7L
AD5624RBRMZ-3 ¹	-40 ~ +105°C	±1LSB INL	1.25 V	10ピンMSOP	RM-10	D7L
AD5624RBRMZ-3REEL7 ¹	-40 ~ +105°C	±1LSB INL	1.25 V	10ピンMSOP	RM-10	D7L
AD5624RBRMZ-5 ¹	-40 ~ +105°C	±1LSB INL	2.5 V	10ピンMSOP	RM-10	D7V
AD5624RBRMZ-5REEL7 ¹	-40 ~ +105°C	±1LSB INL	2.5 V	10ピンMSOP	RM-10	D7V
AD5644RBRMZ-3 ¹	-40 ~ +105°C	±4LSB INL	1.25 V	10ピンMSOP	RM-10	D7E
AD5644RBRMZ-3REEL7 ¹	-40 ~ +105°C	±4LSB INL	1.25 V	10ピンMSOP	RM-10	D7E
AD5644RBRMZ-5 ¹	-40 ~ +105°C	±4LSB INL	2.5 V	10ピンMSOP	RM-10	D7D
AD5644RBRMZ-5REEL7 ¹	-40 ~ +105°C	±4LSB INL	2.5 V	10ピンMSOP	RM-10	D7D
AD5664RBCPZ-3R2 ¹	-40 ~ +105°C	±16LSB INL	1.25 V	10ピンLFCSP_WD	CP-10-9	D73
AD5664RBCPZ-3REEL7 ¹	-40 ~ +105°C	±16LSB INL	1.25 V	10ピンLFCSP_WD	CP-10-9	D73
AD5664RBRMZ-3 ¹	-40 ~ +105°C	±16LSB INL	1.25 V	10ピンMSOP	RM-10	D73
AD5664RBRMZ-3REEL7 ¹	-40 ~ +105°C	±16LSB INL	1.25 V	10ピンMSOP	RM-10	D73
AD5664RBRMZ-5 ¹	-40 ~ +105°C	±16LSB INL	2.5 V	10ピンMSOP	RM-10	D75
AD5664RBRMZ-5REEL7 ¹	-40 ~ +105°C	±16LSB INL	2.5 V	10ピンMSOP	RM-10	D75
EVAL-AD5664REB				評価用ボード		

¹ Z=鉛フリー製品