



**ANALOG
DEVICES**

5ppm/ の内部リファレンス付き、SOT-23パッケージ
シングル12/14/16ビットnanoDAC™コンバータ

AD5620/AD5640/AD5660

特長

低消費電力、シングルnanoDAC

AD5660 : 16ビット

AD5640 : 14ビット

AD5620 : 12ビット

12ビット精度を保証

1.25V/2.5V、5ppm/ リファレンスを内蔵

小型パッケージ : 8ピンSOT-23/MSOP

パワーダウン時の消費電流 : 480nA@5V、200nA@3V

3V/5V単電源

16ビットの単調増加性を設計により保証

DAC出力をゼロスケールまたはミッドスケールにパワーオン・リセット

3種のパワーダウン機能

シュミット・トリガ内蔵のシリアル・インターフェース

レールtoレール動作

SYNC 割込み機能

機能ブロック図

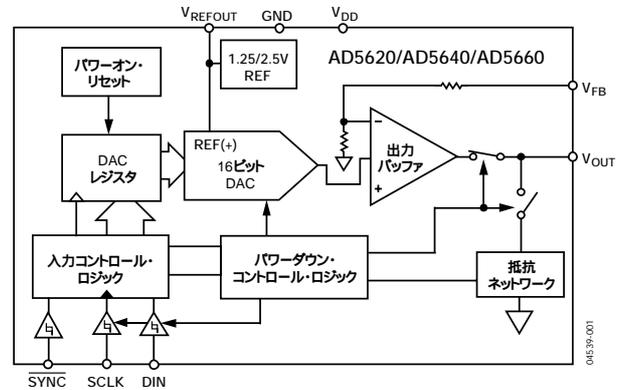


図1

アプリケーション

プロセス制御

データ・アキュイジション・システム

バッテリー駆動の携帯型計測器

ゲインとオフセットのデジタル調整

プログラマブル電圧源および電流源

プログラマブル減衰器

製品のハイライト

1. 12ビット精度を保証する12/14/16ビットnanoDAC
2. 1.25V/2.5V、5ppm/ リファレンスを内蔵
3. 8ピンSOT-23、8ピンMSOPパッケージで提供
4. 0Vまたはミッドスケールにパワーオン・リセット
5. 10μsのセトリグ時間

関連デバイス

部品番号	説明
AD5662	2.7~5.5V、SOT-23パッケージ採用の16ビットDAC、外部リファレンス

概要

nanoDACファミリーのAD5620/AD5640/AD5660は、低消費電力、12/14/16ビット、バッファ付きの電圧出力シングルD/Aコンバータ(DAC)で、設計により単調増加性が保証されています。

AD5620/AD5640/AD5660-1は1.25V、5ppm/ リファレンスを内蔵し、2.5Vのフルスケール出力電圧範囲を提供します。AD5620/AD5640/AD5660-2、AD5620/AD5660-3は2.5V、5ppm/ リファレンスを内蔵し、5Vのフルスケール出力電圧範囲を提供します。各デバイスのリファレンスは、V_{REFOUT}ピンから外部で使用することもできます。

パワーオン・リセット回路を内蔵しているため、パワーアップ時にDACの出力が0V(AD5620/AD5640/AD5660-1、AD5620/AD5640/AD5660-2)またはミッドスケール(AD5620-3とAD5660-3)にリセットされ、デバイスに有効な書込みが行われるまでこの電圧を維持します。また、パワーダウン機能を内蔵しているため、デバイスの消費電流を5V動作時に480nAまで低減でき、パワーダウン・モードでの出力負荷をソフトウェアで選択できます。5V動作時の消費電力は2.5mWで、パワーダウン・モードでは1μWまで低減します。

AD5620/AD5640/AD5660に内蔵の高精度出力アンプにより、レールtoレールの出力振幅を実現します。リモート・センシングのアプリケーションでは、この出力アンプの反転入力を利用することができます。AD5620/AD5640/AD5660の汎用3線式シリアル・インターフェースは、最大30MHzのクロック・レートで動作し、SPI®、QSPI™、MICROWIRE™、DSPの各インターフェース規格と互換性があります。

REV. A

アナログ・デバイセズ株式会社

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。© 2005 Analog Devices, Inc. All rights reserved.

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200

大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868

AD5620/AD5640/AD5660

目次

特長	1	出力アンブ	17
アプリケーション	1	シリアル・インターフェース	17
製品のハイライト	1	入力シフト・レジスタ	18
関連デバイス	1	SYNC 割込み	18
機能ブロック図	1	パワーオン・リセット	19
概要	1	パワーダウン・モード	19
改訂履歴	2	マイクロプロセッサとのインターフェース	19
仕様	3	アプリケーション	21
AD5620/AD5640/AD5660-2、AD5620/AD5640/AD5660-3	3	REF19xをAD5620/AD5640/AD5660の	
AD5620/AD5640/AD5660-1	5	電源として使用する	21
タイミング特性	7	AD5660を使用したバイポーラ動作	21
絶対最大定格	8	AD5660を絶縁したプログラマブル4~20mA	
ESDに関する注意	8	プロセス・コントローラとして使用する	21
ピン配置と機能の説明	9	デジタル・アイソレータ (iCoupler) を用いた	
代表的な性能特性	10	絶縁インターフェース	22
用語の説明	16	電源のバイパスとグラウンディング	22
動作原理	17	外形寸法	23
DAC部	17	AD5620のオーダー・ガイド	23
抵抗ストリング	17	AD5640のオーダー・ガイド	24
内部リファレンス	17	AD5660のオーダー・ガイド	24

改訂履歴

9/05—Rev. 0 to Rev. A

Changes to Specifications	5
Changes to Outline Dimensions	23

7/05—Revision 0: Initial Version

仕様

AD5620/AD5640/AD5660-2, AD5620/AD5640/AD5660-3

$V_{DD} = 4.5 \sim 5.5V$, $R_L = 2k\Omega$ (GNDに接続), $C_L = 200pF$ (GNDに接続), $C_{REFOUT} = 100nF$. 特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表1

パラメータ	Aグレード ¹	Bグレード ¹	Cグレード ¹	単位	条件 / 備考
静的性能 ²					
AD5660					
分解能	16	16	16	ビット (min)	
相対精度 (INL)	± 32	± 16	± 16	LSB (max)	
微分非直線性 (DNL)	± 1	± 1	± 1	LSB (max)	設計により単調増加性を保証
AD5640					
分解能	14	14	14	ビット (min)	
相対精度 (INL)	± 8	± 4	± 4	LSB (max)	
微分非直線性 (DNL)	± 1	± 1	± 1	LSB (max)	設計により単調増加性を保証
AD5620					
分解能	12	12	12	ビット (min)	
相対精度 (INL)	± 6	± 1	± 1	LSB (max)	
微分非直線性 (DNL)	± 1	± 1	± 1	LSB (max)	設計により単調増加性を保証
ゼロコード誤差	2	2	2	mV (typ)	DACレジスタに全ビット「0」をロード
オフセット誤差	10	10	10	mV (max)	
フルスケール誤差	± 10	± 10	± 10	mV (max)	
	- 0.15	- 0.15	- 0.15	%FSR (typ)	DACレジスタに全ビット「1」をロード
	- 1	- 1	- 1	%FSR (max)	
ゲイン誤差	± 1.5	± 1.5	± 1.5	%FSR (max)	
ゼロコード誤差の温度ドリフト	± 2	± 2	± 2	$\mu V/$ (typ)	
ゲイン温度係数	± 2.5	± 2.5	± 2.5	ppm (typ)	FSR/
DC電源電圧変動除去比	- 75	- 75	- 75	dB (typ)	DACコード = ミッドスケール、 $V_{DD} = 5V \pm 10\%$
出力特性 ³					
出力電圧範囲	0 V_{DD}	0 V_{DD}	0 V_{DD}	V (min) V (max)	
出力電圧セトリング時間	8	8	8	μs (typ)	コード1/4スケール~3/4スケール ($\pm 2LSB$ 以内)
スルーレート	10	10	10	μs (max)	$R_L = 2k\Omega$, $0pF < C_L < 200pF$
容量性負荷安定性	1.5	1.5	1.5	V/ μs (typ)	コード1/4スケール~3/4スケール
	2	2	2	nF (typ)	$R_L = \infty$
	10	10	10	nF (typ)	$R_L = 2k\Omega$
出力ノイズ・スペクトル密度	80	80	80	nV/ \sqrt{Hz} (typ)	DACコード = ミッドスケール、10kHz
出力ノイズ (0.1~10Hz)	45	45	45	$\mu Vp-p$ (typ)	DACコード = ミッドスケール
デジタルからアナログへのグリッチ・インパルス	5	5	5	nV-s (typ)	メジャー・キャリア周辺の1LSB変化
デジタル・フィードスルー	0.1	0.1	0.1	nV-s (typ)	
DC出力インピーダンス	0.5	0.5	0.5	Ω (typ)	
短絡電流	30	30	30	mA (typ)	$V_{DD} = 5V$
パワーアップ時間	5	5	5	μs (typ)	パワーダウン・モードからの復帰、 $V_{DD} = 5V$
リファレンス出力					
出力電圧	2.495 2.505	2.495 2.505	2.495 2.505	V (min) V (max)	室温
リファレンスTC ³	± 10	± 10	± 5	ppm/ (typ)	
			± 20	ppm/ (max)	
出力インピーダンス	2.8	2.8	2.8	k Ω (typ)	

AD5620/AD5640/AD5660

パラメータ	Aグレード ¹	Bグレード ¹	Cグレード ¹	単位	条件 / 備考
ロジック入力 ³					
入力電流	±2	±2	±2	μA (max)	全デジタル入力
ローレベル入力電圧 (V _{INL})	0.8	0.8	0.8	V (max)	V _{DD} = 5V
ハイレベル入力電圧 (V _{INH})	2	2	2	V (min)	V _{DD} = 5V
ピン容量	3	3	3	pF (typ)	
電源条件					
V _{DD}	4.5	4.5	4.5	V (min)	全デジタル入力 = 0VまたはV _{DD}
	5.5	5.5	5.5	V (max)	DAC動作時 (負荷電流を除く)
I _{DD} (ノーマル・モード)					
V _{DD} = 4.5 ~ 5.5V	0.55	0.55	0.55	mA (typ)	V _{IH} = V _{DD} およびV _{IL} = GND
V _{DD} = 4.5 ~ 5.5V	1	1	1	mA (max)	V _{IH} = V _{DD} およびV _{IL} = GND
I _{DD} (すべてのパワーダウン・モード)					
V _{DD} = 4.5 ~ 5.5V	0.48	0.48	0.48	μA (typ)	V _{IH} = V _{DD} およびV _{IL} = GND
V _{DD} = 4.5 ~ 5.5V	1	1	1	μA (max)	V _{IH} = V _{DD} およびV _{IL} = GND

¹ 温度範囲は -15 ~ +105、+25 で測定。

² 直線性はコード範囲を縮小して計算。AD5660 (コード511 ~ 65024)、AD5640 (コード128 ~ 16256)、AD5620 (コード32 ~ 4064)。出力無負荷時の条件を適用。直線性はV_{DD} = 5.5Vでテスト。V_{DD} < 5Vで動作させた場合は、出力はV_{DD}にクランプされます。

³ これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。

AD5620/AD5640/AD5660-1

$V_{DD}^1 = 2.7 \sim 3.3V$ 、 $R_L = 2k\Omega$ (GNDに接続)、 $C_L = 200pF$ (GNDに接続)、 $C_{REFOUT} = 100nF$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表2

パラメータ	Aグレード ²	Bグレード ²	Cグレード ²	単位	条件 / 備考
静的性能³					
AD5660					
分解能	16	16	16	ビット (min)	設計により単調増加性を保証
相対精度 (INL)	± 32	± 16	± 16	LSB (max)	
微分非直線性 (DNL)	± 1	± 1	± 1	LSB (max)	
AD5640					
分解能	14	14	14	ビット (min)	設計により単調増加性を保証
相対精度 (INL)	± 8	± 4	± 4	LSB (max)	
微分非直線性 (DNL)	± 1	± 1	± 1	LSB (max)	
AD5620					
分解能	12	12	12	ビット (min)	設計により単調増加性を保証
相対精度 (INL)	± 6	± 1	± 1	LSB (max)	
微分非直線性 (DNL)	± 1	± 1	± 1	LSB (max)	
ゼロコード誤差	2	2	2	mV (typ)	DACレジスタに全ビット「0」をロード
	8	8	8	mV (max)	
オフセット誤差	± 9	± 9	± 9	mV (max)	
フルスケール誤差	± 0.15	± 0.15	± 0.15	%FSR (typ)	DACレジスタに全ビット「1」をロード
	± 0.85	± 0.85	± 0.85	%FSR (max)	
ゲイン誤差	± 0.85	± 0.85	± 0.85	%FSR (max)	
ゼロコード誤差の温度ドリフト	± 2	± 2	± 2	$\mu V/$ (typ)	
ゲイン温度係数	± 2.5	± 2.5	± 2.5	ppm (typ)	FSR/
DC電源電圧変動除去比	- 60	- 60	- 60	dB (typ)	DACコード = ミッドスケール、 $V_{DD} = 3V \pm 10\%$
出力特性⁴					
出力電圧範囲	0 V_{DD}	0 V_{DD}	V_{DD}	V (min) V (max)	
出力電圧セトリング時間	8	8	8	μs (typ)	コード1/4スケール~3/4スケール ($\pm 2LSB$ 以内)
	10	10	10	μs (max)	$R_L = 2k\Omega$, $0pF < C_L < 200pF$
スルーレート	1.5	1.5	1.5	V/ μs (typ)	コード1/4スケール~3/4スケール
容量性負荷安定性	2	2	2	nF (typ)	$R_L = \infty$
	10	10	10	nF (typ)	$R_L = 2k\Omega$
出力ノイズ・スペクトル密度	80	80	80	nV/ \sqrt{Hz} (typ)	DACコード = ミッドスケール、 10kHz
出力ノイズ (0.1 ~ 10Hz)	20	20	20	$\mu Vp-p$ (typ)	DACコード = ミッドスケール
デジタルからアナログへのグリッチ・インパルス	5	5	5	nV-s (typ)	メジャー・キャリヤ周辺の 1LSB変化
デジタル・フィードスルー	0.1	0.1	0.1	nV-s (typ)	
DC出力インピーダンス	0.5	0.5	0.5	Ω (typ)	
短絡電流	30	30	30	mA (typ)	$V_{DD} = 3V$
パワーアップ時間	5	5	5	μs (typ)	パワーダウン・モードからの 復帰、 $V_{DD} = 3V$
リファレンス出力					
出力電圧	1.247	1.247	1.247	V (min)	室温
	1.253	1.253	1.253	V (max)	
リファレンスTC ⁴	± 10	± 10	± 5	ppm/ (typ)	
			± 25	ppm/ (max)	
出力インピーダンス	2.8	2.8	2.8	k Ω (typ)	

AD5620/AD5640/AD5660

パラメータ	Aグレード ²	Bグレード ²	Cグレード ²	単位	条件 / 備考
ロジック入力 ⁴					
入力電流	± 1	± 1	± 1	μA (max)	全デジタル入力
ローレベル入力電圧 (V _{INL})	0.8	0.8	0.8	V (max)	V _{DD} = 3V
ハイレベル入力電圧 (V _{INH})	2	2	2	V (min)	V _{DD} = 3V
ピン容量	3	3	3	pF (max)	
電源条件					
V _{DD}	2.7	2.7	2.7	V (min)	全デジタル入力 = 0VまたはV _{DD}
	3.3	3.3	3.3	V (max)	DAC動作時 (負荷電流を除く)
I _{DD} (ノーマル・モード)					
V _{DD} = 2.7 ~ 3.3V	0.55	0.55	0.55	mA (typ)	V _{IH} = V _{DD} およびV _{IL} = GND
V _{DD} = 2.7 ~ 3.3V	0.65	0.65	0.65	mA (max)	V _{IH} = V _{DD} およびV _{IL} = GND
I _{DD} (すべてのパワーダウン・モード)					
V _{DD} = 2.7 ~ 3.3V	0.2	0.2	0.2	μA (typ)	V _{IH} = V _{DD} およびV _{IL} = GND
V _{DD} = 2.7 ~ 3.3V	0.25	0.25	0.25	μA (max)	V _{IH} = V _{DD} およびV _{IL} = GND

¹ デバイスは5.5VまでのV_{DD}で機能します。

² 温度範囲は - 15 ~ +105 、 +25 で測定。

³ 直線性はコード範囲を縮小して計算。AD5660 (コード511 ~ 65024) 、 AD5640 (コード128 ~ 16256) 、 AD5620 (コード32 ~ 4064) 、 出力無負荷時の条件を適用。

⁴ これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。

タイミング特性

すべての入力信号は、 $t_r = t_f = 1\text{ns}/V$ (V_{DD} の10%から90%)で仕様規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルからの時間とします(図2を参照)。 $V_{DD} = 2.7 \sim 5.5\text{V}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表3

パラメータ	$T_{MIN} \sim T_{MAX}$ での限界値		単位	条件 / 備考
	$V_{DD} = 2.7 \sim 3.6\text{V}$	$V_{DD} = 3.6 \sim 5.5\text{V}$		
t_1^1	50	33	ns (min)	SCLKサイクル時間
t_2	13	13	ns (min)	SCLKハイレベル時間
t_3	13	13	ns (min)	SCLKローレベル時間
t_4	13	13	ns (min)	SYNCからSCLKの立下がりエッジまでのセットアップ時間
t_5	5	5	ns (min)	データのセットアップ時間
t_6	4.5	4.5	ns (min)	データのホールド時間
t_7	0	0	ns (min)	SCLKの立下がりエッジからSYNCの立下がりエッジまでの時間
t_8	50	33	ns (min)	SYNCの最小ハイレベル時間
t_9	13	13	ns (min)	SYNCの立下がりエッジから次のSYNCの立下がりエッジまでの時間
t_{10}	0	0	ns (min)	SCLKの立下がりエッジから次のSYNCの立下がりエッジまでの時間

¹ SCLKの最大周波数は、 $V_{DD} = 3.6 \sim 5.5\text{V}$ で30MHz、 $V_{DD} = 2.7 \sim 3.6\text{V}$ で20MHzです。

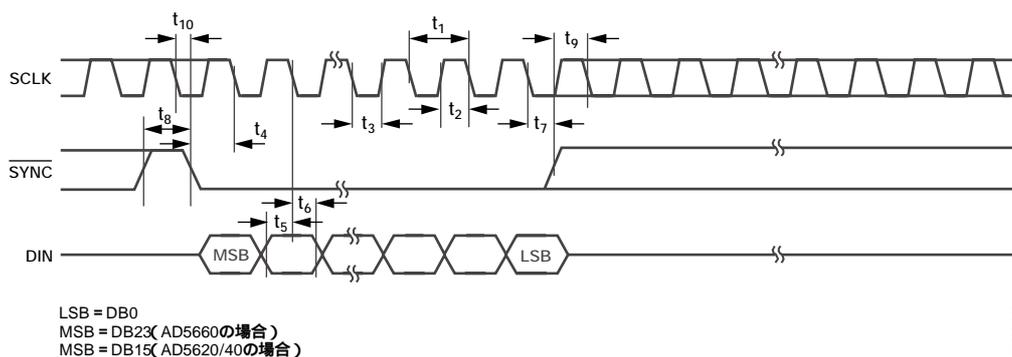


図2. シリアル書き込み動作のタイミング

AD5620/AD5640/AD5660

絶対最大定格

特に指定のない限り、 $T_A = 25$ 。

表4

パラメータ	定格値
GNDに対する V_{DD}	- 0.3 ~ + 7V
GNDに対する V_{OUT}	- 0.3V ~ $V_{DD} + 0.3V$
GNDに対する V_{FB}	- 0.3V ~ $V_{DD} + 0.3V$
GNDに対する V_{REFOUT}	- 0.3V ~ $V_{DD} + 0.3V$
GNDに対するデジタル入力電圧	- 0.3V ~ $V_{DD} + 0.3V$
動作温度範囲	
工業用	- 15 ~ + 105
保存温度範囲	- 65 ~ + 150
ジャンクション温度 ($T_J \text{ max}$)	150
消費電力	$(T_J \text{ max} - T_A)\theta_{JA}$
SOT-23パッケージ (4層ボード)	
θ_{JA} 熱抵抗	119 /W
MSOPパッケージ (4層ボード)	
θ_{JA} 熱抵抗	141 /W
θ_{JC} 熱抵抗	44 /W
リフロー・ハンダ付けのピーク温度	
SnPb	240
鉛フリー	260

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置と機能の説明



図3. SOT-23のピン配置



図4. MSOPのピン配置

表5. ピン機能の説明

ピン番号	記号	機能
1	V _{DD}	電源入力。これらのデバイスは2.7~5.5Vで動作します。V _{DD} はGNDにデカップリングしてください。
2	V _{REFOUT}	リファレンス電圧出力
3	V _{FB}	出力アンプの帰還接続ピン。通常の動作時にはV _{FB} をV _{OUT} に接続してください。
4	V _{OUT}	DACからのアナログ出力電圧。出力アンプはレールtoレール動作を行います。
5	$\overline{\text{SYNC}}$	レベル・トリガの制御入力(アクティブ・ロー)。これは、入力データに対するフレーム同期信号です。SYNCがローレベルになると、入力シフト・レジスタがイネーブルになり、データは後続のクロックの立下がりエッジで入力されます。DACは、24番目(AD5660)または16番目(AD5620/AD5640)のクロック・サイクルの後に続いて更新されます。ただし、このエッジより前に $\overline{\text{SYNC}}$ がハイレベルになると、SYNCの立上がりエッジは割込みとして機能し、DACは書き込みシーケンスを無視します。
6	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジで、入力シフト・レジスタに入力されます。データは最大30MHzのレートで転送できます。
7	DIN	シリアル・データ入力。AD5660には24ビットのシフト・レジスタ、AD5620/AD5640には16ビットのシフト・レジスタが内蔵されています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
8	GND	デバイス上の全回路に対するグラウンド基準ポイント

AD5620/AD5640/AD5660

代表的な性能特性

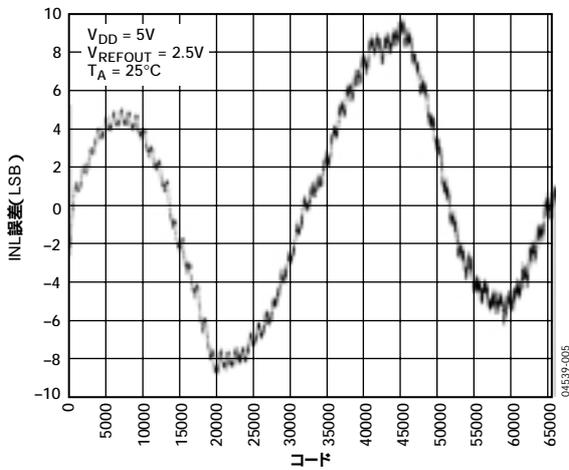


図5. INL (AD5660-2/AD5660-3)

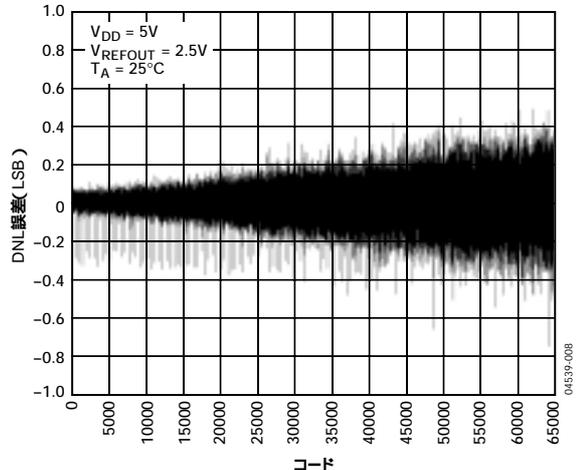


図8. DNL (AD5660-2/AD5660-3)

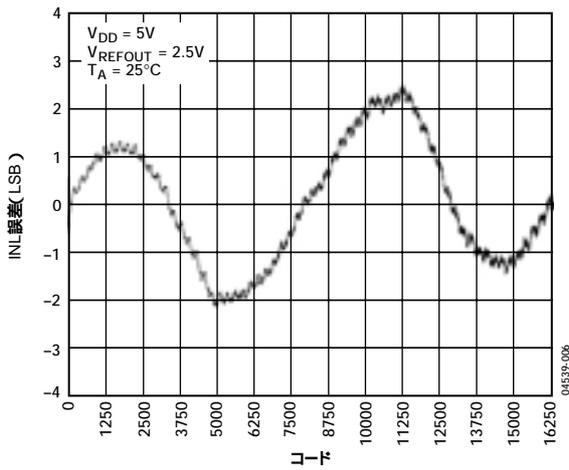


図6. INL (AD5640-2/AD5640-3)

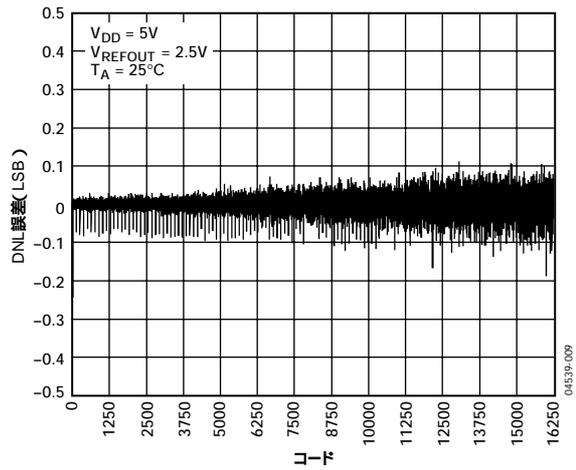


図9. DNL (AD5640-2/AD5640-3)

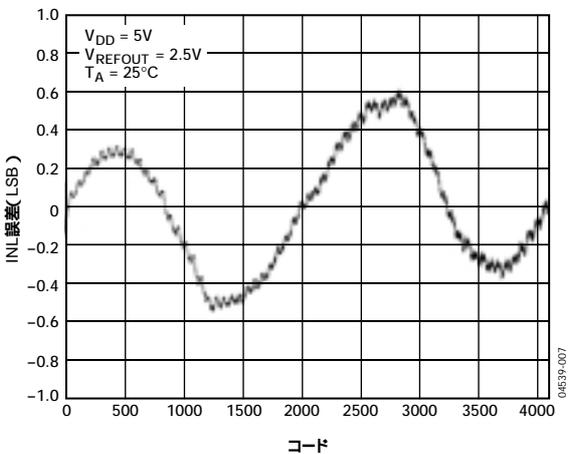


図7. INL (AD5620-2/AD6520-3)

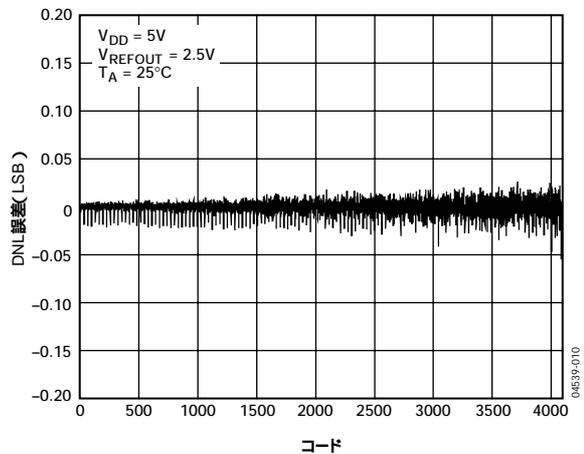


図10. DNL (AD5620-2/AD6520-3)

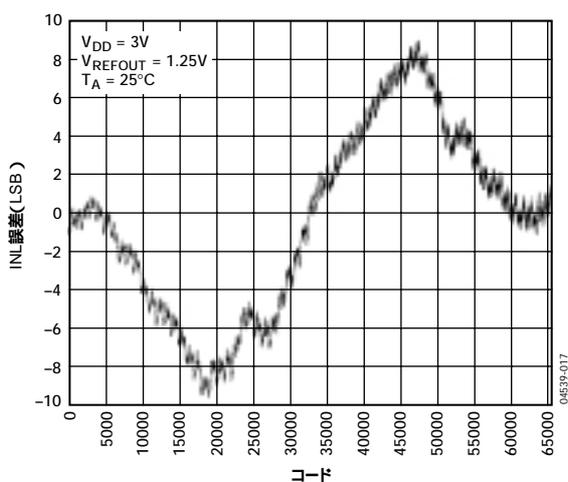


図11. INL (AD5660-1)

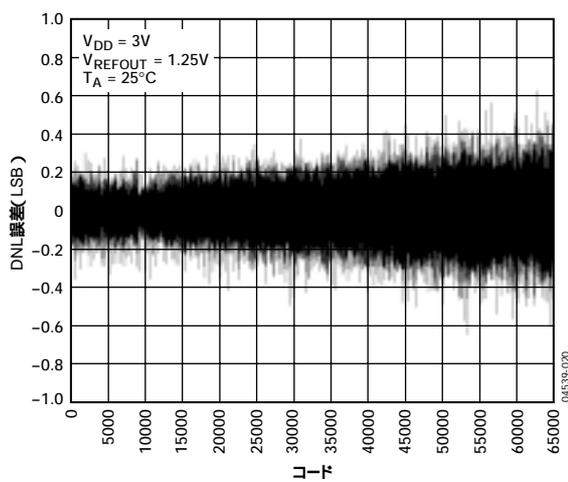


図14. DNL (AD5660-1)

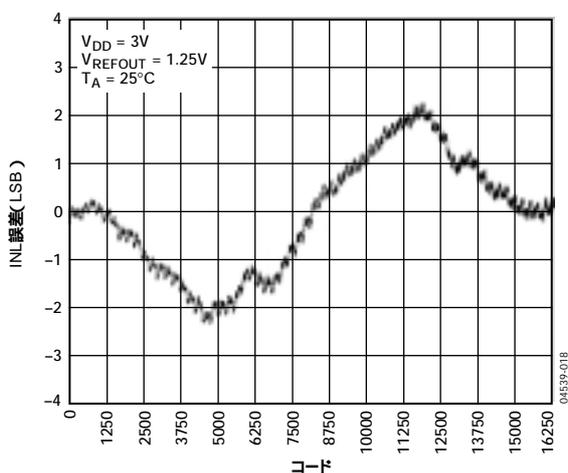


図12. INL (AD5640-1)

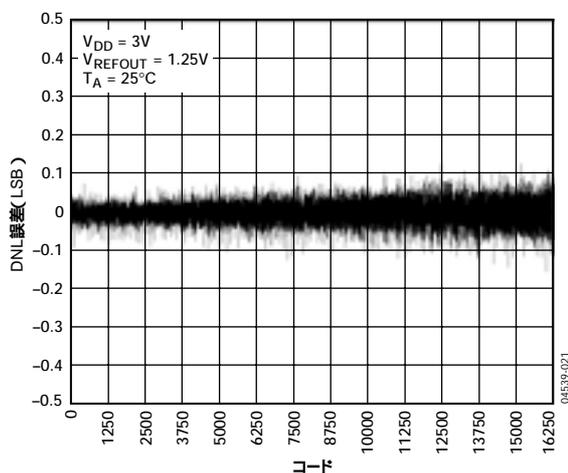


図15. DNL (AD5640-1)

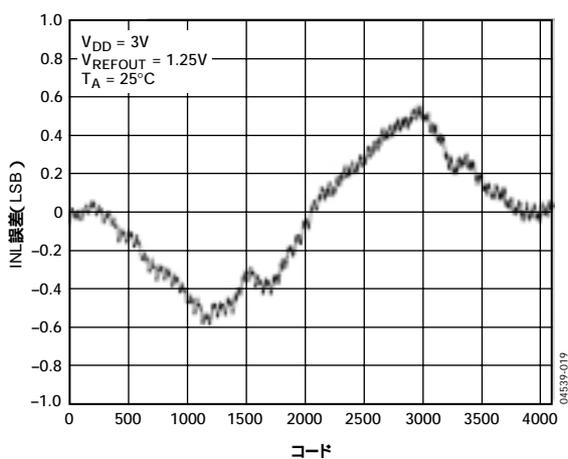


図13. INL (AD5620-1)

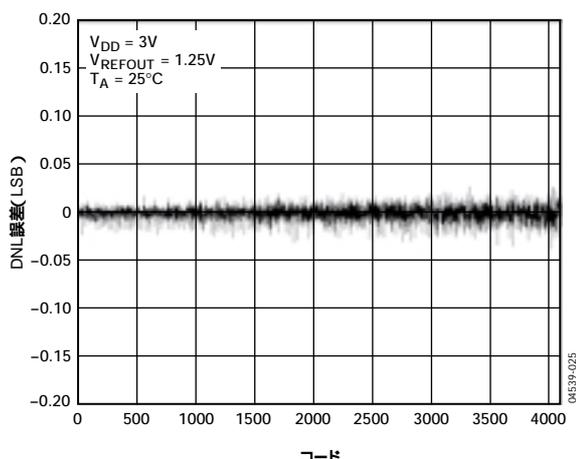


図16. DNL (AD5620-1)

AD5620/AD5640/AD5660

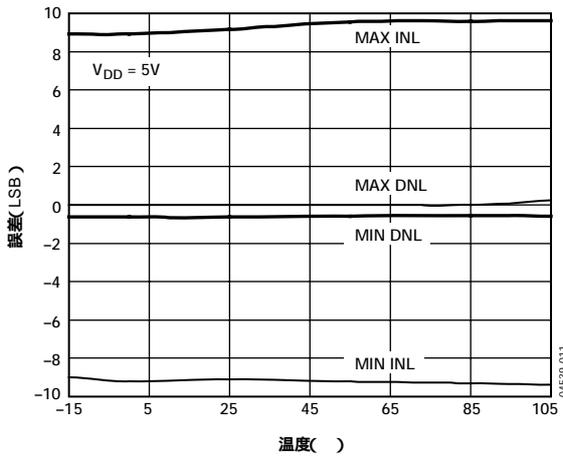


図17. INL誤差とDNL誤差の温度特性

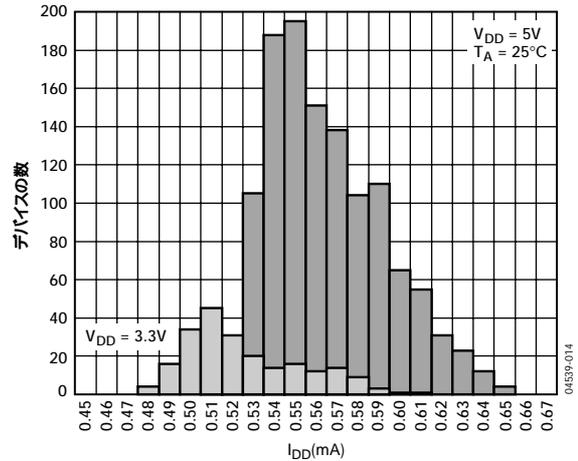


図20. I_{DD} のヒストグラム

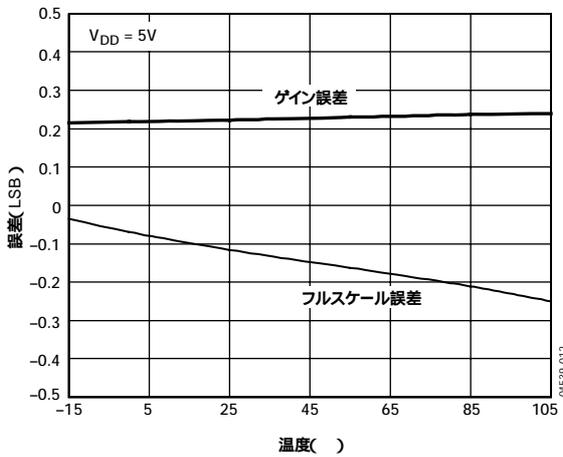


図18. ゲイン誤差とフルスケール誤差の温度特性

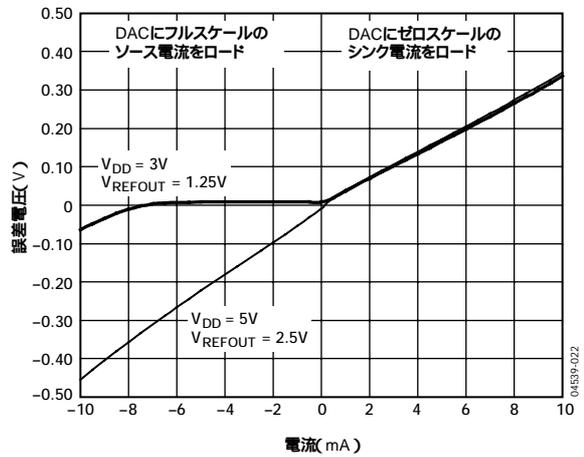


図21. ソースおよびシンク電流 対 電源レールのヘッドルーム

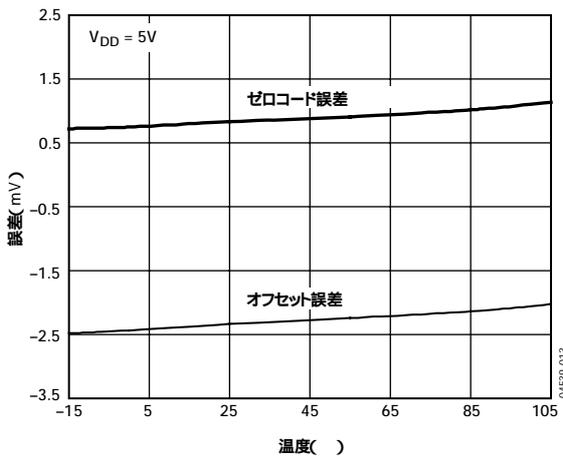


図19. ゼロコード誤差とオフセット誤差の温度特性

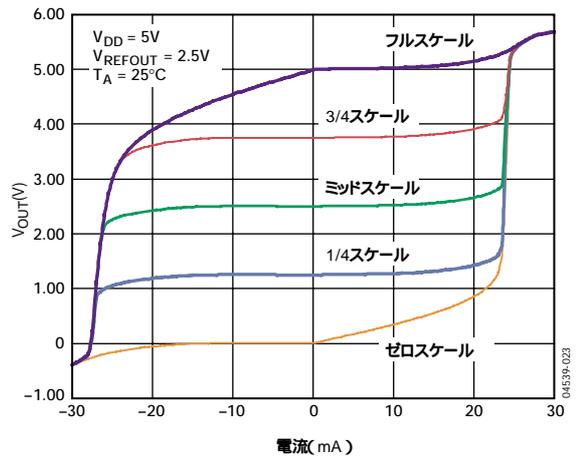


図22. ソース能力とシンク能力 (AD5660-2/AD5660-3)

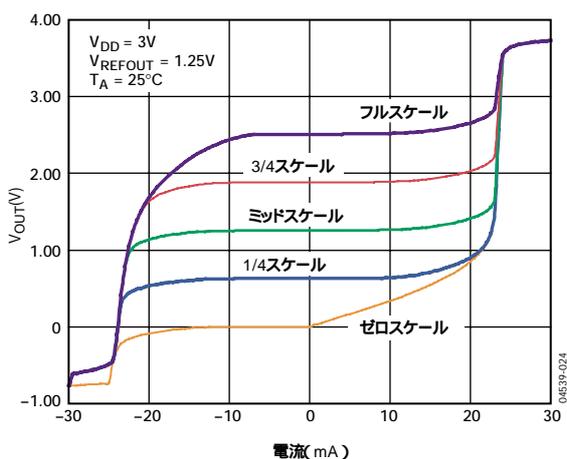


図23. ソース能力とシンク能力 (AD5660-1)

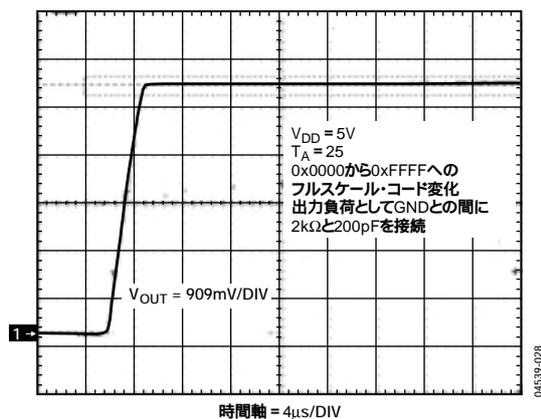


図26. フルスケール・セトリング時間 (5V)

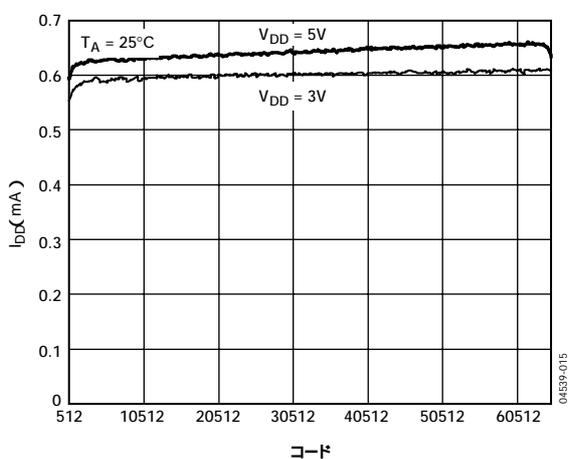


図24. コード 対 電源電流

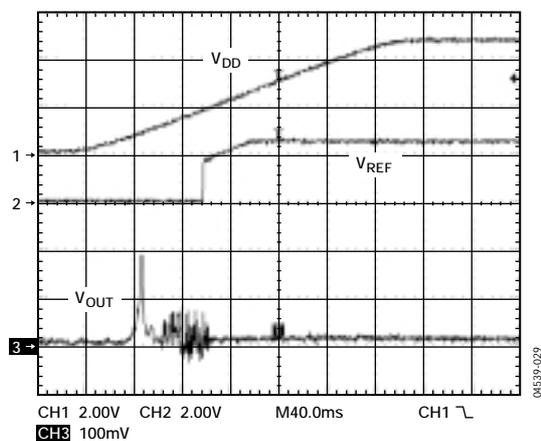


図27. パワーオン・リセット時の0V出力 (AD5660-2)

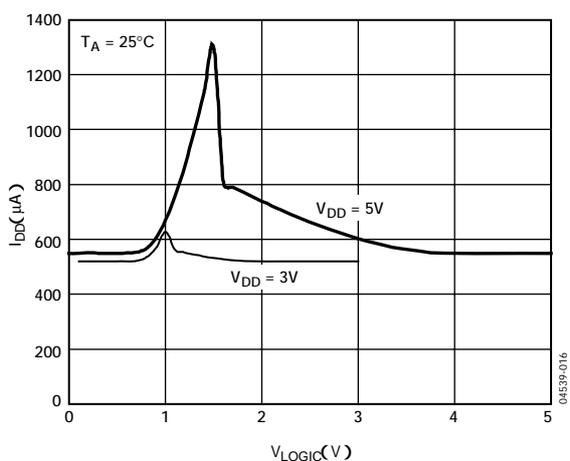


図25. ロジック入力電圧 対 電源電流

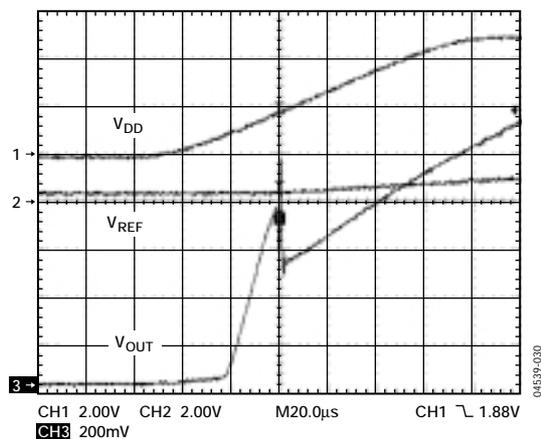


図28. パワーオン・リセット時のミッドスケール出力 (AD5660-3)

AD5620/AD5640/AD5660

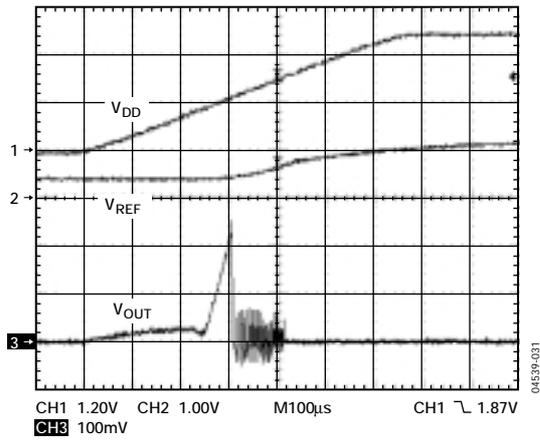


図29. パワーオン・リセット時の0V出力 (AD5660-1)

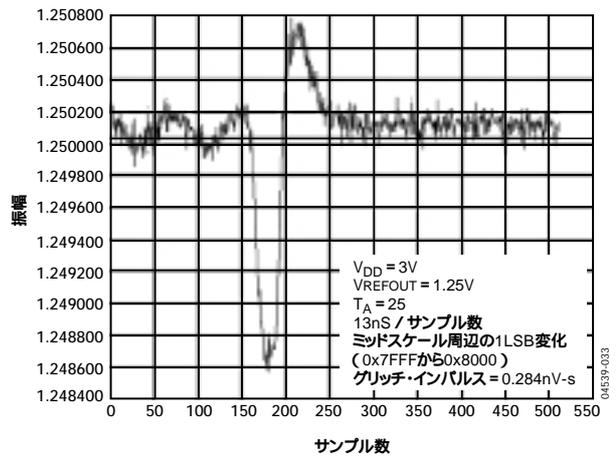


図32. デジタルからアナログへのグリッチ・インパルス (AD5660-1)

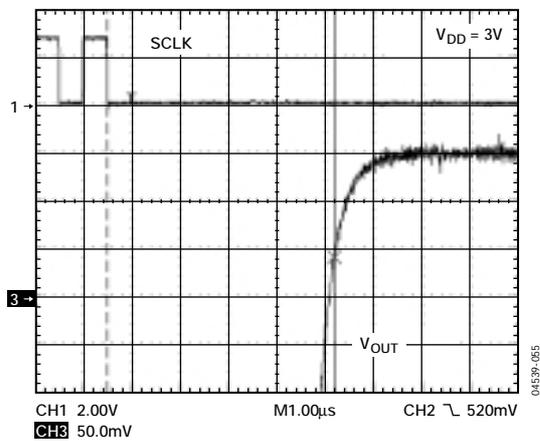


図30. パワーダウン終了後のパワーオン・リセット時のミッドスケール出力

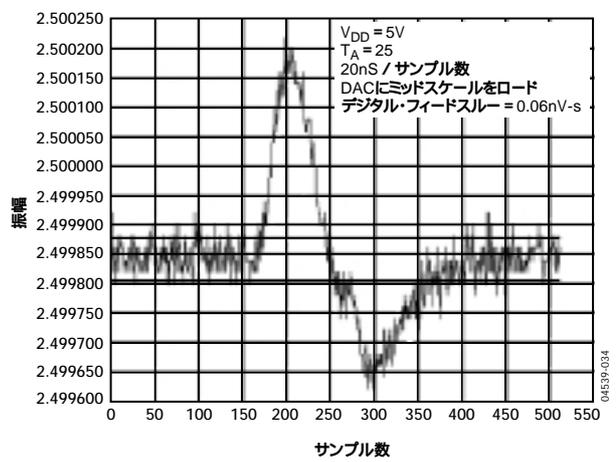


図33. デジタル・フィードスルー

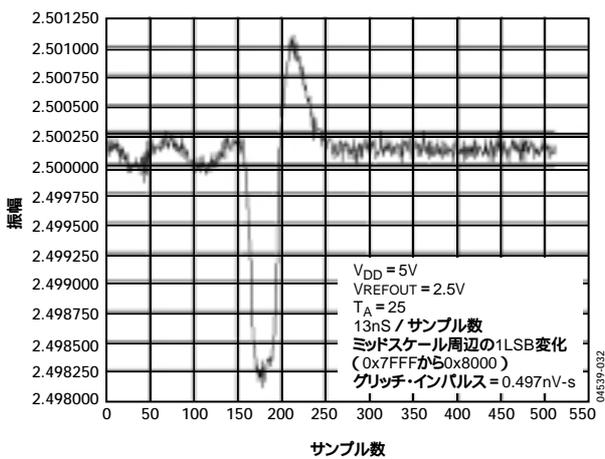


図31. デジタルからアナログへのグリッチ・インパルス (AD5660-2/AD5660-3)

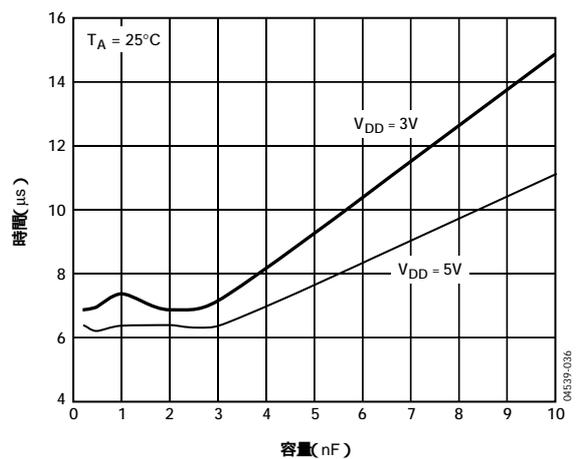


図34. 容量性負荷 対 セットリング時間

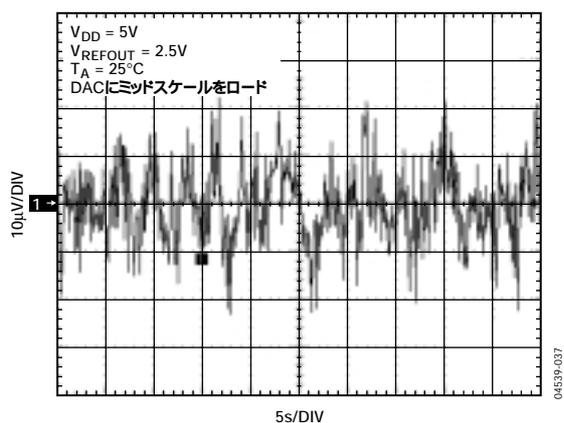


図35. 0.1 ~ 10Hz出力ノイズのプロット
(AD5660-2/AD5660-3)

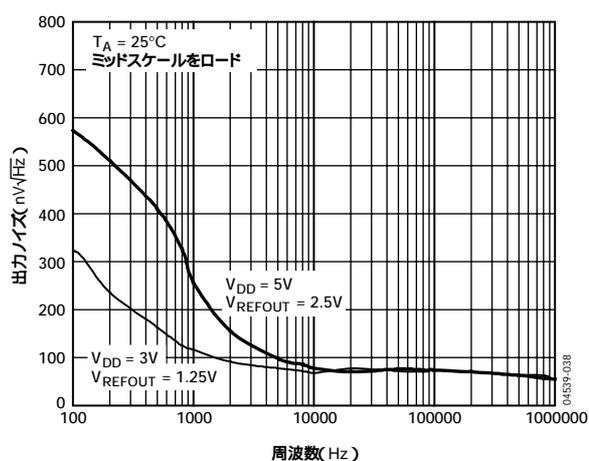


図37. ノイズ・スペクトル密度

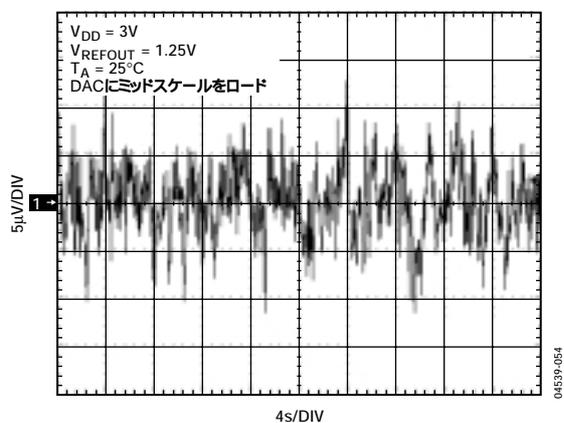


図36. 0.1 ~ 10Hz出力ノイズのプロット
(AD5660-1)

AD5620/AD5640/AD5660

用語の説明

相対精度または積分非直線性 (INL)

DACの場合は、相対精度または積分非直線性 (INL) とは、DAC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差 (単位はLSB) を表します。代表的なコードとINLの関係を図5～図7に示します。

微分非直線性 (DNL)

隣接する2つのコード間における1LSB変化の測定値と理論値の差です。微分非直線性の仕様が ± 1 LSB以内の場合は、単調増加性が保証されています。このDACは設計により単調増加性を保証しています。代表的なコードとDNLの関係を図8～図10に示します。

ゼロコード誤差

ゼロコード (0x0000) をDACレジスタにロードしたときの出力誤差を表します。出力は理論上0Vになるはずですが、AD5620/AD5640/AD5660ではDAC出力が0Vよりも低くなることはないため、ゼロコード誤差は常に正の値となります。この誤差は、DACのオフセット誤差と出力アンプのオフセット誤差が原因で発生します。ゼロコード誤差はmVの単位で表します。ゼロコード誤差の温度特性を図19に示します。

フルスケール誤差

フルスケール・コード (0xFFFF) をDACレジスタにロードしたときの出力誤差を表します。出力は理論上 $V_{DD} - 1$ LSBになるはずですが、フルスケール誤差は、フルスケール・レンジの%値で表します。フルスケール誤差の温度特性を図18に示します。

ゲイン誤差

DACのスパン誤差を表します。これはDAC伝達特性の理論値からの実際の傾き偏差を示すもので、フルスケール・レンジの%値で表します。

ゼロコード誤差ドリフト

温度変化にともなうゼロコード誤差の変化を表し、 $\mu\text{V}/$ の単位で表します。

ゲイン温度係数

温度変化にともなうゲイン誤差の変化を表し、(フルスケール・レンジのppm)/ の単位で表します。

オフセット誤差

伝達関数の直線領域における V_{OUT} (実際の出力電圧) と V_{OUT} (理想的な出力電圧) との差をmVの単位で表します。AD5660のオフセット誤差は、コード512をDACレジスタにロードして測定します。これは正または負の値となります。

DC電源電圧変動除去比 (PSRR)

電源電圧の変動がDACの出力に与える影響を示します。PSRRは、DACのフルスケール出力に関する V_{OUT} の変動と V_{DD} の変動の比を表します。これはdBの単位で測定します。 V_{REF} を2.5Vに保持し、 V_{DD} を $\pm 10\%$ のレンジで変動させます。

出力電圧セトリング時間

入力がフルスケールの1/4から3/4に変化するときに、DACの出力が規定のレベルにセトリングするまでの所要時間を表し、SCLKの24番目の立下がりエッジから測定します。

デジタルからアナログへのグリッチ・インパルス

DACレジスタの入力コードが変化したときに、入力からアナログ出力に注入されるインパルスを表します。通常、グリッチの面積として規定され、nV-sで表します。メジャー・キャリアの遷移 (0x7FFFから0x8000) 時に、デジタル入力コードが1LSB変化したときの測定値です。図31と図32を参照。

デジタル・フィードスルー

DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表します。nV-sの単位で規定され、データ・バス上でのフルスケールのコード変化時、すなわち全ビット「0」から全ビット「1」に変化したとき、または全ビット「1」から全ビット「0」にコードが遷移するときに測定します。

ノイズ・スペクトル密度

内部で発生するランダム・ノイズの測定値です。ランダム・ノイズは、スペクトル密度 ($\sqrt{\text{Hz}}$ を基準とする電圧) として特性付けられます。この測定は、DACにミッドスケールをロードし、そのときに出力で発生するノイズを計測する方法によって行われます。これは $\text{nV}/\sqrt{\text{Hz}}$ の単位で測定します。ノイズ・スペクトル密度のプロットを図37に示します。

動作原理

DAC部

AD5620/AD5640/AD5660 DACは、CMOSプロセスを用いて製造されています。このアーキテクチャは、ストリングDACとその後段の出力バッファ・アンプから構成されています。これらのデバイスは1.25/2.5V出力の5ppm/ リファレンスを内蔵しており、内部では2倍のゲインアップが行われます。DACアーキテクチャのブロック図を図38に示します。

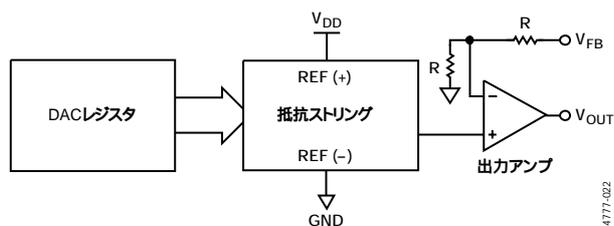


図38. DACアーキテクチャ

DACの入力コーディングはストレート・バイナリであるため、理論的な出力電圧は以下の式から求められます。

$$V_{OUT} = 2 \times V_{REFOUT} \times \left(\frac{D}{2^N} \right)$$

ここで、 D は、DACレジスタにロードされるバイナリ・コードの10進値で、次の値になります。

AD5620 (12ビット) では0 ~ 4,095

AD5640 (14ビット) では0 ~ 16,383

AD5660 (16ビット) では0 ~ 65,535

N はDAC分解能です。

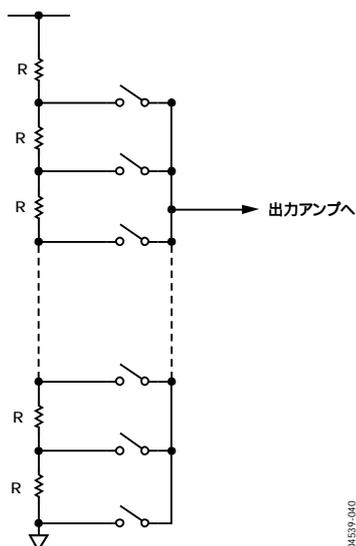


図39. 抵抗ストリング

抵抗ストリング

抵抗ストリングの構造を図39に示します。各値がRのシンプルな抵抗のストリングになっています。DACレジスタにロードされるコードにより、このストリング上のどのノードから出力アンプに電圧を供給するかが決まります。ストリングとアンプを接続しているスイッチの1つを閉じることで、電圧が出力アンプ

に供給されます。これは抵抗のストリングであるため、単調増加性が保証されます。

内部リファレンス

AD5620/AD5640/AD5660-1は1.25V出力の5ppm/ リファレンスを内蔵し、2.5Vのフルスケール出力電圧を提供します。AD5620/AD5640/AD5660-2、AD5620/AD5640/AD5660-3は2.5V出力の5ppm/ リファレンスを内蔵し、5Vのフルスケール出力電圧を提供します。各デバイスのリファレンスは、 V_{REFOUT} ピンから外部で使用することも可能です。リファレンス出力を使用して外部負荷を駆動する場合は、バッファが必要です。リファレンスを安定させるため、リファレンス出力とGNDとの間に100nFのコンデンサを配置することを推奨します。

出力アンプ

出力バッファ・アンプは、出力でレールtoレール電圧を生成し、0V ~ V_{DD} の範囲の電圧を出力できます。この出力バッファ・アンプでは、帰還パスの50k Ω 抵抗分圧ネットワークからゲイン2が設定されます。出力アンプの反転入力を利用できるため、リモート・センシングが可能です。通常の動作時は、この V_{FB} ピンを必ず V_{OUT} に接続してください。出力バッファ・アンプは、GNDに接続された2k Ω と、これに並列接続された1,000pFの負荷を駆動できます。この出力アンプのソース能力とシンク能力を図21に示します。スルーレートは1.5V/ μ sで、セトリング時間は1/4フルスケールから3/4フルスケールへの変化に対して10 μ sです。

シリアル・インターフェース

AD5620/AD5640/AD5660は、SPI、QSPI、MICROWIREの各インターフェース規格、および大半のDSPと互換性をもつ3線式シリアル・インターフェース (SYNC、SCLK、DIN) を備えています。代表的な書込みシーケンスのタイミング図については、図2を参照してください。

SYNCラインをローレベルにすると、書込みシーケンスが開始します。DINラインからのデータは、SCLKの立下がりエッジで16ビットのシフト・レジスタ (AD5620/AD5640) または24ビットのシフト・レジスタ (AD5660) に入力されます。シリアル・クロック周波数は最大30MHzまで対応しているため、AD5620/AD5640/AD5660は高速DSPと互換性があります。クロックの16番目 (AD5620/AD5640) または24番目 (AD5660) の立下がりエッジで、最後のデータビットが入力され、プログラミングされた機能を実行します (DACレジスタ値の変更や動作モードの変更)。この時点でSYNCラインをローレベルに保持することも、ハイレベルにすることもできます。いずれの場合でも、次の書込みシーケンスの前に33ns以上SYNCラインをハイレベルに保持し、SYNCの立下がりエッジで次の書込みシーケンスを開始できるようにします。SYNCバッファを流れる電流は $V_{IN} = 0.8V$ の場合より $V_{IN} = 2V$ の場合の方が大きくなるため、さらにデバイスの消費電力を削減するには、書込みシーケンスが終了してから次の書込みシーケンスが始まるまでの間もSYNCをアイドル・ローレベルに保持してください。ただし、前述のとおり次の書込みシーケンスの開始前にハイレベルに戻す必要があります。

AD5620/AD5640/AD5660

入カシフト・レジスタ

AD5620/AD5640

AD5620/AD5640では、入カシフト・レジスタは16ビット幅です（図40と図41を参照）。最初の2ビットは、デバイスの動作モード（ノーマル・モードまたは3種類のパワーダウン・モード）を制御するコントロール・ビットです。次の14/12ビットはデータビットで、SCLKの16番目の立下がりエッジでDACレジスタに転送されます。

AD5660

AD5660では、入カシフト・レジスタは24ビット幅です（図42を参照）。最初の6ビットはドント・ケア・ビットで、次の2ビットがデバイスの動作モード（ノーマル・モードまたは3種類のパワーダウン・モード）を選択するコントロール・ビットです。各モードの詳細については、「パワーダウン・モード」の項を参照してください。次の16ビットはデータビットで、SCLKの24番目の立下がりエッジでDACレジスタに転送されます。

SYNC 割込み

AD5660の通常の書込みシーケンス時には、SCLKの少なくとも24個の立下がりエッジの間、SYNCラインがローレベルに保持され、24番目の立下がりエッジでDACが更新されます。ただし、24番目の立下がりエッジの前にSYNCをハイレベルにすると、SYNCは書込みシーケンスへの割込み信号として機能します。このときにシフト・レジスタがリセットされ、書込みシーケンスは無効と判断されます。DACレジスタのデータ内容は更新されず、また動作モードも変更されません（図43を参照）。同様に、AD5620/AD5640の通常の書込みシーケンス時には、SCLKの少なくとも16個の立下がりエッジの間、SYNCラインがローレベルに保持され、16番目の立下がりエッジでDACが更新されます。ただし、16番目の立下がりエッジの前にSYNCをハイレベルに設定すると、SYNCは書込みシーケンスの割込み信号として機能します。



図40. AD5620 : 入力レジスタの内容

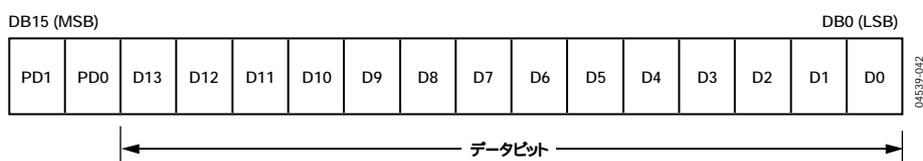


図41. AD5640 : 入力レジスタの内容

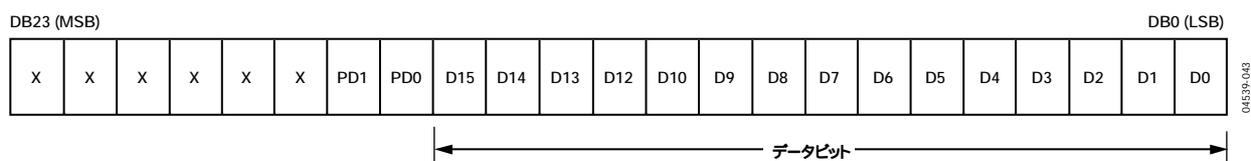


図42. AD5660 : 入力レジスタの内容

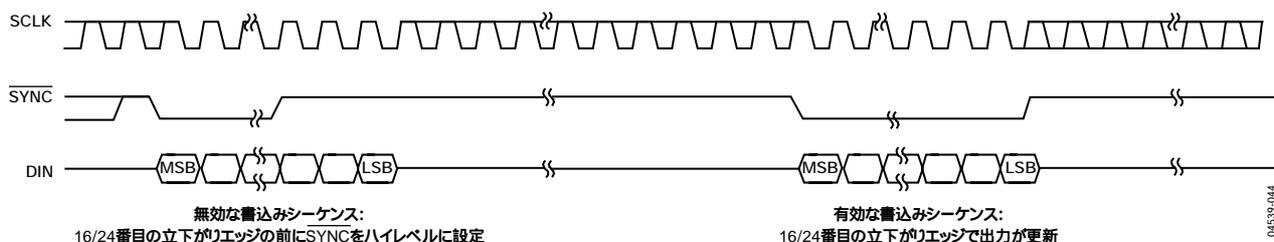


図43. SYNCの割込み機能

パワーオン・リセット

AD5620/AD5640/AD5660ファミリーは、パワーアップ時の出力電圧を制御するパワーオン・リセット回路を内蔵しています。パワーアップ時に、AD5620/AD5640/AD5660-1、AD5620/AD5640/AD5660-2 DACの出力は0Vに、AD5620/AD5660-3 DACの出力はミッドスケールにリセットされます。この出力状態は、DACに有効な書き込みが行われるまで維持されます。この機能は、デバイスのパワーアップ時にDACの出力状態を把握しておくことが重要なアプリケーションで特に便利です。

パワーダウン・モード

AD5620/AD5640/AD5660には、4つの動作モードがあります。動作モードは、コントロール・レジスタの2つのビットの設定によってソフトウェアで選択できます。表6と表7は、ビットの設定と対応するデバイスの動作モードを示します。

表6. AD5660の動作モード

DB17	DB16	AD5660の動作モード
0	0	通常の動作
0	1	パワーダウン・モード： 1kΩを介してGNDに接続
1	0	100kΩを介してGNDに接続
1	1	スリーステート

表7. AD5620/AD5640の動作モード

DB15	DB14	AD5620/AD5640の動作モード
0	0	通常の動作
0	1	パワーダウン・モード： 1kΩを介してGNDに接続
1	0	100kΩを介してGNDに接続
1	1	スリーステート

両ビットを「0」に設定すると、デバイスは5V時に550μAの消費電流で通常の動作を実行します。しかし、3つのパワーダウン・モードでは、電源電流が5V時に480nA（3V時には200nA）まで低下します。電源電流が低下するだけでなく、出力段も内部的にアンプの出力から切り離され、既知の値をもつ抵抗ネットワークに接続されます。これは、デバイスがパワーダウン・モードにある間、デバイスの出力インピーダンスが既知であるという利点があります。出力は、内部で1kΩの抵抗または100kΩの抵抗を経由してGNDに接続されるか、またはオープン（スリーステート）になるかの3種類のオプションがあります。出力段を図44に示します。

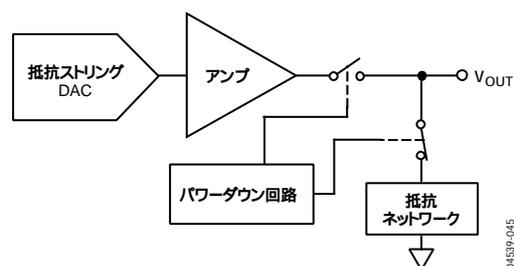


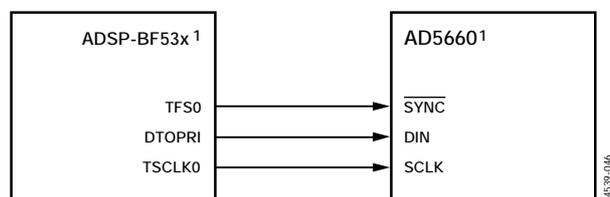
図44. パワーダウン時の出力段

パワーダウン・モードになると、バイアス発生器、出力アンプ、リファレンス、抵抗ストリング等の関連リニア回路がすべてシャットダウンされます。ただし、DACレジスタの内容はパワーダウンの間も保持されます。なお、パワーダウン・モードからの復帰時間は、 $V_{DD} = 5V$ と $V_{DD} = 3V$ の両方で5μs（typ値）です。図23を参照してください。

マイクロプロセッサとのインターフェース

AD5660とBlackfin® ADSP-BF53xとのインターフェース

図45は、AD5660とBlackfin ADSP-BF53xマイクロプロセッサとのシリアル・インターフェースを示します。ADSP-BF53xファミリーのプロセッサには、シリアル通信とマルチプロセッサ通信に2つのデュアル・チャンネル同期シリアル・ポート（SPORT1とSPORT0）が内蔵されています。SPORT0を用いたAD5660との接続では、次のようにインターフェースがセットアップされます。DTOPRIがAD5660のDINピンを駆動し、TSCLK0がAD5660のSCLKピンを駆動します。SYNCはTFS0から駆動されます。



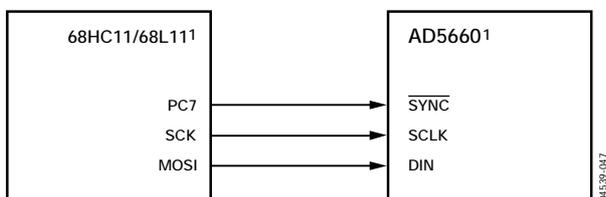
¹ わかりやすくするために、他のピンは省略しています。

図45. AD5660とBlackfin ADSP-BF53xとのインターフェース

AD5620/AD5640/AD5660

AD5660と68HC11/68L11とのインターフェース

図46は、AD5660と68HC11/68L11マイクロコントローラとのシリアル・インターフェースを示します。68HC11/68L11のSCKがAD5660のSCLKを駆動し、MOSI出力がDACのシリアル・データラインを駆動します。SYNC信号はポート・ライン(PC7)から生成されます。このインターフェースを正常に動作させるには、68HC11/68L11でCPOLビット=「0」かつCPHAビット=「1」となるように設定しておきます。データがDACに転送されているときは、SYNCラインがローレベルになります(PC7)。68HC11/68L11がこのように設定された場合、MOSIに出力されるデータはSCKの立下がりエッジで有効になります。シリアル・データは68HC11/68L11から8ビットのバイトで転送され、送信サイクル内には立下がりクロック・エッジが8個しかありません。データはMSBファーストで転送されます。データをAD5660にロードするときは、最初の8ビットが転送された後もPC7をローレベルのままにして、DACに対して2番目のシリアル書き込み動作を実行します。この手順の終わりに、PC7をハイレベルにします。



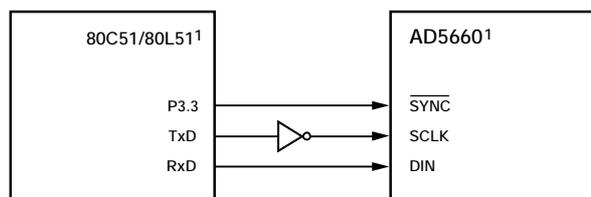
¹ わかりやすくするために、他のピンは省略しています。

図46. AD5660と68HC11/68L11とのインターフェース

AD5660と80C51/80L51とのインターフェース

図47は、AD5660と80C51/80L51マイクロコントローラとのシリアル・インターフェースを示します。このインターフェースのセットアップでは、80C51/80L51のTxDがAD5660のSCLKを駆動し、RxDがシリアル・データラインを駆動します。SYNC信号はこの場合も、ポートのビット・プログラマブルなピンから生成されます。この場合はポート・ラインP3.3を使用します。データがAD5660に転送される時、P3.3はローレベルになります。データは80C51/80L51から8ビットのバイトで

転送されるため、送信サイクル内には立下がりクロック・エッジが8個しかありません。データをDACにロードするときは、最初の8ビットが転送された後もP3.3をローレベルのままにして2番目の書き込みサイクルを実行すると、データの2番目のバイトの転送が開始されます。このサイクルの完了後にP3.3をハイレベルにします。80C51/80L51はシリアル・データをLSBファーストで出力しますが、AD5660はMSBファーストでデータを受け取る必要があります。80C51/80L51の送信ルーチンは、これを考慮に入れてください。

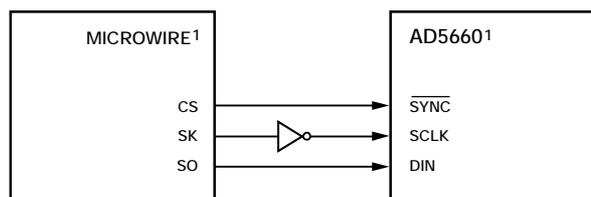


¹ わかりやすくするために、他のピンは省略しています。

図47. AD5660と80C51/80L51とのインターフェース

AD5660とMICROWIREとのインターフェース

図48は、AD5660とMICROWIRE互換デバイスとのインターフェースを示します。シリアル・データは、シリアル・クロックの立下がりエッジで出力され、SKの立上がりエッジでAD5660に入力されます。



¹ わかりやすくするために、他のピンは省略しています。

図48. AD5660とMICROWIREとのインターフェース

アプリケーション

REF19xをAD5620/AD5640/AD5660の電源として使用する

AD5620/AD5640/AD5660が必要とする電源電流は非常に小さいため、REF19x電圧リファレンス（5V用のREF195または3V用のREF193）を使用して、デバイスに必要な電圧を供給することもできます（図49を参照）。電源ノイズが非常に大きい場合や、システムの電源電圧が5Vまたは3V以外の場合（15Vなど）には、この方法が特に効果的です。REF19xは、AD5620/AD5640/AD5660に対して定常の電源電圧を出力します。低ドロップアウト電圧のREF195を使用する場合は、AD5660に500 μ Aの電流を供給する必要があります。これは、DACの出力に負荷を接続していない状態です。DAC出力に負荷を接続している場合も同様に、REF195は負荷に電流を供給する必要があります。必要な電流の合計値（DAC出力に5k Ω の負荷を接続している場合）は、以下のようになります。

$$500\mu\text{A} + (5\text{V}/5\text{k}\Omega) = 1.5\text{mA}$$

通常、REF195の負荷レギュレーションは2ppm/mAであるため、REF195から1.5mAの電流が供給されるときに、その誤差は3ppm（15 μ V）となります。これは、AD5660では0.197LSBの誤差に相当します。

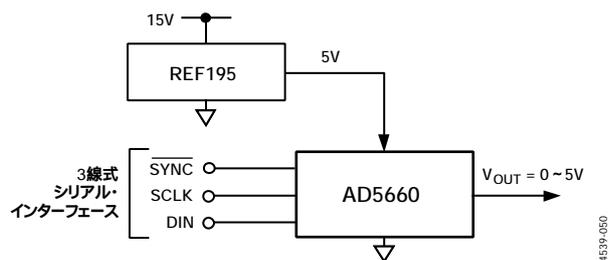


図49. REF195をAD5660の電源として使用する回路

AD5660を使用したバイポーラ動作

AD5660は単電源動作用に設計されていますが、図50に示す回路を使用すれば、バイポーラ出力電圧範囲を設定することも可能です。図50では出力電圧範囲が $\pm 5\text{V}$ となります。出力アンプとしてAD820またはOP295を使用すると、アンプ出力でのレールtoレール動作が可能になります。

任意の入力コードに対する出力電圧は、次の式から計算できます。

$$V_o = \left[V_{DD} \times \left(\frac{D}{65536} \right) \times \left(\frac{R1 + R2}{R1} \right) - V_{DD} \times \left(\frac{R2}{R1} \right) \right]$$

ここで、Dは入力コードと等価な10進値（0～65,535）です。 $V_{DD} = 5\text{V}$ 、 $R1 = R2 = 10\text{k}\Omega$ のときに、出力電圧を次式で表すことができます。

$$V_o = \left(\frac{10 \times D}{65536} \right) - 5\text{V}$$

出力電圧範囲は $\pm 5\text{V}$ となり、0x0000が-5V出力、0xFFFFが+5V出力に相当します。

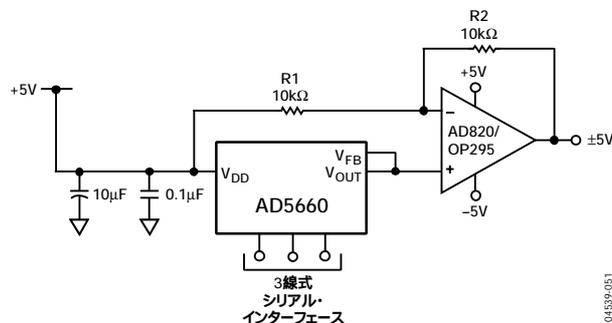


図50. AD5660を使用したバイポーラ動作

AD5660を絶縁したプログラマブル4～20mAプロセス・コントローラとして使用する

多くのプロセス制御システムのアプリケーションでは、ノイズの多い環境でアナログ信号を送信するために2線式の電流トランスミッタを使用します。これらの電流トランスミッタでは、トランスミッタのシグナル・コンディショニング回路に電源が供給されていることを検知できるようにゼロスケール時に4mAの電流を使用します。これらのトランスミッタのフルスケール出力信号は20mAです。プロセス制御に対して逆の方式も使用できます。電流源を利用してループ内に低消費電力でプログラマブルなデバイスや遠隔地に配置されたセンサーを制御します。

この機能を実行する回路を図51に示します。AD5660をコントローラとして使用すると、この回路はDACのデジタル・コードに比例する4～20mAのプログラマブルな出力電流を供給します。コントローラのパイアシングはADR02が提供しますが、（1）ADR02の初期出力電圧許容誤差が優れている、（2）AD8627とAD5660は両方とも電源消費電流が低い、という2つの理由から外部調整を行う必要はありません。回路全体の消費電流は、フォトカプラを含めても、4mAを下回る3mA未満に抑えられます。AD8627は、非反転ノードにおける電流加算を満たすように出力電流を調整します。

$$I_{OUT} = 1/R7 (V_{DAC} \times R3/R1 + V_{REF} \times R3/R2)$$

図51に示す値を代入すると、

$$I_{OUT} = 0.2435\mu\text{A} \times D + 4\text{mA}$$

ここで、D = 0～65,535であり、AD5660のデジタル・コードが0xFFFFに等しいときに、20mAのフルスケール出力電流となります。

4mA時のオフセット調整はP2で行い、P1は20mA時の回路のゲイン調整を行います。AD8627の非反転入力には仮想グラウンドであるため、これらの2つのトリムが相互に作用することはありません。ループ電源のパワーオン時に発生するトランジェントが原因で、AD8627の非反転入力とその反転入力よりも300mV以上低い電位に引き込まれないように、この回路ではショットキー・ダイオードD1が必要です。このダイオードを使用しなければ、上記のようなトランジェントによってAD8627の位相反転が起こり、コントローラがラッチアップする可能性があります。この回路のループ電源電圧コンプライアンスは、ADR02に加えられる最大入力電圧によって制限され、その電圧範囲は12～40Vです。

AD5620/AD5640/AD5660

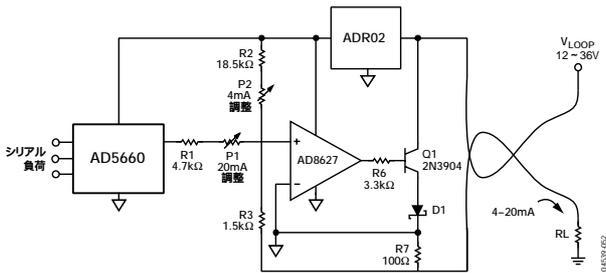


図51. 4~20mAのプログラマブルなプロセス・コントローラ

デジタル・アイソレータ (iCoupler) を用いた絶縁インターフェース

工業環境のプロセス制御アプリケーションでは、絶縁インターフェースを必要とすることが多々あります。それは、DACが動作している環境下で望ましくない同相電圧から制御回路を保護したり、絶縁したりする必要があるからです。iCoupler®は2.5kVを超える絶縁が可能です。AD5620/AD5640/AD5660は3線式のシリアル・ロジック・インターフェースを使用しているため、3チャンネルのデジタル・アイソレータ「ADuM1300」で必要な絶縁を行うことができます(図52を参照)。デバイスの電源も絶縁が必要ですが、これはトランスを使用して行われます。トランスのDAC側では、5VのレギュレータがAD5620/AD5640/AD5660に必要な5V電源を供給します。

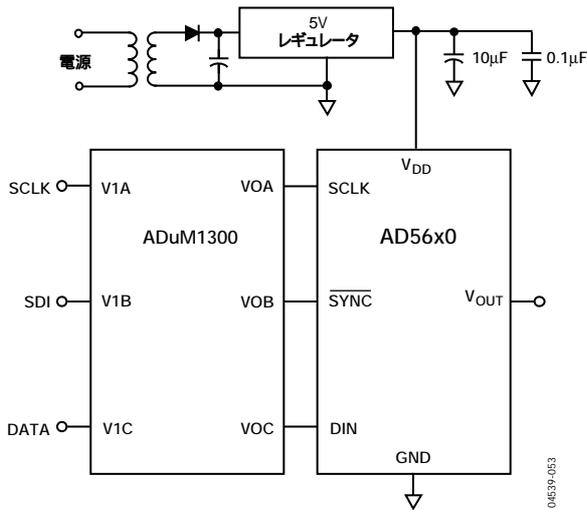


図52. iCouplerを用いた絶縁インターフェース

電源のバイパスとグラウンディング

精度が重視される回路では、ボード上の電源とグラウンド・リターンのレイアウトに注意してください。AD5620/AD5640/AD5660を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれまとめて配置するように設計してください。複数のデバイスがAGNDとDGND間の接続を必要とするシステムでAD5620/AD5640/AD5660を使用する場合は、必ず1ヵ所のみでこの接続を行ってください。グラウンド・ポイントは、AD5620/AD5640/AD5660のできるかぎり近くに配置してください。

AD5620/AD5640/AD5660の電源は、10µと0.1µFのコンデンサを使用してバイパスします。コンデンサはデバイスのできるだけ近くに配置し、0.1µFのコンデンサは理想的にはデバイスの真上に配置してください。10µFコンデンサはタンタルのビード型を使います。0.1µFコンデンサは、セラミック型の等価直列抵抗(ESR)が小さく、かつ等価直列インダクタンス(ESL)が小さいものを使うことが重要です。この0.1µFのコンデンサは、内部ロジックのスイッチングによる過渡電流によって発生する高周波に対して、グラウンドへの低インピーダンス・パスを提供します。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を低減させるようにします。クロックと他の高速スイッチング・デジタル信号は、デジタル・グラウンドを用いてボード上の他の部分からシールドします。デジタル信号とアナログ信号は、できるだけ交差しないようにしてください。ボードの反対側のパターンは、互いに直角になるように配置し、ボードを通過するフィードスルーの影響を削減します。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンをハンダ面に配置するマイクロストリップ技術ですが、2層ボードでは必ずしも使用できるとは限りません。

外形寸法

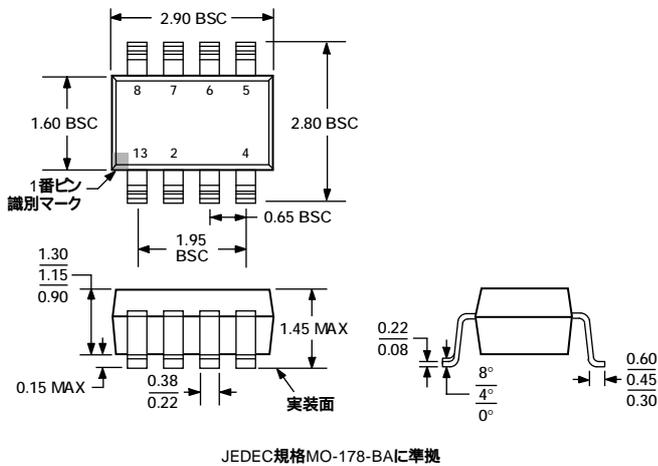


図53. 8ピン・スモール・アウトライン・トランジスタ・パッケージ [SOT-23] (RJ-8)

寸法単位 : mm

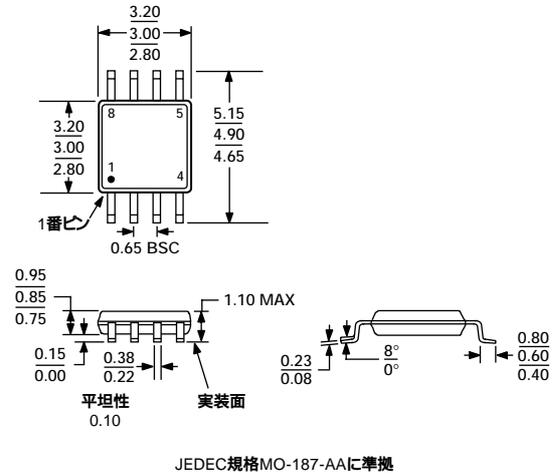


図54. 8ピン・ミニ・スモール・アウトライン・パッケージ [MSOP] (RM-8)

寸法単位 : mm

AD5620のオーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション	マーキング	パワーオン時にリセットされるコード	精度	内部リファレンス
AD5620ARJ-1500RL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2K	ゼロ	± 6LSB INL	1.25V
AD5620ARJ-1REEL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2K	ゼロ	± 6LSB INL	1.25V
AD5620ARJ-2500RL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2L	ゼロ	± 6LSB INL	2.5V
AD5620ARJ-2REEL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2L	ゼロ	± 6LSB INL	2.5V
AD5620BRJ-1500RL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2H	ゼロ	± 1LSB INL	1.25V
AD5620BRJ-1REEL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2H	ゼロ	± 1LSB INL	1.25V
AD5620BRJ-2500RL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2J	ゼロ	± 1LSB INL	2.5V
AD5620BRJ-2REEL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2J	ゼロ	± 1LSB INL	2.5V
AD5620CRM-1	- 15 ~ + 105	8ピンMSOP	RM-8	D2M	ゼロ	± 1LSB INL	1.25V
AD5620CRM-1REEL7	- 15 ~ + 105	8ピンMSOP	RM-8	D2M	ゼロ	± 1LSB INL	1.25V
AD5620CRM-2	- 15 ~ + 105	8ピンMSOP	RM-8	D2N	ゼロ	± 1LSB INL	2.5V
AD5620CRM-2REEL7	- 15 ~ + 105	8ピンMSOP	RM-8	D2N	ゼロ	± 1LSB INL	2.5V
AD5620CRM-3	- 15 ~ + 105	8ピンMSOP	RM-8	D2P	ミッドスケール	± 1LSB INL	2.5V
AD5620CRM-3REEL7	- 15 ~ + 105	8ピンMSOP	RM-8	D2P	ミッドスケール	± 1LSB INL	2.5V
EVAL-AD5620EB		評価用ボード					

AD5620/AD5640/AD5660

AD5640のオーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション	マーキング	パワーオン時にリセットされるコード	精度	内部リファレンス
AD5640ARJ-2500RL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2T	ゼロ	± 8LSB INL	2.5V
AD5640ARJ-2REEL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2T	ゼロ	± 8LSB INL	2.5V
AD5640BRJ-1500RL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2Q	ゼロ	± 4LSB INL	1.25V
AD5640BRJ-1REEL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2Q	ゼロ	± 4LSB INL	1.25V
AD5640BRJ-2500RL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2R	ゼロ	± 4LSB INL	2.5V
AD5640BRJ-2REEL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2R	ゼロ	± 4LSB INL	2.5V
AD5640CRM-1	- 15 ~ + 105	8ピンMSOP	RM-8	D2U	ゼロ	± 4LSB INL	1.25V
AD5640CRM-1REEL7	- 15 ~ + 105	8ピンMSOP	RM-8	D2U	ゼロ	± 4LSB INL	1.25V
AD5640CRM-2	- 15 ~ + 105	8ピンMSOP	RM-8	D2V	ゼロ	± 4LSB INL	2.5V
AD5640CRM-2REEL7	- 15 ~ + 105	8ピンMSOP	RM-8	D2V	ゼロ	± 4LSB INL	2.5V
EVAL-AD5640EB		評価用ボード					

D04539-0-9/05(A)-J

AD5660のオーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション	マーキング	パワーオン時にリセットされるコード	精度	内部リファレンス
AD5660ARJ-1500RL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D30	ゼロ	± 32LSB INL	1.25V
AD5660ARJ-1REEL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D30	ゼロ	± 32LSB INL	1.25V
AD5660ARJ-2500RL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D31	ゼロ	± 32LSB INL	2.5V
AD5660ARJ-2REEL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D31	ゼロ	± 32LSB INL	2.5V
AD5660ARJ-3500RL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D32	ミッドスケール	± 32LSB INL	2.5V
AD5660ARJ-3REEL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D32	ミッドスケール	± 32LSB INL	2.5V
AD5660BRJ-1500RL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2X	ゼロ	± 16LSB INL	1.25V
AD5660BRJ-1REEL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2X	ゼロ	± 16LSB INL	1.25V
AD5660BRJ-2500RL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2Y	ゼロ	± 16LSB INL	2.5V
AD5660BRJ-2REEL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2Y	ゼロ	± 16LSB INL	2.5V
AD5660BRJ-3500RL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2Z	ミッドスケール	± 16LSB INL	2.5V
AD5660BRJ-3REEL7	- 15 ~ + 105	8ピンSOT-23	RJ-8	D2Z	ミッドスケール	± 16LSB INL	2.5V
AD5660CRM-1	- 15 ~ + 105	8ピンMSOP	RM-8	D33	ゼロ	± 16LSB INL	1.25V
AD5660CRM-1REEL7	- 15 ~ + 105	8ピンMSOP	RM-8	D33	ゼロ	± 16LSB INL	1.25V
AD5660CRM-2	- 15 ~ + 105	8ピンMSOP	RM-8	D34	ゼロ	± 16LSB INL	2.5V
AD5660CRM-2REEL7	- 15 ~ + 105	8ピンMSOP	RM-8	D34	ゼロ	± 16LSB INL	2.5V
AD5660CRM-3	- 15 ~ + 105	8ピンMSOP	RM-8	D35	ミッドスケール	± 16LSB INL	2.5V
AD5660CRM-3REEL7	- 15 ~ + 105	8ピンMSOP	RM-8	D35	ミッドスケール	± 16LSB INL	2.5V
EVAL-AD5660EB		評価用ボード					