



**ANALOG
DEVICES**

真の高精度変換、16ビット±12V/±15V、 シリアル入力電圧出力DAC

AD5570

特長

- フル16ビット性能
- 最大1LSBのINLおよびDNL
- 出力電圧範囲：±14Vまで
- 内蔵リファレンス・バッファにより、負電圧リファレンスは不要
- パワーオン時の出力制御機能
- 温度範囲：-40～+85℃/-40～+125℃
- 0.003%まで10μsのセットリング・タイム
- 出力0Vへのクリア機能
- 出力の非同期更新（LDACピン）
- パワーオン・リセット
- デジター・チェーン接続用のシリアル・データ出力
- データ・リードバック機能

アプリケーション

- 工業オートメーション
- 自動テスト機器
- プロセス制御
- データ・アクイジション・システム
- 汎用計測機器

概要

AD5570は、シングル16ビット、シリアル入力の電圧出力DACで、±12～±15Vの電源電圧で動作します。積分非直線性（INL）と微分非直線性（DNL）は1LSBの精度です。パワーアップ時（電源電圧の変化時）に、V_{OUT}を低インピーダンス・パスで0Vにクランプします。

AD5570 DACは、完全なリファレンス・バッファ回路を内蔵しています。リファレンス・バッファによって、単一の正電源リファレンスのみで動作します。REFINの電圧をゲインアップし、内部で反転することで、DACコアに正と負のリファレンスを提供します。リファレンス・バッファを内蔵することによって、インバータ、高精度アンプ、抵抗などの外付け部品が不要になり、ソリューション全体のサイズとコストを削減できます。

AD5570は、SPI[®]、QSPI[™]、MICROWIRE[™]、DSP[®]インターフェース規格と互換性のある汎用3線式インターフェースを使用します。16ビット・シリアル・ワードのフォーマットでデータをデバイスに供給します。SDOピンのシリアル・データ出力は、デジター・チェーン接続に使用できます。データ・リードバック機能によって、SDOピンを介してDACレジスタの内容を読み出すことができます。

機能ブロック図

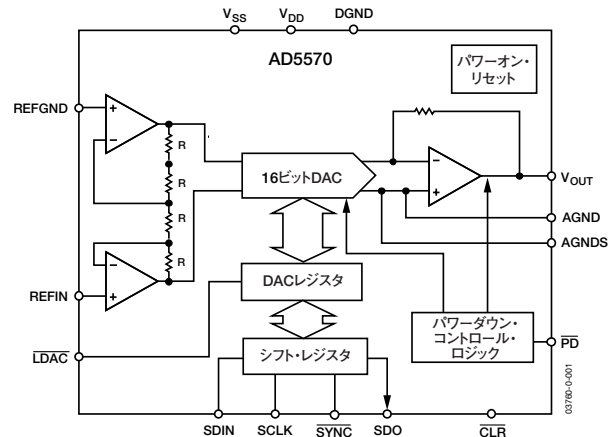


図1

DAC出力の更新は、AD5570のLDACピンの機能を通して行われます。デバイスには、DACを低消費電力状態にするパワーダウン・ピン（PD）と、出力を0VにクリアするCLRピンもあります。

AD5570は、16ピンのSSOPパッケージを採用しています。

製品のハイライト

- 最大1LSBのINLおよびDNL
- ±14Vまでのバッファ付き電圧出力
- パワーアップ時の出力制御機能付き
- 内蔵リファレンス・バッファ
- 広い温度範囲：-40～+125℃

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2003 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868 (代)

AD5570

目次

仕様	3	クリア ($\overline{\text{CLR}}$)	17
スタンダアロン・タイミング特性	5	パワーダウン ($\overline{\text{PD}}$)	17
デジター・チェーン接続とリードバックのタイミング特性	6	パワーオン・リセット	17
絶対最大定格	8	シリアル・データ出力 (SDO)	17
ESDに関する注意	8	アプリケーション情報	19
ピン配置とピン機能の説明	9	代表的な動作回路	19
用語集	10	レイアウトのガイドライン	20
代表的な性能特性	11	フォトカプラのインターフェース	20
概要	16	マイクロプロセッサとのインターフェース	20
DACアーキテクチャ	16	評価用ボード	22
リファレンス・バッファ	16	外形寸法	24
シリアル・インターフェース	16	オーダー・ガイド	24
伝達関数	17		

改訂履歴

リビジョン0：初版

仕様

特に指定のない限り、 $V_{DD}=+11.4\sim+16.5V$ 、 $V_{SS}=-11.4\sim-16.5V$ 、 $V_{REF}=5V$ 、 $REFGND=GND=0V$ 、 $R_L=GND$ に対し $5k\Omega$ 、 $C_L=GND$ に対し $200pF$ 、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定

表1

パラメータ	A/Wグレード ^{1,2}			B/Yグレード ²			単位	テスト条件/備考
	Min	Typ ³	Max	Min	Typ ³	Max		
精度								
分解能	*			16			ビット	25°C
単調性	*			16			ビット	
相対精度・積分非直線性 (INL)		±0.6			±0.4	±1	LSB	
		±0.6	±2	-1	±0.4	±1.25	LSB	
微分非直線性 (DNL)	*	*	*	-1	±0.3	+1	LSB	
マイナスフルスケール誤差		*	*		±0.9	±7.5	mV	
フルスケール誤差		*	*		±1.8	±6	mV	
バイポーラ・ゼロ誤差		*	*		±0.9	±7.5	mV	
ゲイン誤差		*	*		±1.8	±7.5	mV	
ゲイン温度係数 ⁴		*	*		0.25	±1.5	ppm FSR/°C	
リファレンス入力								
リファレンス入力レンジ ⁴	*	*	*	4	5	5	V	±11.4V電源時
入力電流	*	*	*	4	5	7	V	±16.5V電源時
			*			±0.1	µA	
出力特性⁴								
出力電圧範囲	*		*	$V_{SS}+1.4V$		$V_{DD}-1.4V$	V	±11.4V電源時
	*		*	$V_{SS}+2.5V$		$V_{DD}-2.5V$	V	±16.5V電源時
出力電圧セトリング・タイム		*	*		12	16	µs	16ビットで±0.5LSB以内
		*	*		10	13	µs	0.003%以内
		*	*		6	7	µs	512LSBのコード変化
スルーレート		*	*		6.5		V/µs	10~90%で測定
デジタル/アナログ・グリッチ・インパルス		*	*		15		nV-s	±12V電源、メジャー・キャリーを中心として1LSBの変化
帯域幅		*	*		20		kHz	
短絡電流		*	*		25		mA	
出力ノイズ電圧密度		*	*		85		nV/Hz	f=1kHz、ミッドスケール負荷
DAC出力インピーダンス ⁴		*	*		0.35	0.5	Ω	
デジタル・フィードスルー		*	*		0.5		nV/-s	
ウォームアップ時間⁵		*	*		12		s	
ロジック入力								
入力電流			*			±0.1	µA	
V_{INH} 、ハイレベル入力電圧	*		*	2			V	
V_{INL} 、ローレベル入力電圧			*			0.8	V	
C_{IN} 、入力容量 ⁴		*	*		3		pF	
ロジック出力								
V_{OL} 、ローレベル出力電圧			*			0.4	V	$I_{SINK}=1mA$
フローティング状態出力容量		*	*		8		pF	

AD5570

パラメータ	A/Wグレード ^{1, 2}			B/Yグレード ²			単位	テスト条件/備考
	Min	Typ ³	Max	Min	Typ ³	Max		
電源条件								
V_{DD}/V_{SS}	*		*	±11.4		±16.5	V	
I_{DD}			*		4	5	mA	V_{OUT} 無負荷
I_{SS}			*		3.5	5	mA	V_{OUT} 無負荷
パワーダウン電流		*			16		μA	V_{OUT} 無負荷
電源変動感度 ⁶			*		0.1		LSB/V	±15V電源±10%、フルスケール負荷
消費電力		*			100		mW	V_{OUT} 無負荷

¹ アスタリスク (*) = B/Yグレードと同じ仕様

² 温度範囲: AとB=-40~+85℃、WとY=-40~+125℃

³ typ仕様は±12V/±15V、25℃による。

⁴ 設計により保証。

⁵ デバイスが熱平衡に達して定格性能が得られるようになるには、ウォームアップ時間が必要です。

⁶ V_{DD} 、 V_{SS} 変動に対する負側フルスケール誤差と正側フルスケール誤差の感度

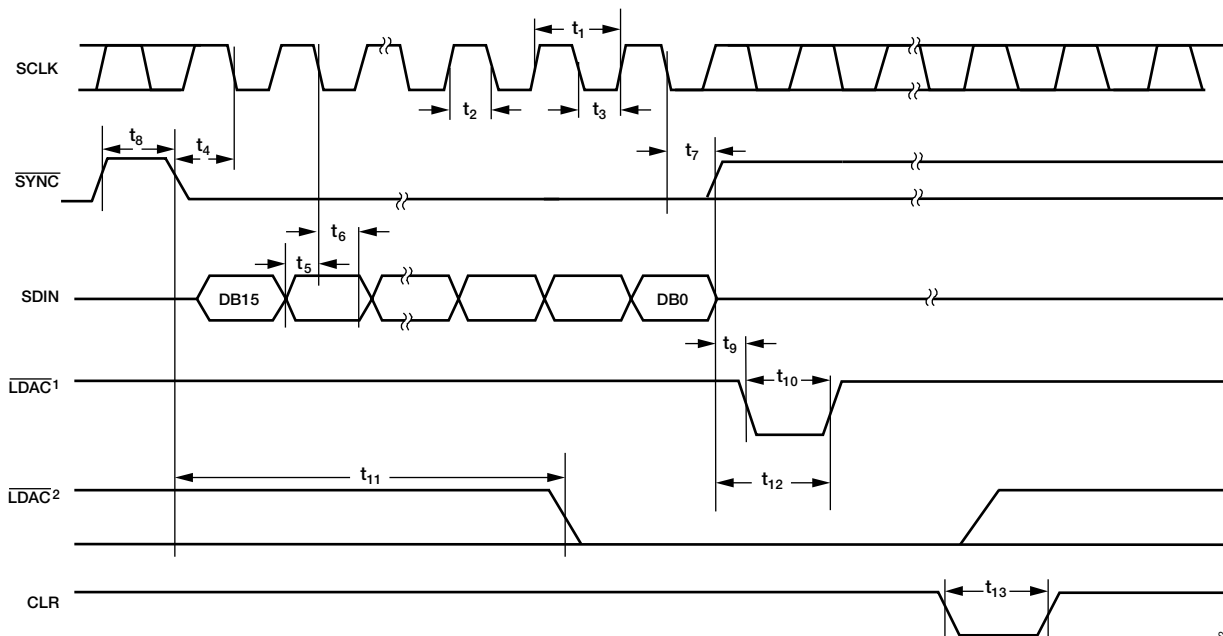
スタンドアロン・タイミング特性

特に指定のない限り、 $V_{DD} = +12V \pm 5\%$ 、 $V_{SS} = -12V \pm 5\%$ または $V_{DD} = +15V \pm 10\%$ 、 $V_{SS} = -15V \pm 10\%$ 、 $V_{REF} = 5V$ 、 $REFGND = GND = 0V$ 、 $R_L = 5k\Omega$ 、 $C_L = GND$ に対し200pF、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定

表2

パラメータ	T_{MIN} 、 T_{MAX} での限界値	単位	説明
f_{MAX}	10	MHz (max)	SCLK周波数
t_1	100	ns (min)	SCLKサイクル時間
t_2	35	ns (min)	SCLKハイ時間最小値
t_3	35	ns (min)	SCLKロー時間最小値
t_4	10	ns (min)	\overline{SYNC} からSCLK立ち下がりエッジまでのセットアップ・タイム
t_5	35	ns (min)	データ・セットアップ・タイム
t_6	0	ns (min)	データ・ホールド・タイム
t_7	45	ns (min)	SCLK立ち下がりエッジから \overline{SYNC} 立ち上がりエッジまで
t_8	45	ns (min)	\overline{SYNC} ハイ時間最小値
t_9	0	ns (min)	\overline{SYNC} 立ち上がりエッジから \overline{LDAC} 立ち下がりエッジまで
t_{10}	50	ns (min)	\overline{LDAC} パルス幅最小値
t_{11}	0	ns (min)	\overline{LDAC} 立ち下がりエッジから \overline{SYNC} 立ち下がりエッジまで (更新なし)
t_{12}	0	ns (min)	\overline{LDAC} 立ち上がりエッジから \overline{SYNC} 立ち上がりエッジまで (更新なし)
t_{13}	20	ns (min)	CLRパルス幅最小値

すべてのパラメータは設計と特性によって保証されており、出荷テストは実施していません。
すべての入力信号は $t_r = t_f = 5ns$ (V_{DD} の10~90%) で測定しており、 $(V_{IL} + V_{IH})/2$ の電圧レベルからタイミングをとっています。



注

1. 非同期LDAC更新モード。LDACの立ち下がりエッジで更新。
2. 同期LDAC更新モード。SYNCの立ち上がりエッジで更新。

03790-002

図2. シリアル・インターフェースのタイミング図

AD5570

デジター・チェーン接続とリードバックのタイミング特性

特に指定のない限り、 $V_{DD} = +12V \pm 5\%$ 、 $V_{SS} = -12V \pm 5\%$ または $V_{DD} = +15V \pm 10\%$ 、 $V_{SS} = -15V \pm 10\%$ 、 $V_{REF} = 5V$ 、 $REFGND = GND = 0V$ 、 $R_L = 5k\Omega$ 、 $C_L = GND$ に対し $200pF$ 、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定

表3

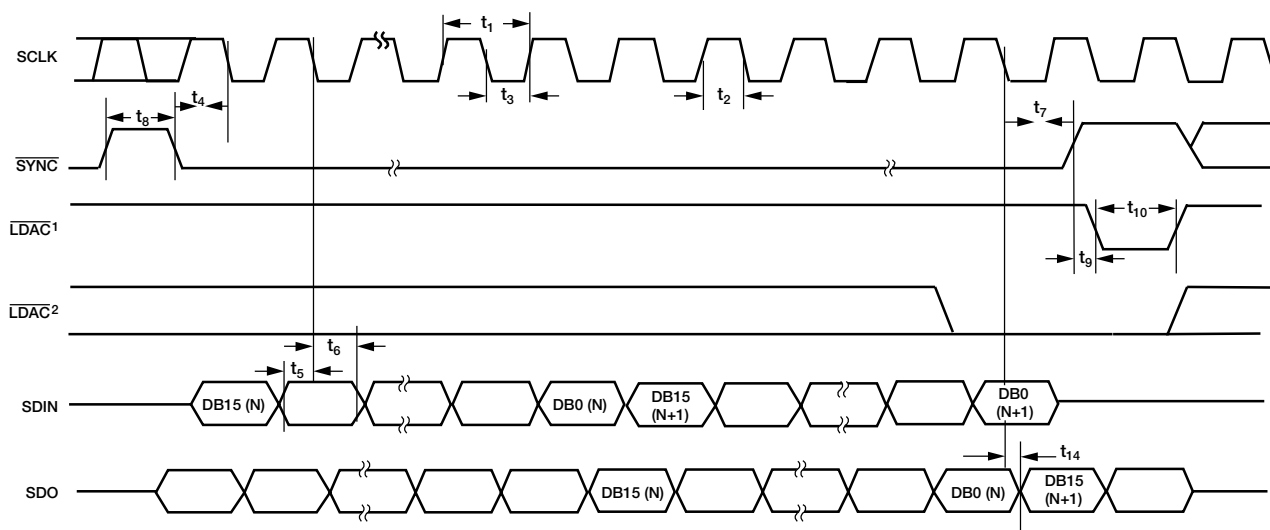
パラメータ	T_{MIN} 、 T_{MAX} での限界値	単位	説明
f_{MAX}	2	MHz (max)	SCLK周波数
t_1	500	ns (min)	SCLKサイクル時間
t_2	200	ns (min)	SCLKハイ時間最小値
t_3	200	ns (min)	SCLKロー時間最小値
t_4	10	ns (min)	\overline{SYNC} からSCLK立ち下がりエッジまでのセットアップ・タイム
t_5	35	ns (min)	データ・セットアップ・タイム
t_6	0	ns (min)	データ・ホールド・タイム
t_7	45	ns (min)	SCLK立ち下がりエッジから \overline{SYNC} 立ち上がりエッジまで
t_8	45	ns (min)	\overline{SYNC} ハイ時間最小値
t_9	0	ns (min)	\overline{SYNC} 立ち上がりエッジからLDAC立ち下がりエッジまで
t_{10}	50	ns (min)	LDACパルス幅最小値
t_{14}^1	200	ns (max)	SDOでのデータ遅延

すべてのパラメータは設計と特性によって保証されており、出荷テストは実施していません。

すべての入力信号は $t_r = t_f = 5ns$ (V_{DD} の10~90%) で測定しており、 $(V_{LH} + V_{HL})/2$ の電圧レベルからタイミングをとっています。

SDO: $R_{PULLUP} = 5k\Omega$ 、 $C_L = 15pF$

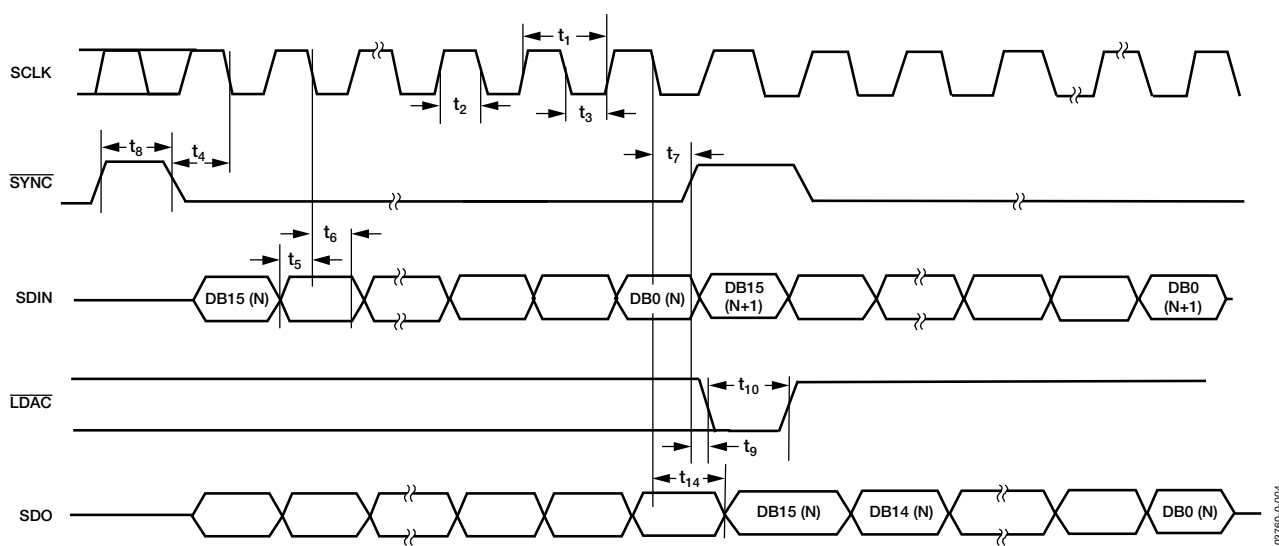
¹ $C_L = 0pF$ で、 $t_{15} = 100ns$



- 注
 1. 非同期LDAC更新モード
 2. 同期LDAC更新モード

図3. デジター・チェーン接続のタイミング図

03760-0-003



02780-0-004

図4. リードバックのタイミング図

AD5570

絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$

表4

パラメータ	定格
AGND、AGNDS、DGNDに 対する V_{DD}	-0.3V、+17V
AGND、AGNDS、DGNDに 対する V_{SS}	+0.3V、-17V
DGNDに対するAGND、AGNDS	-0.3~+0.3V
AGND、ADNDSに対するREFGND	$V_{SS}-0.3\sim V_{DD}+0.3V$
AGND、AGNDSに対するREFIN	$V_{SS}-0.3\sim V_{DD}+0.3V$
REFGNDに対するREFIN	-0.3~+17V
DGNDに対するデジタル入力	-0.3~ $V_{DD}+0.3V$
AGND、AGNDSに対する V_{OUT}	-0.3~ $V_{DD}+0.3V$
DGNDに対するSDO	-0.3~+6.5V
動作温度範囲：	-40~+125℃
W、Yグレード	-40~+125℃
A、Bグレード	-40~+85℃
保存温度範囲	-65~+150℃
最大ジャンクション温度 ($T_{J\max}$)	150℃
16ピンSSOPパッケージ	
消費電力	$(T_{J\max}-T_A)/\theta_{JA}$
θ_{JA} 熱抵抗	139℃/W
リードピン温度 (ハンダ処理10秒)	300℃
IRリフロー、ピーク温度	230℃

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置とピン機能の説明

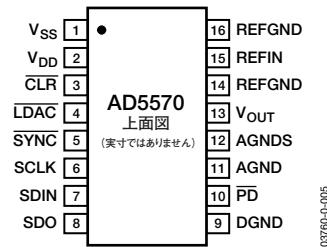


図5. 16ピンSSOPのピン配置 (RS-16)

表5. ピン機能の説明

ピン番号	記号	機能
1	V _{SS}	負のアナログ電源電圧。仕様性能を得るには $-12V \pm 5\% \sim -15V \pm 10\%$
2	V _{DD}	正のアナログ電源電圧。仕様性能を得るには $12V \pm 5\% \sim 15V \pm 10\%$
3	$\overline{\text{CLR}}$	レベル・センス信号。アクティブ・ロー入力。 $\overline{\text{CLR}}$ の立ち下がりエッジでV _{OUT} をAGNDにリセット。レジスタの内容には変化なし。
4	$\overline{\text{LDAC}}$	アクティブ・ローのコントロール入力。入力レジスタの内容をDACレジスタに転送。 $\overline{\text{LDAC}}$ をローレベルに固定すると、 $\overline{\text{SYNC}}$ の立ち上がりエッジで出力を更新できます。
5	$\overline{\text{SYNC}}$	アクティブ・ローのコントロール入力。これはデータのフレーム同期信号です。 $\overline{\text{SYNC}}$ がローレベルになると、SCLKバッファとSDINバッファをパワーオンして、入力シフト・レジスタをイネーブルにします。後続の16個のクロックの立ち下がりエッジでデータを転送します。
6	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立ち下がりエッジで入力レジスタにクロック入力されます。最高10MHzのレートでデータを転送できます。
7	SDIN	シリアル・データ入力。デバイスには16ビット・レジスタがあります。データは、シリアル・クロック入力の立ち下がりエッジでレジスタにクロック入力されます。
8	SDO	シリアル・データ出力。複数のデバイスをデイジー・チェーン接続したり、診断のためにシフト・レジスタのデータを読み出すために使用します。これはオープンドレイン出力で、5k Ω 程度の外付けプルアップ抵抗でV _{DD} に接続します。
9	DGND	デジタル・グラウンド。全デジタル回路のグラウンド・リファレンスです。
10	$\overline{\text{PD}}$	アクティブ・ローのコントロール入力。DACをパワーダウン状態にできます。
11	AGND	アナログ・グラウンド。全アナログ回路のグラウンド・リファレンスです。
12	AGNDS	アナログ・グラウンド・センス。通常、AGNDに接続します。
13	V _{OUT}	アナログ出力電圧
14	REFGND	このピンは0Vに接続してください。
15	REFIN	リファレンス入力。この信号は、DACに入力される前に内部でバッファされます。バイポーラの $\pm 10V$ 出力レンジの場合、REFINは5Vです。
16	REFGND	このピンは0Vに接続してください。

AD5570

用語集

相対精度または積分非直線性 (INL)

相対精度または積分非直線性とは、DAC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差を示すもので、単位はLSBです。

単調性

デジタル入力の増加に対して出力が増加するか一定のままの場合、DACに単調性があると言います。AD5570は、その全動作温度範囲にわたって単調増加性があります。

微分非直線性 (DNL)

微分非直線性とは、任意の隣接する2つのコード間で測定した変化と理想的な1LSBの変化との差です。微分非直線性の仕様が最大±1LSBのときに、単調性が保証されます。

ゲイン誤差

ゲイン誤差とは、理想的なアナログ出力フルレンジと実際の出力フルレンジとの差であり、フルスケール範囲の%で表します。これは、DAC伝達特性の傾き (ゲイン) が理想値からどれくらい偏差があるかということです。

ゲイン誤差温度係数

ゲイン誤差温度係数とは、温度変化に伴うゲイン誤差の変化を示すもので、ppm/°Cで表します。

マイナスフルスケール誤差/ゼロスケール誤差

マイナスフルスケール誤差とは、DAC入力データにオール0がロードされたときの、DAC出力電圧誤差です。理想的には、DAC入力データがオール0の場合の出力電圧は $-2V_{REF}$ でなければなりません。

フルスケール誤差

フルスケール誤差とは、DAC入力データにオール1がロードされたときのDAC出力電圧における誤差です。理想的には、DAC入力データにオール1がロードされた場合の出力電圧は $2V_{REF}-1LSB$ でなければなりません。

バイポーラ・ゼロ誤差

バイポーラ・ゼロ誤差とは、入力に8000hがロードされたときの、0.0000Vという理想的なハーフスケール出力からのアナログ出力の偏差です。

出力電圧のセトリング・タイム

出力電圧のセトリング・タイムとは、フルスケールの入力変化に対して出力が規定のレベルまで安定するために必要な時間です。

スルーレート

デバイスのスルーレートとは、出力電圧の変化率の限界を示したものです。電圧出力D/Aコンバータの出力スルーイング速度は、通常、その出力で使用するアンプのスルーレートによって制限されます。スルーレートは出力信号の10~90%で測定し、単位はV/μsです。

デジタル/アナログ・グリッチ・インパルス

デジタル/アナログ・グリッチ・インパルスとは、DACレジスタ内の入力コードが状態を変化させるとき、アナログ出力に注入される電荷の量です。これはグリッチ波形の面積としてnV-s単位で仕様が規定され、デジタル入力コードがメジャー・キャリア遷移において1LSBだけ変化したとき、つまりコード7FFFhから8000hに変化したときに測定します。

帯域幅

ノイズ性能を最適化するために、DAC内のリファレンス・アンプは帯域を制限しています。これを測定するには、DACにフルスケールのコードがロードされている状態で、リファレンス入力 (REFIN) にサイン波を入力します。帯域幅とは、出力振幅が入力よりも3dB低下する周波数です。

デジタル・フィードスルー

デジタル・フィードスルーは、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを示すものですが、DAC出力が更新されていないときに測定します。 \overline{SYNC} はハイレベルに保持されますが、CLK信号とSDIN信号はトグルされます。これはnV-s単位で仕様が規定され、データ・バスでのフルスケールのコード変化、つまりオール0からオール1への変化 (およびその逆の変化) で測定します。

電源変動感度

電源変動感度とは、電源電圧の変化がDACの出力に与える影響を示しています。

代表的な性能特性

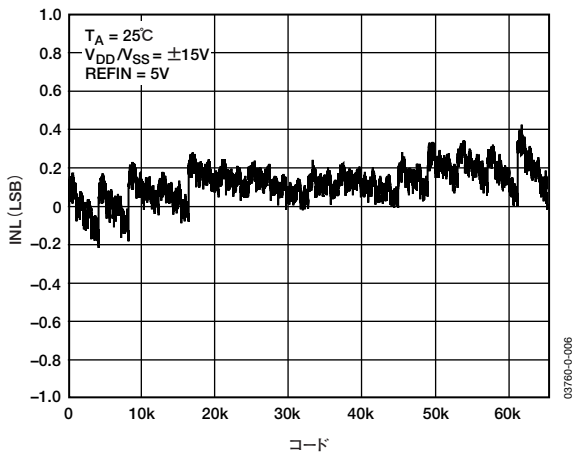


図6. 入力コード対 積分非直線性
($V_{DD}/V_{SS} = \pm 15V$)

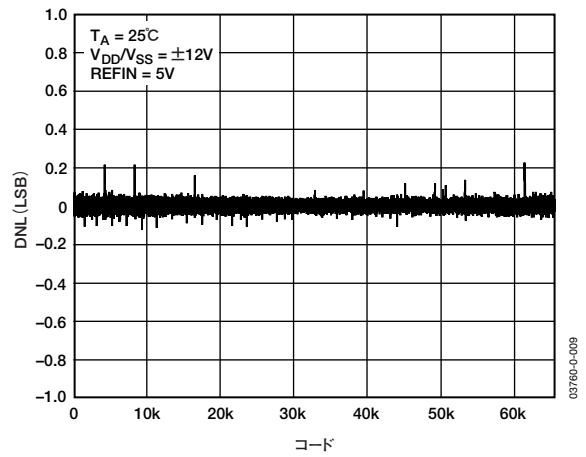


図9. 入力コード対 微分非直線性
($V_{DD}/V_{SS} = \pm 12V$)

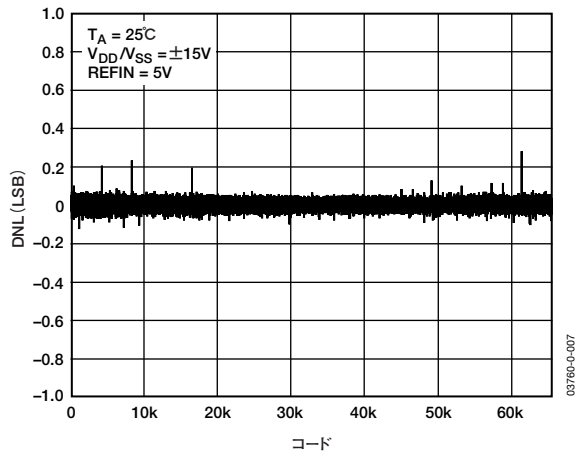


図7. 入力コード対 微分非直線性
($V_{DD}/V_{SS} = \pm 15V$)

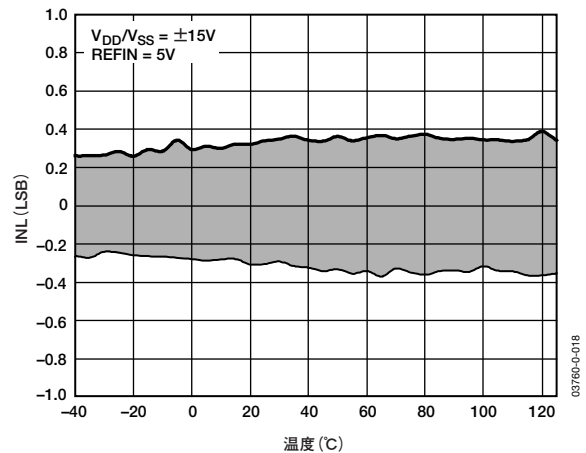


図10. 温度対 積分非直線性 (±15V電源)

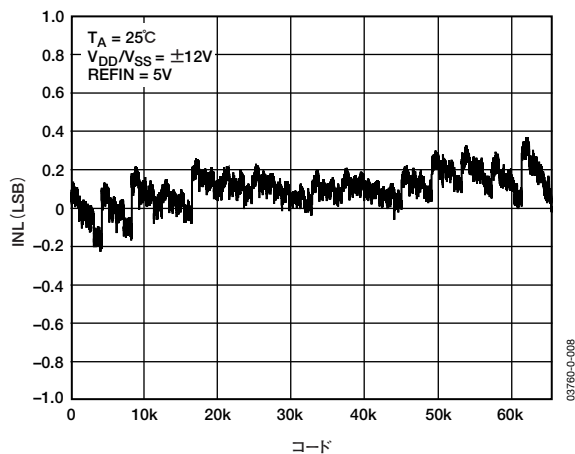


図8. 入力コード対 積分非直線性
($V_{DD}/V_{SS} = \pm 12V$)

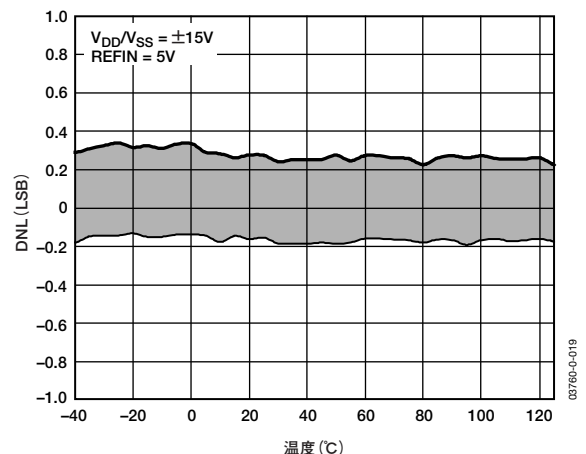


図11. 温度対 微分非直線性 (±15V電源)

AD5570

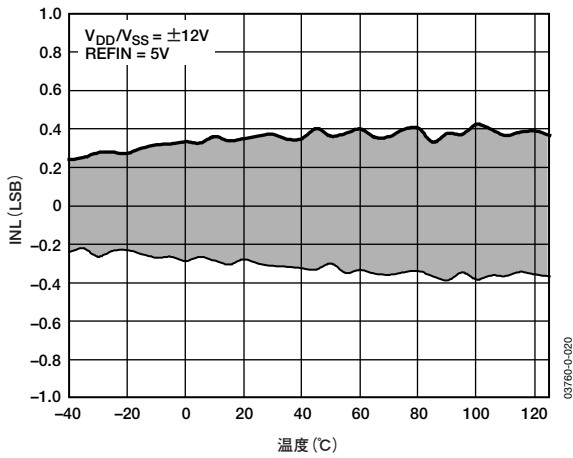


図12. 温度対積分非直線性 (±12V電源)

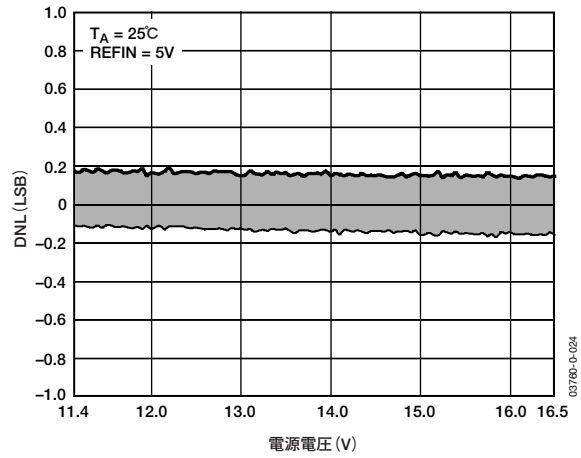


図15. 電源電圧対微分非直線性

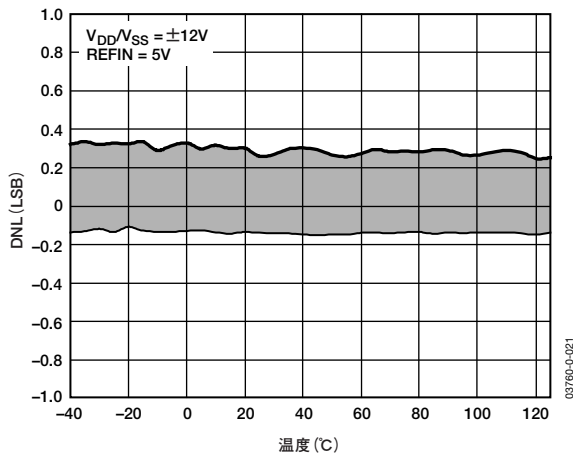


図13. 温度対微分非直線性 (±12V電源)

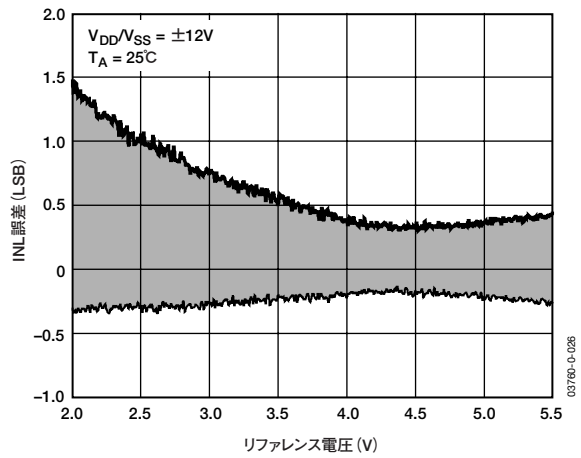


図16. リファレンス電圧対積分非直線性誤差 (±12V電源)

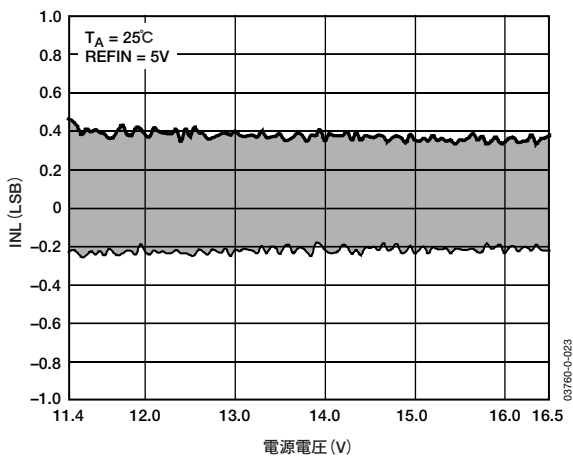


図14. 電源電圧対積分非直線性

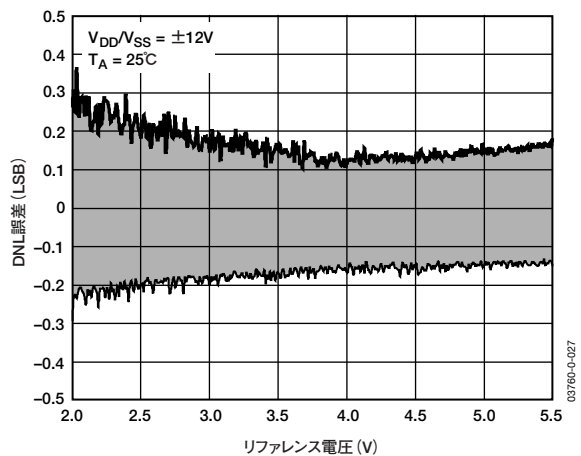


図17. リファレンス電圧対微分非直線性誤差 (±12V電源)

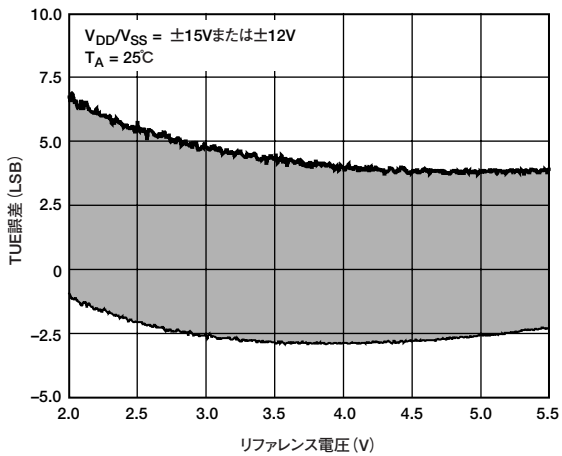


図18. リファレンス電圧 対 総合無調整誤差

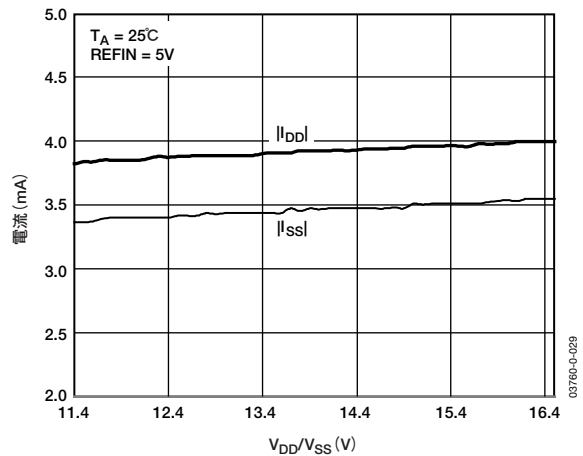


図21. V_{DD}/V_{SS} 対 I_{DD}/I_{SS}

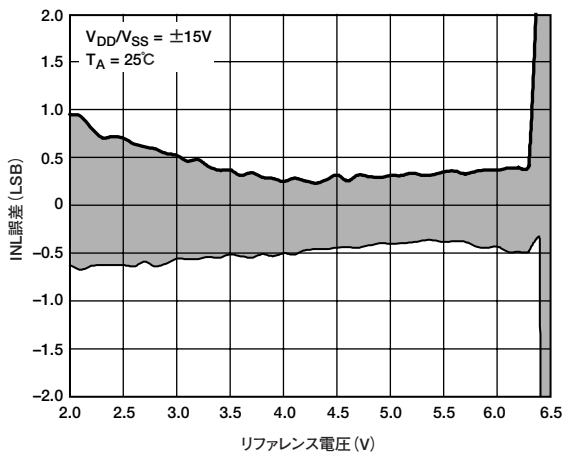


図19. リファレンス電圧 対 積分非直線性誤差 (±15V電源)

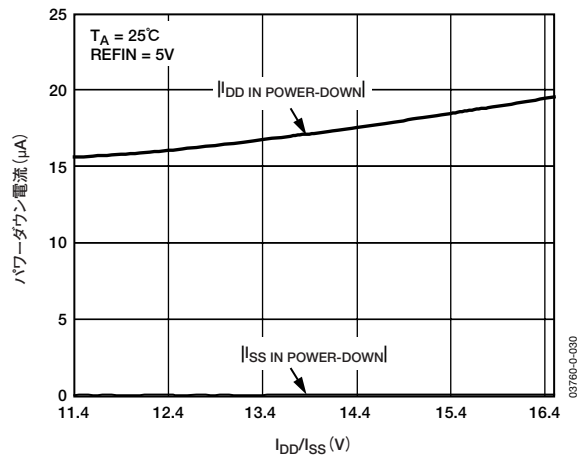


図22. 電源電圧 対 パワーダウン時の I_{DD}/I_{SS}

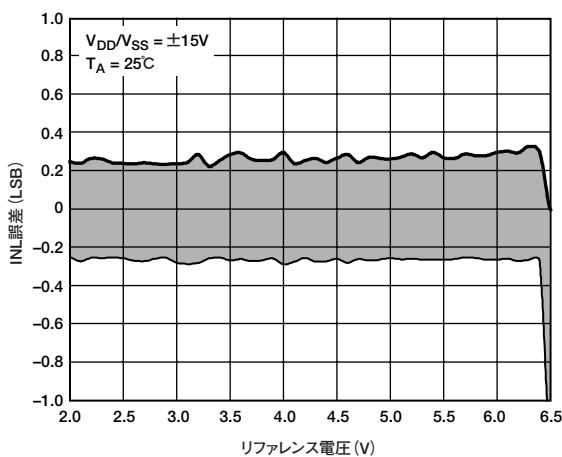


図20. リファレンス電圧 対 微分非直線性誤差 (±15V電源)

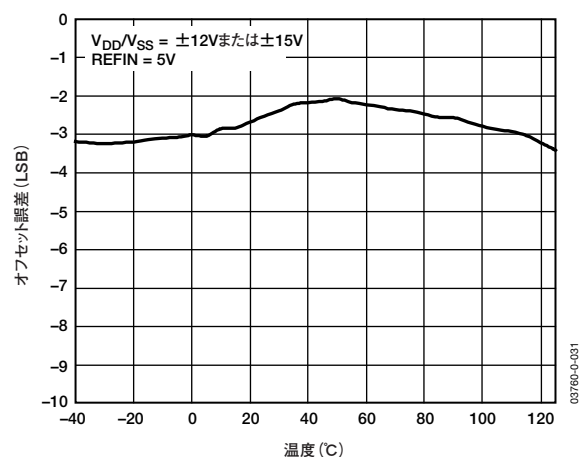


図23. 温度 対 オフセット誤差

AD5570

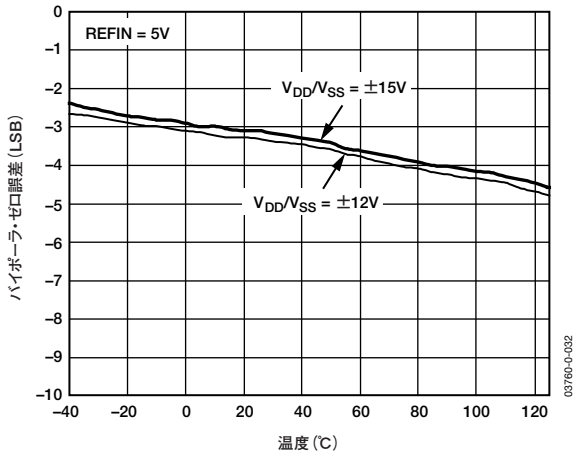


図24. 温度対バイポーラ・ゼロ誤差

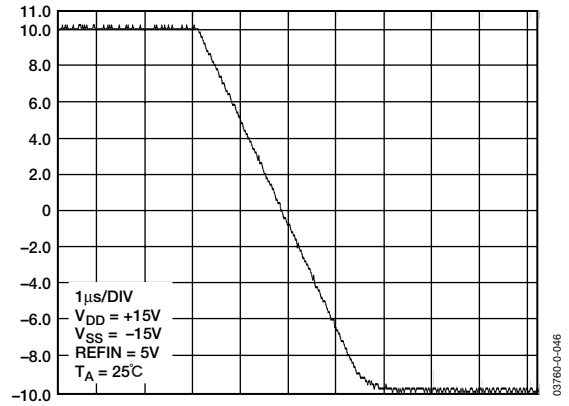


図27. セトリング・タイム

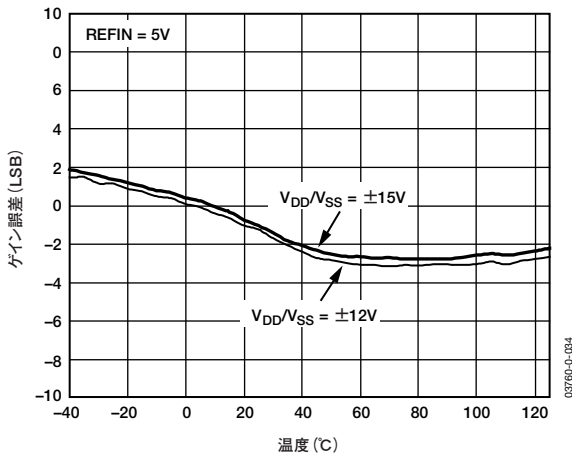


図25. 温度対ゲイン誤差

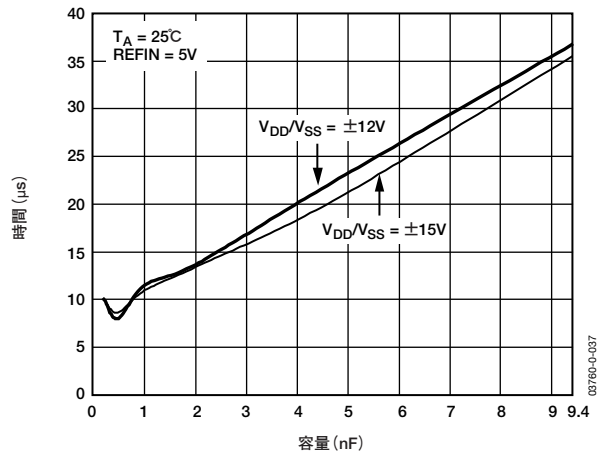


図28. 負荷容量対14ビットのセトリング・タイム

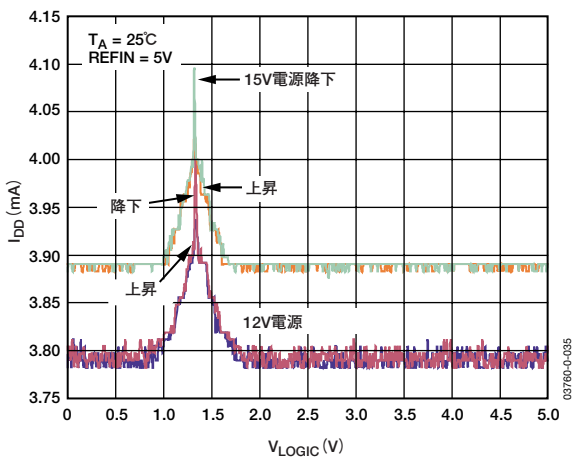


図26. SCLK、SYNC、SDIN、LDACの上昇/降下に対するロジック入力電流対電源電流

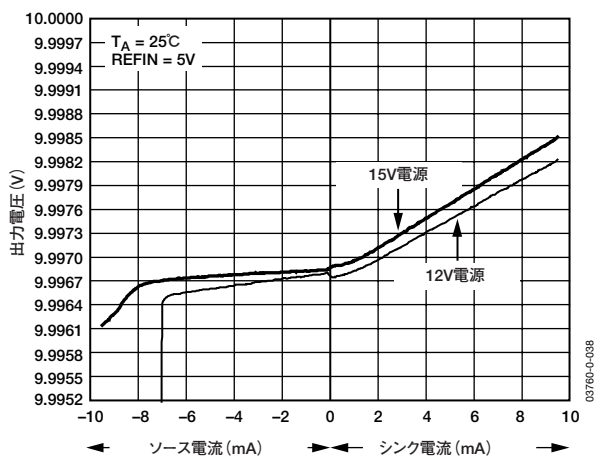


図29. フルスケール負荷による出力アンプのソース/シンク特性

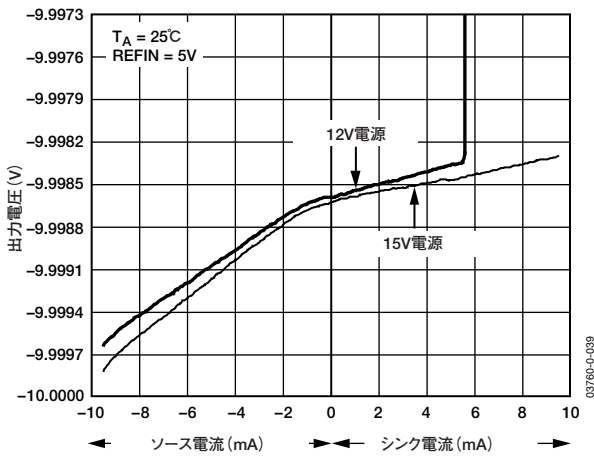


図30. ゼロ・スケール負荷による出力アンプのソース/シンク特性

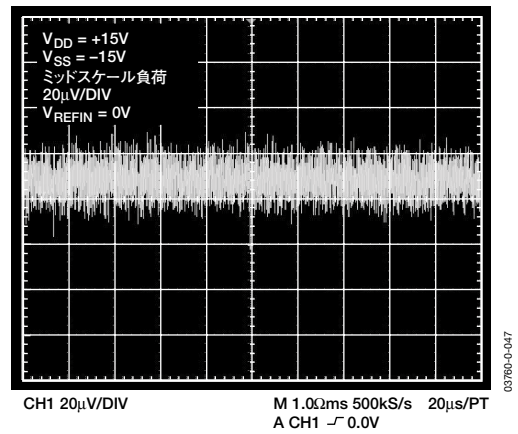


図33. ピークtoピーク・ノイズ (100kHz帯域幅)

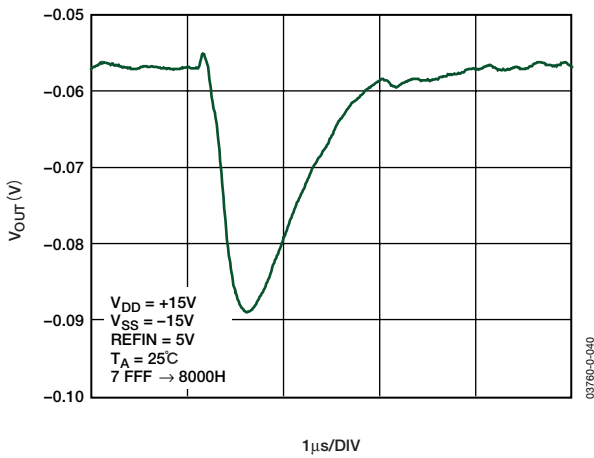


図31. メジャー・コード遷移グリッチ・エネルギー (±15V電源)

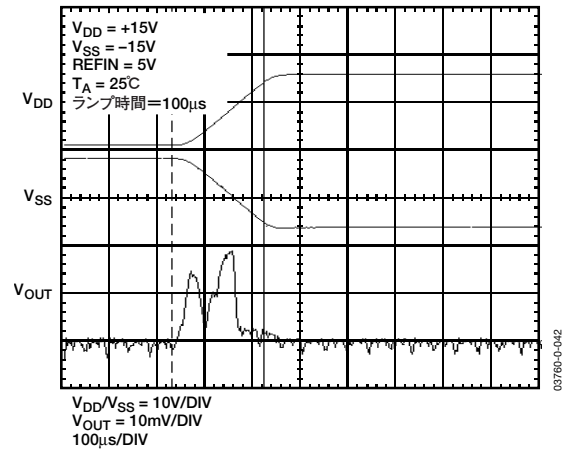


図34. パワーアップ時の V_{DD}/V_{SS} 対 V_{OUT}

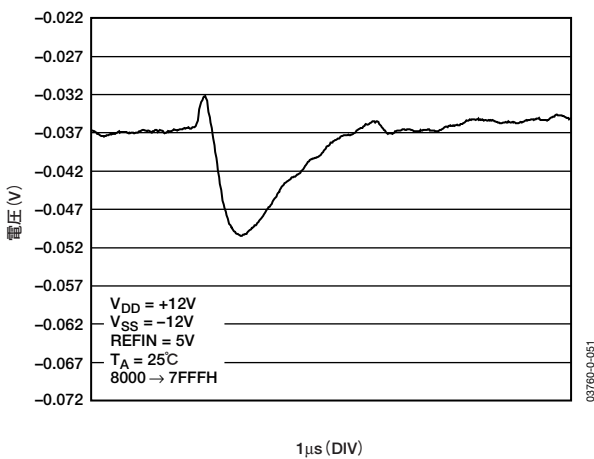


図32. メジャー・コード遷移グリッチ・エネルギー (±12V電源)

AD5570

概要

AD5570は、シングル16ビット、シリアル入力の電圧出力DACです。±11.4～±16.5Vの電源電圧で動作し、バッファ付き電圧出力は最大±13.6Vです。データは、3線式シリアル・インターフェースから16ビットのワード・フォーマットでAD5570に書き込まれます。このデバイスにはSDOピンがあり、デジタイズ・チェーン接続やリードバックに使用できます。

AD5570はパワーオン・リセット回路を内蔵し、DAC出力を確実に0Vにしてパワーアップできます。デバイスにはパワーダウン・ピンもあり、この際消費電流が16μA (typ) に減少します。

DACアーキテクチャ

AD5570のDACアーキテクチャは、電流モードでセグメント化された16ビットのR-2R DACで構成されています。図35に、DAC部の簡略回路図を示します。

16ビット・データ・ワードのうち、MSBより4ビットをデコードし、15個のスイッチ (E1～E15) を駆動します。これらの各スイッチは、15本のマッチングした抵抗の1つをAGNDまたはIOUTに接続します。データ・ワードの残りの12ビットで、12ビットR-2Rラダー・ネットワークのスイッチS0～S11を駆動します。

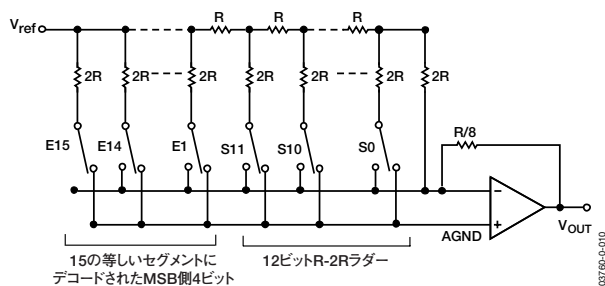


図35. DACのラダー構造

リファレンス・バッファ

AD5570は外部リファレンスで動作します。リファレンス入力 (REFIN) の入力レンジは、最大7Vです。この入力電圧を使用して、DACコアに正と負のバッファされたリファレンス電圧を与えます。この正のリファレンス入力は次式で得られます。

$$+V_{REF} = 2 \times V_{REFIN}$$

DACコアへの負のリファレンス入力については、次式で得られます。

$$-V_{REF} = -2 \times V_{REFIN}$$

この正と負のリファレンス電圧によって、DAC出力レンジが決まります。

シリアル・インターフェース

AD5570は、最高10MHzのクロック・レートで動作する汎用の3線式シリアル・インターフェースを通じて制御します。このインターフェースは、SPI、QSPI、MICROWIRE、DSPの各インターフェース規格に対応しています。

入力シフト・レジスタ

入力シフト・レジスタは、16ビット幅です。データは、シリアル・クロック入力SCLKの制御によって、16ビット・ワードとしてデバイスにロードされます。図2に、この動作のタイミング図を示します。

パワーアップ時に、入力シフト・レジスタとDACレジスタにミッドスケールコード (8000h) がロードされます。DACのコード形式はストレート・バイナリです。得られる出力はオール0で $-2V_{REFIN}$ 、オール1で $+2V_{REFIN} - 1LSB$ になります。

\overline{SYNC} 入力は、フレーム同期信号およびチップ・イネーブルとして機能するレベル・トリガー入力です。 \overline{SYNC} は、デバイスにロードされるシリアル・ワードを確実にフレーミングします。データをデバイスに転送できるのは、 \overline{SYNC} がローの間だけです。シリアル・データ転送を開始するときは、 \overline{SYNC} からSCLK立ち下がりエッジまでの最小セットアップ・タイム t_s を守って、 \overline{SYNC} をローレベルに設定してください。 \overline{SYNC} がローになった後、SCLKの立ち下がりエッジで、SDINのシリアル・データがデバイスの入力シフト・レジスタにシフトインされます。SCLK立ち下がりエッジから \overline{SYNC} 立ち上がりエッジまでの最小時間 t_h を守って、16番目のSCLKパルスの立ち下がりエッジ後に \overline{SYNC} をハイレベルに設定してください。

シリアル・データ転送の終了後、入力シフト・レジスタからDACの入力レジスタにデータが自動転送されます。

データがDACの入力レジスタに転送された後、 \overline{SYNC} がハイレベルの間、LDACをローレベルにすると、DACレジスタとDAC出力を更新できます。

ロードDAC入力 (\overline{LDAC})

データがDACの入力レジスタに転送された後、2つの方法でDACレジスタとDAC出力を更新できます。 \overline{SYNC} と \overline{LDAC} のステータスによって、いずれかの更新モードを選択します。

同期 \overline{LDAC} ：このモードでは、入力シフト・レジスタにデータがクロック入力されている間、 \overline{LDAC} はローレベルです。 \overline{SYNC} がハイレベルになると、DAC出力が更新されます。 \overline{SYNC} の立ち上がりエッジで、この更新が行われます。

非同期 $\overline{\text{LDAC}}$ ：このモードでは、データがクロック入力されている間、 $\overline{\text{LDAC}}$ はハイレベルです。DAC出力を更新するには、 $\overline{\text{SYNC}}$ がハイレベルになった後で $\overline{\text{LDAC}}$ をローレベルにします。更新は、 $\overline{\text{LDAC}}$ の立ち下がりエッジで行われます。

図36に、入力ロード回路の簡略ブロック図を示します。

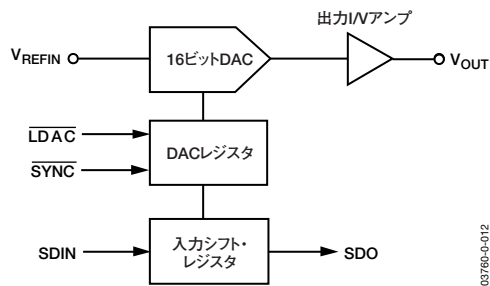


図36. 入力インターフェース回路の簡略図

伝達関数

表6に、AD5570に対する理想的な入力コードと出力電圧の関係を示します。

表6. 2進コード表

デジタル入力				アナログ出力
MSB			LSB	V_{OUT}
1111	1111	1111	1111	$+2V_{\text{REFIN}} \times (32,767/32,768)$
1000	0000	0000	0001	$+2V_{\text{REFIN}} \times (1/32,768)$
1000	0000	0000	0000	0V
0111	1111	1111	1111	$-2V_{\text{REFIN}} \times (1/32,768)$
0000	0000	0000	0000	$-2V_{\text{REFIN}}$

出力電圧の式は次のようになります。

$$V_{\text{OUT}} = -2V_{\text{REFIN}} + 4 \times V_{\text{REFIN}} [D / 65536]$$

ここで、

D は、DACにロードされるコードと等価な10進値です。

V_{REFIN} は、REFINピンで得られるリファレンス電圧です。

クリア ($\overline{\text{CLR}}$)

$\overline{\text{CLR}}$ はアクティブ・ローのデジタル入力で、出力を0Vにクリアします。 $\overline{\text{CLR}}$ 信号がハイレベルに戻ると、 $\overline{\text{LDAC}}$ がローレベルになるまで出力は0Vにとどまります。 $\overline{\text{LDAC}}$ と $\overline{\text{CLR}}$ の関係については、表7に記載します。

表7. $\overline{\text{PD}}$ 、 $\overline{\text{CLR}}$ 、 $\overline{\text{LDAC}}$ の関係

$\overline{\text{PD}}$	$\overline{\text{CLR}}$	$\overline{\text{LDAC}}$	備考
0	×	×	$\overline{\text{PD}}$ は $\overline{\text{LDAC}}$ や $\overline{\text{CLR}}$ よりも優先されます。出力は内部の20k Ω 抵抗を通して0Vに接続されます。AD5570のパワーダウン時でも、入力レジスタとDACレジスタを操作することができます。
1	0	0	データは入力レジスタとDACレジスタに書き込み可です。 $\overline{\text{CLR}}$ は $\overline{\text{LDAC}}$ よりも優先されます。したがって、出力は0Vです。
1	0	1	データは入力レジスタにのみ書き込み可です。出力は0Vで、 $\overline{\text{CLR}}$ がハイに戻っても、0Vのままです。
1	1	0	データは入力レジスタとDACレジスタに書き込まれます。出力はDACレベルまで駆動されます。
1	1	1	データは入力レジスタにのみ書き込まれます。DACレジスタの出力は変化しません。

パワーダウン ($\overline{\text{PD}}$)

パワーダウン・ピンによって、AD5570をパワーダウン・モードに設定できます。このモードでは、消費電力が最小になり、デバイスは16 μA (typ) しか消費しません。

パワーオン・リセット

AD5570はパワーオン・リセット回路を内蔵しており、これによってパワーアップ/パワーダウン時に出力を制御します。これは、パワーアップ時にDACの出力を既知の状態にしておかなければならないアプリケーションの場合に便利です。パワーアップ/パワーダウン時に、DACの出力 V_{OUT} はAGNDに保持されます。

AD5570

シリアル・データ出力 (SDO)

シリアル・データ出力 (SDO) は、内部シフト・レジスタの出力です。AD5570の場合、SDOの内部はプルダウン側のみで、ロジック・ハイにするには5kΩ程度の外付けプルアップ抵抗が必要です。デバイスがパワーダウンすると、SDOプルダウンがディスエーブルになり、電流が減少します。

SDOを使用すれば、任意の数のAD5570をデジター・チェーン接続できます。また、DACレジスタやデジター・チェーン接続された任意の数のDACの内容を、診断のために読み出すこともできます。

デジター・チェーン接続

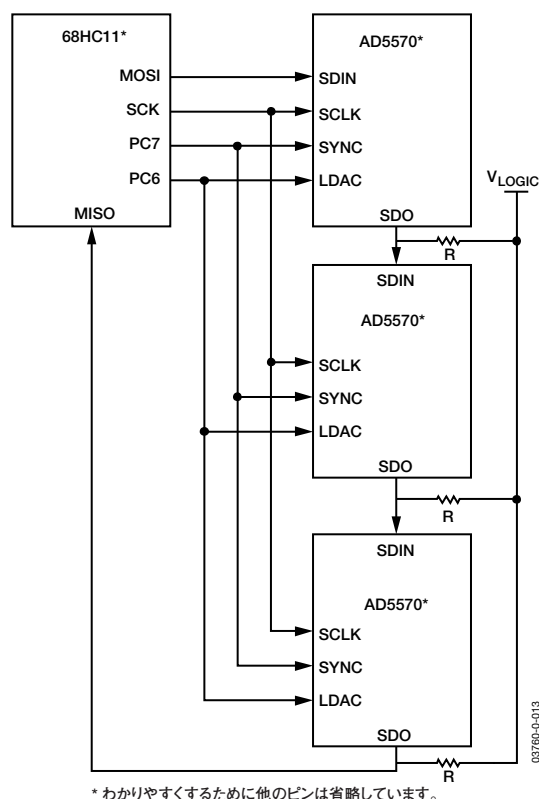
この動作モードは、図37に示すように複数のAD5570をカスケード接続するマルチDACシステム用に設計されています。複数のコントロール入力を並列に接続してから、各デバイスのSDINとSDOのI/Oをデジター・チェーン接続します。デバイスをデジター・チェーン・モードで使用するときには、SDOに5kΩ程度の外付けプルアップ抵抗が必要です。

単一の場合と同様に、 $\overline{\text{SYNC}}$ がローレベルになると、SDINのシリアル・データがSCLKの立ち下がりエッジで入力シフト・レジスタにシフトインされます。16を超えるクロック・パルスが印加されると、データはシフト・レジスタから送出されてSDOラインに現われます。このラインをチェーン内の次のAD5570のSDIN入力に接続すれば、マルチDACインターフェースを構築できます。

システム内のDACごとに、16個のSCLKパルスからなる1つのデータ転送サイクルが必要です。したがって、クロック・サイクルの合計数は16N (Nはチェーン内のデバイスの合計数) にならなければなりません。チェーンに書き込まれた最初のデータ転送サイクルは、最終のデータ転送サイクルでシステム内の最後のDACに現われます。

全デバイスへのシリアル転送が完了したら、 $\overline{\text{SYNC}}$ をハイレベルにしてください。これによって、それ以上のデータがデバイスにクロック入力されないようにします。

$\overline{\text{SYNC}}$ を正しい数のクロック・サイクルの間ローレベルに保持できる場合は、連続SCLKソースを使用できます。あるいは、正しい数のクロック・サイクルを含んでいるバースト・クロックを使用して、少し後で $\overline{\text{SYNC}}$ をハイレベルにすることもできます。 $\overline{\text{LDAC}}$ 信号を使用して、システム内の全DACの出力を同時に更新できます。



* わかりやすくするために他のピンは省略しています。

図37. AD5570を使用するデジター・チェーン接続

リードバック

AD5570は、必要ならばDACレジスタに入っているデータを読み出すことができます。デジター・チェーン接続の場合と同様、SDOに5kΩ程度の外付けプルアップ抵抗が必要です。 $\overline{\text{SYNC}}$ がローレベルのとき、SCLKの立ち下がりエッジでDACレジスタ内のデータがSDOに出力されます。16番目のSCLKエッジで、SDOが更新されて、16クロック・サイクルの遅延でSDINを繰り返します。

デバイスに書き込みせずにDACレジスタの内容を読み出すには、LDACをハイレベルに保持したまま、 $\overline{\text{SYNC}}$ をローレベルにします。

DACデータは適切なレイテンシでDACチェーンを通過するため、DACチェーンの最後のデバイスのSDOピンを使ってリードバックをデジター・チェーン接続することも可能です。

アプリケーション情報

代表的な動作回路

図38に、AD5570の代表的な動作回路を示します。この高精度16ビットDACに必要な唯一の外部コンポーネントは、正の外部リファレンス1つです。リファレンス・バッファを内蔵しているため、負のリファレンス、外付けインバータ、高精度アンプ、抵抗は不要です。このため、コストだけでなくボード・スペースについても全体的に節約できます。

下の回路では、 V_{DD} と V_{SS} を±15Vに接続していますが、 V_{DD} と V_{SS} は+11.4～+16.5Vの電源で動作します。図38では、AGNDSをAGNDに接続していますが、必要であれば、このデバイスにフォース/センスのオプションを入れることもできます。

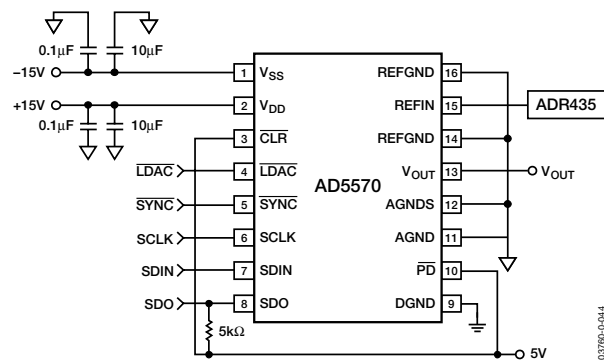


図38. 代表的な動作回路

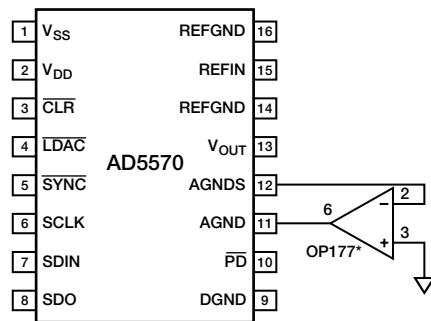
AGNDのフォース/センス

このデバイスはきわめて高精度であるため、グラウンディングや接触抵抗などのシステム設計の課題が非常に重要になります。±10V出力のAD5570では、LSBサイズは305µVです。したがって、ごくわずかな値のコネクタ抵抗や直列配線抵抗によって、LSB単位の電圧降下が生じることがあります。このため、AD5570はフォース/センス出力構成が可能になっています。

図39に、AD5570をフォース/センス・アンプに接続する方法を示します。出力の精度が重要な場合には、OP177などのアンプが理想的です。OP177は超精密なアンプで、オフセット電圧は室温で最大10µV、オフセット・ドリフトは最大0.1µV/°Cです。これに代わる推奨アンプとしては、OP1177があります。セトリング・タイムに関して回路の最適化が必要なアプリケーションでは、AD845を推奨します。

高精度電圧リファレンスの選択

AD5570の最適性能を得るには、十分に考えて高精度電圧リファレンスを選択する必要があります。AD5570にはリファレンス入力REFINのみがありますが、このREFINの電圧によってDACコアに正と負のバッファされたリファレンスを供給します。このため、電圧リファレンスの誤差がデバイスの出力に反映されることになります。



(わかりやすくするために他の接続は省略しています。)

*最大のセトリング・タイム性能を得るにはAD845を推奨します。

03760-0-045

図39. フォース/センス・アンプによるAGNDとAGNDSの駆動

高精度アプリケーションの電圧リファレンスを選択するとき、4つの誤差要因を考慮する必要があります。初期精度、出力電圧の温度係数、長期ドリフト、そして出力電圧ノイズです。

外部リファレンスの出力電圧の初期精度によって、DACのフルスケール誤差が生じることがあります。こうした誤差を最小限に抑えるために、初期精度仕様が優れたリファレンスを使用するとよいでしょう。また、ADR425など出力トリム調整のあるリファレンスを選択すると、システム設計者がリファレンス電圧を公称値以外の電圧に設定することでシステム誤差をなくすことができます。このトリム調整で、温度の誤差を除去することもできます。

長期ドリフト (LTD: Long Term Drift) とは、リファレンスが時間の経過とともにドリフトする量を示しています。長期ドリフトの仕様が厳しいリファレンスを使用すれば、全体を全寿命期間にわたって比較的安定させることができます。

リファレンスの出力電圧の温度係数は、INL、DNL、TUE (Total Unadjust Error) に影響します。DAC出力電圧の周囲条件への依存性を少なくするには、温度係数の仕様が厳しいリファレンスを選択してください。

ノイズのバジェットが比較的低い高精度アプリケーションでは、リファレンスの出力電圧ノイズについて考慮する必要があります。必要なシステム分解能に対して、可能な限り低い出力ノイズ電圧を持つリファレンスを選択することが大切です。ADR435 (XFET) などの高精度電圧リファレンスでは、0.1～10Hz領域で低出力ノイズになります。しかし、回路帯域幅が増加すると、出力ノイズを抑えるためにリファレンスの出力にフィルタをかけなければならなくなります。

AD5570

表8. AD5570に使用できる推奨高精度リファレンス (例)

部品番号	初期精度 (mV max)	長期ドリフト (ppm typ)	温度ドリフト (ppm/°C max)	0.1~10Hzの ノイズ ($\mu\text{V p-p typ}$)
ADR435	± 6	30	3	3.4
ADR425	± 6	50	3	3.4
ADR02 ¹	± 5	50	3	15
ADR395	± 6	50	25	5
AD586	± 2.5	15	10	4

¹ SC70パッケージで使用可能。

レイアウトのガイドライン

精度が重要ななどの回路でも定格の性能を実現するには、電源とグラウンド・リターンレイアウトに十分注意する必要があります。AD5570を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、それぞれをボードの一定の場所にまとめる必要があります。複数のデバイスが1つのAGNDからDGNDへの接続を必要とするシステムでAD5570を使用する場合には、その接続は1点のみで行ってください。できるだけデバイスの近くに星形グラウンド・ポイントを設けるようにしてください。

AD5570では、10 μF と0.1 μF のコンデンサをできるだけパッケージの近く、理想的にはデバイスのすぐ隣で並列接続し、電源に対して十分なバイパスを行う必要があります。10 μF のコンデンサは、タンタル・ビーズ・タイプです。0.1 μF のコンデンサは実効直列抵抗 (ESR) と実効直列インダクタンス (ESI) が低いタイプのものとし、高周波数でグラウンドへの低インピーダンス・パスを提供する通常のセラミック・タイプなどを用い、内部ロジックのスイッチングによる過渡電流を処理します。

AD5570の電源ラインはできるだけ太いパターンにして、低インピーダンス・パスを形成し、電源ラインへのグリッチの影響を低減する必要があります。クロックなどの高速のスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分にノイズが拡散しないようにします。リファレンス入力の近くにクロック信号を通さないでください。SDINラインとSCLKラインの間にグラウンド・ラインを設置することで、2つのラインの間のクロストークが低減します (多層ボードではグラウンド・プレーンが分離されているため不要ですが、ラインの分離は効果的です)。REFINラインでのノイズはDAC出力に結合されるため、最小限に抑える必要があります。

デジタル信号とアナログ信号の交差は避けてください。ボードの反対側のパターンは、互いに直角になるように配置します。これにより、ボードを通過するフィードスルーの影響を低減できます。マイクロストリップ技術は最善ですが、両面ボードでは必ずしも常に使用できるわけではありません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号をハンダ面に配線します。

フォトカプラのインターフェース

プロセス制御アプリケーションでは、多くの場合コントローラと制御されるユニットとの間に絶縁バリアを設ける必要があります。光アイソレータによって、3kVを超える電圧絶縁が得られます。シリアル・ローディング構造によってインターフェース・ラインの数が最小になるため、AD5570の場合は光絶縁インターフェースが理想的です。図40に、AD5570への4チャンネル絶縁インターフェースを示します。複数DACの同時同期が必要であれば、光アイソレータの数を減らすためにLDACピンをローレベルに固定することができます。この場合、SYNCの立ち上がりエッジでDACの更新ができます。

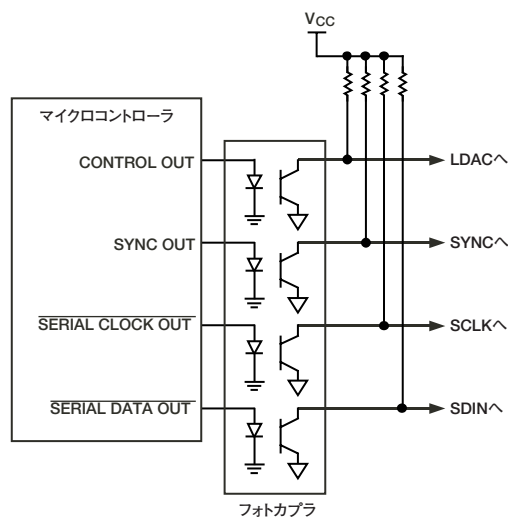


図40. 光絶縁インターフェース

マイクロプロセッサとのインターフェース

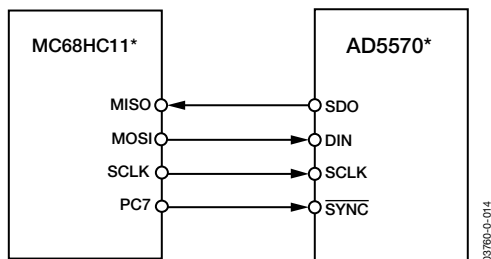
AD5570とマイクロプロセッサとのインターフェースは、マイクロコントローラやDSPプロセッサと互換性のある標準プロトコルを使用するシリアル・バスを介して行います。通信チャンネルは、クロック信号、データ信号、同期信号で構成される3線式 (最少) インターフェースです。AD5570には、SCLKの立ち下がりエッジでデータが有効になる16ビット・データ・ワードが必要です。

すべてのインターフェースで、全データがクロック入力される場合にDAC出力の更新が自動的に行われ、そうでない場合はLDACの制御によって行われます。DACレジスタの内容を読み出すには、リードバック機能を使用します。

AD5570とMC68HC11とのインターフェース

図41に、AD5570とMC68HC11マイクロコントローラとの間のシリアル・インターフェースの例を示します。MC68HC11のシリアル・ペリフェラル・インターフェース (SPI) は、マスター・モード (MSTR=1)、クロック極性ビット (CPOL=0)、クロック位相ビット (CPHA=1) に設定します。SPIを設定するには、SPI制御レジスタ (SPCR) に書き込みます。「68HC11ユーザー・マニュアル」を参照してください。68HC11のSCKがAD5570のSCLKを駆動し、MOSI出力がAD5570のシリアル・データ・ライン (DIN) を駆動し、SDOからMISO入力を駆動します。SYNCは、ポート・ラインの1つ (この場合はPC7) から駆動します。

AD5570にデータが送信されているとき、SYNCライン (PC7) がローレベルになり、データがMSBファーストで送信されます。MOSI出力に現われるデータは、SCKの立ち下がりエッジで有効になります。送信サイクルで8個の立ち下がりクロック・エッジが発生するため、必要な16ビット・ワードをロードするには、2番目の8ビット・ワードがDACの入力シフト・レジスタに転送されるまでPC7をハイレベルにしません。



*わかりやすくするために他のピンは省略しています。

図41. AD5570とMC68HC11とのインターフェース

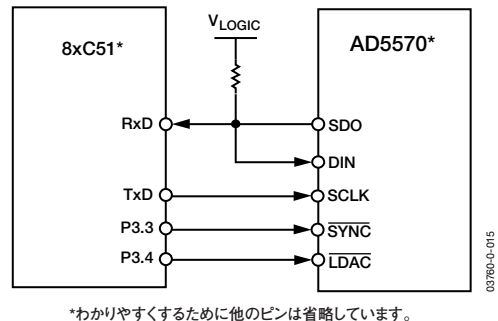
必要であればLDACはPC6ポート出力で制御します。各2バイト転送の後、DACを更新するには、LDACをローレベルにします。この例では、DACの他のシリアル・ラインは示していません。CLRを使用した場合は、たとえばポート出力PC5などで制御できます。

AD5570と8051とのインターフェース

AD5570では、シリアル・データに同期したクロックを必要とします。このため、8051をモード0で動作させる必要があります。このモードでは、シリアル・データの入出をRxDで行い、RxDにシフト・クロックを出力します。

P3.3とP3.4は、シリアル・ポート上のビット・プログラマブル・ピンで、それぞれSYNCとLDACの駆動に使用します。

8051は、そのSBUFレジスタのLSBをデータ・ストリームの最初のビットとして送出します。DACがMSBファーストを要求するため、SBUFレジスタ内のデータを正しく並べかえておく必要があります。



*わかりやすくするために他のピンは省略しています。

図42. AD5570と8051とのインターフェース

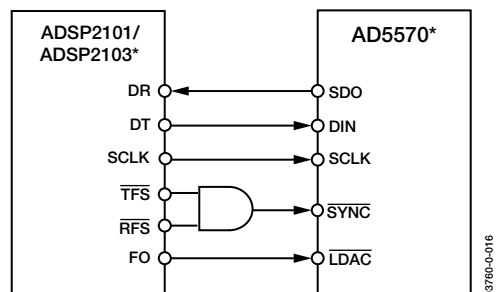
データがDACに送信されるとき、P3.3がローレベルになります。TxDの立ち上がりエッジでRxDのデータがマイクロコントローラからクロック出力され、立ち下がりエッジで有効になります。このため、DACとマイクロコントローラ・インターフェースとの間に調整のためのロジックは必要ありません。

8051は8ビット・バイト単位でデータを送信し、送信サイクル中で発生するのは8個の立ち下がりクロック・エッジのみです。DACが16ビット・ワードを要求するため、最初の8ビットが転送された後、SYNC (P3.3) をローレベルのままにしておく必要があります。2番目のバイトが転送された後、P3.3ラインがハイレベルになります。DACを更新するには、8051のP3.4を介してLDACを使用します。

AD5570とADSP2101/ADSP2103

図43に、AD5570とADSP2101/ADSP2103との間のインターフェースを示します。ADSP2101/ADSP2103は、SPORT送信オルタネート・フレーミング・モードに設定してください。SPORTコントロール・レジスタを通じてADSP2101/ADSP2103のプログラムが設定されますが、内部クロック動作、アクティブ・ロー・フレーミング、16ビット・ワード長にする必要があります。

転送を開始するには、SPORTをイネーブルにしてから、Txレジスタに1ワードを書き込みます。データはSCLKの立ち上がりエッジでDSPからクロック出力されるため、DSPとDACのインターフェースに調整のためのロジックは不要です。ここに示すインターフェースでは、DAC出力の更新には、DSPを介してLDACピンを使用します。または、LDAC入力をローレベルに固定しておけば、TFSがハイレベルになったとき更新が自動的に行われます。



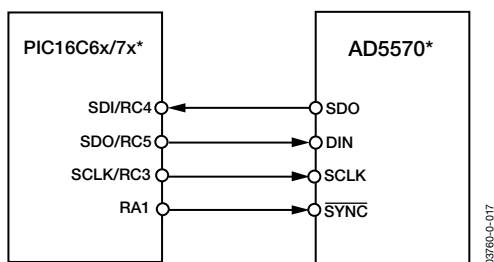
*わかりやすくするために他のピンは省略しています。

図43. AD5570とADSP2101/ADSP2103とのインターフェース

AD5570

AD5570とPIC16C6x/7xとのインターフェース

PIC16C6x/7x同期シリアル・ポート (SSP) は、クロック極性ビットを0に設定してSPIマスターとして設定されます。これには、同期シリアル・ポート・コントロール・レジスタ (SSPCON) に書き込みを行います。「PIC16/17マイクロコントローラ・ユーザー・マニュアル」を参照してください。この例では、I/OポートRA1を使用して、SYNCにパルスを与え、AD5570のシリアル・ポートをイネーブルにします。各シリアル転送動作中に、このマイクロコントローラが転送するのは8ビットのデータのみです。このため、2つの連続した書き込み動作が必要です。図44に接続図を示します。



*わかりやすくするために他のピンは省略しています。

図44. AD5570とPIC16C6x/7xとのインターフェース

評価用ボード

最小限の労力で設計者がAD5570の高い性能を評価できるように、AD5570には完全な評価用ボードが備わっています。評価用ボードに必要なものは、電源、PC、オシロスコープのみです。

AD5570評価用キットには、実装およびテスト済みのAD5570プリント回路ボードが入っています。この評価用ボードをPCの平行・インターフェース (プリンタ・ポート) に接続します。評価用ボードに添付のソフトウェアを使用すれば、AD5570のプログラムが簡単にできます。図45に、評価用ボードの回路図を示します。このソフトウェアは、Microsoft Windows® 95/98/ME/2000がインストールされているPCで実行できます。

評価用ボードの動作の詳細については、アプリケーション・ノートを参照してください。

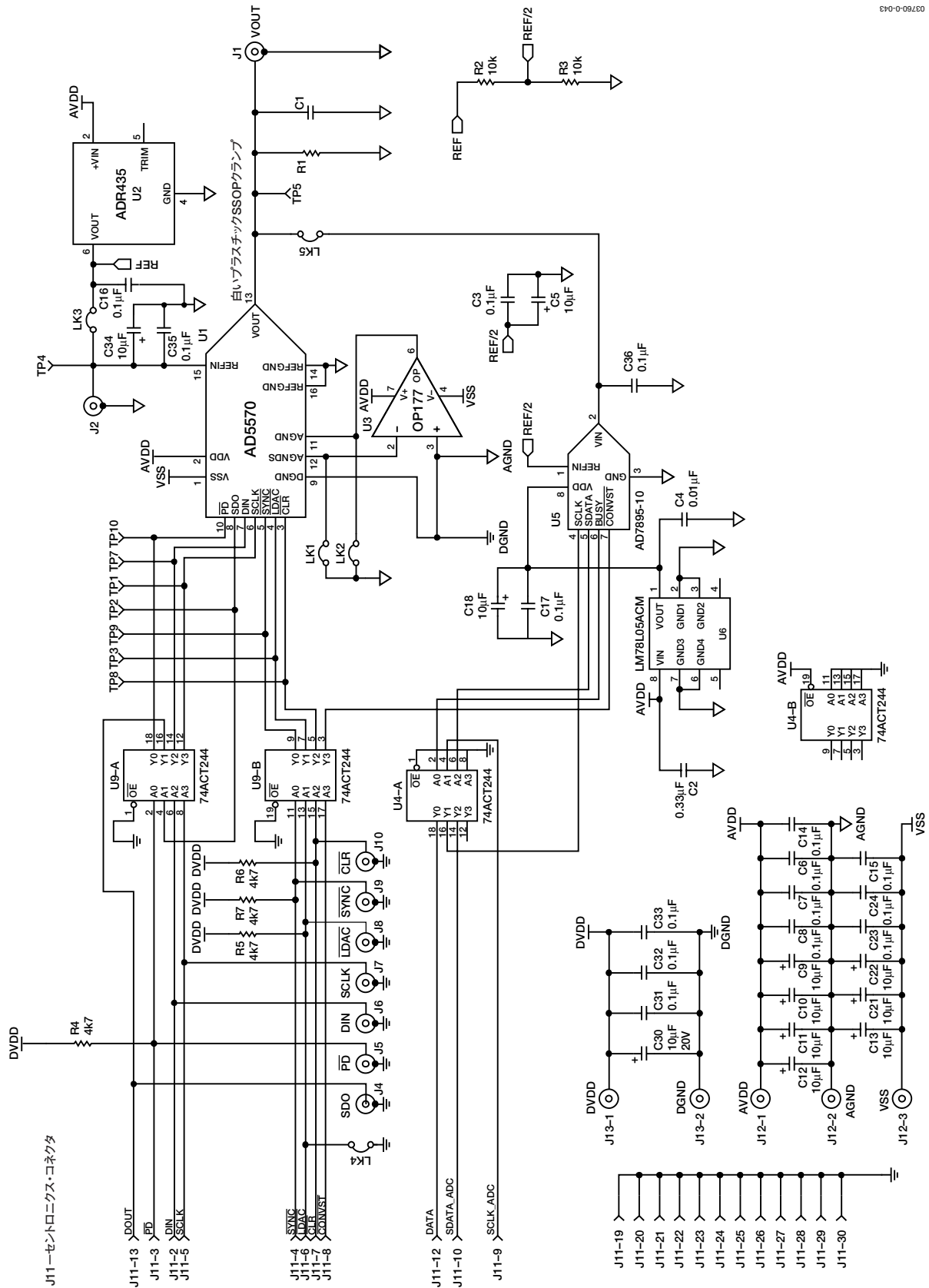


図45. 評価用ボードの回路図

AD5570

外形寸法

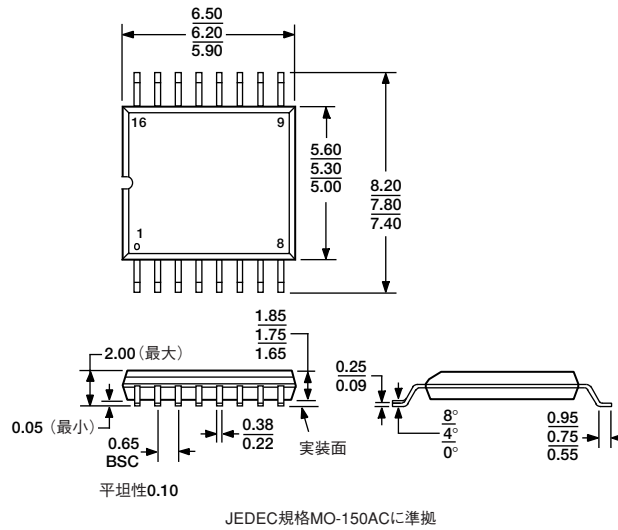


図46. 16ピン・シュリンク・スモール・アウトライン・パッケージ [SSOP]
(RS-16)
寸法単位：mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD5570ARS	-40 ~ +85°C	16ピンSSOP	RS-16
AD5570ARS-REEL	-40 ~ +85°C	16ピンSSOP	RS-16
AD5570ARS-REEL7	-40 ~ +85°C	16ピンSSOP	RS-16
AD5570BRS	-40 ~ +85°C	16ピンSSOP	RS-16
AD5570BRS-REEL	-40 ~ +85°C	16ピンSSOP	RS-16
AD5570BRS-REEL7	-40 ~ +85°C	16ピンSSOP	RS-16
AD5570WRS	-40 ~ +125°C	16ピンSSOP	RS-16
AD5570WRS-REEL	-40 ~ +125°C	16ピンSSOP	RS-16
AD5570WRS-REEL7	-40 ~ +125°C	16ピンSSOP	RS-16
AD5570YRS	-40 ~ +125°C	16ピンSSOP	RS-16
AD5570YRS-REEL	-40 ~ +125°C	16ピンSSOP	RS-16
AD5570YRS-REEL7	-40 ~ +125°C	16ピンSSOP	RS-16
Eval-AD5570EB		評価用ボード	

C0003383-10011000(00)J