

特長

- フル 16 ビット性能
- 単電源動作: 2.7 V~5.5 V
- 低消費電力: 3 V で 0.375 mW
- セトリング・タイム: 1 μ s
- 温度範囲: -40°C~+125°C
- 低グリッチ: 1.1 nV-sec
- 50 MHz の SPI-/QSPI-/MICROWIRE-/DSP 互換インターフェース規格
- パワーオン・リセットで DAC 出力をゼロ・スケールに設定
- 10 ピン MSOP パッケージを採用
- ハードウェア LDAC 機能
- ESD 保護機能: 5 kV HBM

アプリケーション

- 自動テスト装置
- 高精度ソース測定機器
- データ・アキュイジション・システム
- 医療計測機器
- 航空宇宙計測機器
- 通信インフラストラクチャ装置
- 工業用制御

概要

AD5541A は、2.7 V~5.5 V の単電源で動作する、バッファなし電圧出力の 1 チャンネル 16 ビット・シリアル入力 D/A コンバータ (DAC) です。

0 V~VREF の DAC 出力範囲で単調性を保証し、-40°C~+125°C の全仕様温度範囲で調整なしで、16 ビットで 1 LSB INL 精度を提供します。

AD5541A はバッファなし出力を採用して、1 μ s のセトリング・タイム、低消費電力、低オフセット誤差を実現しています。このデバイスは、11.8 nV/ $\sqrt{\text{Hz}}$ の低ノイズ性能と低グリッチを提供するため、複数のエンド・システム間での採用に適しています。

AD5541A は、50 MHz の SPI、QSPI™、MICROWIRE™、DSP の各インターフェース規格と互換性を持つ多機能 3 線式インターフェースを採用しています。

機能ブロック図

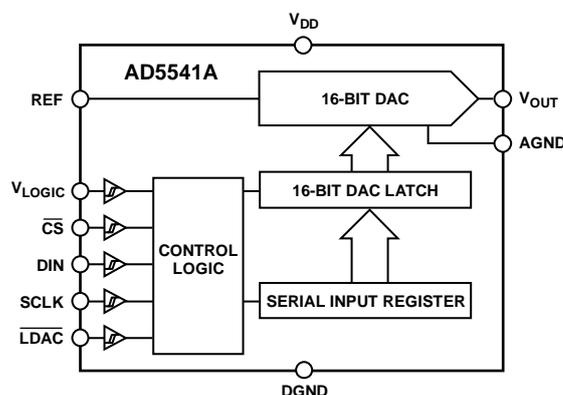


図 1.

製品のハイライト

- 単電源動作。AD5541A の仕様は、2.7 V~5.5 V の単電源に対して仕様規定/保証されています。
- 低消費電力。デバイスの消費電力は、5 V 電源で 0.625 mW (typ)、3 V で 0.375 mW です。
- 3 線式シリアル・インターフェース。
- バッファなし出力は、60 k Ω 負荷を駆動することができます。このため、駆動する内部バッファがないので消費電力が削減されます。
- パワーオン・リセット回路を内蔵。

表 1. 関連デバイス

| Part No. | Description |
|------------------------------|--|
| AD5541 | Single, 16-bit unbuffered <i>nano</i> DAC, ± 1 LSB INL, SOIC |
| AD5024/ AD5044/ AD5064 | Quad 12-/14-/16-bit <i>nano</i> DAC, ± 1 LSB INL, TSSOP |
| AD5062 | Single, 16-bit <i>nano</i> DAC, ± 1 LSB INL, SOT-23 |
| AD5063 | Single, 16-bit <i>nano</i> DAC, ± 1 LSB INL, MSOP |
| AD5061 | Single, 16-bit <i>nano</i> DAC, ± 4 LSB INL, SOT-23 |
| AD5040/AD5060 | 14-/16-bit <i>nano</i> DAC, ± 1 LSB INL, SOT-23 |

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2010 Analog Devices, Inc. All rights reserved.

目次

| | | | |
|---------------------|----|-----------------------------------|----|
| 特長..... | 1 | ユニポーラ出力動作..... | 14 |
| アプリケーション..... | 1 | 出力アンプの選択..... | 14 |
| 機能ブロック図..... | 1 | フォース・センス・アンプの選択..... | 15 |
| 概要..... | 1 | リファレンスとグラウンド..... | 15 |
| 製品のハイライト..... | 1 | パワーオン・リセット..... | 15 |
| 改訂履歴..... | 2 | 電源とリファレンスのバイパス..... | 15 |
| 仕様..... | 3 | アプリケーション情報..... | 16 |
| AC特性..... | 4 | マイクロプロセッサ・インターフェース..... | 16 |
| タイミング特性..... | 5 | AD5541AとADSP-BF531とのインターフェース..... | 16 |
| 絶対最大定格..... | 6 | AD5541AとSPORTとのインターフェース..... | 16 |
| ESDの注意..... | 6 | レイアウトのガイドライン..... | 16 |
| ピン配置およびピン機能説明..... | 7 | 電流絶縁型インターフェース..... | 16 |
| 代表的な性能特性..... | 8 | 複数DACのデコーディング..... | 17 |
| 用語..... | 12 | 外形寸法..... | 18 |
| 動作原理..... | 13 | オーダー・ガイド..... | 18 |
| D/Aコンバータ・セクション..... | 13 | | |
| シリアル・インターフェース..... | 13 | | |

改訂履歴

7/10—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $2.5\text{ V} \leq V_{REF} \leq V_{DD}$ 、 $AGND = DGND = 0\text{ V}$ 、 $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表 2.

| Parameter | Min | Typ | Max | Unit | Test Condition |
|---|-----|------------|--------------------------|-----------------------|--|
| STATIC PERFORMANCE | | | | | |
| Resolution | 16 | | | Bits | |
| Relative Accuracy (INL) | | ± 0.5 | ± 1.0 | LSB | B grades |
| | | ± 0.5 | ± 2.0 | LSB | A grade |
| Differential Nonlinearity (DNL) | | ± 0.5 | ± 1.0 | LSB | Guaranteed monotonic |
| Gain Error | | 0.5 | ± 2 | LSB | $T_A = 25^\circ\text{C}$ |
| | | | ± 3 | LSB | $-40^\circ\text{C} < T_A < +85^\circ\text{C}$ |
| | | | ± 4 | LSB | $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ |
| Gain Error Temperature Coefficient | | ± 0.1 | | ppm/ $^\circ\text{C}$ | |
| Zero-Code Error | | 0.3 | ± 0.7 | LSB | $T_A = 25^\circ\text{C}$ |
| | | | ± 1.5 | LSB | $-40^\circ\text{C} < T_A < +85^\circ\text{C}$ |
| | | | ± 3 | LSB | $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ |
| Zero-Code Temperature Coefficient | | ± 0.05 | | ppm/ $^\circ\text{C}$ | |
| DC Power Supply Rejection Ratio | | | ± 1 | LSB | $\Delta V_{DD} \pm 10\%$ |
| OUTPUT CHARACTERISTICS¹ | | | | | |
| Output Voltage Range | 0 | | $V_{REF} - 1\text{ LSB}$ | V | Unipolar operation |
| DAC Output Impedance | | 6.25 | | k Ω | Tolerance typically 20% |
| DAC REFERENCE INPUT² | | | | | |
| Reference Input Range | 2.0 | | V_{DD} | V | Unipolar operation |
| Reference Input Resistance | 9 | | | k Ω | Code 0x0000 |
| Reference Input Capacitance | | 26 | | pF | Code 0xFFFF |
| | | 26 | | pF | |
| LOGIC INPUTS | | | | | |
| Input Current | | | ± 1 | μA | |
| Input Low Voltage, V_{INL} | | | 0.8 | V | $V_{DD} = 2.7\text{ V to } 5.5\text{ V}$ |
| Input High Voltage, V_{INH} | 2.4 | | | V | $V_{DD} = 2.7\text{ V to } 5.5\text{ V}$ |
| Input Capacitance ¹ | | | 10 | pF | |
| Hysteresis Voltage ¹ | | 0.15 | | V | |
| POWER REQUIREMENTS | | | | | |
| V_{DD} | 2.7 | | 5.5 | V | All digital inputs at 0, V_{LOGIC} , or V_{DD} |
| I_{DD} | | 125 | 150 | μA | $V_{IH} = V_{LOGIC}$ or V_{DD} and $V_{IL} = \text{GND}$ |
| V_{LOGIC} | 1.8 | | 5.5 | V | |
| I_{LOGIC} | | 15 | 24 | μA | All digital inputs at 0, V_{LOGIC} , or V_{DD} |
| Power Dissipation | | 0.625 | 0.825 | mW | |

¹ 設計上保証しますが、出荷テストは行いません。

² リファレンス入力抵抗はコードに依存し、0x8555 で最小になります。

AC特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $2.5\text{ V} \leq V_{REF} \leq V_{DD}$ 、 $AGND = DGND = 0\text{ V}$ 、 $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表 3.

| Parameter | Min | Typ | Max | Unit | Test Condition |
|----------------------------------|-----|-------|-----|------------------------------|--|
| Output Voltage Settling Time | | 1 | | μs | To 1/2 LSB of FS, $C_L = 10\text{ pF}$ |
| Slew Rate | | 17 | | $\text{V}/\mu\text{s}$ | $C_L = 10\text{ pF}$, measured from 0% to 63% |
| Digital-to-Analog Glitch Impulse | | 1.1 | | $\text{nV}\cdot\text{sec}$ | 1 LSB change around major carry |
| Reference -3 dB Bandwidth | | 2.2 | | MHz | All 1s loaded |
| Reference Feedthrough | | 1 | | mV p-p | All 0s loaded, $V_{REF} = 1\text{ V p-p}$ at 100 kHz |
| Digital Feedthrough | | 0.2 | | $\text{nV}\cdot\text{sec}$ | |
| Signal-to-Noise Ratio | | 92 | | dB | |
| Spurious Free Dynamic Range | | 80 | | dB | Digitally generated sine wave at 1 kHz |
| Total Harmonic Distortion | | 74 | | dB | DAC code = 0xFFFF, frequency 10 kHz, $V_{REF} = 2.5\text{ V} \pm 1\text{ V p-p}$ |
| Output Noise Spectral Density | | 11.8 | | $\text{nV}/\sqrt{\text{Hz}}$ | DAC code = 0x8400, frequency = 1 kHz |
| Output Noise | | 0.134 | | $\mu\text{V p-p}$ | 0.1 Hz to 10 Hz |

タイミング特性

特に指定がない限り、 $V_{\text{LOGIC}} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 、 $V_{\text{DD}} = 5 \text{ V}$ 、 $2.5 \text{ V} \leq V_{\text{REF}} \leq V_{\text{DD}}$ 、 $V_{\text{INH}} = V_{\text{LOGIC}}$ の 90%、 $V_{\text{INL}} = V_{\text{LOGIC}}$ の 10%、 $\text{AGND} = \text{DGND} = 0 \text{ V}$ 、 $-40^\circ\text{C} < T_{\text{A}} < +125^\circ\text{C}$ 。

表 4.

| Parameter ^{1,2} | Limit | Unit | Description |
|--------------------------|-------|---------|--|
| f_{SCLK} | 50 | MHz max | SCLK cycle frequency |
| t_1 | 20 | ns min | SCLK cycle time |
| t_2 | 10 | ns min | SCLK high time |
| t_3 | 10 | ns min | SCLK low time |
| t_4 | 5 | ns min | $\overline{\text{CS}}$ low to SCLK high setup |
| t_5 | 5 | ns min | $\overline{\text{CS}}$ high to SCLK high setup |
| t_6 | 5 | ns min | SCLK high to $\overline{\text{CS}}$ low hold time |
| t_7 | 5 | ns min | SCLK high to $\overline{\text{CS}}$ high hold time |
| t_8 | 10 | ns min | Data setup time |
| t_9 | 4 | ns min | Data hold time ($V_{\text{INH}} = 90\%$ of V_{DD} , $V_{\text{INL}} = 10\%$ of V_{DD}) |
| t_9 | 5 | ns min | Data hold time ($V_{\text{INH}} = 3 \text{ V}$, $V_{\text{INL}} = 0 \text{ V}$) |
| t_{10} | 20 | ns min | $\overline{\text{LDAC}}$ pulsewidth |
| t_{11} | 10 | ns min | $\overline{\text{CS}}$ high to $\overline{\text{LDAC}}$ low setup |
| t_{12} | 15 | ns min | $\overline{\text{CS}}$ high time between active periods |

¹ デザインとキャラクタライゼーションにより保証します。出荷テストは実施しません。

² すべての入力信号は $t_{\text{r}} = t_{\text{f}} = 1 \text{ ns}/V$ で規定し、 $(V_{\text{INL}} + V_{\text{INH}})/2$ の電圧レベルからの時間とします。

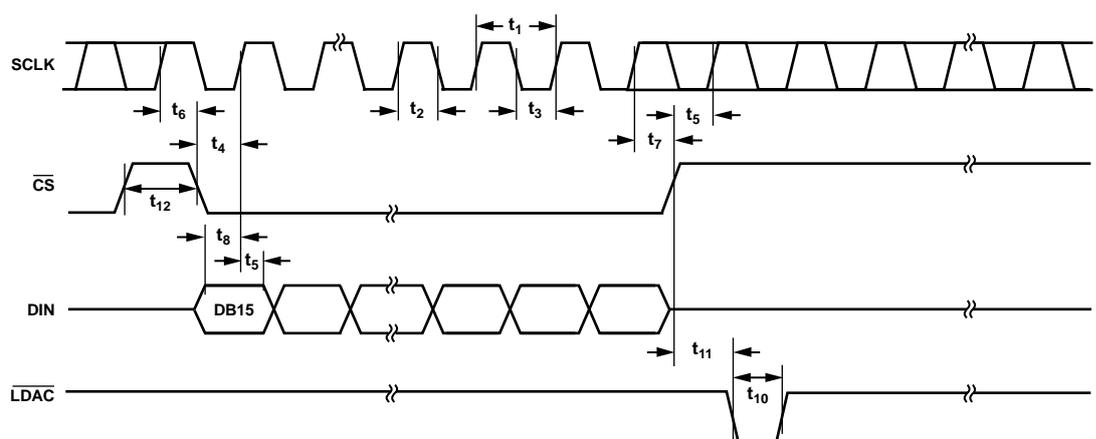


図 2. タイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 5.

| Parameter | Rating |
|---|---|
| V_{DD} to AGND | -0.3 V to +6 V |
| V_{LOGIC} to DGND | -0.3 V to +6 V |
| Digital Input Voltage to DGND | -0.3 V to $V_{DD}/V_{LOGIC} + 0.3$ V |
| V_{OUT} to AGND | -0.3 V to $V_{DD} + 0.3$ V |
| AGND to DGND | -0.3 V to +0.3 V |
| Input Current to Any Pin Except Supplies | ± 10 mA |
| Operating Temperature Range | |
| Industrial (A, B Versions) | -40°C to $+125^\circ\text{C}$ |
| Storage Temperature Range | -65°C to $+150^\circ\text{C}$ |
| Maximum Junction Temperature (T_J max) | 150°C |
| Package Power Dissipation | $(T_J \text{ max} - T_A)/\theta_{JA}$ |
| Thermal Impedance, θ_{JA} | |
| MSOP (RM-10) | $135^\circ\text{C}/\text{W}$ |
| Lead Temperature, Soldering | |
| Peak Temperature ¹ | 260°C |
| ESD ² | 5 kV |

¹ JEDEC Standard 20 に準拠。

² 人体モデル (HBM)。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

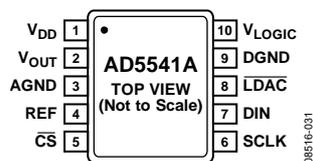


図 3.AD5541A の 10 ピン MSOP ピン配置

表 6.AD5541A のピン機能説明

| ピン番号 | 記号 | 説明 |
|------|--------------------------|--|
| 1 | V _{DD} | アナログ電源電圧、5 V ± 10%。 |
| 2 | V _{OUT} | DAC からのアナログ出力電圧。 |
| 3 | AGND | アナログ回路に対するグラウンド基準ポイント。 |
| 4 | REF | DAC のリファレンス電圧入力。外付け 2.5 V リファレンスに接続します。リファレンス電圧範囲は 2 V ~ V _{DD} 。 |
| 5 | $\overline{\text{CS}}$ | ロジック入力。このチップ・セレクト信号を使ってシリアル・データ入力をフレーム化します。 |
| 6 | SCLK | クロック入力。データは、SCLK の立上がりエッジで入力レジスタに入力されます。デューティ・サイクルは、40% ~ 60% である必要があります。 |
| 7 | DIN | シリアル・データ入力。このデバイスは、16 ビット・ワードを受け付けます。データは、SCLK の立上がりエッジで入力レジスタに入力されます。 |
| 8 | $\overline{\text{LDAC}}$ | $\overline{\text{LDAC}}$ 入力。この入力をロー・レベルにすると、DAC レジスタがシリアル・レジスタ・データ値で同時に更新されます。 |
| 9 | DGND | デジタル・グラウンド。デジタル回路のグラウンド基準。 |
| 10 | V _{LOGIC} | ロジック電源。 |

代表的な性能特性

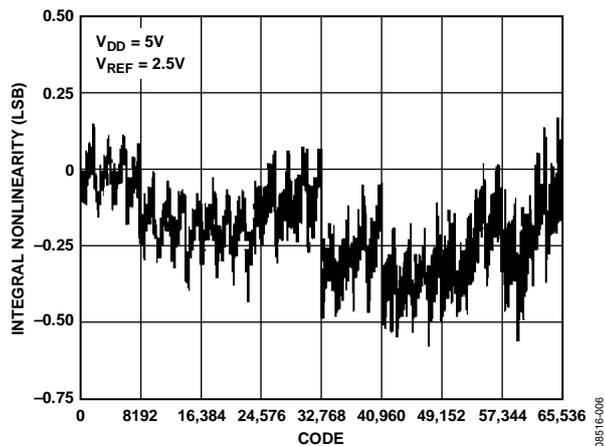


図 4.コード対積分非直線性

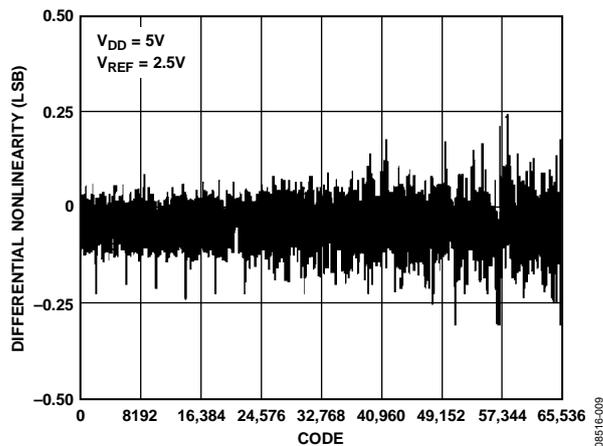


図 7.コード対微分非直線性

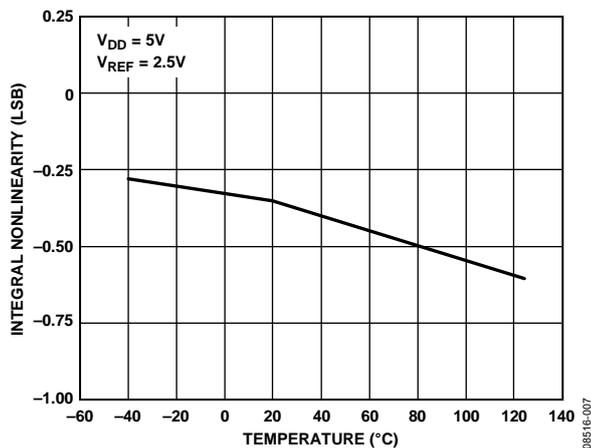


図 5.積分非直線性の温度特性

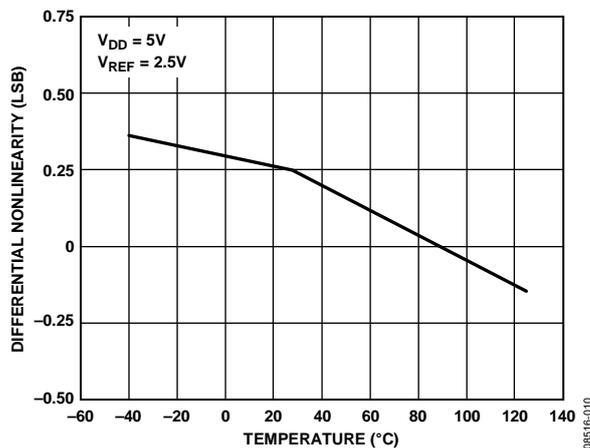


図 8.微分非直線性の温度特性

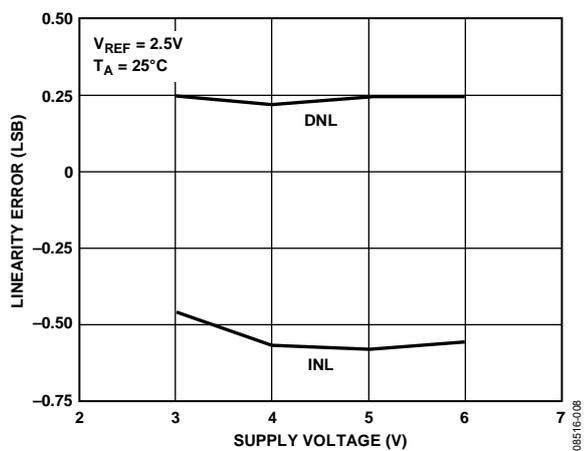


図 6.電源電圧対直線性誤差

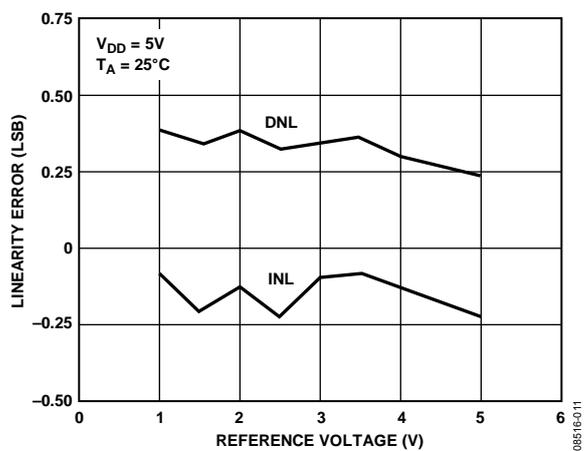


図 9.リファレンス電圧対直線性誤差

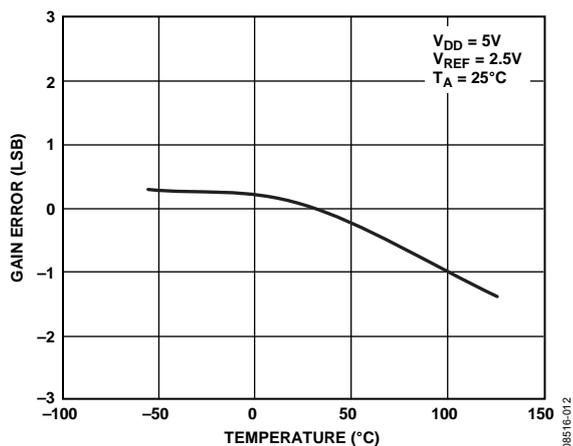


図 10. ゲイン誤差の温度特性

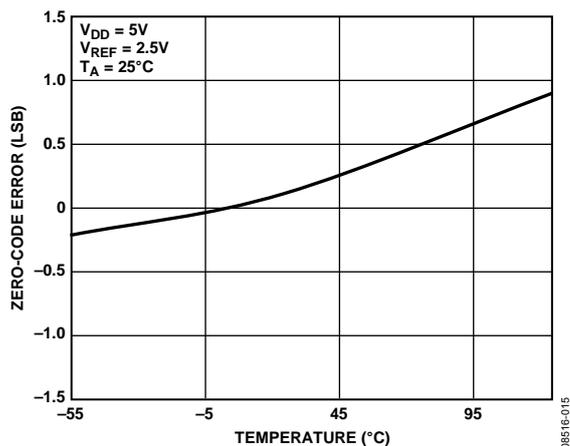


図 13. ゼロ・コード誤差の温度特性

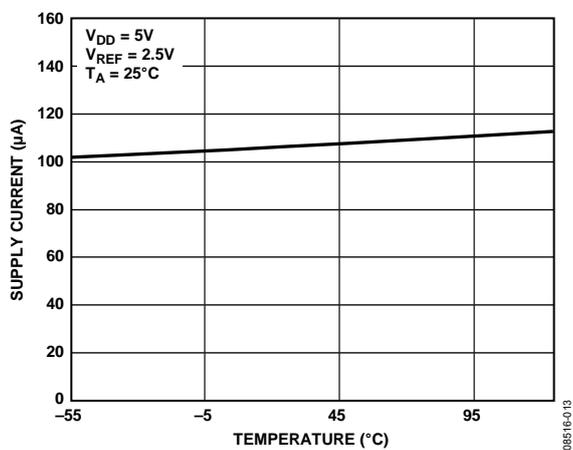


図 11. 電源電流の温度特性

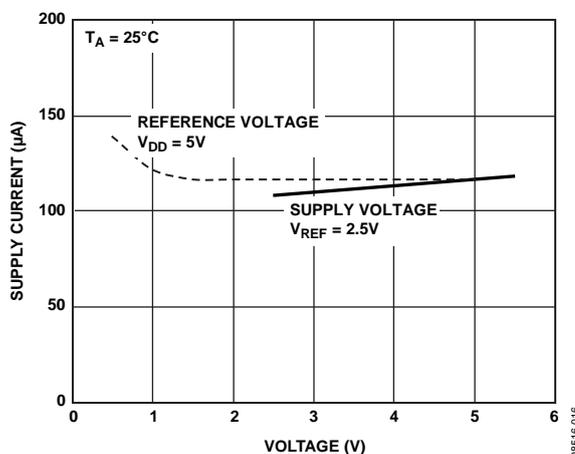


図 14. リファレンス電圧または電源電圧対電源電流

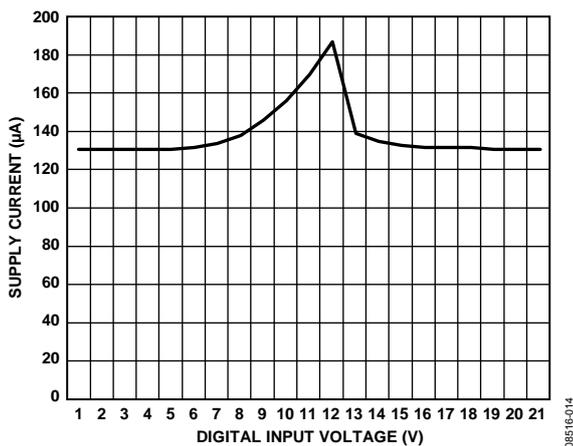


図 12. デジタル入力電圧対電源電流

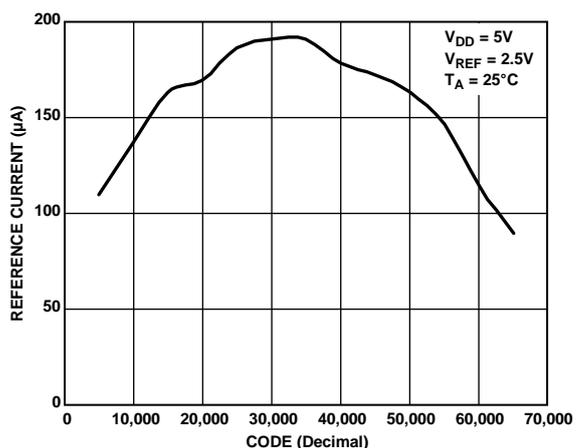


図 15. コード対リファレンス電流

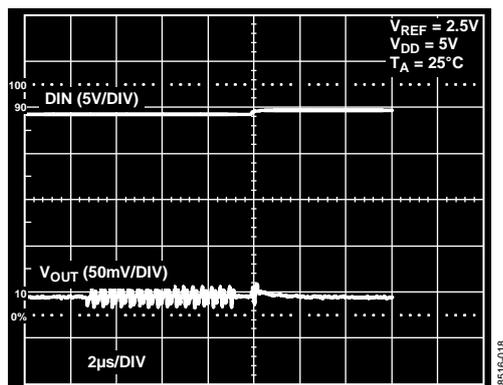


図 16. デジタル・フィードスルー

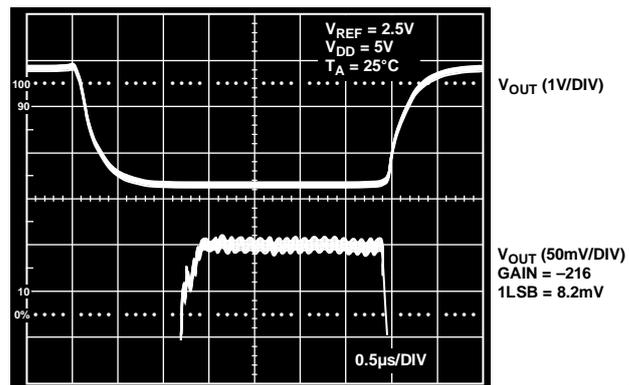


図 19. 小信号セトリング・タイム

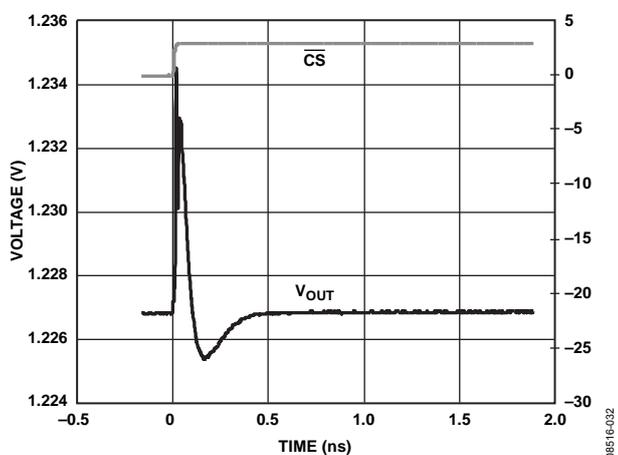


図 17. デジタルからアナログへのグリッチ・インパルス

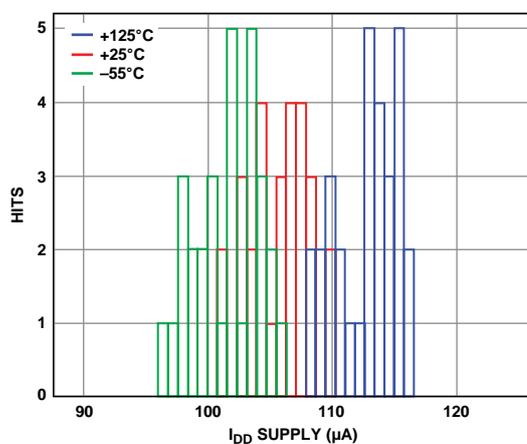


図 20. アナログ電源電流のヒストグラム

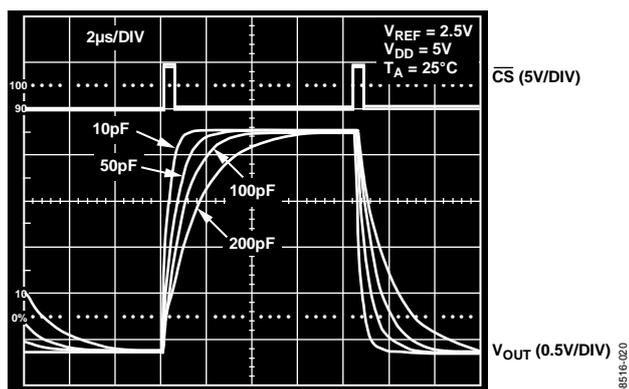


図 18. 大信号セトリング・タイム

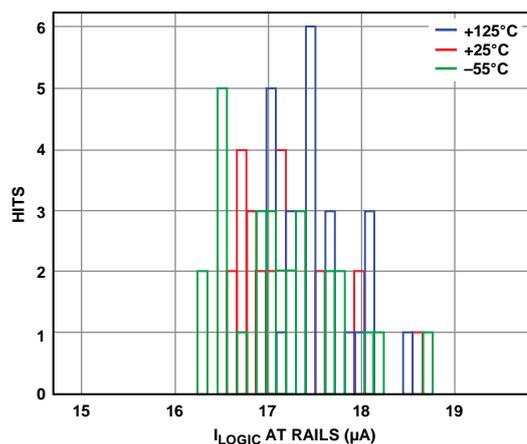


図 21. デジタル電源電流のヒストグラム

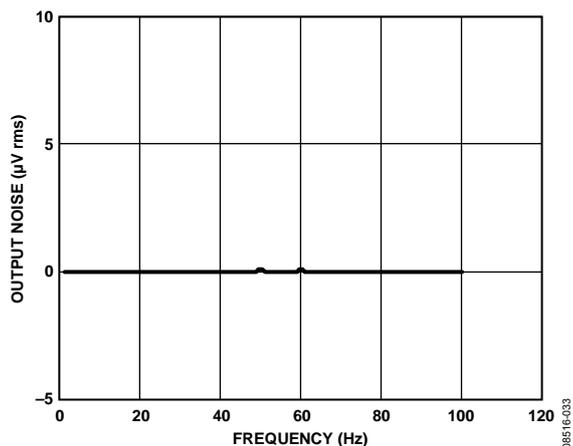


図 22. 0.1 Hz~10 Hz の出カノイズ

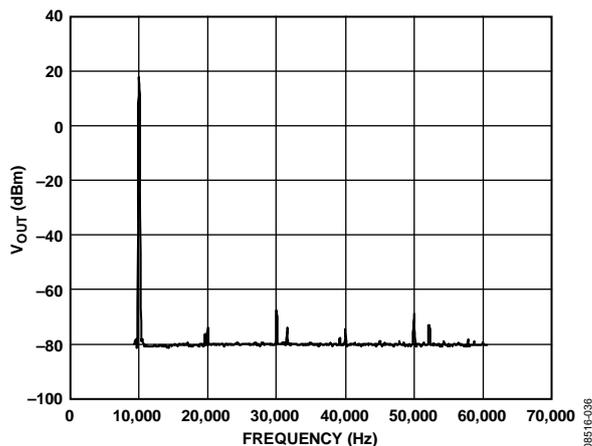


図 25. 総合高調波歪み

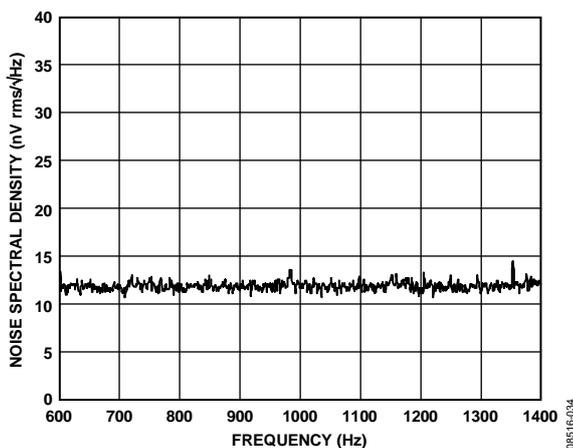


図 23. ノイズ・スペクトル密度の周波数特性、1 kHz

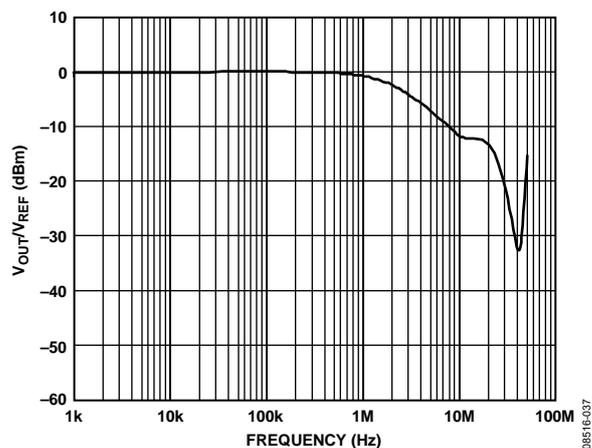


図 26. 乗算帯域幅

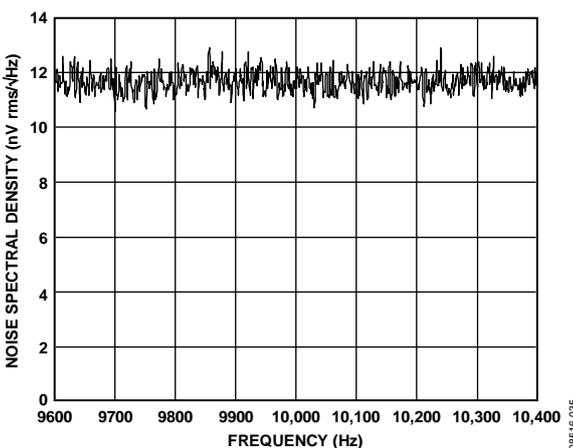


図 24. ノイズ・スペクトル密度の周波数特性、10 kHz

用語

相対精度または積分非直線性(INL)

DACの場合、相対高精度すなわちINLは、DAC伝達関数の上下両端を結ぶ直線からの最大乖離(LSB数で表示)を表します。INL(typ)対コードのプロットを 図 4 に示します。

微分非直線性(DNL)

DNLは、隣接する2つのコードの間における測定された変化と理論的な1 LSB変化との差をいいます。最大1 LSBの微分非直線性の仕様は、単調性を保証するものです。DNL(typ)対コードのプロットを 図 7 に示します。

ゲイン誤差

ゲイン誤差は、アナログ出力範囲の理論値と実測値の差であり、フルスケール範囲のパーセント値で表わします。これは理論 DAC 伝達関数の傾きからの偏差を意味します。

ゲイン誤差温度係数

ゲイン誤差温度係数は、温度変化に対するゲイン誤差の変化を表し、ppm/°C で表されます。

ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コードを DAC レジスタにロードしたときの出力として測定されます。

ゼロ・コード温度係数

温度変化に対するゼロ・コード誤差の変化を意味し、mV/°C で表されます。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DACレジスタ内の入力コードが変化したときに、アナロ

グ出力に混入するインパルスを表します。通常、nV-sec で表すグリッチの面積として規定され、主要キャリ変化時に、デジタル入力コードが1 LSBだけ変化したときに測定されます。デジタルからアナログへのグリッチ・インパルスプロットを 図 17 に示します。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表します。SCLK信号とDIN信号がトグルしている間、 \overline{CS} はハイ・レベルに維持されます。nV-secで規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット0から全ビット1への変化、またはその逆の変化のときに測定されます。代表的なデジタル・フィードスルーのプロットを 図 16 に示します。

電源除去比(PSRR)

PSRRは、電源電圧変化のDAC出力に対する影響を表します。電源除去比は、DACフルスケール出力での、 V_{DD} のパーセント値変化に対する出力のパーセント値変化で表わされます。 V_{DD} は±10%変化させます。

リファレンス・フィードスルー

リファレンス・フィードスルーは、DACに全ビット0をロードしたときの、 V_{REF} 入力からDAC出力へのフィードスルーを表わします。100 kHz、1 V p-pを V_{REF} へ入力します。リファレンス・フィードスルーはmV p-pで表わされます。

動作原理

AD5541A は 1 チャンネル、シリアル入力の 16 ビット電圧出力 DAC です。このデバイスは 2.7 V~5 V の単電源で動作し、5 V 電源での消費電流は 125 μA (typ) です。データは、3 線式または 4 線式のシリアル・インターフェースを使って 16 ビット・ワード・フォーマットでこれらのデバイスに書込まれます。既知のパワーアップ状態を保証するため、このデバイスはパワーオン・リセット機能を採用しています。出力は 0 V にリセットされます。

D/Aコンバータ・セクション

DACアーキテクチャは、2 つの一致したDACセクションから構成されています。簡略化した回路図を 図 27 に示します。AD5541AのDAC アーキテクチャは、セグメント化されています。16 ビット・データ・ワードの上位 4 ビットはデコードされて、15 個のスイッチ(E1~E15)を駆動します。各スイッチは、15 個の一致した抵抗の 1 つをAGNDまたはV_{REF}に接続します。データ・ワードの残りの 12 ビットは、12 ビット電圧モードR-2Rラダー回路のスイッチ(S0~S11)を駆動します。

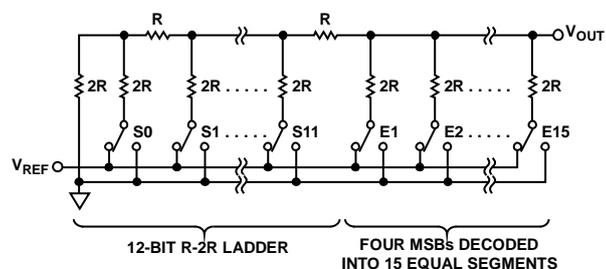


図 27. DAC アーキテクチャ

このタイプの DAC 構成では、出力インピーダンスはコードに依存しませんが、リファレンスから見た入力インピーダンスは、強くコードに依存します。出力電圧はリファレンス電圧に依存し、次式で表わされます。

$$V_{OUT} = \frac{V_{REF} \times D}{2^N}$$

ここで、

D は DAC レジスタにロードされる 10 進データ。

N は DAC の分解能です。

リファレンス電圧 = 2.5 V の場合、式は次のように簡素化されま

$$V_{OUT} = \frac{2.5 \times D}{65,536}$$

この式から、DAC にミッド・スケールをロードしたとき $V_{OUT} = 1.25$ V、フルスケールをロードしたとき $V_{OUT} = 2.5$ V が得られます。

LSB サイズは $V_{REF}/65,536$ です。

シリアル・インターフェース

AD5541Aは、最大 50 MHzのクロック・レートで動作し、かつ SPI、QSPI、MICROWIRE、DSPの各インターフェース規格と互換性を持つ多機能の 3 線式または 4 線式のシリアル・インターフェースを介して制御されます。タイミング図を 図 2 に示します。AD5541Aは、16 ビット DAC レジスタとは別のシリアル入力レジスタを内蔵しているため、現在の DAC 出力電圧を乱すことなくシリアル入力レジスタに新しいデータ値をプリロードすることができます。

入力データは、チップ・セレクト入力 \overline{CS} を使ってフレーム化されます。 \overline{CS} がハイ・レベルからロー・レベルへ変化すると、データは同期シフトされ、シリアル・クロック SCLK の立上がりエッジでシリアル入力レジスタにラッチされます。16 データビットがシリアル入力レジスタにロードされた後に、 \overline{CS} がロー・レベルからハイ・レベルへ変化すると、LDAC がロー・レベルに維持されている場合、シフトレジスタ値が DAC レジスタへ転送されます。この時点でLDACがハイ・レベルである場合、 \overline{CS} のロー・レベルからハイ・レベルへの変化で、値はシリアル入力レジスタへ転送されるだけです。新しい値がすべてシリアル入力レジスタにロードされた後、LDAC ピンにパルスを入力することにより、DAC レジスタへ非同期転送することができます。データは、MSB ファーストの 16 ビット・ワードでロードされます。データは、 \overline{CS} がロー・レベルのときにのみ、デバイスへロードすることができます。

ユニポーラ出力動作

このDACは、60 kΩのバッファなし負荷を駆動することができます。バッファなし動作により、300 μA (typ)の低電源電流と低オフセット誤差が実現されています。AD5541Aは 0 V ~ V_{REF} のユニポーラ出力振幅を提供します。図 28 に、代表的なユニポーラ出力電圧回路を示します。この動作モードのコード表を 表 7 に示します。この例には、ADR421 の 2.5 V リファレンス電圧とAD8628 の低オフセットとゼロ・ドリフト・リファレンス・バッファが含まれています。

表 7.ユニポーラ・コード表

| DAC Latch Contents | | Analog Output |
|--------------------|----------------|--|
| MSB | LSB | |
| 1111 | 1111 1111 1111 | $V_{REF} \times (65,535/65,536)$ |
| 1000 | 0000 0000 0000 | $V_{REF} \times (32,768/65,536) = \frac{1}{2} V_{REF}$ |
| 0000 | 0000 0000 0001 | $V_{REF} \times (1/65,536)$ |
| 0000 | 0000 0000 0000 | 0 V |

完全なリファレンス電圧を仮定すると、ユニポーラ・ワーストケース出力電圧は次式で計算されます。

$$V_{OUT-UNI} = \frac{D}{2^{16}} \times (V_{REF} + V_{GE}) + V_{ZSE} + INL$$

ここで、

$V_{OUT-UNI}$ はユニポーラ・モードのワーストケース出力。

D はDACにロードされるコード。

V_{REF} はデバイスに入力されるリファレンス電圧。

V_{GE} はゲイン誤差(V)。

V_{ZSE} はゼロ・スケール誤差(V)。

INL は積分非直線性(V)。

出力アンプの選択

バイポーラ・モードの場合、高精度アンプを使い、両電源を使う必要があります。これにより、 $\pm V_{REF}$ 出力が得られます。単電源アプリケーションでは通常、アンプの出力振幅に負側電源レール電圧(この場合は AGND)が含まれないので、最適なオペアンプの選択は困難になります。アプリケーションでゼロ付近のコードを使わない限り、この仕様性能の低下が避けられません。

選択するオペアンプは、出力オフセットのトリムを不要にするため非常に小さいオフセット電圧を持つ必要があります(2.5 V のリファレンス電圧の場合、DAC の LSB は 38 μV になります)。また、バイアス電流と DAC 出力インピーダンス(約 6 kΩ)の積がゼロ・コード誤差に加算されるため、入力バイアス電流も非常に小さい必要があります。レール to レールの入出力性能が要求されます。高速なセトリングを得るためには、オペアンプのスルーレートが DAC のセトリング・タイムを損なわないようにする必要があります。DAC の出力インピーダンスは一定で、コードに依存しませんが、ゲイン誤差を小さくするために、出力アンプの入力インピーダンスはできるだけ大きくする必要があります。また、アンプの 3 dB 帯域幅は 1 MHz 以上である必要があります。アンプは、システムにさらに時定数を追加するため、出力のセトリング・タイムが増えます。3 dB アンプ帯域幅が広いほど、DAC とアンプを組み合わせた実効セトリング・タイムが小さくなります。

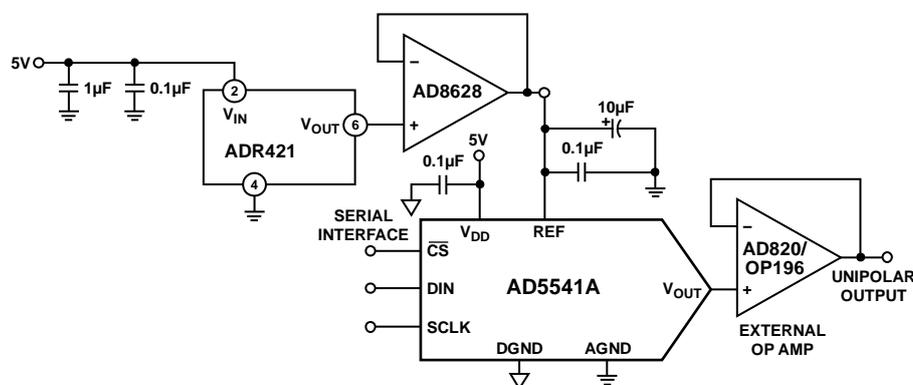


図 28.ユニポーラ出力

フォース・センス・アンプの選択

単電源の低ノイズ・アンプを使います。アンプは最大 ± 20 mA のダイナミック電流を処理する必要があるため、高い周波数で低出力インピーダンスを持つことが望まれます。

リファレンスとグラウンド

入力インピーダンスはコードに依存するため、低インピーダンス・ソースからリファレンス・ピンを駆動する必要があります。AD5541Aは、 $2\text{ V} \sim V_{DD}$ のリファレンス電圧で動作します。リファレンス電圧が 2 V を下回ると、精度が低下します。DACのフルスケール出力電圧は、リファレンス電圧により決定されます。表 7 に、アナログ出力電圧または特定のデジタル・コードを示します。

アプリケーションで別々のフォース・ラインとセンス・ラインが不要な場合は、パッケージの近くにこれらのラインを接続してパッケージ・ピンと内部チップとの間の電圧降下を小さくします。

パワーオン・リセット

AD5541A は、パワーアップ時に出力電圧を既知状態にするパワーオン・リセット機能を内蔵しています。パワーアップ時、DACレジスタ値はシリアル・レジスタからデータがロードされるまで、全ビット 0 を維持しますが、パワーアップ時にシリアル・レジスタがクリアされないため、値は不定になります。データを初めて DAC にロードするとき、16 ビット以上をロードして、出力に不正なデータが出力されるのを防止する必要があります。16 ビット以上がロードされると、最後の 16 ビットが保持され、16 ビット未満がロードされると、前のワードのビットが残ったままになります。AD5541A を 16 ビット以下のデータとインターフェースさせる必要がある場合は、LSB に 0 のデータを埋め込んでください。

電源とリファレンスのバイパス

正確な高分解能性能を得るためには、リファレンス・ピンと電源ピンを $10\ \mu\text{F}$ のタンタル・コンデンサと $0.1\ \mu\text{F}$ のセラミック・コンデンサの並列接続でバイパスすることが推奨されます。

アプリケーション情報

マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5541A とのインターフェースは、マイクロコントローラと DSP プロセッサに対して互換性を持つ標準プロトコルを使うシリアル・バスを使って行います。この通信チャンネルには、クロック信号、データ信号、同期信号から構成される 3 線式または 4 線式のインターフェースが必要です。AD5541A では、16 ビット・データ・ワードを使用し、SCLK の立上がりエッジでデータが有効である必要があります。

AD5541AとADSP-BF531 とのインターフェース

AD5541AのSPI インターフェースは、業界標準のDSPとマイクロコントローラに容易に接続できるようにデザインされています。図 29 に、AD5541Aとアナログ・デバイセズのBlackfin® DSPとの接続方法を示します。Blackfinは、AD5541AのSPI ピンへ直接接続できるSPI ポートを内蔵しています。

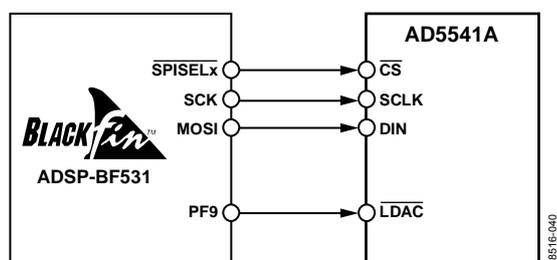


図 29. AD5541A と ADSP-2101 とのインターフェース

AD5541AとSPORTとのインターフェース

アナログ・デバイセズのADSP-BF527 は、1 個のSPORT シリアル・ポートを内蔵しています。図 30 に、1 個のSPORT インターフェースを使って、AD5541Aを制御する方法を示します。

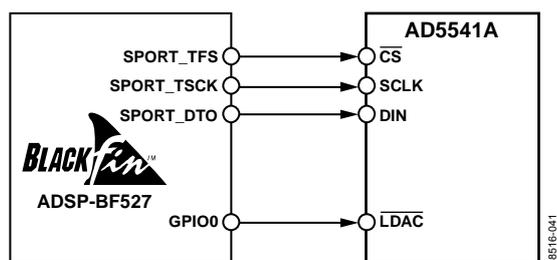


図 30. AD5541A と 68HC11/68L11 とのインターフェース

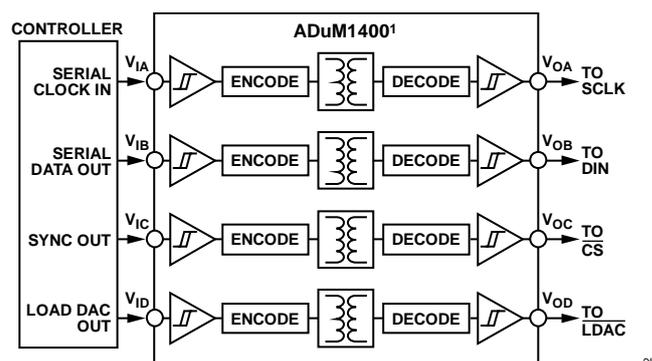
レイアウトのガイドライン

精度が重要な回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5541A を実装するプリント回路ボード(PCB)は、アナログ部分とデジタル部分を分離して、ボードの一定領域にまとめて配置するように、デザインする必要があります。複数のデバイスがアナログ・グラウンドとデジタル・グラウンドの接続を必要とするシステム内で AD5541A を使用する場合は、この接続は 1 ヶ所で行う必要があります。デバイスのできるだけ近くに星型のグラウンド・ポイントを構成する必要があります。

AD5541A に対しては、10 μ F と 0.1 μ F の並列接続により十分な電源バイパスをパッケージのできるだけ近くの電源に、理想的にはデバイスに直接に、接続する必要があります。10 μ F コンデンサはタンタルのビード型を使います。0.1 μ F コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESI)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

電流絶縁型インターフェース

多くのプロセス制御アプリケーションでは、コントローラと制御対象ユニットとの間にアイソレーション障壁を設けて、危険な同相モード電圧から制御回路を保護してアイソレーションすることが必要です。アナログ・デバイセズのiCoupler®製品は 2.5 kV を超える電圧アイソレーションを提供します。AD5541A はシリアル・ローディング構造を採用しているため、インターフェース・ライン数が最小になっているので、絶縁インターフェース向けに最適です。図 31 に、ADuM1400 を使用して構成した、AD5541A に対する 4 チャンネル絶縁型インターフェースを示します。詳細については、<http://www.analog.com/icouplers> をご覧ください。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

図 31. 絶縁型インターフェース

複数DACのデコーディング

AD5541Aの \overline{CS} ピンを使うと、複数のDACから1つを選択することができます。すべてのデバイスが同じシリアル・クロックとシリアル・データを受信しますが、同時に \overline{CS} 信号を受信するのは1個のデバイスだけです。アドレス指定されたDACが、デコーダにより識別されます。デジタル入力ラインから幾らかのデジタル・フィードスルーがあります。バースト・クロックを使うと、アナログ信号チャンネルへのデジタル・フィードスルーの影響が小さくなります。図32に、代表的な回路を示します。

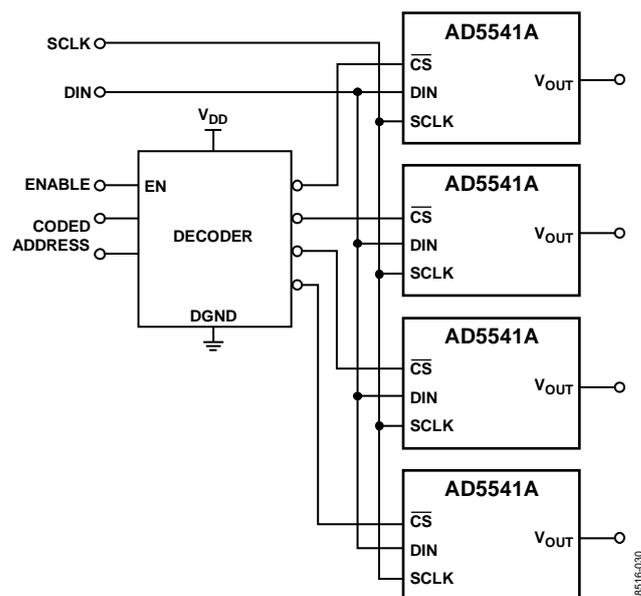


図 32. 複数 DAC のアドレス指定

外形寸法

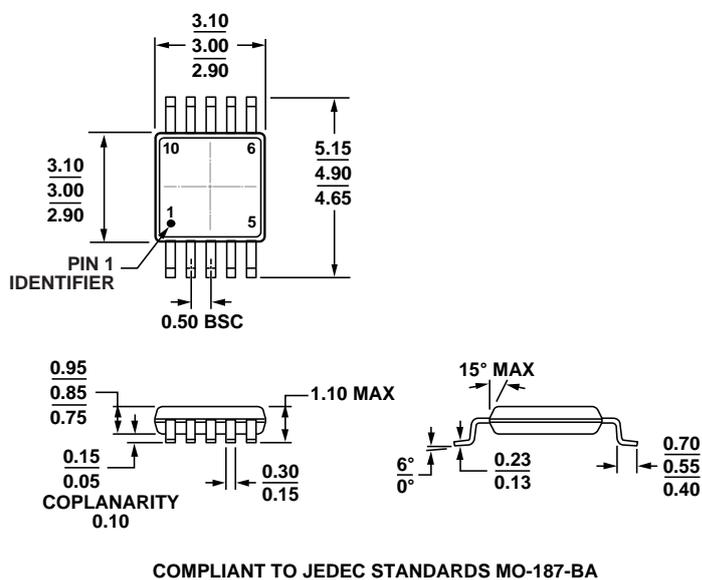


図 33.10 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP](RM-10)寸法: mm

オーダー・ガイド

| Model ¹ | INL | DNL | Power-On Reset to Code | Temperature Range | Package Description | Package Option | Branding Code |
|--------------------|--------|--------|------------------------|-------------------|---------------------|----------------|---------------|
| AD5541ABRMZ | ±1 LSB | ±1 LSB | Zero Scale | -40°C to +125°C | 10-Lead MSOP | RM-10 | DEQ |
| AD5541ABRMZ-REEL7 | ±1 LSB | ±1 LSB | Zero Scale | -40°C to +125°C | 10-Lead MSOP | RM-10 | DEQ |
| AD5541AARMZ | ±2 LSB | ±1 LSB | Zero Scale | -40°C to +125°C | 10-Lead MSOP | RM-10 | DER |
| AD5541AARMZ-REEL7 | ±2 LSB | ±1 LSB | Zero Scale | -40°C to +125°C | 10-Lead MSOP | RM-10 | DER |

¹ Z = RoHS 準拠製品。