

特長

12/16 ビット分解能

INL : 1LSB

ノイズ・スペクトル密度 : 11.8 nV/√Hz

セットリング時間 : 1μs

グリッジ・エネルギー : 1.1nV-sec

温度ドリフト : 0.05 ppm/°C

5 kV HBM (ヒューマン・ボディ・モデル) ESD 耐圧

消費電力 : 0.375mW@VS=3 V

単電源動作 : 2.7 V~5.5 V

ハードウェア機能 CLR と LDAC

50MHz の SPI-/QSPI-/MICROWIRE-/DSP 互換インターフェース規格

パワーオン・リセットで DAC 出力をミッド・スケールに設定

3 mm x 3 mm, 10 ピン/16 ピン LFCSP と 16 ピン TSSOP で供給可能

アプリケーション

自動テスト装置 (ATE)

高精度ソース測定計測器

データ・アキュイジション・システム

医療および航空宇宙計測機器

通信装置

概要

AD5512A/AD5542A は、シングル、12/16 ビット、シリアル入力、バッファ無し電圧出力の D/A コンバータ (DAC) で、単電源 2.7V~5.5V で動作します。この DAC の出力範囲は 0V~V_{REF} まで拡張されており、単調増加性が保障されています。又-40°C~+85°C (AD5542A) あるいは-40°C~+125°C (AD5512A) の全規定温度範囲にわたって、無調整で、16 ビット分解能で 1LSB の INL 精度を保証しております。AD5512A/AD5542A の出力にはバッファ回路がなく、低オフセット誤差で 1μs のセットリング時間を達成するので、高速のオープン・ループ制御に最適です。

AD5512A/AD5542A は、±V_{REF} の出力振幅を生成するバイポーラ・モード動作を備えています。AD5512A/AD5542A は又基板レイアウトによる影響を軽減するためにリファレンスとアナログ・グランド・ピンのためのケルビン検出の接合を備えています。

AD5512A/AD5542A は、16 ピン LFCSP パッケージ (AD5542A) 、10 ピン LFCSP パッケージおよび 16 ピン TSSOP パッケージで供給可能です。AD5512A/AD5542A は、50MHz、SPI、QSPI™、MICROWIRE™および DSP のインターフェース・スタンダードと互換性のある、汎用 3 線式

機能ブロック図

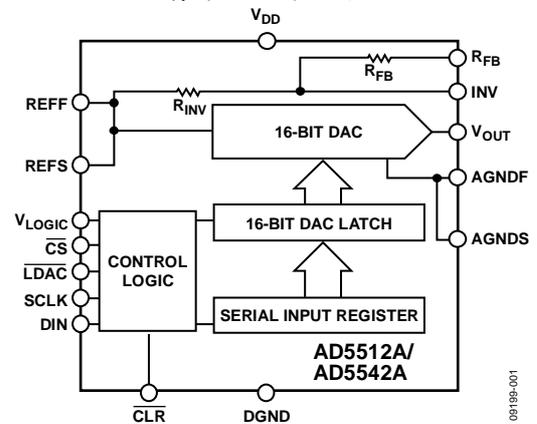


図 1.16 ピン TSSOP と 16 ピン LFCSP

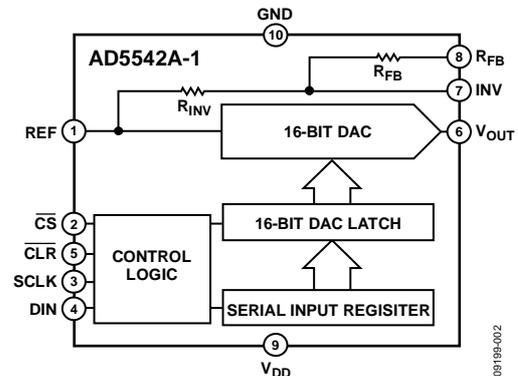


図 2.10 ピン LFCSP

インターフェースを内蔵しています。

表 1.関連製品

Part No.	Description
AD5040/AD5060	2.7 V ~ 5.5 V 14/16-bit buffered output DACs
AD5541/AD5542	2.7 V ~ 5.5 V 16-bit voltage output DACs
AD5781/AD5791	18/20-bit voltage output DACs
AD5570	16-bit ±12 V/±15 V bipolar output DAC
AD5024/AD5064	4.5 V ~ 5.5 V, 12/16-bit quad channel DAC
AD5764	16-bit, bipolar, voltage output DAC

製品のハイライト

1. 調整無しで 16 ビット性能
2. 単電源動作 : 2.7 V~5.5 V
3. 低ノイズ・スペクトル密度 : 11.8 nV/√Hz
4. 低温度ドリフト : 0.05 ppm/°C
5. 3mmx3mm LFCSP と TSSOP パッケージ

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	ユニポーラ出力動作	15
アプリケーション.....	1	バイポーラ出力動作	16
概要.....	1	出力アンプ・セクション	17
機能ブロック図.....	1	フォース・センス・アンプの選択.....	17
製品のハイライト.....	1	リファレンスとグラウンド.....	17
改訂履歴.....	2	パワーオン・リセット機能.....	17
仕様.....	3	電源とリファレンスのバイパス	17
AD5512A	3	アプリケーション情報	18
AD5542A	4	マイクロプロセッサ・インターフェース.....	18
AC 特性	5	AD5512A/AD5542A と ADSP-BF531 とのインターフェ ース	18
タイミング特性.....	6	AD5512A/AD5542A と SPORT とのインターフェース	18
絶対最大定格.....	7	AD5512A/AD5542A と 68HC11/68L11 とのインターフェ ース	18
ESD の注意	7	AD5512A/AD5542A と ADSP-2101 とのインターフェ ース	18
ピン配置及びピン機能説明	8	AD5512A/AD5542A と MICROWIRE とのインターフェ ース	18
代表的な性能特性.....	10	レイアウトのガイドライン.....	19
用語.....	14	電流絶縁型インターフェース.....	19
動作原理.....	15	複数 DAC のデコーディング	19
D/Aコンバータ・セクション	15	外形寸法.....	20
シリアル・インターフェース	15	オーダー・ガイド	21

改訂履歴

10/10—Revision 0: Initial Version 初版

仕様

AD5512A

特に指定のない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{LOGIC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{REF} = 2.5\text{ V}$, $AGND = DGND = 0\text{ V}$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表 2.

パラメータ ¹	Min	Typ	Max	Unit	テスト条件
静的性能					
分解能	12			Bits	
相対精度(INL)		±0.5	±1.0	LSB	
微分非直線性(DNL)		±0.5	±1.0	LSB	単調増加性保証
ゲイン誤差		+0.5	±2	LSB	
ゲイン誤差温度係数		±0.1		ppm/°C	
ユニポーラ・ゼロ・コード誤差		0.03	±0.5	LSB	
ユニポーラ・ゼロ・コード温度係数		±0.05		ppm/°C	
バイポーラ抵抗マッチング		1		Ω/Ω	R_{FB}/R_{INV} , 標準的には $R_{FB} = R_{INV} = 28\text{ k}\Omega$
		±0.02	±0.08	%	比率誤差
バイポーラ・ゼロ・オフセット誤差		±0.07	±2	LSB	
バイポーラ・ゼロ温度係数		±0.2		ppm/°C	
バイポーラ・ゼロコード・オフセット誤差		±0.02	±0.5	LSB	
バイポーラ・ゲイン誤差		±0.07	±2	LSB	
バイポーラ・ゲイン温度係数		±0.1		ppm/°C	
出力特性					
出力電圧範囲	0 - V_{REF}		$V_{REF} - 1\text{ LSB}$ $+V_{REF} - 1\text{ LSB}$	V V	ユニポーラ動作 バイポーラ動作
DAC 出力インピーダンス		6.25		kΩ	公差 20% (typ)
電源電圧除去比			±1.0	LSB	$\Delta V_{DD} \pm 10\%$
出力ノイズ・スペクトル密度		11.8		nV/√Hz	DAC コード = 0x840 (AD5512A) 又は 0x8400 (AD5542A), 周波数 = 1 kHz, ユ ニポーラ・モード
出力ノイズ		0.134		μV p-p	0.1 Hz ~ 10 Hz, ユニポーラ・モード
DAC リファレンス入力 ²					
リファレンス入力範囲	2.0		V_{DD}	V	
リファレンス入力抵抗 ³	9 7.5			kΩ kΩ	ユニポーラ動作 バイポーラ動作
リファレンス入力容量		26 26		pF pF	コード 0x0000 コード 0x3FFF
ロジック入力					
入力電流			±1	μA	
入力ロー・レベル電圧, V_{INL}			0.8	V	$V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$
入力ハイ・レベル電圧, V_{INH}	2.4			V	$V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$
入力容量 ²			10	pF	
ヒステリシス電圧 ²		0.15		V	
電源条件					
V_{DD}	2.7		5.5	V	全デジタル入力 = 0 V, V_{LOGIC} , 又は V_{DD}
I_{DD}		125	150	μA	$V_{IH} = V_{LOGIC}$ 又は V_{DD} そして $V_{IL} = \text{GND}$
V_{LOGIC}	1.8		5.5	V	
I_{LOGIC}		15	24	μA	全デジタル入力 = 0 V, V_{LOGIC} , 又は V_{DD}
消費電力		1.5	6.05	mW	

¹ 温度範囲:Aバージョン -40°C to $+125^\circ\text{C}$.

² 設計上保証しますが、出荷テストは行いません。

³ リファレンス入力抵抗はコード依存性があり、0x855 で最小になります。

AD5512A/AD5542A

AD5542A

特に指定のない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{LOGIC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{REF} = 2.5\text{ V}$, $AGND = DGND = 0\text{ V}$, $-40^\circ\text{C} < T_A < +85^\circ\text{C}$ 。

表 3.

Parameter ¹	Min	Typ	Max	Unit	Test Condition
静的性能					
分解能	16			Bits	
相対精度 (INL)		± 0.5	± 1.0	LSB	B グレード A グレード
微分非直線性(DNL)		± 0.5	± 1.0	LSB	単調増加性保証
ゲイン誤差		$+0.5$	± 2	LSB	$T_A = 25^\circ\text{C}$
ゲイン誤差温度係数		± 0.1	± 3	LSB	
ユニポーラ・ゼロ・コード誤差		0.3	± 0.7	LSB	$T_A = 25^\circ\text{C}$
ユニポーラ・ゼロ・コード温度係数		± 0.05	± 1.5	LSB	
バイポーラ抵抗マッチング		1.000		Ω/Ω	R_{FB}/R_{INV} , 標準的には $R_{FB} = R_{INV} = 28\text{ k}\Omega$
バイポーラ・ゼロ・オフセット誤差		± 0.0015	± 0.0076	%	比率誤差
バイポーラ・ゼロ温度係数		± 1	± 5	LSB	$T_A = 25^\circ\text{C}$
バイポーラ・ゼロコード・オフセット誤差		± 0.2	± 6	LSB	
バイポーラ・ゼロ温度係数		± 1	± 5	LSB	$T_A = 25^\circ\text{C}$
バイポーラ・ゲイン誤差		± 1	± 5	LSB	$T_A = 25^\circ\text{C}$
バイポーラ・ゲイン温度係数		± 0.1	± 6	LSB	
出力特性					
出力電圧範囲	0 $-V_{REF}$		$V_{REF} - 1\text{ LSB}$ $+V_{REF} - 1\text{ LSB}$	V V	ユニポーラ動作 バイポーラ動作
DAC 出力インピーダンス		6.25		k Ω	公差 20% (typ)
電源電圧除去比			± 1.0	LSB	$\Delta V_{DD} \pm 10\%$
出力ノイズ・スペクトル密度		11.8		nV/ $\sqrt{\text{Hz}}$	DAC コード = 0x840 (AD5512A) 又は 0x8400 (AD5542A), 周波数 = 1 kHz, ユ ニポーラ・モード
出力ノイズ		0.134		$\mu\text{V p-p}$	0.1 Hz ~ 10 Hz
DAC リファレンス入力 ²					
リファレンス入力範囲	2.0		V_{DD}	V	
リファレンス入力抵抗 ³	9			k Ω	ユニポーラ動作
	7.5			k Ω	バイポーラ動作
リファレンス入力容量		26		pF	コード 0x0000
		26		pF	コード 0xFFFF
ロジック入力					
入力電流			± 1	μA	
入力ロー・レベル電圧, V_{INL}			0.8	V	$V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$
入力ハイ・レベル電圧, V_{INH}	2.4			V	$V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$
入力容量 ²			10	pF	
ヒステリシス電圧 ²		0.15		V	
電源条件					
V_{DD}	2.7		5.5	V	全デジタル入力 = 0 V, V_{LOGIC} , 又は V_{DD}
I_{DD}		125	150	μA	$V_{IH} = V_{LOGIC}$ 又は V_{DD} そして $V_{IL} = \text{GND}$
V_{LOGIC}	1.8		5.5	V	
I_{LOGIC}		15	24	μA	全デジタル入力 = 0 V, V_{LOGIC} , 又は V_{DD}
消費電力		1.5	6.05	mW	

¹ 温度範囲:A, B バージョン -40°C to $+85^\circ\text{C}$ 。

² 設計上保証しますが、出荷テストは行いません。

³ リファレンス入力抵抗はコードに依存します；0x8555 で最小になります。

AC 特性

特に指定のない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{LOGIC} = 2.7\text{ V} \sim 5.5\text{ V}$, $2.5\text{ V} \leq V_{REF} \leq V_{DD}$, $AGND = DGND = 0\text{ V}$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表 4.

Parameter	Min	Typ	Max	Unit	Test Condition
出力電圧セトリング時間		1		μs	FS の 1/2 LSB まで, $C_L = 10\text{ pF}$
スルーレート		17		$\text{V}/\mu\text{s}$	$C_L = 10\text{ pF}$, 0% ~ 63% で測定
デジタルからアナログへのグリッジ・インパルス		1.1		$\text{nV}\cdot\text{sec}$	メジャーキャリを中心として 1 LSB の変化
リファレンス -3 dB 帯域		2.2		MHz	全"1"をロード
リファレンス・フィードスルー		1		mV p-p	全"0"をロード, 100 kHz で $V_{REF} = 1\text{ V p-p}$
デジタル・フィードスルー		0.2		$\text{nV}\cdot\text{sec}$	
信号対ノイズ比		92		dB	
スプリアスフリー ダイナミックレンジ		80		dB	デジタル的に発生させた 1 kHz サイン波を使用
全高調波歪み		74		dB	DAC コード = 0x3FFF (AD5512A) 又は 0xFFFF (AD5542A), 周波数 10 kHz, $V_{REF} = 2.5\text{ V} \pm 1\text{ V p-p}$

AD5512A/AD5542A

タイミング特性

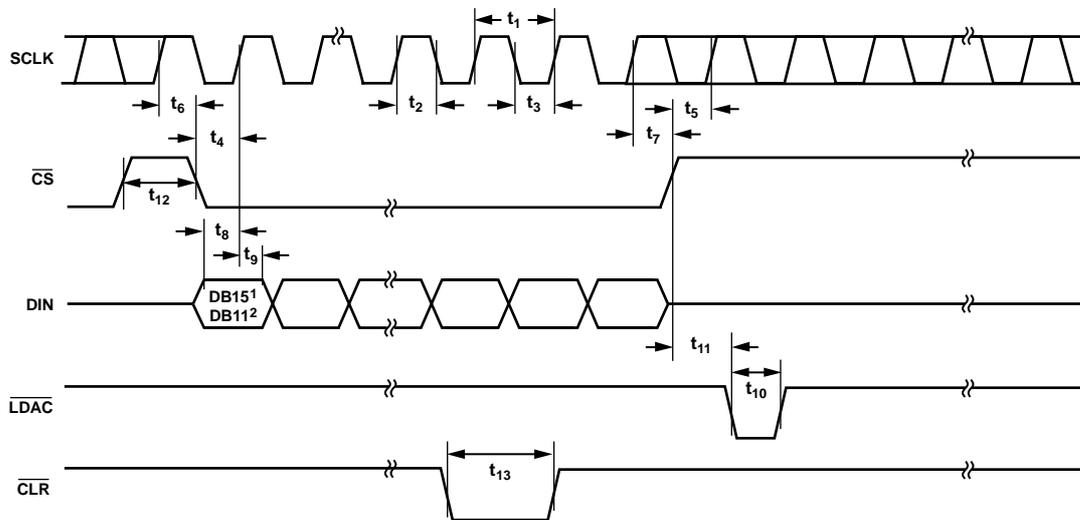
特に指定のない限り、 $V_{\text{LOGIC}} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{\text{DD}} = 5\text{ V}$, $V_{\text{REF}} = 2.5\text{ V}$, $V_{\text{INH}} = 90\%$ of V_{LOGIC} , $V_{\text{INL}} = 10\%$ of V_{LOGIC} , $\text{AGND} = \text{DGND} = 0\text{ V}$, $-40^\circ\text{C} < T_{\text{A}} < +125^\circ\text{C}$ 。

表 5.

Parameter ^{1,2}	Limit	Unit	Description
f_{SCLK}	50	MHz max	SCLK サイクル周波数
t_1	20	ns min	SCLK サイクル時間
t_2	10	ns min	SCLK ハイ・レベル時間
t_3	10	ns min	SCLK ロー・レベル時間
t_4	5	ns min	$\overline{\text{CS}}$ ロー・レベルから SCLK ハイ・レベルまでのセットアップ時間
t_5	7	ns min	$\overline{\text{CS}}$ ハイ・レベルから SCLK ハイ・レベルまでのセットアップ時間
t_6	15	ns min	SCLK ハイ・レベルから $\overline{\text{CS}}$ ロー・レベルまでのホールド時間
t_7	10	ns min	SCLK ハイ・レベルから $\overline{\text{CS}}$ ハイ・レベルまでのホールド時間
t_8	7	ns min	データ・セットアップ時間
t_9	5	ns min	データ・ホールド時間 ($V_{\text{INH}} = 90\%$ of V_{DD} , $V_{\text{INL}} = 10\%$ of V_{DD})
t_9	5	ns min	データ・ホールド時間 ($V_{\text{INH}} = 3\text{ V}$, $V_{\text{INL}} = 0\text{ V}$)
t_{10}	15	ns min	$\overline{\text{LDAC}}$ パルス幅
t_{11}	15	ns min	$\overline{\text{CS}}$ ハイ・レベルから $\overline{\text{LDAC}}$ ロー・レベルへのセットアップ
t_{12}	15	ns min	$\overline{\text{CS}}$ のアクティブ期間のハイ・レベル時間
t_{13}	15	ns min	$\overline{\text{CLR}}$ パルス幅

¹ 設計上保証しますが、出荷テストは行いません。

² すべての入力信号は $t_{\text{R}} = t_{\text{F}} = 1\text{ ns/V}$ で規定し、 $(V_{\text{INL}} + V_{\text{INH}})/2$ の電圧レベルからの時間とします。



NOTES
1. FOR AD5542A = DB15.
2. FOR AD5512A = DB11.

08199-003

図 3. タイミング図

絶対最大定格

特に指定のない限り、TA = 25°C。

表 6.

Parameter	Rating
V _{DD} to AGND	−0.3 V to +6 V
Digital Input Voltage to DGND	−0.3 V to V _{DD} + 0.3 V
V _{OUT} to AGND	−0.3 V to V _{DD} + 0.3 V
AGNDF, AGNDS to DGND	−0.3 V to +0.3 V
Input Current to Any Pin Except Supplies	±10 mA
Operating Temperature Range	
AD5512A Industrial (A Version)	−40°C to +125°C
AD5542A Industrial (A, B Versions)	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Maximum Junction Temperature (T _J max)	150°C
Package Power Dissipation	(T _J max − T _A)/θ _{JA}
Thermal Impedance, θ _{JA}	
TSSOP (RU-16)	113°C/W
LFCSP (CP-16-22)	73°C/W
LFCSP (CP-10-9)	74°C/W
Lead Temperature, Soldering	
Peak Temperature ¹	260°C
ESD ²	5 kV

¹ JEDEC Standard 20 に準拠.

² 人体モデル(HBM) 区分.

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD (electrostatic discharge) sensitive device. Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

AD5512A/AD5542A

ピン配置およびピン機能説明

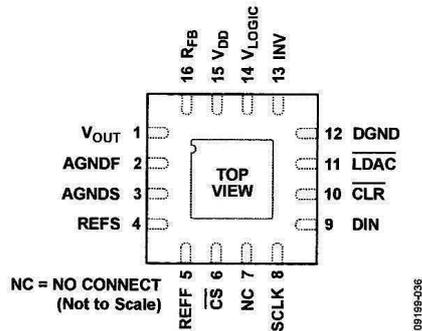


図 4. AD5512A/AD5542A 16 ピン LFCSP ピン配置

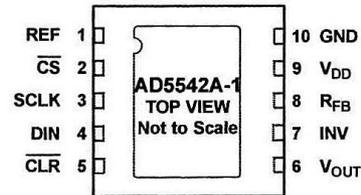


図 5. AD5542A-1 10 ピン LFCSP ピン配置

表 7. AD5512A/AD5542A ピン機能の説明

Pin No.		Mnemonic	Description
16-Lead LFCSP	10-Lead LFCSP		
1	6	V _{OUT}	DAC からのアナログ出力電圧。
2		AGNDF	アナログ回路に対するグラウンド基準点 (Force)。
3		AGNDS	アナログ回路に対するグラウンド基準点 (Sense)。
4		REFS	DAC のリファレンス電圧入力 (Sense)。外付け 2.5 V リファレンス電圧に接続します。リファレンス電圧範囲は 2 V ~ V _{DD} 。
5		REFF	DAC のリファレンス電圧入力 (Force)。外付け 2.5 V リファレンスに接続します。リファレンス電圧範囲は 2 V ~ V _{DD} 。
6	2	$\overline{\text{CS}}$	ロジック入力信号。このチップ・セレクト信号を使ってシリアル・データ入力をフレーム化します。
7		NC	未接続。
8	3	SCLK	クロック入力。データは SCLK の立ち上がりエッジで入力レジスタに入力されます。デューティ・サイクルは 40% と 60% の間でなければなりません。
9	4	DIN	シリアル・データ入力。このデバイスは、16 ビット・ワードで書き込み可能です。データは SCLK の立ち上がりエッジで入力レジスタに入力されます。
10	5	$\overline{\text{CLR}}$	非同期のクリア入力。 $\overline{\text{CLR}}$ 入力は立下りエッジで検出されます。 $\overline{\text{CLR}}$ がロー・レベルの間、すべての LDAC パルスは無視されます。 $\overline{\text{CLR}}$ が入力されると、DAC レジスタはモデルで選択可能なミッド・スケールにクリアされます。
11		$\overline{\text{LDAC}}$	$\overline{\text{LDAC}}$ 入力。この入力をロー・レベルにすると、DAC レジスタが入力レジスタの内容と同時に更新されます。
12		DGND	デジタル・グラウンド。デジタル回路のグラウンド基準点。
13	7	INV	DAC の内部スケール抵抗へ接続。バイポーラ・モードでは INV ピンを外付けオペアンプの反転入力に接続します。
14		V _{LOGIC}	ロジック電源。
15	9	V _{DD}	アナログ電源電圧、5 V ± 10%。
16	8	R _{FB}	フィードバック抵抗ピン。バイポーラ入力では、このピンを外付けオペアンプの出力に接続します。
	1	REF	DAC のリファレンス電圧入力。このピンを外付け 2.5 V リファレンスに接続します。リファレンス電圧範囲は 2 V ~ V _{DD} です。
	10	GND	グラウンド。
	EPAD	Exposed Pad	露出パッドは最も低い電位に接続してください。この場合は GND です。

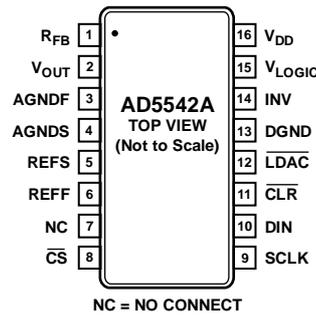


図 6.AD5542A16 ピン TSSOP のピン配置

表 8.AD5542A ピン機能の説明

Pin No.	Mnemonic	Description
1	RFB	フィードバック抵抗ピン。バイポーラ入力では、このピンを外付けオペアンプの出力に接続します。
2	V _{OUT}	DAC からのアナログ出力電圧。
3	AGNDF	アナログ回路に対するグラウンド基準点 (Force)。
4	AGNDS	アナログ回路に対するグラウンド基準点 (Sense)。
5	REFS	DAC のリファレンス電圧入力 (Sense)。外付け 2.5 V リファレンス電圧に接続。リファレンスの入力範囲は 2 V ~ V _{DD} です。
6	REFF	DAC のリファレンス電圧入力 (Force)。外付け 2.5 V リファレンス電圧に接続。リファレンスの入力範囲は 2 V ~ V _{DD} です。
7	NC	未接続。
8	CS	ロジック入力信号。このチップ・セレクト信号を使ってシリアル・データ入力をフレーム化します。
9	SCLK	クロック入力。データは SCLK の立ち上がりエッジで入力レジスタに入力されます。デューティ・サイクルは 40% と 60% の間でなければなりません。
10	DIN	シリアル・データ入力。このデバイスは、16 ビット・ワードで書き込み可能です。データは SCLK の立ち上がりエッジで入力レジスタに入力されます。
11	CLR	非同期のクリア入力。CLR 入力は立下りエッジで検出されます。CLR がロー・レベルの間、すべての LDAC パルスは無視されます。CLR が入力されると、DAC レジスタはモデルで選択可能なミッド・スケールにクリアされます。
12	LDAC	LDAC 入力。この入力をロー・レベルにすると、DAC レジスタは入力レジスタの内容と同時に更新されます。
13	DGND	デジタル・グラウンド。デジタル回路のグラウンド基準点。
14	INV	DAC の内部スケーリング抵抗へ接続。バイポーラ・モードでは INV ピンを外付けオペアンプの反転入力に接続。
15	V _{LOGIC}	ロジック電源。
16	V _{DD}	アナログ電源電圧、5 V ± 10%。

代表的な性能特性

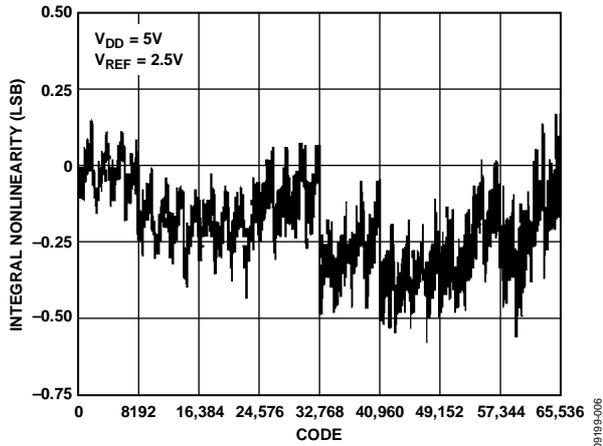


図 7.AD5542A 積分非直線性 対 コード

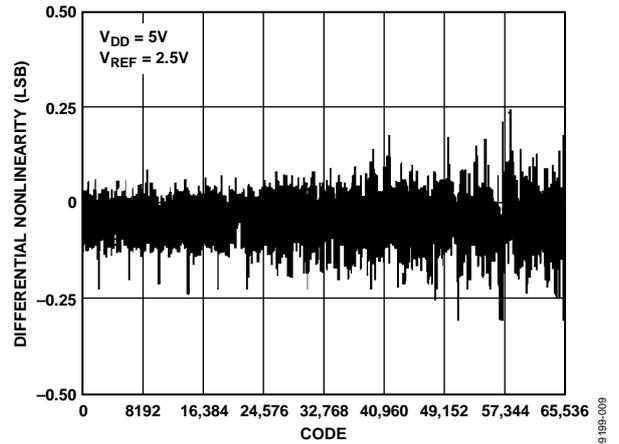


図 10.AD5542A 微分非直線性 対 コード

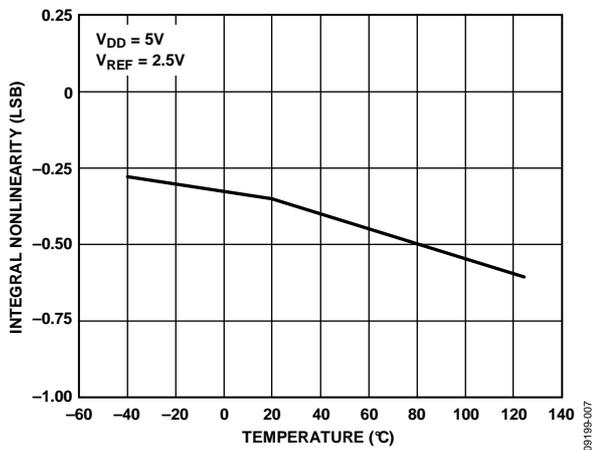


図 8.AD5542A 積分非直線性 対 温度

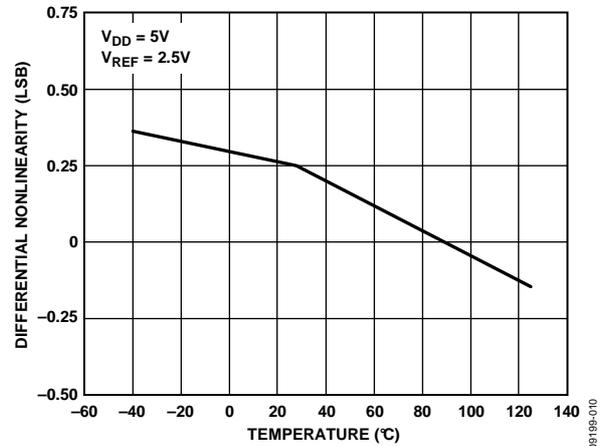


図 11.AD5542A 微分非直線性 対 温度

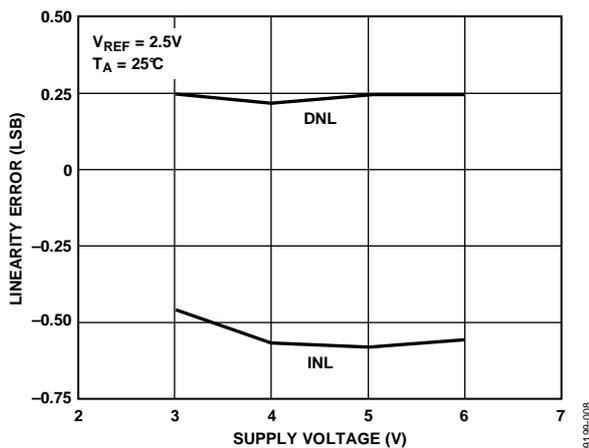


図 9.AD5542A 直線性誤差 対 電源電圧

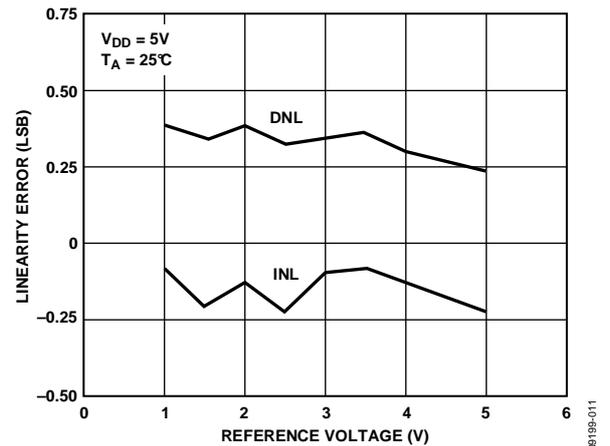


図 12.AD5542A 直線性誤差 対 リファレンス電圧

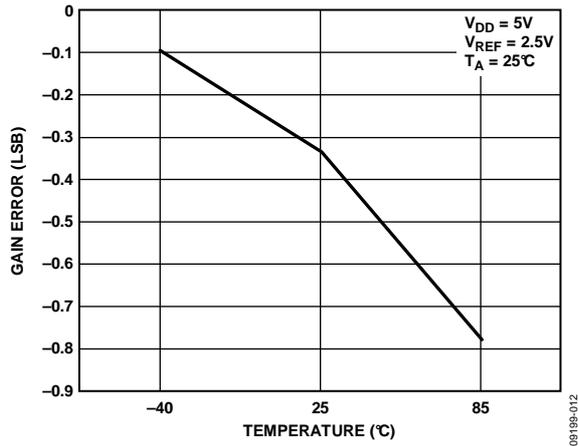


図 13. AD5512A/AD5542A ゲイン誤差対温度

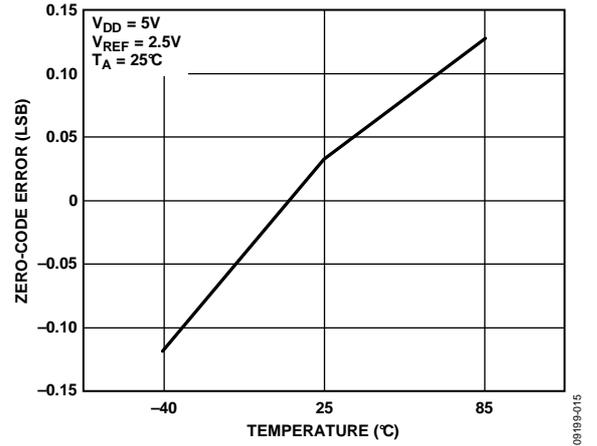


図 16. AD5512A/AD5542A セロ・コード誤差対温度

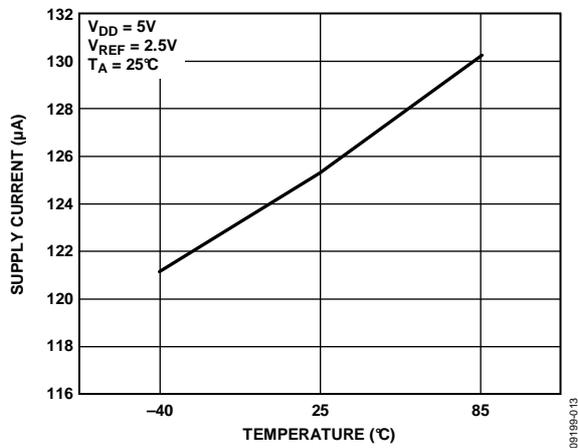


図 14. AD5512A/AD5542A 電源電流対温度

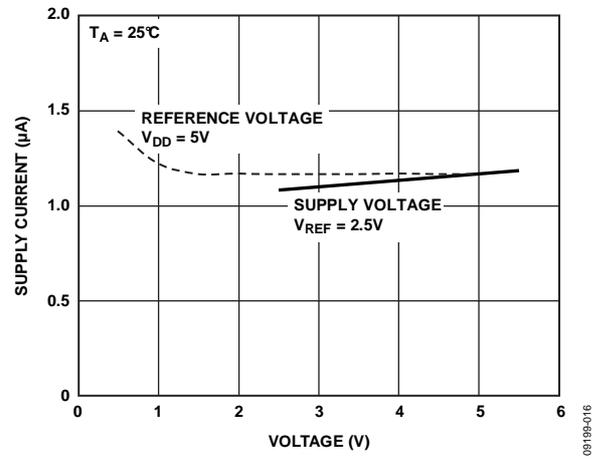


図 17. AD5512A/AD5542A 電源電流対リファレンス電圧又は電源電圧

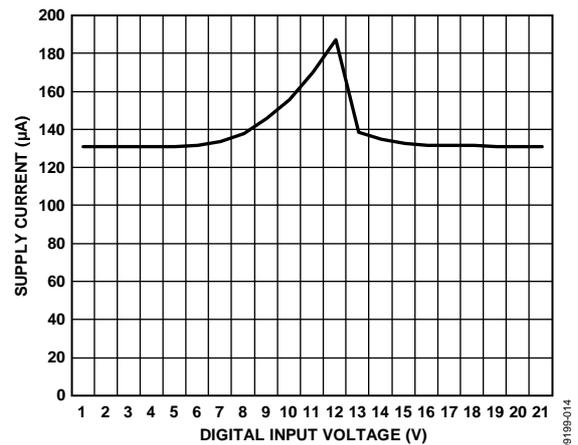


図 15. AD5512A/AD5542A 電源電流対デジタル入力電圧

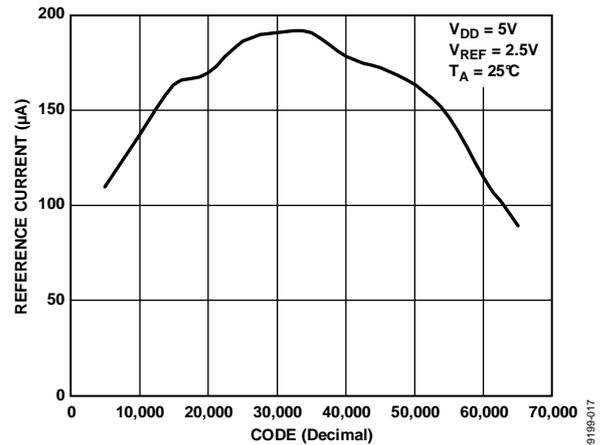


図 18. AD5512A/AD5542A リファレンス電流対コード

AD5512A/AD5542A

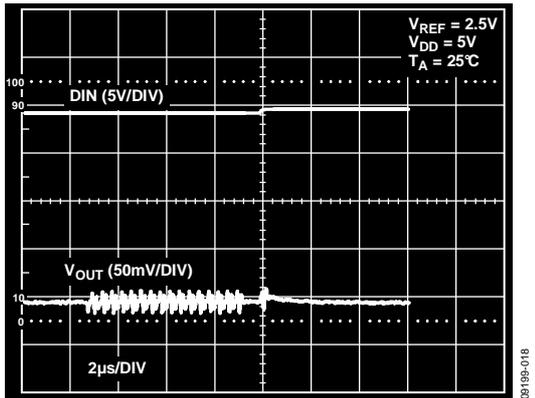


図 19. AD5512A/AD5542A デジタル・フィードスルー

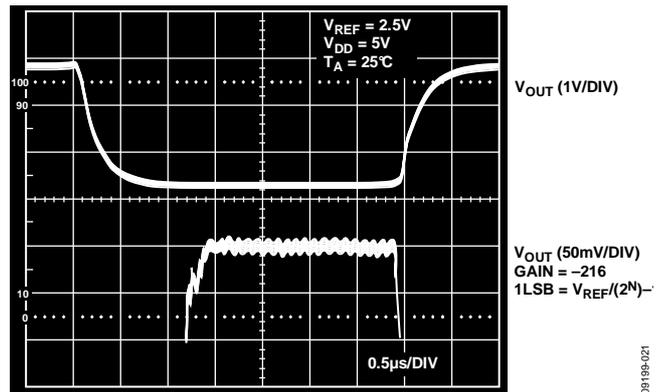


図 22. AD5512A/AD5542A 小信号セトリング時間

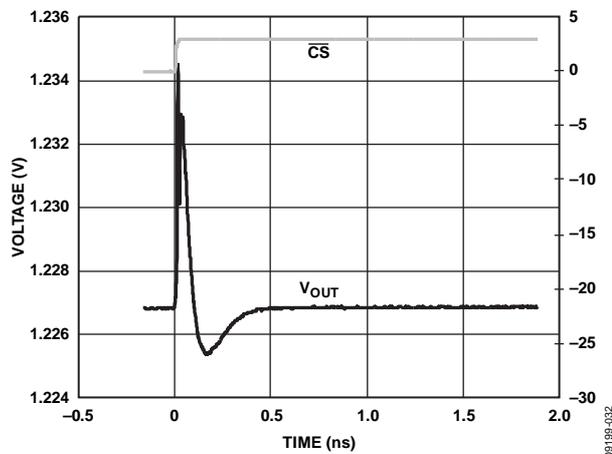


図 20. AD5512A/AD5542A デジタルからアナログへのグリッジ・インパルス

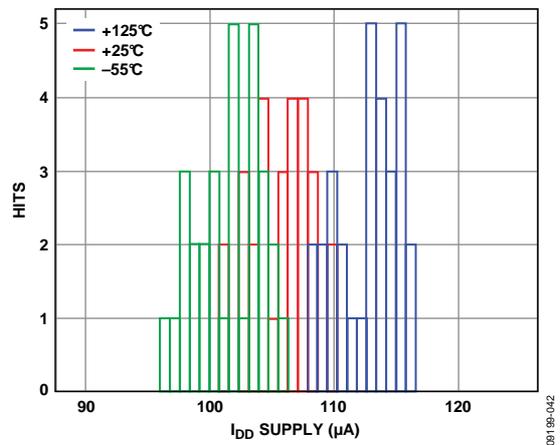


図 23. AD5512A/AD5542A アナログ電源電流ヒストグラム

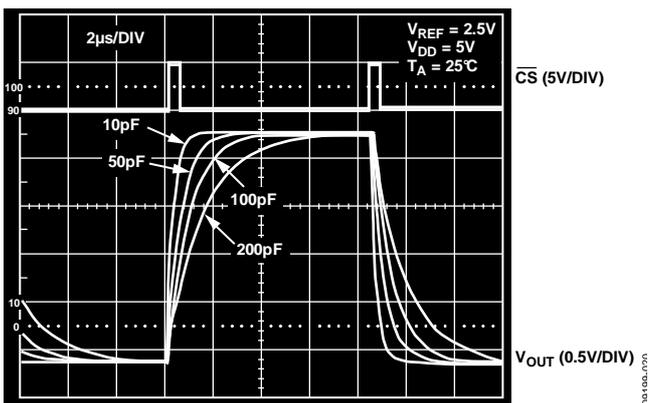


図 21. AD5512A/AD5542A 大信号セトリング時間

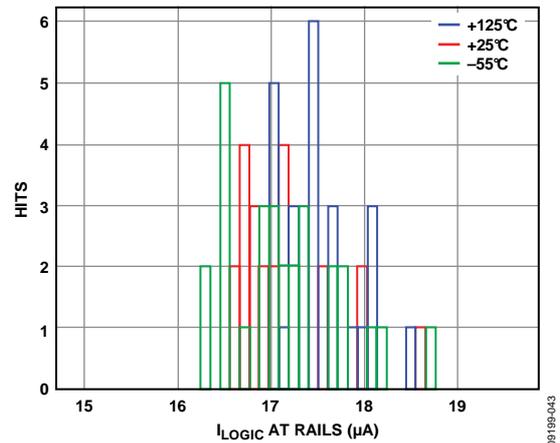


図 24. AD5512A/AD5542A デジタル電源電流ヒストグラム

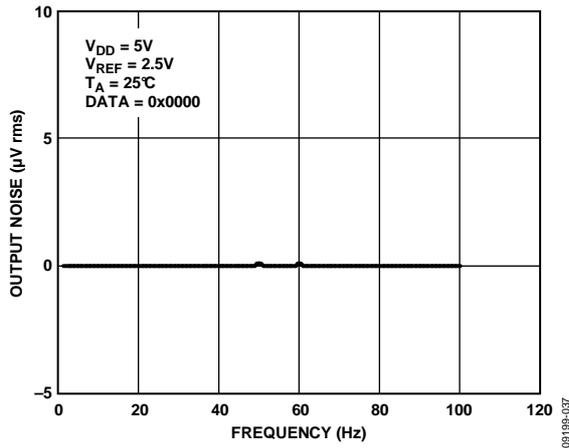


図 25. AD5512A/AD5542A 0.1 Hz ~ 10 Hz 出力ノイズ

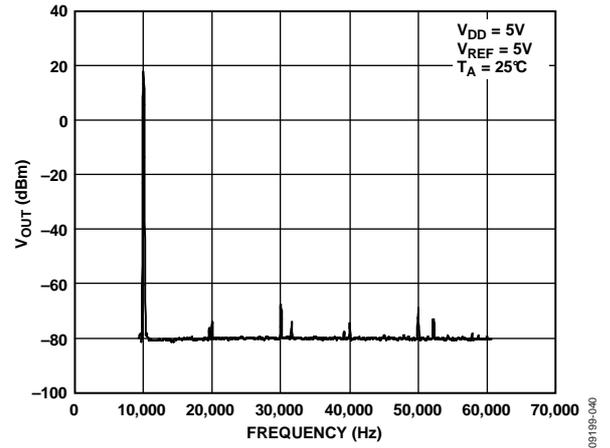


図 28. AD5512A/AD5542A 全高調波歪

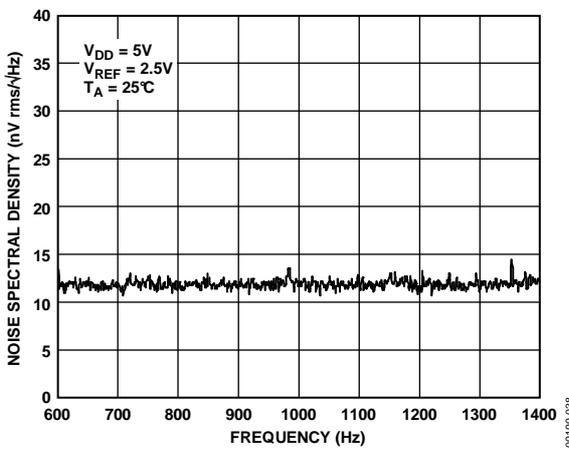


図 26. AD5512A/AD5542A ノイズ・スペクトル密度 対 周波数、1 kHz

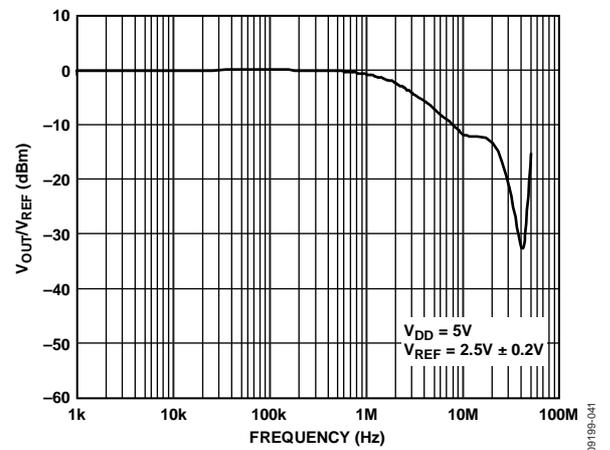


図 29. AD5512A/AD5542A 乗算帯域幅

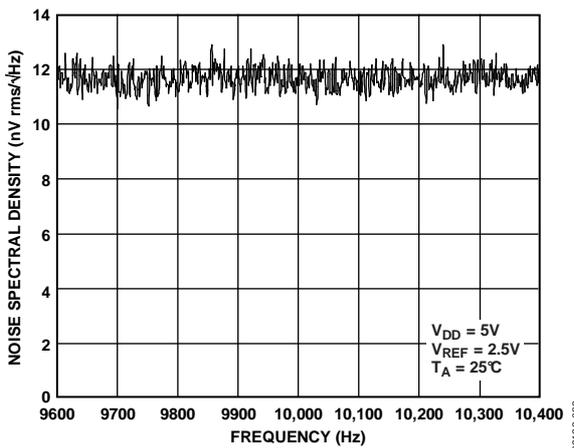


図 27. AD5512A/AD5542A ノイズ・スペクトラム 対 周波数、10 kHz

用語

相対精度又は積分非直線性(INL)

DAC の場合、相対精度又は積分非直線性(INL)は、DAC 伝達関数の上下両端を結ぶ直線からの最大偏差(LSB 数で表示)で表します。代表的な INL 対コードのグラフを図 7 に示します。

微分非直線性(DNL)

DNL は、任意の隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差です。微分非直線性の仕様が最大 ± 1 LSB の場合は、単調性を保証しています。代表的な DNL 対コードのグラフを図 10 に示します。

ゲイン誤差

ゲイン誤差は理論値と実際のアナログ出力範囲の差で、フルスケールレンジの%値で表します。

これは理想的な DAC の伝達特性の傾きからの偏差です。

ゲイン誤差温度係数

ゲイン誤差ドリフトは、温度変化にともなうゲイン誤差の変化の大きさを、ppm FSR/°C の単位で表します。

ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コードを DAC レジスタにロードしたときの出力誤差の大きさです。

ゼロ・コード温度係数

ゼロ・コード誤差ドリフトは、温度変化によるゼロ・コード誤差の変化の大きさを、mV/°C の単位で表します。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスです。通常、nV-sec で表すグリッチの面積として規定され、主要なキャリ遷移時に、デジタル・コードが 1 LSB 変化したときに測定されます。デジタルからアナログへのグリッチ・インパルスを図 20 に示します。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていない時に、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスの大きさです。

CS は SCLK と DIN 信号がトグルしている間“ハイ・レベル”に保たれます。デジタル・フィードスルーは nV-sec の単位で規定され、データ・バス上でのフル・スケール変化時、すなわち全ビット「0」から全ビット「1」へ変化する時、又はその逆に変化する時に測定されます。代表的なデジタル・フィードスルーのグラフを図 19 に示します。

電源電圧除去比(PSRR)

PSRR は DAC 出力が電源電圧変化に対してどのくらい影響されるかを表します。電源電圧除去比は、DAC のフル・スケール出力での、 V_{DD} の%変化当たりの出力の%変化で規定されます。 V_{DD} は $\pm 10\%$ 変動します。

リファレンス・フィードスルー

リファレンス・フィードスルーは DAC に全「0」をロードした時の V_{REF} 入力から DAC 出力へのフィードスルーの大きさです。100 kHz, 1 V p-p を V_{REF} に印加します。リファレンス・フィードスルーは mV p-p の単位で表します。

動作原理

AD5512A/AD5542A はシングル、12 ビット/16 ビット、シリアル入力、電圧出力の DAC です。これらは 2.7 V ~ 5 V の範囲の単電源電圧で動作し、5V 電源で標準 125 μA を消費します。データは 3 線又は 4 線シリアル・インターフェースを通して 12 ビット (AD5512A) 又は 16 ビット (AD5542A) ワード・フォーマットでこれらのデバイスに書き込まれます。既知のパワーアップ状態を確実にするために、これらの製品はパワーオン・リセット機能を備えています。ユニポーラ・モードでは、出力はミッド・スケールにリセットされます；バイポーラ・モードでは、出力は 0 V にセットされます。AD5512A/AD5542A はリファレンスとアナログ・グラウンドのためのケルビン検出の接続を内蔵しています。

D/A コンバータ・セクション

DAC アーキテクチャは、マッチングした 2 つの DAC 部で構成されています。簡略化した回路図を図 30 に示します。AD5512A/AD5542A の DAC アーキテクチャはセグメント化されています。16 ビット (AD5542A)/12 ビット (AD5512A) データ・ワードの 4 つの MSB はデコードされて、15 個のスイッチ (E1~E15) を駆動します。これらの各スイッチは、15 本のマッチングした抵抗のうちの一つを AGND 又は V_{REF} に接続します。データ・ワードの残りの 12 ビットで、12 ビット電圧モード R-2R ラダー・ネットワークのスイッチ (S0~S11) を駆動します。

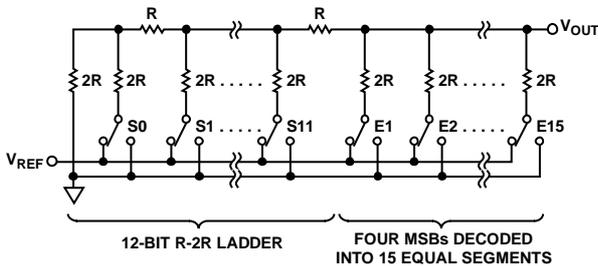


図 30. DAC アーキテクチャ

このタイプの DAC 構成では、出力インピーダンスはコードに依存しませんが、リファレンスから見た入力インピーダンスはコードに大きく依存します。出力電圧はリファレンス電圧に依存し、次式で表せます。

$$V_{OUT} = \frac{V_{REF} \times D}{2^N}$$

ここで、
D は DAC レジスタにロードされる 10 進データ・ワードです。
N は DAC の分解能です。

リファレンス電圧が 2.5 V の場合、式は次のように簡略化できます。

$$V_{OUT} = \frac{2.5 \times D}{65,536}$$

この式から、DAC にミッド・スケールをロードした時 V_{OUT}=1.25 V、フル・スケールをロードした時 V_{OUT}=2.5V になります。

LSB サイズは V_{REF}/65,536 です。

シリアル・インターフェース

The AD5512A/AD5542A は、汎用 3 線式又は 4 線式シリアル・インターフェースを介して制御されます。このインターフェースは、最大 50 MHz のクロック・レートで動作することができ、SPI、QSPI、MICROWIRE、DSP の各インターフェース規格と互換性を持っています。タイミング図を図 3 に示します。入力データは、チップ・セレクト入力 \overline{CS} を使ってフレーム化されます。 \overline{CS} がハイ・レベルからロー・レベルへ変化すると、データは同期してシフトされ、シリアル・クロック SCLK の立ち上がりエッジで入力レジスタにラッチされます。データは MSB 先頭の 12 ビット (AD5512A) 又は 16 ビット (AD5542A) でロードされます。12 (AD5512A) 又は 16 (AD5542A) データビットがシリアル入力レジスタにロードされた後、 \overline{CS} がロー・レベルからハイ・レベルへ転移すると、シフトレジスタの内容が DAC に転送されます。 \overline{CS} がロー・レベルの時のみ、データをデバイスにロードする事ができます。

AD5512A/AD5542A には \overline{LDAC} 機能があり、 \overline{CS} がハイ・レベルになった後 \overline{LDAC} をロー・レベルにする事により DAC ラッチを非同期で更新できます。 \overline{LDAC} データをシフトレジスタに書き込む間、 \overline{LDAC} はハイ・レベルに維持されなければなりません。あるいは、DAC を同期して更新するために \overline{LDAC} を恒久的にロー・レベルに接続することもできます。 \overline{LDAC} を恒久的にロー・レベルに接続する事により、データは \overline{CS} の立ち上がりエッジで DAC にロードされます。

ユニポーラ出力動作

これらの DAC は 60 kΩ の無バッファ負荷を駆動できます。バッファが無い動作により、300 μA (typ) の低電源電流と低オフセット誤差を実現しています。The AD5512A/AD5542A のユニポーラ出力振幅範囲は 0 V ~ V_{REF} です。AD5512A/AD5542A を使用してユニポーラ電圧を出力する回路とバイポーラ電圧を出力する回路の両方とも構成する事ができます。図 31 図に代表的なユニポーラ出力電圧回路を示します。この動作モードのコード表を表 9 に示します。

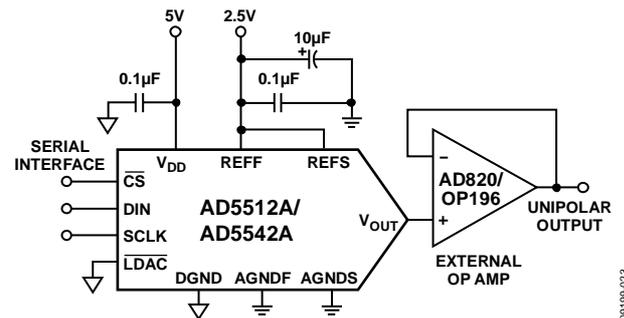


図 31. ユニポーラ出力

表 9. AD5542A ユニポーラのコード表

DAC Latch Contents	Analog Output
MSB LSB	
1111 1111 1111 1111	V _{REF} × (65,535/65,536)
1000 0000 0000 0000	V _{REF} × (32,768/65,536) = ½ V _{REF}
0000 0000 0000 0001	V _{REF} × (1/65,536)
0000 0000 0000 0000	0 V

AD5512A/AD5542A

リファレンス電圧が完全なものと仮定すると、ユニポーラ・ワーストケース出力電圧は次式で計算されます。

$$V_{OUT-UNI} = \frac{D}{2^N} \times (V_{REF} + V_{GE}) + V_{ZSE} + INL$$

ここで、
 $V_{OUT-UNI}$ はユニポーラ・モードのワーストケース出力。
 D は DAC にロードされるコード。
 N は DAC の分解能。
 V_{REF} は製品に入力されるリファレンス電圧。
 V_{GE} はゲイン誤差(V)。
 V_{ZSE} はゼロ・スケール誤差(V)。
 INL は積分非直線性(V)

バイポーラ出力動作

外付けオペアンプを使用する事により、AD5512A/AD5542A をバイポーラ電圧出力回路に構成することができます。代表的な回路を図 32 に示します。このバイポーラ出力振幅を実現するために、外付けオペアンプにマッチングしたバイポーラオフセット抵抗、 R_{FB} と R_{INV} を接続します。(標準的な値は $R_{FB} = R_{INV} = 28 \text{ k}\Omega$ 。) 表 10 に、この出力動作モードの伝達関数を示します。AD5542A には又アナログ・グラウンド入力に対するケルビン接続のセットを内蔵しています。回路例には 2.5 V リファレンスの ADR421 と低オフセット、ゼロ・ドリフトリファレンスバッファの AD8628 が含まれています。

表 10. AD5542A バイポーラのコード表

DAC Latch Contents		Analog Output
MSB	LSB	
1111 1111	1111 1111	$+V_{REF} \times (32,767/32,768)$
1000 0000	0000 0001	$+V_{REF} \times (1/32,768)$
1000 0000	0000 0000	0 V
0111 1111	1111 1111	$-V_{REF} \times (1/32,768)$
0000 0000	0000 0000	$-V_{REF} \times (32,768/32,768) = -V_{REF}$

リファレンス電圧が完全なものと仮定すると、バイポーラ・ワーストケース出力電圧は次式で計算されます。

$$V_{OUT-BIP} = \frac{[(V_{OUT-UNI} + V_{OS})(2 + RD) - V_{REF}(1 + RD)]}{1 + (2 + RD)A}$$

ここで、
 $V_{OUT-BIP}$ はバイポーラ・モード・ワーストケース出力。
 $V_{OUT-UNI}$ はユニポーラモード・ワーストケース出力。
 V_{OS} は外付けオペアンプ入力オフセット電圧。
 RD は R_{FB} 抵抗と R_{INV} 抵抗のマッチング誤差。
 A はオペアンプのオープンループ・ゲイン。

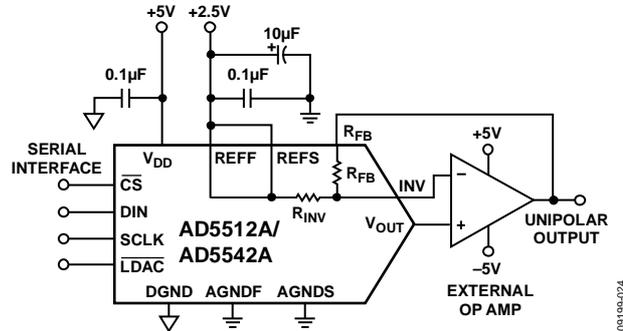


図 32. バイポーラ出力

出力アンプの選択

バイポーラ・モードの場合、高精度アンプを使い、両電源を使う必要があります。これにより $\pm V_{REF}$ 出力が得られます。単電源アプリケーションでは、最適なオペアンプの選択はもっと難しくなります。なぜなら、通常アンプの出力振幅に負側電源レール電圧(この場合は AGND)を含まないからです。アプリケーションでゼロ付近のコードを使わない限り、この規定された性能の低下を招く可能性があります。

選択するオペアンプは、出力オフセットの調整を不要にするため超低オフセット電圧である必要があります(AD5542A のリファレンス電圧が 2.5 V の場合、DAC の LSB は 38 μ V になります)。又バイアス電流と DAC 出力インピーダンス(約 6 k Ω)の積がゼロ・コード誤差に加算されるため、入力バイアス電流も非常に小さい必要があります。レール to レールの入出力性能が要求されます。高速なセトリングを得るためには、オペアンプのスルーレートが DAC のセトリング・タイムを損なわないようにする必要があります。DAC の出力インピーダンスは一定で、コードに依存しませんが、ゲイン誤差を小さくするために、出力アンプの入力インピーダンスはできるだけ大きくする必要があります。また、アンプの 3 dB 帯域幅は 1 MHz 以上である必要があります。アンプは、システムにさらに時定数を追加するため、出力のセトリング時間が増えます。3 dB アンプ帯域幅が広いほど、DAC とアンプを組み合わせた実効セトリング時間が短くなります。

フォース・センス・アンプの選択

単電源の低ノイズ・アンプを使用してください。アンプは最大 ± 20 mA のダイナミック電流を処理する必要があるため、高周波数で低出力インピーダンスである事が望まれます。

リファレンスとグラウンド

入力インピーダンスはコードに依存するため、リファレンス・ピンは低インピーダンス源で駆動する必要があります。AD5512A/AD5542A は、2 V \sim V_{DD} のリファレンス電圧範囲で動作します。リファレンス電圧が 2 V を下回ると、精度が低下します。DAC のフル・スケール出力電圧は、リファレンス電圧により決定されます。表 9 と表 10 に、代表的なデジタル・コードとアナログ出力電圧との関係を示します。最適な性能を得るために、AD5512A/AD5542A にはケルビン検出接続があります。

アプリケーションで別々のフォース線とセンス線が不要な場合は、パッケージ・ピンと内部チップとの間の電圧降下を最小限にするために、パッケージの近くでこれらの線を接続してください。

パワーオン・リセット機能

AD5512A/AD5542A は、パワーアップ時に出力電圧を既知状態にするパワーオン・リセット機能が内蔵されています。パワーアップ時、DAC レジスタ値はシリアル・レジスタからデータがロードされるまで、全ビット“0”になります。しかしパワーアップ時にシリアル・レジスタがクリアされないため、その内容は不定になります。データを初めて DAC にロードするとき、16 ビットかそれ以上をロードして、出力に不正なデータが出力されるのを防止する必要があります。

16 ビット以上がロードされると、最後の 16 ビットが保持され、16 ビット未満がロードされると、前のワードのビットが残ったままになります。AD5512A/AD5542A を 16 ビット以下のデータとインターフェースさせる必要がある場合は、LSB に 0 のデータを埋め込んでください。

電源とリファレンスのバイパス

正確な高分解能性能を得るために、リファレンス・ピンと電源ピンを 10 μ F のタンタル・コンデンサと 0.1 μ F のセラミック・コンデンサで並列接続してバイパスすることを推奨します。

アプリケーション情報

マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5512A/AD5542A とのインターフェースは、マイクロコントローラと DSP プロセッサに対して互換性を持つ標準プロトコルを使うシリアル・バス経由で行います。この通信チャンネルには、クロック信号、データ信号、同期信号から構成される 3 線式または 4 線式のインターフェースが必要です。AD5512A/AD5542A では、16 ビット・データ・ワードを使用し、SCLK の立ち上がりエッジでデータが有効である必要があります。DAC の更新はすべてのデータがクロック入力される時自動的に行われるか、又は LDAC の制御により行われます。

AD5512A/AD5542A と ADSP-BF531 とのインターフェース

AD5512A/AD5542A の SPI インターフェースは、業界標準の DSP とマイクロコントローラに容易に接続できるように設計されています。図 33 に、AD5512A/AD5542A とアナログ・デバイゼズの Blackfin® DSP との接続方法を示します。Blackfin は、AD5512A/AD5542A の SPI ピンへ直接接続できる SPI ポートを内蔵しています。

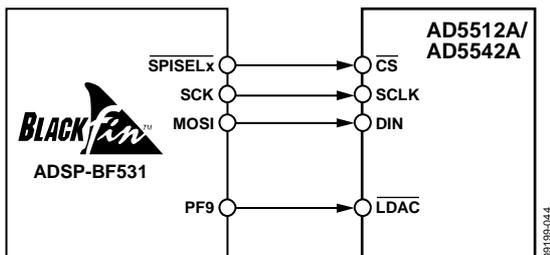


図 33. AD5512A/AD5542A と ADSP-BF531 とのインターフェース

AD5512A/AD5542A と SPORT とのインターフェース

アナログ・デバイゼズの ADSP-BF527 は、1 個の SPORT シリアル・ポートを内蔵しています。図 34 に、1 個の SPORT インターフェースを使って AD5512A/AD5542A を制御する方法を示します。

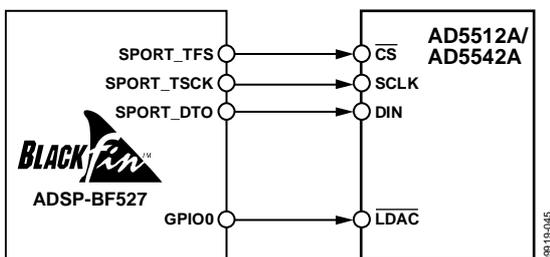
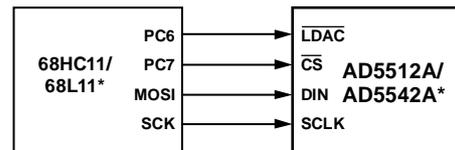


図 34. AD5512A/AD5542A と ADSP-BF527 とのインターフェース

AD5512A/AD5542A と 68HC11/68L11 とのインターフェース

図 35 に、AD5512A/AD5542A と 68HC11/68L11 マイクロコントローラとの間のシリアル・インターフェースを示します。68HC11/68L11 の SCK が DAC の SCLK を駆動し、MOSI 出力が DAC のシリアル・データ・ライン・シリアル DIN を駆動します。CS 信号はポート・ラインの一つにより駆動されます。68HC11/68L11 はマスター・モードに設定します：MSTR = 1, CPOL = 0, CPHA = 0。MOSI 出力に出力されるデータは、SCK の立ち上がりエッジで有効になります。

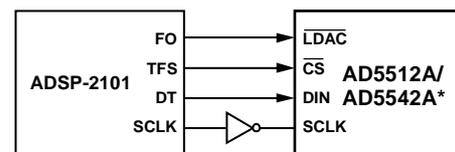


*ADDITIONAL PINS OMITTED FOR CLARITY.

図 35. AD5512A/AD5542A と 68HC11/68L11 とのインターフェース

AD5512A/AD5542A と ADSP-2101 とのインターフェース

図 36 に AD5512A/AD5542A と ADSP-2101 との間のシリアル・インターフェースを示します。ADSP-2101 を SPORT 送信オールタナート・フレーミング・モードで動作するように設定してください。ADSP2101 のプログラムは SPORT コントロール・レジスタを通じて設定されますが、内部クロック動作、アクティブ・ロー・フレーミング、16 ビット・ワード長にする必要があります。転送は、SPORT をイネーブルした後に、Tx レジスタに 1 ワードを書きこむことにより、開始されます。データは、シリアル・クロックの各立ち上がりエッジでクロック出力されるので、DSP と DAC の間にインバータが必要です。なぜなら AD5512A/AD5542A はデータを SCLK の立下りエッジでクロック入力するからです。

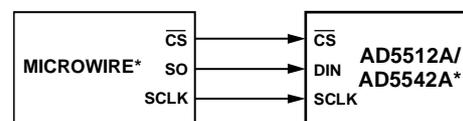


*ADDITIONAL PINS OMITTED FOR CLARITY.

図 36. AD5512A/AD5542A と ADSP-2101 とのインターフェース

AD5512A/AD5542A と MICROWIRE とのインターフェース

図 37 に、AD5512A/AD5542A と任意の MICROWIRE 互換デバイスとの間のインターフェースを示します。シリアル・データはシリアル・クロックの立ち下がりエッジでシフト出力され、シリアル・クロックの立ち上がりエッジで AD5512A/AD5542A に入力されます。DAC は立ち上がりエッジでデータを入力シフトレジスタにクロック入力するので、外付けロジック回路は必要ありません。



*ADDITIONAL PINS OMITTED FOR CLARITY.

図 37. AD5512A/AD5542A と MICROWIRE とのインターフェース

レイアウトのガイドライン

精度が重要な回路では、電源とグラウンド・リターンノイズのレイアウトを注意深く行うことが、定格性能の保証に役立ちます。

AD5512A/AD5542A を実装するプリント回路ボード

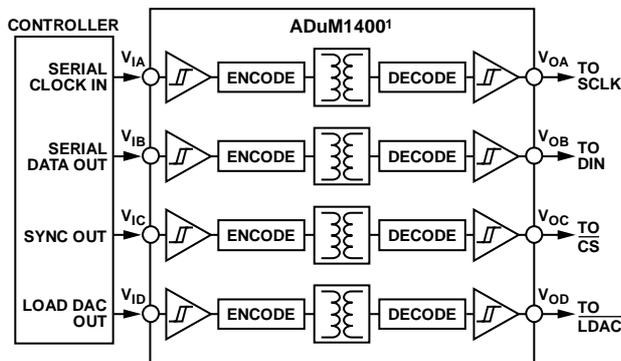
(PCB) の設計は、アナログ部分とデジタル部分を分離して、ボードの一定領域にまとめて配置するようする必要があります。複数のデバイスがアナログ・グラウンドとデジタル・グラウンドの接続を必要とするシステム内で

AD5512A/AD5542A を使用する場合は、この接続は 1 ヲ所で行う必要があります。デバイスのできるだけ近くに星型のグラウンド・ポイントを構成する必要があります。

AD5512A/AD5542A に対しては、パッケージのできるだけ近く (理想的にはデバイスに直接に) で、各電源に 10 μ F と 0.1 μ F を並列に接続して十分な電源バイパスを施す必要があります。10 μ F コンデンサにはタンタルのビーズ型を使います。0.1 μ F コンデンサには、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミックタイプのような低実効直列抵抗 (ESR) で低実効直列インダクタンス (ESL) のものを使って、内部ロジックのスイッチングによる過渡電流に対応する必要があります。

電流絶縁型インターフェース

多くのプロセス制御アプリケーションでは、コントローラと制御対象のユニットとの間に絶縁障壁を設けて、危険な同相モード電圧から制御回路を保護し、絶縁することが必要です。アナログ・デバイス社の iCoupler[®]製品は 2.5 kV を超える電圧絶縁があります。AD5512A/AD5542A はシリアルローディング構成で、インターフェース・ラインの数が最小となっているので、絶縁インターフェース向けに最適です。図 38 に ADuM1400 を使用した AD5512A/AD5542A に対する 4 チャンネル絶縁インターフェースを示します。詳細については、<http://www.analog.com/icouplers> をご覧ください。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

図 38. 絶縁型インターフェース

複数 DAC のデコーディング

AD5541A の \overline{CS} ピンを使用して、複数の DAC から 1 つを選択することが出来ます。すべてのデバイスが同じシリアル・クロックとシリアル・データを受信しますが、同時に \overline{CS} 信号を受信するのは 1 個のデバイスだけです。アドレス指定された DAC が、デコーダにより識別されます。デジタル入力ラインから幾らかのデジタル・フィードスルーがあります。バースト・クロックを使うと、アナログ信号チャンネルへのデジタル・フィードスルーの影響を最小限にする事ができます。図 39 に代表的な回路を示します。

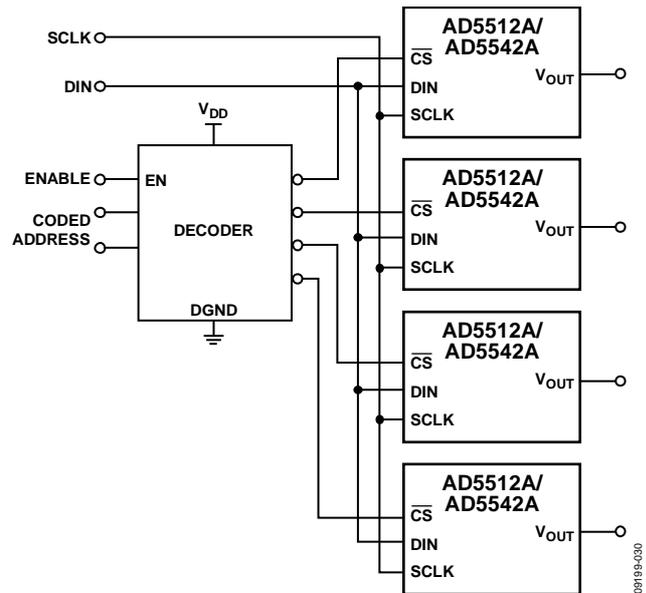
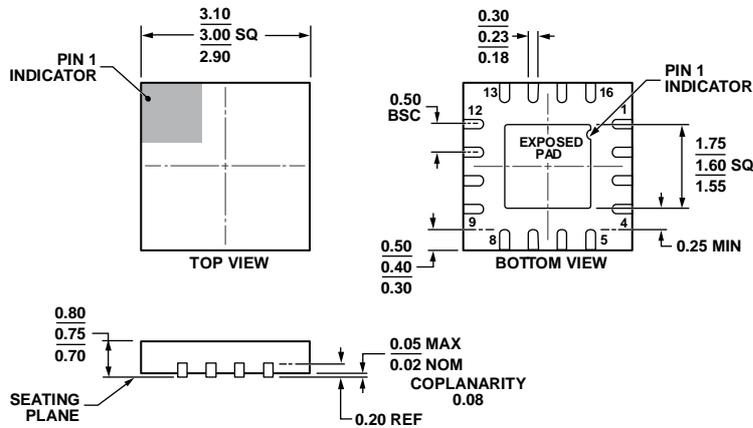


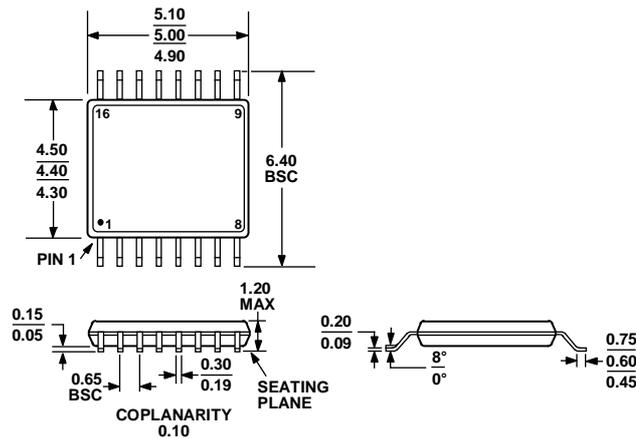
図 39. 複数 DAC のアドレス指定

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WEED.

図 40.16 ピン・リード・フレーム・チップ・スケール・パッケージ[LFCSP] (CP-16-10) 寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-153-AB

図 41.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP] (RU-16) 寸法: mm

02D093-B

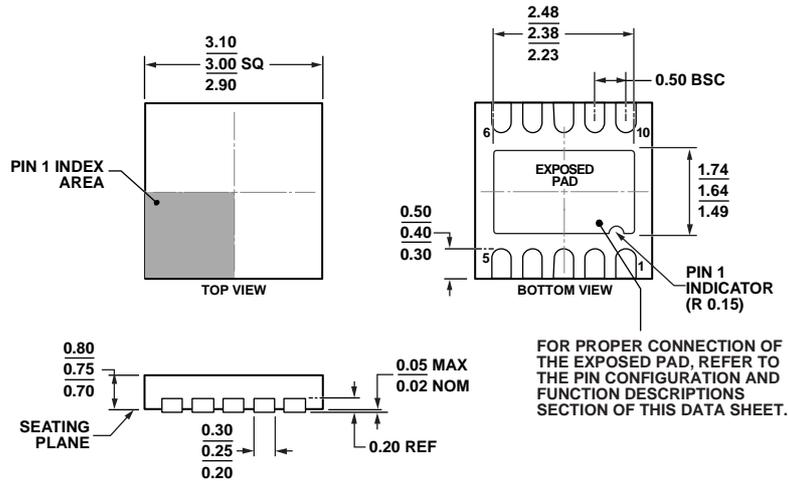


図 42.10 ピン・リード・フレーム・チップ・スケール・パッケージ[LFCSP_WD]
3 mm x 3 mm ボディ、極薄、デュアル・ピン(CP-10-9) 寸法: mm

オーダー・ガイド

Model ¹	INL	DNL	Power On Reset to Code	Temperature Range	Package Description	Package Option	Branding
AD5512AACPZ-REEL7	±1 LSB	±1 LSB	Midscale	-40°C to +125°C	16-Lead LFCSP P	CP-16-22	DFQ
AD5542ABRUZ	±1 LSB	±1 LSB	Midscale	-40°C to +85°C	1 6-Lead TSSOP	RU-16	
AD5542ABRUZ-REEL7	±1 LSB	±1 LSB	Midscale	-40°C to +85°C	16-Lead TSSOP	RU-16	
AD5542AARUZ	±2 LSB	±1 LSB	Midscale	-40°C to +85°C	1 6-Lead TSSOP	RU-16	
AD5542AARUZ-REEL7	±2 LSB	±1 LSB	Midscale	-40°C to +85°C	16-Lead TSSOP	RU-16	
AD5542ABCPZ-REEL7	±1 LSB	±1 LSB	Midscale	-40°C to +85°C	16-Lead LFCSP	CP-16-22	DFL
AD5542AACPZ-REEL7	±2 LSB	±1 LSB	Midscale	-40°C to +85°C	16-Lead LFCSP	CP-16-22	DFK
AD5442ABCPZ-1-RL7	±1 LSB	±1 LSB	Midscale	-40°C to +85°C	10-Lead LFCSP	CP-10-9	DFM

¹ Z = RoHS 準拠製品

ノート

ノート

ノート