

AD5450/AD5451/AD5452

特長

動作電源電圧： $+2.5\sim+5.5V$
 50MHzのシリアル・インターフェース
 リファレンス入力： $\pm 10V$
 パッケージ：8ピンTSOTまたはMSOP
 ピン・コンパチブルな8/10/12ビット電流出力DAC
 拡張工業用温度範囲(3)： $-40\sim+125^{\circ}C$
 単調増加性を保証
 4象限乗算機能
 電圧低下検出機能付きのパワーオン・リセット
 消費電流： $4\mu A$ 未満(typ)

アプリケーション

携帯型バッテリー駆動のアプリケーション
 波形発生器
 アナログ信号処理
 計測器
 プログラマブルなアンプおよび減衰器
 デジタル制御によるキャリブレーション
 プログラマブルなフィルタおよび発振器
 コンポジット・ビデオ
 超音波機器
 ゲイン、オフセット、電圧のトリミング

概要

AD5450/AD5451/AD5452¹は、それぞれ8/10/12ビットのCMOS電流出力D/Aコンバータ(DAC)です。 $+2.5\sim+5.5V$ の電源で動作するため、バッテリー駆動のアプリケーションなどに適しています。

これらのDACは、SPI[®]、QSPI[™]、MICROWIRE[™]、大部分のDSPインターフェース規格と互換性を持つダブル・バッファ付き3線式シリアル・インターフェースを採用しています。パワーアップ時には、内部のシフト・レジスタとラッチにゼロが設定され、DAC出力はゼロスケールになります。

CMOSサブミクロン・プロセスで製造されているため、優れた4象限乗算機能を提供します。フルスケール出力電流は、外部リファレンス入力電圧(V_{REF})により決定されます。 $+2.5\sim+5.5V$ の単電源で動作するにもかかわらず、リファレンスとして $\pm 10V$ を入力することができます。内蔵の帰還抵抗(R_{FB})を外付けの電流/電圧(I/V)変換用高精度アンプと組み合わせると、温度トラッキング機能とフルスケール電圧出力が可能になります。

AD5450/AD5451/AD5452 DACは小型の8ピンTSOTパッケージまたはMSOPパッケージを採用しています。

¹ 米国特許番号5,689,257

機能ブロック図

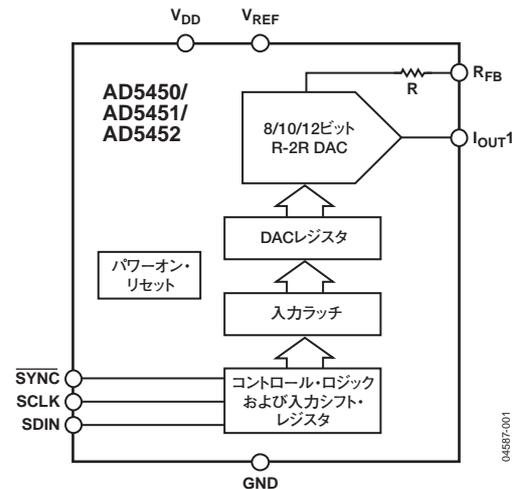


図1. 機能ブロック図

AD5450/AD5451/AD5452

目次

仕様	3	DACをデバイダまたはプログラマブル・ゲイン素子として	
タイミング特性	5	使用する場合	17
絶対最大定格	6	リファレンスの選択	18
ESDに関する注意	6	アンプの選択	18
ピン配置および機能の説明	7	シリアル・インターフェース	20
用語の説明	8	マイクロプロセッサとのインターフェース	20
代表的な性能特性	9	PCボードのレイアウトと電源デカップリング	22
機能の説明	15	DAC用評価用ボード	22
DAC部	15	評価用ボードの電源	22
回路動作	15	外形寸法	26
単電源アプリケーション	17	オーダー・ガイド	27
ゲインの増加	17		

改訂履歴

1/05—Revision 0: Initial Version

AD5450/AD5451/AD5452

仕様

特に指定のない限り、 $V_{DD}=2.5\sim 5.5V$ 、 $V_{REF}=+10V$ 、Yバージョンの温度範囲： $-40\sim +125^{\circ}C$ 、 $T_{MIN}\sim T_{MAX}$ 、DC性能はOP1177を、AC性能はAD8038を使用して測定。

表1

パラメータ	Min	Typ	Max	単位	条件
静的性能					
AD5450					
分解能			8	ビット	単調性増加生を保証
相対精度 (INL)			± 0.25	LSB	
微分非直線性 (DNL)			± 0.5	LSB	
総合未調整誤差 (TUE)			± 0.5	LSB	
ゲイン誤差			± 0.25	LSB	
AD5451					
分解能			10	ビット	単調性増加生を保証
相対精度 (INL)			± 0.25	LSB	
微分非直線性 (DNL)			± 0.5	LSB	
総合未調整誤差 (TUE)			± 0.5	LSB	
ゲイン誤差			± 0.25	LSB	
AD5452					
分解能			12	ビット	単調性増加生を保証
相対精度 (INL)			± 0.5	LSB	
微分非直線性 (DNL)			± 1	LSB	
総合未調整誤差 (TUE)			± 1	LSB	
ゲイン誤差			± 0.5	LSB	
ゲイン誤差の温度係数 (TC) ¹		± 5		ppm FSR/ $^{\circ}C$	
出力リーク電流			± 1	nA	データ=0000 _H 、 $T_A=25^{\circ}C$ 、 I_{OUT1}
			± 10	nA	データ=0000 _H 、 $T_A=-40\sim 125^{\circ}C$ 、 I_{OUT1}
リファレンス入力 ¹					
リファレンス入力範囲		± 10		V	
V_{REF} 入力抵抗	7	9	11	k Ω	入力抵抗TC= $-50ppm/^{\circ}C$
R_{FB} 帰還抵抗	7	9	11	k Ω	入力抵抗TC= $-50ppm/^{\circ}C$
入力容量					
ゼロスケール・コード		18	22	pF	
フルスケール・コード		18	22	pF	
デジタル入出力 ¹					
入力ハイレベル電圧 (V_{IH})	2.0			V	$V_{DD}=3.6\sim 5V$
	1.7			V	$V_{DD}=2.5\sim 3.6V$
入力ローレベル電圧 (V_{IL})			0.8	V	$V_{DD}=2.7\sim 5.5V$
			0.7	V	$V_{DD}=2.5\sim 2.7V$
出力ハイレベル電圧 (V_{OH})	$V_{DD}-1$			V	$V_{DD}=4.5V\sim 5V$ 、 $I_{SOURCE}=200\mu A$
	$V_{DD}-0.5$			V	$V_{DD}=2.5V\sim 3.6V$ 、 $I_{SOURCE}=200\mu A$
出力ローレベル電圧 (V_{OL})			0.4	V	$V_{DD}=4.5V\sim 5V$ 、 $I_{SINK}=200\mu A$
			0.4	V	$V_{DD}=2.5V\sim 3.6V$ 、 $I_{SINK}=200\mu A$
入力リーク電流 (I_{IL})			± 1	nA	$T_A=25^{\circ}C$
			± 10	nA	$T_A=-40\sim +125^{\circ}C$
入力容量			10	pF	

AD5450/AD5451/AD5452

パラメータ	Min	Typ	Max	単位	条件
動的性能 ¹					
リファレンス入力帯域幅	10			MHz	$V_{REF}=\pm 3.5V$ 、DACに全ビット「1」をロード
出力電圧セトリング時間					$V_{REF}=10V$ 、 $R_{LOAD}=100\Omega$ 、DACラッチに全ビット「0」と「1」を交互にロード
フルスケールの±1mV以内		100	110	ns	
フルスケールの±4mV以内		24	40	ns	
フルスケールの±16mV以内		16	33	ns	
デジタル遅延		20	40	ns	インターフェース遅延時間
10%から90%へのセトリング時間		10	30	ns	立上がりおよび立下がり時間、 $V_{REF}=10V$ 、 $R_{LOAD}=100\Omega$
デジタルからアナログへのグリッチ・インパルス		2		nV-s	メジャー・キャリー付近での1 LSB変化、 $V_{REF}=0V$
出力容量					
I_{OUT1}		13		pF	DACラッチに全ビット「0」をロード
		28		pF	DACラッチに全ビット「1」をロード
I_{OUT2}		18		pF	DACラッチに全ビット「0」をロード
		5		pF	DACラッチに全ビット「1」をロード
デジタル・フィードスルー		0.5		nV-s	\overline{CS} がハイレベルで、全ビット「0」と全ビット「1」を交互にロードしたときのDAC出力へのフィードスルー
アナログTHD		83		dB	$V_{REF}=3.5V_{p-p}$ 、全ビット「1」をロード、 $f=1kHz$
デジタルTHD					クロック=1MHz、 $V_{REF}=3.5V$
50kHz f_{OUT}		71		dB	
20kHz f_{OUT}		77		dB	
出力ノイズ・スペクトル密度		25		nV/ \sqrt{Hz}	@ 1kHz
SFDR性能(ワイドバンド)					クロック=1MHz、 $V_{REF}=3.5V$
50kHz f_{OUT}		78		dB	
20kHz f_{OUT}		74		dB	
SFDR性能(ナローバンド)					クロック=1MHz、 $V_{REF}=3.5V$
50kHz f_{OUT}		87		dB	
20kHz f_{OUT}		85		dB	
相互変調歪み		79		dB	$f_1=20kHz$ 、 $f_2=25kHz$ 、クロック=1MHz、 $V_{REF}=3.5V$
電源条件					
電源電圧範囲	2.5		5.5	V	
I_{DD}		0.4	10	μA	$T_A=-40\sim+125^\circ C$ 、ロジック入力=0Vまたは V_{DD}
			0.6	μA	$T_A=25^\circ C$ 、ロジック入力=0Vまたは V_{DD}
電源電圧変動感度 ¹			0.001	%/%	$\Delta V_{DD}=\pm 5\%$

¹ 設計および特性評価により保証。出荷テストは実施していません。

タイミング特性

すべての入力信号は $t_r=t_f=1\text{ns}$ (V_{DD} の10~90%)で規定し、 $(V_{IL}+V_{IH})/2$ の電圧レベルからの時間とします。 $V_{REF}=5\text{V}$ 、Yバージョンの温度範囲： $-40\sim+125^\circ\text{C}$ (図2参照)。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。

表2

パラメータ ¹	$V_{DD}=2.5\sim 5.5\text{V}$	単位	条件/コメント
f_{SCLK}	50	MHz (max)	最大クロック周波数
t_1	20	ns (min)	SCLKサイクル時間
t_2	8	ns (min)	SCLKのハイレベル時間
t_3	8	ns (min)	SCLKのローレベル時間
t_4	8	ns (min)	$\overline{\text{SYNC}}$ の立下がりエッジからSCLKのアクティブ・エッジまでのセットアップ時間
t_5	5	ns (min)	データのセットアップ時間
t_6	4.5	ns (min)	データのホールド時間
t_7	5	ns (min)	$\overline{\text{SYNC}}$ 立上がりエッジからSCLKアクティブ・エッジまで
t_8	30	ns (min)	$\overline{\text{SYNC}}$ の最小ハイレベル時間

¹ 設計および特性評価により保証。出荷テストは実施していません。

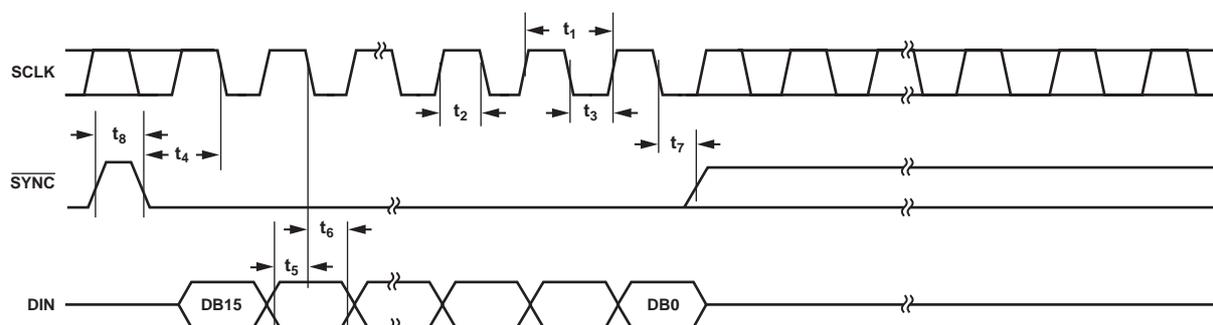


図2. タイミング図

04687-002

AD5450/AD5451/AD5452

絶対最大定格

100mAまでの過渡電流ではSCRラッチ・アップは生じません。特に指定のない限り、 $T_A=25^\circ\text{C}$ 。

表3

パラメータ	定格
GNDに対する V_{DD}	$-0.3\sim+7\text{V}$
GNDに対する V_{REF} 、 R_{FB}	$-12\sim+12\text{V}$
GNDに対する I_{OUT1}	$-0.3\sim+7\text{V}$
電源ピン以外の全ピンの入力電流	$\pm 10\text{mA}$
ロジック入力および出力 ¹	$-0.3\sim V_{DD}+0.3\text{V}$
動作温度範囲	
拡張工業用 (Yバージョン)	$-40\sim+125^\circ\text{C}$
保存温度範囲	$-65\sim+150^\circ\text{C}$
ジャンクション温度	150°C
θ_{JA} 熱抵抗	
8ピンMSOP	$206^\circ\text{C}/\text{W}$
8ピンTSOT	$211^\circ\text{C}/\text{W}$
リードピン温度 (ハンダ処理、10秒)	300°C
赤外線リフロー時のピーク温度 (20秒以下)	235°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えます。

¹ SCLK、SYNC、SDINでの過電圧は、内部ダイオードでクランプされます。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないうまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置および機能の説明

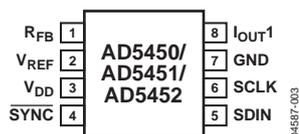


図3. TSOTのピン配置

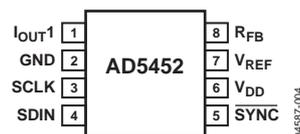


図4. MSOPのピン配置

表4. ピン機能の説明

TSOT	MSOP	記号	機能
8	1	I _{OUT1}	DACの電流出力
7	2	GND	グラウンド・ピン
6	3	SCLK	シリアル・クロック入力。デフォルトでは、データはシリアル・クロック入力の立下がりエッジでシフト・レジスタに入力されます。代わりに、シリアル・コントロール・ビットを使って、SCLKの立上がりエッジでデータがシフト・レジスタに入力されるように、デバイスを設定することもできます。
5	4	SDIN	シリアル・データ入力。データはシリアル・クロック入力のアクティブ・エッジで16ビット入力レジスタに入力されます。パワーアップ時、デフォルトでは、データはSCLKの立下がりエッジでシフト・レジスタに入力されます。コントロール・ビットを使用し、アクティブ・エッジを立上がりエッジに変更できます。
4	5	$\overline{\text{SYNC}}$	コントロール入力(アクティブ・ロー)。これは、入力データに対するフレーム同期信号です。データは次のクロックのアクティブ・エッジでシフト・レジスタにロードされます。
3	6	V _{DD}	正側電源入力。これらのデバイスは2.5~5.5Vの電源で動作します。
2	7	V _{REF}	DACのリファレンス電圧入力
1	8	RFB	DAC帰還抵抗。外付けアンプの出力に接続して、DACの電流出力を電圧に変換します。

AD5450/AD5451/AD5452

用語の説明

相対精度(積分非直線性、INL)

相対精度またはエンドポイント非直線性とは、DAC伝達関数の両端を結ぶ直線からの最大偏差を表します。ゼロスケールおよびフルスケールの調節後に測定し、一般にLSB単位またはフルスケールのパーセント値で表します。

微分非直線性(DNL)

微分非直線性とは、隣接する2つのコードの間における測定された変化と理論的な1LSB変化との差を表します。微分非直線性の仕様が全動作温度範囲で±1LSB以内の場合、単調性増加生が保証されます。

ゲイン誤差

ゲイン誤差またはフルスケール誤差とは、DACの理論出力値とデバイス実際の出力との間の出力誤差を表します。これらのDACでは、理論最大出力は $V_{REF} \pm 1LSB$ になります。DACのゲイン誤差は、外付け抵抗を使って0に調整できます。

出力リーク電流

出力リーク電流は、DACのラダー・スイッチがオフのときに、これらのスイッチに流入する電流を表します。I_{OUT1}ピンの場合は、全ビット「0」をDACにロードしてI_{OUT1}電流を測定します。

出力容量

I_{OUT1}とAGNDとの間の容量。

出力電流セトリング時間

フルスケールの入力変化に対して、出力が規定のレベルに安定するまでの時間を表します。これらのデバイスの場合、100Ωの抵抗をグラウンドに接続して規定しています。セトリング時間仕様には、 \overline{SYNC} の立上がりエッジからフルスケールの出力変化までのデジタル遅延が含まれます。

デジタルからアナログへのグリッチ・インパルス

入力によって状態が変化したとき、デジタル入力からアナログ出力に注入される電荷の量。通常、グリッチの面積として規定され、グリッチが電流信号と電圧信号のどちらで測定されるかに応じて、それぞれpA-secまたはnV-secで表します。

デジタル・フィードスルー

デバイスが選択されていないにもかかわらず、デバイスのデジタル入力上の高周波ロジック動作がデバイスを通して容量的に結合され、I_{OUT}ピンと後段の回路にノイズとして現れます。このノイズがデジタル・フィードスルーです。

乗算フィードスルー誤差

DACに全ビット「0」をロードしたときの、DACのリファレンス入力からDACのI_{OUT1}ピンへの容量性フィードスルーに起因する誤差を表します。

全高調波歪み(THD)

このDACは、ACリファレンス駆動が可能です。THDは、DAC出力の各高調波のrms和と基本波の比を表します。次に示すように、一般に2～5次の高調波のみで表されます。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1}$$

デジタル相互変調歪み(IMD)

2次相互変調歪み(IMD)は、DACでデジタル的に発生したfaとfbの2トーンと、2fa - fbと2fb - faに発生する2次の歪みとの相対振幅になります。

コンプライアンス電圧範囲

デバイスが仕様規定しているピン電圧(出力)の最大範囲を表します。

スプリアス・フリー・ダイナミック・レンジ(SFDR)

基本波信号がスプリアス・ノイズの干渉または歪みを受けなくすむ、DACで使用できるダイナミック・レンジをいいます。SFDRは、DCからナイキスト周波数(DACサンプリング・レートの1/2、すなわちf_s/2)までの高調波または非高調波の最大のスプリアスと基本波との間の振幅差として表されます。ナローバンドのSFDRは、任意のウィンドウ・サイズ(この場合、基本波の50%)で測定したSFDRをいいます。デジタルSFDRは、信号がデジタル的に生成された正弦波の場合に、DACが使用できるダイナミック・レンジです。

代表的な性能特性

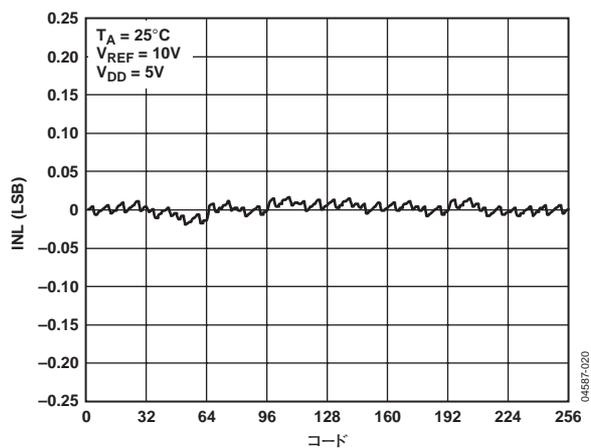


図5. コード対 INL(8ビットDAC)

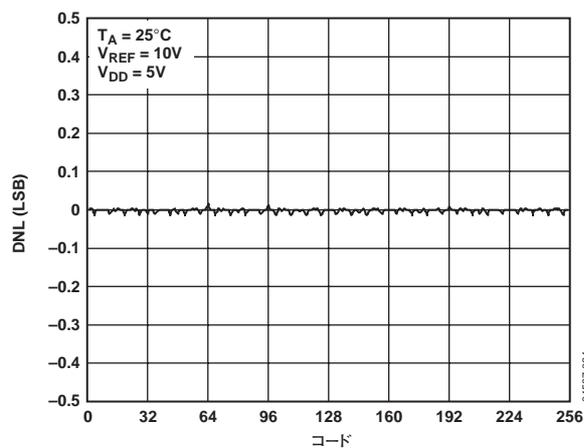


図8. コード対 DNL(8ビットDAC)

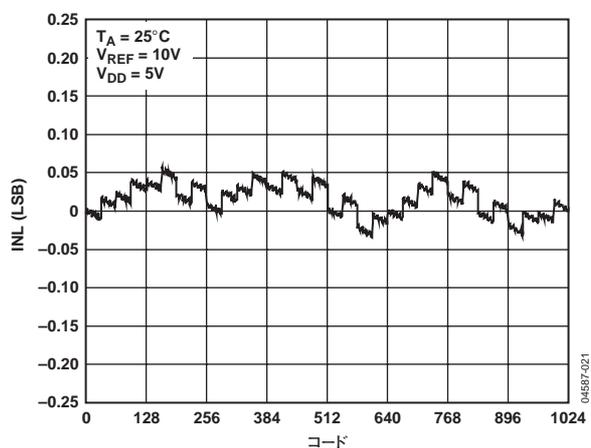


図6. コード対 INL(10ビットDAC)

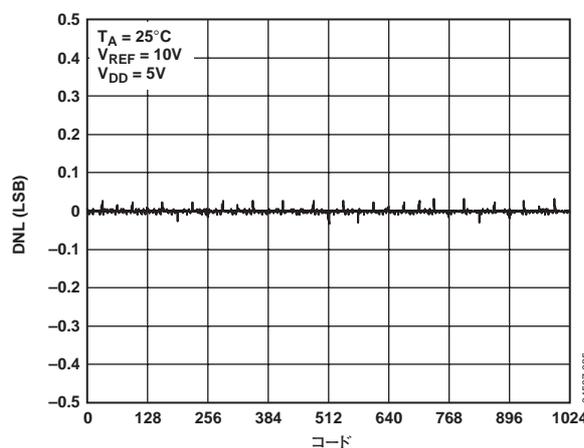


図9. コード対 DNL(10ビットDAC)

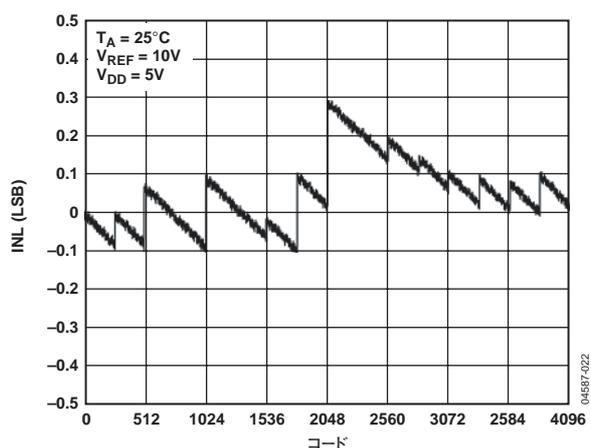


図7. コード対 INL(12ビットDAC)

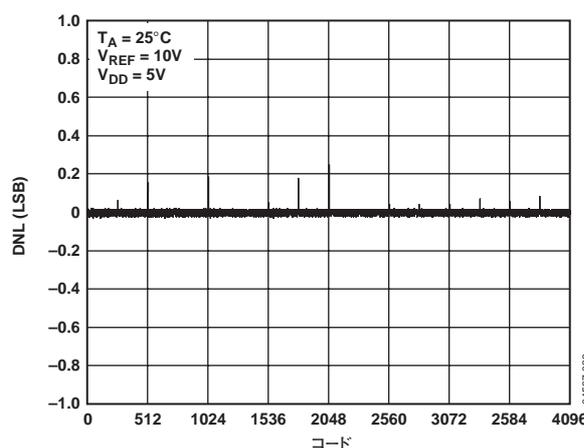


図10. コード対 DNL(12ビットDAC)

AD5450/AD5451/AD5452

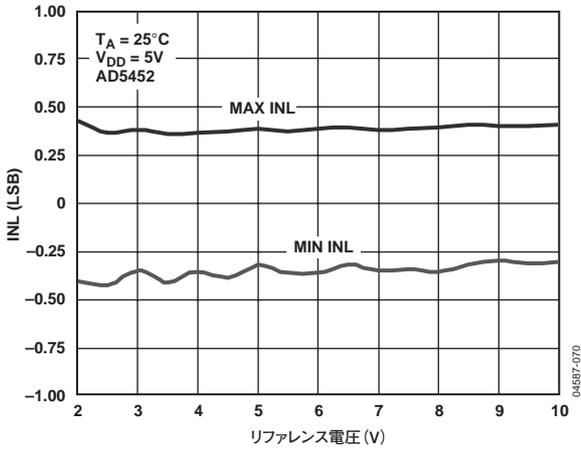


図11. リファレンス電圧 対 INL

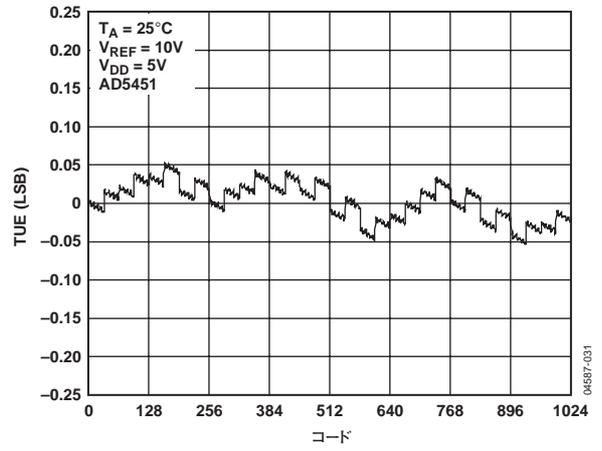


図14. コード 対 TUE(10ビットDAC)

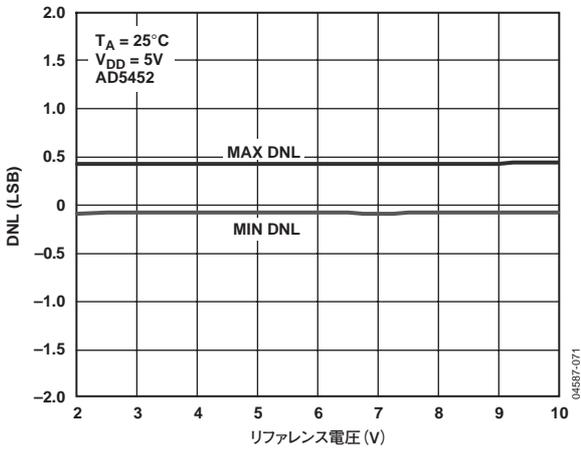


図12. リファレンス電圧 対 DNL

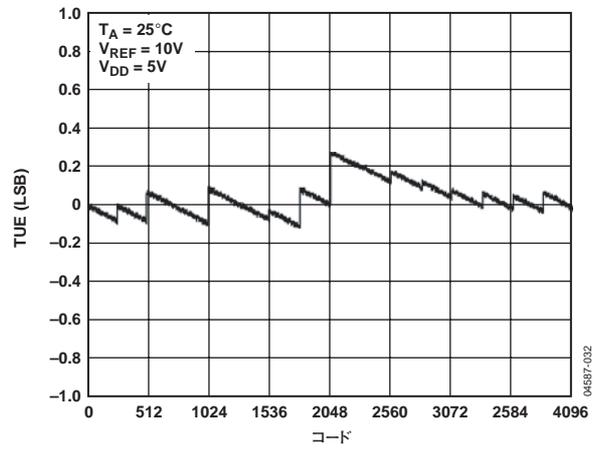


図15. コード 対 TUE(12ビットDAC)

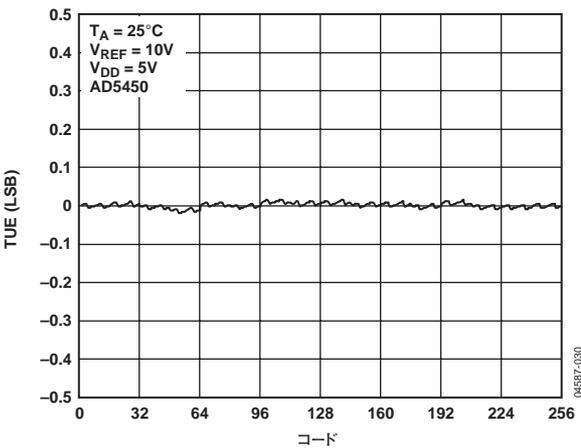


図13. コード 対 TUE(8ビットDAC)

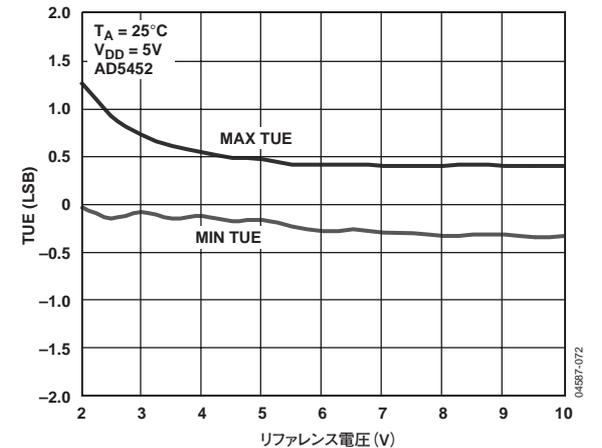


図16. リファレンス電圧 対 TUE

AD5450/AD5451/AD5452

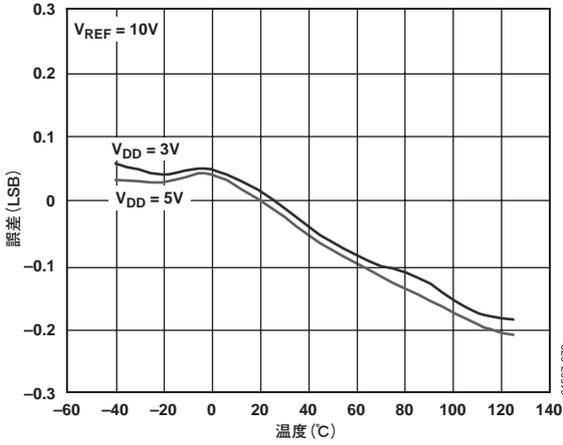


図17. ゲイン誤差 (LSB) の温度特性

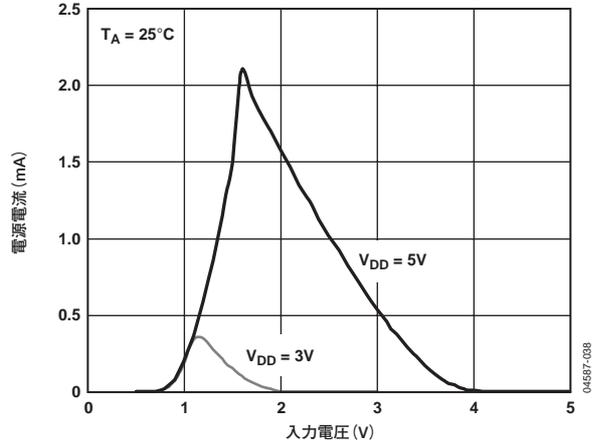


図20. ロジック入力電圧 対 電源電流

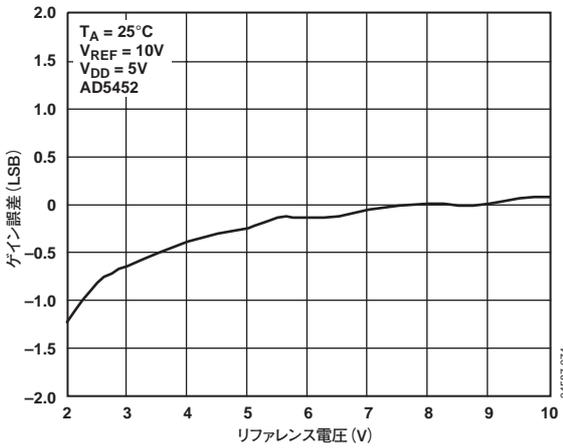


図18. リファレンス電圧 対 ゲイン誤差 (LSB)

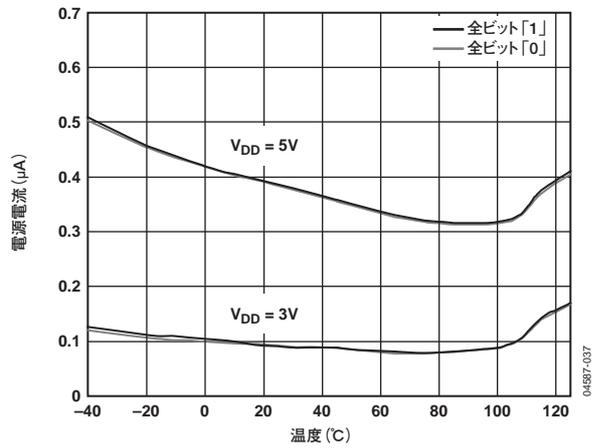


図21. 電源電流の温度特性

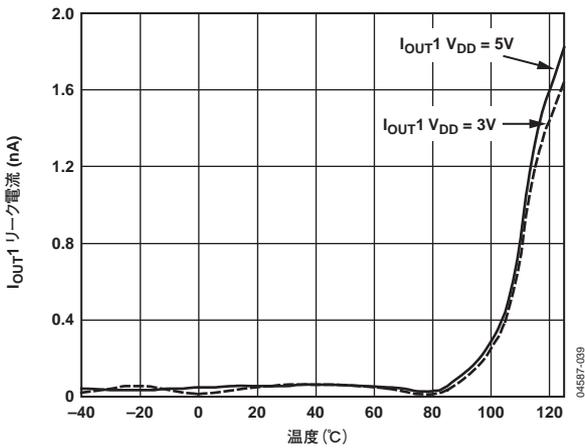


図19. Iout1リーク電流の温度特性

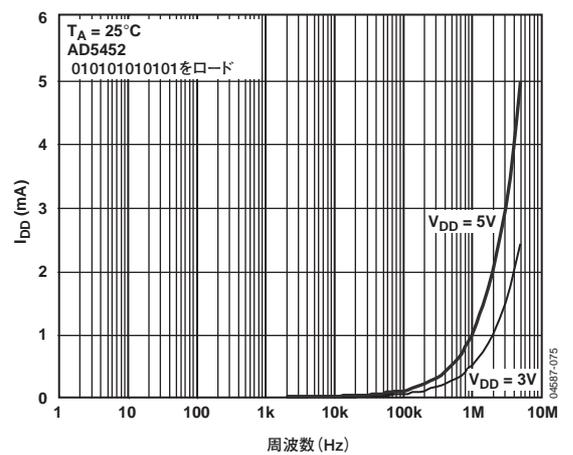


図22. 更新レート 対 電源電流

AD5450/AD5451/AD5452

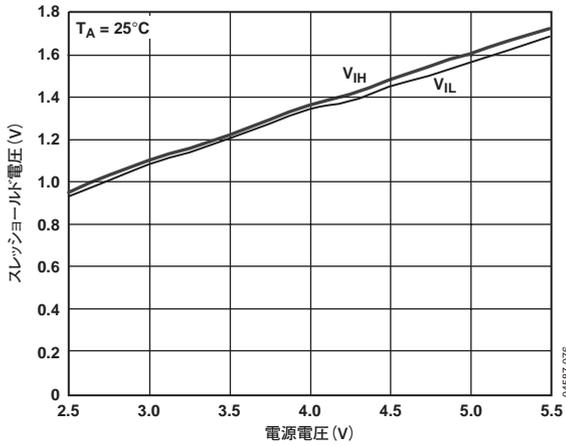


図23. 電源電圧 対 スレッショールド電圧

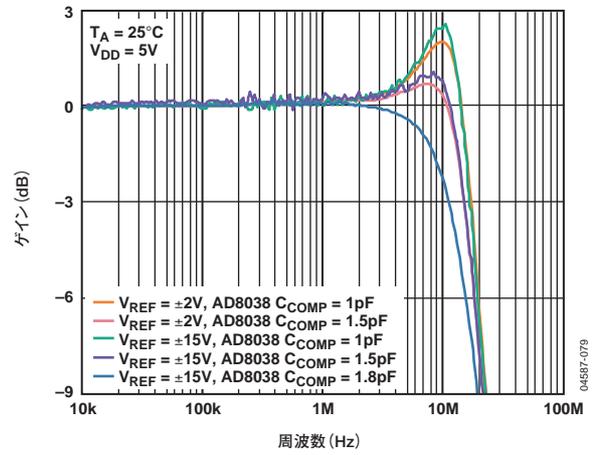


図26. 各補償コンデンサに対するリファレンス乗算帯域幅の周波数特性

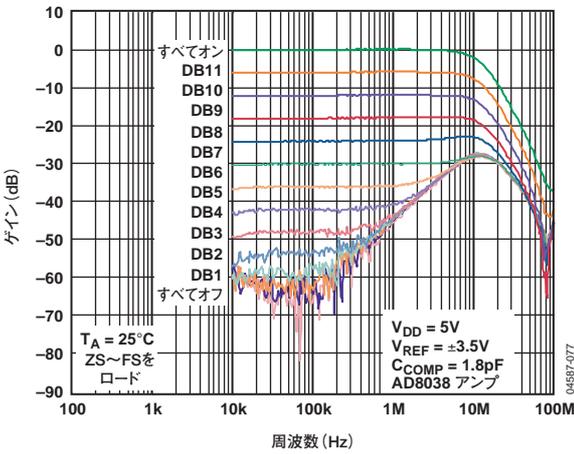


図24. 各コードに対するリファレンス乗算帯域幅の周波数特性

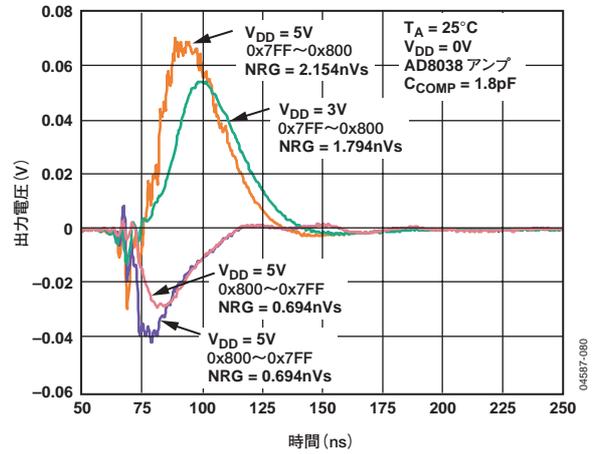


図27. ミッドスケール遷移 ($V_{REF} = 0V$)

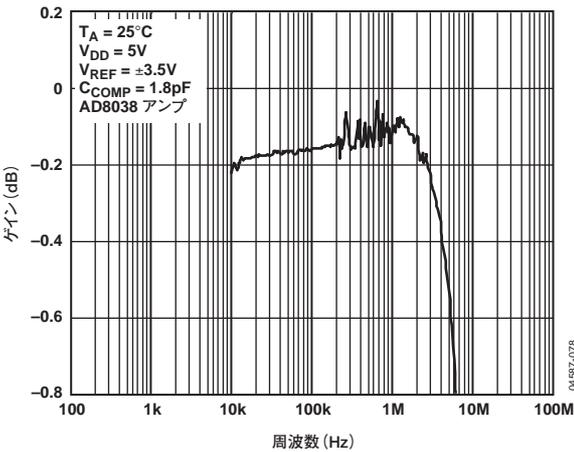


図25. リファレンス乗算帯域幅(全ビット「1」をロード)

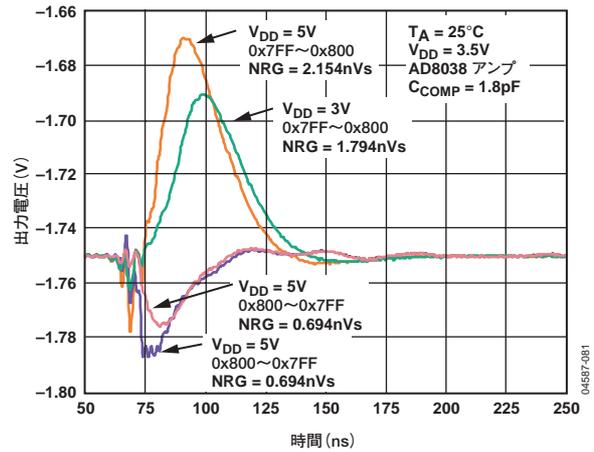


図28. ミッドスケール遷移 ($V_{REF} = 3.5V$)

AD5450/AD5451/AD5452

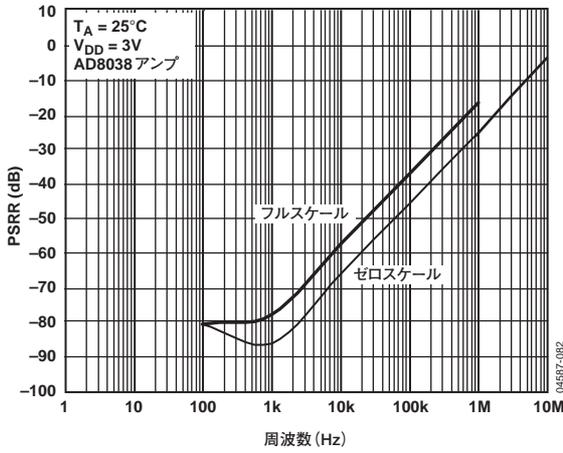


図29. 電源電圧変動除去比の周波数特性

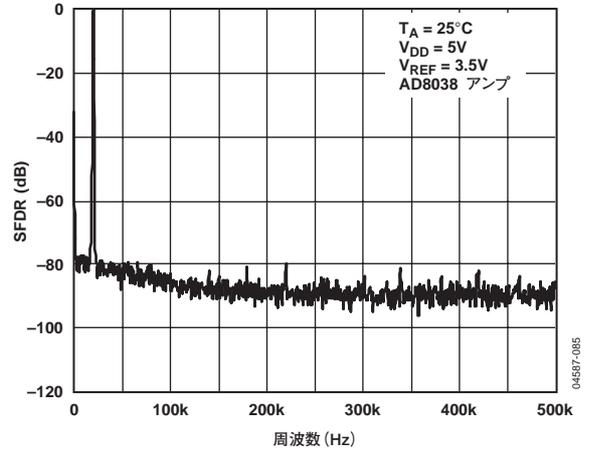


図32. ワイドバンドSFDR ($f_{OUT} = 20\text{kHz}$ 、クロック = 1MHz)

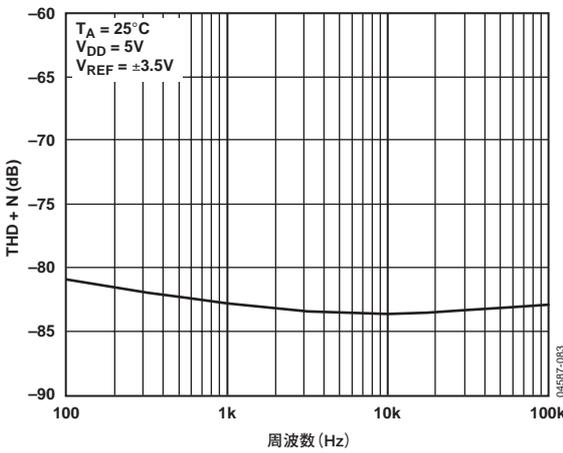


図30. THD + ノイズの周波数特性

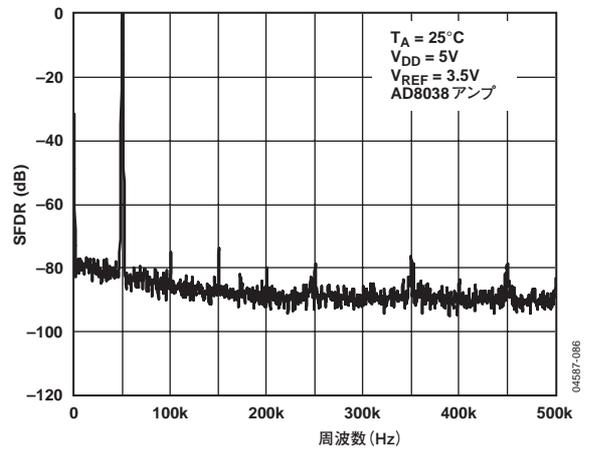


図33. ワイドバンドSFDR ($f_{OUT} = 50\text{kHz}$ 、クロック = 1MHz)

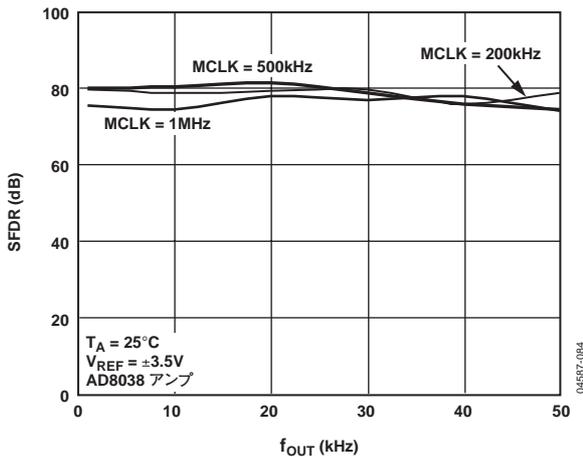


図31. f_{OUT} 周波数 対 ワイドバンド SFDR

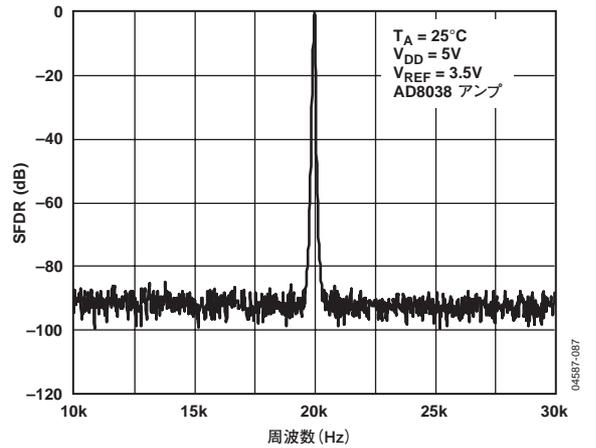


図34. ナローバンドSFDR ($f_{OUT} = 20\text{kHz}$ 、クロック = 1MHz)

AD5450/AD5451/AD5452

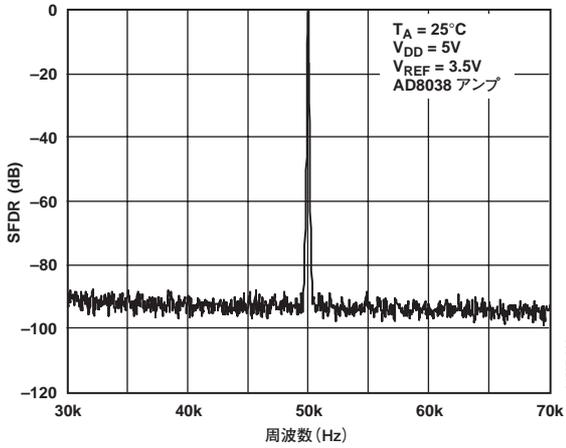


図35. ナローバンドSFDR($f_{OUT} = 50\text{kHz}$ 、クロック = 1MHz)

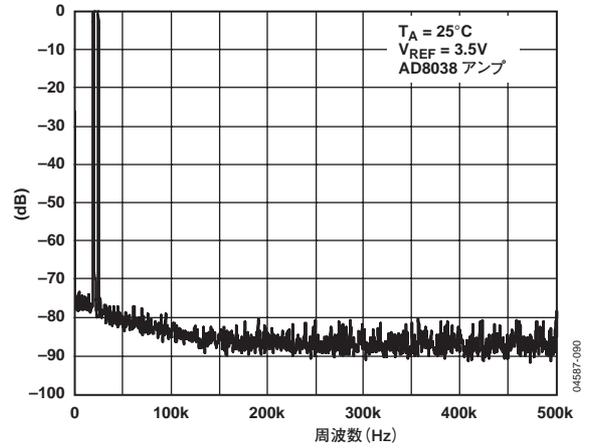


図37. ワイドバンドIMD($f_{OUT} = 20\text{kHz}$ 、 25kHz 、クロック = 1MHz)

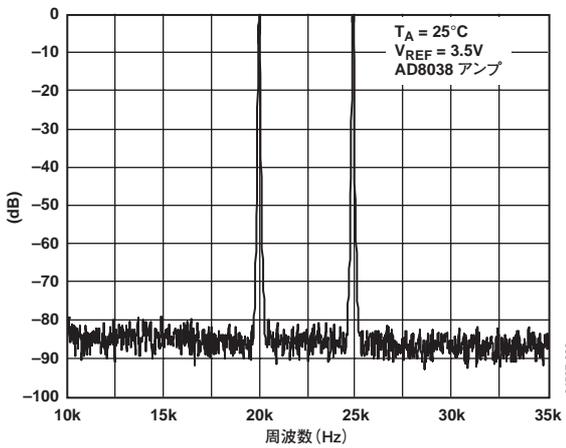


図36. ナローバンドIMD($f_{OUT} = 20\text{kHz}$ 、 25kHz 、クロック = 1MHz)

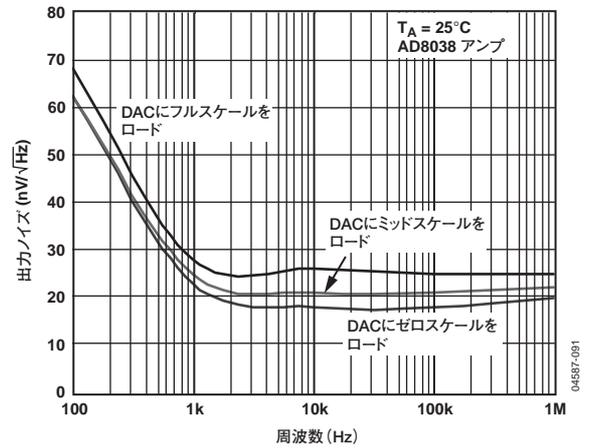


図38. 出力ノイズ・スペクトル密度

機能の説明

DAC部

AD5450/AD5451/AD5452はそれぞれ8/10/12ビットの電流出力DACで、4ビット単位でセグメント化された反転R-2Rラダーで構成されています。図39に、12ビットAD5452の簡略回路図を示します。

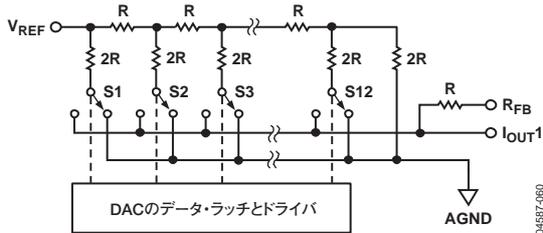


図39. 簡略回路図

帰還抵抗 R_{FB} は R と同じ値です。 R の値は通常、 $9k\Omega$ (最小 $7k\Omega$ 、最大 $11k\Omega$)です。 I_{OUT1} が GND と同電位に保持されると、デジタル入力コードに関係なく、一定の電流が各ラダーに流入します。したがって、 V_{REF} の入力抵抗は常に一定で公称値 R となります。DAC出力(I_{OUT1})はコードに依存し、さまざまな抵抗値と容量値を生成します。外付けアンプを選択する際には、アンプ反転入力ノードで生じるインピーダンスの変動を考慮する必要があります。

DACには V_{REF} 、 R_{FB} 、 I_{OUT1} の各ピンが用意してあるためきわめて汎用性が高く、たとえば、ユニポーラ出力、バイポーラ・モードでの4象限乗算などの複数の動作モードの設定が可能です。内蔵の R_{FB} 帰還抵抗に対して直列にマッチング・スイッチが使用されていることに注意してください。 R_{FB} を測定する際には、 V_{DD} に電源を接続して連続性を維持する必要があります。

回路動作

ユニポーラ・モード

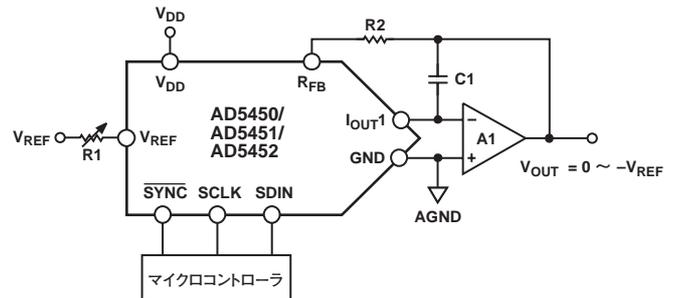
オペアンプを1個使うと、図40に示す2象限乗算動作またはユニポーラ出力電圧振幅をもつようにデバイスを容易に構成できます。出力アンプをユニポーラ・モードで接続した場合、出力電圧は次式で得られます。

$$V_{OUT} = -\frac{D}{2^n} \times V_{REF}$$

ここで、 D はDACにロードされるデジタル値(デシマル)で、 n はDACの分解能です。

- $D = 0 \sim 255$ (8ビットAD5450)
- $= 0 \sim 1023$ (10ビットAD5451)
- $= 0 \sim 4095$ (12ビットAD5452)

なお、出力電圧の極性は、DCリファレンス電圧の V_{REF} 極性と反対になります。



- 注
1. $R1$ と $R2$ は、ゲイン調整が必要な場合のみ使用。
 2. $A1$ が高速アンプの場合、位相補償の $C1$ (1~2pF)が必要になることもあります。

図40. ユニポーラ動作

これらのDACは、負または正のリファレンス電圧で動作するように設計されています。 V_{DD} 電源ピンは、内部デジタル・ロジックがDACスイッチのオン状態とオフ状態を駆動するときのみ使います。

これらのDACは、 $-10 \sim +10V$ のACリファレンス信号も入力できるように設計されています。

リファレンス電圧が $10V$ に固定されている場合、図40の回路は $0 \sim -10V$ のユニポーラ出力電圧振幅になります。 V_{IN} がAC信号の場合、この回路は2象限乗算を実行します。

表5に、ユニポーラ動作におけるデジタル・コードと予測される出力電圧との関係を示します(AD5450、8ビット)。

表5. AD5450のユニポーラ・コード表

デジタル入力	アナログ出力 (V)
1111 1111	$-V_{REF}$ (255/256)
1000 0000	$-V_{REF}$ (128/256) = $-V_{REF}/2$
0000 0001	$-V_{REF}$ (1/256)
0000 0000	$-V_{REF}$ (0/256) = 0

バイポーラ動作

アプリケーションによっては、フル4象限乗算機能またはバイポーラ出力振幅が必要となることがあります。これは、外付けアンプをもう1個と外付け抵抗をいくつか追加することにより容易に実現できます(図41)。この回路では、2つめのアンプ $A2$ がゲイン2を提供します。リファレンス電圧からのオフセットを使って外付けアンプをバイアスすると、4象限乗算動作が得られます。この回路の伝達関数は、入力データ(D)がコード・ゼロ($V_{OUT} = -V_{REF}$) → ミッドスケール ($V_{OUT} = 0V$) → フルスケール ($V_{OUT} = +V_{REF}$) にインクリメントするのに対応して、負と正の両出力電圧が発生することを示しています。

AD5450/AD5451/AD5452

$$V_{OUT} = \left(V_{REF} \times \frac{D}{2^{n-1}} \right) - V_{REF}$$

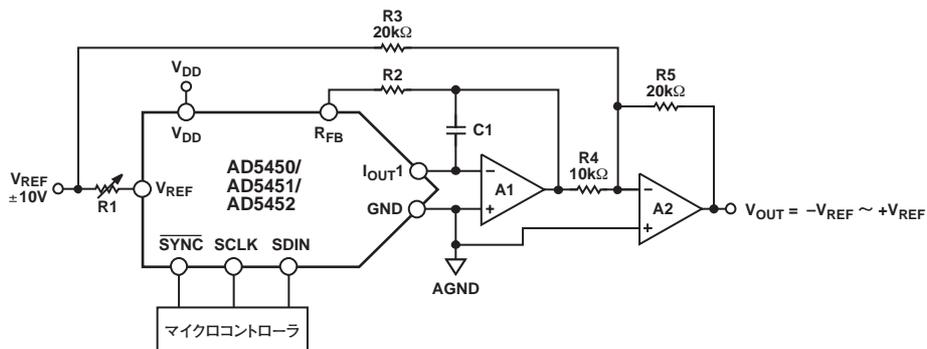
ここで、
 D はDACにロードされるデジタル値(デシマル)で、 n はDACの分解能です。

- $D = 0 \sim 255$ (8ビットAD5450)
- $= 0 \sim 1023$ (10ビットAD5451)
- $= 0 \sim 4095$ (12ビットAD5452)

V_{IN} がAC信号の場合、この回路は4象限乗算を実行します。表6に、バイポーラ動作におけるデジタル・コードと予測される出力電圧との関係を示します(AD5450、8ビット)。

表6. AD5450のバイポーラ・コード表

デジタル入力	アナログ出力 (V)
1111 1111	$+V_{REF}$ (127/128)
1000 0000	0
0000 0001	$-V_{REF}$ (127/128)
0000 0000	$-V_{REF}$ (128/128)



- 注
1. R1とR2は、ゲイン調整が必要な場合のみ使用。コード10000000をDACにロードして、 $V_{OUT}=0V$ になるようにR1を調節します。
 2. 抵抗ペアR3とR4にはマッチングとトラッキングが不可欠です。
 3. A1/A2が高速アンプの場合、位相補償のC1(1~2pF)が必要になることもあります。

図41. バイポーラ動作(4象限乗算)

04597-010

安定性

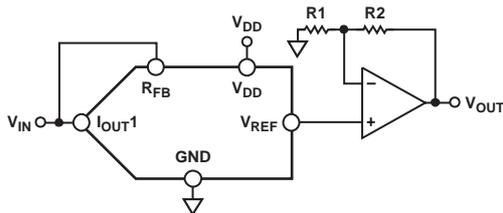
I/V変換の構成では、DACの I_{OUT} とオペアンプの反転ノードをできるだけ短い配線で接続する必要があるため、適確なPCボードのレイアウトが必要です。各コード変化はステップ関数に対応しているため、オペアンプのゲイン帯域幅積(GB積)が制限されていて反転ノードの寄生容量が大きい場合に、ゲイン・ピーキングが発生することがあります。この寄生容量によりオープン・ループ応答に極が生じるため、クローズド・ループ・アプリケーション回路でリングングが発生したり、回路が不安定になったりすることがあります。

安定性を得るために、オプションで補償コンデンサ $C1$ を R_{FB} と並列に接続することもできます(図40と図41)。 $C1$ が小さすぎると出力でリングングが発生し、大きすぎるとセトリング時間に悪影響を与えます。 $C1$ は経験的に得られますが、一般に1~2pFで十分に補償できます。

単電源アプリケーション

電圧スイッチング・モード

図42に、電圧スイッチング・モードで動作するDACを示します。リファレンス電圧 V_{IN} は I_{OUT1} ピンに印加され、出力電圧は V_{REF} ピンから得られます。この構成では、正のリファレンス電圧から正の出力電圧が得られ、単電源動作が可能となります。DACの出力は一定のインピーダンス(DACラダー抵抗)をもつ電圧であり、オペアンプによって出力電圧をバッファリングする必要があります。リファレンス入力のインピーダンスは一定ではなく、コードに依存して変化します。したがって、電圧入力には低インピーダンス信号源から駆動する必要があります。



- 注
1. わかりやすくするため他のピンは省略しています。
2. A1が高速アンプの場合、位相補償の $C1$ (1~2pF)が必要になることもあります。

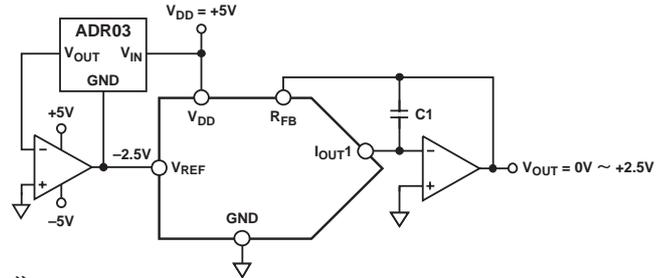
図42. 単電源の電圧スイッチング・モード

DACラダー内のスイッチは同じソース・ドレイン電圧をもたなくなるので、 V_{IN} が低電圧に制限されることに注意してください。その結果、それらのオン抵抗が異なり、DACの積分直線性が損なわれます。また、 V_{IN} は-0.3V以下にならないようにする必要があります。そうしないと、内部ダイオードがオンになり、デバイスの最大定格を超えてしまいます。このタイプのアプリケーションでは、乗算機能が失われます。

正の出力電圧

出力電圧の極性は、DCリファレンス電圧の V_{REF} 極性の反対になります。正の電圧出力を得るには、抵抗値の誤差の影響を受けやすい反転ア

ンプを使った出力の反転より、DACの入力に負のリファレンス電圧を接続したほうがよいでしょう。負のリファレンス電圧を生成するには、リファレンス回路の V_{OUT} ピンが仮想グラウンド、 GND ピンが-2.5Vになるように、オペアンプを使ってリファレンスをレベル・シフトできます(図43)。

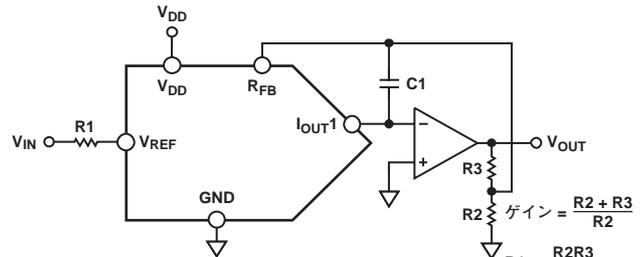


- 注
1. わかりやすくするため他のピンは省略しています。
2. A1が高速アンプの場合、位相補償の $C1$ (1~2pF)が必要になることもあります。

図43. 最少の部品による正の電圧出力

ゲインの増加

V_{IN} より大きい出力電圧が必要なアプリケーションでは、外付けアンプを追加してゲインを増やすか、あるいは1段でゲインの増加を行います。DACの薄膜抵抗の温度係数の影響を考慮することが重要です。単に R_{FB} 抵抗に直列に抵抗を接続するだけでは温度係数のミスマッチが生じて、ゲイン温度係数誤差が大きくなります。代わりに、図44に示す回路を使用して、回路のゲインを増やすことを推奨します。 $R1$ 、 $R2$ 、 $R3$ はすべて同じ温度係数をもつ必要がありますが、DACの温度係数に一致させる必要はありません。この方法は、1より大きいゲインを必要とする回路に推奨されます。



- 注
1. わかりやすくするため他のピンは省略しています。
2. A1が高速アンプの場合、位相補償の $C1$ (1~2pF)が必要になることもあります。

図44. 電流出力DACのゲインの増加

DACをデバイダまたはプログラマブル・ゲイン素子として使用する場合

電流切換え型のDACは非常に柔軟であるため、さまざまなアプリケーションに適しています。図45に示すように、このタイプのDACをオペアンプの帰還素子として接続し、 R_{FB} を入力抵抗として使用する場合、出力電圧はデジタル入力値 D に反比例します。

AD5450/AD5451/AD5452

$D=1-2^{-n}$ の場合、出力電圧は、

$$V_{OUT} = \frac{-V_{IN}}{D} = \frac{-V_{IN}}{(1-2^{-n})}$$

D が減少すると、出力電圧が増加します。デジタル値 D が小さい場合は、アンプが飽和しないようにして必要な精度を満たすことが大切です。たとえば、図45の回路でバイナリ・コード0x10(00010000)、すなわち10進数の16で駆動する8ビットDACでは、出力電圧が $16 \times V_{IN}$ になります。

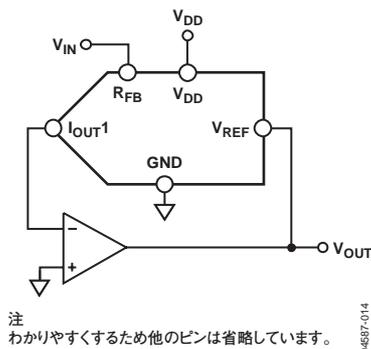


図45. デバイダまたはプログラマブル・ゲイン素子として使用した電流切替え型DAC

しかし、DACに ± 0.5 LSBの直線性がある場合、実際には D の重みは $15.5/256 \sim 16.5/256$ の範囲になるため、可能な出力電圧は $15.5V_{IN} \sim 16.5V_{IN}$ の範囲になります。つまり、たとえDACそのものの最大誤差が0.2%であっても、誤差は3%になります。

DACのリーク電流も、デバイダ回路における誤差源になります。リーク電流は、DACを介してオペアンプから供給される逆向きの電流により相殺する必要があります。 V_{REF} ピンは D に依存する電流だけが I_{OUT1} ピンに流れるため、出力電圧は次のように変化します。

$$\text{DACのリーク電流に起因する出力誤差電圧} = (\text{リーク電流} \times R) / D$$

ここで、 R は V_{REF} ピンでのDAC抵抗。

10nAのDACリーク電流、 $R=10\text{k}\Omega$ 、ゲイン=16(すなわち $1/D$)に対して、誤差電圧は1.6mVになります。

リファレンスの選択

このシリーズの電流出力DACで使用するリファレンスを選択する際には、リファレンスの出力電圧温度係数の仕様に注意する必要があります。このパラメータはフルスケール誤差に影響するだけでなく、直線性性能(INLとDNL)にも影響することがあります。リファレンス電圧の温度係数は、システム精度仕様に一致させる必要があります。たとえば、 $0 \sim 50^\circ\text{C}$ の温度範囲で全体仕様を1LSB以内に維持しなければならない8ビット・

システムでは、システムの最大温度ドリフトは78ppm/ $^\circ\text{C}$ 未満にする必要があります。

同じ温度範囲で全体仕様を2LSB未満にしなければならない12ビット・システムでは、最大ドリフトは10ppm/ $^\circ\text{C}$ にする必要があります。この誤差源を最小に抑えるには、低出力温度係数の高精度リファレンスを選択してください。表7に、この範囲の電流出力DACに使用できるアナログ・デバイセズのリファレンス製品を示します。

アンプの選択

電流切替えモードに対する基本的な条件は、入力バイアス電流と入力オフセット電圧が小さいアンプを使うことです。オペアンプの入力オフセット電圧は、回路の可変ゲイン(コードに依存するDAC出力抵抗によりゲインが変化)で乗算されます。隣接する2つのデジタル値の間でこのノイズ・ゲインが変化すると、アンプの入力オフセット電圧により出力電圧にステップ変化が生じます。この出力電圧変化が2つのコード間の出力の変化に重畳され、微分直線性誤差を発生させます。この誤差がかなり大きいと、DACの単調増加性が失われます。

オペアンプの入力バイアス電流も、帰還抵抗 R_{FB} にバイアス電流が流入する結果、電圧出力にオフセットを発生させます。しかし、ほとんどのオペアンプは入力バイアス電流が十分に低いので、12ビット・アプリケーションで大きな誤差を発生させることはありません。ただし、14ビット・アプリケーションに対しては、アンプの選択に注意が必要です。

電圧スイッチング回路では、回路の電圧出力でコード依存誤差が生じることから、オペアンプの同相ノイズ除去性能が重要となります。ほとんどのオペアンプは、8/10/12ビット分解能での使用に適した十分な同相ノイズ除去性能があります。

DACスイッチがワイドバンドの低インピーダンス信号源(V_{IN} とAGND)から駆動される場合、セリング時間は短くなります。したがって、電圧スイッチングDAC回路のスルーレートとセリング時間は、主として出力オペアンプによって決まります。この構成で最小のセリング時間を実現するには、DACの V_{REF} ノード(このアプリケーションでは電圧出力ノード)の容量を可能な限り小さくすることが重要です。そのためには、低入力容量をもつバッファ・アンプを使用するとともに、ボードの設計に注意する必要があります。

ほとんどの単電源回路ではグラウンドがアナログ信号の範囲に含まれますが、そのためにはレールtoレール信号を処理できるアンプが必要となります。アナログ・デバイセズでは、広範囲な単電源アンプを提供しています。

AD5450/AD5451/AD5452

表7. 推奨するADIの高精度リファレンス

リファレンス	出力電圧	初期精度	温度ドリフト	0.1~10Hzのノイズ	パッケージ
ADR01	10V	0.1%	3 ppm/°C	20 μ Vp-p	SC70, TSOT, SOIC
ADR02	5V	0.1%	3 ppm/°C	10 μ Vp-p	SC70, TSOT, SOIC
ADR03	2.5V	0.2%	3 ppm/°C	10 μ Vp-p	SC70, TSOT, SOIC
ADR425	5V	0.04%	3 ppm/°C	3.4 μ Vp-p	MSOP, SOIC

表8. 推奨するADIの高精度オペアンプ

製品番号	最大電源電圧(V)	V _{OS} (max)(μ V)	I _B (max)(nA)	GB積(MHz)	スルーレート(V/ μ s)
OP97	\pm 20	25	0.1	0.9	0.2
OP1177	\pm 18	60	2	1.3	0.7
AD8551	+6	5	0.05	1.5	0.4

表9. 推奨するADIの高速オペアンプ

製品番号	最大電源電圧(V)	BW@A _{CL} (MHz)	スルーレート(V/ μ s)	V _{OS} (max)(μ V)	I _B (max)(nA)
AD8065	\pm 12	145	180	1500	0.01
AD8021	\pm 12	200	100	1000	1000
AD8038	\pm 5	350	425	3000	0.75
AD9631	\pm 5	320	1300	10000	7000

AD5450/AD5451/AD5452

シリアル・インターフェース

AD5450/AD5451/AD5452は、SPI/QSPI/MICROWIREおよびDSPインターフェース規格と互換性を持ち、かつ使いやすい3線式インターフェースを内蔵しています。データは、16ビットワードでデバイスに書き込まれます。この16ビットワードは、2ビットのコントロール・ビットと、デバイス・タイプに応じて8ビット、10ビット、または12ビットのデータビットにより構成されます(図46~48)。AD5452の場合は12ビットがデータビットで、下位2ビットはドント・ケアです。AD5451は10ビットがデータビット、下位4ビットがドント・ケア、AD5450は8ビットがデータビット、下位6ビットがドント・ケアとなっています。

DACコントロール・ビット:C1、C0

コントロール・ビットC1とC0を使うと、新しいDACコードのロードと更新、およびアクティブ・クロック・エッジの変更を行うことができます。デフォルトでは、データはSCLKの立下がりエッジでシフト・レジスタに入力されますが、コントロール・ビットを使ってこれを変更することができます。変更した場合、DACコアは次のデータ・フレームまで動作しません。電源の再投入時に、コアはデフォルト状態にリセットされます。内蔵のパワーオン・リセット回路により、DACレジスタとI_{OUT}ピンにゼロスケールがロードされた状態でデバイスが立ち上がるようになっています。

表10. DACコントロール・ビット

C1	C0	制御機能
0	0	ロードおよび更新(パワーオン・デフォルト)
0	1	予備
1	0	予備
1	1	立上がりエッジでデータをシフト・レジスタに入力

SYNC機能

SYNCは、フレーム同期信号とチップ・イネーブルとして機能するエッジ・トリガ入力です。データは、SYNCがローレベルのときにのみデバイスに転送できます。シリアル・データ転送を開始するときは、SYNCをローレベルにして、SYNCの立下がりからSCLKの立下がりエッジまでの最小セットアップ時間(t₄)を確保します。デバイスの消費電力を最小限に抑えるために、デバイスに書き込みを行うときだけ、すなわちSYNCの立下がりエッジでのみインターフェースをパワーアップさせます。SCLK入力バッファとSDIN入力バッファは、SYNCの立上がりエッジでパワーダウンされます。

SCLKパルスの16番目の立下がりエッジの後に、SYNCをハイレベルにすると、データが入力シフト・レジスタからDACへ転送されます。



図46. AD5450の8ビット入力シフト・レジスタ



図47. AD5451の10ビット入力シフト・レジスタ



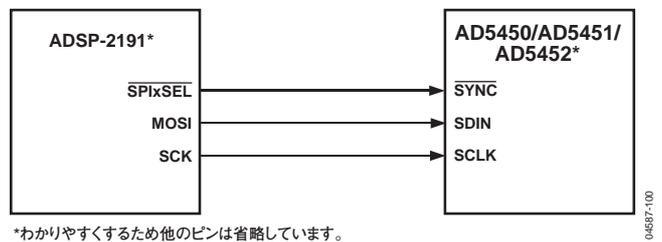
図48. AD5452の12ビット入力シフト・レジスタ

マイクロプロセッサとのインターフェース

マイクロプロセッサとAD5450/AD5451/AD5452 DACとのインターフェースは、マイクロコントローラとDSPプロセッサに対して互換性を持つ標準プロトコルを使うシリアル・バスを介して行います。この通信チャンネルは、クロック信号、データ信号、同期信号から構成される3線式インターフェースです。AD5450/AD5451/AD5452では16ビット・ワードを使い、デフォルトではSCLKの立下がりエッジでデータが有効になりますが、データワード内のコントロール・ビットを使ってこれを変更することもできます。

ADSP-21xxとAD5450/AD5451/AD5452とのインターフェース

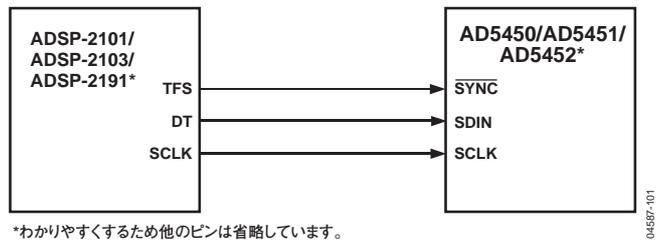
ADSP-21xxファミリーのDSPは、外付けロジックの追加なしに容易にAD5450/AD5451/AD5452 DACにインターフェースできます。図49に、DACとADSP-2191MのSPIインターフェースの例を示します。DSPのSCKがシリアル・データ・ラインSDINを駆動します。SYNCは、ポート・ラインの1つ(この場合SPIxSEL)から駆動されます。



*わかりやすくするため他のピンは省略しています。

図49. ADSP-2191のSPIとAD5450/AD5451/AD5452とのインターフェース

図50に、DACとDSP SPORTとの間のシリアル・インターフェースを示します。この例では、SPORT0を使って、DACのシフト・レジスタへデータを転送します。送信は、SPORTをイネーブルにした後に、Txレジスタにワードを書きこむことにより、起動されます。書き込みシーケンスでは、データはDSPのシリアル・クロックの各立上がりエッジで出力され、SCLKの立下がりエッジでDACのシフト・レジスタに入力されます。DAC出力の更新は、SYNC信号の立上がりエッジで行われます。



*わかりやすくするため他のピンは省略しています。

図50. ADSP-2101/ADSP-2103/ADSP-2191 SPORTとAD5450/AD5451/AD5452とのインターフェース

フレーム同期遅延、フレーム同期のセットアップ時間とホールド時間、データ遅延、データのセットアップ時間とホールド時間、SCLK幅の仕様に互換性がある場合、2個のデバイス間で一定のクロック速度での通信が可能です。DACインターフェースは、最小13nsのt₄(SYNCの立下がりエッジからSCLKの立下がりエッジまでのセットアップ時間)を想定しています。SPORTレジスタのクロック周波数とフレーム同期周波数については、『ADSP-21xxユーザ・マニュアル』を参照してください。表11に、SPORTコントロール・レジスタの設定を示します。

AD5450/AD5451/AD5452

表11. SPORTコントロール・レジスタの設定

名称	設定	説明
TFSW	1	オルタネート・フレーミング
INVTFS	1	アクティブ・ローのフレーム信号
DTYPE	00	データ右詰め
ISCLK	1	内部シリアル・クロック
TFSR	1	ワードごとのフレーム
ITFS	1	内部フレーミング信号
SLEN	1111	16ビット・データワード

ADSP-BF5xxとAD5450/AD5451/AD5452とのインターフェース

ADSP-BF5xxファミリプロセッサは、SPI互換デバイスとの通信を可能にするSPI互換ポートを内蔵しています。図51に、BlackFin®プロセッサとAD5450/AD5451/AD5452 DACとの間のシリアル・インターフェースを示します。この構成では、MOSIピン(マスター出力/スレーブ入力ピン)を使ってデータが転送されます。 $\overline{\text{SYNC}}$ は、再設定可能なフラグ・ピンであるSPIチップ・セレクト・ピンから駆動されます。

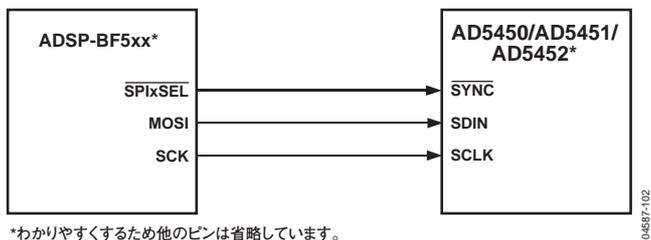


図51. ADSP-BF5xxとAD5450/AD5451/AD5452とのインターフェース

ADSP-BF5xxプロセッサは、チャンネル同期シリアル・ポート(SPORT)を内蔵しています。図52に、DACとDSP SPORTとの間のシリアル・インターフェースを示します。SPORTをイネーブルにして、Txレジスタにワードを書き込むと、送信が起動されます。データは、DSPのシリアル・クロックの各立上がりエッジで出力され、SCLKの立下がりエッジでDACのシフト・レジスタに入力されます。送信フレーム同期(TFS)ラインを $\overline{\text{SYNC}}$ 信号として使うと、DAC出力が更新されます。

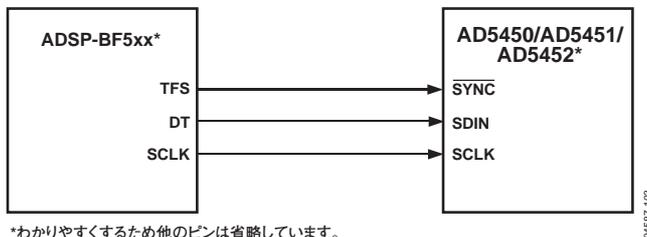


図52. ADSP-BF5xxのSPORTとAD5450/AD5451/AD5452とのインターフェース

80C51/80L51とAD5450/AD5451/AD5452とのインターフェース

図53に、DACと80C51/80L51との間のシリアル・インターフェースを示します。80C51/80L51のTxDがDACシリアル・インターフェースのSCLKを

駆動し、RxDがシリアル・データ・ラインSDINを駆動します。P1.1は、シリアル・ポートのビット・プログラマブル・ピンであり、 $\overline{\text{SYNC}}$ の駆動に使用します。データがスイッチに転送されると、P1.1はローレベルになります。80C51/80L51はデータを8ビットのバイトとしてのみ転送するため、送信サイクル内には立下がりクロック・エッジが8個しかありません。

データをDACにロードするには、最初の8ビットが転送された後もP1.1をローレベルのままにして、2番目の書き込みサイクルを実行すると、データの2番目のバイトの転送が開始されます。RxD上のデータはTxDの立上がりエッジでマイクロコントローラから出力され、立下がりエッジで有効になります。そのため、DACとマイクロコントローラ・インターフェースとの間に外付けロジックは不要となります。このサイクルの完了後にP1.1をハイレベルにします。80C51/80L51は、データ・ストリームの先頭ビットとしてSBUFレジスタのLSBを出力します。DACの入力レジスタは、MSBファーストでデータを受け取る必要があります。送信ルーチンは、このことを考慮に入れる必要があります。

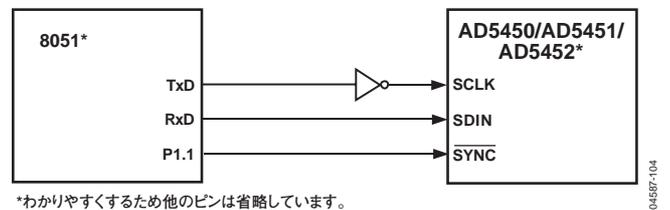


図53. 80C51/80L51とAD5450/AD5451/AD5452とのインターフェース

MC68HC11とAD5450/AD5451/AD5452とのインターフェース

図54に、DACとMC68HC11マイクロコントローラとのシリアル・インターフェースの例を示します。MC68HC11のシリアル・ペリフェラル・インターフェース(SPI)は、マスター・モード(MSTR)=1、クロック極性ビット(CPOL)=0、クロック位相ビット(CPHA)=1に設定します。SPIは、SPIコントロール・レジスタ(SPCR)に書き込みを行って設定します。『68HC11ユーザ・マニュアル』を参照してください。68HC11のSCKがDACインターフェースのSCLKを駆動し、MOSI出力がAD5450/AD5451/AD5452のシリアル・データ・ライン(SDIN)を駆動します。

$\overline{\text{SYNC}}$ 信号は、ポート・ライン(PC7)から引き出されます。データをAD5450/AD5451/AD5452に転送するときは、 $\overline{\text{SYNC}}$ ラインをローレベルにします(PC7)。MOSIに出力されるデータは、SCKの立下がりエッジで有効になります。シリアル・データは68HC11から8ビットのバイトで転送され、送信サイクル内には立下がりクロック・エッジが8個しかありません。データはMSBファーストで転送されます。データをDACにロードするときは、最初の8ビットが転送された後もPC7をローレベルのままにして、DACに対して2番目のシリアル書き込み動作を実行します。この手順の終わりに、PC7をハイレベルにします。



図54. MC68HC11とAD5450/AD5451/AD5452とのインターフェース

AD5450/AD5451/AD5452

入力シフト・レジスタに以前書き込まれたデータを確認する場合は、SDOラインをMC68HC11のMISOに接続して、 $\overline{\text{SYNC}}$ をローレベルにすると、SCLKの立上がりエッジでデータがシフト・レジスタから出力されます。

MICROWIREとAD5450/AD5451/AD5452とのインターフェース

図55に、DACと任意のMICROWIRE互換デバイスとのインターフェースを示します。シリアル・データはシリアル・クロックSKの立下がりエッジで出力され、SKの立上がりエッジでDACの入力シフト・レジスタに入力されます。このSKの立上がりエッジは、DACのSCLKの立下がりエッジに対応します。

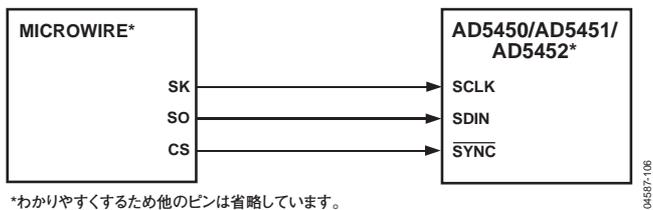


図55. MICROWIREとAD5450/AD5451/AD5452とのインターフェース

PIC16C6x/7xとAD5450/AD5451/AD5452とのインターフェース

PIC16C6x/7xの同期シリアル・ポート(SSP)をSPIマスターに設定します(クロック極性ビット=0)。これは、同期シリアル・ポート・コントロール・レジスタ(SSPCON)への書込みによって行います。『PIC16/17マイクロコントローラ・ユーザ・マニュアル』を参照してください。

この例では、I/OポートRA1を使って $\overline{\text{SYNC}}$ パルスを発生させ、DACのシリアル・ポートをイネーブルにしています。このマイクロコントローラは、各シリアル転送動作でデータを8ビットだけ転送します。したがって、書込み動作を2回続けて行う必要があります。図56に接続図を示します。



図56. PIC16C6x/7xとAD5450/AD5451/AD5452とのインターフェース

PCボードのレイアウトと電源デカップリング

精度が重要な回路では、定格の性能を得るために電源とグラウンド・リターンのレイアウトに注意する必要があります。AD5450/AD5451/AD5452を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離し、ボード内でそれぞれまとめて配置するように設計してください。複数のデバイスがAGNDとDGNDの接続を必要とするシステムでDACを使用する場合は、この接続は1ヵ所のみで行います。できるだけデバイスの近くにスター結線してください。

これらのDACでは、パッケージのできるだけ近いところ(理想的にはデバイスの真上)に $10\mu\text{F}$ と $0.1\mu\text{F}$ のコンデンサを並列接続することにより十分な電源バイパスを持たせてください。 $0.1\mu\text{F}$ コンデンサは、高周波でグラウンドに低インピーダンス・パスを提供する一般的なセラミック型のような等価直列抵抗(ESR)が小さく、かつ等価直列インダクタンス(ESL)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。ESRが小さい $1\sim 10\mu\text{F}$ のタンタル・コンデンサまたは電解コンデンサも電源に接続して、過渡電圧を抑え、かつ低周波リップルを除去する必要があります。

クロックなどの高速スイッチング信号はデジタル・グラウンドでシールドして、ボード上の他の部品へノイズを放出しないようにし、リファレンス入力付近を通らないようにします。

デジタル信号とアナログ信号は交差しないようにしてください。ボードの反対側のパターンは、互いに直角になるように配置します。これにより、ボードを通過するフィードスルーの影響を削減できます。マイクロストリップ技術は最適ソリューションですが、両面ボードでは必ずしも使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配置します。

レイアウトは、リード長をできるだけ短くしたコンパクトな設計を推奨します。入力までの配線はできるだけ短くして、IR電圧降下と浮遊インダクタンスを小さくする必要があります。

V_{REF} と R_{FB} の間のPCボードのメタル・パターンも、ゲイン誤差を小さくするためにマッチングさせる必要があります。最大の高周波性能を得るには、I/Vアンプをできるだけデバイスの近くに配置する必要があります。

DAC用評価用ボード

評価用ボードは、AD5450/AD5451/AD5452の該当するDACと電流/電圧変換アンプ「AD8065」で構成されています。評価用ボードには、10Vリファレンス「ADR01」が実装されていますが、外付けのリファレンスもSMB入力に接続できます。

この評価用キットには、DACを制御するPCソフトウェアのCD-ROMが含まれています。このソフトウェアを使うと、デバイスへのコードの書込みを容易に行うことができます。

評価用ボードの電源

ボードには $\pm 12\text{V}$ と $+5\text{V}$ の電源が必要です。 $+12\text{V}$ の V_{DD} と V_{SS} は出力アンプの電源として、 $+5\text{V}$ はDAC(V_{DDI})とトランシーバ(V_{CC})の電源として使います。

両電源は、 $10\mu\text{F}$ のタンタル・コンデンサと $0.1\mu\text{F}$ のセラミック・コンデンサでそれぞれのグラウンド・プレーンにデカップリングされています。

AD5450/AD5451/AD5452

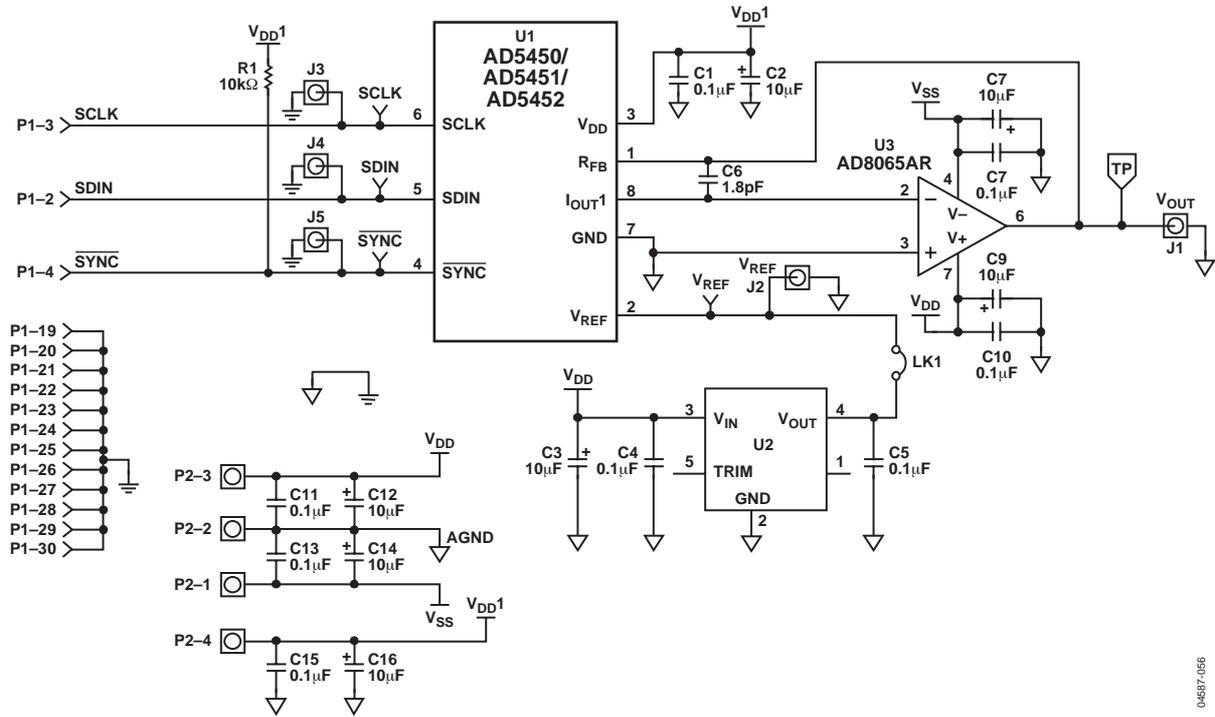


図57. AD5450/AD5451/AD5452評価用ボードの回路図

04657-056

AD5450/AD5451/AD5452

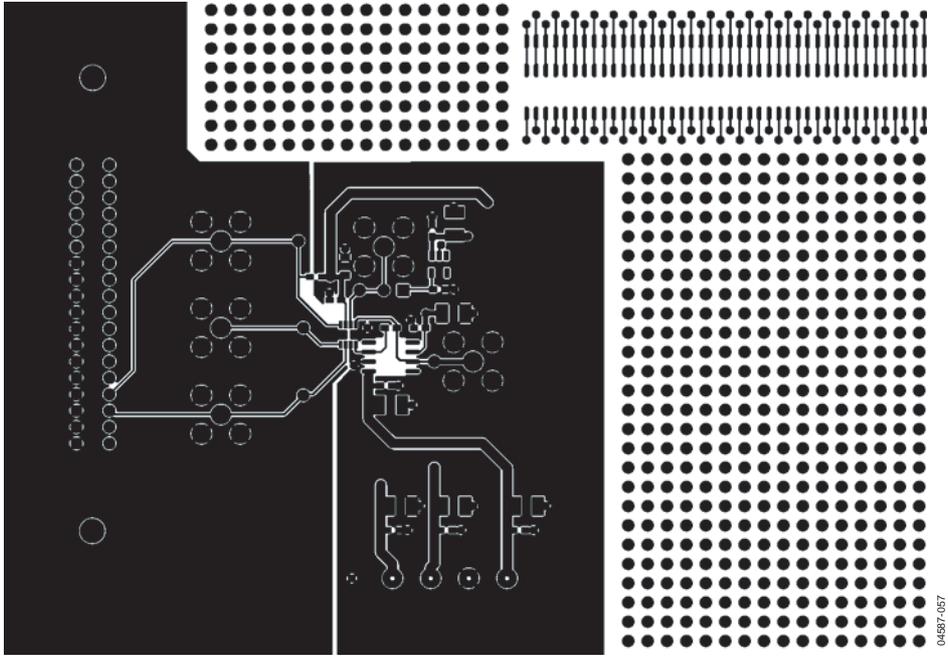


図58. 部品面のアートワーク

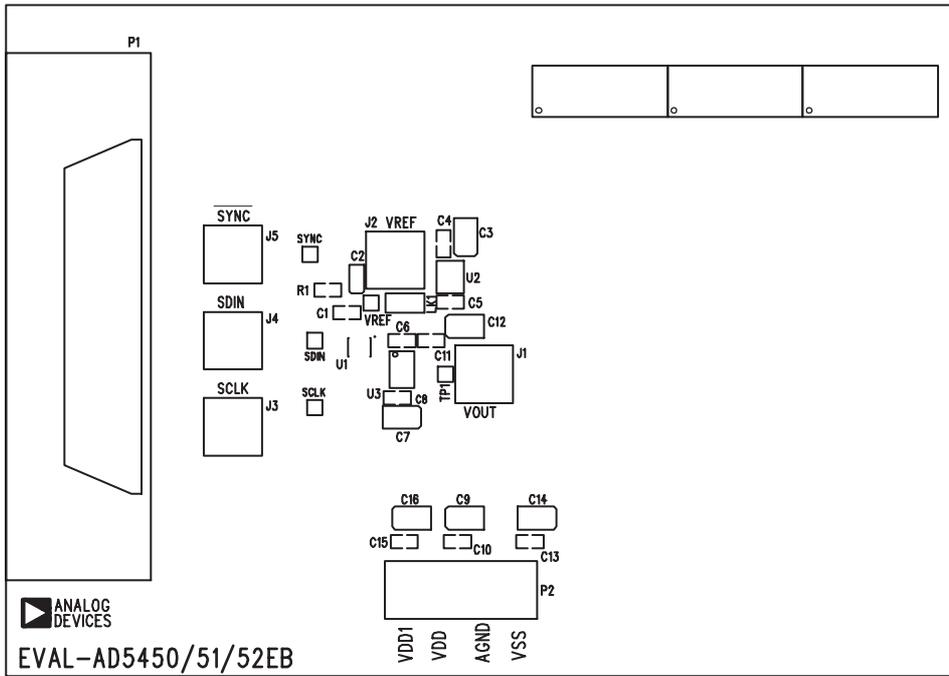


図59. シルスクリーン 部品面(上面)

AD5450/AD5451/AD5452/AD5453

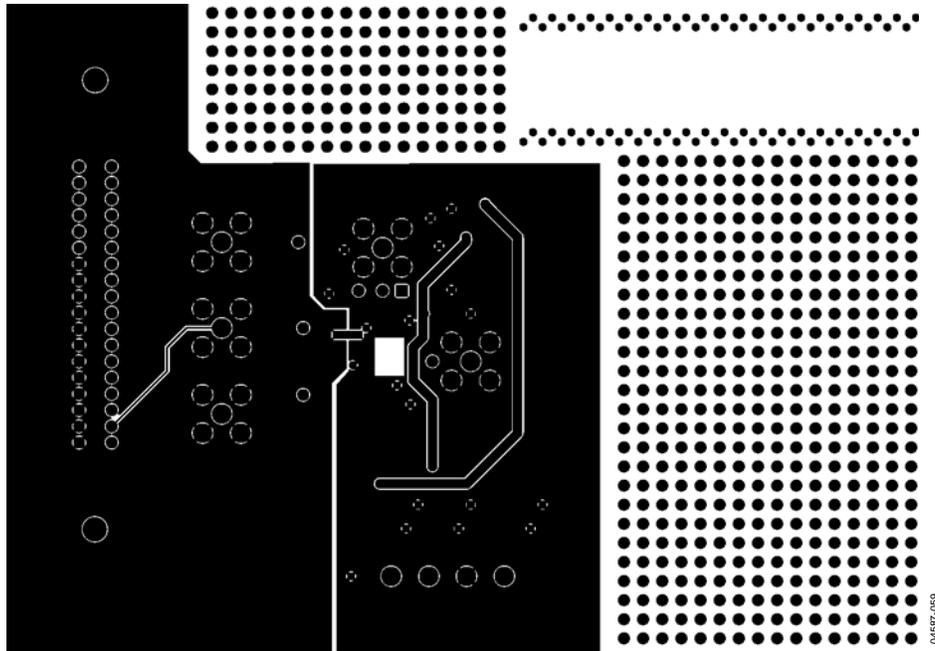


Figure 64. Solder-Side Artwork

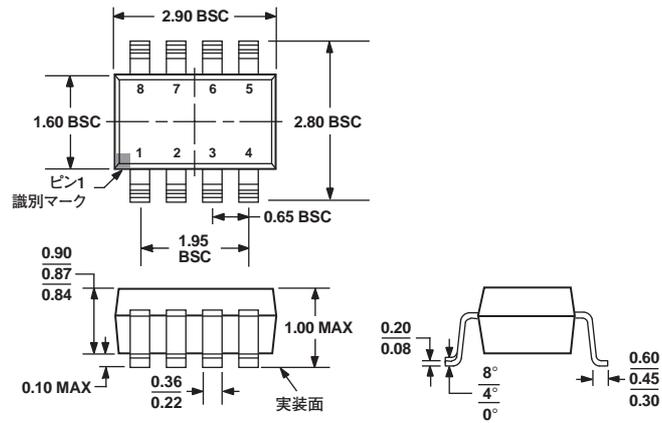
Table 12. Overview of AD54xx and AD55xx Devices

Part No.	Resolution	No. DACs	INL (LSB)	Interface	Package ¹	Features
AD5424	8	1	±0.25	Parallel	RU-16, CP-20	10 MHz BW, 17 ns \overline{CS} pulse width
AD5426	8	1	±0.25	Serial	RM-10	10 MHz BW, 50 MHz serial
AD5428	8	2	±0.25	Parallel	RU-20	10 MHz BW, 17 ns \overline{CS} pulse width
AD5429	8	2	±0.25	Serial	RU-10	10 MHz BW, 50 MHz serial
AD5450	8	1	±0.25	Serial	UJ-8	12 MHz BW, 50 MHz serial interface
AD5432	10	1	±0.5	Serial	RM-10	10 MHz BW, 50 MHz serial
AD5433	10	1	±0.5	Parallel	RU-20, CP-20	10 MHz BW, 17 ns \overline{CS} pulse width
AD5439	10	2	±0.5	Serial	RU-16	10 MHz BW, 50 MHz serial
AD5440	10	2	±0.5	Parallel	RU-24	10 MHz BW, 17 ns \overline{CS} pulse width
AD5451	10	1	±0.25	Serial	UJ-8	12 MHz BW, 50 MHz serial interface
AD5443	12	1	±1	Serial	RM-10	10 MHz BW, 50 MHz serial
AD5444	12	1	±0.5	Serial	RM-10	12 MHz BW, 50 MHz serial
AD5415	12	2	±1	Serial	RU-24	10 MHz BW, 50 MHz serial
AD5405	12	2	±1	Parallel	CP-40	10 MHz BW, 17 ns \overline{CS} pulse width
AD5445	12	2	±1	Parallel	RU-20, CP-20	10 MHz BW, 17 ns \overline{CS} pulse width
AD5447	12	2	±1	Parallel	RU-24	10 MHz BW, 17 ns \overline{CS} pulse width
AD5449	12	2	±1	Serial	RU-16	10 MHz BW, 50 MHz serial
AD5452	12	1	±0.5	Serial	UJ-8, RM-8	12 MHz BW, 50 MHz serial interface
AD5446	14	1	±1	Serial	RM-10	12 MHz BW, 50 MHz serial
AD5453	14	1	±2	Serial	UJ-8, RM-8	12 MHz BW, 50 MHz serial
AD5553	14	1	±1	Serial	RM-8	4 MHz BW, 50 MHz serial clock
AD5556	14	1	±1	Parallel	RU-28	4 MHz BW, 20 ns \overline{WR} pulse width
AD5555	14	2	±1	Serial	RM-8	4 MHz BW, 50 MHz serial clock
AD5557	14	2	±1	Parallel	RU-38	4 MHz BW, 20 ns \overline{WR} pulse width
AD5543	16	1	±2	Serial	RM-8	4 MHz BW, 50 MHz serial clock
AD5546	16	1	±2	Parallel	RU-28	4 MHz BW, 20 n \overline{WR} pulse width
AD5545	16	2	±2	Serial	RU-16	4 MHz BW, 50 MHz serial clock
AD5547	16	2	±2	Parallel	RU-38	4 MHz BW, 20 ns \overline{WR} pulse width

¹ RU = TSSOP, CP = LFCSP, RM = MSOP, UJ = TSOT.

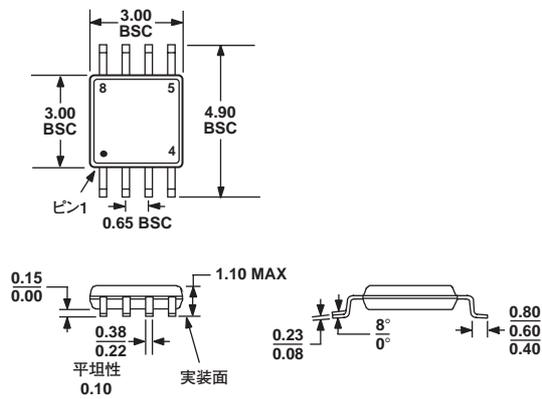
AD5450/AD5451/AD5452

外形寸法



JEDEC規格MO-193BAに準拠

図61. 8ピン・スモール・アウトライン・トランジスタ・パッケージ[TSOT]
(UJ-8)
寸法単位:mm



JEDEC規格MO-187AAに準拠

図62. 8ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]
(RM-8)
寸法単位:mm

AD5450/AD5451/AD5452

オーダー・ガイド

製品モデル	分解能	INL	温度範囲	パッケージ	マーキング	パッケージ・オプション
AD5450YUJ-REEL	8	±0.25	-40~+125℃	TSOT	D1X	UJ-8
AD5450YUJ-REEL7	8	±0.25	-40~+125℃	TSOT	D1X	UJ-8
AD5451YUJ-REEL	10	±0.25	-40~+125℃	TSOT	D1Y	UJ-8
AD5451YUJ-REEL7	10	±0.25	-40~+125℃	TSOT	D1Y	UJ-8
AD5452YUJ-REEL	12	±0.5	-40~+125℃	TSOT	D1Z	UJ-8
AD5452YUJ-REEL7	12	±0.5	-40~+125℃	TSOT	D1Z	UJ-8
AD5452YRM	12	±0.5	-40~+125℃	MSOP	D1Z	RM-8
AD5452YRM-REEL	12	±0.5	-40~+125℃	MSOP	D1Z	RM-8
AD5452YRM-REEL7	12	±0.5	-40~+125℃	MSOP	D1Z	RM-8
EVAL-AD5450EB				評価用キット		
EVAL-AD5451EB				評価用キット		
EVAL-AD5452EB				評価用キット		

TDS07/2005/PDF

データシート 変更履歴

2009年1月23日
アナログ・デバイセズ株式会社

型版 : AD5450/5451/5452

日本語データシート P25 のパッケージに誤りがありましたので、該当ページを Rev. B の英語版と差し替えました。

変更前 :

AD5450/AD5451/AD5452 のパッケージ RJ-8

変更後 :

AD5450/AD5451/AD5452 のパッケージ UJ-8

*AD5452 のパッケージは UJ-8、 RM-8 (RM-8 は変更なし)