



HART接続付きのシングルチャンネル、 16ビット電流／電圧出力D/Aコンバータ

データシート

AD5423

特長

- 16ビットの分解能と単調性
- 単一端子で使用可能な電流または電圧出力
- 電流出力範囲：0mA～20mA、4mA～20mA、
0mA～24mA、±20mA、±24mA、-1mA～+22mA
- 電圧出力範囲（20%のオーバーレンジ含む）：
0V～5V、
0V～10V、±5V、±10V
- オフセットとゲインをユーザ設定可能
- 12ビットADCを含む高度な内蔵診断機能
- 内蔵リファレンス
- 温度範囲：-40°C～+115°C
- 32ピン、5mm×5mm LFCSPパッケージ

アプリケーション

- プロセス制御
- アクチュエータ制御
- チャンネル・アイソレーション・アナログ出力
- プログラマブル・ロジック・コントローラ（PLC）および分散型制御システム（DCS）アプリケーション
- HARTネットワーク接続

概要

AD5423 は単一チャンネル、電圧および電流出力 D/A コンバータ（DAC）で、最小-33V（ AV_{SS} ）～最大+33V（ AV_{DD1} ）の電源電圧範囲で動作します。また、 $CHART$ ピンによって HART[®]（Highway Addressable Remote Transducer）信号を電流出力にカップリングすることができます。

AD5423 は、多機能 4 線式シリアル・ペリフェラル・インターフェース（SPI）を採用しています。このインターフェースは最大 50MHz のクロック・レートで動作し、標準 SPI、QSPI[™]、MICROWIRE[™]、デジタル・シグナル・プロセッサ（DSP）、およびマイクロコントローラのインターフェース規格と互換性があります。またこのインターフェースは、オプションの SPI 巡回冗長性チェック（CRC）とウォッチドッグ・タイマー（WDT）を備えています。**AD5423** は内蔵 12 ビット診断 A/D コンバータ（ADC）などを備え、同種の DAC の旧バージョンよりも診断機能が向上しています。

製品のハイライト

- 16ビット性能。
- 各種の診断機能。
- 12ビット監視ADC内蔵。
- HART準拠。

関連製品

製品ファミリ：[AD5758](#)、[AD5753](#)、[AD5755-1](#)、[AD5422](#)

HART モデム：[AD5700](#)、[AD5700-1](#)

外付けリファレンス電圧：[ADR431](#)、[ADR3425](#)、[ADR4525](#)

デジタル・アイソレータ：[ADuM141D](#)、[ADuM142D](#)

電源：[ADP1031](#)、[ADP2360](#)、[ADM6339](#)

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所／〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

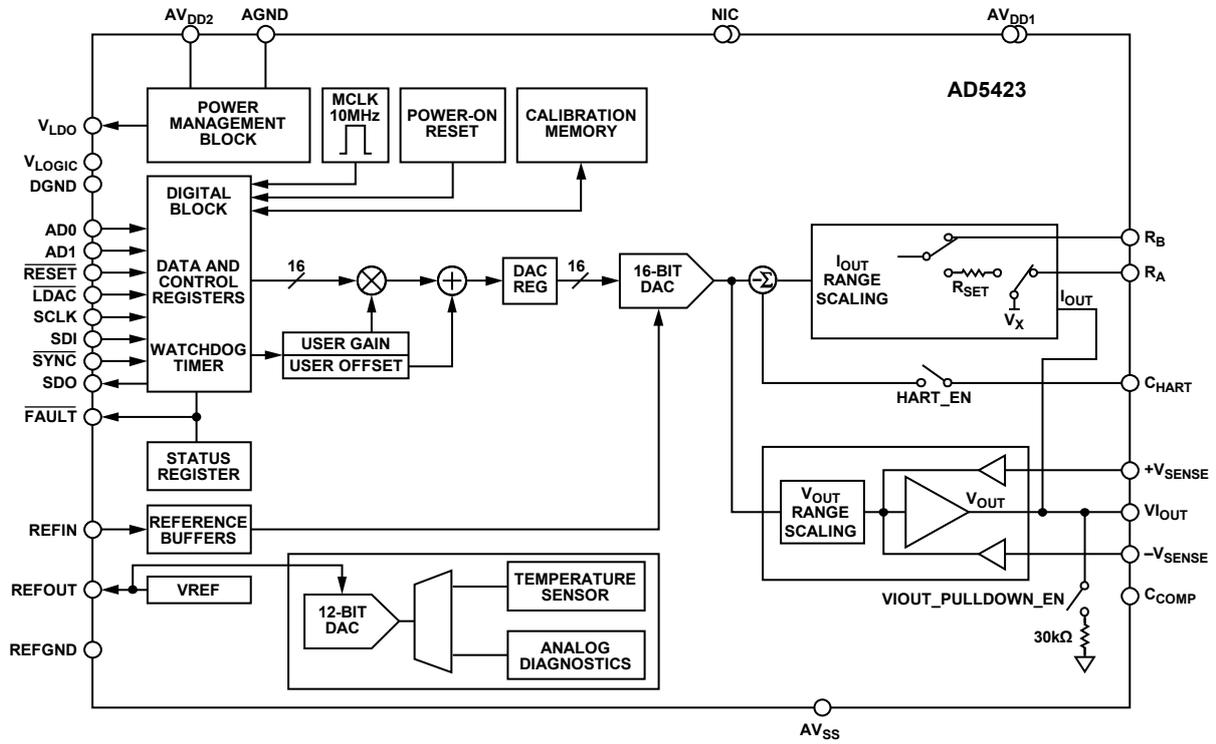
目次

特長	1	電流出力	30
アプリケーション	1	HART 接続	30
概要	1	スルー・レートのデジタル制御	31
製品のハイライト	1	AD5423 のアドレス・ピン	31
関連製品	1	SPI インターフェースと診断機能	31
改訂履歴	2	WDT	33
機能ブロック図	3	オフセットとゲインのデジタル調整	33
仕様	4	DAC 出力の更新とデータ完全性の診断	34
AC 性能特性	9	キー・コードの使用	34
タイミング特性	10	ソフトウェア・リセット	35
絶対最大定格	13	キャリブレーション・メモリの CRC	35
熱抵抗	13	内部発振器の診断	35
ESD に関する注意	13	スティッキー診断結果ビット	35
ピン配置およびピン機能の説明	14	バックグラウンドでの電源および 温度モニタリング	35
代表的な性能特性	16	出力故障	36
電圧出力	16	ADC のモニタリング	36
電流出力	20	レジスタ・マップ	39
リファレンス	24	レジスタへの書込み	39
一般特性	25	レジスタからの読出し	40
用語の定義	26	自動ステータス・リードバック・モード	41
動作原理	28	出力イネーブルを行う設定シーケンス	43
DAC アーキテクチャ	28	レジスタの詳細	45
シリアル・インターフェース	28	外形寸法	59
AD5423 のパワーオン状態	29	オーダー・ガイド	59
電源に関する考慮事項	29		
デバイス特性と診断機能	30		
電圧出力	30		

改訂履歴

7/2019–Revision 0: 初版

機能ブロック図



17296-001

図 1.

仕様

$AV_{DD1} = 15V$ 、 $AV_{DD2} = 5V$ 、 $AV_{SS} = -15V$ 、 $V_{LOGIC} = 1.71V \sim 5.5V$ 、 $AGND = DGND = REFGND = 0V$ 、 $REFIN = 2.5V$ (外部)、電圧出力：負荷抵抗 (R_{LOAD}) = $1k\Omega$ 、負荷コンデンサ (C_{LOAD}) = $220pF$ 、電流出力： $R_{LOAD} = 300\Omega$ 。特に指定がない限り、全ての仕様は $T_A = -40^\circ C \sim +115^\circ C$ 、ジャンクション温度 (T_J) $< 125^\circ C$ で規定します。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
VOLTAGE OUTPUT					
Output Voltage Ranges (V_{OUT})	0		5	V	Statement of available ranges rather than absolute minimum and maximum values Trimmed V_{OUT} ranges
	0		10	V	
	-5		+5	V	
	-10		+10	V	
Output Voltage Overranges	0		6	V	Untrimmed overranges
	0		12	V	
	-6		+6	V	
	-12		+12	V	
Output Voltage Offset Ranges	-0.3		+5.7	V	Untrimmed negatively offset ranges
	-0.4		+11.6	V	
Resolution	16			Bits	
VOLTAGE OUTPUT ACCURACY					
Total Unadjusted Error (TUE)	-0.05		+0.05	% full-scale range (FSR)	Loaded and unloaded, accuracy specifications refer to trimmed V_{OUT} ranges only, unless otherwise noted $T_A = 25^\circ C$
	-0.01		+0.01	% FSR	
TUE Long-Term Stability ¹		15		ppm FSR	Drift after 1000 hours, $T_J = 150^\circ C$
Output Drift		0.35	1.5	ppm FSR/ $^\circ C$	
Integral Nonlinearity (INL)	-0.006		+0.006	% FSR	All ranges
Differential Nonlinearity (DNL)	-1		+1	LSB	Guaranteed monotonic, all ranges
Zero-Scale Error	-0.02	± 0.002	+0.02	% FSR	
Zero-Scale Error Temperature Coefficient (TC) ²		± 0.3		ppm FSR/ $^\circ C$	
Bipolar Zero Error	-0.017	+0.001	+0.017	% FSR	$\pm 5 V$, $\pm 10 V$
Bipolar Zero Error TC ²		± 0.4		ppm FSR/ $^\circ C$	$\pm 5 V$, $\pm 10 V$
Offset Error	-0.022	± 0.002	+0.022	% FSR	
Offset Error TC ²		± 0.3		ppm FSR/ $^\circ C$	
Gain Error	-0.022	± 0.001	+0.022	% FSR	
Gain Error TC ²		± 0.6		ppm FSR/ $^\circ C$	
Full-Scale Error	-0.022	± 0.001	+0.022	% FSR	
Full-Scale Error TC ²		± 0.5		ppm FSR/ $^\circ C$	
VOLTAGE OUTPUT CHARACTERISTICS					
Headroom	2			V	Minimum voltage required between V_{IOUT} and AV_{DD1} supply
Footroom	2			V	Minimum voltage required between V_{IOUT} and AV_{SS} supply
Short-Circuit Current Load	1	16		mA	For specified performance
				k Ω	
Capacitive Load Stability ²				nF	External compensation capacitor of 220 pF connected
				μF	
DC Output Impedance		7		m Ω	
DC Power Supply Rejection Ratio (PSRR)		10		$\mu V/V$	
V_{OUT} and $-V_{SENSE}$ Common-Mode Rejection Ratio (CMRR)		10		$\mu V/V$	Error in V_{OUT} voltage due to changes in $-V_{SENSE}$ voltage

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CURRENT OUTPUT (I_{OUT})					
Current Output Ranges	0		24	mA	
	0		20	mA	
	4		20	mA	
	-20		+20	mA	
	-24		+24	mA	
	-1		+22	mA	
Resolution	16			Bits	
CURRENT OUTPUT ACCURACY (EXTERNAL CURRENT SETTING RESISTOR (R_{SET}))³					Assumes ideal 13.7 k Ω resistor
Unipolar Ranges					4 mA to 20 mA, 0 mA to 20 mA, and 0 mA to 24 mA ranges
TUE	-0.05		+0.05	% FSR	
	-0.01		+0.01	% FSR	$T_A = 25^\circ\text{C}$
TUE Long-Term Stability ¹		125		ppm FSR	Drift after 1000 hours, $T_J = 150^\circ\text{C}$
Output Drift		2	5	ppm FSR/ $^\circ\text{C}$	
INL	-0.006		+0.006	% FSR	
DNL	-1		+1	LSB	Guaranteed monotonic
Zero-Scale Error	-0.03	± 0.002	+0.03	% FSR	
Zero-Scale TC ²		± 0.5		ppm FSR/ $^\circ\text{C}$	
Offset Error	-0.03	± 0.001	+0.03	% FSR	
Offset Error TC ²		± 0.7		ppm FSR/ $^\circ\text{C}$	
Gain Error	-0.05	± 0.002	+0.05	% FSR	
Gain Error TC ²		± 3		ppm FSR/ $^\circ\text{C}$	
Full-Scale Error	-0.05	± 0.002	+0.05	% FSR	
Full-Scale Error TC ²		± 3		ppm FSR/ $^\circ\text{C}$	
Bipolar Ranges					± 20 mA, ± 24 mA, and -1 mA to +22 mA ranges
TUE	-0.06		+0.06	% FSR	
	-0.012		+0.012	% FSR	$T_A = 25^\circ\text{C}$
TUE Long-Term Stability ¹		125		ppm FSR	Drift after 1000 hours, $T_J = 150^\circ\text{C}$
Output Drift		12	15.5	ppm FSR/ $^\circ\text{C}$	
INL	-0.01		+0.01	% FSR	
DNL	-1		+1	LSB	Guaranteed monotonic
Zero-Scale Error	-0.04	± 0.003	+0.04	% FSR	
Zero-Scale TC ²		± 0.5		ppm FSR/ $^\circ\text{C}$	
Bipolar Zero Error	-0.02	± 0.003	+0.02	% FSR	
Bipolar Zero Error TC ²		± 0.4		ppm FSR/ $^\circ\text{C}$	
Offset Error	-0.04	± 0.002	+0.04	% FSR	
Offset Error TC ²		± 0.6		ppm FSR/ $^\circ\text{C}$	
Gain Error	-0.06	± 0.002	+0.06	% FSR	
Gain Error TC ²		± 3		ppm FSR/ $^\circ\text{C}$	
Full-Scale Error	-0.06	± 0.003	+0.06	% FSR	
Full-Scale Error TC ²		± 3		ppm FSR/ $^\circ\text{C}$	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CURRENT OUTPUT ACCURACY (INTERNAL R_{SET})					
Unipolar Ranges					
TUE	-0.12		+0.12	% FSR	4 mA to 20 mA, 0 mA to 20 mA, and 0 mA to 24 mA ranges
TUE Long-Term Stability ¹		380		ppm FSR	Drift after 1000 hours, T _J = 150°C
Output Drift		3	6	ppm FSR/°C	Output drift
INL	-0.01		+0.01	% FSR	
DNL	-1		+1	LSB	Guaranteed monotonic
Zero-Scale Error	-0.04	±0.001	+0.04	% FSR	
Zero-Scale TC ²		±0.5		ppm FSR/°C	
Offset Error	-0.04	±0.001	+0.04	% FSR	
Offset Error TC ²		±1		ppm FSR/°C	
Gain Error	-0.1	±0.003	+0.1	% FSR	
Gain Error TC ²		±3		ppm FSR/°C	
Full-Scale Error	-0.12	±0.003	+0.12	% FSR	
Full-Scale Error TC ²		±3		ppm FSR/°C	
Bipolar Ranges					
TUE	-0.12		+0.12	% FSR	±20 mA, ±24 mA, and -1 mA to +22 mA ranges
TUE Long-Term Stability ¹		380		ppm FSR	Drift after 1000 hours, T _J = 150°C
Output Drift		3	6	ppm FSR/°C	Output drift
INL	-0.02		+0.02	% FSR	
DNL	-1		+1	LSB	Guaranteed monotonic
Zero-Scale Error	-0.06	±0.002	+0.06	% FSR	
Zero-Scale TC ²		±2		ppm FSR/°C	
Bipolar Zero Error	-0.02	±0.002	+0.02	% FSR	
Bipolar Zero Error TC ²		±0.3		ppm FSR/°C	
Offset Error	-0.06	±0.001	+0.06	% FSR	
Offset Error TC ²		±1		ppm FSR/°C	
Gain Error	-0.12	±0.003	+0.12	% FSR	
Gain Error TC ²		±3		ppm FSR/°C	
Full-Scale Error	-0.12	±0.003	0.12	% FSR	
Full-Scale Error TC ²		±3		ppm FSR/°C	
CURRENT OUTPUT CHARACTERISTICS					
Headroom	2.3			V	Minimum voltage required between V _{IOUT} and AV _{DD1} supply
Footroom	2.35/0			V	Minimum voltage required between V _{IOUT} and AV _{SS} supply, unipolar ranges do not require any footroom
Resistive Load ²			1000	Ω	The current output is characterized with a maximum load of 1 kΩ, do not exceed the headroom and footroom compliance
Output Impedance		100		MΩ	Midscale output
DC PSRR		0.1		μA/V	
REFERENCE INPUT/OUTPUT					
Reference Input					
Reference Input Voltage ⁴		2.5		V	For specified performance
DC Input Impedance	55	120		MΩ	
Reference Output					
Output Voltage	2.495	2.5	2.505	V	T _A = 25°C (including drift after 1000 hours at T _J = 150°C)

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Reference TC ²	-12		+12	ppm/°C	
Output Noise (0.1 Hz to 10 Hz) ²		7		μV p-p	
Noise Spectral Density ²		80		nV/√Hz	At 10 kHz
Capacitive Load ²			1000	nF	
Load Current		3		mA	
Short-Circuit Current		5		mA	
Line Regulation		1		ppm/V	
Load Regulation		80		ppm/mA	
Thermal Hysteresis ²		150		ppm	
V_{LDO} PIN OUTPUT					
Output Voltage		3.3		V	
Output Voltage TC ²		25		ppm/°C	
Output Voltage Accuracy	-2		+2	%	
Externally Available Current			30	mA	
Short-Circuit Current		55		mA	
Load Regulation		0.8		mV/mA	
Capacitive Load		0.1		μF	Recommended operation
ADC					
Resolution		12		Bits	
Total Error		±0.3		% FSR	Total error including reference, Table 15 lists all ADC input nodes
Conversion Time		100		μs	
DIGITAL INPUTS					
Input Voltage					
3 V ≤ V _{LOGIC} ≤ 5.5 V					
High (V _{IH})	0.7 × V _{LOGIC}			V	
Low (V _{IL})			0.3 × V _{LOGIC}	V	
1.71 V ≤ V _{LOGIC} < 3 V					
V _{IH}	0.8 × V _{LOGIC}			V	
V _{IL}			0.2 × V _{LOGIC}	V	
Input Current	-1.5		+1.5	μA	Per pin, internal pull-down on SCLK, SDI, RESET, and LDAC, internal pull-up on SYNC
Pin Capacitance ²		2.4		pF	Per pin
DIGITAL OUTPUTS					
SDO					
Output Voltage					
Low (V _{OL})			0.4	V	Sinking 200 μA
High (V _{OH})	V _{LOGIC} - 0.2			V	Sourcing 200 μA
High Impedance Leakage Current	-1		+1	μA	
High Impedance Output Capacitance ²		2.2		pF	
FAULT					
Output Voltage					
V _{OL}			0.4	V	10 kΩ pull-up resistor to V _{LOGIC}
		0.6		V	At 2.5 mA
V _{OH}	V _{LOGIC} - 0.05			V	10 kΩ pull-up resistor to V _{LOGIC}

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
POWER REQUIREMENTS					
Supply Voltages					
AV_{DD1}	7		33	V	Maximum operating range of $ AV_{DD1}$ to $AV_{SS} = 50$ V
AV_{DD2}	5		33	V	Maximum operating range of $ AV_{DD2}$ to $AV_{SS} = 50$ V
AV_{SS}	-33		0	V	Maximum operating range of $ AV_{DD1}$ to $AV_{SS} = 50$ V
V_{LOGIC}	1.71		5.5	V	
Supply Quiescent Currents⁵					
AI_{DD1}		1.0		mA	Voltage output mode
		0.8		mA	Current output mode (unipolar)
AI_{DD2}		3.3		mA	Voltage output mode
		2.9		mA	Current output mode
AI_{SS}		-1.1		mA	Voltage output mode
		-0.23		mA	Current output mode (unipolar)
Current Drawn from V_{LOGIC} Supply (I_{LOGIC})			0.01	mA	V_{IH} = the voltage on the V_{LOGIC} pin, V_{IL} = DGND
Power Dissipation					
		108		mW	$AV_{DD1} = 24$ V, $AV_{DD2} = 5$ V, $AV_{SS} = -15$ V, $R_{LOAD} = 1$ k Ω , $I_{OUT} = 20$ mA
		505		mW	$AV_{DD1} = 24$ V, $AV_{DD2} = 5$ V, $AV_{SS} = -15$ V, $R_{LOAD} = 0$ Ω , $I_{OUT} = 20$ mA
		155		mW	$AV_{DD1} = AV_{DD2} = 24$ V, $AV_{SS} = -15$ V, $R_{LOAD} = 1$ k Ω , $I_{OUT} = 20$ mA
		550		mW	$AV_{DD1} = AV_{DD2} = 24$ V, $AV_{SS} = -15$ V, $R_{LOAD} = 0$ Ω , $I_{OUT} = 20$ mA

¹長期安定性の仕様は、非累積的です。後続の 1000 時間にわたるドリフトは、最初の 1000 時間よりも大幅に小さくなります。

²設計および特性評価により確保。出荷テストの対象外です。

³内蔵および外付け R_{SET} 抵抗の詳細については、電流出力のセクションを参照してください。

⁴AD5423 は REFIN に接続された外部 2.5V リファレンスにより工場出荷時校正済みです。

⁵製品は $AV_{DD1} = 30$ V、 $AV_{SS} = -20$ V でテストされています。

AC 性能特性

$AV_{DD1} = 15V$ 、 $AV_{DD2} = 5V$ 、 $AV_{SS} = -15V$ 、 $V_{LOGIC} = 1.71V \sim 5.5V$ 、 $AGND = DGND = REFGND = 0V$ 、 $REFIN = 2.5V$ (外部)、電圧出力： $R_{LOAD} = 1k\Omega$ 、 $C_{LOAD} = 220pF$ 、電流出力： $R_{LOAD} = 300\Omega$ 。特に指定がない限り、全ての仕様は $T_A = -40^\circ C \sim +115^\circ C$ 、 $T_J < 125^\circ C$ で規定します。

表 2.

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE¹					
Voltage Output					
Output Voltage Settling Time		6	20	μs	5 V step to $\pm 0.03\%$ FSR, 0 V to 5 V range
		12	20	μs	10 V step to $\pm 0.03\%$ FSR, 0 V to 10 V range
			15	μs	100 mV step to 1 LSB (16-bit LSB), 0 V to 10 V range
Slew Rate		3		V/ μs	0 V to 10 V range, digital slew rate control disabled
Power-On Glitch Energy		25		nV-sec	
Digital-to-Analog Glitch Energy		7		nV-sec	
Glitch Impulse Peak Amplitude		25		mV	
Digital Feedthrough		2		nV-sec	
Output Noise (0.1 Hz to 10 Hz Bandwidth)		0.2		LSB p-p	16-bit LSB, 0 V to 10 V range
Output Noise Spectral Density		185		nV/ \sqrt{Hz}	Measured at 10 kHz, midscale output, 0 V to 10 V range
AC PSRR		70		dB	200 mV, 50 Hz and 60 Hz sine wave superimposed on power supply voltage
Current Output					
Output Current Settling Time		15		μs	To 0.1% FSR (0 mA to 24 mA)
Output Noise (0.1 Hz to 10 Hz Bandwidth)		0.2		LSB p-p	16-bit LSB, 0 mA to 24 mA range
Output Noise Spectral Density		0.8		nA/ \sqrt{Hz}	Measured at 10 kHz, midscale output, 0 mA to 24 mA range
AC PSRR		80		dB	200 mV, 50 Hz and 60 Hz sine wave superimposed on power supply voltage

¹設計および特性評価により確保。出荷テストの対象外です。

タイミング特性

$AV_{DD1} = 15V$ 、 $AV_{DD2} = 5V$ 、 $AV_{SS} = -15V$ 、 $V_{LOGIC} = 1.71V \sim 5.5V$ 、 $AGND = DGND = REFGND = 0V$ 、 $REFIN = 2.5V$ (外部)、電圧出力： $R_{LOAD} = 1k\Omega$ 、 $C_{LOAD} = 220pF$ 、電流出力： $R_{LOAD} = 300\Omega$ 。特に指定がない限り、全ての仕様は $T_A = -40^\circ C \sim +115^\circ C$ 、 $T_J < 125^\circ C$ で規定します。

表 3.

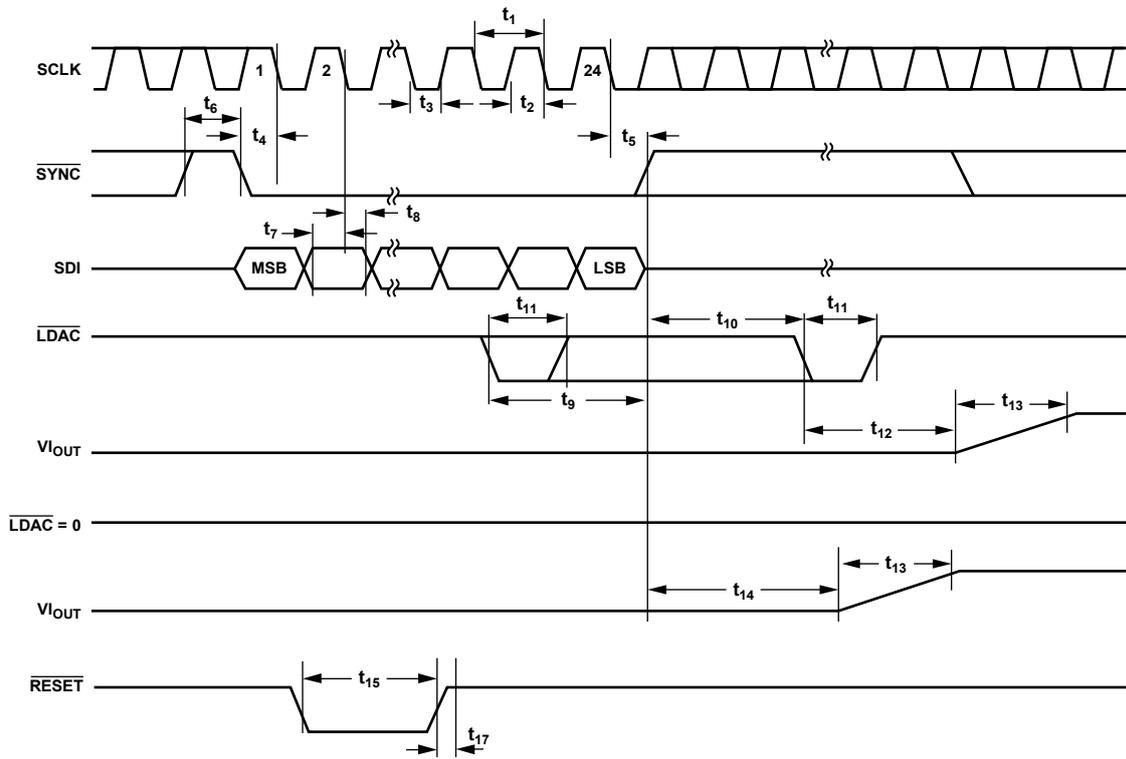
Parameter ^{1, 2, 3}	$1.71 V \leq V_{LOGIC} < 3 V$	$3 V \leq V_{LOGIC} \leq 5.5 V$	Unit	Description
t_1	33	20	ns minimum	Serial clock input (SCLK) cycle time, write operation
	120	66	ns minimum	SCLK cycle time, read operation
t_2	16	10	ns minimum	SCLK high time, write operation
	60	33	ns minimum	SCLK high time, read operation
t_3	16	10	ns minimum	SCLK low time, write operation
	60	33	ns minimum	SCLK low time, read operation
t_4	10	10	ns minimum	\overline{SYNC} falling edge to SCLK falling edge setup time, write operation
	33	33	ns minimum	\overline{SYNC} falling edge to SCLK falling edge setup time, read operation
t_5	10	10	ns minimum	24 th or 32 nd SCLK falling edge to \overline{SYNC} rising edge
t_6	500	500	ns minimum	\overline{SYNC} high time (applies to all register writes outside of those listed in this table)
	1.5	1.5	μs minimum	\overline{SYNC} high time (DAC_INPUT register write)
	500	500	μs minimum	\overline{SYNC} high time (DAC_CONFIG register write, where the RANGE bits (Bits[3:0]) change, see the Calibration Memory CRC section for more timing information)
t_7	5	5	ns minimum	Data setup time
t_8	6	6	ns minimum	Data hold time
t_9	750	750	ns minimum	\overline{LDAC} falling edge to \overline{SYNC} rising edge
t_{10}	1.5	1.5	μs minimum	\overline{SYNC} rising edge to \overline{LDAC} falling edge
t_{11}	250	250	ns minimum	\overline{LDAC} pulse width low
t_{12}	600	600	ns maximum	\overline{LDAC} falling edge to DAC output response time, digital slew rate control disabled
	2	2	μs maximum	\overline{LDAC} falling edge to DAC output response time, digital slew rate control enabled
t_{13}	See the AC Performance Characteristics section		μs maximum	DAC output settling time
t_{14}	1.5	1.5	μs maximum	\overline{SYNC} rising edge to DAC output response time ($\overline{LDAC} = 0$)
t_{15}	5	5	μs minimum	\overline{RESET} pulse width
t_{16}	40	28	ns maximum	SCLK rising edge to SDO valid
t_{17}	100	100	μs minimum	\overline{RESET} rising edge to first SCLK falling edge after \overline{SYNC} falling edge

¹設計および特性評価により確保。出荷テストの対象外です。

²全ての入力信号は $t_R = t_F = 5ns$ (V_{LOGIC} の 10%~90%) で仕様規定し、1.2V の電圧レベルで時間を測定しています。 t_R は立上がり時間、 t_F は立下がり時間です。

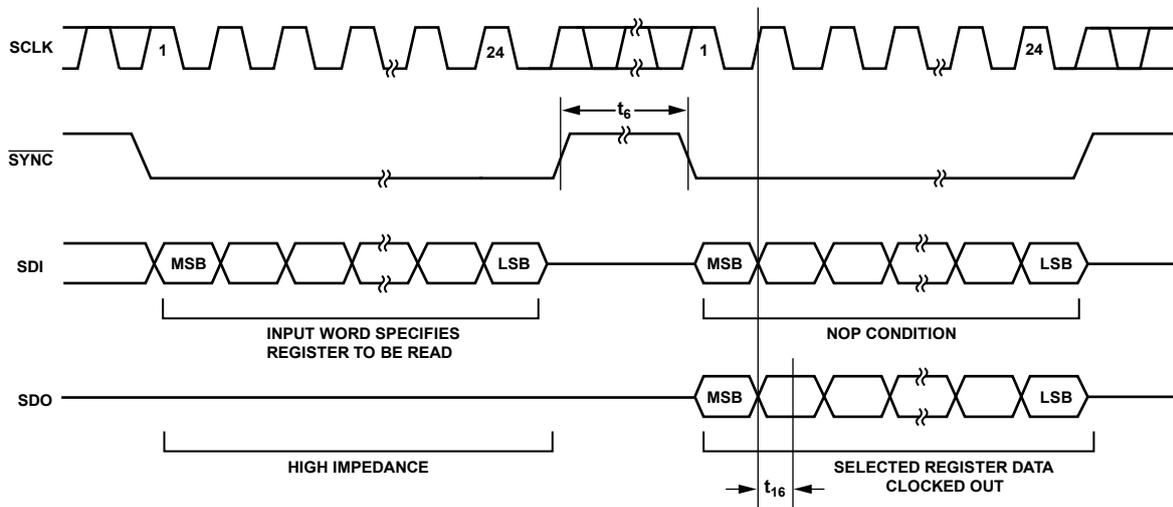
³図 2、図 3、図 4、および図 5 を参照してください。

タイミング図



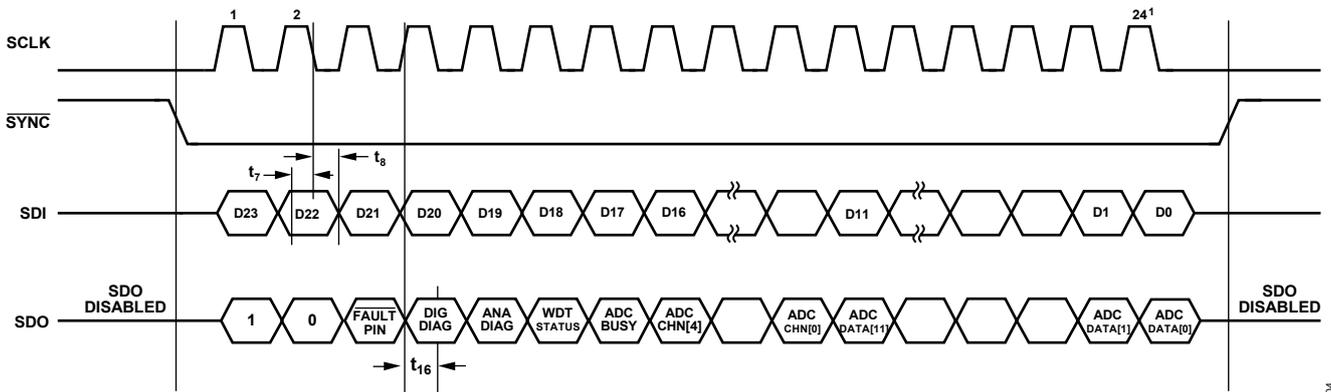
17286-002

図 2. シリアル・インターフェースのタイミング図



17286-003

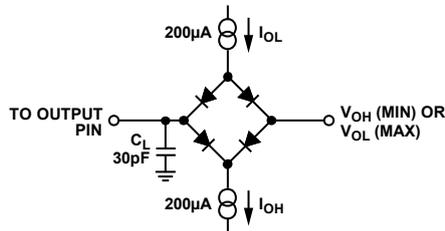
図 3. リードバックのタイミング図



¹IF ANY EXTRA SCLK FALLING EDGES ARE RECEIVED AFTER THE 24TH (OR 32ND, IF CRC IS ENABLED) SCLK, BEFORE SYNC RETURNS HIGH, SDO CLOCKS OUT 0.

1728E-004

図 4. 自動ステータス・リードバックのタイミング図



1728E-005

図 5. SDO タイミング図の負荷回路

絶対最大定格

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 。最大 $\pm 200\text{mA}$ までの過渡電流では SCR ラッチアップは生じません。

表 4.

Parameter	Rating
AV_{DD1} to AGND, DGND	-0.3 V to +35 V
AV_{SS} to AGND, DGND	+0.3 V to -35 V
AV_{DD1} to AV_{SS}	-0.3 V to +55 V
AV_{DD2} to AGND, DGND	-0.3 V to +35 V
AV_{DD2} to AV_{SS}	-0.3 V to +55 V
V_{LOGIC} to DGND	-0.3 V to +6 V
Digital Inputs ¹ to DGND	-0.3 V to $V_{LOGIC} + 0.3$ V or +6 V (whichever voltage is less)
Digital Outputs ² to DGND	-0.3 V to $V_{LOGIC} + 0.3$ V or +6 V (whichever voltage is less)
REFIN, REFOUT, V_{LDO} , C_{HART} to AGND	-0.3 V to $AV_{DD2} + 0.3$ V or +6 V (whichever voltage is less)
R_A to AGND	-0.3 V to +4.5 V
R_B to AGND	-0.3 V to +4.5 V
VI_{OUT} to AGND	$AV_{SS} - 0.3$ V or -35 V (whichever voltage is greater) to $AV_{DD1} + 0.3$ V or +35 V (whichever voltage is less)
$+V_{SENSE}$ to AGND	± 35 V
$-V_{SENSE}$ to AGND	± 35 V
C_{COMP} to AGND	$AV_{SS} - 0.3$ V to $AV_{DD1} + 0.3$ V
AGND, DGND to REFGND	-0.3 V to +0.3 V
Industrial Operating Temperature Range (T_A) ³	-40°C ~ +115°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T_J Maximum)	125°C
Power Dissipation	$(T_J \text{ maximum} - T_A)/\theta_{JA}$
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020
Electrostatic Discharge (ESD)	
Human Body Model ⁴	± 3 kV
Field Induced Charged Device Model ⁵	± 750 V

¹ デジタル入力ピンは、SCLK、SDI、 $\overline{\text{SYNC}}$ 、AD0、AD1、RESET、およびLDACです。

² デジタル出力ピンは、 $\overline{\text{FAULT}}$ およびSDOです。

³ チップ内の消費電力を抑えて、ジャンクション温度を 125°C 以下に維持する必要があります。

⁴ ANSI/ESDA/JEDEC JS-001 に準拠 (全てのピン)。

⁵ ANSI/ESDA/JEDEC JS-002 に準拠 (全てのピン)。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。 θ_{JA} はジャンクションから周囲への熱抵抗で、 Ψ_{JT} はジャンクションとパッケージ上面間の熱抵抗です。

表 5. 熱抵抗

Package Type	θ_{JA}	Ψ_{JT}	Unit
CP-32-12 ¹	41.43	0.29	°C/W

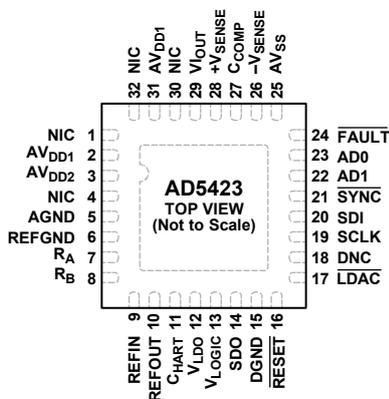
¹ 熱抵抗のシミュレーション値は、サーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. NIC = NO INTERNAL CONNECTION.
 2. DNC = DO NOT CONNECT.
 3. CONNECT THE EXPOSED PAD TO THE POTENTIAL OF THE AVSS PIN, OR, ALTERNATIVELY, IT CAN BE LEFT ELECTRICALLY UNCONNECTED. IT IS RECOMMENDED THAT THE PAD BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

17286-006

図 6. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1, 4, 30, 32	NIC	内部接続なし。
2, 31	AVDD1	正のアナログ電源。電圧範囲は 7V~33V です。
3	AVDD2	正の低電圧アナログ電源。電圧範囲は 5V~33V です。
5	AGND	アナログ回路に対するグラウンド基準ポイント。このピンは 0V に接続する必要があります。
6	REFGND	内蔵リファレンスに対するグラウンド基準ポイント。このピンは 0V に接続する必要があります。
7	RA	電流設定外付け抵抗。外付けの高精度、低ドリフトの 13.7kΩ の電流設定抵抗を RA と RB の間に接続して、IOUT の温度ドリフト性能を向上させることができます。
8	RB	電流設定外付け抵抗。外付けの高精度、低ドリフトの 13.7kΩ の電流設定抵抗を RA と RB の間に接続して、IOUT の温度ドリフト性能を向上させることができます。
9	REFIN	外部リファレンス電圧入力。
10	REFOUT	内蔵 2.5V リファレンス電圧出力。内蔵リファレンスを使用するには、REFOUT を REFIN に接続する必要があります。REFOUT と REFGND の間にコンデンサを接続することは推奨しません。
11	CHART	HART 入力接続。HART 信号はこのピンに AC カップリングする必要があります。HART を使用しない場合は、このピンを未接続のままにしてください。このピンはデフォルトでは HART 加算ノードに接続されていませんが、General Purpose Configuration1 レジスタの HART_EN ビットをセットすると接続されます。
12	VLDO	3.3V の低ドロップアウト (LDO) 出力電圧。VLDO は、0.1μF のコンデンサを使って AGND にデカップリングする必要があります。
13	VLOGIC	デジタル電源。このピンの電圧範囲は 1.71V~5.5V です。VLOGIC は 0.1μF のコンデンサを使って DGND にデカップリングする必要があります。
14	SDO	シリアル・データ出力。このピンは、リードバック・モードでシリアル・レジスタからデータをクロック出力します。リードバック・モードでの SCLK の最大速度は 15MHz です。この速度は VLOGIC 電圧により異なります。
15	DGND	デジタル・グラウンド。
16	RESET	ハードウェア・リセット。アクティブ・ローの入力。
17	LDAC	DAC のロード。アクティブ・ローの入力。このピンは、DAC_OUTPUT レジスタを更新することによって DAC 出力を更新します。SYNC の立上がりエッジ前 500ns または SYNC の立上がりエッジ後 1.5μs の範囲内では、LDAC をアサートしないでください。
18	DNC	接続なし。このピンは接続しないでください。
19	SCLK	シリアル・クロック入力。データは、SCLK の立下がりエッジで入力シフト・レジスタにクロック入力されます。書込みモードでは、このピンは最大 50MHz のクロック速度で動作します。この速度は VLOGIC 電圧により異なります。読出しモードでの最大 SCLK 速度は 20MHz です。この速度は VLOGIC 電圧により異なります。

ピン番号	記号	説明
20	SDI	シリアル・データ入力。データは、SCLK の立下がりエッジで有効である必要があります。
21	$\overline{\text{SYNC}}$	シリアル・インターフェースのフレーム同期信号。アクティブ・ローの入力。 $\overline{\text{SYNC}}$ がローの間、データは SCLK の立下がりエッジでデバイスに転送されます。
22	AD1	ボード上の AD5423 のアドレス・デコード 1。
23	AD0	ボード上の AD5423 のアドレス・デコード 0。
24	FAULT	故障ピン。アクティブ・ローの擬似オープンドレイン出力。このピンは故障状態が検出されない場合は高インピーダンスで、特定の故障状態が検出されるとローにアサートされます。これらの故障状態の例として、電流モードでのオープン・サーキット、電圧モードでの短絡、CRC エラー、過熱エラーなどが挙げられます。このピンは 10k Ω のプルアップ抵抗を使って V _{LOGIC} に接続する必要があります。
25	AV _{SS}	負のアナログ電源。このピンの電圧範囲は 0V ~ -33V です。0V が印加されている場合、V _{OUT} または I _{OUT} ではユニポラ範囲のみを使用できます。
26	-V _{SENSE}	V _{OUT} モードでの負電圧出力負荷接続用のセンス接続。仕様規定された動作を確保するには、このピンを AGND の $\pm 10\text{V}$ 以内に保つ必要があります。このピンには 1k Ω の直列抵抗を接続することを推奨します。リモート・センシングを使用しない場合は、このピンを AGND に短絡してください。
27	C _{COMP}	V _{OUT} のバッファ用の補償コンデンサ接続 (オプション)。このピンと VI _{OUT} ピンの間に 220pF のコンデンサを接続すると、2 μF まで駆動できる電圧出力が得られます。このコンデンサを追加すると、出力アンプの帯域幅が減少してセトリング時間が長くなります。
28	+V _{SENSE}	V _{OUT} モードでの正電圧出力負荷接続用のセンス接続。リモート・センシングを使用しない場合は、1k Ω の直列抵抗を介してこのピンを VI _{OUT} に短絡します。このピンには 1k Ω の直列抵抗を接続することを推奨します。
29	VI _{OUT} EPAD	電圧または電流出力ピン。VI _{OUT} は共有ピンで、バッファリングした電圧または電流を出力します。 露出パッド。露出パッドは AV _{SS} ピンの電位に接続するか、電気的に未接続のままにしておくことができます。熱性能を向上させるために、パッドを銅製の放熱板に接続することを推奨します。

代表的な性能特性

電圧出力

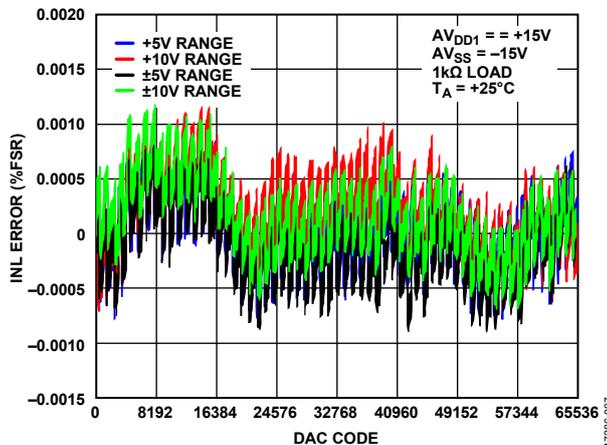


図 7. INL 誤差と DAC コードの関係

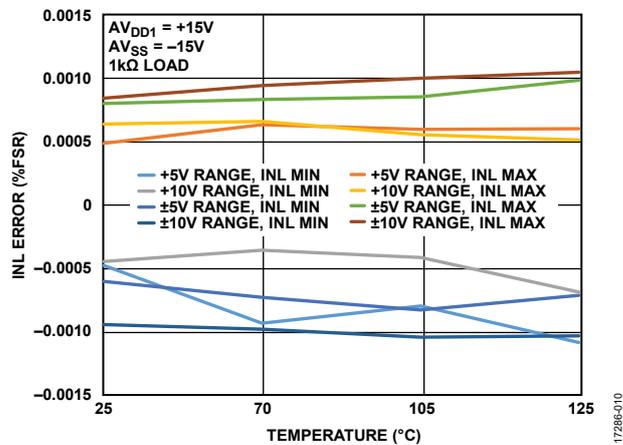


図 10. INL 誤差の温度特性

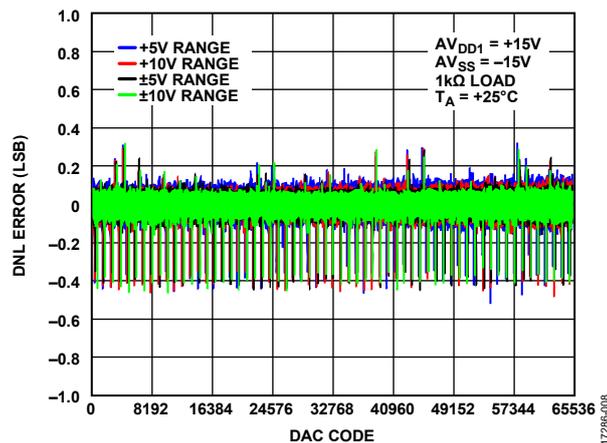


図 8. DNL 誤差と DAC コードの関係

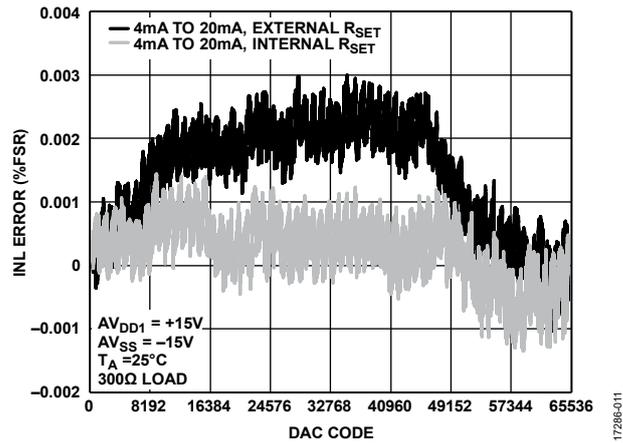


図 11. INL 誤差と DAC コードの関係

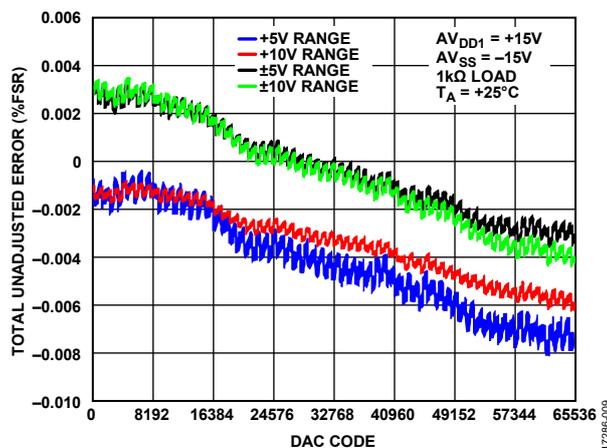


図 9. 総合未調整誤差と DAC コードの関係

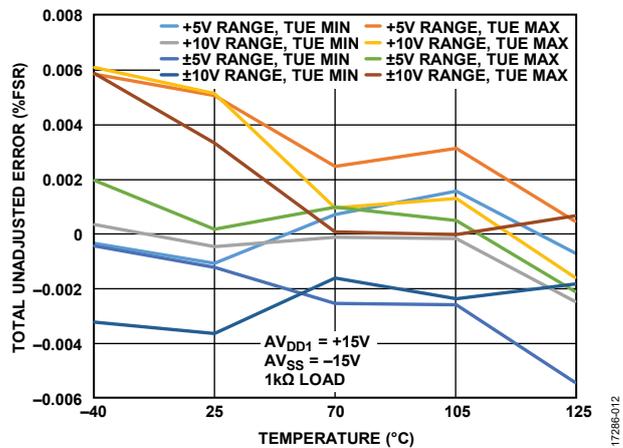


図 12. 総合未調整誤差の温度特性

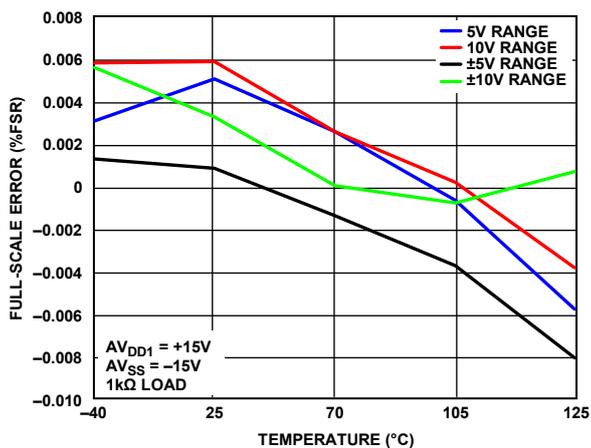


図 13. フルスケール誤差の温度特性

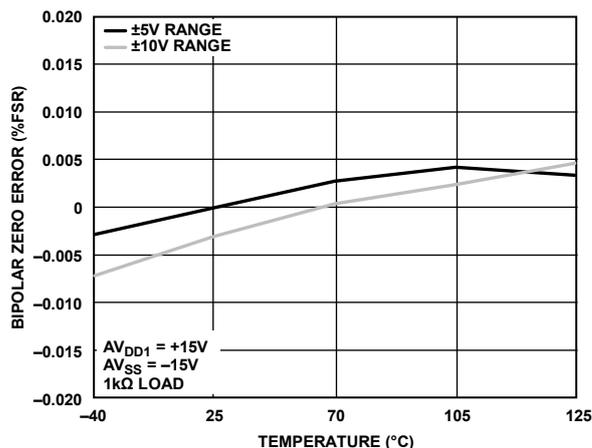


図 16. バイポーラ・ゼロ誤差の温度特性

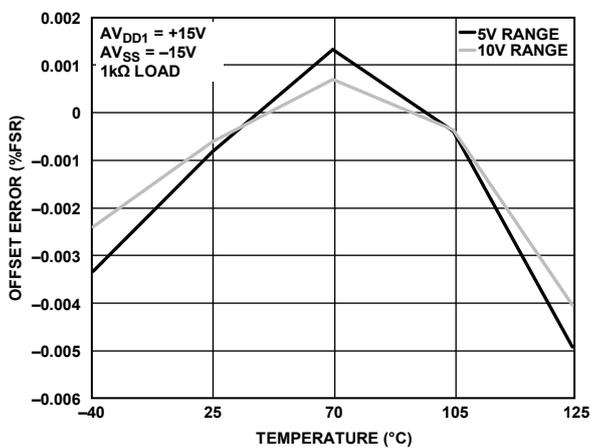


図 14. オフセット誤差の温度特性

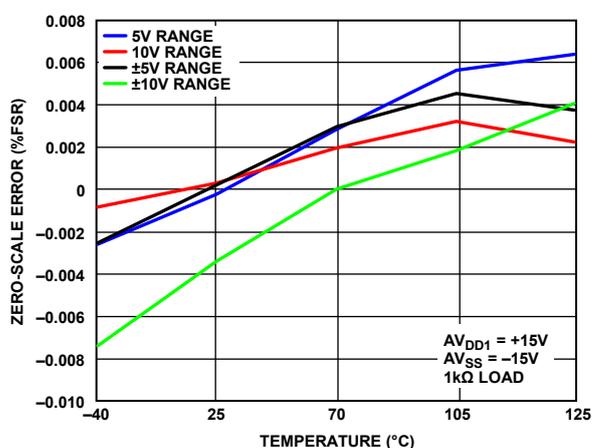


図 17. ゼロスケール誤差の温度特性

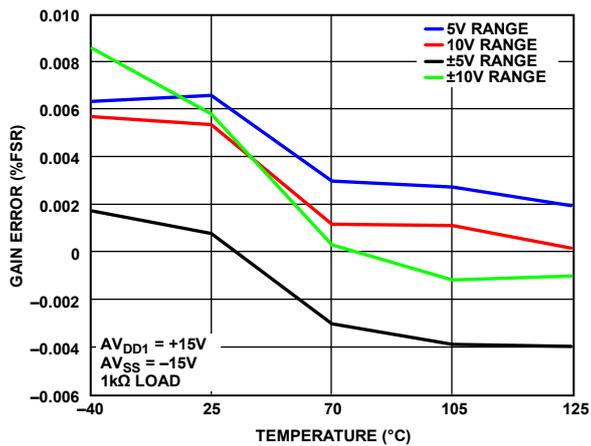


図 15. ゲイン誤差の温度特性

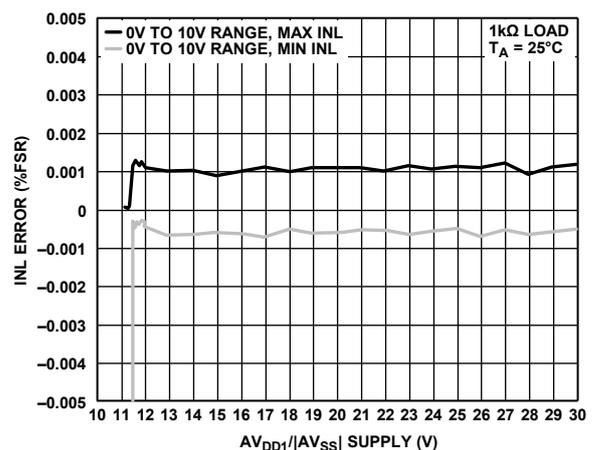


図 18. INL 誤差と AV_{DD1}/AV_{SS1} 電源の関係

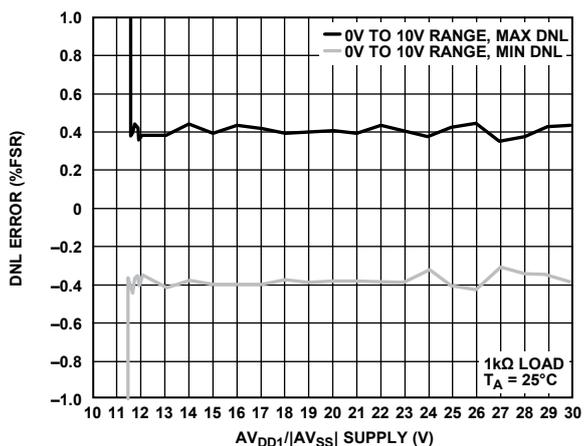


図 19. DNL 誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係

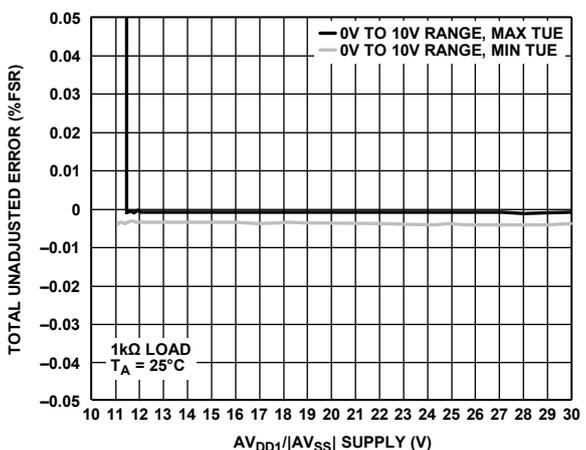


図 20. 総合未調整誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係

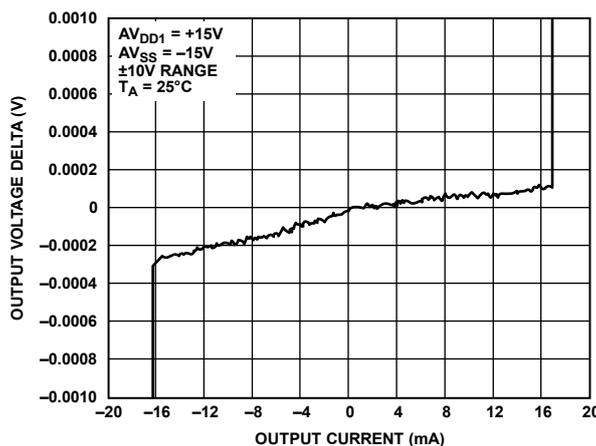


図 21. 出力アンプのシンク能力とソース能力

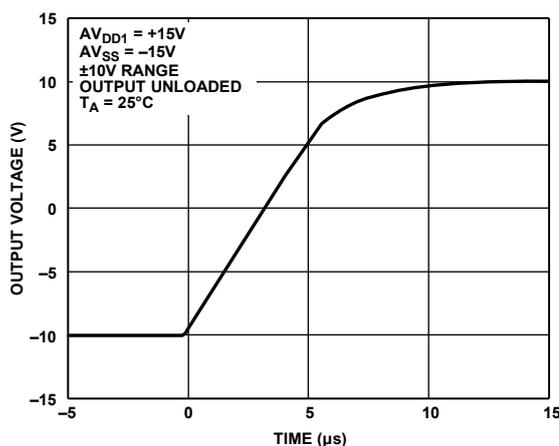


図 22. 正のフルスケール・ステップ

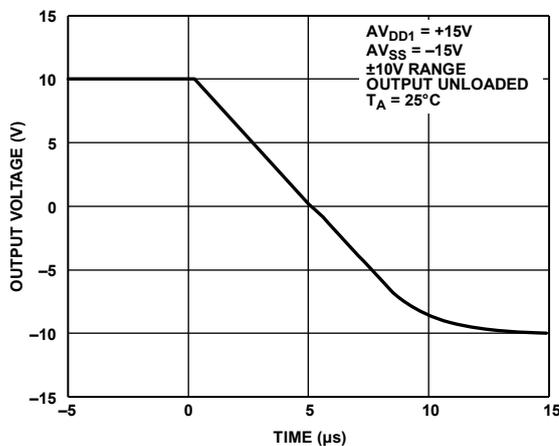


図 23. 負のフルスケール・ステップ

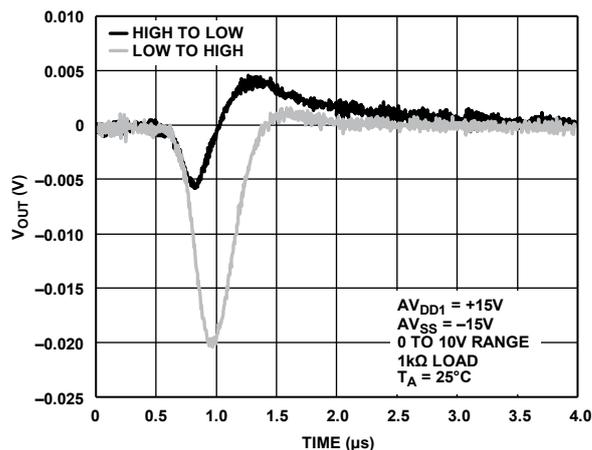


図 24. デジタル/アナログ・グリッチのメジャー・コード遷移

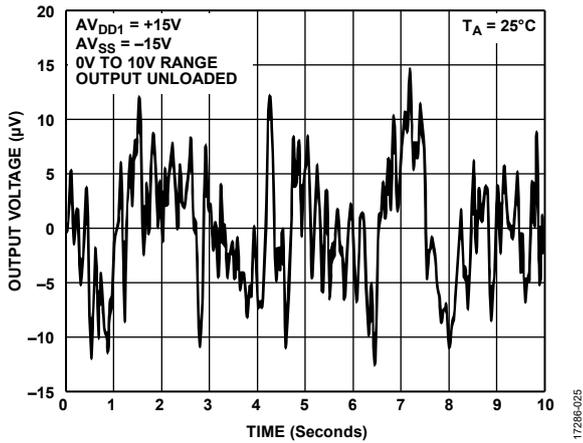


図 25. ピーク to ピーク・ノイズ (0.1Hz~10Hzの帯域幅)

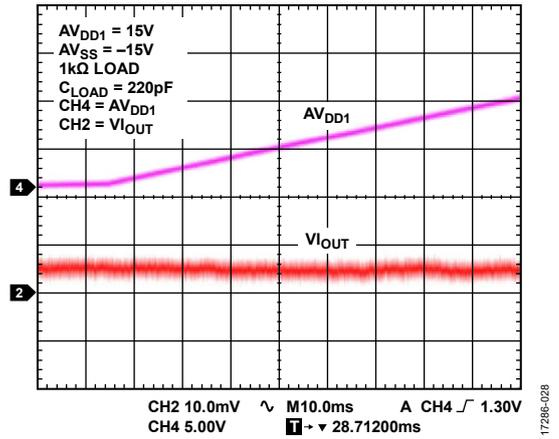


図 28. パワーアップ時の V_{OUT} の時間変化

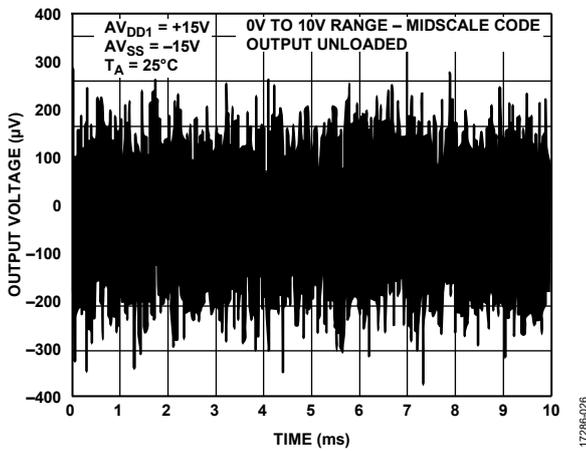


図 26. ピーク to ピーク・ノイズ (100kHzの帯域幅)

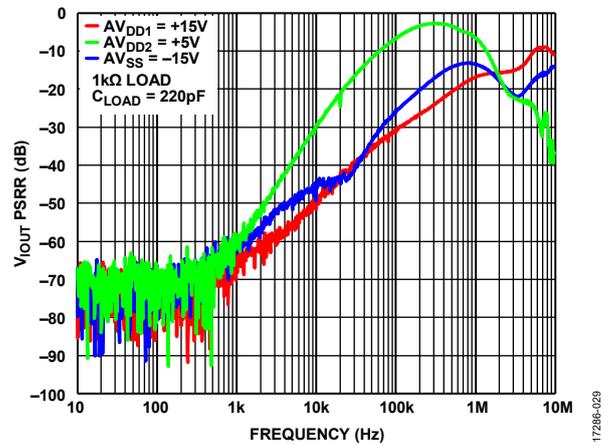


図 29. V_{OUT} PSRR の周波数特性

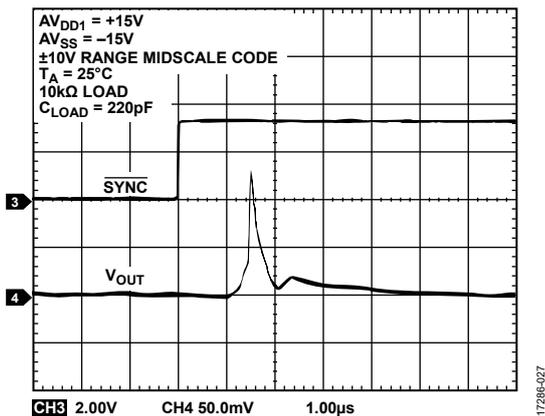


図 27. 出力イネーブル時の \overline{SYNC} および V_{OUT} の時間変化

電流出力

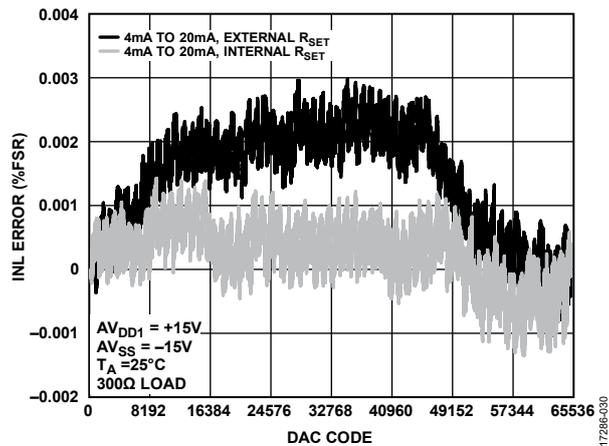


図 30. INL 誤差と DAC コードの関係

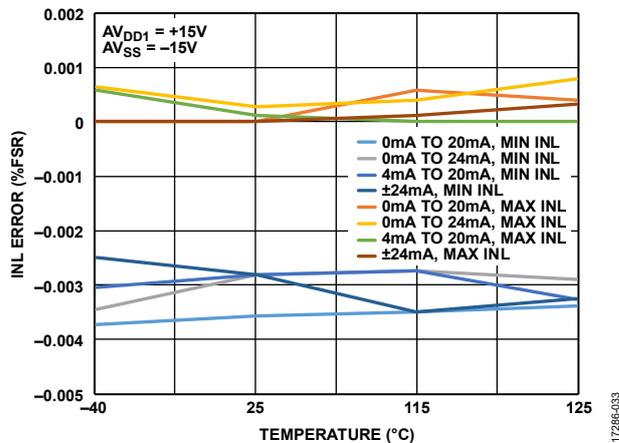


図 33. INL 誤差の温度特性、内蔵 R_{SET}

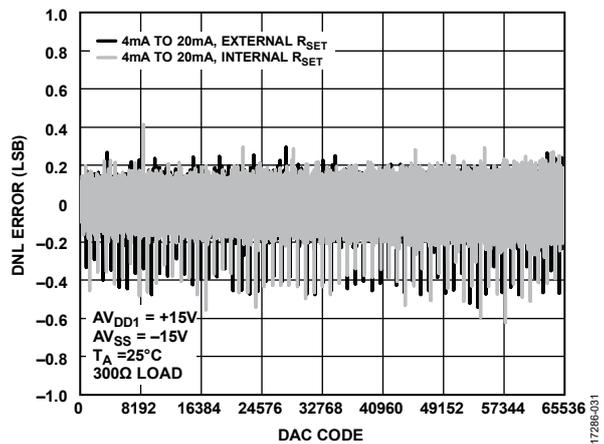


図 31. DNL 誤差と DAC コードの関係

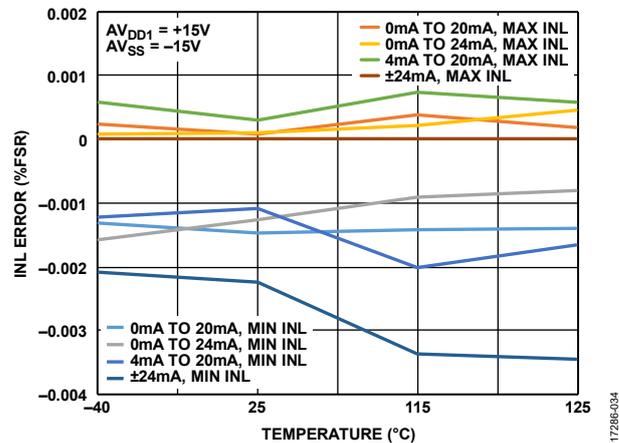


図 34. INL 誤差の温度特性、外付け R_{SET}

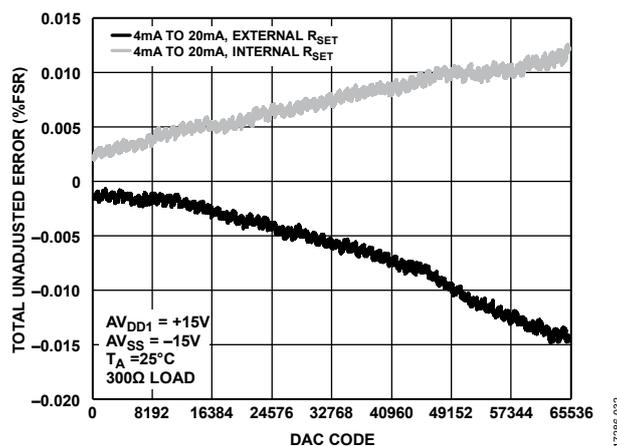


図 32. 総合未調整誤差と DAC コードの関係

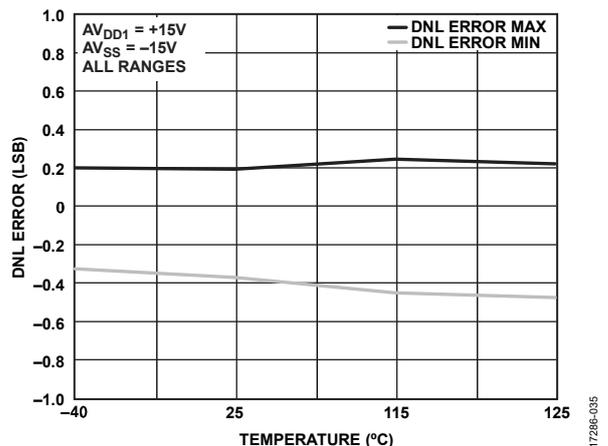


図 35. DNL 誤差の温度特性

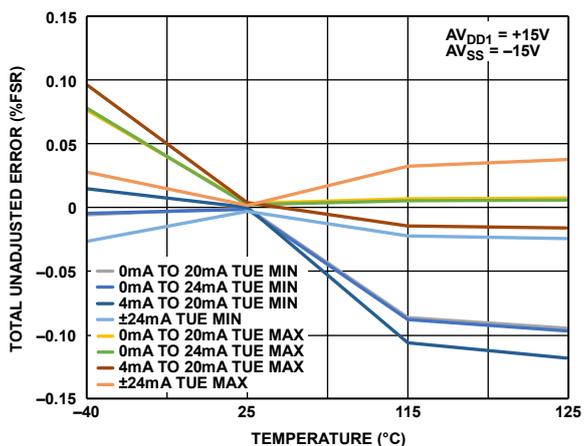


図 36. 総合未調整誤差の温度特性、内蔵 R_{SET}

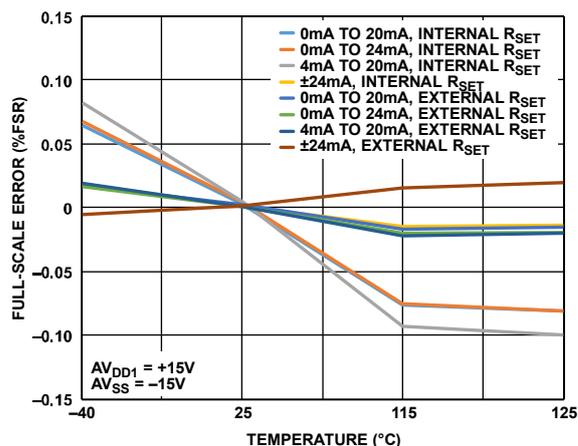


図 39. フルスケール誤差の温度特性

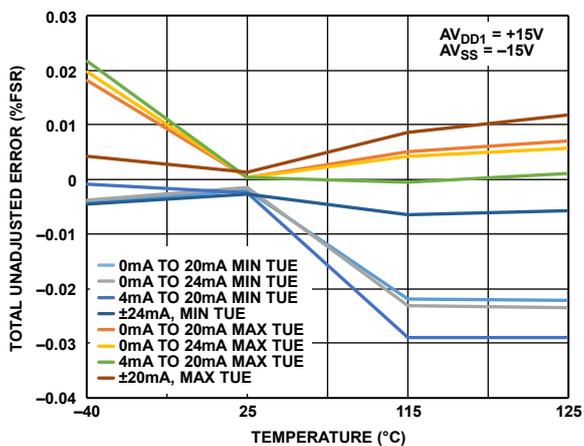


図 37. 総合未調整誤差の温度特性、外付け R_{SET}

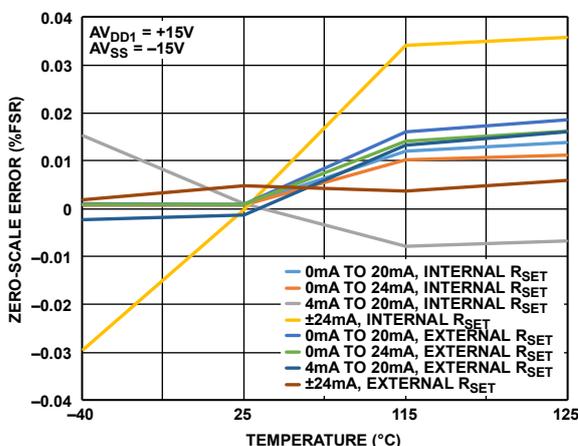


図 40. ゼロスケール誤差の温度特性

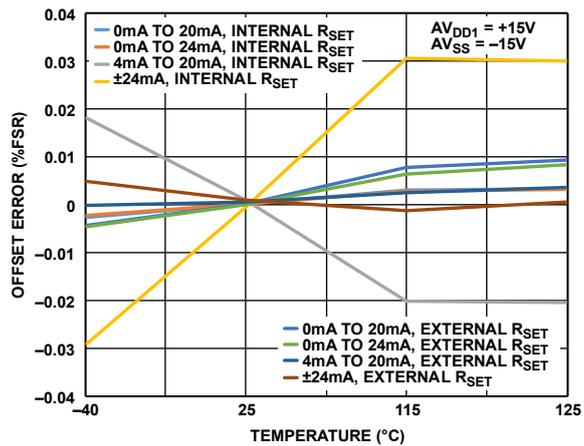


図 38. オフセット誤差の温度特性

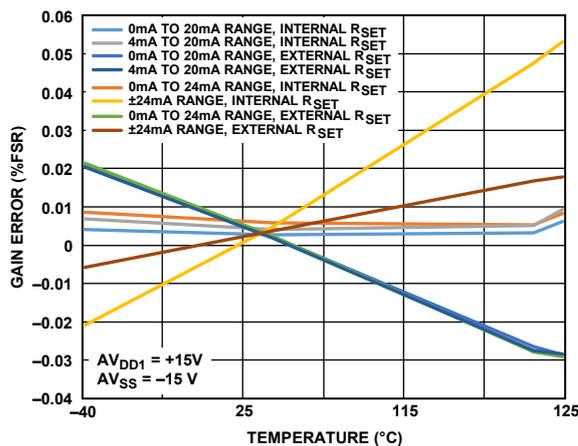


図 41. ゲイン誤差の温度特性

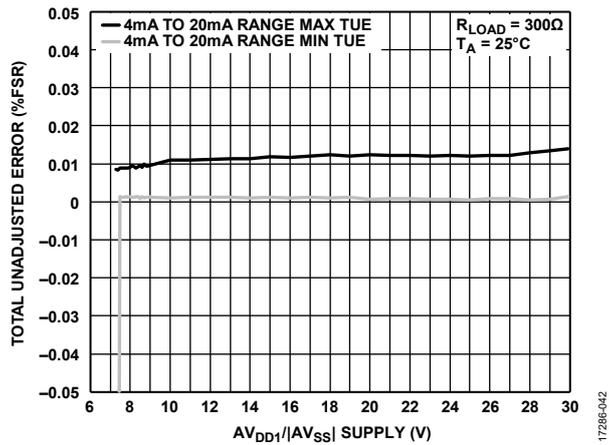


図 42. 総合未調整誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係、内蔵 R_{SET}

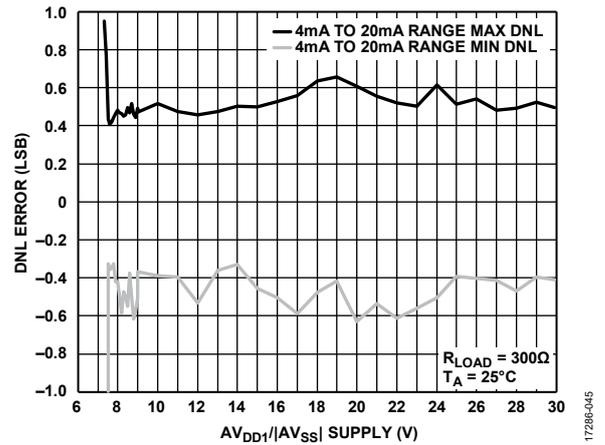


図 45. DNL 誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係、外付け R_{SET}

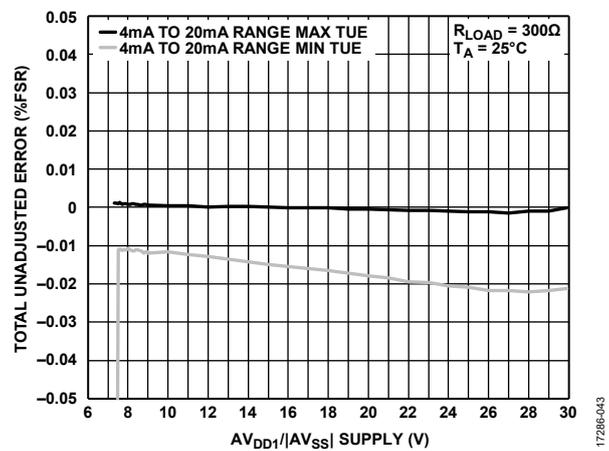


図 43. 総合未調整誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係、外付け R_{SET}

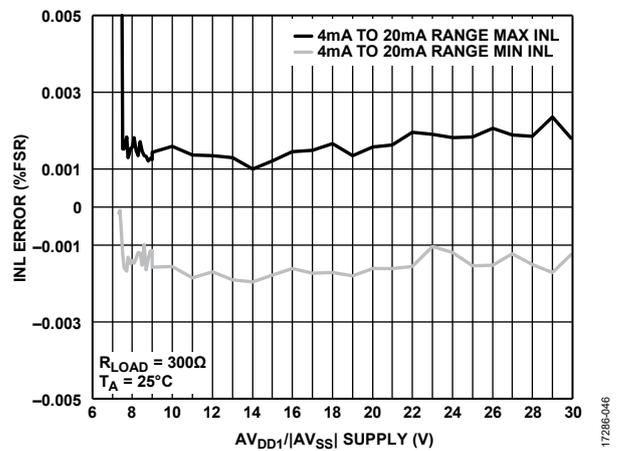


図 46. INL 誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係、内蔵 R_{SET}

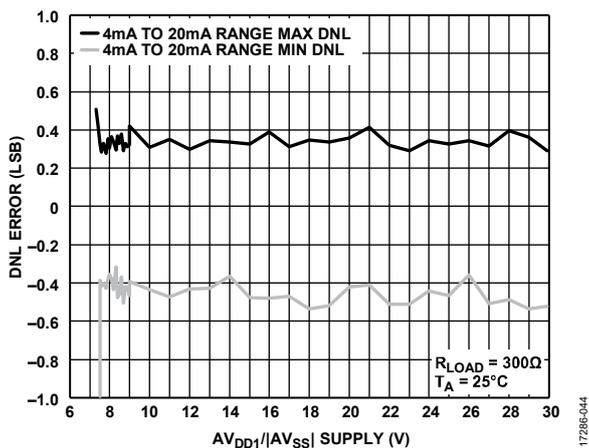


図 44. DNL 誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係、内蔵 R_{SET}

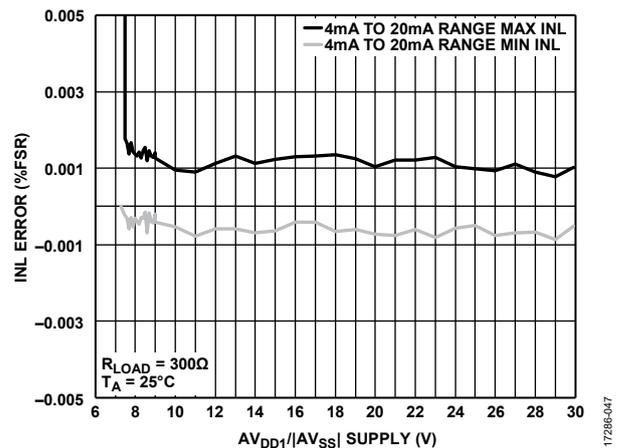


図 47. INL 誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係、外付け R_{SET}

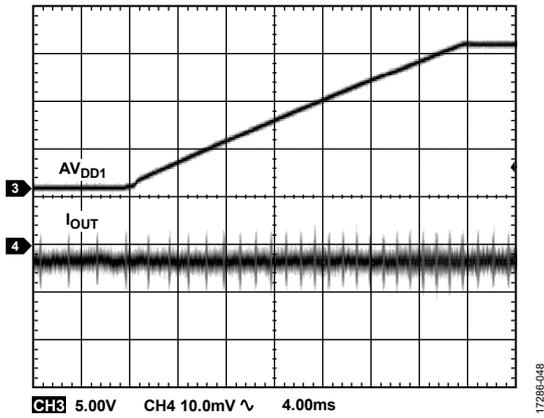


図 48. パワーアップ時の出力電流の時間変化

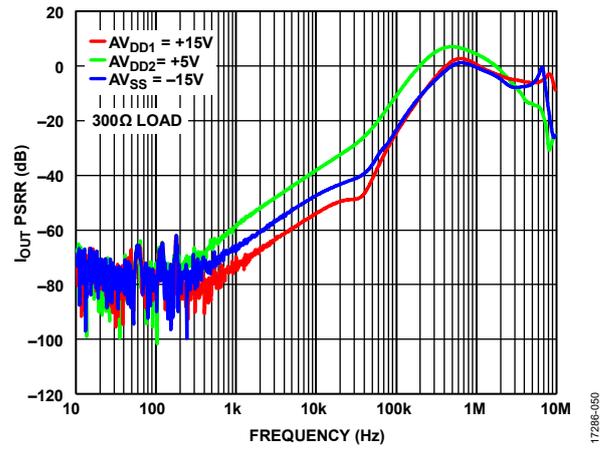


図 50. I_{OUT} PSRR の周波数特性

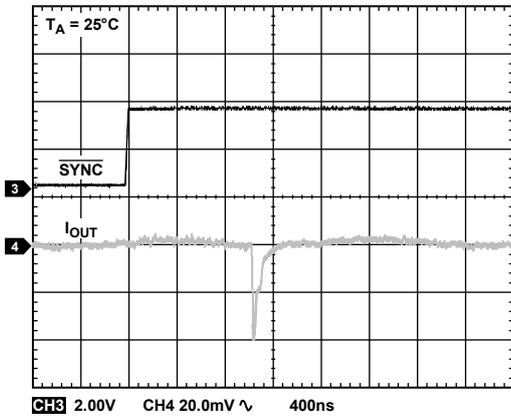


図 49. 出力イネーブル時の出力電流の時間変化

リファレンス

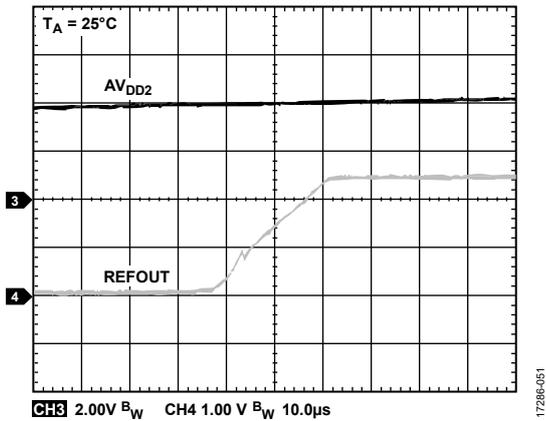


図 51. REFOUT のターンオン・トランジェント

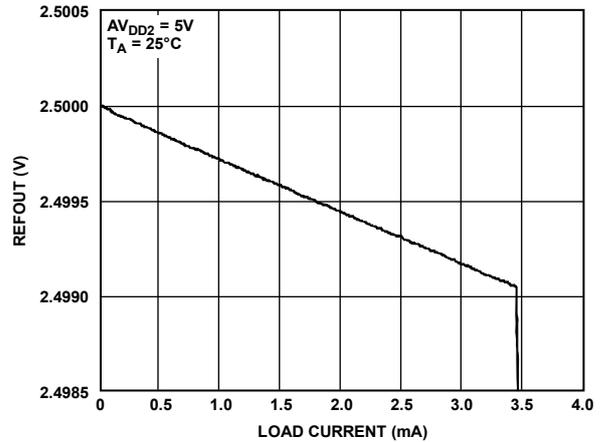


図 54. REFOUT と負荷電流の関係

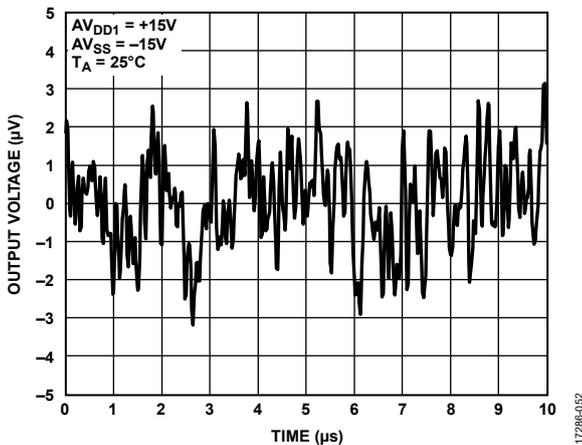


図 52. ピーク to ピーク・ノイズ (0.1Hz~10Hz の帯域幅)

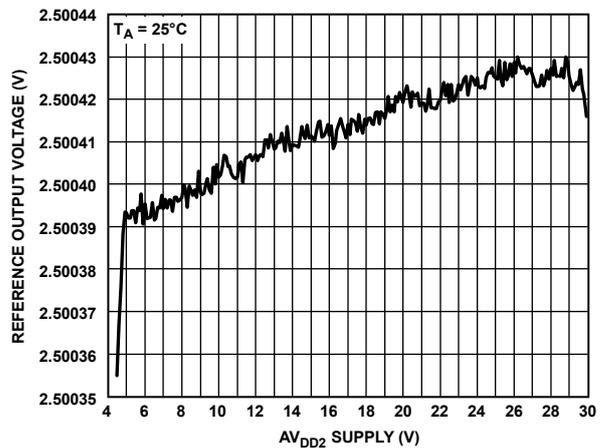


図 55. リファレンス出力電圧と AVDD2 電源の関係

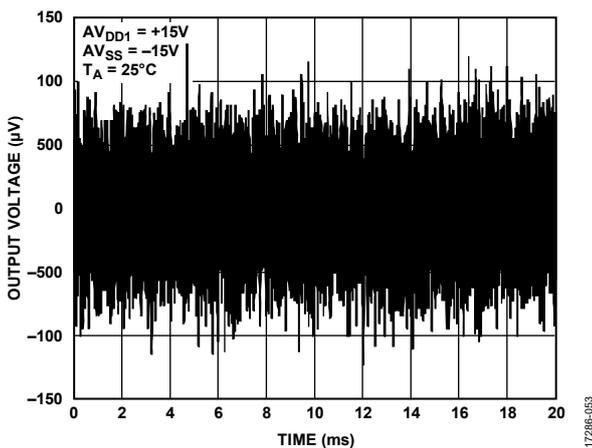


図 53. ピーク to ピーク・ノイズ (100kHz の帯域幅)

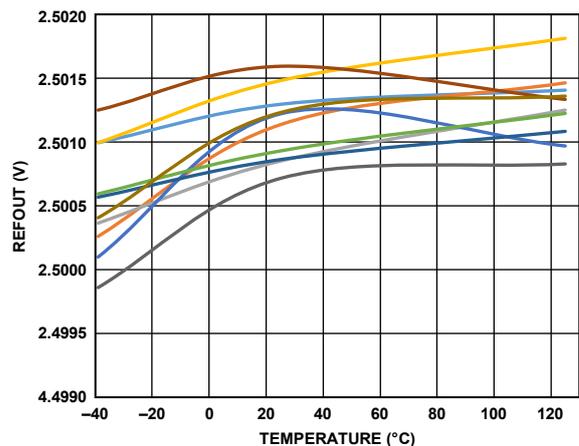


図 56. REFOUT の温度特性

一般特性

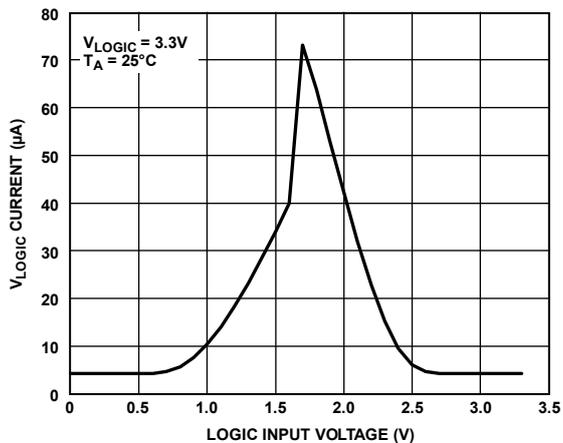


図 57. V_{Logic} 電流とロジック入力電圧の関係

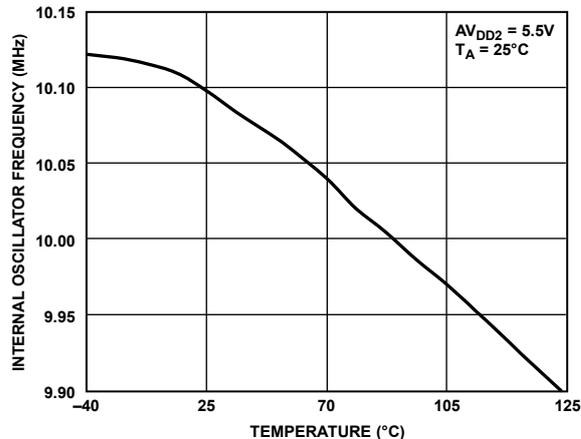


図 60. 内部発振器周波数の温度特性

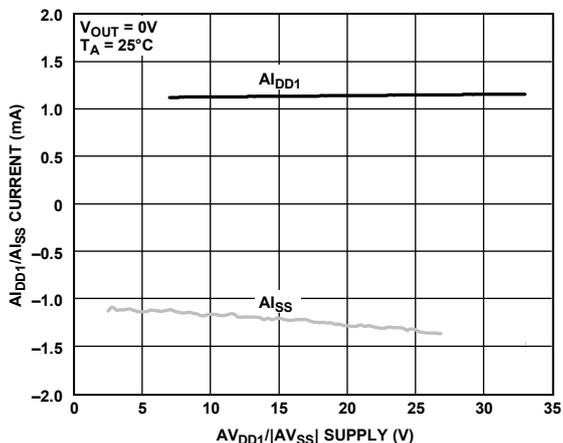


図 58. $A_{\text{I}DD1}/A_{\text{I}SS}$ 電流と $AV_{\text{DD}1}/|AV_{\text{SS}}|$ 電源の関係

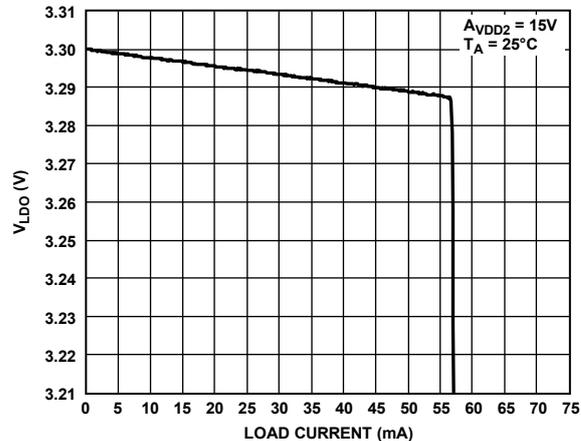


図 61. V_{LDO} と負荷電流の関係

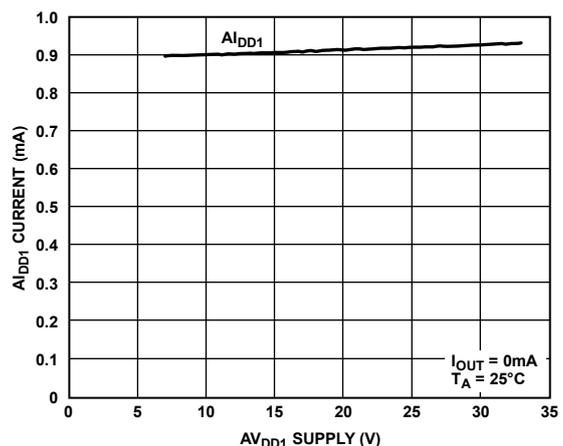


図 59. $A_{\text{I}DD1}$ 電流と $AV_{\text{DD}1}$ 電源の関係

用語の定義

総合未調整誤差 (TUE)

TUE とは、電源、温度、時間に関連する各種の誤差 (INL 誤差、オフセット誤差、ゲイン誤差、出力ドリフトなど) を考慮に入れた出力誤差の計測値です。TUE の単位は % FSR です。

相対精度または積分非直線性 (INL)

DAC の相対精度は INL と呼ばれ、DAC 伝達関数の最適近似直線からの最大偏差を、LSB または % FSR で示した値です。

微分非直線性 (DNL)

DNL は、隣接する 2 つのコードの間で測定された変化と理論的な 1LSB の変化との差を表します。微分非直線性の仕様が ±1LSB 以内の場合は、単調増加性が確保されます。

単調性

デジタル入力コードを増加させたとき、出力が増加するか不変である場合に、DAC は単調であるといえます。AD5423 は全動作温度範囲で単調です。

ゼロスケール誤差または負のフルスケール誤差

ゼロスケール誤差または負のフルスケール誤差は、0x0000 (ストレート・バイナリ・コーディング) を DAC 出力レジスタにロードしたときの DAC 出力電圧の誤差です。

ゼロスケール温度係数 (TC)

ゼロスケール TC は、温度変化に伴うゼロスケール誤差の変化の程度を表す値です。ゼロスケール誤差 TC は ppm FSR/°C で表します。

バイポーラ・ゼロ誤差

バイポーラ・ゼロ誤差は、DAC 出力レジスタに 0x8000 (ストレート・バイナリ・コーディング) を読み込んだときの、0V の理論ハーフスケール出力とアナログ出力間の偏差を表します。

バイポーラ・ゼロ TC

バイポーラ・ゼロ TC は、温度変化に伴うバイポーラ・ゼロ誤差の変化の程度を表す値です。バイポーラ・ゼロ TC は ppm FSR/°C で表します。

オフセット誤差

オフセット誤差はアナログ出力と理想出力値の偏差で、¼スケールおよび½スケールのデジタル・コード測定を使って求められます。オフセット誤差は % FSR で表します。

オフセット誤差 TC

オフセット誤差 TC は、温度変化に伴うオフセット誤差の変化の程度を表す値です。オフセット誤差 TC は ppm FSR/°C で表します。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。ゲイン誤差は DAC 伝達特性の勾配と理想値の偏差で、% FSR で表します。

ゲイン誤差 TC

ゲイン誤差 TC は、温度変化に伴うゲイン誤差の変化の程度を表す値です。ゲイン誤差 TC は ppm FSR/°C で表します。

フルスケール誤差

フルスケール誤差は、フルスケール・コードを DAC 出力レジスタにロードしたときの出力誤差として測定されます。理論的には、出力は「フルスケール-1LSB」です。フルスケール誤差は % FSR で表します。

V_{OUT} または -V_{SENSE} 同相ノイズ除去比 (CMRR)

V_{OUT} または -V_{SENSE} CMRR は、-V_{SENSE} 電圧の変化によって V_{OUT} 電圧に生じる誤差です。

電流ループ・コンプライアンス電圧

電流ループ・コンプライアンス電圧は、出力電流が設定値に一致するときの VI_{OUT} ピンの最大電圧です。

リファレンス電圧の熱ヒステリシス

リファレンス電圧の熱ヒステリシスは、+25°C で測定した出力電圧と、+25°C → -40°C → +115°C → +25°C の温度サイクルを加えた後に +25°C で測定した出力電圧を比較した場合の差です。

電圧リファレンス TC

電圧リファレンス TC は、温度変化に伴うリファレンス出力電圧の変化を測定したものです。電圧リファレンス TC はボックス法を使って計算します。この方法では、次のように、ppm/°C で表される所定の温度範囲でのリファレンス出力の最大変化として TC を定義しています。

$$TC = \left(\frac{V_{REF_MAX} - V_{REF_MIN}}{V_{REF_NOM} \times TemperatureRange} \right) \times 10^6$$

ここで、

V_{REF_MAX} は全温度範囲で測定した最大リファレンス出力、V_{REF_MIN} は全温度範囲で測定した最小リファレンス出力、V_{REF_NOM} は公称リファレンス出力電圧 (2.5V)、Temperature Range は規定の温度範囲 (-40°C ~ +115°C) です。

ライン・レギュレーション

ライン・レギュレーションは、電源電圧の規定された変化によるリファレンス出力電圧の変化です。ライン・レギュレーションは ppm/V で表されます。

負荷レギュレーション

負荷レギュレーションは、リファレンス負荷電流の規定された変化によるリファレンス出力電圧の変化です。負荷レギュレーションは ppm/mA で表されます。

出力電圧セトリング・タイム

出力電圧セトリング・タイムは、フルスケールの入力変化に対して、出力が仕様規定されたレベルで安定するまでに要する時間です。

スルー・レート

デバイスのスルー・レートは、出力電圧の変化率の制限です。通常、電圧出力 DAC の出力変化率は、その出力に使用するアンプのスルー・レートによって制限されます。スルー・レートは出力信号の 10%~90% で測定され、 $V/\mu s$ で表されます。

パワーオン・グリッチ・エネルギー

パワーオン・グリッチ・エネルギーは、AD5423 のパワーオン時にアナログ出力に混入するインパルスです。パワーオン・グリッチ・エネルギーは、グリッチの面積を表す単位 $nV\cdot sec$ で規定されます。

デジタル/アナログ・グリッチ・エネルギー

デジタル/アナログ・グリッチ・エネルギーは、DAC 出力レジスタの入力コードの状態が変化したときにアナログ出力に混入するインパルスのエネルギーです。デジタル/アナログ・グリッチ・エネルギーは、通常は $nV\cdot sec$ で表したグリッチの面積として規定されます。グリッチの最も厳しい条件は、通常はメジャー・キャリー遷移 (0x7FFF から 0x8000) 時にデジタル入力コードが 1LSB 変化したときに発生します。

グリッチ・インパルス・ピーク振幅

グリッチ・インパルス・ピーク振幅は、DAC 出力レジスタの入力コードの状態が変化したときにアナログ出力に混入するインパルスのピーク振幅です。グリッチ・インパルス・ピーク振幅は、ミリボルトで表したグリッチの振幅として規定されます。グリッチの最も厳しい条件は、通常はメジャー・キャリー遷移 (0x7FFF から 0x8000) 時にデジタル入力コードが 1LSB 変化したときに発生します。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC のデジタル入力から DAC のアナログ出力に混入するインパルスを表す値です。ただし、デジタル・フィードスルーは、DAC 出力の更新を行わないとき (\overline{LDAC} ピンがハイに維持されているとき) に測定されます。デジタル・フィードスルーは $nV\cdot sec$ 単位で規定され、データ・バス上でのフルスケール・コード変更時に測定されます。

電源電圧変動除去比 (PSRR)

PSRR は、電源電圧の変化が DAC の出力に及ぼす影響を表します。

動作原理

AD5423 はシングルチャンネルの高精度電圧／電流出力 DAC で、産業用ファクトリ・オートメーションやプロセス制御アプリケーションの条件を満足できるように設計されています。このデバイスは、ユニポーラ／バイポーラの電流または電圧出力を生成する高精度の集積化シングルチップ・ソリューションです。

DAC アーキテクチャ

AD5423 の DAC コア・アーキテクチャは、電圧モードの R-2R DAC ラダー回路で構成されています。この DAC コアの電圧出力は、 V_{IOUT} ピンの電流または電圧出力に変換されます。複数のモードを同時に有効にすることはできません。電圧出力段も電流出力段も、電源は AV_{DD1} 電源レールと AV_{SS} レールから供給されます。

電流出力モード

電流出力モードを有効にすると、DAC からの電圧出力が電流に変換されます (図 62 参照)。この電流は、アプリケーションからは電流源出力だけが見えるように、電源レールにミラーされます。使用可能な電流範囲は $0\text{mA} \sim 20\text{mA}$ 、 $0\text{mA} \sim 24\text{mA}$ 、 $4\text{mA} \sim 20\text{mA}$ 、 $\pm 20\text{mA}$ 、 $\pm 24\text{mA}$ 、 $-1\text{mA} \sim +22\text{mA}$ です。電圧から電流への変換には、内蔵または外付けの R_{SET} 抵抗 ($13.7\text{k}\Omega$) を使用できます。

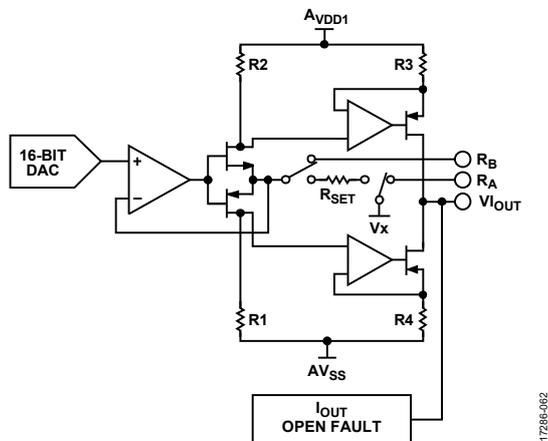


図 62. 電圧電流変換回路

電圧出力モード

電圧出力モードを有効にすると、DAC からの電圧出力にバッファリングとスケールリングが行われ、ソフトウェアで選択可能なユニポーラまたはバイポーラ電圧範囲が出力されます (図 63 参照)。使用可能な電圧出力範囲は $0\text{V} \sim 5\text{V}$ 、 $\pm 5\text{V}$ 、 $0\text{V} \sim 10\text{V}$ 、 $\pm 10\text{V}$ です。DAC_CONFIG レジスタを介して 20% のオーバーレンジ機能を使用することもでき、GP_CONFIG1 レジスタを介してユニポーラ電圧範囲を負側にオフセットすることも可能です (汎用設定 1 レジスタのセクションを参照)。

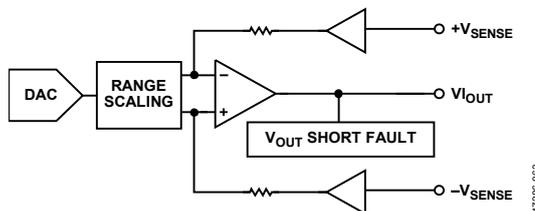


図 63. 電圧出力アーキテクチャ

リファレンス

AD5423 は、外付けまたは内蔵のリファレンス電圧で動作させることができます。リファレンス入力では、規定の性能に対して 2.5V のリファレンス電圧が必要です。この入力電圧は内部的にバッファされた後に DAC へ供給されます。

AD5423 はバッファ付き 2.5V 電圧リファレンスを内蔵しています。このリファレンスは外部にも使用可能で、システム内の任意の場所に使用することができます。内蔵リファレンスは組み込みの 12 ビット ADC を駆動します。内蔵リファレンスを使用して DAC を駆動するには、REFOUT を REFIN に接続する必要があります。

シリアル・インターフェース

AD5423 は、最大 50MHz のクロック・レートで動作し、かつ SPI、QSPI、MICROWIRE、DSP の各規格と互換性を持つ多機能の 4 線式シリアル・インターフェースを介して制御されます。データ・コーディングは常にストレート・バイナリです。

入力シフト・レジスタ

SPI CRC を有効にした状態 (デフォルト状態) での入力シフト・レジスタは、32 ビット幅です。データは、シリアル・クロック入力 (SCLK) の制御の下に、32 ビット・ワードとして MSB ファーストでデバイスに入力されます。データは SCLK の立下がりエッジで入力されます。CRC を無効にした場合、シリアル・インターフェースは 24 ビットに削減されます。この場合でも 32 ビット・フレームは受け入れられますが、最後の 8 ビットは無視されます。SPI インターフェースを介してアドレス指定できるレジスタの詳細については、レジスタ・マップのセクションを参照してください。

表 7. レジスタへの書込み (CRC は有効)

MSB				LSB
D31	[D30:D29]	[D28:D24]	[D23:D8]	[D7:D0]
Slip Bit	AD5423 address	Register address	Data	CRC

伝達関数

±5V 出力範囲のストレート・バイナリ・データ・コーディング用に、AD5423 における入力コードと最適出力電圧の関係を表 8 に示します。

表 8. 最適出力電圧と入力コードの関係

Digital Input, Straight Binary Data Coding				Analog Output
MSB		LSB		V_{OUT}
1111	1111	1111	1111	$+2 \times V_{REF} \times (32,767/32,768)$
1111	1111	1111	1110	$+2 \times V_{REF} \times (32,766/32,768)$
1000	0000	0000	0000	0 V
0000	0000	0000	0001	$-2 \times V_{REF} \times (32,767/32,768)$
0000	0000	0000	0000	$-2 \times V_{REF}$

AD5423 のパワーオン状態

AD5423 の最初のパワーオン時、またはデバイスのリセット時には、電圧および電流出力チャンネルはディセーブされています。30kΩ のプルダウン抵抗を介して V_{IOUT} を AGND に接続するスイッチは開いています。このスイッチは汎用設定 1 レジスタのセクションに従ってイネーブルにできます。

デバイスのパワーオン後またはデバイスのリセット後に、キャリブレーション・メモリのリフレッシュ・コマンドが必要です（出力イネーブルを行う設定シーケンスのセクションを参照）。このコマンドの書き込み後、次の命令を書き込むまで少なくとも 500μs 待機して、内部キャリブレーションを行うための時間をとることを推奨します（図 76 参照）。

パワーオン・リセット

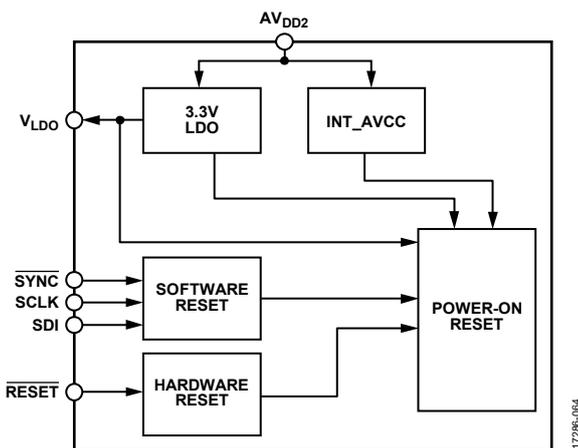


図 64. パワーオン・リセットのブロック図

AD5423 は、電源が信頼できる動作に十分なレベルになっていない場合に AD5423 をリセット状態に保持できるように、パワーオン・リセット回路を採用しています。パワーオン・リセット回路（図 64 参照）は、 AV_{DD2} から生成される V_{LDO} 、 INT_AVCC 電圧、 $RESET$ ピン、および SPI リセット信号をモニタします。パワーオン・リセット回路は、 V_{LDO} と INT_AVCC ノードの電圧が信頼できる動作に十分なレベルに達するまで、AD5423 をリセット状態に保持します。パワーオン回路が $RESET$ ピンからの信号を受信した場合、または SPI インターフェースを介して AD5423 にソフトウェア・リセットが書き込まれた場合、AD5423 はリセットされます。リセットから 100μs 以内に、SPI コマンドをデバイスに書き込まないでください。

電源に関する考慮事項

AD5423 には、 AV_{DD1} 、 AV_{DD2} 、 AV_{SS} 、および V_{LOGIC} の 4 つの電源レールがあります。4 つの電源レールの電圧範囲と対応する条件については、表 1 を参照してください。

AV_{DD1} の考慮事項

AV_{DD1} は DAC 用の電源レールで、電圧範囲は 7V~33V です。 AV_{DD1} の最大値は 33V で AV_{SS} の最小値は -33V ですが、 $|AV_{DD1} - AV_{SS}|$ の最大動作範囲は 50V です。最小 AV_{DD1} は、 $(I_{OUT_MAX} \times R_{LOAD}) + I_{OUT_headroom}$ として計算できます。

AV_{SS} の考慮事項

AV_{SS} は負の電源レールで、電圧範囲は -33V~0V です。 AV_{DD1} の場合と同様に、 AV_{SS} も $|AV_{DD1} - AV_{SS}| = 50V$ の最大動作範囲に従います。パイボアラ電流出力範囲の場合、最大 AV_{SS} は $(I_{OUT_MAX} \times R_{LOAD}) + I_{OUT_footroom}$ として計算できます。

AV_{DD2} の考慮事項

AV_{DD2} は正の低電圧電源レールで、電圧範囲は 5V~33V です。使用できる正の電源レールが 1 つだけの場合は、 AV_{DD2} を AV_{DD1} に接続することができます。ただし、最適化して消費電力を減らすには、独立した低電圧電源を使って AV_{DD2} に電力を供給してください。

V_{LOGIC} に関する考慮事項

V_{LOGIC} はデバイス用のデジタル電源で、電圧範囲は 1.71V~5.5V です。 V_{LOGIC} は、3.3V の V_{LDO} 出力電圧を使用して駆動できます。

デバイス特性と診断機能

電圧出力

電圧出力アンプと $+V_{SENSE}$ の機能

電圧出力アンプは、ユニポーラ出力電圧とバイポーラ出力電圧の両方を生成できます。またこのアンプは、 $2\mu\text{F}$ の容量（外付けの補償コンデンサを使用）と並列でAGNDに接続された $1\text{k}\Omega$ の負荷を駆動することもできます。

$\pm 10\text{V}$ のコモンモード電圧(V_{CM})で負荷 R_{LOAD} を駆動する電圧出力を図65に示します。内蔵された $2\text{M}\Omega$ の抵抗がアンプ・ループを閉じた状態に保つので、ケーブルと $+V_{SENSE}$ の接続が失われる可能性のあるアプリケーションでアンプ・ループが失われることにより V_{IOUT} に大きな破壊的電圧がかかるおそれなくなります。負荷のリモート検出が不要な場合は、 $+V_{SENSE}$ は $1\text{k}\Omega$ 直列抵抗を介して直接 V_{IOUT} に接続し、 $-V_{SENSE}$ は $1\text{k}\Omega$ 直列抵抗を介して直接AGNDに接続します。

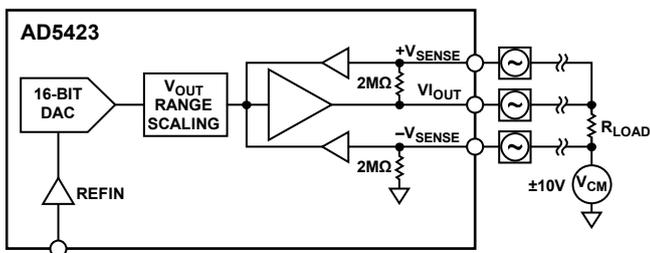


図 65. 電圧出力の負荷の接続

大きい容量性負荷の駆動

電圧出力アンプは、 220pF の無極性補償コンデンサを追加することによって、 $2\mu\text{F}$ までの容量性負荷を駆動することができます。このコンデンサは、AD5423がより大きな容量性負荷を駆動すると共にオーバーシュートを小さくすることを可能にしますが、デバイスのセトリング時間が長くなり、その結果システムの帯域幅に悪影響を与えます。補償コンデンサなしで駆動できる容量性負荷は最大 10nF です。

電圧出力短絡保護

通常動作時、電圧出力は最大 12mA をシンクおよびソースし、仕様規定された動作を維持します。短絡電流は通常 15mA です。短絡が検出されると、FAULTピンがロー・レベルになり、ANALOG_DIAG_RESULTSレジスタの $V_{OUT_SC_ERR}$ ビットがセットされます。

電流出力

電流設定外付け抵抗

図62に示すように、 R_{SET} は内部検出抵抗で、電流変換回路の電圧の一部を形成します。温度に対する出力電流の安定性は、 R_{SET} 値の安定性に依存します。温度に対する出力電流の安定性を向上させるには、内蔵抵抗の代わりに、AD5423の R_A ピンと R_B ピンの間に低ドリフトの $13.7\text{k}\Omega$ 外付け抵抗を接続します。

表1には、内蔵 R_{SET} 抵抗を使用した場合と $13.7\text{k}\Omega$ の外付け R_{SET} 抵抗を使用した場合のAD5423の性能仕様を示しています。外付け R_{SET} 抵抗の仕様は、理想抵抗と仮定したものです。実際の性能は、使用する抵抗の絶対値と温度係数によって異なります。したがって、抵抗仕様は出力のゲイン誤差とTUEに直接影響します。

特定の外付け R_{SET} 抵抗を使った出力の、最も厳しい条件での絶対TUEを求めるには、 R_{SET} 抵抗のパーセント絶対誤差（誤差の絶対値）を、表1に示す外付け R_{SET} 抵抗使用時のAD5423のTUE（%FSRで表示）に加算します。外付け R_{SET} 抵抗をシステムに使用する場合は、温度係数と外部リファレンスの仕様も考慮する必要があります。

外付け R_{SET} 抵抗と外部リファレンスの絶対誤差とTC誤差をAD5423のTUE仕様に加算することで得られる誤差が、大きな値となる可能性は高くありません。これは個々の部品のTC値が同じドリフト極性を示すことは考えにくいいため、相殺される要素があるからです。このため、TC値は二乗和平方根方式で加算します。ゼロスケールとフルスケールでの2点キャリブレーションを行い、電圧リファレンスと R_{SET} 抵抗の絶対誤差を小さくすれば、TUEの仕様は更に向上します。

電流出力オープン・サーキット検出

電流出力モードにおいて、オープン・サーキットや電源電圧不足のために、使用可能なヘッドルームがコンプライアンス範囲未満に低下した場合は、ANALOG_DIAG_RESULTSレジスタの $I_{OUT_OC_ERR}$ ビット・フラグがアサートされ、FAULTピンがローになります。

HART 接続

AD5423には $CHART$ ピンがあり、ここにHART信号を結合することができます。GP_CONFIG1レジスタの $HART_EN$ ビットと V_{IOUT} 出力がイネーブルされている場合は、HART信号が電流出力に現れます。

図66に、HART信号を減衰させてAD5423に接続するための推奨回路を示します。 V_{IOUT} ピンを 1mA_{p-p} とするには、 $CHART$ ピンに約 125mV_{p-p} の信号が必要です。 V_{IOUT} ピンのHART信号は、 $CHART$ ピンの信号入力を基準に反転されます。

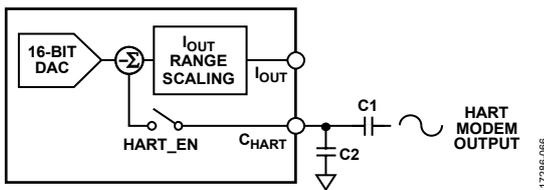


図 66. HART 信号の結合

コンデンサ C1 と C2 は受信 HART モデム信号を減衰させるのに使用しますが、これに加えて C1 と C2 の最小容量は、1.2kHz と 2.2kHz の周波数がこれらのコンデンサを通じてモデム出力信号の帯域幅を通過できるような値とする必要があります。HART 信号が 500mVp-p とすると、推奨値は、C1 = 47nF、C2 = 150nF です。HART のアナログ変化レートの条件を満たすには、出力スルー・レートをデジタル制御する必要があります。

HART 機能が必要ない場合は、HART_EN ビットをディスエーブルして CHART ピンを未接続のままにします。しかし、コンデンサを使って DAC 出力信号の速度を下げる必要がある場合は、HART_EN ビットをイネーブルして、必要な CSLEW コンデンサを CHART ピンに接続しなければなりません。

スルー・レートのデジタル制御

AD5423 のスルー・レート制御機能により、出力値の変化レートを制御することができます。この機能は電流モードと電圧モードの両方で使用できます。スルー・レート制御機能をディスエーブルすると、出力値は、出力駆動回路と接続された負荷によって制限されるレートで変化します。スルー・レートを下げるには、スルー・レート制御機能を有効にします。この機能を有効にすると、出力は、DAC_CONFIG レジスタを介してアクセスできる 2 つのパラメータで定義されるレートで、1 つの値から次の値へデジタル的に移行します。これらの 2 つのパラメータは SR_CLOCK と SR_STEP です。SR_CLOCK パラメータはデジタル・スルーが更新されるレートを定義します。例えば、選択した更新レートが 8kHz の場合、出力は 125μs ごとに更新されます。SR_STEP は SR_CLOCK と組み合わせて使い、更新ごとの出力値の変化の大きさを指定します。両方のパラメータを組み合わせて、出力値の変化レートを指定します。次式は、スルー・レートをステップ・サイズ、スルー・レート周波数、LSB サイズの関数として表します。

$$SlewTime = \frac{OutputChange}{StepSize \times SlewRateFrequency \times LSBSize}$$

ここで、
Slew Time の単位は秒です。
Output Change は、電流出力モードではアンペア、電圧出力モードではボルトで表されます。
Step Size は出力の変化です。
Slew Rate Frequency は SR_CLOCK です。
LSB Size は SR_STEP です。
 スルー・レート制御機能を有効にすると、設定されたスルー・レートで全ての出力が変化します。例えば、WDT

がタイムアウトして自動クリアが実行される場合、出力は設定されたスルー・レートでクリア値まで変化します。しかし、GP_CONFIG1 レジスタの CLEAR_NOW_EN ビットをセットすると、このデフォルト動作は無効にされ、出力は設定されたスルー・レートで変化するのではなく、直ちにクリア・コードに更新されます。与えられた値に対するスルー・レート周波数は、全ての出力範囲で同じです。ただし、ステップ・サイズは与えられたステップ・サイズ値に対応する出力範囲に応じて変わります。これは、LSB サイズが各出力範囲で異なるためです。

AD5423 のアドレス・ピン

AD5423 のアドレス・ピン (AD0 と AD1) は AD5423 のアドレス・ビットと共に SPI フレーム内で使われ (表 9)、システム・コントローラがどの AD5423 デバイスをアドレス指定するかを決定します。2 本のアドレス・ピンを使用すれば、1 つのボード上で最大 4 個のデバイスのアドレスを独立して指定することができます。

SPI インターフェースと診断機能

AD5423 は 4 線式シリアル・インターフェースで制御され、8 ビットの巡回冗長性チェック (CRC-8) がデフォルトで有効になっています。入力シフト・レジスタは 32 ビット幅で、データはシリアル・クロック入力 (SCLK) の制御の下に MSB ファーストでデバイスにロードされます。データは SCLK の立下がりエッジで入力されます。CRC を無効にした場合、シリアル・インターフェースは 24 ビットに削減されます。この場合でも 32 ビット・フレームは受け入れられますが、最後の 8 ビットは無視されます。

表 9. レジスタへの書込み (CRC は有効)

MSB		LSB		
D31	[D30:D29]	[D28:D24]	[D23:D8]	[D7:D0]
Slip Bit	AD5423 address	Register address	Data	CRC

表 9 に示すように、全ての SPI フレームには 2 個の AD5423 アドレス・ビットが含まれています。特定のデバイスがバス上の SPI フレームを受け入れるには、これらのビットが AD0 ピンと AD1 ピンに一致していなければなりません。

SPI 巡回冗長性チェック

ノイズの多い環境でデータが正しく受信されたことを確認するため、AD5423 は CRC-8 に基づく CRC を備えています。AD5423 を制御するデバイス、すなわちマイクロコントローラまたは FPGA (フィールド・プログラマブル・ゲート・アレイ) は、次の多項式を使って 8 ビットのフレーム・チェック・シーケンスを生成します。

$$C(x) = x^8 + x^2 + x^1 + 1$$

この 8 ビットのフレーム・チェック・シーケンスがデータワードの末尾に追加され、32 ビットが AD5423 へ送信された後、SYNCがハイ・レベルになります。SPI_CRC_EN ビットがハイに設定されている場合 (デフォルト状態) は、幅がちょうど 32 ビットのフレーム

(24 ビットのデータと 8 ビットの CRC) を使用する必要があります。CRC チェックにパスすると、選択されたレジスタにデータが書き込まれます。CRC チェックに合格しない場合、データは無視され、FAULT ピンがローになり、FAULT ピンのステータス・ビットと、ステータス・レジスタ内のデジタル診断ステータス・ビット (DIG_DIAG_STATUS) がアサートされます。その後 DIGITAL_DIAG_RESULTS レジスタをリードバックすると、SPI_CRC_ERR ビットもセットされていることがわかります。このレジスタはビットごとに設定されるレジスタで、ビットごとに 1 を書き込むことでクリアされます (詳細についてはスティッキー診断結果ビットのセクションを参照)。したがって、SPI_CRC_ERR ビットは、DIGITAL_DIAG_RESULTS レジスタのビット 0 に 1 を書き込むことによってクリアされます。1 を書き込むと、SPI_CRC_ERR ビットがクリアされ、FAULT ピンがハイに戻ります (他にアクティブな故障がないものと仮定)。FAULT_PIN_CONFIG レジスタを設定するときは、SPI CRC エラーがFAULT ピンに影響するかどうかができます。詳細については、FAULT ピン設定レジスタのセクションを参照してください。SPI CRC 機能は、データ・パケットの送信と受信の両方に使用されます。

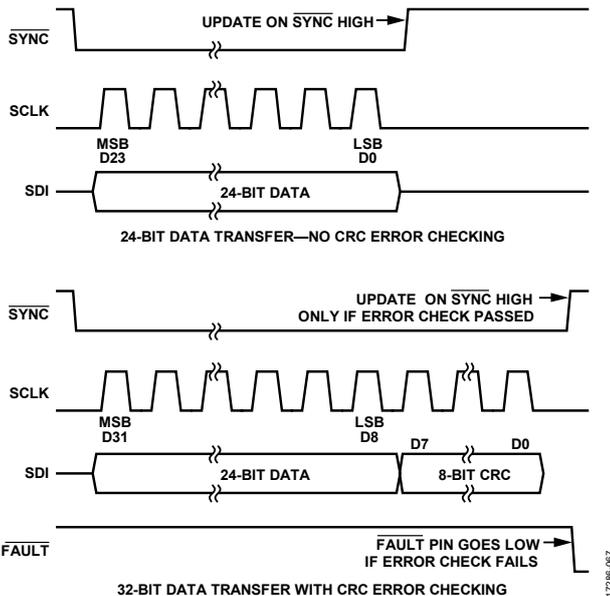


図 67. CRC タイミング (LDAC=0 と仮定)

SPI インターフェース・スリップ・ビット

スリップ・ビットを追加すると、インターフェースの堅牢性が向上します。フレームが有効であると見なされるには、SPI フレームの MSB が MSB-1 を反転した値に等しくなければなりません。誤ったスリップ・ビットが検出された場合、そのデータは無視され、DIGITAL_DIAG_RESULTS レジスタの SLIPBIT_ERR ビットがアサートされます。

SPI インターフェースの SCLK カウント機能

SPI 診断機能には、SCLK カウント機能も組み込まれています。これは、ちょうど 32 個 (SPI CRC が無効の時は、24 個または 32 個) の SCLK 立下がりエッジを持つ

SPI フレームだけが、有効な書込みとしてインターフェースに受け入れられることを意味します。32 以外の SPI フレーム長は無視され、DIGITAL_DIAG_RESULTS レジスタに SCLK_COUNT_ERR フラグがアサートされます。

リードバック・モード

AD5423 には次の 4 つのリードバック・モードがあります。

- 2 段リードバック・モード
- 自動ステータス・リードバック・モード
- 共有 SYNC 自動ステータス・リードバック・モード
- エコー・モード

2 段リードバックでは、専用レジスタ TWO_STAGE_READBACK_SELECT に書込みを行って、リードバックするレジスタの位置を選択します。この書込みの後には無操作 (NOP) コマンドが続き、その間は選択したレジスタの内容を SDO ピンから読み出すことができます。

表 10. 読出し操作時の SDO の内容

MSB		LSB		
[D31:D30]	D29	[D28:24]	[D23:D8]	[D7:D0]
0b10	FAULT pin status	Register address	Data	CRC

ビット [D31:D30] = 0b10 はリードバック時の同期用に使われます。

自動ステータス・リードバック・モードを選択した場合は、毎回の SPI トランザクションの間、ステータス・レジスタの内容が SDO ラインに出力されます。この機能により、ステータス・レジスタを連続的にモニタして、故障発生時に迅速に対応することができます。この機能は、AD5423 のパワーアップ時には無効になっています。この機能を有効にすると、通常の 2 段リードバック機能は使用できなくなります。自動リードバック・モードを選択した場合、SDO から読み出せるのはステータス・レジスタのみになります。他のレジスタをリードバックするには、2 段リードバック・シーケンスを行う前に、まず自動リードバック機能を無効にしてください。自動ステータス・リードバックは、そのレジスタのリードバック後に再び有効にできます。

AD5423 の共有 SYNC 自動ステータス・リードバックは自動ステータス・リードバック・モードの特殊なバージョンで、複数のデバイスが同じ SYNC ラインを共有している場合に、SDO バスの競合を避けるために使われます。詳細については、共有 SYNC 自動ステータス・リードバック・モードのセクションを参照してください。

エコー・モードは自動ステータス・リードバック・モードと同じように動作しますが、それぞれの 2 回目のリードバックが、その前に行われた AD5423 へのコマンド書込みのエコーで構成される点が異なります (図 68 参照)。リードバック・モードの詳細については、レジスタからの読出しのセクションを参照してください。



図 68. エコー・モードでの SDO の内容

WDT

WDT 機能は、システム・コントローラと AD5423 間の通信が失われず、SPI データバス・ラインが予想どおりに機能することを確実にします。

WDT をイネーブルすると、プログラマブルなタイムアウト時間内に AD5423 が特定の SPI フレームを受信しなかった場合、システムにアラートが送られます。特定の SPI フレームを受信すると、WDT は、タイムアウト・アラートを制御しているタイマーをリセットします。WDT をリセットするために使われる SPI フレームは、以下の 2 つの選択肢のどちらかに設定できます。

- キー・レジスタへの固有のキー・コードの書込み (デフォルト)。
- 任意のレジスタへの有効な SPI 書込み。

WDT タイムアウト発生時は、ステータス・レジスタの専用の WDT_STATUS ビットと、DIGITAL_DIAG_RESULTS レジスタの WDT_ERR ビットが、WDT がタイムアウトになったことをアラートします。WDT タイムアウト発生後は、DIGITAL_DIAG_RESULTS レジスタ内のアクティブな WDT 故障フラグがクリアされるまで、DAC_INPUT レジスタへの全ての書込みとハードウェアまたはソフトウェア LDAC イベントは無視されます。このフラグがクリアされた後、続いて WDT リセット・コマンドを実行することによって WDT が再開されます。パワーアップ時、WDT はデフォルトでディスエーブルになります。デフォルトのタイムアウト設定値は 1 秒です。WDT をリセットするデフォルトの方法は、1 つの特定のキーを書き込むことです。タイムアウト時のデフォルト動作は、対応する WDT_ERR フラグ・ビットと FAULT ピンをセットすることです。WDT 動作の設定をサポートする具体的なレジスタ・ビットの詳細については、表 34 を参照してください。

オフセットとゲインのデジタル調整

AD5423 には USER_GAIN レジスタと USER_OFFSET レジスタがあり、これらを使ってシグナル・チェーン全体のゲイン誤差とオフセット誤差を調整することができます。USER_GAIN レジスタを使うと、DAC チャンネルのゲインを 1LSB ステップで調整することができます。USER_GAIN レジスタのコーディングはストレート・バイナリです (表 11 参照)。USER_GAIN レジスタのデフォルト・コードは 0xFFFF で、この場合、設定された出力にゲイン係数は適用されません。理論的には、全出力範囲にわたってゲインを調整することができます。実用上は、精度を保つために推奨されるゲイン調整は、最大で設定範囲の約 50% です。

表 11. ゲイン・レジスタの調整

Gain Adjustment Factor	D15	D14 to D1	D0
1	1	1	1
65,535/65,536	1	1	0
...
2/65,536	0	0	1
1/65,536	0	0	0

USER_OFFSET レジスタを使うと、DAC チャンネルのオフセットを -32,768LSB ~ +32,768LSB の範囲で 1LSB ステップごとに調整できます。USER_OFFSET レジスタのコーディングはストレート・バイナリです (表 12 参照)。USER_OFFSET レジスタのデフォルト・コードは 0x8000 で、この場合、出力のオフセット設定はゼロになります。

表 12. オフセット・レジスタの調整

ゲイン調整	D15	[D13 to D2]	D0
+32,768 LSBs	1	1	1
+32,767 LSBs	1	1	0
No Adjustment (Default)	1	0	0
-32,767 LSBs	0	0	1
-32,768 LSBs	0	0	0

内部 DAC レジスタに書き込まれる 10 進値 (DAC_Code) は、次式で計算されます。

$$DAC_Code = D \times \frac{(M+1)}{2^{16}} + C - 2^{15}$$

ここで、

D は DAC_INPUT レジスタにロードされるコード。

M は USER_GAIN レジスタ内のコード (デフォルト・コード = $2^{16} - 1$)。

C は USER_OFFSET レジスタ内のコード (デフォルト・コード = 2^{15})。

DAC_INPUT レジスタのデータは、デジタル乗算器および加算器で処理されます。乗算器は USER_GAIN レジスタの内容によって制御され、加算器は USER_OFFSET レジスタの内容によって制御されます。DAC データはキャリブレーション後に DAC へロードされます。DAC データのロードは LDAC ピンの状態に応じて行われます。

USER_GAIN レジスタまたは USER_OFFSET レジスタにデータが書き込まれるたびに、DAC の出力が自動的に更新されるわけではありません。その代わりに、DAC_INPUT レジスタへの次の書込みで、これらのユーザ・ゲイン値とユーザ・オフセット値を使って新たなキャリブレーションが行われ、出力チャンネルが自動的に更新されます。読み出し専用の DAC_OUTPUT レジスタは、ユーザ・ゲインおよびユーザ・オフセットによるキャリブレーションの場合を除き、現在 DAC 出力で使用可能な値を表します。この場合、DAC_OUTPUT レジスタには DAC データ入力が格納され、キャリブレーションはキャリブレーション結果ではなくこの入力に基づいて行われます。

USER_GAIN レジスタと USER_OFFSET レジスタの分解能は共に 16 ビットです。ゲインとオフセットの正しいキャリブレーション手法では、先にゲインをキャリブレーションし、後でオフセットをキャリブレーションします。

DAC 出力の更新とデータ完全性の診断

DAC 入力ローディング回路の簡略図を図 69 に示します。ゲインとオフセットを使用する場合は、DAC_INPUT レジスタへの書込みの前に、USER_GAIN レジスタと USER_OFFSET レジスタを更新する必要があります。

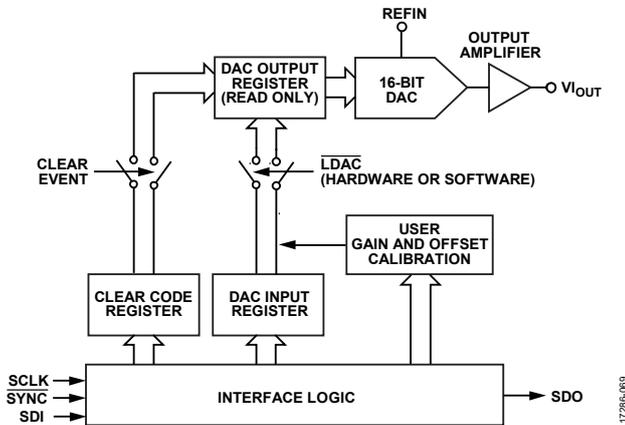


図 69. 入力ローディング回路のシリアル・インターフェース簡略図

DAC_OUTPUT レジスタ（および最終的には DAC 出力）は、次のいずれかの場合に更新されます。

- ハードウェア LDAC ピンをローに接続した状態で DAC_INPUT レジスタに書込みが行われた場合、DAC_OUTPUT レジスタは SYNC の立上がりエッジで更新され、表 2 のタイミング仕様が適用されます。
- ハードウェア LDAC ピンがハイに接続された状態で DAC_INPUT レジスタへの書込みが行われた場合、DAC_OUTPUT レジスタは、ソフトウェア LDAC 命令が発行されるか、ハードウェア LDAC ピンにロー・パルスが入力されるまで更新されません。
- CLEAR_ON_WDT_FAIL ビットがセットされた状態で WDT タイムアウトが発生した場合、CLEAR_CODE レジスタの内容が DAC_OUTPUT レジスタにロードされます。
- スルー・レート制御機能が有効にされている場合、DAC_OUTPUT レジスタには、レジスタが 1 つの値から次の値へ増加するのに合わせて、DAC の動的な値が格納されます。

WDT 故障がアクティブの間は、DAC_INPUT レジスタへの全ての書込みとハードウェアまたはソフトウェア LDAC イベントは無視されます。CLEAR_ON_WDT_FAIL ビットが出力をクリア・コードにセットするように設定されている場合は、WDT 故障フラグのクリア後に、DAC_OUTPUT レジスタの更新前に DAC_INPUT レジスタへ書込みを行う必要があります。DAC_INPUT レジスタへの書込みが必要になるのは、ソフトウェアまたはハードウェア LDAC を実行した場合のみ DAC にクリア・コードが再ロードされるからです。出力イネーブルを行う設定シーケンスのセクションで説明するように、DAC_CONFIG レジスタによって DAC の範囲を設定した後、DAC_INPUT レジスタの内容が現在値から変化していない場合でも、DAC_INPUT レジスタへの書込みを行う必要があります。

GP_CONFIG2 レジスタにはグローバル・ソフトウェア LDAC アクティブ・ロー・モードを有効にするビットが含まれており、このモードでは SW_LDAC コマンドの AD5423 アドレス・ビットが無視されるため、単一の SW_LDAC コマンドで複数の AD5423 デバイスを同時に更新することが可能です。この機能は、複数の AD5423 デバイスを含むシステム内でハードウェア LDAC ピンを使用しない場合に有効です。

DAC のデータ完全性診断

過渡的变化から内部デジタル回路を保護するために、デジタル・ブロックは、デジタル DAC 値とその反転コピー値の両方を保存します。DAC をストローブして DAC コードを更新する前に、これら 2 つの値が互いに対応していることを確認するためのチェックが行われます。このマッチング機能は、DIGITAL_DIAG_CONFIG レジスタの INVERSE_DAC_CHECK_EN ビットにより、デフォルトで有効になります。

Figure 70 に示すように、デジタル・ブロックの外側で DAC コードはラッチに保存されます。これらのラッチは、デジタル・ブロックに影響を与えるものと同じ過渡現象に対して脆弱である可能性があります。これらの過渡現象から DAC ラッチを保護するには、DIGITAL_DIAG_CONFIG レジスタ内の DAC_LATCH_MON_EN ビットを介して DAC ラッチ・モニタ機能を有効にします。このラッチ・モニタ機能は、DAC を駆動する実際のデジタル・コードをモニタして、このコードとデジタル・ブロック内で生成されるデジタル・コードを比較します。2 つのコード間に何らかの違いがあると、DIGITAL_DIAG_RESULTS レジスタに DAC_LATCH_MON_ERR ビット・フラグがセットされます。

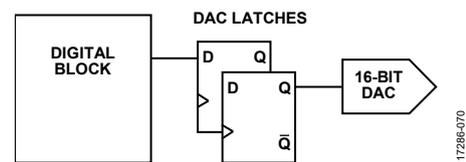


図 70. DAC データの完全性

キー・コードの使用

キー・コードは、キー・レジスタを介して次の機能に使用されます（詳細についてはキー・レジスタのセクションを参照）。

- キャリブレーション・メモリのリフレッシュの開始
- ソフトウェア・リセットの開始
- WDT リセット・キー

キャリブレーション・メモリのリフレッシュやデバイスのリセットなどの動作を開始するために特定のキーを使用することで、これらのタスクのいずれかが誤って開始される可能性が減るので、システムの堅牢性が大きく向上することになります。

ソフトウェア・リセット

ソフトウェア・リセットを行うには、キー・レジスタに 0x15FA と 0xAF51 をそれぞれ 2 回連続して書き込む必要があります。デバイスのリセットは、ハードウェア **RESET** ピンまたはソフトウェア・リセット・キーを使用して開始するか、**WDT** タイムアウト後に自動的に開始することができます（そのように設定されている場合）。デバイスがリセットされると、**DIGITAL_DIAG_RESULTS** レジスタの **RESET_OCCURRED** ビットがセットされます。このビットは、パワーアップ時にデフォルトで 1 になります。デジタルとアナログの診断結果レジスタは、いずれも 1 の書き込みによって機能をクリアします。つまり、このビットをクリアするにはこのビットに 1 を書き込む必要があります（スティッキー診断結果ビットのセクションを参照）。

キャリブレーション・メモリの CRC

キャリブレーション・メモリのシャドウ・レジスタの内容に関する自動 CRC は、キャリブレーション・メモリのリフレッシュ・サイクルごとに計算されます。リフレッシュ・サイクルは、キー・レジスタにキー・コードを書き込むことによって開始されるか、**DAC_CONFIG** レジスタの **RANGE** ビット（ビット [3:0]）が変更されたときに自動的に開始されます。この CRC の結果が、工場で保存されたリファレンス CRC 値と比較されます。CRC 値が一致すれば、キャリブレーション・メモリ全体の読み出しは有効と見なされます。値が一致しない場合は、**DIGITAL_DIAG_RESULTS** レジスタの **CAL_MEM_CRC_ERR** ビットが 1 にセットされます。キャリブレーション・メモリの CRC 機能はデフォルトで有効になっており、**DIGITAL_DIAG_CONFIG** レジスタの **CAL_MEM_CRC_EN** ビットで無効にすることができます。このキャリブレーション・メモリのリフレッシュ・サイクルがアクティブになっている間、2 段階リードバック・コマンドは使用できますが、**TWO_STAGE_READBACK_SELECT** レジスタまたは **NOP** レジスタ以外のレジスタへ書き込みを行うと、**DIGITAL_DIAG_RESULTS** レジスタの **INVALID_SPI_ACCESS_ERR** ビットがセットされます。出力イネーブルを行う設定シーケンスのセクションで説明するように、キャリブレーション・メモリのリフレッシュ・サイクル開始後、500 μ s の待機時間を置くことを推奨します。

内部発振器の診断

内部周波数モニタは、内部発振器（**MCLK**）を使って 1kHz（**MCLK/10,000**）のレートで 16 ビット・カウンタをインクリメントします。カウンタの値は、**FREQ_MONITOR** レジスタから読み込むことができます。このレジスタを定期的にポーリングして、内部発振器の診断ツール（発振器動作のモニタ）として使用したり、発振周波数の測定に使用したりすることができます。このカウンタの機能は、**DIGITAL_DIAG_CONFIG** レジスタの **FREQ_MON_EN** ビットによりデフォルトで有効になっています。

MCLK 発振器が停止した場合、AD5423 は全ての SPI フレームについて 0x07DEAD という特定のコードを **SDO** ラインに送信します。発振器デッド・コード機能はデフォルトで有効になっており、**GP_CONFIG1** レジスタの **OSC_STOP_DETECT_EN** ビットをクリアすることで無効になります。この機能は、表 3 に示す最大リードバック・タイミング仕様により制限されます。

スティッキー診断結果ビット

AD5423 は、デジタルとアナログ 2 つの診断結果レジスタを備えています（診断エラー・ビットについては、それぞれ表 39 と表 40 を参照）。これらのレジスタ内にある診断結果ビットは、スティッキー・ビット（R/W-1-C）です。つまり、エラー・ビットをクリアするには各ビットに 1 を書き込む必要があります。ただし、故障状態が続いている場合は、対象ビットに 1 を書き込んでもエラー・ビットがクリアされて 0 になることはありません。ビットにロジック 1 を書き込むと、そのビットは最新の値に更新されます。つまり、故障状態が続いている場合はロジック 1、故障状態が解消されている場合はロジック 0 になります。

DIGITAL_DIAG_RESULTS レジスタ内でのこの R/W-1-C アクセスには、**CAL_MEM_UNREFRESHED** と **SLEW_BUSY** という 2 つの例外があります。これらのビットは、キャリブレーション・メモリのリフレッシュまたは出力スルーが完了すると自動的にクリアされます。ステータス・レジスタには **DIG_DIAG_STATUS** ビットと **ANA_DIAG_STATUS** ビットが含まれます。これらのビットはいずれも、それぞれの診断結果レジスタに含まれる診断結果ビットの論理 OR の結果です。全てのアナログ診断フラグ・ビットは **ANA_DIAG_STATUS** ビットの論理 OR に含まれており、**SLEW_BUSY** ビットを除く全てのデジタル診断フラグ・ビットは **DIG_DIAG_STATUS** ビットの論理 OR に含まれています。ステータス・レジスタ内の OR により求められたビットは読み出し専用で、スティッキー・ビット（R/W-1-C）ではありません。

バックグラウンドでの電源および温度モニタリング

ダイの過熱と過電圧は、故障の一般的な原因となり得ることが知られています。これらの状態はコンパレータを使用して継続的に監視可能であり、ADC にポーリングを行う必要はありません。

ダイは $\pm 5^{\circ}\text{C}$ の精度の温度センサーを内蔵しています。ダイ温度はコンパレータによってモニタされ、バックグラウンド温度コンパレータは常時イネーブルされています。142 $^{\circ}\text{C}$ 、127 $^{\circ}\text{C}$ 、112 $^{\circ}\text{C}$ 、および 97 $^{\circ}\text{C}$ に対応するプログラマブル・トリップ・ポイントは、**GP_CONFIG1** レジスタで設定できます。いずれかのダイの温度が設定制限値を超えると、**ANALOG_DIAG_RESULTS** レジスタ内の関連するステータス・ビットがセットされ、**FAULT** ピンがローにアサートされます。

AD5423 の低電圧電源は、低消費電力のスタティック・コンパレータを介してモニタされます。このモニタリング機能はデフォルトでは無効になっており、GP_CONFIG2 レジスタの COMPARATOR_CONFIG ビットで有効にされます。REFIN バッファをパワーアップして REFIN コンパレータがこのノードを使用できるようにするには、DAC_CONFIG レジスタの INT_EN ビットをセットする必要があります。モニタされるノードは、REFIN、REFOUT、VLDO、および内部 AV_{CC} 電圧ノード (INT_AVCC) です。ANALOG_DIAG_RESULTS レジスタには、モニタする各ノードに対応するステータス・ビットがあります。いずれかの監視対象ノードの電源電圧が上限または下限閾値を超えると (閾値については表 13 を参照)、対応するステータス・ビットがセットされます。例えば REFOUT の故障が発生すると、REFOUT_ERR ステータス・ビットがセットされます。REFOUT は、INT_AVCC、VLDO、および温度コンパレータの比較電圧として使われるので、この場合はこれらのノードのステータス・ビットもセットされる可能性があります。ANALOG_DIAG_RESULTS レジスタの他の全てのステータス・ビットと同様に、これらのビットもスティッキー・ビットであり、これらのビットをクリアするには、ビットに 1 を書き込む必要があります (エラー状態は解消されたものと仮定)。エラー状態が続いている場合は、クリアするために 1 を書き込んでも、フラグはハイのままになります。

表 13. コンパレータ電源のアクティブ化閾値

Supply	Lower Threshold (V)	Nominal Value/Range (V)	Upper Threshold (V)
INT_AVCC	3.8	4 to 5	5.2
VLDO	2.8	3 to 3.6	3.8
REFIN	2.24	2.5	2.83
REFOUT	2.24	2.5	2.83

出力故障

AD5423 には FAULT ピンがあります。このピンはアクティブ・ローのオープンドレイン出力で、複数の AD5423 デバイスを 1 本のプルアップ抵抗に接続してグローバルな故障検出を行うことができます。このピンは、故障状態が検出されていない場合は高インピーダンスになり、特定の故障状態 (電流モードでのオープン・サーキット、電圧モードでの短絡、CRC エラー、過熱エラーなど) が検出されるとローにアサートされます。表 14 は FAULT ピンを自動的にアクティブにする故障状態を示したもので、FAULT_PIN_CONFIG レジスタ (表 37 参照) を介して使用できるマスク可能な故障ビットも示されています。全てのレジスタには、対応する FAULT ピン・ステータス・ビットである FAULT_PIN_STATUS が含まれており、これは FAULT ピンの現在の状態を反転した状態をミラーします。

表 14. FAULT ピンのトリガ・ソース

Fault Type	Mapped to <u>FAULT</u> Pin	Mask Ability
Digital Diagnostic Faults		
Oscillator Stop Detect	Yes	Yes
Calibration Memory Not Refreshed	No	N/A ²
Reset Detected	No	N/A ²
WDT Error	Yes	Yes
DAC Latch Monitor Error	Yes	Yes
Inverse DAC Check Error	Yes	Yes
Calibration Memory CRC Error	Yes	No
Invalid SPI Access	Yes	Yes
SCLK Count Error	Yes	No ¹
Slip Bit Error	Yes	Yes
SPI CRC Error	Yes	Yes
Analog Diagnostic Faults		
Current Output Open Circuit Error	Yes	Yes
Voltage Output Short Circuit Error	Yes	Yes
Die Temperature Error	Yes	Yes
REFOUT Comparator Error	Yes	No
REFIN Comparator Error	Yes	No
INT_AVCC Comparator Error	Yes	No
VLDO Comparator Error	Yes	No

¹ FAULT_PIN_CONFIG レジスタで SCLK カウント・エラーをマスクすることはできませんが、SPI_DIAG_QUIET_EN ビット (GP_CONFIG1 レジスタのビット 3) をイネーブルすることによって FAULT ピンから除外できます。

² 該当せず。

ステータス・レジスタの DIG_DIAG_STATUS ビット、ANA_DIAG_STATUS ビット、および WDT_STATUS ビットは、FAULT ピンおよび FAULT_PIN_STATUS ビットと共に使われ、どの故障状態が FAULT ピンまたは FAULT_PIN_STATUS ビットをアクティブにしているかを知らせます。

ADC のモニタリング

AD5423 は、電源、グラウンド、内部ダイ温度、およびリファレンスなどのユーザ選択可能入力に関する診断情報を提供するための 12 ビット ADC を内蔵しています。これら全ての選択可能入力のリストを表 15 に示します。ADC リファレンスは REFOUT から得られ、DAC リファレンス (REFIN) に依存しない手段を必要に応じて提供します。ADC_CONFIG レジスタは、ADC_IP_SELECT ビット (表 36 参照) によってマルチプレクサを使用した ADC 入力チャンネルを選択します。

ADC 入力ノードの概要

表 15 に、ADC によるデジタル化が可能な全てのノードの概要と、対応する伝達関数を示します。

表 15. ADC 入力ノードの概要

ADC_IP_SELECT	V _{IN} Node Description	ADC Transfer Function
00000	Die temperature	$T (^{\circ}\text{C}) = (-0.09369 \times D) + 307$
00001	Reserved	Reserved
00010	Reserved	Reserved
00011	REFIN	$\text{REFIN (V)} = (D/2^{12}) \times 2.75$
00100	Internal 1.23 V reference voltage (REF2)	$\text{REF2 (V)} = (D/2^{12}) \times 2.5$
00101	Reserved	Reserved
00110	Reserved	Reserved
01100	Reserved	Reserved
01101	Voltage on the +V _{SENSE} buffer output	$+V_{\text{SENSE}} (\text{V}) = ((50 \times D)/2^{12}) - 25$
01110	Voltage on the -V _{SENSE} buffer output	$-V_{\text{SENSE}} (\text{V}) = ((50 \times D)/2^{12}) - 25$
10000	Reserved	Reserved
10001	Reserved	Reserved
10010	Reserved	Reserved
10011	Reserved	Reserved
10100	INT_AVCC	$\text{INT_AVCC (V)} = D/2^{12} \times 10$
10101	V _{LDO}	$V_{\text{LDO}} (\text{V}) = D/2^{12} \times 10$
10110	V _{LOGIC}	$V_{\text{LOGIC}} (\text{V}) = D/2^{12} \times 10$
11000	REFGND	$\text{REFGND (V)} = D/2^{12} \times 2.5$
11001	AGND	$\text{AGND (V)} = D/2^{12} \times 2.5$
11010	DGND	$\text{DGND (V)} = D/2^{12} \times 2.5$
11011	AV _{DD1}	$\text{AV}_{\text{DD1}} (\text{V}) = D/2^{12} \times 37.5$
11100	AV _{DD2}	$\text{AV}_{\text{DD2}} (\text{V}) = D/2^{12} \times 37.5$
11101	AV _{SS}	$\text{AV}_{\text{SS}} (\text{V}) = (15 \times D/2^{12} - 14) \times 2.5$
11110	Reserved	Reserved
11111	REFOUT	$\text{REFOUT (V)} = (D/2^{12}) \times 2.5$

ADC の設定

ADC のマルチプレクスされた入力は、ADC_CONFIG レジスタの ADC_IP_SELECT ビット (ビット [4:0]) を使って設定されます。

表 16. ADC 設定レジスタ

D10 to D8	D7 to D5	D4 to D0
100	000	ADC input select

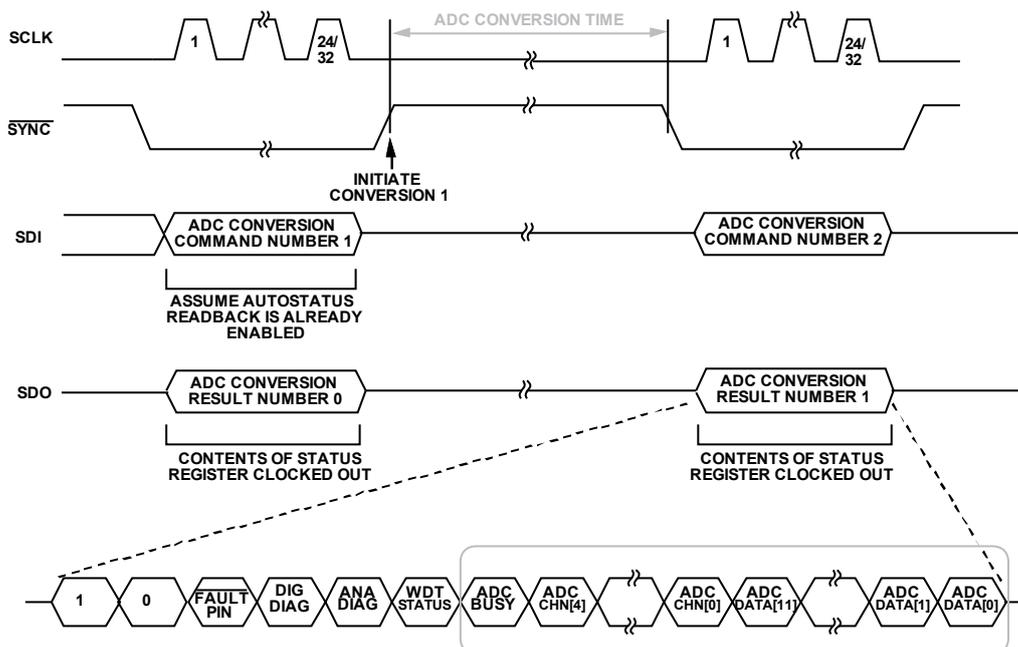
ADC コンフィギュレーション・レジスタへのこの書込みにより、ADC_CONFIG レジスタの ADC 入力選択ビットで現在選択されているノード上で、シングル変換が開始されます。

変換が完了すると、ADC の結果がステータス・レジスタで使用可能になります。

ADC 変換のタイミング

自動ステータス・リードバック・モードを有効にした場合の例を、図 71 に示します。ステータス・レジスタには、最後に完了した ADC 変換の結果と、(ADC_IP_SELECT ビットで選択された) 対応するマルチプレクサ・アドレスが常に含まれています。

図に示す最初の ADC 変換コマンドの間は、SDO ラインでステータス・レジスタの内容を使用できます。このデータの ADC 部分には、1 つ前に変換された ADC ノードの変換結果 (ADC Conversion Result 0) と、それに対応するチャンネル・アドレスが含まれています。ADC がコマンド 1 (Command 1) の処理でビジー状態の間に別の SPI フレームが受信されなかった場合、SDO ラインに現れる次のデータには、対応する変換結果 1 (ADC Conversion Result 1) が含まれます。しかし、ADC がビジー状態の間に SPI フレームが受信された場合、SDO で使用できるステータス・レジスタの内容にはやはり 1 つ前の変換結果が含まれ、ADC_BUSY フラグがハイになります。ADC_BUSY ビットがアクティブになっている間に受信された新しい ADC 変換命令は、全て無視されます。



注
1. ステータス・レジスタの内容には、ADCの変換結果、対応するアドレス、およびADCビジー・インジケータが含まれます。

17286-071

図 71. ADC 変換のタイミング例

レジスタ・マップ

AD5423 の制御と設定は、レジスタの詳細のセクションで説明する 22 個のオンチップ・レジスタを介して行われます。使用可能な 4 つのアクセス許可を以下に示します。

- R/W：読出しまたは書込み
- R：読出し専用
- R/W-1-C：読出し、または 1 を書き込んでクリア
- R0/W：ゼロを読出し、または書込み

予備レジスタの読出し／書込みは、無効な SPI アクセスとしてフラグされます（参照表 39）。予備ビット・フィールドのあるレジスタにアクセスするときは、これらのビット・フィールドのデフォルト値を書き込む必要があります。これらの値は、表 23～表 44 のリセットの列に示されています。

表 17. レジスタへの書込み

MSB								LSB
D23	D22	D21	D20	D19	D18	D17	D16	[D15 to D0]
AD1	AD1	AD0	REG_ADR4	REG_ADR3	REG_ADR2	REG_ADR1	REG_ADR0	Data

表 18. 入力レジスタ・デコード

ビット	説明
AD1	スリップ・ビット。このビットはビット D22（つまり AD1）を反転した値に等しくなければなりません。
AD1, AD0	外部ピン AD1 および AD0 と共に使用され、システム・コントローラがどの AD5423 デバイスをアドレス指定するかを決定します。AD1 と AD0 のアドレス 0b00、0b01、0b10、および 0b11 に対応する最大 4 個のデバイスのアドレスを個別に指定できます。
REG_ADR4, REG_ADR3, REG_ADR2, REG_ADR1, REG_ADR0	どのレジスタに書込みを行うかを選択します。使用可能なレジスタの概要については、表 22 を参照してください。

レジスタへの書込み

レジスタへの書込みには表 17 のフォーマットのデータ・フレームを使用します。デフォルトでは SPI CRC が有効になっています。入力レジスタの幅は 32 ビットで、最後の 8 ビットは CRC コードに対応しています。正確に 32 ビット幅のフレームだけが有効なフレームとして受け入れられます。CRC が無効になっている場合、入力レジスタは 24 ビット幅です。32 ビット・フレームも受け入れられますが、最後の 8 ビットは無視されます。ビット [D23:D16] のビット名と機能を表 18 に示します。ビット [D15:D0] は、アドレス指定されているレジスタによって異なります。

レジスタからの読出し

AD5423 では 4 つのリードバック・モードを選択可能で、**TWO_STAGE_READBACK_SELECT** レジスタで設定できます (表 38 参照)。これらのオプションは次のとおりです。

- 2 段リードバック
- 自動ステータス・リードバック
- 共有**SYNC**自動ステータス・リードバック
- エコー・モード

2 段リードバック・モード

2 段リードバック・モードは、リードバックするレジスタの位置を選択するための **TWO_STAGE_READBACK_SELECT** レジスタへの書き込みと、それに続く **NOP** コマンドで構成されます。**NOP** コマンドを実行するには、**NOP** レジスタのビット [D15:D0] の全てにゼロを書き込みます。**NOP** コマンドの間、選択したレジスタの内容は表 19 に示すデータ・フレーム・フォーマットで **SDO** ピンに出力されます。2 番目のフレームで新しい 2 段リードバック・コマンドを書き込み、対応する新しいデータをその次のフレームで **SDO** ピンに出力することも可能です (図 72 参照)。ビット [D31:D30] (**SPI CRC** が有効でない場合はビット [D23:D22]) = 0b10 が、リードバック時の同期の一部として使われます。**TWO_STAGE_READBACK_SELECT** レジスタへの最初の書き込み命令の内容を表 20 に示します。

表 19. 読出し操作時の SDO の内容

MSB			LSB		
[D23 to D22]	D21	[D20:16]	[D15 to D0]		
0b10	FAULT pin status	Register address	Data		

表 20. 2 段リードバック・モードを使用したレジスタ読出し

MSB										LSB			
D23	D22	D21	D20	D19	D18	D17	D16	[D15:D5]	D4	D3	D2	D1	D0
AD1	AD1	AD0	0x13				Reserved	READBACK_SELECT[4:0]					

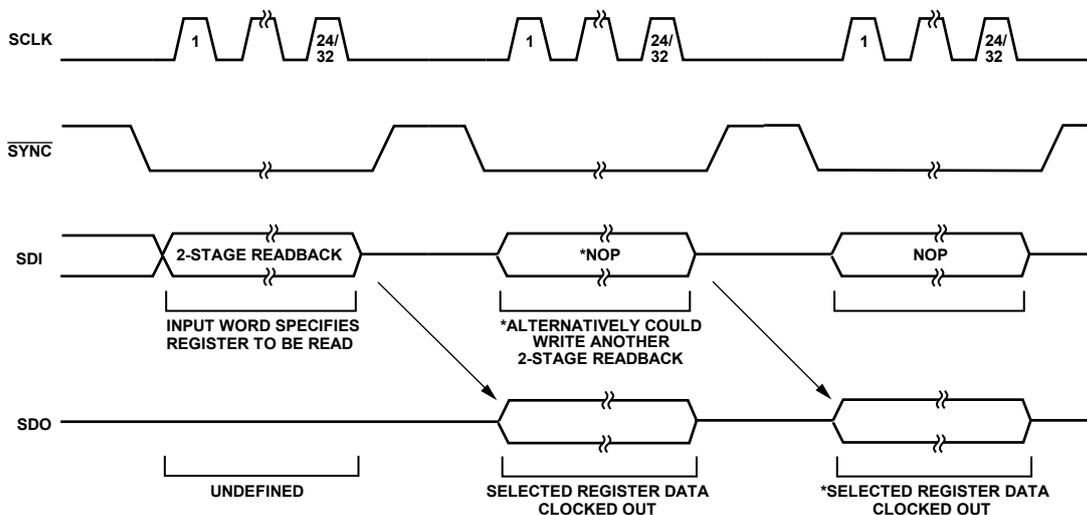


図 72. 2 段リードバックの例

自動ステータス・リードバック・モード

自動ステータス・リードバック・モードを選択した場合は、毎回の SPI トランザクションの間、ステータス・レジスタの内容が SDO ラインに出力されます。ステータス・レジスタをリードバックする場合、SDO の内容は表 19 に示すデータ・フレーム・フォーマットとは異なります。

ステータス・レジスタの内容を表 21 に示します。自動リードバック・モードは、TWO_STAGE_READBACK_SELECT レジスタの READBACK_MODE ビットで設定できます (2 段リードバック選択レジスタのセクションを参照)。

表 21. ステータス・レジスタの読み出し操作時の SDO の内容

MSB								LSB	
D23	D22	D21	D20	D19	D18	D17	[D16:D12]	[D11:D0]	
1	0	FAULT_PIN_STATUS	DIG_DIAG_STATUS	ANA_DIAG_STATUS	WDT_STATUS	ADC_BUSY	ADC_CH	ADC_DATA	

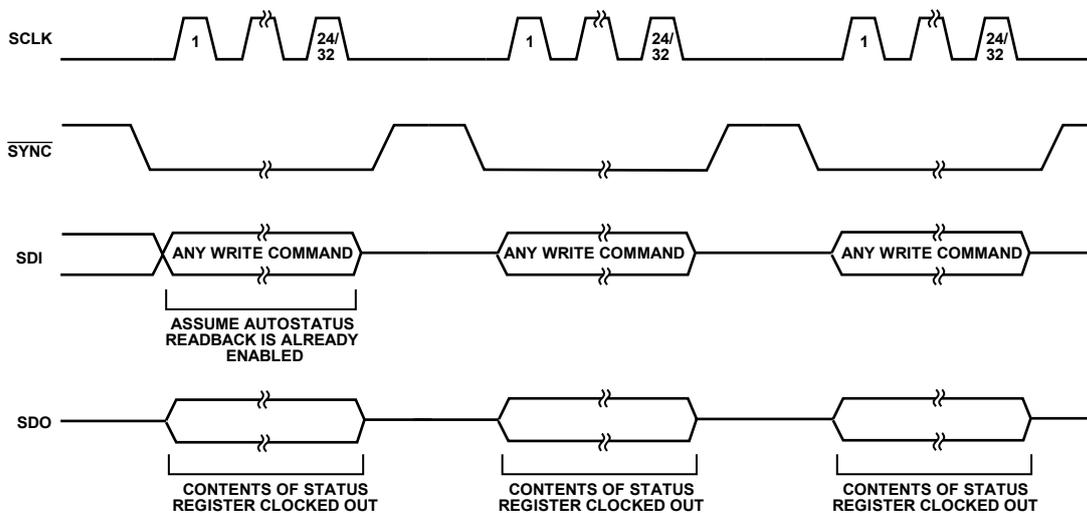


図 73. 自動ステータス・リードバックの例

共有SYNC自動ステータス・リードバック・モード

共有SYNC自動ステータス・リードバックは自動ステータス・リードバック・モードの特殊なバージョンで、複数の AD5423 デバイスが同じSYNCラインを共有している場合に、SDO バスの競合を避けるために使われます。この場合、それぞれの AD5423 はハードウェア・アドレス・ピンを使って識別されます。デバイスへの有効な書き込み後はその都度内部フラグがセットされ、このフラグは次のSYNCの立下がりエッジでクリアされます。共有SYNC自動ステータス・リードバック・モードでは、内部フラグがセットされない限り、SYNCがローになってもデバイスはステータス・レジスタの内容を SDO に出力しません（内部フラグは1つ前の SPI 書き込みが有効な場合にセットされます）。この点を除いて、通常の自動ステータス・リードバック・モードと同様に動作します。図 74 に示す例を参照してください。

エコー・モード

エコー・モードも自動ステータス・リードバックと同様に動作しますが、2 回目のリードバックが、全てその前に行われた AD5423 へのコマンド書き込みのエコーで構成される点が異なります。エコー・モードは、1つ前の SPI フレームでどの SPI 命令が受信されたかをチェックするのに有用です。

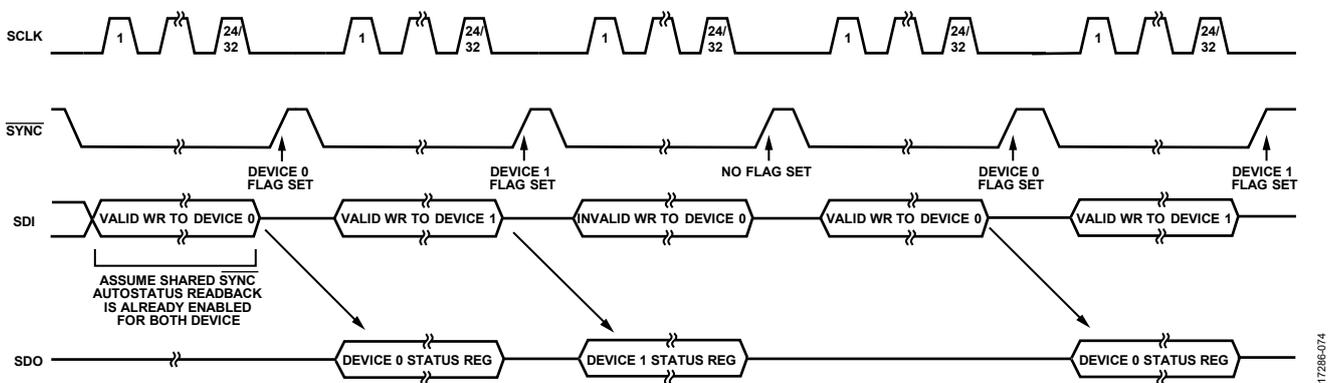


図 74. 共有SYNC自動ステータス・リードバックの例



図 75. エコー・モードでの SDO の内容

出カインーブルを行う設定シーケンス

パワーオンまたはリセット状態後の AD5423 デバイスへの書き込みと設定は、次の手順で行います。

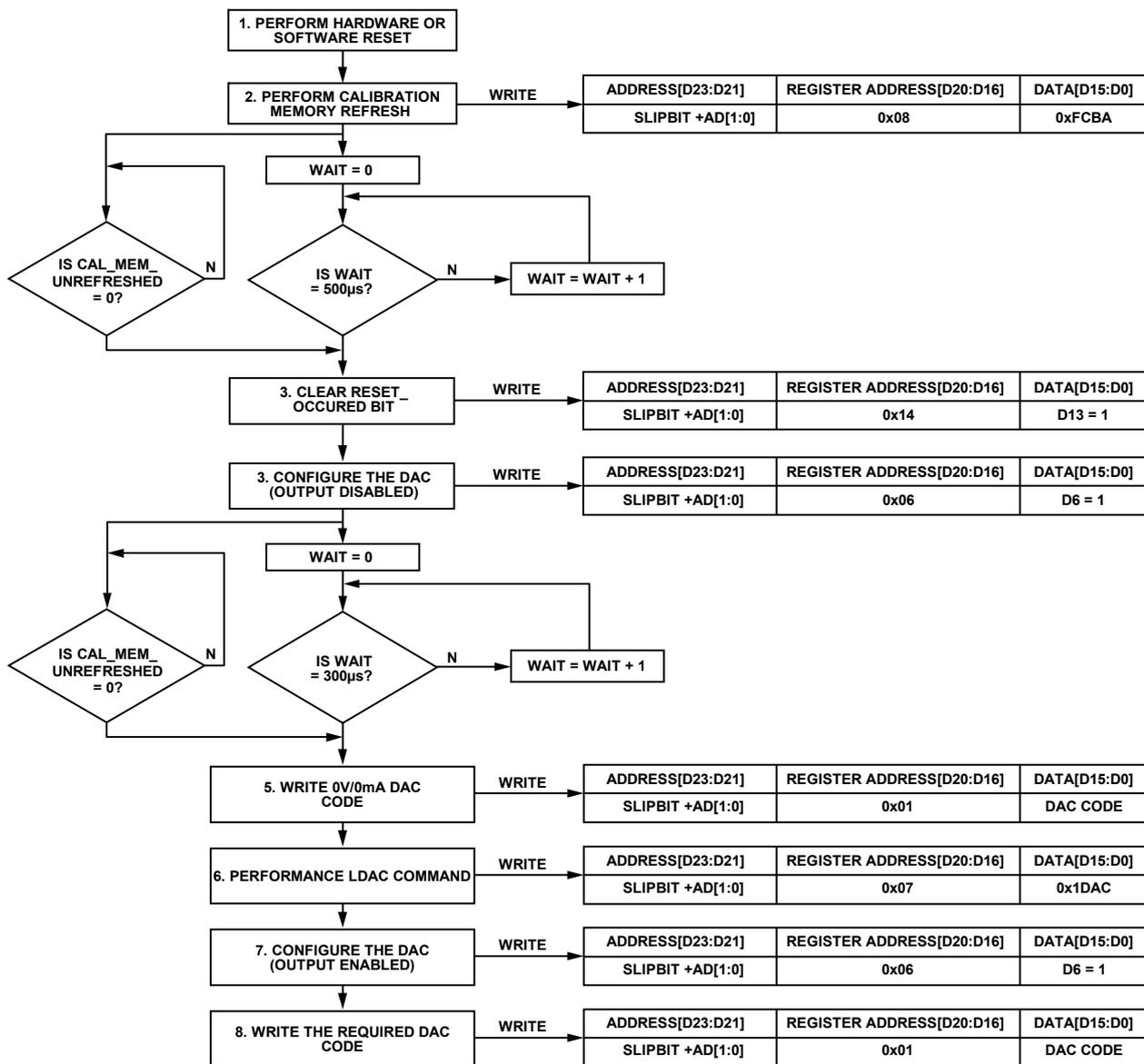
1. ハードウェア・リセットまたはソフトウェア・リセットを行い、100 μ s 待ちます。
2. キー・レジスタに 0xFCBA を書き込んで、キャリブレーション・メモリのリフレッシュを行います。内部キャリブレーションを完了させるために、ステップ 3 へ進む前に少なくとも 500 μ s 待ちます。リフレッシュ・サイクルを完了させるために 500 μ s 待つ代わりに、DIGITAL_DIAG_RESULTS レジスタの CAL_MEM_UNREFRESHED ビットが 0 になるまでポーリングを行うこともできます。
3. DIGITAL_DIAG_RESULTS レジスタのビット 13 に 1 を書き込んで、RESET_OCCURRED フラグをクリアします。
4. DAC_CONFIG レジスタに書き込みを行って INT_EN ビットをセットし、これによりチャンネル出力をイネーブルせずに DAC と内蔵アンプをパワーアップして、出力範囲、内蔵または外付け RSET、およびスルー・レートを設定します。この時点では OUT_EN ビットをディスエーブルに維持してください。内部キャリブレーションを完了させるために、ステップ 6 へ進む前に少なくとも 500 μ s 待ちます。リフレッシュ・サイクルを完了させるために 500 μ s 待つ代わりに、DIGITAL_DIAG_RESULTS レジスタの CAL_MEM_UNREFRESHED ビットが 0 になるまでポーリングを行うこともできます。
5. DAC_INPUT レジスタにゼロスケール DAC コードを書き込みます。ステップ 7 でバイポーラ範囲を選択する場合は、0mA/0V 出力を表す DAC コードを DAC_INPUT レジスタに書き込む必要があります。DAC_INPUT レジスタの内容が変わっていない場合でも、このステップを完了させることが重要です。
6. LDAC 機能を使用する場合は、ソフトウェアまたはハードウェア LDAC コマンドを実行します。
7. DAC_CONFIG レジスタにステップ 4 と同じワードを書き込みますが、ここでは OUT_EN ビットをイネーブルします。
8. DAC_INPUT レジスタに必要な DAC コードを書き込みます。

設定例を図 76 に示します。

範囲の変更と設定

出力をイネーブルした後、以下のステップに従って出力範囲を変更します。

1. DAC_INPUT レジスタに書き込みを行います。出力を 0mA または 0V に設定します。
2. DAC_CONFIG レジスタに書き込みを行います。出力をディスエーブルして (OUT_EN = 0)、新しい出力範囲を設定します。INT_EN ビットはセットしたままにしてください。内部キャリブレーションを完了させるために、ステップ 3 へ進む前に少なくとも 500 μ s 待ちます。
3. DAC_INPUT レジスタにコード 0x0000 (バイポーラ範囲の場合はコード 0x8000) を書き込みます。DAC_INPUT レジスタの内容が変わっていない場合でも、このステップを完了させることが重要です。
4. ステップ 2 の DAC_CONFIG レジスタ・ワードを再ロードし、OUT_EN ビットを 1 にセットして出力をイネーブルします。
5. DAC_INPUT レジスタに必要な DAC コードを書き込みます。



17286-076

図 76. 出力を正しくイネーブする設定の例 (わかりやすくするために、CRCは無効)

レジスタの詳細

表 22. レジスタの一覧

アドレス	名前	説明	リセット	アクセス
0x00	NOP	NOP レジスタ。	0x000000	R
0x01	DAC_INPUT	DAC 入力レジスタ。	0x010000	R/W
0x02	DAC_OUTPUT	DAC 出力レジスタ。	0x020000	R
0x03	CLEAR_CODE	クリア・コード・レジスタ。	0x030000	R/W
0x04	USER_GAIN	ユーザ・ゲイン・レジスタ。	0x04FFFF	R/W
0x05	USER_OFFSET	ユーザ・オフセット・レジスタ。	0x058000	R/W
0x06	DAC_CONFIG	DAC 設定レジスタ。	0x060C00	R/W
0x07	SW_LDAC	ソフトウェア LDAC レジスタ。	0x070000	R/W
0x08	KEY	キー・レジスタ。	0x080000	R/W
0x09	GP_CONFIG1	汎用設定 1 レジスタ。	0x090204	R/W
0x0A	GP_CONFIG2	汎用設定 2 レジスタ。	0x0A0200	R/W
0x0B	RESERVED	予備。	0x0B0000	R/W
0x0C	RESERVED	予備。	0x0C0100	R/W
0x0D	RESERVED	予備。	0x0D0000	R/W
0x0E	RESERVED	予備。	0x0E0000	R/W
0x0F	WDT_CONFIG	ウォッチドッグ・タイマー設定レジスタ。	0x0F0009	R/W
0x10	DIGITAL_DIAG_CONFIG	デジタル診断設定レジスタ。	0x10005D	R/W
0x11	ADC_CONFIG	ADC 設定レジスタ。	0x110000	R/W
0x12	FAULT_PIN_CONFIG	FAULTピン設定レジスタ。	0x120000	R/W
0x13	TWO_STAGE_READBACK_SELECT	2 段リードバック選択レジスタ。	0x130000	R/W
0x14	DIGITAL_DIAG_RESULTS	デジタル診断結果レジスタ。	0x14A000	R
0x15	ANALOG_DIAG_RESULTS	アナログ診断結果レジスタ。	0x150000	R
0x16	STATUS	ステータス・レジスタ。	0x160000	R
0x17	CHIP_ID	チップ ID レジスタ。	0x170101	R
0x18	FREQ_MONITOR	周波数モニタ・レジスタ。	0x180000	R
0x19	RESERVED	予備。	0x190000	R
0x1A	RESERVED	予備。	0x1A0000	R
0x1B	RESERVED	予備。	0x1B0000	R
0x1C	DEVICE_ID_3	ジェネリック ID レジスタ。	0x1C0000	R

NOP レジスタ

アドレス : 0x00、リセット : 0x000000、レジスタ名 : NOP

無操作 (NOP) コマンドを実行するには、このアドレスのビット [15:0] に 0x0000 を書き込みます。このレジスタのビット [15:0] は、常に 0x0000 としてリードバックされます。

表 23. NOP のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	NOP command	NOP コマンドを実行するには 0x0000 を書き込みます。	0x0	R0/W

DAC 入力レジスタ

アドレス：0x01、リセット：0x010000、レジスタ名：DAC_INPUT

ビット [15:0] は、DAC に書き込む 16 ビット・データで構成されます。LDACピンをローに接続した（アクティブにした）場合は、LDAC機能に関わりなく DAC_INPUT レジスタの内容が DAC_OUTPUT レジスタに直接書き込まれます。LDACピンをハイに接続した場合は、LDACピンをローにするかソフトウェアLDACコマンドを書き込むと、DAC_INPUT レジスタの内容が DAC_OUTPUT レジスタに書き込まれます。

表 24. DAC_INPUT のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	DAC_INPUT_DATA	DAC 入力データ。	0x0	R/W

DAC 出力レジスタ

アドレス：0x02、リセット：0x020000、レジスタ名：DAC_OUTPUT

DAC_OUTPUT は読み出し専用レジスタで、最新の補正済み 16 ビット DAC 出力値が格納されます。WDT 故障のためにクリア・イベントが発生した場合、このレジスタには、DAC が別のコードに更新されるまでクリア・コードが格納されます。

表 25. DAC_OUTPUT のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	DAC_OUTPUT_DATA	DAC 出力データ。例えば、最後に補正された 16 ビット DAC 出力値。	0x0	R

クリア・コード・レジスタ

アドレス：0x03、リセット：0x030000、レジスタ名：CLEAR_CODE

CLEAR_CODE レジスタに書き込みを行う場合、ビット [15:0] はクリア・コードで構成され、クリア・イベント（例えば WDT 故障）発生時に DAC はこのクリア・コードにクリアされます。クリア・イベント後、DAC_INPUT レジスタには DAC に書き込む 16 ビット・データを再度書き込む必要があります。これは、書き込むデータがクリア・イベント前に書き込まれていたデータと同じものであっても同様です。ハードウェアまたはソフトウェアへの LDAC 書き込みを行っても、先に DAC_INPUT レジスタへの書き込みが行われるまで、DAC_OUTPUT レジスタは新しいコードに更新されません。

表 26. CLEAR_CODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	CLEAR_CODE	クリア・コード。例えば WDT 故障などのクリア・イベントが発生すると、DAC はこのコードにクリアされます。	0x0	R/W

ユーザ・ゲイン・レジスタ

アドレス：0x04、リセット：0x04FFFF、レジスタ名：USER_GAIN

16 ビットの USER_GAIN ビットを使うと、DAC チャンネルのゲインを 1LSB ステップで調整することができます。USER_GAIN ビットのコーディングはストレート・バイナリです。デフォルト・コードは 0xFFFF です。理論的には、全出力範囲にわたってゲインを調整することができます。ただし、精度を保つために推奨されるゲイン調整は、最大で設定範囲の約 50%です。

表 27. USER_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	USER_GAIN	ユーザ・ゲイン訂正コード。	0xFFFF	R/W

ユーザ・オフセット・レジスタ

アドレス：0x05、リセット：0x058000、レジスタ名：USER_OFFSET

USER_OFFSET レジスタを使うと、DAC チャンネルのオフセットを-32,768LSB~+32,768LSB の範囲で 1LSB ステップごとに調整できます。USER_OFFSET レジスタのコーディングはストレート・バイナリです。デフォルト・コードは 0x8000 で、この場合、出力のオフセット設定はゼロになります。

表 28. USER_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	USER_OFFSET	ユーザ・オフセット訂正コード。	0x8000	R/W

DAC 設定レジスタ

アドレス：0x06、リセット：0x060C00、レジスタ名：DAC_CONFIG

DAC_CONFIG レジスタは、DAC の設定（範囲、内蔵または外付け R_{SET}、および出力イネーブル）、出力段回路のイネーブル、およびスルー・レート制御機能の設定を行います。

表 29. DAC_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:13]	SR_STEP	スルー・レート・ステップ。スルー・レート・ステップはスルー・レート・クロックと組み合わせて使用され、更新ごとの出力値の変化の大きさを指定します。両方のパラメータを組み合わせて、出力値の変化レートを指定します。 000：4LSB（デフォルト）。 001：12LSB。 010：64LSB。 011：120LSB。 100：256LSB。 101：500LSB。 110：1820LSB。 111：2048LSB。	0x0	R/W
[12:9]	SR_CLOCK	スルー・レート・クロック。スルー・レート・クロックは、デジタル・スルーが更新されるレートを定義します。 0000：240kHz： 0001：200kHz： 0010：150kHz： 0011：128kHz： 0100：64kHz： 0101：32kHz： 0110：16kHz（デフォルト）。 0111：8kHz： 1000：4kHz： 1001：2kHz： 1010：1kHz： 1011：512Hz： 1100：256Hz： 1101：128Hz： 1110：64Hz： 1111：16Hz：	0x6	R/W
8	SR_EN	スルー・レート制御を有効にします。 0：無効（デフォルト）。 1：有効。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
7	RSET_EXT_EN	電流設定外付け抵抗をイネーブルします。 0 : 内蔵 R _{SET} 抵抗をイネーブル (デフォルト)。 1 : 外付け R _{SET} 抵抗をイネーブル。	0x0	R/W
6	OUT_EN	V _{IOUT} をイネーブルします。 0 : V _{IOUT} 出力をディスエーブル (デフォルト)。 1 : V _{IOUT} 出力をイネーブル。	0x0	R/W
5	INT_EN	内蔵バッファをイネーブルします。 0 : 無効 (デフォルト)。 1 : 有効。このビットをセットすると、DAC と内蔵アンプがパワーアップされます。このビットをセットしても出力はイネーブルされません。このビットをセットしてから出力をイネーブルするまでに、200 μ s を超える遅延を設けることを推奨します。この遅延は、出力イネーブル・グリッチを減少させます。	0x0	R/W
4	OV RNG_EN	20%の電圧オーバーレンジをイネーブルします。 0 : 無効 (デフォルト)。 1 : 有効。	0x0	R/W
[3:0]	RANGE	出力範囲を選択します。これらのビットの内容を変更すると内部キャリブレーション・メモリのリフレッシュが開始されるので、その後の SPI 書込みは DIGITAL_DIAG_RESULTS レジスタの CAL_MEM_UNREFRESHED ビットが 0 に戻るまで行わないでください。無効なコード (ビット [3:0]) への書込みは無視されます。 0000 : 0V~5V の電圧範囲 (デフォルト)。 0001 : 0V~10V の電圧範囲。 0010 : ± 5 V の電圧範囲。 0011 : ± 10 V の電圧範囲。 1000 : 0mA~20mA の電流範囲。 1001 : 0mA~24mA の電流範囲。 1010 : 4mA~20mA の電流範囲。 1011 : ± 20 mA の電流範囲。 1100 : ± 24 mA の電流範囲。 1101 : -1mA~+22mA の電流範囲。	0x0	R/W

ソフトウェア LDAC レジスタ

アドレス : 0x07、リセット : 0x070000、レジスタ名 : SW_LDAC

SW_LDAC レジスタに 0x1DAC を書き込むと、その SPI フレーム内でアドレス・ビットが一致するデバイスに対してソフトウェア LDAC モードの更新が行われます。GP_CONFIG2 レジスタの GLOBAL_SW_LDAC ビットがセットされている場合は、ビット 21 とビット 22 は無視され、同じ SPI バスを共有する全てのデバイスが SW_LDAC コマンドによって更新されます。このレジスタのビット [15:0] は、常に 0x0000 としてリードバックされます。

表 30. SW_LDAC のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 <u>FAULT</u> ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	LDAC_COMMAND	ソフトウェア LDAC コマンド。このレジスタに 0x1DAC を書き込むと、ソフトウェア LDAC 命令が実行されます。	0x0	R0/W

キー・レジスタ

アドレス：0x08、リセット：0x080000、レジスタ名：KEY

KEY レジスタは、キャリブレーション・メモリのリフレッシュやソフトウェア・リセットなどのタスクを実行するための特定のキー・コードを受け入れます。このレジスタのビット [15:0] は、常に 0x0000 としてリードバックされます。リストされていないキー・コードは全て予備です。

表 31. KEY のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 $\overline{\text{FAULT}}$ ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	KEY_CODE	キー・コード。 0x15FA：ソフトウェア・リセットを開始する 2 つのキーのうちの最初のキー。 0xAF51：ソフトウェア・リセットを開始する 2 つのキーのうちの 2 番目のキー。 0x0D06：WDT をリセットするキー。 0xFCBA：シャドウ・レジスタに対してキャリブレーション・メモリのリフレッシュを開始するキー。このキーは最初に実行する場合のみ有効で、その後と同じシステム・リセット・サイクルの中で書込みが行われても効果はありません。	0x0	R0/W

汎用設定 1 レジスタ

アドレス：0x09、リセット：0x090204、レジスタ名：GP_CONFIG1

このレジスタは、温度コンパレータ閾値などの機能の設定や、その他の各種機能の有効化に使用します。

表 32. GP_CONFIG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 $\overline{\text{FAULT}}$ ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:14]	RESERVED	予備。	0x0	R
[13:12]	SET_TEMP_THRESHOLD	温度コンパレータ閾値を設定します。 00：142°C（デフォルト）。 01：127°C。 10：112°C。 11：97°C。	0x0	R/W
[11:10]	RESERVED	予備。	0x0	R/W
[9:7]	RESERVED	予備。	0x4	R/W
6	HART_EN	CHART ピンへのバスをイネーブルします。 0：DAC の出力が出力段を直接駆動します（デフォルト）。 1：HART モデムの接続またはスルー・コンデンサの接続ができるように、CHART バスが DAC 出力に結合されます。	0x0	R/W
5	NEG_OFFSET_EN	ユニポーラ V _{OUT} モードで負のオフセットを有効にします。このビットをセットすると、現在有効になっているユニポーラ出力範囲がオフセットされます。このビットが適用される電圧範囲は、0V～6V と 0V～12V だけです。 0V～6V の範囲は-300mV～+5.7V になります。 0V～12V の範囲は-400mV～+11.6V になります。 0：無効（デフォルト）。 1：有効。	0x0	R/W
4	CLEAR_NOW_EN	出力スルー機能が有効な場合でも、クリア・コードが直ちに DAC を更新できるようにします。 0：無効（デフォルト）。 1：有効。	0x0	R/W

3	SPI_DIAG_QUIET_EN	SPI 診断クワイエット・モードを有効にします。このビットをイネーブルすると、ステータス・レジスタ内に DIG_DIAG_STATUS ビットを生成する論理 OR 計算から、SPI_CRC_ERR、SLIPBIT_ERR、および SCLK_COUNT_ERR が除外されます。このビットがセットされると、これらは FAULT ピンにも影響しなくなります。 0：無効（デフォルト）。 1：有効。	0x0	R/W
2	OSC_STOP_DETECT_EN	MCLK が停止した場合に、SDO の自動 0x07DEAD コードを有効にします。 0：無効。 1：有効（デフォルト）。	0x1	R/W
1	RESERVED	予備。	0x0	R/W
0	VIOUT_PULLDOWN_EN	AGND に接続される VIOUT の 30kΩ プルダウン抵抗を有効にします。 0：無効（デフォルト）。 1：有効。	0x0	R/W

汎用設定 2 レジスタ

アドレス：0x0A、リセット：0x0A0200、レジスタ名：GP_CONFIG2

このレジスタは、電圧コンパレータやグローバル・ソフトウェア LDAC コマンドなどの機能の設定と有効化に使用されます。

表 33. GP_CONFIG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
15	RESERVED	予備。	0x0	R0
[14:13]	COMPARATOR_CONFIG	テストのために電圧コンパレータ入力をイネーブルまたはディスエーブルします。温度コンパレータは、常時イネーブルされています。バックグラウンドでの電源および温度モニタリングのセクションを参照してください。 00：電圧コンパレータをディスエーブル（デフォルト）。 01：予備。 10：予備。 11：電圧コンパレータをイネーブル。REFIN バッファをパワーアップして REFIN コンパレータが REFIN バッファを使用できるようにするには、DAC_CONFIG レジスタの INT_EN ビットをセットする必要があります。	0x0	R/W
12	RESERVED	予備。	0x0	R/W
11	RESERVED	予備。	0x0	R/W
10	GLOBAL_SW_LDAC	有効にすると、ソフトウェア LDAC コマンド実行時に AD5423 のアドレス・ビットが無視され、1つの SW_LDAC コマンドで複数のデバイスを同時に更新できるようになります。 0：無効（デフォルト）。 1：有効。	0x0	R/W
9	FAULT_TIMEOUT	短い故障検出タイムアウトを有効にします。このビットは、VIOUT 故障が検出されたことをアナログ・ブロックが示してから、これに応じて ANALOG_DIAG_RESULTS レジスタ内の該当ビットが変化するまでの遅延を設定します。この機能は、様々な出力負荷値に対応できる柔軟性を提供します。 0：故障検出タイムアウト 25ms。 1：故障検出タイムアウト 6.5ms（デフォルト）。	0x1	R/W
[8:0]	RESERVED	予備。	0x0	R/W

ウォッチドッグ・タイマー設定レジスタ

アドレス：0x0F、リセット：0x0F0009、レジスタ名：WDT_CONFIG

WDT_CONFIG レジスタは WDT のタイムアウト値を設定します。このレジスタは、WDT セットアップの受け入れ可能なリセットと、WDT 故障への対応（例えば出力のクリアまたはデバイスのリセット）も設定します。

表 34. WDT_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 <u>FAULT</u> ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:11]	RESERVED	予備。	0x0	R
10	CLEAR_ON_WDT_FAIL	WDT 故障時のクリア・イベントを有効にします。WDT がタイムアウトした場合はクリア・イベントが発生して出力がロードされ、CLEAR_CODE レジスタにクリア・コードが保存されます。 0：無効（デフォルト）。 1：有効。	0x0	R/W
9	RESET_ON_WDT_FAIL	WDT タイムアウト時の自動ソフトウェア・リセットを有効にします。 0：無効（デフォルト）。 1：有効。	0x0	R/W
8	KICK_ON_VALID_WRITE	WDT をリセットする有効な SPI コマンドをイネーブルします。WDT を再開できるようにするには、アクティブな WDT エラー・フラグをクリアする必要があります。 0：無効（デフォルト）。 1：有効。	0x0	R/W
7	RESERVED	予備。	0x0	R/W
6	WDT_EN	アクティブな WDT 故障フラグがない場合は WDT をイネーブルします。WDT はイネーブルされると直ちに開始します。 0：無効（デフォルト）。 1：有効。	0x0	R/W
[5:4]	RESERVED	予備。	0x0	R/W
[3:0]	WDT_TIMEOUT	WDT のタイムアウト値を設定します。WDT_TIMEOUT を 0b1010 より大きいバイナリ値に設定すると、デフォルト設定の 1 秒になります。 0000：1ms。 0001：5ms。 0010：10ms。 0011：25ms。 0100：50ms。 0101：100ms。 0110：250ms。 0111：500ms。 1000：750ms。 1001：1 秒（デフォルト）。 1010：2 秒。	0x9	R/W

デジタル診断設定レジスタ

アドレス：0x10、リセット：0x10005D、レジスタ名：DIGITAL_DIAG_CONFIG

DIGITAL_DIAG_CONFIG レジスタは、特定アプリケーション用に様々なデジタル診断機能を設定します。

表 35. DIGITAL_DIAG_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 $\overline{\text{FAULT}}$ ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:7]	RESERVED	予備。	0x0	R0
6	DAC_LATCH_MON_EN	DAC ラッチの診断モニタを有効にします。この機能は DAC を駆動する実際のデジタル・コードをモニタして、このコードとデジタル・ブロック内で生成されるデジタル・コードを比較します。これら 2 つのコード間に何らかの違いがあると、DIGITAL_DIAG_RESULTS レジスタに DAC_LATCH_MON_ERR フラグ・ビットがセットされます。 0：無効。 1：有効（デフォルト）。	0x1	R/W
5	RESERVED	予備。	0x0	R/W
4	INVERSE_DAC_CHECK_EN	DAC コードと反転 DAC コードのエラーに関するチェックを有効にします。 0：無効。 1：有効（デフォルト）。	0x1	R/W
3	CAL_MEM_CRC_EN	キャリブレーション・メモリ・リフレッシュ時のキャリブレーション・メモリの CRC を有効にします。 0：無効。 1：有効（デフォルト）。	0x1	R/W
2	FREQ_MON_EN	MCLK の内部周波数モニタを有効にします。 0：無効。 1：有効（デフォルト）。	0x1	R/W
1	RESERVED	予備。	0x0	R/W
0	SPI_CRC_EN	SPI CRC 機能を有効にします。 0：無効。 1：有効（デフォルト）。	0x1	R/W

ADC 設定レジスタ

アドレス : 0x11、リセット : 0x110000、レジスタ名 : ADC_CONFIG

ADC_CONFIG レジスタは、ADC を 4 つの動作モード（キー・シーケンシング、自動シーケンシング、現在選択されている ADC_IP_SELECT ノードのシングル即時変換、シングルキー変換）のいずれかに設定します。

表 36. ADC_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 <u>FAULT</u> ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:11]	RESERVED	予備。	0x0	R/W
[10:8]	SEQUENCE_COMMAND	ADC シーケンス・コマンド・ビット。 000 : 予備（このオプションは選択しないでください）。 001 : 予備（このオプションは選択しないでください）。 010 : 予備（このオプションは選択しないでください）。 011 : 予備（このオプションは選択しないでください）。 100 : ADC_IP_SELECT（ビット [4:0]）入力のシングル変換を開始します。 101 : 予備（このオプションは選択しないでください）。 110 : 予備（このオプションは選択しないでください）。 111 : 予備（このオプションは選択しないでください）。	0x0	R/W
[7:5]	SEQUENCE_DATA	予備（これらのビットのデフォルト値は変更しないでください）。	0x0	R/W
[4:0]	ADC_IP_SELECT	どのノードをマルチプレクサ経由で ADC に接続するかを選択します。リストされていない 5 ビット・コードは全て予備で、0 の ADC 結果を返します。 00000 : ダイ温度。 00001 : 予備（このオプションは選択しないでください）。 00010 : 予備（このオプションは選択しないでください）。 00011 : REFIN。REFIN バッファをパワーアップして ADC がこのノードを使用できるようにするには、DAC_CONFIG レジスタの INT_EN ビットをセットする必要があります。 00100 : REF2.内部 1.23V リファレンス電圧。 00101 : 予備（このオプションは選択しないでください）。 00110 : 予備（このオプションは選択しないでください）。 01100 : 予備（このオプションは選択しないでください）。 01101 : +V _{SENSE} バッファ出力の電圧。 01110 : -V _{SENSE} バッファ出力の電圧。 10000 : 予備（このオプションは選択しないでください）。 10001 : 予備（このオプションは選択しないでください）。 10010 : 予備（このオプションは選択しないでください）。 10011 : 予備（このオプションは選択しないでください）。 10100 : INT_AVCC。 10101 : VLDO。 10110 : V _{LOGIC} 。 11000 : REFGND。 11001 : AGND。 11010 : DGND。 11011 : AV _{DD1} 。 11100 : AV _{DD2} 。 11101 : AV _{SS} 。 11110 : 予備（このオプションは選択しないでください）。 11111 : REFOUT。	0x0	R/W

FAULTピン設定レジスタ

アドレス：0x12、リセット：0x120000、レジスタ名：FAULT_PIN_CONFIG

FAULT_PIN_CONFIG レジスタは、必要に応じてFAULTピンから特定の故障ビットをマスクするために使用します。

表 37. FAULT_PIN_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
15	INVALID_SPI_ACCESS_ERR	このビットをセットした場合は、INVALID_SPI_ACCESS_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
14	RESERVED	予備。	0x0	R/W
13	RESERVED	予備。	0x0	R/W
12	INVERSE_DAC_CHECK_ERR	このビットをセットした場合は、INVERSE_DAC_CHECK_ERR フラグをFAULTピンにマップしないでください。	0x0	R/W
11	RESERVED	予備。	0x0	R/W
10	OSCILLATOR_STOP_DETECT	このビットをセットした場合は、クロック停止エラーをFAULTピンにマップしないでください。	0x0	R/W
9	DAC_LATCH_MON_ERR	このビットをセットした場合は、DAC_LATCH_MON_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
8	WDT_ERR	このビットをセットした場合は、WDT_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
7	SLIPBIT_ERR	このビットをセットした場合は、SLIPBIT_ERR エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W
6	SPI_CRC_ERR	このビットをセットした場合は、SPI_CRC_ERR エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W
[5:4]	RESERVED	予備。	0x0	R/W
3	IOUT_OC_ERR	このビットをセットした場合は、電流出力オープンサーキット・エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W
2	VOUT_SC_ERR	このビットをセットした場合は、電圧出力短絡エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W
1	RESERVED	予備。	0x0	R/W
0	DIE_TEMP_ERR	このビットをセットした場合は、ダイ温度エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W

2 段リードバック選択レジスタ

アドレス：0x13、リセット：0x130000、レジスタ名：TWO_STAGE_READBACK_SELECT

TWO_STAGE_READBACK_SELECT レジスタは、2 段リードバック動作に必要なレジスタのアドレスを選択します。リードバック用に選択したレジスタのアドレスは、ビット [4:0] に保存されます。

表 38. TWO_STAGE_READBACK_SELECT のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 <u>FAULT</u> ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:7]	RESERVED	予備。	0x0	R
[6:5]	READBACK_MODE	これらのビットは、SPI リードバック・モードを制御します。 0：2 段 SPI リードバック・モード（デフォルト）。 01：自動ステータス・リードバック・モード。ステータス・レジスタの内容が、SPI フレームごとに SDO にシフト・アウトされます。 10：共有 SYNC 自動ステータス・リードバック・モード。このモードでは、（ハードウェア・アドレス・ピンを使用して区別される）複数のデバイスが同じ SYNC ラインを共有することができます。デバイスへの有効な書き込みが終了するたびにフラグがセットされます。このモードは、内部フラグがセットされた（すなわち、1 つ前の SPI 書き込みが有効である）場合を除いて、SYNC がローになってもデバイスはステータス・レジスタの内容を SDO に出力しません。この点を除けば、通常の自動ステータス・リードバック・モードと同様に動作します。 11：ステータス・レジスタの内容と前の SPI フレームの命令を交互に SDO に出力します。	0x0	R/W
[4:0]	READBACK_SELECT	2 段リードバックのリードバック・アドレスを選択します。 0x00：NOP レジスタ（デフォルト）。 0x01：DAC_INPUT レジスタ。 0x02：DAC_OUTPUT レジスタ。 0x03：CLEAR_CODE レジスタ。 0x04：USER_GAIN レジスタ。 0x05：USER_OFFSET レジスタ。 0x06：DAC_CONFIG レジスタ。 0x07：SW_LDAC レジスタ。 0x08：KEY レジスタ。 0x09：GP_CONFIG1 レジスタ。 0x0A：GP_CONFIG2 レジスタ。 0x0B：予備（このオプションは選択しないでください）。 0x0C：予備（このオプションは選択しないでください）。 0x0D：予備（このオプションは選択しないでください）。 0x0E：予備（このオプションは選択しないでください）。 0x0F：WDT_CONFIG レジスタ。 0x10：DIGITAL_DIAG_CONFIG レジスタ。 0x11：ADC_CONFIG レジスタ。 0x12：FAULT_PIN_CONFIG レジスタ。 0x13：TWO_STAGE_READBACK_SELECT レジスタ。 0x14：DIGITAL_DIAG_RESULTS レジスタ。 0x15：ANALOG_DIAG_RESULTS レジスタ。 0x16：STATUS レジスタ。 0x17：CHIP_ID レジスタ。 0x18：FREQ_MONITOR レジスタ。 0x19：予備（このオプションは選択しないでください）。 0x1A：予備（このオプションは選択しないでください）。 0x1B：予備（このオプションは選択しないでください）。 0x1C：DEVICE_ID_3 レジスタ。	0x0	R/W

デジタル診断結果レジスタ

アドレス：0x14、リセット：0x14A000、レジスタ名：DIGITAL_DIAG_RESULTS

DIGITAL_DIAG_RESULTS レジスタには、内蔵デジタル診断機能のエラー・フラグが格納されます。これらの機能のほとんどは、デジタル診断設定レジスタを使って設定できます。このレジスタには、リセットが行われたことを示すフラグや、キャリブレーション・メモリがリフレッシュされていないこと、あるいは無効な SPI アクセスをしようとしたことを示すフラグも格納されます。CAL_MEM_UNREFRESHED フラグと SLEW_BUSY フラグを除き、これらのフラグを最新の値に更新する場合は、常に 1 を書き込む必要があります。CAL_MEM_UNREFRESHED フラグはキャリブレーション・メモリのリフレッシュが完了すると自動的にクリアされ、SLEW_BUSY フラグは出力スルーが完了すると自動的にクリアされます。DIGITAL_DIAG_CONFIG レジスタの対応するイネーブル・ビットがイネーブルされていない場合、各フラグ・ビットはゼロと見なされます。

表 39. DIGITAL_DIAG_RESULTS のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
15	CAL_MEM_UNREFRESHED	キャリブレーション・メモリ未リフレッシュ・フラグ。 DAC_CONFIG レジスタの RANGE ビットに変更を加えてもキャリブレーション・メモリのリフレッシュが開始され、その場合もこのビットがアサートされます。このレジスタの R/W-1-C ビットと異なり、このビットは、キャリブレーション・メモリのリフレッシュが完了すると自動的にクリアされます。 0：キャリブレーション・メモリはリフレッシュ済み。 1：キャリブレーション・メモリは未リフレッシュ（パワーアップ時のデフォルト）。このビットは、DAC_CONFIG レジスタの RANGE ビットが変更された場合にアサートされます。	0x1	R
14	SLEW_BUSY	DAC が能動的にスルーイングしているときは、このフラグが 1 に設定されます。このレジスタの R/W-1-C ビットと異なり、このビットは、スルーイングが完了すると自動的にクリアされます。	0x0	R
13	RESET_OCCURRED	このビットは、リセットが行われたことをフラグします（したがって、パワーアップ時のデフォルトはロジック 1 です）。	0x1	R/W-1-C
12	RESERVED	予備。	0x0	R/W-1-C
11	WDT_ERR	このビットは WDT 故障をフラグします。	0x0	R/W-1-C
[10:9]	RESERVED	予備。	0x0	R/W-1-C
8	DAC_LATCH_MON_ERR	このビットは、DAC ラッチの出力が入力に一致していない場合にエラーをフラグします。	0x0	R/W-1-C
7	RESERVED	予備。	0x0	R/W-1-C
6	INVERSE_DAC_CHECK_ERR	このビットは、デジタル・コアによって駆動される DAC コードと反転コピーの間に不一致が検出された場合に、エラーをフラグします。	0x0	R/W-1-C
5	CAL_MEM_CRC_ERR	このビットは、キャリブレーション・メモリをリフレッシュする際の CRC 計算に関する CRC エラーをフラグします。	0x0	R/W-1-C
4	INVALID_SPI_ACCESS_ERR	このビットは、無効なアドレスや予備アドレスとの間の読み取りや書き込みなど、無効な SPI アクセスが試みられた場合にエラーをフラグします。このビットは、パワーアップ直後のキャリブレーション・メモリのリフレッシュ前に SPI 書き込みをしようとした場合や、キャリブレーション・メモリのリフレッシュ進行中に SPI 書き込みをしようとした場合も、エラーをフラグします。キャリブレーション・メモリのリフレッシュ中に 2 段階リードバックを行うことは可能であり、このフラグがセットされることはありません。読み専用レジスタに書き込みをしようとした場合も、このビットがアサートされます。	0x0	R/W-1-C
3	RESERVED	予備。	0x0	R/W-1-C
2	SCLK_COUNT_ERR	このビットは、SCLK 立下がりエッジ・カウント・エラーをフラグします。SPI CRC が有効になっている場合は 32 クロックが必要で、SPI CRC が有効になっていない場合は 24 クロックまたは 32 クロックが必要です。	0x0	R/W-1-C
1	SLIPBIT_ERR	このビットは SPI フレーム・スリップ・ビット・エラー（すなわち、SPI ワードの MSB が MSB-1 を反転した値に等しくない場合）をフラグします。	0x0	R/W-1-C
0	SPI_CRC_ERR	このビットは SPI CRC エラーをフラグします。	0x0	R/W-1-C

アナログ診断結果レジスタ

アドレス：0x15、リセット：0x150000、レジスタ名：ANALOG_DIAG_RESULTS

ANALOG_DIAG_RESULTS レジスタには、コンパレータがバックグラウンドでモニタする 4 つの電圧ノード (VLDO、INT_AVCC、REFIN、REFOUT) に対応するエラー・フラグと、コンパレータがモニタするダイ温度に関するフラグが格納されます。電圧出力の短絡と電流出力のオープン・サーキットに関するフラグも、このレジスタに格納されます。DIGITAL_DIAG_RESULTS レジスタと同様に、このレジスタに格納される全てのフラグは、内容を更新またはクリアするには 1 を書き込む必要があります。対応する診断機能がイネーブルされていない場合、それぞれのエラー・フラグはゼロと見なされます。

表 40. ANALOG_DIAG_RESULTS のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:8]	RESERVED	予備。	0x0	R0
7	IOOUT_OC_ERR	このビットは、電流出力オープン・サーキット・エラーをフラグします。このエラー・ビットは、電流出力オープン・サーキットの場合と、内部電流出力駆動回路が設定出力電流を供給できるだけの十分なヘッドルームを使用できない場合にセットされます。	0x0	R/W-1-C
6	VOOUT_SC_ERR	このビットは、電圧出力短絡エラーをフラグします。	0x0	R/W-1-C
5	RESERVED	予備。	0x0	R0
4	DIE_TEMP_ERR	このビットは、ダイの過熱エラーをフラグします。	0x0	R/W-1-C
3	REFOUT_ERR	このビットは、REFOUT ノードがコンパレータの閾値レベルを超えたこと、あるいは短絡電流制限に達したことをフラグします。	0x0	R/W-1-C
2	REFIN_ERR	このビットは、REFIN ノードがコンパレータの閾値レベルを超えたことをフラグします。	0x0	R/W-1-C
1	INT_AVCC_ERR	このビットは、INT_AVCC ノードがコンパレータの閾値レベルを超えたことをフラグします。	0x0	R/W-1-C
0	VLDO_ERR	このビットは、VLDO ノードがコンパレータの閾値レベルを超えたこと、あるいは短絡電流制限に達したことをフラグします。	0x0	R/W-1-C

ステータス・レジスタ

アドレス：0x16、リセット：0x160000、レジスタ名：STATUS

STATUS レジスタには、ADC データ・ビットとステータス・ビットのほか、WDT、OR 演算されたアナログおよびデジタル診断、およびFAULTピンのステータス・ビットが格納されます。

表 41. STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスが反映されます。	0x0	R
20	DIG_DIAG_STATUS	このビットは、DIGITAL_DIAG_RESULTS レジスタのビット [15:0] (SLEW_BUSY ビットを除く) の内容を論理 OR した結果を表します。したがって、これらのビットのいずれかがハイの場合は DIG_DIAG_STATUS ビットもハイになります。 パワーアップ時には RESET_OCCURRED フラグ・ビットがアクティブなので、このビットはハイになります。 論理 OR 機能が DIGITAL_DIAG_RESULTS レジスタのビット [15:3] (SLEW_BUSY ビットを除く) だけを対象とするように、クワイエット・モード (GP_CONFIG1 レジスタの SPI_DIAG_QUIET_EN) を使用することもできます。SPI CRC、SPI スリップ・ビット、または SCLK カウント・エラーが発生した場合、DIG_DIAG_STATUS はハイにセットされません。	0x1	R
19	ANA_DIAG_STATUS	このビットは、ANALOG_DIAG_RESULTS レジスタのビット [13:0] の内容を論理 OR した結果を表します。したがって、ANALOG_DIAG_RESULTS レジスタのいずれかのビットがハイの場合は ANA_DIAG_STATUS ビットもハイになります。	0x0	R
18	WDT_STATUS	WDT ステータス・ビット。	0x0	R
17	ADC_BUSY	ADC ビジー・ステータス・ビット。	0x0	R
[16:12]	ADC_CH	ステータス・レジスタの ADC_DATA によって表される ADC チャンネルのアドレス。	0x0	R
[11:0]	ADC_DATA	ADC_CH ビット (ビット [16:12]) によってアドレス指定された反転信号を表す 12 ビットの ADC データ。	0x0	R

チップ ID レジスタ

アドレス : 0x17、リセット : 0x170101、レジスタ名 : CHIP_ID

CHIP_ID レジスタには、ダイのチップ ID が格納されます。

表 42. CHIP_ID ビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 $\overline{\text{FAULT}}$ ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:11]	RESERVED	予備。	0x0	R0
[10:8]	RESERVED	予備。	0x0	R0
[7:0]	DIE_CHIP_ID	これらのビットには、ダイのリビジョン番号が反映されます。	0x2	R

周波数モニタ・レジスタ

アドレス : 0x18、リセット : 0x180000、レジスタ名 : FREQ_MONITOR

内部周波数モニタは、MCLK を使って 1kHz (MCLK/10,000) の周波数でパルスを生成します。このパルスは、16 ビット・カウンタをインクリメントするために使用します。カウンタの値は、FREQ_MONITOR レジスタから読み出すことができます。このレジスタを定期的にポーリングして、内部発振器の診断ツール（発振器動作のモニタ）として使用したり、周波数の測定に使用したりすることができます。この機能は、DIGITAL_DIAG_CONFIG レジスタの FREQ_MON_EN ビットによりデフォルトで有効になっており、内部発振器の堅牢性チェックを可能にします。

表 43. FREQ_MONITOR のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 $\overline{\text{FAULT}}$ ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	FREQ_MONITOR	内部クロック・カウンタの値。	0x0	R

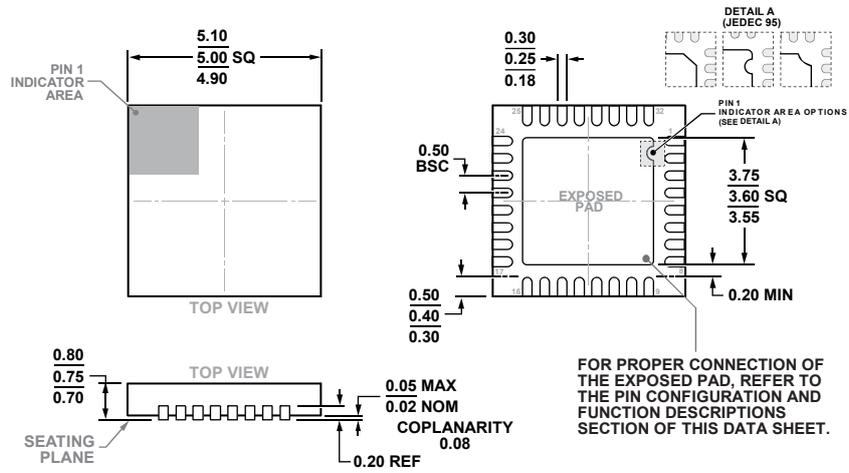
ジェネリック ID レジスタ

アドレス : 0x1C、リセット : 0x1C0000、レジスタ名 : DEVICE_ID_3

表 44. DEVICE_ID_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 $\overline{\text{FAULT}}$ ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:8]	RESERVED	予備。	0x0	R
[7:3]	RESERVED	予備。	0x0	R
[2:0]	GENERIC ID	ジェネリック ID。 000 : AD5423。 001 : 予備。 010 : 予備。 011 : 予備。 100 : 予備。 101 : 予備。 110 : 予備。 111 : 予備。	0x0 0x0 0x0 0x0 0x0 0x0 0x0 0x0	R R R R R R R R

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5

図 77. 32 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 5 mm×5 mm ボディ、0.75 mm パッケージ高
 (CP-32-12)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD5423BCPZ-RL7	-40°C to +115°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	CP-32-12
EVAL-AD5423SDZ		Evaluation Board	

¹Z = RoHS 準拠製品