

特長

16ビットの分解能と単調性

ピン選択可能なNAMUR準拠レンジ

4 mA~20 mA

3.8 mA~21 mA

3.2 mA~24 mA

NAMUR準拠のアラーム電流

ダウンスケール・アラーム電流 = 3.2 mA

アップスケール・アラーム電流 = 22.8 mA/24 mA

総合未調整誤差(TUE): 最大 0.05%

INL 誤差: 最大 0.0035% FSR

出力温度係数: 3 ppm/°C (typ)

静止電流: 最大 300 μA

シュミット・トリガ入力付きの柔軟な SPI 互換シリアル・デジタル・インターフェース

FAULT ピンまたはアラーム電流で故障を表示

各書き込みサイクルで故障レジスタから自動リードバック

スルーレート制御機能

ゲイン調整レジスタとオフセット調整レジスタ

内蔵リファレンス電圧の温度係数: 最大 4 ppm/°C

選択可能な安定化電圧出力

ループ電圧範囲: 5.5 V~52 V

温度範囲: -40°C~+105°C

TSSOP パッケージを採用

HART 互換

アプリケーション

工業用プロセス制御

4 mA~20 mA のループ給電トランスミッタ

スマート・トランスミッタ

概要

AD5421 は、工業用制御業界でスマート・トランスミッタ・メーカーのニーズを満たすようにデザインされたループ給電による 4 mA~20 mA の D/A コンバータ (DAC) です。DAC は、小型 TSSOP パッケージを採用した高精度低価格のフル統合ソリューションです。

AD5421 には、自分自身とトランスミッタ内のその他のデバイスに電源を供給するために使用する安定化電圧出力があります。このレギュレータは安定化した 1.8 V~12 V の出力電圧を供給します。また、AD5421 は 1.22 V と 2.5 V のリファレンス電圧も内蔵しているため、ディスクリート・レギュレータとリファレンス電圧が不要になります。

AD5421 は規定性能を低下させることなく、標準 HART[®] FSK プロトコル通信回路と組み合わせ使用することができます。高速シリアル・インターフェースは 30 MHz で動作できるため、一般的に使用されているマイクロプロセッサやマイクロコントローラと SPI 互換の 3 線式インターフェースを介したシンプルな接続が可能です。

AD5421 では 16 ビットの単調性が保証されています。typ 値として 0.0015% の積分非直線性、0.0012% のオフセット誤差、0.0006% のゲイン誤差を提供します。

AD5421 は 28 ピン TSSOP パッケージを採用し、-40°C~+105°C の拡張工業用温度範囲で仕様が規定されています。

機能ブロック図

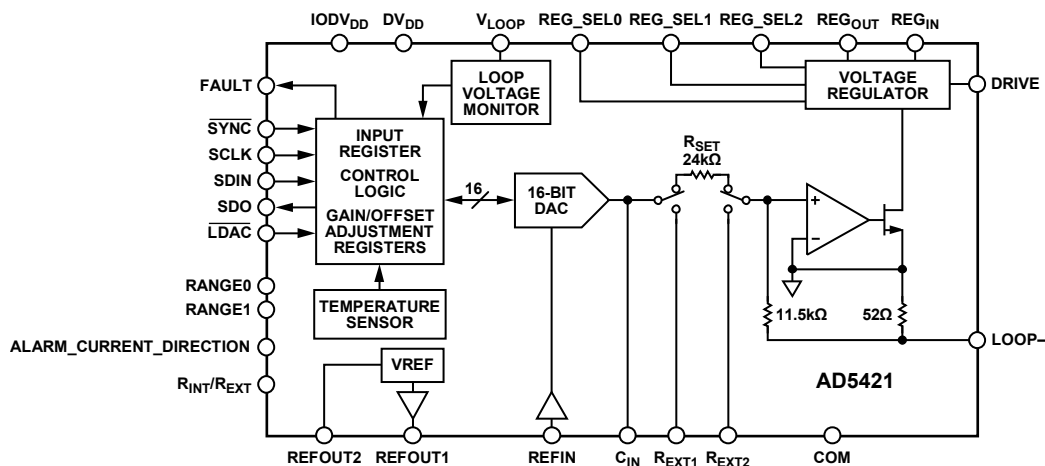


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2011 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	内蔵 ADC.....	21
アプリケーション.....	1	電圧レギュレータ.....	21
概要.....	1	ループ電流スルーレート制御.....	21
機能ブロック図.....	1	パワーオン時のデフォルト.....	21
改訂履歴.....	2	HART 通信.....	22
仕様.....	3	シリアル・インターフェース.....	24
AC性能特性.....	7	入力シフトレジスタ.....	24
タイミング特性.....	7	レジスタのリードバック.....	24
絶対最大定格.....	9	DACレジスタ.....	25
熱抵抗.....	9	コントロール・レジスタ.....	26
ESDの注意.....	9	故障レジスタ.....	27
ピン配置およびピン機能説明.....	10	オフセット調整レジスタ.....	28
代表的な性能特性.....	12	ゲイン調整レジスタ.....	28
用語.....	18	アプリケーション情報.....	30
動作原理.....	19	総合誤差の予測.....	30
故障アラーム.....	19	熱と電源についての考慮事項.....	31
電流設定外付け抵抗.....	20	外形寸法.....	32
ループ電流範囲の選択.....	20	オーダー・ガイド.....	32
ループ電源への接続.....	20		

改訂履歴

5/11—Rev. 0 to Rev. A

Changes to REG _{IN} , REFOUT1, and REFOUT2 Pin Descriptions in Table 8.....	10
Change to Figure 45.....	22
Changes to Input Shift Register Section, Table 11, and Register Readback Section.....	24
Changes to Figure 48.....	30

2/11—Revision 0: Initial Version

仕様

特に指定がない限り、ループ電圧 = 24 V、REFIN = 2.5 V 外部、 $R_L = 250 \Omega$ 、外部 NMOS を接続、全ループ電流範囲、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 1.

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
ACCURACY, INTERNAL R_{SET}					
Resolution	16			Bits	
Total Unadjusted Error (TUE) ²	-0.126		+0.126	% FSR	C grade
	-0.041	±0.0064	+0.041	% FSR	C grade, $T_A = 25^\circ\text{C}$
	-0.22		+0.22	% FSR	B grade
	-0.12	±0.011	+0.12	% FSR	B grade, $T_A = 25^\circ\text{C}$
TUE Long-Term Stability		210		ppm FSR	Drift after 1000 hours at $T_A = 125^\circ\text{C}$
Relative Accuracy (INL)	-0.0035	±0.0015	+0.0035	% FSR	C grade
	-0.08	±0.006	+0.08	% FSR	B grade
Differential Nonlinearity (DNL)	-1		+1	LSB	Guaranteed monotonic
Offset Error	-0.056		+0.056	% FSR	
	-0.008	±0.0008	+0.008	% FSR	$T_A = 25^\circ\text{C}$
Offset Error TC ³		1		ppm FSR/ $^\circ\text{C}$	
Gain Error	-0.107		+0.107	% FSR	
	-0.035	±0.0058	+0.035	% FSR	$T_A = 25^\circ\text{C}$
Gain Error TC ³		4		ppm FSR/ $^\circ\text{C}$	
Full-Scale Error	-0.126		+0.126	% FSR	
	-0.041	±0.0065	+0.041	% FSR	$T_A = 25^\circ\text{C}$
Full-Scale Error TC ³		5		ppm FSR/ $^\circ\text{C}$	
Downscale Alarm Current	3.19		3.21	mA	
Upscale Alarm Current	22.77		22.83	mA	4 mA to 20 mA and 3.8 mA to 21 mA ranges
	23.97		24.03	mA	3.2 mA to 24 mA range
ACCURACY, EXTERNAL R_{SET} (24 kΩ)					
Resolution	16			Bits	
Total Unadjusted Error (TUE) ²	-0.048		+0.048	% FSR	C grade
	-0.027	±0.002	+0.027	% FSR	C grade, $T_A = 25^\circ\text{C}$
	-0.12		+0.12	% FSR	B grade
	-0.06	±0.003	+0.06	% FSR	B grade, $T_A = 25^\circ\text{C}$
TUE Long-Term Stability		40		ppm FSR	Drift after 1000 hours at $T_A = 125^\circ\text{C}$
Relative Accuracy (INL)	-0.0035	±0.0015	+0.0035	% FSR	C grade
	-0.08	±0.006	+0.08	% FSR	B grade
Differential Nonlinearity (DNL)	-1		+1	LSB	Guaranteed monotonic
Offset Error	-0.021		+0.021	% FSR	
	-0.007	±0.0012	+0.007	% FSR	$T_A = 25^\circ\text{C}$
Offset Error TC ³		0.5		ppm FSR/ $^\circ\text{C}$	
Gain Error	-0.03		+0.03	% FSR	
	-0.023	±0.0006	+0.023	% FSR	$T_A = 25^\circ\text{C}$
Gain Error TC ³		1		ppm FSR/ $^\circ\text{C}$	
Full-Scale Error	-0.047		+0.047	% FSR	
	-0.028	±0.0017	+0.028	% FSR	$T_A = 25^\circ\text{C}$
Full-Scale Error TC ³		1		ppm FSR/ $^\circ\text{C}$	
Downscale Alarm Current	3.19		3.21	mA	
Upscale Alarm Current	22.79		22.81	mA	4 mA to 20 mA and 3.8 mA to 21 mA ranges
	23.99		24.01	mA	3.2 mA to 24 mA range

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
OUTPUT CHARACTERISTICS³					
Loop Compliance Voltage ⁴	LOOP- + 5.5			V	REG _{OUT} < 5.5 V, loop current = 24 mA
	LOOP- + 12.5			V	REG _{OUT} = 12 V, loop current = 24 mA
Loop Current Long-Term Stability		100		ppm FSR	Drift after 1000 hours at T _A = 125°C, loop current = 12 mA, internal R _{SET}
		15		ppm FSR	Drift after 1000 hours at T _A = 125°C, loop current = 12 mA, external R _{SET}
Loop Current Error vs. REG _{OUT} Load Current		1.2		μA/mA	Loop current = 12 mA, load current from REG _{OUT} = 5 mA
Resistive Load	0		2	kΩ	See Figure 19 for a load line graph
Inductive Load		50		mH	Stable operation
Power Supply Sensitivity			0.1	μA/V	Loop current = 12 mA
Output Impedance	12	400		MΩ	
Output TC		3		ppm FSR/°C	Loop current = 12 mA, internal R _{SET}
		1		ppm FSR/°C	Loop current = 12 mA, external R _{SET}
Output Noise					
0.1 Hz to 10 Hz		50		nA p-p	
500 Hz to 10 kHz		0.2		mV rms	HART bandwidth; measured across 500 Ω load
Noise Spectral Density		195		nA/√Hz	At 1 kHz
		256		nA/√Hz	At 10 kHz
REFERENCE INPUT (REFIN PIN)³					
Reference Input Voltage ⁵		2.5		V	For specified performance
DC Input Impedance	75	800		MΩ	
REFERENCE OUTPUTS					
REFOUT1 Pin					
Output Voltage	2.498	2.5	2.503	V	T _A = 25°C
Temperature Coefficient		1.5	4	ppm/°C	C grade
		2	10	ppm/°C	B grade
Output Noise (0.1 Hz to 10 Hz) ³		7.5		μV p-p	
Noise Spectral Density ³		245		nV/√Hz	At 1 kHz
		70		nV/√Hz	At 10 kHz
Output Voltage Drift vs. Time ³		200		ppm	Drift after 1000 hours at T _A = 125°C
Capacitive Load ³		10		nF	Stable operation
Load Current ^{3,6}		4		mA	
Short-Circuit Current ³		6.5		mA	Short circuit to COM
Power Supply Sensitivity ³		2	12	μV/V	
Thermal Hysteresis ³		285		ppm	First temperature cycle
		5		ppm	Second temperature cycle
Load Regulation ³		0.1	0.2	mV/mA	Measured at 0 mA and 1 mA loads
Output Impedance		0.1		Ω	
REFOUT2 Pin					
Output Voltage	1.18	1.227	1.28	V	T _A = 25°C
Output Impedance		72		kΩ	
REG_{OUT} OUTPUT					
Output Voltage	1.8		12	V	Voltage regulator output
Output Voltage TC ³		110		ppm/°C	See Table 10
Output Voltage Accuracy	-4	±2	+4	%	
Externally Available Current ^{3,6}	3.15			mA	Assuming 4 mA flowing in the loop and during HART communications
Short-Circuit Current		23		mA	
Line Regulation ³		500		mV/V	Internal NMOS
		10		mV/V	External NMOS
Load Regulation ³		8		mV/mA	
Inductive Load		50		mH	Stable operation
Capacitive Load	2	10		μF	Stable operation
ADC ACCURACY					
Die Temperature		±5		°C	

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
V _{LOOP} Input		±1		%	
DV _{DD} OUTPUT					Can be overdriven up to 5.5 V
Output Voltage	3.17	3.3	3.48	V	Assuming 4 mA flowing in the loop and during HART communications
Externally Available Current ^{3,6}	3.15			mA	
Short-Circuit Current		7.7		mA	
Load Regulation		11		mV/mA	Measured at 0 mA and 3 mA loads
DIGITAL INPUTS ³					SCLK, SYNC, SDIN, LDAC
Input High Voltage, V _{IH}	0.7 × IODV _{DD}			V	IODV _{DD} = 1.8 V IODV _{DD} = 3.3 V IODV _{DD} = 5.5 V
Input Low Voltage, V _{IL}			0.25 × IODV _{DD}	V	
Hysteresis		0.21		V	
		0.63		V	
		1.46		V	
Input Current	-0.015		+0.015	μA	Per pin
Pin Capacitance		5		pF	Per pin
DIGITAL OUTPUTS ³					
SDO Pin					
Output Low Voltage, V _{OL}			0.4	V	
Output High Voltage, V _{OH}	IODV _{DD} - 0.5			V	
High Impedance Leakage Current	-0.01		+0.01	μA	
High Impedance Output Capacitance		5		pF	
FAULT Pin					
Output Low Voltage, V _{OL}			0.4	V	
Output High Voltage, V _{OH}	IODV _{DD} - 0.5			V	
FAULT THRESHOLDS					
I _{LOOP} Under		I _{LOOP} - 0.01% FSR		mA	Fault removed when temperature ≤ 125°C Fault removed when temperature ≤ 85°C Fault removed when V _{LOOP} ≥ 0.4 V Fault removed when V _{LOOP} ≥ 0.7 V
I _{LOOP} Over		I _{LOOP} + 0.01% FSR		mA	
Temp 140°C		133		°C	
Temp 100°C		90		°C	
V _{LOOP} 6V		0.3		V	
V _{LOOP} 12V		0.6		V	
POWER REQUIREMENTS					
REG _{IN}	5.5		52	V	With respect to LOOP-
IODV _{DD}	1.71		5.5	V	With respect to COM
Quiescent Current		260	300	μA	

¹ 温度範囲は-40 °C~+105 °Cです。typ 値は+25 °Cの値です。

² 総合未調整誤差は、AD5421の出荷時キャリブレーション後に測定された総合誤差(オフセット誤差+ゲイン誤差+非直線性誤差+出力温度ドリフト誤差)です。システム・レベルの総合誤差は、オフセット・レジスタとゲイン・レジスタを使って小さくすることができます。

³ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

⁴ LOOP- と REG_{IN}の間の電圧は5.5 V以上にする必要があります。

⁵ AD5421は、2.5 Vの外付けリファレンス電圧をREFINに接続して出荷時にキャリブレーションされています。

⁶ これは出力が供給できる電流です。負荷電流はループから流出するため、総合消費電流値に含まれます。

特に指定がない限り、ループ電圧 = 24 V、REFIN = REFOUT1 (2.5 V 内部リファレンス電圧)、 $R_L = 250 \Omega$ 、外部 NMOS を接続、全ループ電流範囲、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 2.

Parameter ^{1,2}	C Grade			Unit	Test Conditions/Comments
	Min	Typ	Max		
ACCURACY, INTERNAL R_{SET}					
Total Unadjusted Error (TUE) ³	-0.157		+0.157	% FSR	
	-0.117	± 0.0172	+0.117	% FSR	$T_A = 25^\circ\text{C}$
Relative Accuracy (INL)	-0.004		+0.004	% FSR	
	-0.004	± 0.0015	+0.004	% FSR	$T_A = 25^\circ\text{C}$
Offset Error	-0.04		+0.04	% FSR	
	-0.025	± 0.0025	+0.025	% FSR	$T_A = 25^\circ\text{C}$
Offset Error TC		1		ppm FSR/ $^\circ\text{C}$	
Gain Error	-0.128		+0.128	% FSR	
	-0.093	± 0.0137	+0.093	% FSR	$T_A = 25^\circ\text{C}$
Gain Error TC		5		ppm FSR/ $^\circ\text{C}$	
Full-Scale Error	-0.157		+0.157	% FSR	
	-0.117	± 0.0172	+0.117	% FSR	$T_A = 25^\circ\text{C}$
Full-Scale Error TC		6		ppm FSR/ $^\circ\text{C}$	
ACCURACY, EXTERNAL R_{SET} (24 k Ω)					Assumes ideal resistor
Total Unadjusted Error (TUE) ³	-0.133		+0.133	% FSR	
	-0.133	± 0.0252	+0.133	% FSR	$T_A = 25^\circ\text{C}$
Relative Accuracy (INL)	-0.004		+0.004	% FSR	
	-0.004	± 0.0015	+0.004	% FSR	$T_A = 25^\circ\text{C}$
Offset Error	-0.029		+0.029	% FSR	
	-0.029	± 0.0038	+0.029	% FSR	$T_A = 25^\circ\text{C}$
Offset Error TC		0.5		ppm FSR/ $^\circ\text{C}$	
Gain Error	-0.11		+0.11	% FSR	
	-0.106	± 0.0197	+0.106	% FSR	$T_A = 25^\circ\text{C}$
Gain Error TC		2		ppm FSR/ $^\circ\text{C}$	
Full-Scale Error	-0.133		+0.133	% FSR	
	-0.133	± 0.0252	+0.133	% FSR	$T_A = 25^\circ\text{C}$
Full-Scale Error TC		2		ppm FSR/ $^\circ\text{C}$	

¹ 温度範囲は $-40^\circ\text{C} \sim +105^\circ\text{C}$ です。typ 値は $+25^\circ\text{C}$ の値です。

² 仕様はデザインとキャラクタライゼーションで保証しますが、出荷テストは行いません。

³ 総合未調整誤差は、AD5421 の出荷時キャリブレーション後に測定された総合誤差(オフセット誤差 + ゲイン誤差 + 非直線性誤差 + 出力温度ドリフト誤差)です。システム・レベルの総合誤差は、オフセット・レジスタとゲイン・レジスタを使って小さくすることができます。

AC性能特性

特に指定がない限り、ループ電圧 = 24 V、REFIN = 2.5 V 外部、 $R_L = 250 \Omega$ 、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 3.

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE					
Loop Current Settling Time		50		μs	To 0.1% FSR, $C_{IN} = \text{open circuit}$
Loop Current Slew Rate		400		$\mu\text{A}/\mu\text{s}$	$C_{IN} = \text{open circuit}$
AC Loop Voltage Sensitivity		1.3		$\mu\text{A}/\text{V}$	1200 Hz to 2200 Hz, 5 V p-p, $R_L = 3 \text{ k}\Omega$

¹ 温度範囲は-40 °C~+105 °Cです。typ 値は+25 °Cの値です。

タイミング特性

ループ電圧 = 24 V、REFIN = 2.5 V 外部、 $R_L = 250 \Omega$ 、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 4.

Parameter ^{1,2,3}	Limit at T_{MIN}, T_{MAX}	Unit	Description
t_1	33	ns min	SCLK cycle time
t_2	17	ns min	SCLK high time
t_3	17	ns min	SCLK low time
t_4	17	ns min	$\overline{\text{SYNC}}$ falling edge to SCLK falling edge setup time
t_5	10	ns min	SCLK falling edge to $\overline{\text{SYNC}}$ rising edge
t_6	25	μs min	Minimum SYNC high time
t_7	5	ns min	Data setup time
t_8	5	ns min	Data hold time
t_9	25	μs min	$\overline{\text{SYNC}}$ rising edge to LDAC falling edge
t_{10}	10	ns min	LDAC pulse width low
t_{11}	70	ns max	SCLK rising edge to SDO valid ($C_{LSDO} = 30 \text{ pF}$)
t_{12}	0	ns min	$\overline{\text{SYNC}}$ falling edge to SCLK rising edge setup time
t_{13}	70	ns max	$\overline{\text{SYNC}}$ rising edge to SDO tristate ($C_{LSDO} = 30 \text{ pF}$)

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

² すべての入力信号は $t_R = t_F = 5 \text{ ns}$ (DV_{DD} の 10% から 90%) で規定し、1.2 V の電圧レベルからの時間とします。

³ 図 2 と図 3 参照。

表 5.SPI ウォッチドッグ・タイムアウト周期

Parameter ¹			Min	Typ	Max	Unit
T0	T1	T2				
0	0	0	43	50	59	ms
0	0	1	87	100	117	ms
0	1	0	436	500	582	ms
0	1	1	873	1000	1163	ms
1	0	0	1746	2000	2326	ms
1	0	1	2619	3000	3489	ms
1	1	0	3493	4000	4652	ms
1	1	1	4366	5000	5814	ms

¹ 仕様はデザインとキャラクタライゼーションで保証しますが、出荷テストは行いません。

タイミング図

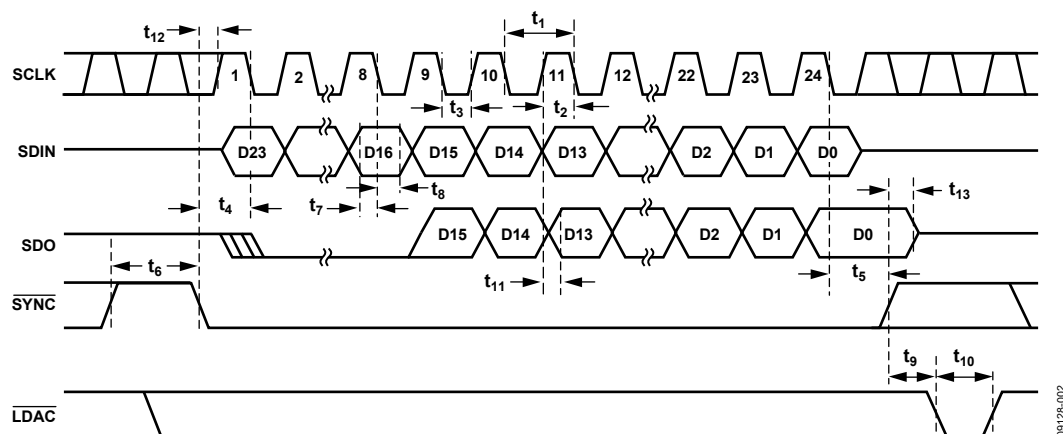


図 2. シリアル・インターフェースのタイミング図

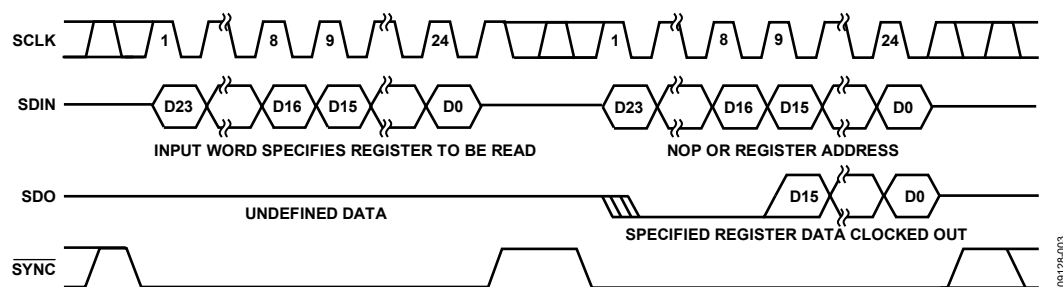


図 3. リードバック・タイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

表 6.

Parameter	Rating
REG _{IN} to COM	-0.3 V to +60 V
REG _{OUT} to COM	-0.3 V to +14 V
Digital Inputs to COM RANGE0, RANGE1, R _{INT} /R _{EXT} , ALARM_CURRENT_DIRECTION, REG_SEL0, REG_SEL1, REG_SEL2	-0.3 V to DV _{DD} + 0.3 V or +7 V (whichever is less)
Digital Inputs to COM SCLK, SDIN, SYNC, LDAC	-0.3 V to IODV _{DD} + 0.3 V or +7 V (whichever is less)
Digital Outputs to COM SDO, FAULT	-0.3 V to IODV _{DD} + 0.3 V or +7 V (whichever is less)
REFIN to COM	-0.3 V to +7 V
REFOUT1, REFOUT2	-0.3 V to +4.7 V
V _{LOOP} to COM	-0.3 V to +60 V
LOOP- to COM	-5 V to +0.3 V
DV _{DD} to COM	-0.3 V to +7 V
IODV _{DD} to COM	-0.3 V to +7 V
R _{EXT1} , C _{IN} to COM	-0.3 V to +4.3 V
R _{EXT2} to COM	-0.3 V to +0.3 V
DRIVE to COM	-0.3 V to +11 V
Operating Temperature Range (T _A) Industrial	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T _{JMAX})	125°C
Power Dissipation	(T _{JMAX} - T _A)/θ _{JA}
Lead Temperature, Soldering (10 sec)	JEDEC Industry Standard J-STD-020
ESD Human Body Model	3 kV
Field Induced Charged Device Model	1.5 kV
Machine Model	200 V

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は最悪条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 7.熱抵抗

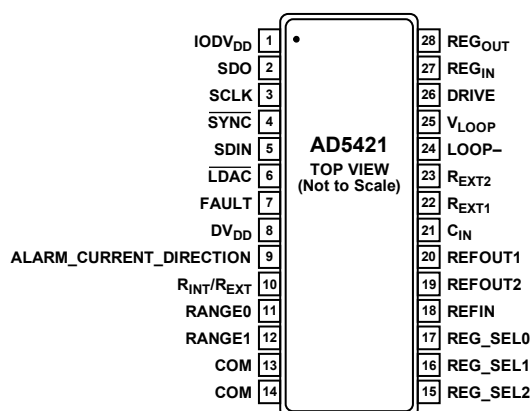
Package Type	θ _{JA}	θ _{JC}	Unit
28-Lead TSSOP_EP (RE-28-2)	32	9	°C/W

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
1. THE EXPOSED PADDLE SHOULD BE CONNECTED TO THE SAME POTENTIAL AS THE COM PIN AND TO A COPPER PLANE FOR OPTIMUM THERMAL PERFORMANCE.

09128-004

図 4. ピン配置

表 8. ピン機能の説明

ピン番号	記号	説明
1	IODV _{DD}	デジタル・インターフェース電源ピン。デジタル・スレッシュホールドは、このピンに入力される電圧を基準とします。1.71 V ~ 5.5 V の電圧範囲をこのピンに接続することができます。
2	SDO	シリアル・データ出力。入力シフトレジスタからデータを出力するときに使います。データは SCLK の立上がりエッジで出力され、SCLK の立下がりエッジで有効。
3	SCLK	シリアル・クロック入力。データは、SCLK の立下がりエッジで入力シフトレジスタに入力されます。この入力は最大 30 MHz のクロック速度で動作します。
4	$\overline{\text{SYNC}}$	フレーム同期入力、アクティブ・ロー。これは、シリアル・インターフェースのフレーム同期信号です。 $\overline{\text{SYNC}}$ がロー・レベルのとき、データは SCLK の立下がりエッジで転送されます。データは SYNC の立上がりエッジで入力シフトレジスタにラッチされます。
5	SDIN	シリアル・データ入力。データは、SCLK の立下がりエッジで有効である必要があります。
6	$\overline{\text{LDAC}}$	ロード DAC 入力、アクティブ・ロー。このピンは DAC レジスタの更新に使われ、その結果出力電流も変化します。 $\overline{\text{LDAC}}$ をロー・レベルに固定すると、DAC レジスタが SYNC の立上がりエッジで更新されます。書き込みサイクルで $\overline{\text{LDAC}}$ をハイ・レベルにすると、入力レジスタが更新されますが、出力の更新は $\overline{\text{LDAC}}$ の立下がりエッジまで待たされます。 $\overline{\text{LDAC}}$ ピンは解放のままにしないでください。
7	FAULT	故障アラーム出力ピン、アクティブ・ハイ。故障が検出されると、このピンがハイ・レベルにアサートされます。検出可能な故障は、SPI インターフェース制御の喪失、通信エラー (PEC)、ループ電流範囲外、ループ電圧不足、温度上昇です。詳細については、故障アラームのセクションを参照してください。
8	DV _{DD}	3.3 V デジタル電源出力。このピンは、100 nF と 1 μ F のコンデンサで COM ヘドカップリングする必要があります。
9	ALARM_CURRENT_DIRECTION	アラーム電流方向選択。このピンを使って、アラーム電流をアップスケール (22.8 mA/24 mA) またはダウンスケール (3.2 mA) のいずれにするかを選択します。このピンを DV _{DD} に接続するとアップスケール・アラーム電流 (22.8 mA/24 mA) が選択され、このピンを COM に接続するとダウンスケール・アラーム電流 (3.2 mA) が選択されます。詳細については、パワーオン時のデフォルトのセクションを参照してください。
10	R _{INT} /R _{EXT}	電流設定抵抗選択。このピンを DV _{DD} に接続すると内蔵電流設定抵抗が選択されます。このピンを COM に接続すると外付け電流設定抵抗が選択されます。外付け抵抗は R _{EXT1} ピンと R _{EXT2} ピンの間に接続することができます。
11, 12	RANGE0、RANGE1	デジタル入力ピン。これら 2 本のピンでループ電流範囲を選択します (ループ電流範囲の選択のセクション参照)。
13, 14	COM	AD5421 のグラウンド基準ピン。
15, 16, 17	REG_SEL2、REG_SEL1、REG_SEL0	これら 3 本のピンで、レギュレータ出力 (REG _{OUT}) 電圧を選択します (電圧レギュレータのセクション参照)。
18	REFIN	リファレンス電圧入力。規定性能に対して V _{REFIN} = 2.5 V。
19	REFOUT2	内蔵リファレンス電圧出力 (1.22 V)。このピンと COM の間に 100 nF のコンデンサを接続することが推奨されます。
20	REFOUT1	内蔵リファレンス電圧出力 (2.5 V)。このピンと COM の間に 100 nF のコンデンサを接続することが推奨されます。

ピン番号	記号	説明
21	C _{IN}	外付けコンデンサ接続とHART FSK 入力。外付けコンデンサを C _{IN} と COM の間に接続すると、出力スルーレート制御機能が実現されます (ループ電流スルーレート制御のセクション参照)。また、HART FSK シグナリングもコンデンサを介してこのピンに入力することができます (HART 通信のセクション参照)。
22、23 24	R _{EXT1} 、R _{EXT2} LOOP-	外付け電流設定抵抗接続。高精度 24 k Ω 抵抗をこれらのピンの間に接続して性能を向上させることができます。ループ電流リターン・ピン。
25	V _{LOOP}	電圧入力ピン。電圧入力範囲は 0 V~2.5 V。このピンに入力される電圧が 8 ビットにデジタル化されて、故障レジスタに格納されます。このピンを使って汎用電圧のモニタリングが可能ですが、ループ電源電圧のモニタリングが目的です。ループ電圧を 20:1 抵抗分圧器を介してこのピンに接続すると、AD5421 はループ電圧をモニタ/帰還することができます。また、ループ電圧が最小動作値に近づくとき AD5421 はアラームを発生します (ループ電圧故障のセクション参照)。
26	DRIVE	外付けデプレッション・モード MOSFET のゲート接続。詳細については、ループ電源への接続のセクションを参照してください。
27	REG _{IN}	電圧レギュレータ入力。ループ電圧をこのピンに直接接続することができます。あるいは、内部消費電力を削減するため、外部パス・トランジスタをこのピンに接続してループ電圧を切り離すことができます。詳細については、ループ電源への接続のセクションを参照してください。REG _{IN} ピンを 100 nF コンデンサで LOOP- ピンへデカップリングすることが推奨されます。あるいは、外付けパス・トランジスタを使用する場合、この外部パス・トランジスタのドレインを 100 nF コンデンサで LOOP- ピンへデカップリングすることが推奨されます。このデカップリングにより、電流ループのノイズ性能が向上します。
28	REG _{OUT}	電圧レギュレータ出力。REG_SEL0 ピン、REG_SEL1 ピン、REG_SEL2 ピンを使って設定可能な値は 1.8 V~12 V です (電圧レギュレータのセクション参照)。
EPAD	エクスポーズド・パッド	最適熱性能のために、このエクスポーズド・パッドを COM ピンと同電位に接続し、さらに銅プレーンへ接続する必要があります。

代表的な性能特性

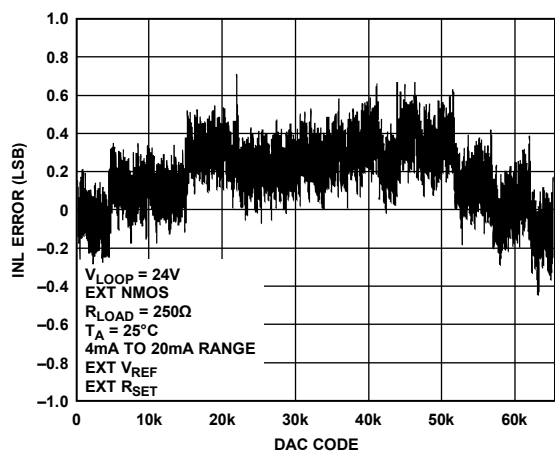


図 5.コード対積分非直線性誤差

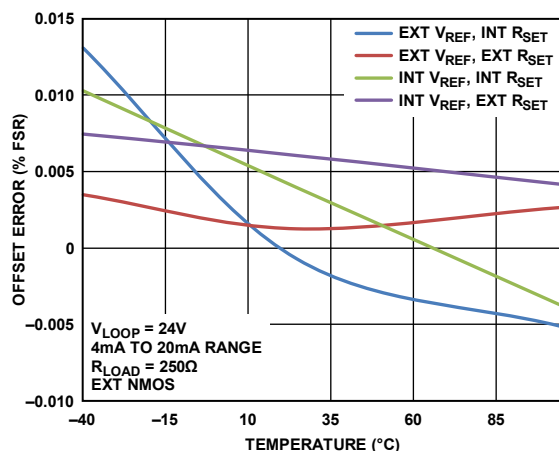


図 8.オフセット誤差の温度特性

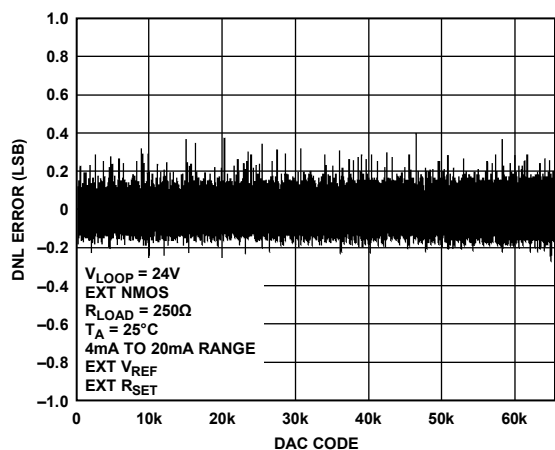


図 6.コード対微分非直線性誤差

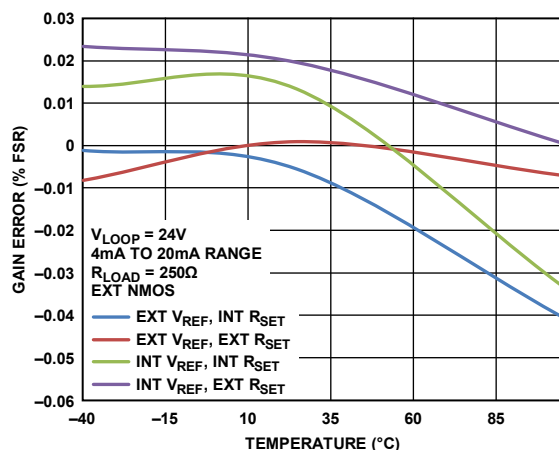


図 9.ゲイン誤差の温度特性

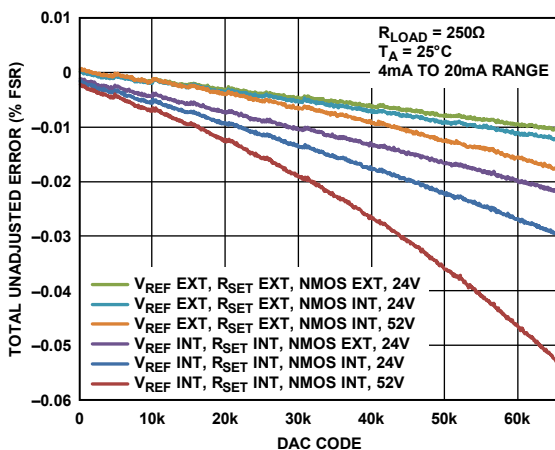


図 7.コード対総合未調整誤差

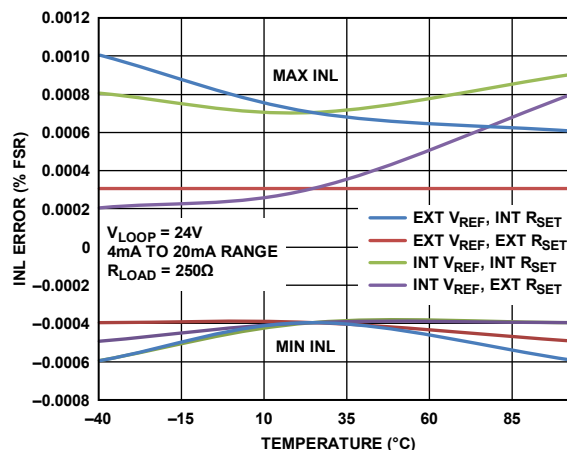


図 10.積分非直線性誤差の温度特性

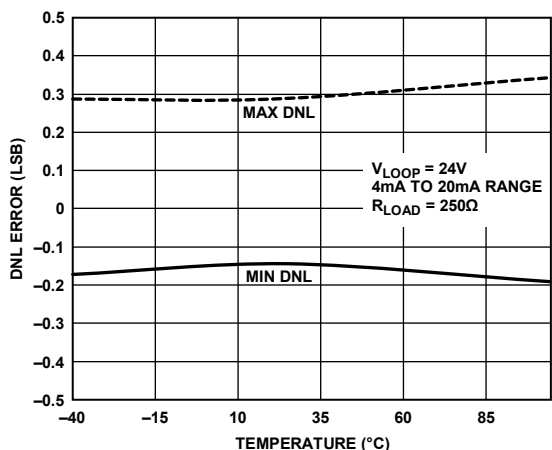


図 11.微分非直線性誤差の温度特性

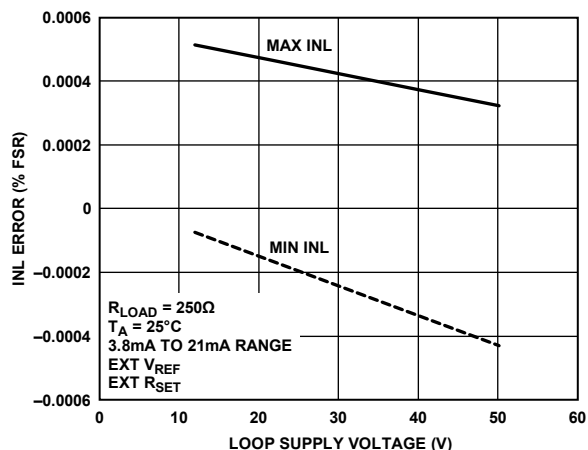


図 14.ループ電源電圧対積分非直線性誤差

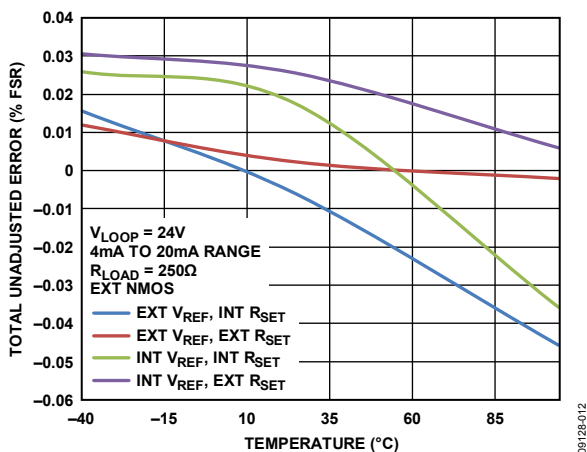


図 12.総合未調整誤差の温度特性

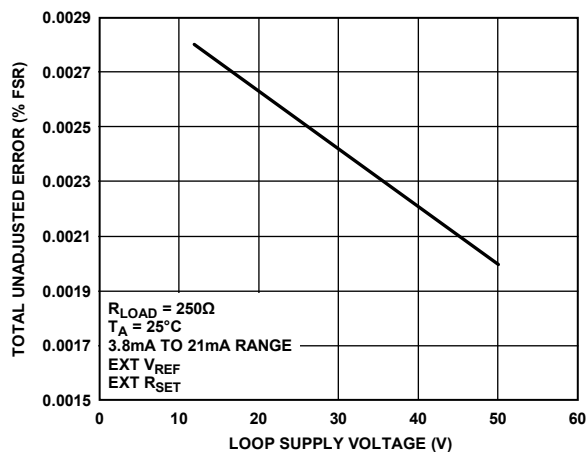


図 15.ループ電源電圧対総合未調整誤差

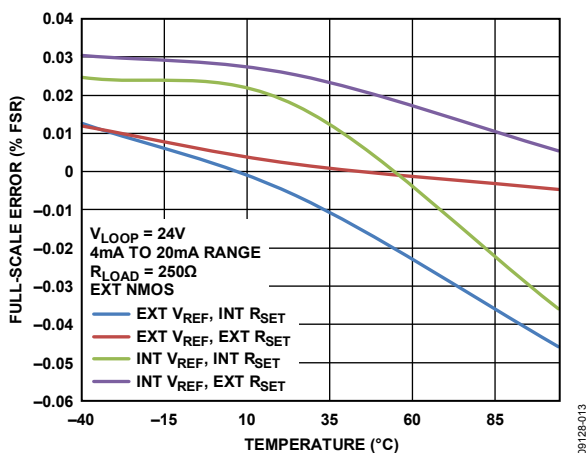


図 13.フルスケール誤差の温度特性

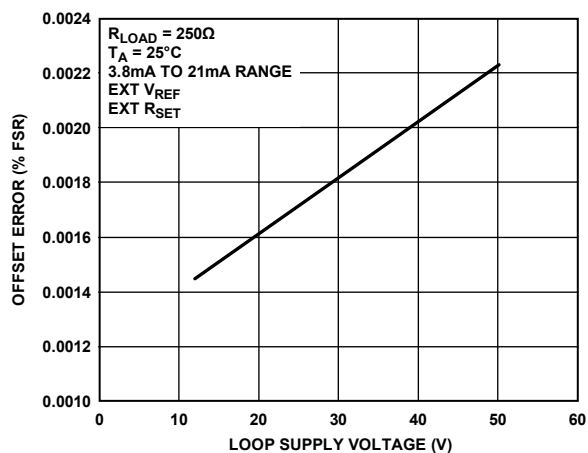


図 16.ループ電源電圧対オフセット誤差

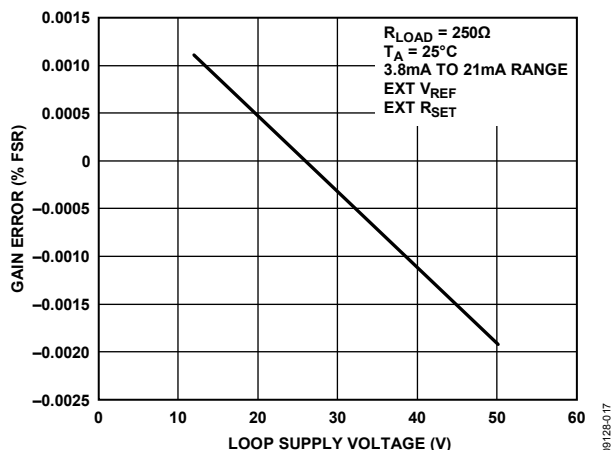


図 17. ループ電源電圧対ゲイン誤差

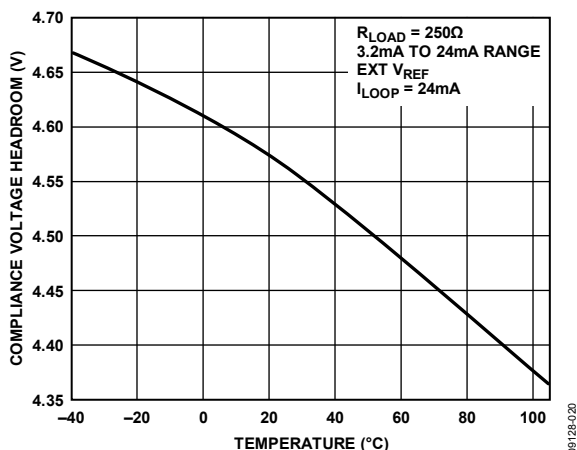


図 20. コンプライアンス電圧ヘッドルームの温度特性

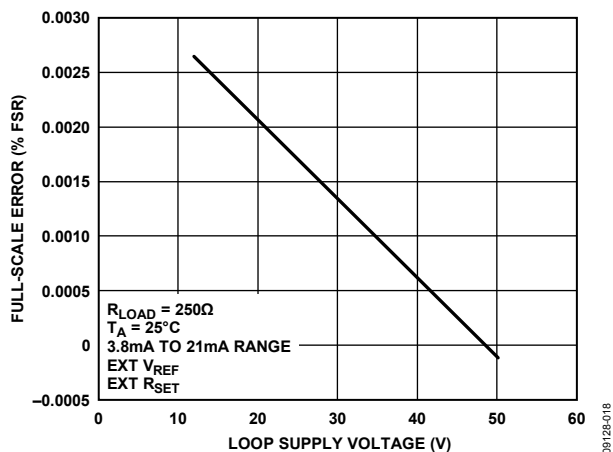


図 18. ループ電源電圧対フルスケール誤差

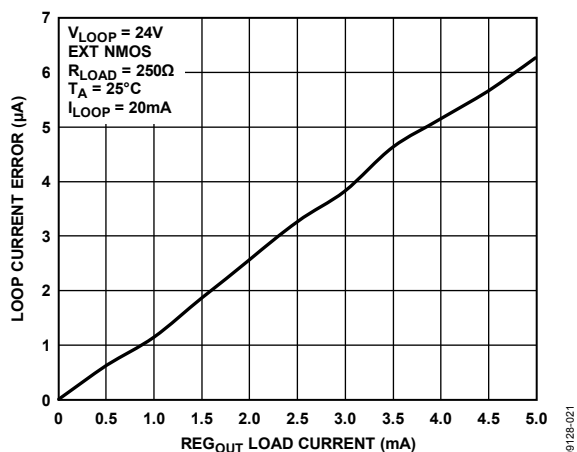


図 21. REG_{OUT} 負荷電流対ループ電流誤差

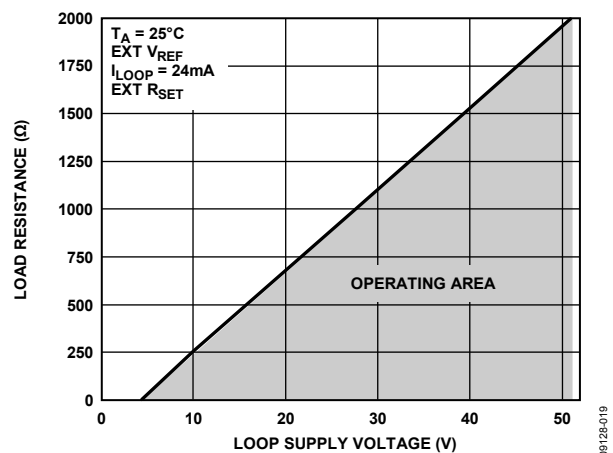


図 19. ループ電源電圧対負荷抵抗負荷直線 (LOOP-と REG_{IN} の間の電圧)

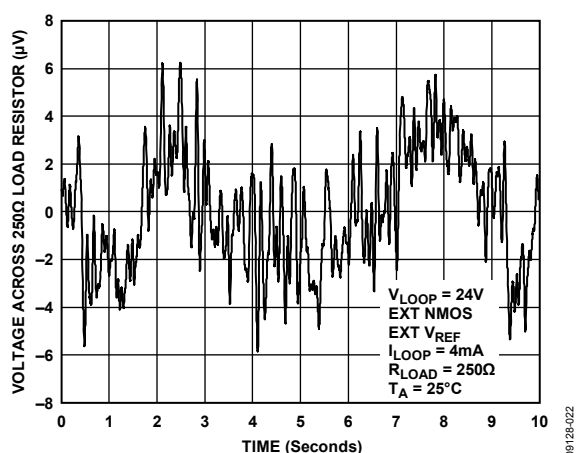


図 22. ループ電流ノイズ 0.1 Hz~10 Hz 帯域幅

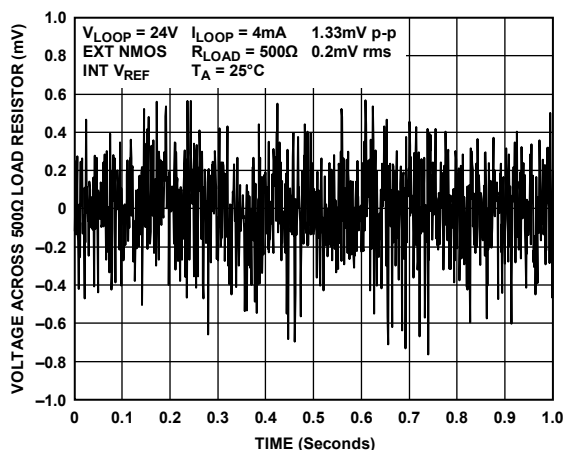


図 23. ループ電流ノイズ
500 Hz~10 kHz 帯域幅 (HART 帯域幅)

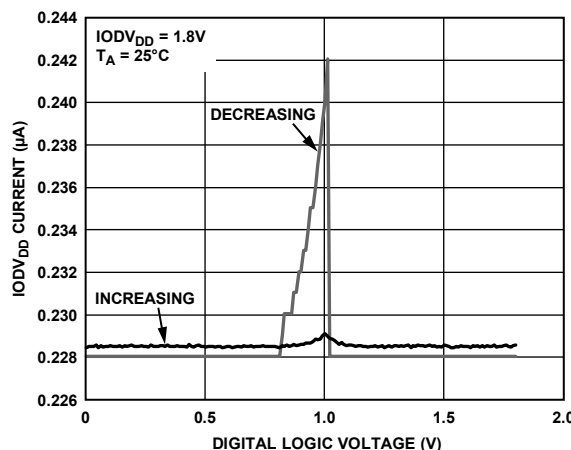


図 26. デジタル・ロジック電圧対 IODV_{DD} 電流
増加と減少、IODV_{DD} = 1.8 V

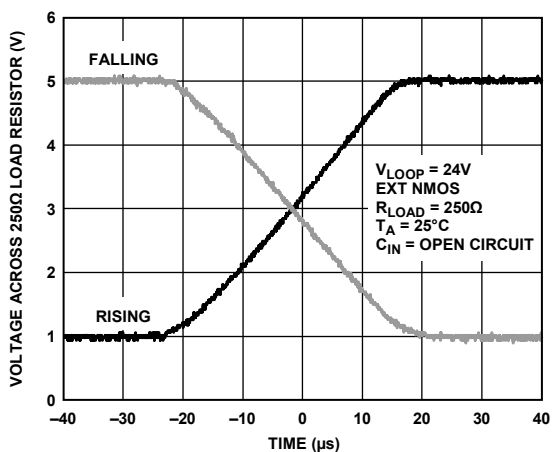


図 24. フルスケール・ループ電流ステップ

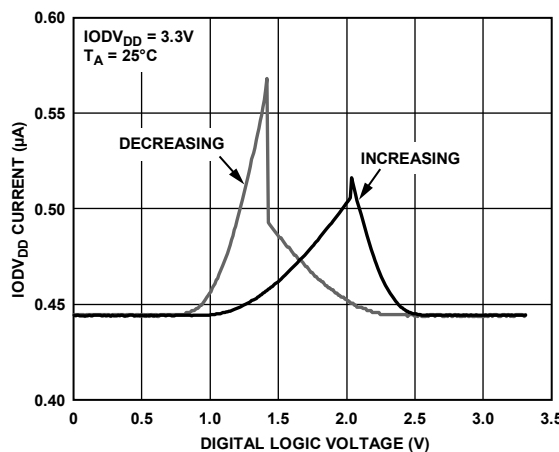


図 27. デジタル・ロジック電圧対 IODV_{DD} 電流
増加と減少、IODV_{DD} = 3.3 V

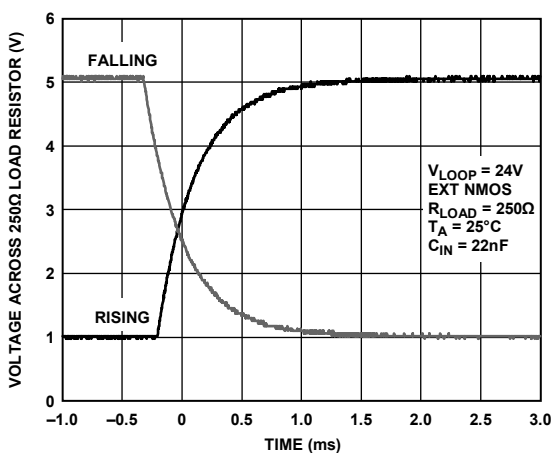


図 25. フルスケール・ループ電流ステップ
C_{IN} = 22 nF

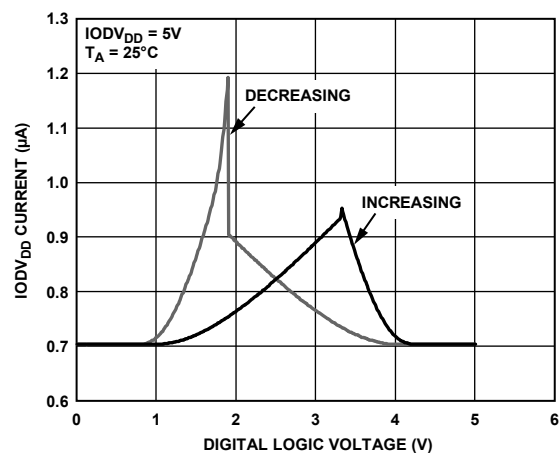


図 28. デジタル・ロジック電圧対 IODV_{DD} 電流
増加と減少、IODV_{DD} = 5 V

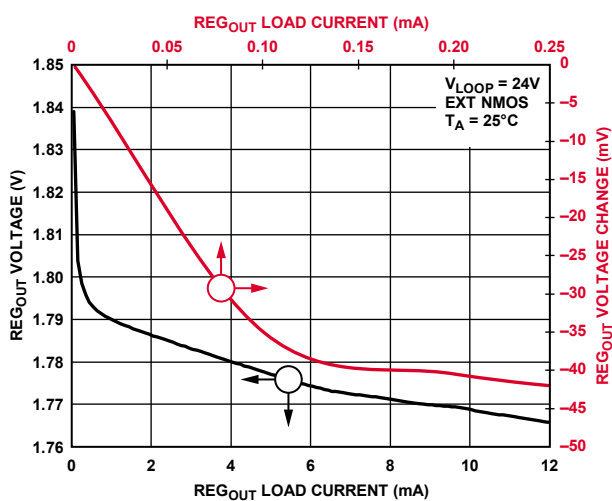


図 29. REG_OUT 負荷電流対 REG_OUT 電圧

09128-030

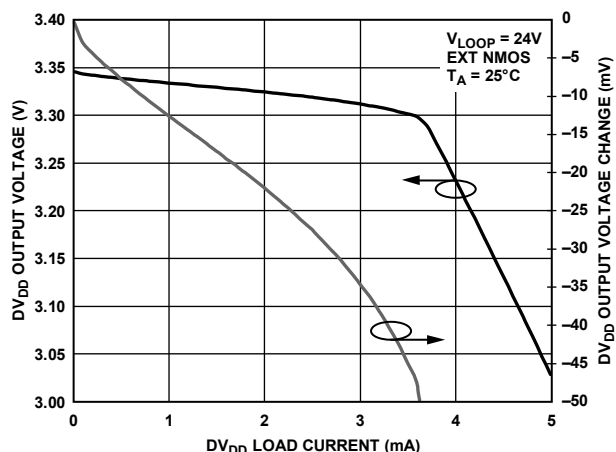


図 32. DV_DD 負荷電流対 DV_DD 出力電圧

09128-033

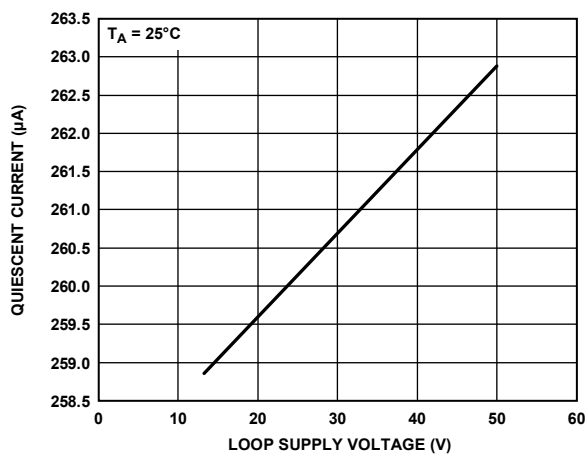


図 30. ループ電源電圧対静止電流

09128-031

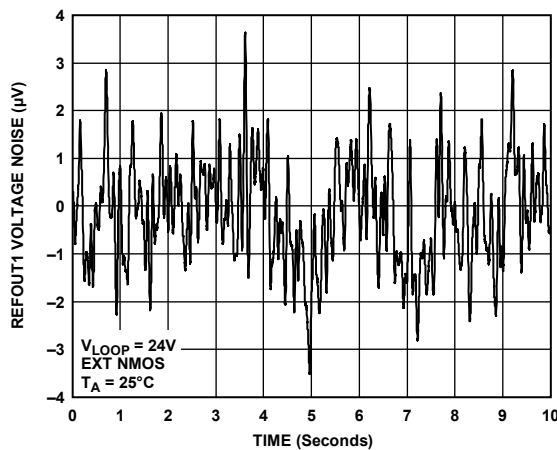


図 33. REFOUT1 電圧ノイズ
0.1 Hz ~ 10 Hz 帯域幅

09128-034

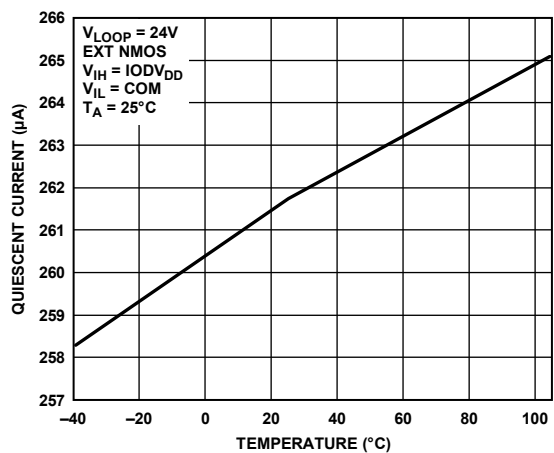


図 31. 静止電流の温度特性

09128-032

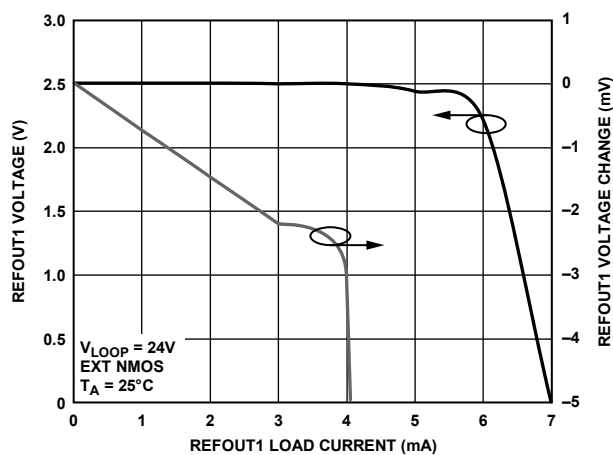


図 34. REFOUT1 負荷電流対 REFOUT1 電圧

09128-035

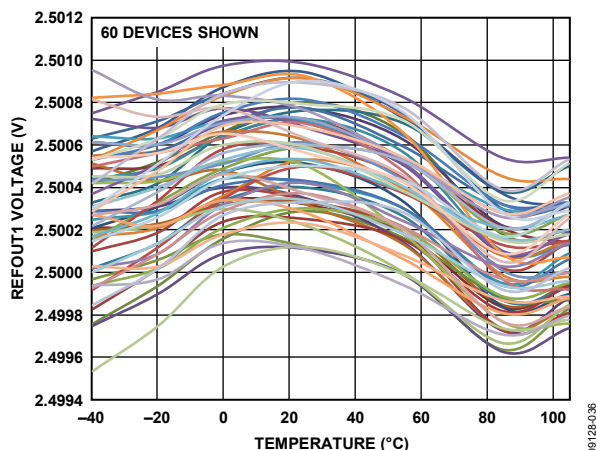


図 35.REFOUT1 電圧の温度特性
60 個のデバイスについて表示 (C グレード・デバイス)

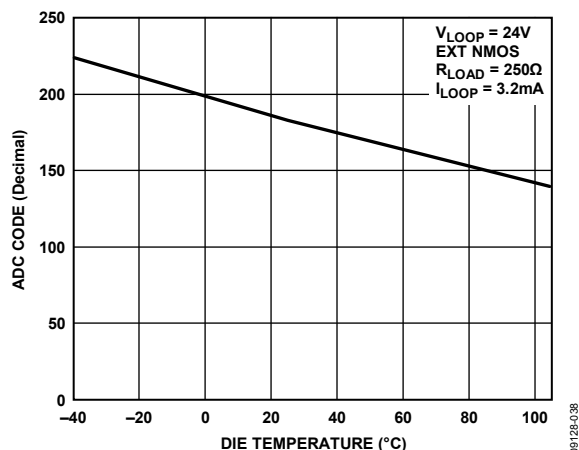


図 37.チップ温度対内蔵 ADC コード

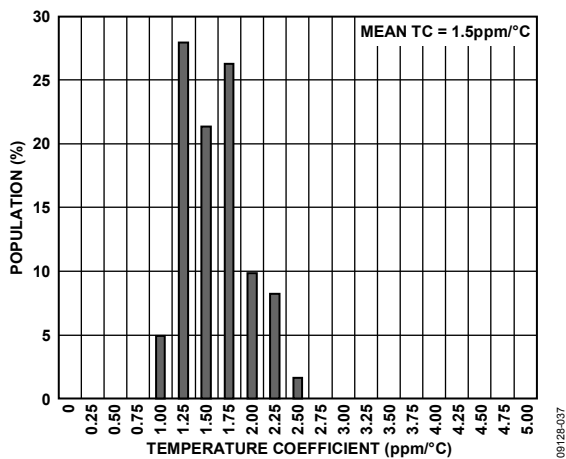


図 36.REFOUT1 温度係数ヒストグラム
(C グレード・デバイス)

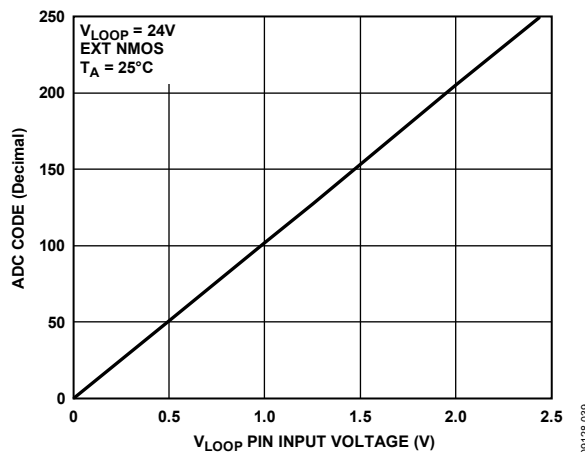


図 38. V_{LOOP} ピン入力電圧対内蔵 ADC コード

用語

総合未調整誤差

総合未調整誤差(TUE)は、総合出力誤差を表します。最大 TUE の場合、TUE は INL 誤差、オフセット誤差、ゲイン誤差、出力温度ドリフトから構成されます。%FSR で表されます。

相対精度すなわち積分非直線性(INL)誤差

相対精度すなわち積分非直線性(INL)誤差は、DAC 伝達関数の上下両端を結ぶ直線からの出力電流の最大乖離を表します。INL 誤差は%FSR で表されます。

微分非直線性誤差(DNL)誤差

微分非直線性(DNL)誤差は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差を表します。最大±1 LSB の微分非直線性の仕様は、単調性を保証するものです。

オフセット誤差

ゼロ・コード誤差は、ゼロ・コードを DAC レジスタにロードしたときの出力誤差として測定され、%FSR で表されます。

オフセット誤差温度係数 (TC)

オフセット誤差 TC は、温度変化に対するオフセット誤差の変化を意味し、ppm FSR/°C で表されます。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。理論 DAC 伝達関数傾斜からの変位を表し、DAC 出力の%FSR で表示されます。

ゲイン誤差温度係数 (TC)

ゲイン誤差 TC は、温度変化に対するゲイン誤差の変化を意味し、ppm FSR/°C で表されます。

フルスケール誤差

フルスケール誤差は、フルスケール・コードを DAC レジスタにロードしたときの出力誤差として測定され、%FSR で表されま

フルスケール誤差温度係数 (TC)

フルスケール誤差 TC は、温度変化に対するフルスケール誤差の変化を意味し、ppm FSR/°C で表されます。

ループ・コンプライアンス電圧ヘッドルーム

ループ・コンプライアンス電圧ヘッドルームは、出力電流が設定した値と一致するときの LOOP- ピンと REG_{IN} ピンの間の最小電圧です。

出力温度係数 (TC)

出力 TC は、温度変化に対する 12 mA での出力電流変化を意味し、ppm FSR/°C で表されます。

リファレンス電圧の熱ヒステリシス

+25°C で測定した出力電圧と、+25°C→-40°C→+105°C→+25°C の温度サイクルを加えた後に+25°C で測定した出力電圧との差で表します。このヒステリシスは最初と 2 回目の温度サイクルに対して規定され、mV で表されます。

リファレンス電圧温度係数 (TC)

温度変化に対するリファレンス出力電圧の変化を意味し、リファレンス電圧 TC はボックス法を使って計算されます。この方法では、与えられた温度範囲でのリファレンス出力電圧の最大変化として TC を定義し、次式のように ppm/°C で表わします。

$$TC = \left(\frac{V_{REF_MAX} - V_{REF_MIN}}{V_{REF_NOM} \times Temp_Range} \right) \times 10^6$$

ここで、

V_{REF_MAX} は全温度範囲で測定した最大リファレンス出力電圧。

V_{REF_MIN} は全温度範囲で測定した最小リファレンス出力。

V_{REF_NOM} は公称リファレンス出力電圧 2.5 V。

$Temp_Range$ は規定の温度範囲(-40°C~+105°C)。

動作原理

AD5421 は、ループ給電による 4 mA~20 mA スマート・トランスミッタ・アプリケーション向けにデザインされた統合デバイスです。AD5421 は、ループ電流のデジタル制御用 16 ビット DAC と電流アンプ、トランスミッタ全体に電源を供給する電圧レギュレータ、リファレンス電圧、故障アラーム機能、柔軟な SPI 互換シリアル・インターフェース、ゲイン調整レジスタ、オフセット調整レジスタ、その他の機能をシングル・チップで提供します。AD5421 の機能は次のセクションで説明します。

故障アラーム

AD5421 は多くの故障アラーム機能を提供します。すべての故障は、故障ピンと故障レジスタを介してコントローラへ通知されます。AD5421 とマイクロコントローラとの間の通信喪失の場合 (SPI 故障)、AD5421 はループ電流をアラーム値に設定します。コントローラが故障ピンのハイ・レベルを検出すると、故障レジスタを読み出して、故障原因を調べます。

SPI 故障

ユーザが定義した時間を超えて AD5421 レジスタに対する有効な通信がない場合、SPI 故障がアサートされます。この時間は、コントロール・レジスタの SPI ウォッチドッグ・タイムアウト・ビットを使って設定することができます。故障レジスタの SPI 故障ビットは、SPI バスの故障を表示します。この故障はコントローラと AD5421 との間の通信が途絶えることにより発生するため、ループ電流も強制的にアラーム値に設定されます。

アラーム電流方向 (ダウンスケールまたはアップスケール) は、ALARM_CURRENT_DIRECTION ピンを使って選択します。このピンを DV_{DD} に接続するとアップスケール・アラーム電流 (22.8 mA/24 mA) が選択され、このピンを COM に接続するとダウンスケール・アラーム電流 (3.2 mA) が選択されます。

パケット・エラーのチェック

ノイズの多い環境でデータが正しく受信されたことを確認するため、AD5421 は 8 ビット (CRC) サイクリック冗長性チェックを採用したエラー・チェック機能のオプションを提供します。パケット・エラー・チェック (PEC) は、下位 8 ビットがフレーム・チェック・シーケンス (FCS) になっている 32 ビット・シリアル・フレームで AD5421 へ書込みすることによりイネーブルされます。AD5421 を制御するデバイスは、次の多項式を使って 8 ビット FCS を発生する必要があります。

$$C(x) = x^8 + x^2 + x + 1$$

この 8 ビット FCS がデータ・ワードの終わりに追加されて 32 ビットが、AD5421 へ送信され、その後に SYNC がハイ・レベルにされます。チェックに合格すると、データが受理されます。チェックに失敗すると、故障ピンがアサートされて、故障レジスタの PEC ビットがセットされます。故障レジスタを読み出した後、PEC ビットがロー・レベルにリセットされ、故障ピンがロー・レベルに戻ります。

データ・リードバックの場合、AD5421 は 32 ビット・フレームでアドレス指定されると、8 ビット・フレーム・チェック・シーケンスを発生し、これを 24 ビット・データ・ストリームの終わりに追加して、32 ビット・データ・ストリームを生成します。

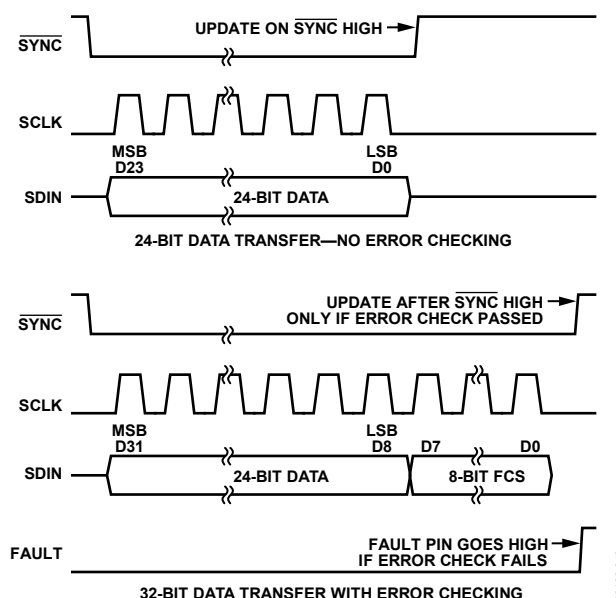


図 39. PEC のタイミング

電流ループ故障

実際のループ電流が、設定されたループ電流の $\pm 0.01\%$ FSR を超えると電流ループ (I_{LOOP}) 故障がアサートされます。ループ電流測定値が、設定されたループ電流より小さい場合、故障レジスタの $I_{\text{LOOP Under}}$ ビットがセットされます。ループ電流測定値が、設定されたループ電流より大きい場合、故障レジスタの $I_{\text{LOOP Over}}$ ビットがセットされます。故障ピンはいずれの場合にも、ハイ・レベルに設定されます。

$I_{\text{LOOP Over}}$ 条件は、AD5421 から供給される負荷電流値 (REG_{OUT}、REFOUT1、REFOUT2、または DV_{DD} を経由) が、ループに流入するように設定されたループ電流より大きい場合に発生します。 $I_{\text{LOOP Under}}$ 条件は、負荷抵抗が大きいか、またはループ電源電圧が低いために、設定されたループ電流をサポートするためのコンプライアンス電圧が不足する場合に発生します。

温度上昇故障

故障レジスタには、Temp 100°C ビットと Temp 140°C ビットの 2 つの温度上昇アラーム・ビットがあります。AD5421 のチップ温度が 100°C または 140°C を超えると、該当するビットがセットされます。故障レジスタで Temp 140°C ビットがセットされると、故障ピンはハイ・レベルになります。

ループ電圧故障

故障レジスタには V_{LOOP} 12V ビットと V_{LOOP} 6V ビットの 2 つのループ電圧アラーム・ビットがあります。 V_{LOOP} ピンと COM ピンの間の電圧が 0.6 V (12 V ループ電源値に対応) を下回ると、 V_{LOOP} 12V ビットがセットされます。この電圧が 0.7 V を超えるとこのビットはクリアされます。同様に、 V_{LOOP} ピンと COM ピンの電圧が 0.3 V (6 V ループ電源値に対応) を下回ると、 V_{LOOP} 6V ビットがセットされます。この電圧が 0.4 V を超えると、このビットはクリアされます。故障レジスタの V_{LOOP} 6V ビットがセットされると、故障ピンがハイ・レベルになります。

図 40 に、抵抗分圧器により、 V_{LOOP} 入力を使ってループ電源のモニタリングをする方法を示します。推奨抵抗分圧器は 1 M Ω と 19 M Ω の抵抗で構成され(分圧比 20:1)、 V_{LOOP} ピンの 2.5 V 入力範囲により最大 50 V のループ電源をモニタすることができます。20:1 の分圧比で、故障レジスタでセットされている V_{LOOP} 6V アラーム・ビットと V_{LOOP} 12V アラーム・ビットが、その状態値に従ってループ電源故障を発生させます。別の分圧比を使う場合、故障ビットは 6 V および 12 V とは異なる値で故障が発生します。

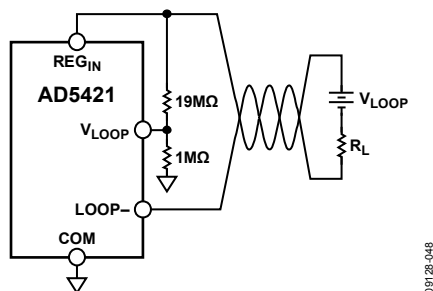


図 40. V_{LOOP} ピンでの抵抗分圧器接続

電流設定外付け抵抗

図 1 に示す 24 k Ω の抵抗 R_{SET} を使って DAC 出力電圧を電流へ変換し、ゲイン = 221 で LOOP- ピンへ出力されます。温度に対するループ電流の安定性は、 R_{SET} の温度係数に依存します。

表 1 と表 2 に、内蔵 R_{SET} 抵抗と外付け 24 k Ω R_{SET} 抵抗を使用した場合の AD5421 の性能仕様を示します。内部 R_{SET} 抵抗を使用すると、総合未調整誤差が 0.126% FSR より良くなるのが期待できます。外付け抵抗を使用すると、0.048% FSR の性能改善が得られます。この仕様では外付け R_{SET} 抵抗に理想抵抗を仮定しています。実際の性能は使用する抵抗の絶対値と温度係数に依存します。詳細については、総合誤差の予測のセクションを参照してください。

ループ電流範囲の選択

ループ電流範囲を選択するときは、RANGE0 ピンと RANGE1 ピンを表 9 に示すように COM ピンと DV_{DD} ピンに接続します。

表 9. ループ電流範囲の選択

RANGE1 Pin	RANGE0 Pin	Loop Current Range
COM	COM	4 mA to 20 mA
COM	DV_{DD}	3.8 mA to 21 mA
DV_{DD}	COM	3.2 mA to 24 mA
DV_{DD}	DV_{DD}	3.8 mA to 21 mA

ループ電源への接続

AD5421 の電源は、4 mA ~ 20 mA の電流ループから供給されます。一般に、電源はトランスミッタ・デバイスから離れて存在し、24 V です。AD5421 はループ電源へ直接接続でき、最大 52 V の電圧に耐えることができます(図 41 参照)。

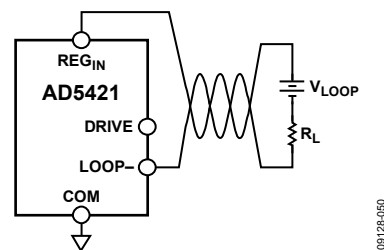


図 41. AD5421 とループ電源の直接接続

図 41 に、AD5421 をループ電源へ直接接続する方法を示します。別の電源接続を図 42 に示します。ここでは、デプレッション・モード N チャンネル MOSFET が AD5421 とループ電源の間に接続されています。このデバイスを使用すると、AD5421 での電圧降下が約 12 V に制限されるので、最悪時のチップ消費電力が 288 mW (12 V \times 24 mA = 288 mW) に制限されます。図 41 に示すように AD5421 をループ電源へ直接接続した場合、24 V ループ電源での最悪時のチップ消費電力は 576 mW (24 V \times 24 mA = 576 mW) になります。消費電力変化はループ電源電圧に比例します。

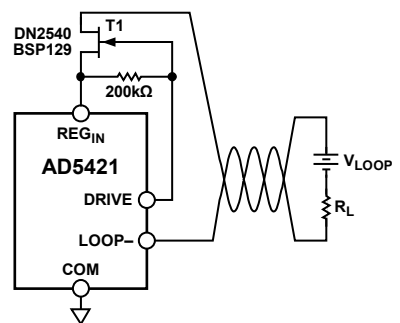


図 42. AD5421 への MOSFET を使用したループ電源供給

内蔵 ADC

AD5421 は、チップ温度または V_{LOOP} ピンと COM ピンの間の電圧を測定し故障レジスタへ帰還させるために使う ADC を内蔵しています。コントロール・レジスタの ADC 入力選択ビット (ビット D8) により、変換対象パラメータを選択します。変換はコマンド・バイト 00001000 により開始されます (自動故障リードバックをディセーブルしている場合に必要)。このコマンド・バイトにより ADC がパワーオンされ、変換が実行されます。故障レジスタを読み出すと、変換結果が返されます。故障レジスタの自動リードバックが必要な場合、コントロール・レジスタの内蔵 ADC ビット (ビット D7) をセットして、先に ADC をパワーアップさせておく必要があります。

電圧レギュレータ

内蔵電圧レギュレータは、安定化した電圧出力を AD5421 と残りのトランスミッタ回路に供給します。出力電圧範囲は 1.8 V ~ 12 V で、3 本のデジタル入力ピンの状態で選択されます (表 10 参照)。レギュレータ出力は REG_{OUT} ピンに出力されます。

表 10. 電圧レギュレータ出力の設定

REG_SEL2	REG_SEL1	REG_SEL0	Regulated Output Voltage (V)
COM	COM	COM	1.8
COM	COM	DV _{DD}	2.5
COM	DV _{DD}	COM	3.0
COM	DV _{DD}	DV _{DD}	3.3
DV _{DD}	COM	COM	5.0
DV _{DD}	COM	DV _{DD}	9.0
DV _{DD}	DV _{DD}	COM	12.0

ループ電流スルーレート制御

C_{IN} ピンと COM の間に外付けコンデンサを接続して、ループ電流の変化レートを制御することができます。この機能により、ループ電流の変化レートを小さくします。DAC (R_{DAC}) の出力抵抗と C_{SLEW} コンデンサの組み合わせにより、時定数が形成されます。この時定数により、ループ電流の応答が決定されます (図 43 参照)。

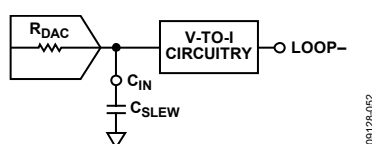


図 43. スルーレート・コンデンサ回路

DAC の抵抗 (typ) は、4 mA ~ 20 mA と 3.8 mA ~ 21 mA のループ電流範囲に対して 15.22 k Ω です。DAC 抵抗は、3.2 mA ~ 24 mA のループ電流範囲が選択されると、16.11 k Ω へ変化します。

回路の時定数は次式で表されます。

$$\tau = R_{DAC} \times C_{SLEW}$$

最終値に到達するために要する時間を時定数 $\times 5$ とすると、所望の応答時間 t に対する C_{SLEW} は次のように求めることができます。

$$C_{SLEW} = \frac{t}{5 \times R_{DAC}}$$

ここで、
 t は出力電流が最終値に到達するために要する所望の時間。
 R_{DAC} は DAC コアの抵抗で、選択したループ電流範囲に応じて 15.22 k Ω または 16.11 k Ω 。

応答時間 = 5 ms の場合、

$$C_{SLEW} = \frac{5 \text{ ms}}{5 \times 15,220} \approx 68 \text{ nF}$$

応答時間 = 10 ms の場合、

$$C_{SLEW} = \frac{10 \text{ ms}}{5 \times 15,220} \approx 133 \text{ nF}$$

これらの両設定に対する応答を図 44 に示します。

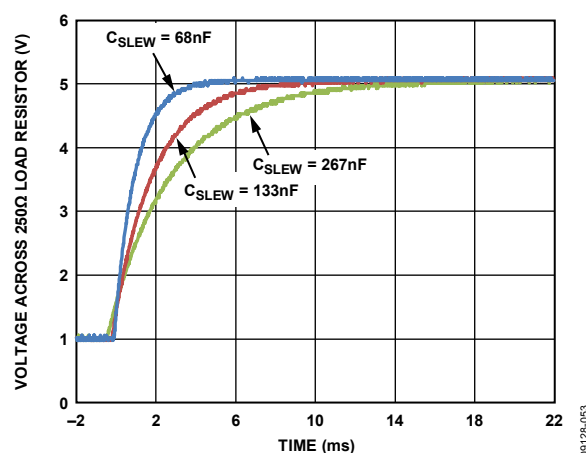


図 44. スルーレート制御された 4 mA → 0 mA ステップ

また、 C_{IN} ピンは HART FSK シグナリングの入力としても使用することができます。HART 信号は、 C_{IN} 入力へ AC 結合する必要があります。前述の計算では、HART 信号が入力されるコンデンサを考慮する必要があります。合計容量は $C_{SLEW} + C_{HART}$ になります。詳細については、HART 通信のセクションを参照してください。

パワーオン時のデフォルト

AD5421 は、すべてのレジスタにデフォルト値をロードし、ループ電流を 3.2 mA または 22.8 mA/24 mA のアラーム状態に設定して (ALARM_CURRENT_DIRECTION ピンの状態と選択した範囲に応じて決まります)、パワーオンします。AD5421 は、新しい値が設定されるまでこの状態を維持します。SPI ウォッチドッグ・タイマはデフォルトで、タイムアウト周期 = 1 sec に設定されてイネーブルされます。パワーオン後 1 sec 以内に AD5421 との通信がない場合は、故障ピンがセットされます。

HART 通信

AD5421 は HART (Highway Addressable Remote Transducer) モデムにインターフェースして、2 線式ループ接続を介して HART デジタル通信を行うことができます。図 45 に、モデムの周波数シフト・キーイング (FSK) 出力を AD5421 に接続する方法を示します。

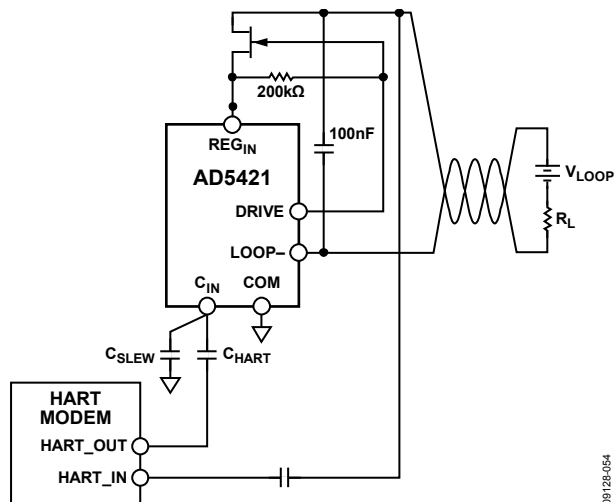


図 45. HART モデムと AD5421 との接続

ループ上で 1 mA p-p の FSK 電流信号を実現するためには、 C_{IN} ピンの電圧は 111 mV p-p である必要があります。HART モデム出力を 500 mV p-p とすると、信号を 1/4.5 に減衰させる必要があります。 C_{HART} と C_{SLEW} のコンデンサ値は次式を使って計算することができます。

$$4.5 = \frac{C_{HART} + C_{SLEW}}{C_{HART}}$$

この式から、 C_{HART} 対 C_{SLEW} の比は 1~3.5 になります。コンデンサ値のこの比により、ループ上の HART FSK 信号の振幅が設定されます。これらのコンデンサの絶対値によりループ電流の応答時間と、 C_{IN} ピンに接続された HART 信号の帯域幅が設定されます。帯域幅は、500 Hz~10 kHz の周波数を通過させる必要があります。2 個のコンデンサと内部インピーダンス R_{DAC} によりハイパス・フィルタが形成されます。このハイパス・フィルタの 3 dB 周波数は 500 Hz より小さい必要があり、次式で計算することができます。

$$f_{3dB} = \frac{1}{2 \times \pi \times R_{DAC} \times (C_{HART} + C_{SLEW})}$$

500 Hz のハイパス 3 dB 周波数カットオフを実現するためには、 C_{HART} と C_{SLEW} の合計値が 21 nF である必要があります。電流ループの HART 信号振幅を保証するためには、コンデンサの最終値は、 $C_{HART} = 4.7$ nF かつ $C_{SLEW} = 16.3$ nF となります。

サイレンス時の出力ノイズとアナログ変化レート

AD5421 は、HART 通信プロトコルに関する 2 つの重要な仕様であるサイレンス時の出力ノイズとアナログ変化レートに直接影響を与えます。図 23 に、HART 帯域幅内の AD5421 出力ノイズの測定値を示します。ノイズ測定値は 0.2 mV rms で、要求値 2.2 mV rms 以下を満たしています。

アナログ変化レート仕様を満たすため、4 mA から 20 mA への電流変化レートが HART デジタル・シグナリングと干渉しないように、十分低速である必要があります。この速度は、フルスケール・ループ電流を 500 Ω 負荷抵抗により強制的に変化させ、得られた電圧信号を HART デジタル・フィルタ (HCF_TOOL-31) に入力することにより決定されます。フィルタ出力での信号ピーク振幅は 150 mV より小さい必要があります。これを実現するため、ループ電流変化レートは、約 1.3 mA/ms より小さく制限する必要があります。

AD5421 出力のスルーレートは元々約 880 mA/ms であるため、HART 仕様を満たすためには大き過ぎます。このスルーレートを小さくするため、 C_{IN} ピンと COM の間にコンデンサを接続することができます (ループ電流スルーレート制御のセクション参照)。HART 仕様を満たすようにスルーレートを十分小さくするためには、4.7 μF 領域のコンデンサ値が必要で、これにより 500 ms のフルスケール変化時間が得られます。多くのアプリケーションではこの時間は低速過ぎると見なされます。この場合、出力応答が所望のカーブに従うように DAC レジスタにコードのシーケンスを書込むことによって、スルーレートのデジタル的な制御が必要になります。

図 46 に、デジタル的に制御したフルスケール・ステップとフィルタ出力を示します。図 46 から、フィルタ出力信号のピーク振幅が所望の 150 mV より小さく、変化時間は約 30 ms であることが読み取れます。

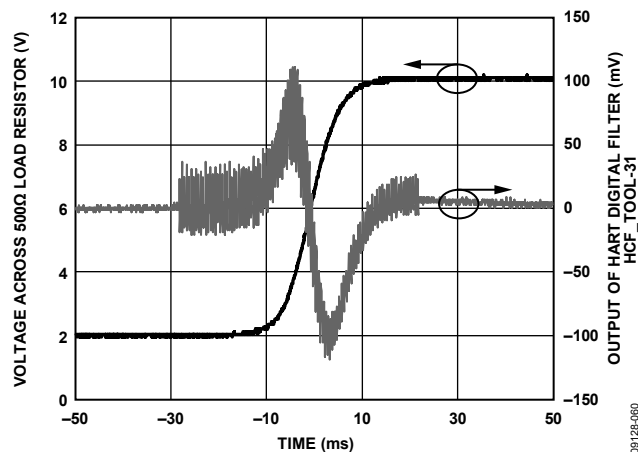


図 46. デジタル的に制御したフルスケール・ステップと HART デジタル・フィルタ出力信号

図 47 に、この測定の回路図を示します。C_{HART}とC_{SLEW}に対する 47 nF と 168 nF のコンデンサ値は、デジタル・ステップの十分なフィルタ機能を提供し、干渉を起こさないことが保証されます。

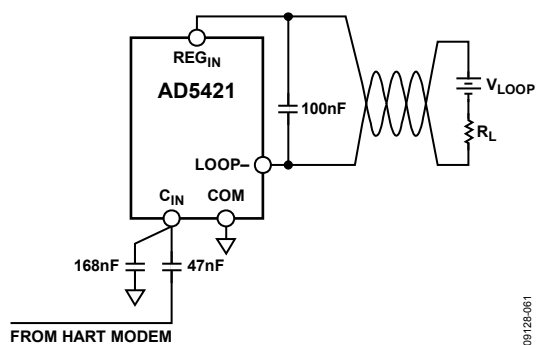


図 47. 図 46 の回路図

シリアル・インターフェース

AD5421 は、最大 30 MHz のクロック・レートで動作する多機能 3 線式シリアル・インターフェースを介して制御されます。このインターフェースは、SPI、QSPI™、MICROWIRE®、DSP の各規格と互換性を持っています。図 2 にタイミング図を示します。このインターフェースは、連続クロックまたは不連続なゲーティングされたバースト・クロックで動作します。

書き込みシーケンスは $\overline{\text{SYNC}}$ 信号の立下がりエッジで開始され、データは SDIN データ・ラインから SCLK の立下がりエッジで入力されます。 $\overline{\text{SYNC}}$ の立上がりエッジで、24 ビットのデータがラッチされ、データはアドレス指定されたレジスタへ転送されて、設定された機能(DAC 出力の変化または動作モード)が実行されます。

SPI インターフェースでサイクリック冗長性コードを使ったパケット・エラー・チェックが必要な場合、追加の 8 ビットを AD5421 へ書込んで、32 ビット・シリアル・インターフェースにする必要があります。この場合、32 ビットを AD5421 へ書込んだ後に $\overline{\text{SYNC}}$ をハイ・レベルにします。

入カシフトレジスタ

入カシフトレジスタは 24 ビット幅です(データの CRC エラー・チェックが必要な場合は 32 ビット幅)。データは、シリアル・クロック入力 SCLK の制御を受けて、デバイスへ MSB ファーストの 24/32 ビット・ワードとしてロードされます。入カシフトレジスタは、8 ビット・アドレス/ コマンド・バイト、16 ビット・データワード、オプションの 8 ビット CRC から構成されています(表 12 と表 13 参照)。

アドレス/コマンド・バイトのデコーディングを 表 11 に示します。

表 12. 入カシフトレジスタ

MSB																LSB							
D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Address/command byte												Data-word											

表 13. 入カシフトレジスタ、CRC あり

MSB																						LSB									
D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Address/command byte								Data-word																CRC							

表 11. アドレス/コマンド・バイトの機能

Address/Command Byte	Function
00000001	Write to DAC register
00000010	Write to control register
00000011	Write to offset adjust register
00000100	Write to gain adjust register
00000101	Load DAC
00000110	Force alarm current
00000111	Reset (it is recommended to wait 50 μs after a device reset before writing the next command)
00001000	Initiate V_{LOOP} /temperature measurement
00001001	No operation
10000001	Read DAC register
10000010	Read control register
10000011	Read offset adjust register
10000100	Read gain adjust register
10000101	Read fault register

ロード DAC、フォース・アラーム電流、リセット、 V_{LOOP} /温度測定開始の各コマンド、または NOP コマンド・バイトに続いて書込まれる 16 ビットのデータワードは、don't care です(表 12 と表 13 参照)。

レジスタのリードバック

レジスタをリードバックするときは、コントロール・レジスタのビット D11 にロジック 1 を設定して、故障レジスタの自動リードバックをディスエーブルする必要があります。読出しコマンドに続く 16 ビットのデータワードは don't care です(表 12 と表 13 参照)。

DACレジスタ

DAC レジスタはリード/ライト・レジスタで、表 11 のようにアドレス指定されます。DAC レジスタに設定されたデータによりループ電流が指定されます (理論出力伝達関数 のセクションと表 15 参照)。

理論出力伝達関数

DAC レジスタに設定されたデータとループ電流の関係を規定する伝達関数は次の 3 つの式で表されます。

4 mA～20 mA 出力範囲の場合、ループ電流は次のように表すことができます。

$$I_{LOOP} = \left(\frac{16 \text{ mA}}{2^{16}} \right) \times D + 4 \text{ mA}$$

表 14. DAC レジスタのビット・マップ

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
16-bit data															

表 15. DAC レジスタ・コードと理論ループ電流の関係 (ゲイン = 65,536; オフセット = 0)

DAC Register Code	Ideal Loop Current (mA)		
	4 mA to 20 mA Range	3.8 mA to 21 mA Range	3.2 mA to 24 mA Range
0x0000	4	3.8	3.2
0x0001	4.00024	3.80026	3.2003
...
0x7FFF	11.9997	12.39974	13.5997
0x8000	12	12.4	13.6
...
0xFFFFE	19.9995	20.99947	23.9994
0xFFFFF	19.9997	20.99974	23.9997

3.8 mA～21 mA 出力範囲の場合、ループ電流は次のように表すことができます。

$$I_{LOOP} = \left(\frac{17.2 \text{ mA}}{2^{16}} \right) \times D + 3.8 \text{ mA}$$

3.2 mA～24 mA 出力範囲の場合、ループ電流は次のように表すことができます。

$$I_{LOOP} = \left(\frac{20.8 \text{ mA}}{2^{16}} \right) \times D + 3.2 \text{ mA}$$

ここで、 D は DAC レジスタの 10 進値。

コントロール・レジスタ

コントロール・レジスタはリード/ライト・レジスタで、表 11 のようにアドレス指定されます。コントロール・レジスタに設定されたデータにより、AD5421 の動作モードが指定されます。

表 16. コントロール・レジスタのビット・マップ

MSB											LSB				
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
SPI watchdog timeout			SPI watchdog timer	Auto fault readback	Alarm on SPI fault	Set min loop current	Select ADC input	On-chip ADC	Power down internal reference	V _{LOOP} fault alert	Reserved				
T0	T1	T2													

表 17. コントロール・レジスタ・ビットの説明

Control Bits	Description																																				
SPI watchdog timeout	The T0, T1, and T2 bits allow the user to program the watchdog timeout period. The watchdog timer is reset when a valid write to any AD5421 register occurs or when a NOP command is written.																																				
	<table border="1"> <thead> <tr> <th>T0</th> <th>T1</th> <th>T2</th> <th>Timeout Period</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>50 ms</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>100 ms</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>500 ms</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1 sec (default)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2 sec</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>3 sec</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>4 sec</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>5 sec</td> </tr> </tbody> </table>	T0	T1	T2	Timeout Period	0	0	0	50 ms	0	0	1	100 ms	0	1	0	500 ms	0	1	1	1 sec (default)	1	0	0	2 sec	1	0	1	3 sec	1	1	0	4 sec	1	1	1	5 sec
	T0	T1	T2	Timeout Period																																	
	0	0	0	50 ms																																	
	0	0	1	100 ms																																	
	0	1	0	500 ms																																	
	0	1	1	1 sec (default)																																	
	1	0	0	2 sec																																	
1	0	1	3 sec																																		
1	1	0	4 sec																																		
1	1	1	5 sec																																		
SPI watchdog timer	0 = SPI watchdog timer is enabled (default). 1 = SPI watchdog timer is disabled.																																				
Auto fault readback	This bit specifies whether the fault register contents are automatically clocked out on the SDO pin on each write operation. (The fault register can always be addressed for readback.) 0 = fault register contents are clocked out on the SDO pin (default). 1 = fault register contents are not clocked out on the SDO pin.																																				
Alarm on SPI fault	This bit specifies whether the loop current is forced to the alarm value when an SPI fault is detected (that is, the watchdog timer times out). When an SPI fault is detected, the SPI fault bit of the fault register and the FAULT pin are always set. 0 = loop current is forced to the alarm value when an SPI fault is detected (default). 1 = loop current is not forced to the alarm value when an SPI fault is detected.																																				
Set min loop current	0 = normal operation (default). 1 = loop current is set to its minimum value so that the total current flowing in the loop consists only of the operating current of the AD5421 and its associated circuitry.																																				
Select ADC input	0 = on-chip ADC measures the voltage between the V _{LOOP} and COM pins (default). 1 = on-chip ADC measures the temperature of the AD5421 die.																																				
On-chip ADC	0 = on-chip ADC is disabled (default). 1 = on-chip ADC is enabled.																																				
Power down internal reference	0 = internal voltage reference is powered up (default). 1 = internal voltage reference is powered down and an external voltage reference source is required.																																				
V _{LOOP} fault alert	This bit specifies whether the FAULT pin is set when the voltage between the V _{LOOP} and COM pins falls to approximately 0.3 V. (The V _{LOOP} 6V bit of the fault register is always set.) 0 = FAULT pin is not set when the V _{LOOP} - COM voltage falls to approximately 0.3 V. 1 = FAULT pin is set when the V _{LOOP} - COM voltage falls to approximately 0.3 V.																																				

故障レジスタ

読出し専用故障レジスタは、表 11 のようにアドレス指定されます。故障レジスタのビットは、広範囲な故障状態を表示します。

表 18.故障レジスタのビット・マップ

MSB											LSB				
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
SPI	PEC	I _{LOOP} Over	I _{LOOP} Under	Temp 140°C	Temp 100°C	V _{LOOP} 6V	V _{LOOP} 12V	V _{LOOP} /temperature value							

表 19.故障レジスタ・ビットの説明

Fault Alert	FAULT Pin Set	Description												
SPI	Yes	This bit is set high to indicate the loss of the SPI interface signaling. This fault occurs if there is no valid communication to the AD5421 over the SPI interface for more than the user-defined timeout period. The occurrence of this fault also forces the loop current to the alarm value if Bit D10 of the control register is at Logic 0. The alarm current direction is determined by the state of the ALARM_CURRENT_DIRECTION pin.												
PEC (packet error check)	Yes	This bit is set high when an error in the SPI communication is detected using cyclic redundancy check (CRC) error detection. See the Packet Error Checking section for more information.												
I _{LOOP} Over	Yes	This bit is set high when the actual loop current is greater than the programmed loop current.												
I _{LOOP} Under	Yes	This bit is set high when the actual loop current is less than the programmed loop current.												
Temp 140°C	Yes	This bit is set high to indicate an overtemperature fault. This bit is set if the die temperature of the AD5421 exceeds approximately 140°C. This bit is cleared when the temperature returns below approximately 125°C.												
Temp 100°C	No	This bit is set high to indicate an increasing temperature of the AD5421. This bit is set if the die temperature of the AD5421 exceeds approximately 100°C. This bit is cleared when the temperature returns below approximately 85°C.												
V _{LOOP} 6V	Yes	This bit is set high when the voltage between the V _{LOOP} and COM pins falls below approximately 0.3 V (representing a 6 V loop supply voltage with 20:1 resistor divider connected at V _{LOOP}). This bit is cleared when the voltage returns above approximately 0.4 V.												
V _{LOOP} 12V	No	This bit is set high when the voltage between the V _{LOOP} and COM pins falls below approximately 0.6 V (representing a 12 V loop supply voltage with 20:1 resistor divider connected at V _{LOOP}). This bit is cleared when the voltage returns above approximately 0.7 V.												
V _{LOOP} /temperature value	N/A	These eight bits represent either the voltage between the V _{LOOP} and COM pins or the AD5421 die temperature, depending on the setting of Bit D8 of the control register (see the On-Chip ADC Transfer Function Equations section).												
		<table border="1"> <thead> <tr> <th>8-Bit Value</th> <th>V_{LOOP} - COM Voltage (V)</th> <th>Die Temperature (°C)</th> </tr> </thead> <tbody> <tr> <td>00000000</td> <td>0</td> <td>+300</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>11111111</td> <td>2.49</td> <td>-55</td> </tr> </tbody> </table>	8-Bit Value	V _{LOOP} - COM Voltage (V)	Die Temperature (°C)	00000000	0	+300	11111111	2.49	-55
8-Bit Value	V _{LOOP} - COM Voltage (V)	Die Temperature (°C)												
00000000	0	+300												
...												
11111111	2.49	-55												

内蔵 ADC の伝達関数

V_{LOOP} ピンと COM ピンとの間の電圧の測定の伝達関数は次式で表されます。

$$V_{\text{LOOP}} - \text{COM} = (2.5/256) \times D$$

ここで、 D は内蔵 ADC から返される 8 ビット・デジタル・コード。

チップ温度の伝達関数は次式で表されます。

$$\text{チップ温度} = 125 - (1.771 \times (D - 128))$$

ここで、 D は内蔵 ADC から返される 8 ビット・デジタル・コード。

オフセット調整レジスタ

オフセット調整レジスタはリード/ライト・レジスタで、表 11 のようにアドレス指定されます。

表 20. オフセット調整レジスタのビット・マップ

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
16-bit offset adjust data															

表 21. オフセット調整レジスタの調整範囲

Offset Adjust Register Data	Digital Offset Adjustment (LSBs)
65535	+32767
65534	+32766
...	...
32769	+1
32768 (default)	0
32767	-1
...	...
1	-32767
0	-32768

ゲイン調整レジスタ

ゲイン調整レジスタはリード/ライト・レジスタで、表 11 のようにアドレス指定されます。

表 22. ゲイン調整レジスタのビット・マップ

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
16-bit gain adjust data															

表 23. ゲイン調整レジスタの調整範囲

Gain Adjust Register Data	Digital Gain Adjustment at Full-Scale Output (LSBs)
65535 (default)	0
65534	-1
...	...
32769	-32767
32768	-32768
32767	-32769
...	...
1	-65534
0	-65535

伝達関数—オフセット調整値とゲイン調整値あり

オフセット調整レジスタ値とゲイン調整レジスタ値を考慮する場合、伝達関数は次のように表されます。

4 mA～20 mA 出力範囲の場合、ループ電流は次のように表すことができます。

$$I_{LOOP} = \left[\frac{\left(\frac{16 \text{ mA}}{2^{16}} \right) \times Gain}{2^{16}} \times D \right] + \left(4 \text{ mA} + \left[\left(\frac{16 \text{ mA}}{2^{16}} \right) \times (Offset - 32,768) \right] \right)$$

3.8 mA～21 mA 出力範囲の場合、ループ電流は次のように表すことができます。

$$I_{LOOP} = \left[\frac{\left(\frac{17.2 \text{ mA}}{2^{16}} \right) \times Gain}{2^{16}} \times D \right] + \left(3.8 \text{ mA} + \left[\left(\frac{17.2 \text{ mA}}{2^{16}} \right) \times (Offset - 32,768) \right] \right)$$

3.2 mA～24 mA 出力範囲の場合、ループ電流は次のように表すことができます。

$$I_{LOOP} = \left[\frac{\left(\frac{20.8 \text{ mA}}{2^{16}} \right) \times Gain}{2^{16}} \times D \right] + \left(3.2 \text{ mA} + \left[\left(\frac{20.8 \text{ mA}}{2^{16}} \right) \times (Offset - 32,768) \right] \right)$$

ここで、

D はDACレジスタの10進値。

$Gain$ はゲイン調整レジスタの10進値。

$Offset$ はオフセット調整レジスタの10進値。

オフセット調整レジスタはゼロスケール出力値を下方に調整できないことに注意してください。

アプリケーション情報

図 48 に、HART機能を持つスマート・トランスミッタとして構成されたAD5421 の代表的な接続図を示します。チップの消費電力を削減するため、DN2540 やBSP129 のようなデプレッション・モード MOSFET (T1)をループ電圧とAD5421 の間に接続することができます(図 48 参照)。

低いループ電圧を使用する場合は、T1 の挿入は不要で、ループ電圧を直接REG_{IN} へ接続することができます(図 41 参照)。図 48 では、すべてのインターフェース信号ラインがマイクロコントローラに接続されています。インターフェース信号ライン数を削減するため、LDAC 信号をCOMに接続し、SDOラインと故障ラインは開放のままにしておくことができます。ただし、この構成では故障アラーム機能の使用はできません。

通常動作状態では、COMとLOOP-の間の電圧は 1.5 Vを超えることなく、LOOP-の電圧は COMに対して負になります。LOOP- の電圧をCOMに対して正にすることができる場合、または LOOP-とCOMの間の電圧差を 5 Vより大きくできる場合、4.7 Vの低リーク・ツェナー・ダイオードを COMピンとLOOP-ピンの間に図 48 に示す様に接続して、AD5421 の損傷を防止する必要があります。

総合誤差の予測

AD5421 は様々な構成が可能で、それぞれ異なるレベルの精度を持ちます(表 1 と 表 2 参照)。内蔵リファレンス電圧と内蔵 R_{SET} をイネーブルした場合、-40°C~+105°Cの温度範囲でC グレード・デバイスを使ったとき、フルスケール範囲の 0.157%の最大総合誤差を実現することができます。

その他の構成では、外付けリファレンス電圧、外付け R_{SET} 抵抗、または外付けリファレンス電圧と外付け R_{SET} 抵抗の両方を規定しています。これらの構成の仕様では、外付けリファレンス電圧と外付け R_{SET} 抵抗は理想的であると仮定しています。このため、これらの部品に対応する誤差をデータ・シート仕様に加算して全体性能を求める必要があります。性能は、これらの部品の仕様に依存します。

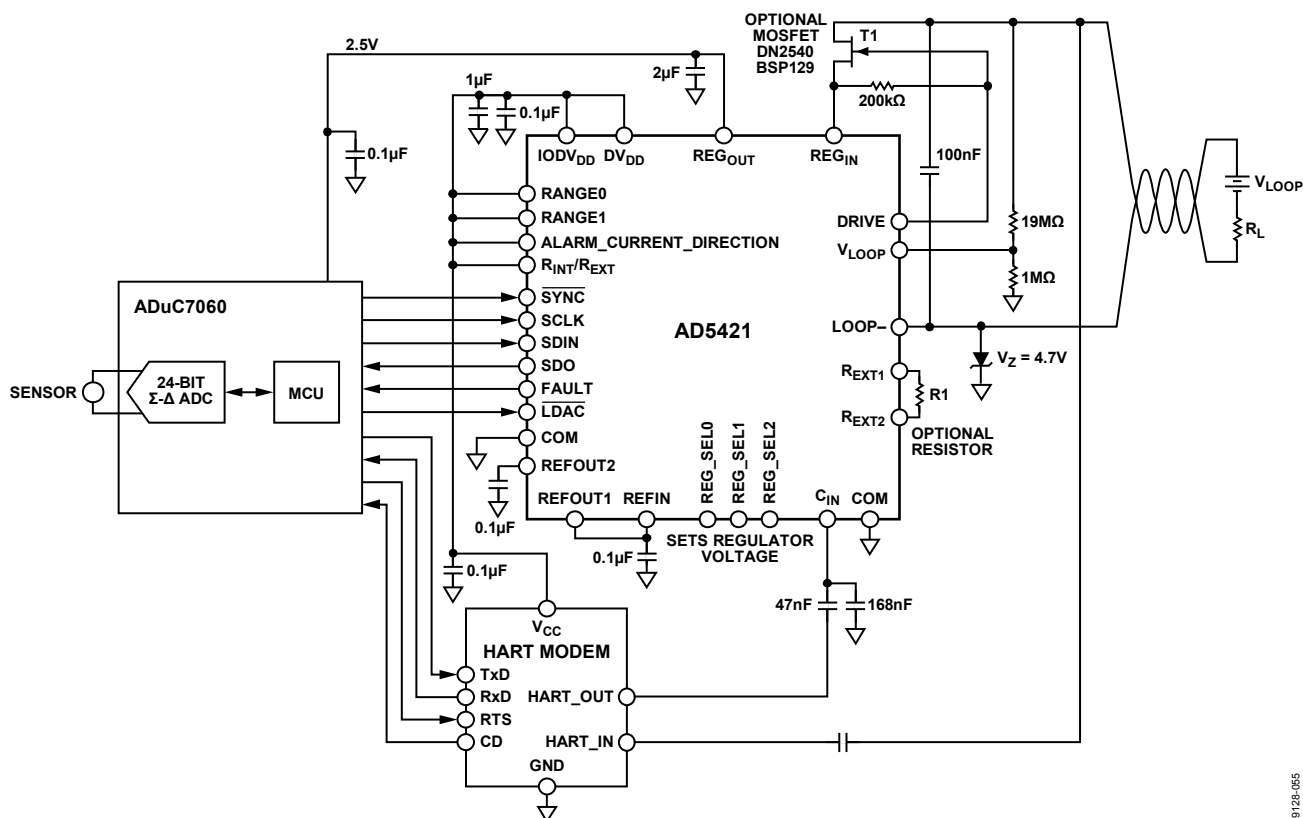


図 48. HART 機能を持つスマート・トランスミッタでの AD5421 アプリケーション図

09128-055

最悪時の総合絶対誤差を求めるときは、リファレンス誤差と R_{SET} 誤差を AD5421 の規定最大誤差に直接加算することができます。例えば、外付けリファレンス電圧と外付け R_{SET} 抵抗を使う場合、最大 AD5421 誤差はフルスケール範囲の 0.048% です。リファレンス電圧と R_{SET} 抵抗の絶対誤差をそれぞれ 0.04% と 0.05% とし、温度係数をそれぞれ 3 ppm/°C と 2 ppm/°C とすると、最悪時総合誤差は次のようになります。

$$\text{最悪時誤差} = \text{AD5421 誤差} + V_{REF} \text{ 絶対誤差} + V_{REF} \text{ TC} + R_{SET} \text{ 絶対誤差} + R_{SET} \text{ TC}$$

$$\text{最悪時誤差} = 0.048\% + 0.04\% + [(3/10^6) \times 100 \times 145]\% + 0.05\% + [(2/10^6) \times 100 \times 145]\% = 0.21\% \text{ FSR}$$

これは、AD5421 が -40°C ~ +105°C の温度範囲で動作した場合の絶対最悪値です。各 부품の温度係数が同じドリフト極性を持たないため相殺されるので、この値の誤差が実際に発生することは非常に希と考えられます。このため、TC 値は 2 乗平均により加算する必要があります。

ゼロ・スケールとフルスケールの 2 ポイントでキャリブレーションを行うとさらに向上させることができますので、リファレンス電圧と R_{SET} 抵抗の絶対誤差を合計誤差 1 LSB すなわち 0.0015% FSR に減らすことができます。このキャリブレーション後の、総合最大誤差は次のようになります。

総合誤差

$$= 0.048\% + 0.0015\% + \sqrt{(0.0435\%)^2 + (0.029\%)^2} = 0.102\% \text{ FSR}$$

この誤差の値をさらに小さくするためには、低い TC 仕様を持つリファレンス電圧と R_{SET} 抵抗を選択する必要があります。

熱と電源についての考慮事項

AD5421 は 125°C の最大ジャンクション温度で動作するようにデザインされています。製品寿命中の信頼性と規定の動作を保証するために、ジャンクション温度がこの値を超える条件でデバイスを動作させないことが重要です。

高い値のループ電流をレギュレーションしているときに、AD5421 の端子間の電圧が上昇するとジャンクション温度が高くなります。ジャンクション温度の上昇は、周囲温度に依存します。

表 24 に、最大周囲温度と最大電源電圧での動作限界を示します。この情報を図 49 と図 50 に図で示します。これらの値は、エク

表 24. 熱と電源についての考慮事項(外付け MOSFET を接続しない場合)

Parameter	Description	28-Lead TSSOP Package
Maximum Power Dissipation	Maximum permitted power dissipation when operating at an ambient temperature of 105°C	$\frac{T_{JMAX} - T_A}{\theta_{JA}} = \frac{125 - 105}{32} = 625 \text{ mW}$
Maximum Ambient Temperature	Maximum permitted ambient temperature when operating from a supply of 52 V while regulating a loop current of 22.8 mA	$T_{JMAX} - (P_D \times \theta_{JA}) = 125 - ((52 \times 0.0228) \times 32) = 87^\circ\text{C}$
Maximum Supply Voltage	Maximum permitted supply voltage when operating at an ambient temperature of 105°C while regulating a loop current of 22.8 mA	$\frac{T_{JMAX} - T_A}{I_{LOOP} \times \theta_{JA}} = \frac{125 - 105}{0.0228 \times 32} = 27 \text{ V}$

スポーツド・パドルを約 6 cm² の銅プレートを接続した場合の値です。

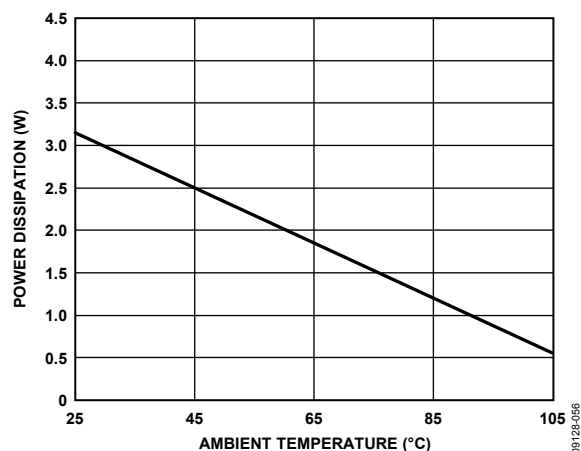


図 49. 周囲温度対最大消費電力

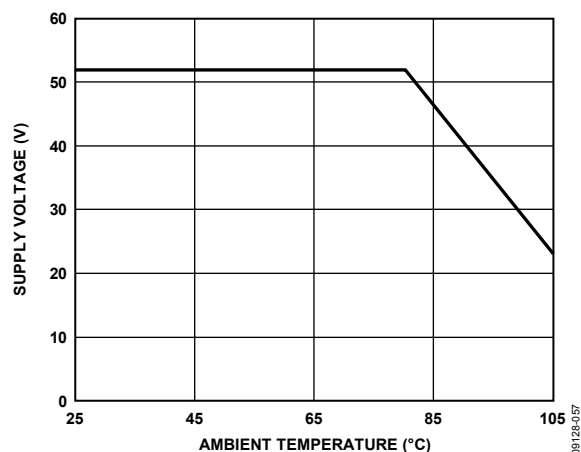
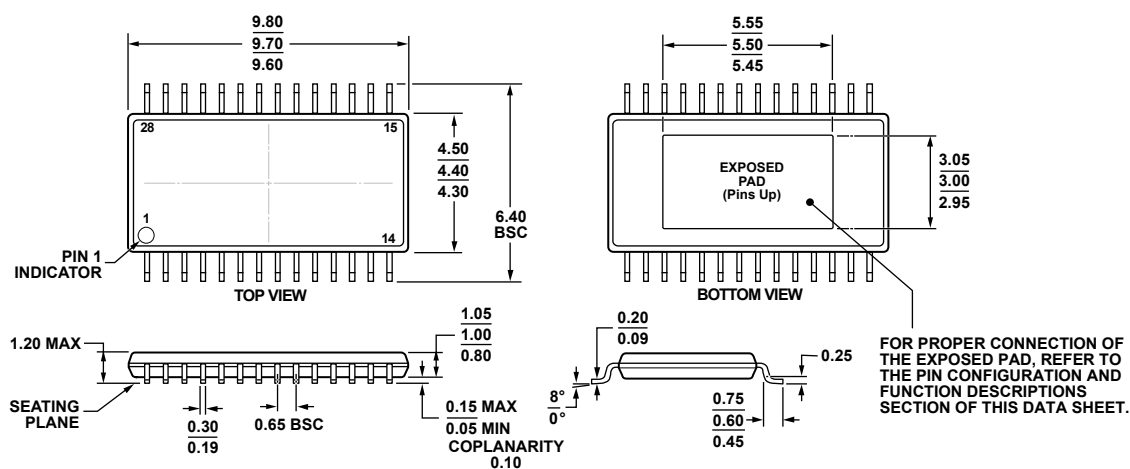


図 50. 最大電源電圧対周囲温度

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-153-AET

05-08-2006-A

図 51. 28 ピン薄型シュリンク・スモール・アウトライン・パッケージ、エクスポーズド・パッド付き [TSSOP_EP]
(RE-28-2)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD5421BREZ	-40°C to +105°C	28-Lead TSSOP_EP	RE-28-2
AD5421BREZ-REEL	-40°C to +105°C	28-Lead TSSOP_EP	RE-28-2
AD5421BREZ-REEL7	-40°C to +105°C	28-Lead TSSOP_EP	RE-28-2
AD5421CREZ	-40°C to +105°C	28-Lead TSSOP_EP	RE-28-2
AD5421CREZ-RL	-40°C to +105°C	28-Lead TSSOP_EP	RE-28-2
AD5421CREZ-RL7	-40°C to +105°C	28-Lead TSSOP_EP	RE-28-2
EVAL-AD5421SDZ			

¹ Z = RoHS 準拠製品。