

特長

10 MHz の乗算帯域幅
 内蔵 4 象限抵抗により柔軟な出力範囲が可能
 INL: ± 1 LSB
 24 ピン TSSOP パッケージを採用
 電源動作: 2.5 V ~ 5.5 V
 ± 10 V のリファレンス入力
 50 MHz のシリアル・インターフェース
 更新レート: 2.47 MSPS
 拡張温度範囲: $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$
 4 象限乗算
 パワーオン・リセット
 消費電流: 0.5 μA (typ)
 単調性を保証
 デジィチェーン・モード
 リードバック機能

アプリケーション

携帯型バッテリー駆動アプリケーション
 波形ジェネレータ
 アナログ処理
 計装アプリケーション
 プログラマブルなアンプと減衰器
 デジタル制御によるキャリブレーション
 プログラマブルなフィルタと発振器
 コンポジット・ビデオ
 超音波
 ゲイン、オフセット、電圧のトリミング

概要

AD5415¹ は、2 チャンネルの電流出力 CMOS 12 ビット D/A コンバータです。このデバイスは 2.5 ~ 5.5 V の電源で動作するため、バッテリー駆動のアプリケーションおよびその他の多くのアプリケーションに適しています。

このデバイスは CMOS サブミクロン・プロセスで製造されているため、10 MHz の大信号乗算帯域幅を持つ優れた 4 象限乗算機能を提供します。

フルスケール出力電流は、外部リファレンス入力電圧 (V_{REF}) により決定されます。電流/電圧変換高精度アンプと組み合わせて使用すると、内蔵の帰還抵抗 (R_{FB}) を使って温度トラッキング機能とフルスケール電圧出力が可能になります。さらに、このデバイスはバイポーラ動作とその他のコンフィギュレーション・モードに必要な 4 象限抵抗を内蔵しています。

この DAC は、SPI[®]、QSPI[™]、MICROWIRE[™]、大部分の DSP インターフェース標準と互換性を持つダブル・バッファ付き 3 線式シリアル・インターフェースを採用しています。さらに、シリアル・データ出力ピン (SDO) では、複数パッケージを使う際にデジィチェーン接続が可能です。データ・リードバック機能を使うと、SDO ピンを介して DAC レジスタの値を読むことができます。パワーアップ時には、内部のシフトレジスタとラッチにゼロが設定されるため、DAC 出力はゼロの電圧レベルが出力されます。

AD5415 DAC は、24 ピン TSSOP パッケージを採用しています。DAC の性能を評価するため、EVAL-AD5415/AD5449SDZ 評価用ボードを提供しています。詳細については、UG-296 評価用ボード・ユーザズ・ガイドをご覧ください。

機能ブロック図

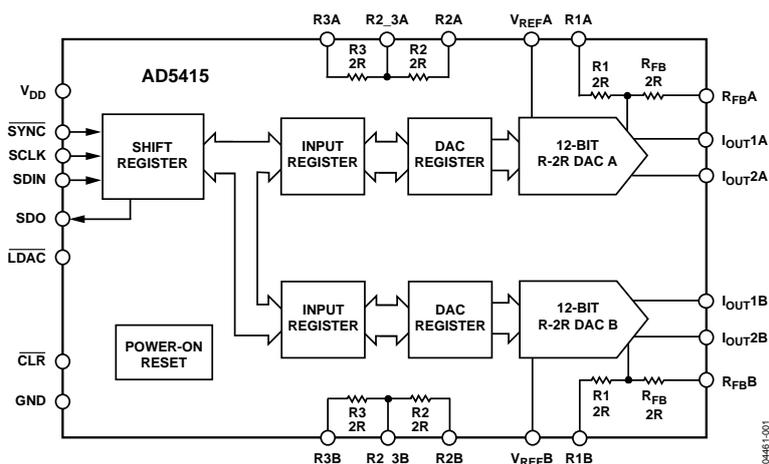


図 1.

¹ 米国特許番号 5,689,257.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2004-2011 Analog Devices, Inc. All rights reserved.

Rev. C

目次

仕様.....	3	加算ゲイン.....	17
タイミング特性.....	5	分圧器またはプログラマブル・ゲイン・エレメント.....	17
絶対最大定格.....	7	リファレンスの選択.....	18
ESDの注意.....	7	アンプ選択.....	18
ピン配置およびピン機能説明.....	8	シリアル・インターフェース.....	20
代表的な性能特性.....	9	マイクロプロセッサ・インターフェース.....	22
用語.....	14	PCBレイアウトと電源バイパス.....	24
概要.....	15	AD54xx デバイスの概要.....	25
DACセクション.....	15	外形寸法.....	26
回路動作.....	15	オーダー・ガイド.....	26
単電源アプリケーション.....	16		

改定履歴

6/11—Rev. B to Rev. C

Changes to General Description.....	1
Deleted Evaluation Board for the DAC Section and Power Supplies for the Evaluation Board Section.....	24
Changes to Ordering Guide.....	26

4/10—Rev. A to Rev. B

Added Figure 4.....	6
---------------------	---

7/05—Rev. 0 to Rev. A

Changes to Features List.....	1
Change to General Description.....	1
Changes to Specifications.....	3
Changes to Timing Characteristics.....	5
Change to Figure 8 and Figure 9.....	9
Change to Figure 13.....	10
Change to Figure 27 Through Figure 29.....	12
Change to Figure 32.....	15

Changes to Table 5 and Table 6.....	15
Change to Stability Section.....	16
Changes to Voltage-Switching Mode of Operation Section.....	16
Change to Figure 35.....	16
Changes to Divider or Programmable Gain Element Section.....	17
Changes to Figure 36 Through Figure 38.....	17
Changes to Table 7 Through Table 10.....	19
Added ADSP-BF5xx-to-AD5415 Interface Section.....	22
Change to 80C51/80L51-to-AD5415 Interface Section.....	23
Change to MC68HC11-to-AD5415 Interface Section.....	23
Change to Power Supplies for the Evaluation Board Section.....	24
Changes to Table 13.....	28
Updated Outline Dimensions.....	29
Changes to Ordering Guide.....	29

7/04—Revision 0: Initial Version

仕様¹

$V_{DD} = 2.5\text{ V} \sim 5.5\text{ V}$ 、 $V_{REF} = 10\text{ V}$ 、 $I_{OUT2} = 0\text{ V}$ 。Yバージョンの温度範囲: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 。特に指定がない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。特に指定のない限り、DC性能はOP177を、AC性能はAD8038を、それぞれ使って測定。

表 1.

Parameter	Min	Typ	Max	Unit	Conditions	
STATIC PERFORMANCE						
Resolution			12	Bits	Guaranteed monotonic	
Relative Accuracy			± 1	LSB		
Differential Nonlinearity			$-1/+2$	LSB		
Gain Error			± 25	mV		
Gain Error Temperature Coefficient		± 5		ppm FSR/ $^{\circ}\text{C}$		
Bipolar Zero Code Error			± 25	mV		
Output Leakage Current			± 1	nA		Data = 0x0000, $T_A = 25^{\circ}\text{C}$, I_{OUT1}
			± 15	nA	Data = 0x0000, $T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$, I_{OUT1}	
REFERENCE INPUT						
Reference Input Range		± 10		V	Input resistance TC = $-50\text{ ppm}/^{\circ}\text{C}$ Typ = 25°C , max = 125°C	
V_{REFA} , V_{REFB} Input Resistance	8	10	13	k Ω		
V_{REFA} -to- V_{REFB} Input Resistance Mismatch		1.6	2.5	%		
R1, R_{FB} Resistance	17	20	25	k Ω		Input resistance TC = $-50\text{ ppm}/^{\circ}\text{C}$
R2, R3 Resistance	17	20	25	k Ω		Input resistance TC = $-50\text{ ppm}/^{\circ}\text{C}$
R2-to-R3 Resistance Mismatch		0.06	0.18	%		Typ = 25°C , max = 125°C
Input Capacitance						
Code 0		3.5		pF		
Code 4095		3.5		pF		
DIGITAL INPUTS/OUTPUT						
Input High Voltage, V_{IH}	1.7			V	$V_{DD} = 3.6\text{ V}$ to 5.5 V	
	1.7			V	$V_{DD} = 2.5\text{ V}$ to 3.6 V	
Input Low Voltage, V_{IL}			0.8	V	$V_{DD} = 2.7\text{ V}$ to 5.5 V	
			0.7	V	$V_{DD} = 2.5\text{ V}$ to 2.7 V	
Output High Voltage, V_{OH}	$V_{DD} - 1$			V	$V_{DD} = 4.5\text{ V}$ to 5.5 V , $I_{SOURCE} = 200\text{ }\mu\text{A}$	
	$V_{DD} - 0.5$			V	$V_{DD} = 2.5\text{ V}$ to 3.6 V , $I_{SOURCE} = 200\text{ }\mu\text{A}$	
Output Low Voltage, V_{OL}			0.4	V	$V_{DD} = 4.5\text{ V}$ to 5.5 V , $I_{SINK} = 200\text{ }\mu\text{A}$	
			0.4	V	$V_{DD} = 2.5\text{ V}$ to 3.6 V , $I_{SINK} = 200\text{ }\mu\text{A}$	
Input Leakage Current, I_{IL}			1	μA		
Input Capacitance		4	10	pF		
DYNAMIC PERFORMANCE						
Reference-Multiplying BW		10		MHz	$V_{REF} = \pm 3.5\text{ V}$ p-p, DAC loaded all 1s $R_{LOAD} = 100\text{ }\Omega$, $C_{LOAD} = 15\text{ pF}$, $V_{REF} = 10\text{ V}$ DAC latch alternately loaded with 0s and 1s	
Output Voltage Settling Time						
Measured to $\pm 1\text{ mV}$ of FS		80	120	ns		
Measured to $\pm 4\text{ mV}$ of FS		35	70	ns		
Measured to $\pm 16\text{ mV}$ of FS		30	60	ns		
Digital Delay		20	40	ns		
10% to 90% Settling Time		15	30	ns		
Digital-to-Analog Glitch Impulse		3		nV-sec		
Multiplying Feedthrough Error			70	dB		
			48	dB		
Output Capacitance		12	17	pF	DAC latches loaded with all 0s	
		25	30	pF	DAC latches loaded with all 1s	

Parameter	Min	Typ	Max	Unit	Conditions
Digital Feedthrough		3	5	nV-sec	Feedthrough to DAC output with \overline{CS} high and alternate loading of all 0s and all 1s
Output Noise Spectral Density		25		nV/ $\sqrt{\text{Hz}}$	@ 1 kHz
Analog THD		81		dB	$V_{\text{REF}} = 3.5 \text{ V p-p}$, all 1s loaded, $f = 1 \text{ kHz}$
Digital THD					Clock = 10 MHz, $V_{\text{REF}} = 3.5 \text{ V}$
100 kHz f_{OUT}		61		dB	
50 kHz f_{OUT}		66		dB	
SFDR Performance (Wide Band)					$V_{\text{REF}} = 3.5 \text{ V}$
Clock = 10 MHz					
500 kHz f_{OUT}		55		dB	
100 kHz f_{OUT}		63		dB	
50 kHz f_{OUT}		65		dB	
Clock = 25 MHz					
500 kHz f_{OUT}		50		dB	
100 kHz f_{OUT}		60		dB	
50 kHz f_{OUT}		62		dB	
SFDR Performance (Narrow Band)					$V_{\text{REF}} = 3.5 \text{ V}$
Clock = 10 MHz					
500 kHz f_{OUT}		73		dB	
100 kHz f_{OUT}		80		dB	
50 kHz f_{OUT}		87		dB	
Clock = 25 MHz					
500 kHz f_{OUT}		70		dB	
100 kHz f_{OUT}		75		dB	
50 kHz f_{OUT}		80		dB	
Intermodulation Distortion					$V_{\text{REF}} = 3.5 \text{ V}$
$f_1 = 40 \text{ kHz}$, $f_2 = 50 \text{ kHz}$		72		dB	Clock = 10 MHz
$f_1 = 40 \text{ kHz}$, $f_2 = 50 \text{ kHz}$		65		dB	Clock = 25 MHz
POWER REQUIREMENTS					
Power Supply Range	2.5		5.5	V	
I_{DD}			0.7	μA	$T_A = 25^\circ\text{C}$, logic inputs = 0 V or V_{DD}
		0.5	10	μA	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$, logic inputs = 0 V or V_{DD}
Power Supply Sensitivity			0.001	%/%	$\Delta V_{\text{DD}} = \pm 5\%$

¹ 設計およびキャラクタライゼーションで保証しますが、出荷テストは行いません。

タイミング特性

特に指定のない限り、すべての入力信号は、 $t_r = t_f = 1 \text{ ns}$ (V_{DD} の10%~90%)、電圧レベル($V_{IL} + V_{IH}$)/2からのタイミング、 $V_{DD} = 2.5 \text{ V} \sim 5.5 \text{ V}$ 、 $V_{REF} = 10 \text{ V}$ 、 $I_{OUT2} = 0 \text{ V}$ 、Yバージョンの温度範囲= $-40^\circ\text{C} \sim +125^\circ\text{C}$ で規定します。すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定します。

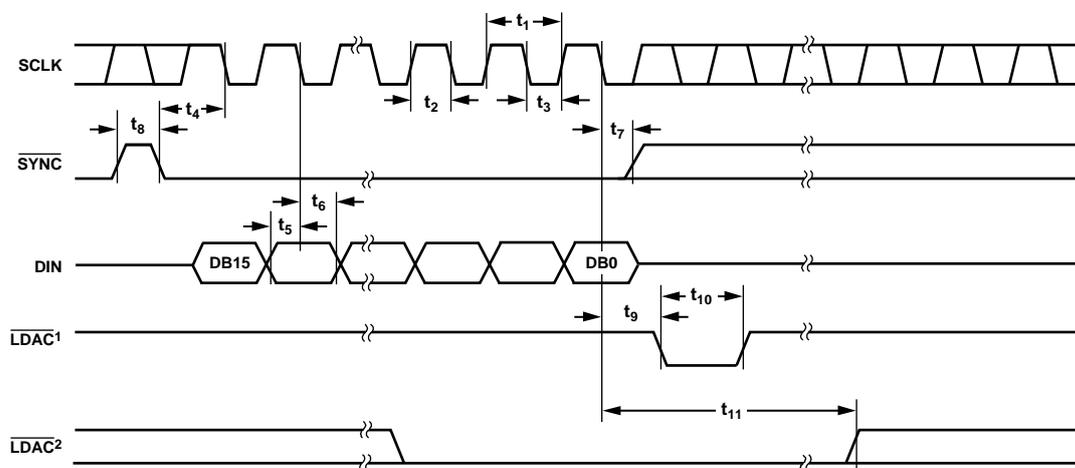
表 2.

Parameter ¹	Limit at T_{MIN} , T_{MAX}	Unit	Conditions/Comments ²
f_{SCLK}	50	MHz max	Maximum clock frequency
t_1	20	ns min	SCLK cycle time
t_2	8	ns min	SCLK high time
t_3	8	ns min	SCLK low time
t_4	13	ns min	SYNC falling edge to SCLK falling edge setup time
t_5	5	ns min	Data setup time
t_6	4	ns min	Data hold time
t_7	5	ns min	SYNC rising edge to SCLK falling edge
t_8	30	ns min	Minimum SYNC high time
t_9	0	ns min	SCLK falling edge to LDAC falling edge
t_{10}	12	ns min	LDAC pulse width
t_{11}	10	ns min	SCLK falling edge to LDAC rising edge
t_{12}^3	25	ns min	SCLK active edge to SDO valid, strong SDO driver
	60	ns min	SCLK active edge to SDO valid, weak SDO driver
Update Rate	2.47	MSPS	Consists of cycle time, SYNC high time, data setup, and output voltage settling time

¹ 設計およびキャラクタライゼーションで保証しますが、出荷テストは行いません。

² シリアル・ワードのコントロール・ビットで決定される立下がりエッジまたは立上がりエッジ。コントロール・レジスタから SDO ドライバの強弱を選択することができます。

³ デイジーチェーン・モードとリードバック・モードは、最大クロック周波数で動作できません。SDO タイミング仕様は、図 5 に示す負荷回路で測定。



¹ ASYNCHRONOUS LDAC UPDATE MODE.

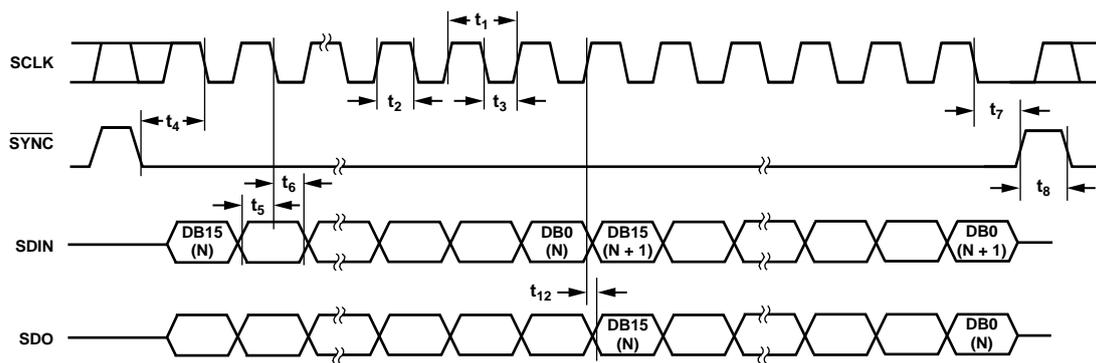
² SYNCHRONOUS LDAC UPDATE MODE.

NOTES

ALTERNATIVELY, DATA CAN BE CLOCKED INTO THE INPUT SHIFT REGISTER ON THE RISING EDGE OF SCLK AS DETERMINED BY THE CONTROL BITS. TIMING IS AS ABOVE, WITH SCLK INVERTED.

図 2. スタンドアロン・モードのタイミング図

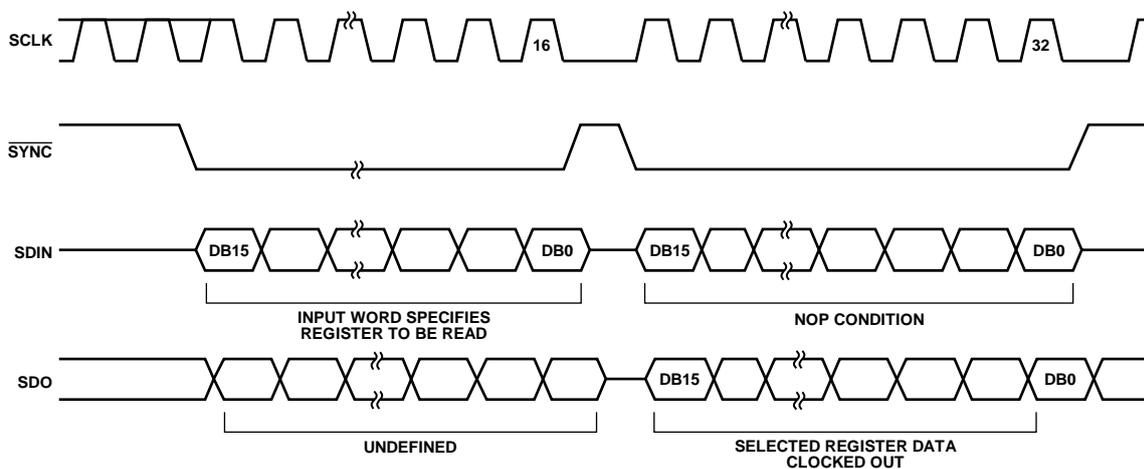
04461-1/02



NOTES
 1. ALTERNATIVELY, DATA CAN BE CLOCKED INTO THE INPUT SHIFT REGISTER ON THE RISING EDGE OF SCLK AS DETERMINED BY THE CONTROL BITS. IN THIS CASE, DATA IS CLOCKED OUT OF SDO ON THE FALLING EDGE OF SCLK. TIMING IS AS ABOVE, WITH SCLK INVERTED.

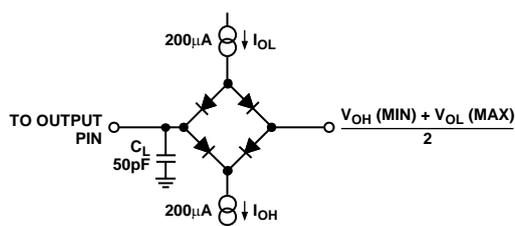
04461-003

図 3. デジタルチェーンのタイミング図



04461-003

図 4. リードバック・モードのタイミング図



04461-004

図 5. SDO タイミング仕様の負荷回路

絶対最大定格

最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{REF} , R_{FB} to GND	-12 V to +12 V
I_{OUT1} , I_{OUT2} to GND	-0.3 V to +7 V
Input Current to Any Pin Except Supplies	± 10 mA
Logic Inputs and Output ¹	-0.3 V to $V_{DD} + 0.3$ V
Operating Temperature Range	
Extended (Y Version)	-40°C to $+125^\circ\text{C}$
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Junction Temperature	150°C
24-Lead TSSOP, θ_{JA} Thermal Impedance	$128^\circ\text{C}/\text{W}$
Lead Temperature, Soldering (10 sec)	300°C
IR Reflow, Peak Temperature (<20 sec)	235°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

¹ SCLK、 $\overline{\text{SYNC}}$ 、SDINの過電圧は内蔵ダイオードでクランプされます。

ESDの注意

ESD (静電気放電)に敏感なデバイスです。4000 V にもなる静電気は人体や装置に蓄積され、検出されずに放電することがあります。この製品は当社独自の ESD 保護回路を内蔵していますが、高エネルギーの静電放電が発生すると、デバイスが永久的な損傷を受けることがあります。このため、性能低下または機能損失を防止するために、ESD に対する適切な注意が必要です。



ピン配置およびピン機能説明

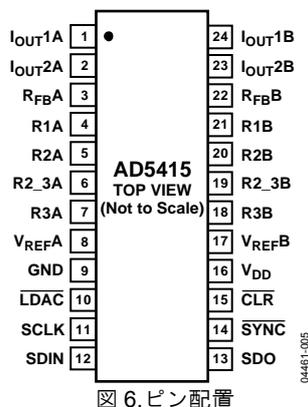


図 6. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	I _{OUT1A}	DAC A の電流出力。
2	I _{OUT2A}	DAC A のアナログ・グラウンド。通常このピンはシステムのアナログ・グラウンドに接続しますが、単電源動作するときはバイアスを加えることができます。
3	R _{FB A}	DAC の帰還抵抗ピン。外付けアンプの出力に接続して、DAC の電圧出力を決定します。
4~7	R1A、R2A、 R2_3A、R3A	DAC A の 4 象限抵抗。これらのピンを使うと、最小外付け部品数でのバイポーラ動作など、多くのコンフィギュレーション・モードが可能になります。
8	V _{REF A}	DAC A のリファレンス電圧入力ピン。
9	GND	グラウンド・ピン。
10	LDAC	ロードDAC 入力。このピンを使うと、DAC 出力の非同期更新または同期更新を行うことができます。この信号をロー・レベルにすると、DAC が非同期更新されます。あるいは、このラインをロー・レベルに固定すると、自動すなわち同期更新モードが選択されて、デバイスがスタンダロン・モードの場合は 16 番目のクロックの立下がりエッジで、ディジーチェーン・モードの場合は SYNC の立下がりエッジで、それぞれ DAC が更新されます。
11	SCLK	シリアル・クロック入力。デフォルトでは、データはシリアル・クロック入力の立下がりエッジでシフトレジスタに入力されます。代わりに、シリアルコントロールビットを使って、SCLK の立下がりエッジでデータがシフトレジスタに入力されるように、デバイスを設定することもできます。
12	SDIN	シリアル・データ入力。データはシリアル・クロック入力のアクティブ・エッジで 16 ビット入力レジスタに入力されます。パワーアップ時、デフォルトでは、データは SCLK の立下がりエッジでシフトレジスタに入力されます。コントロール・ビットを使って、アクティブ・エッジを立下がりエッジに変更することができます。
13	SDO	シリアル・データ出力。このピンを使うと、複数デバイスをディジーチェーン接続することができます。デフォルトでは、データは SCLK の立下がりエッジでシフトレジスタに入力され、SCLK の立下がりエッジで SDO から出力されます。データは常に、データをシフトレジスタにローディングするエッジと反対のエッジで出力されます。リードバック・コントロール・ワードをシフトレジスタに書込むと、DAC レジスタ値がリードバックのために SDO ピンに出力され、アクティブ・クロック・エッジと反対の次の 16 個のエッジで出力されます。
14	SYNC	アクティブ・ローのコントロール入力。このピンは、入力データに対するフレーム同期信号です。SYNC がロー・レベルになると、SCLK バッファと SDIN バッファが動作を開始し、入力シフトレジスタがイネーブルされます。次のクロックのアクティブ・エッジでデータがシフトレジスタにロードされます。スタンダロン・モードでは、シリアル・インターフェースがクロック数をカウントし、16 番目のアクティブ・クロック・エッジでデータがシフトレジスタにラッチされます。
15	CLR	アクティブ・ローのコントロール入力。このピンは、DAC 出力レジスタ、入力レジスタ、DAC レジスタをクリアします。コンフィギュレーション・モードでは、ハードウェア CLR ピンをゼロスケールまたはミッドスケールへのクリアとしてイネーブルすることができます。
16	V _{DD}	正電源入力。このデバイスは 2.5~5.5 V の電源で動作することができます。
17	V _{REF B}	DAC B のリファレンス電圧入力ピン。
18~21	R3B、R2_3B、 R2B、R1B	DAC B の 4 象限抵抗。これらのピンを使うと、最小外付け部品数でのバイポーラ動作など、多くのコンフィギュレーション・モードが可能になります。
22	R _{FB B}	DAC B の帰還抵抗ピン。外付けアンプの出力に接続して、DAC の電圧出力を決定します。
23	I _{OUT2B}	DAC B のアナログ・グラウンド。通常このピンはシステムのアナログ・グラウンドに接続しますが、単電源動作するときはバイアスを加えることができます。
24	I _{OUT1B}	DAC B の電流出力。

代表的な性能特性

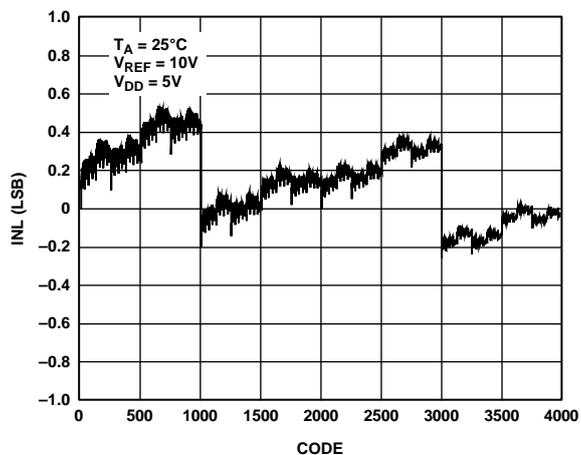


図 7.コード対 INL (12 ビット DAC)

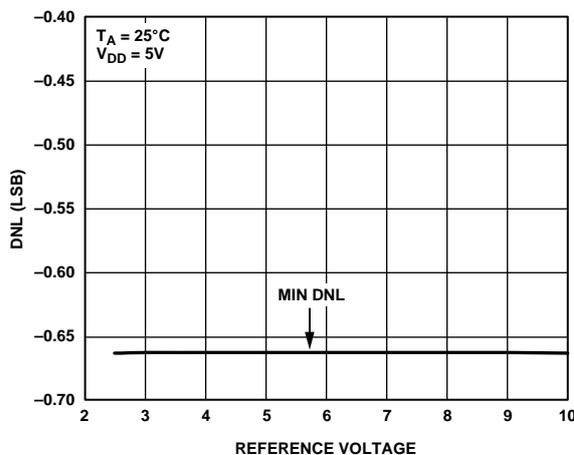


図 10.リファレンス電圧対 DNL

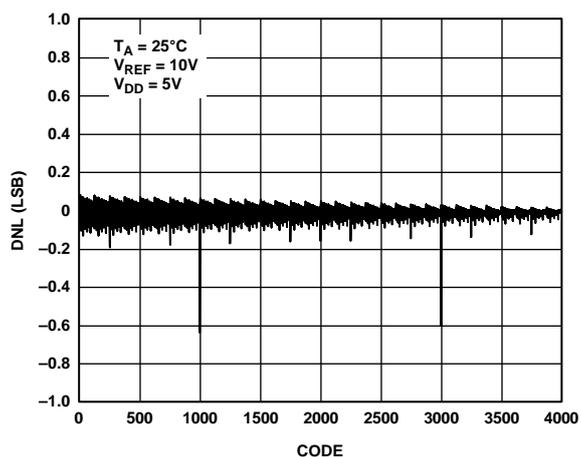


図 8.コード対 DNL (12 ビット DAC)

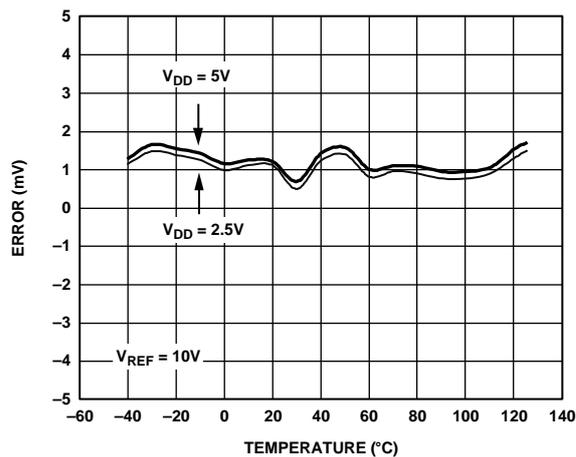


図 11.ゲイン誤差の温度特性

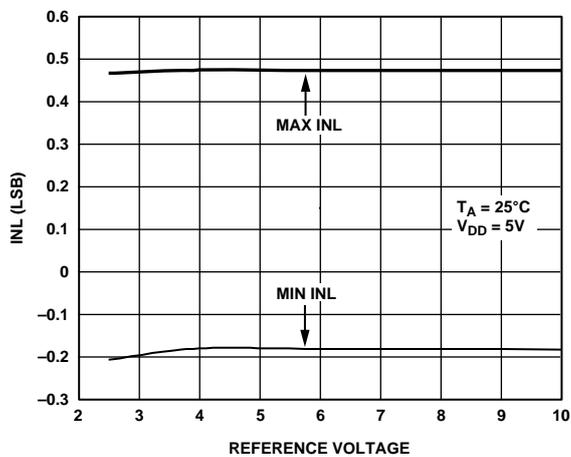


図 9.リファレンス電圧対 INL

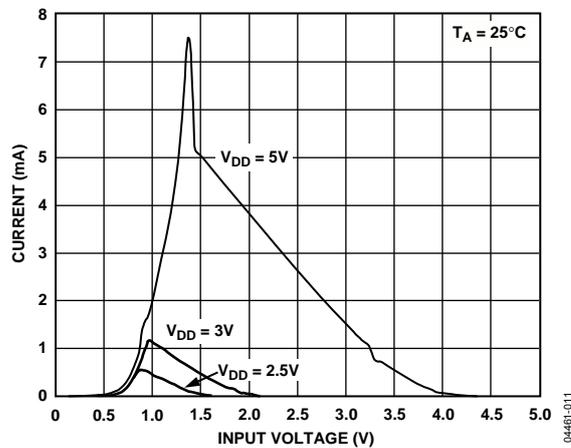


図 12.ロジック入力電圧対電源電流

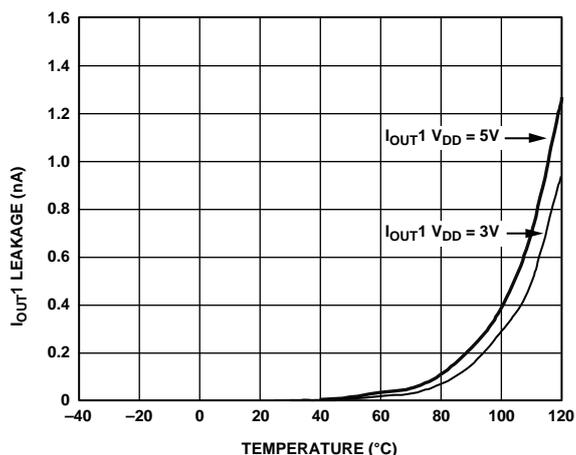


図 13. IOUT1 リーク電流の温度特性

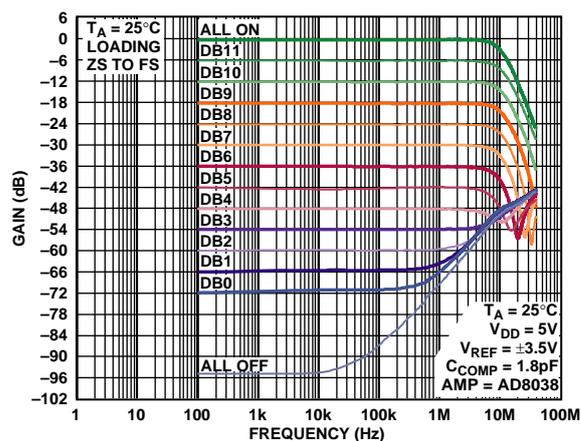


図 16. 周波数およびコード対リファレンス乗算帯域幅

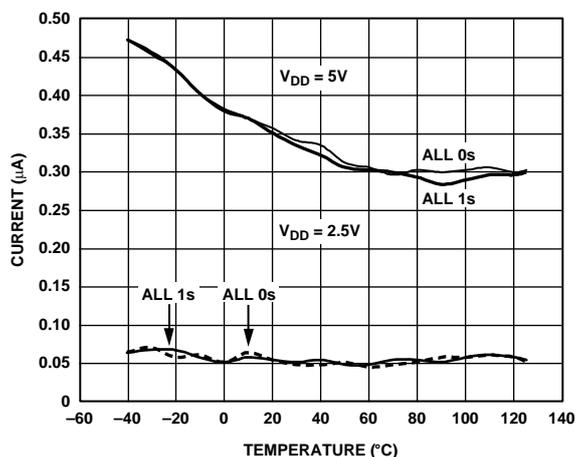


図 14. 電源電流の温度特性

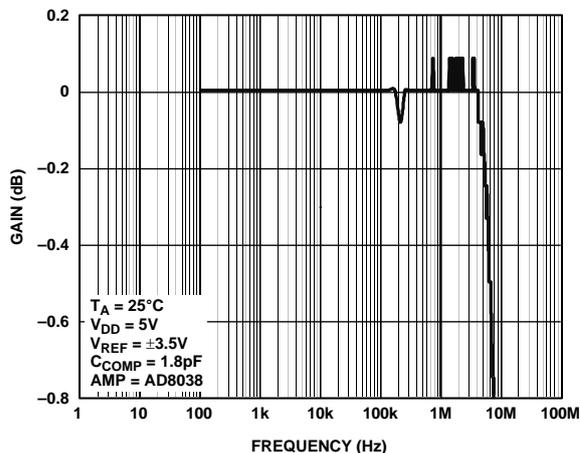


図 17. リファレンス乗算帯域幅—全ビット 1 をロード

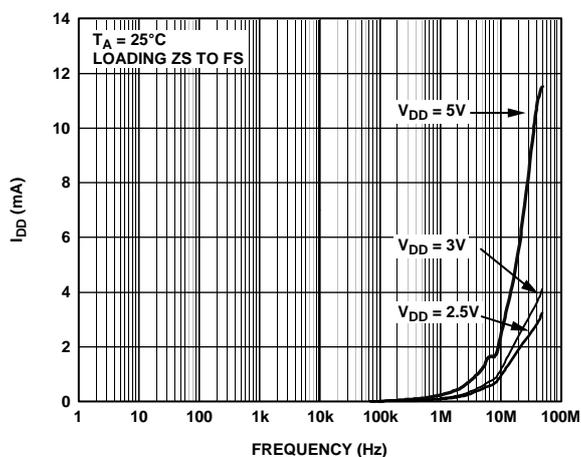


図 15. 更新レート対電源電流

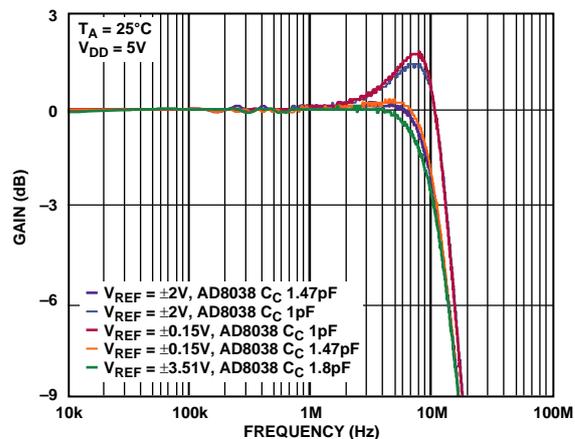


図 18. 周波数および補償コンデンサ対リファレンス乗算帯域幅

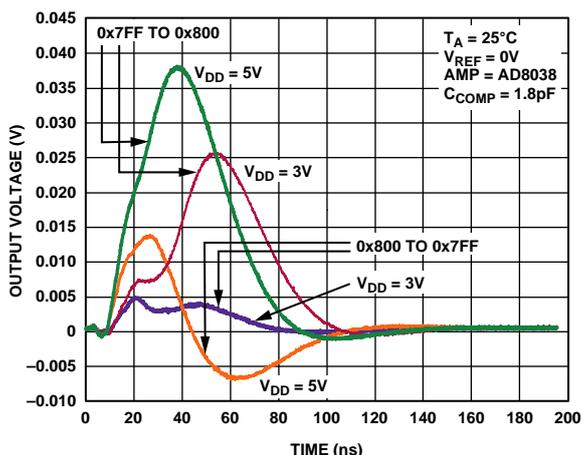


図 19. ミッドスケール変化、 $V_{REF} = 0\text{ V}$

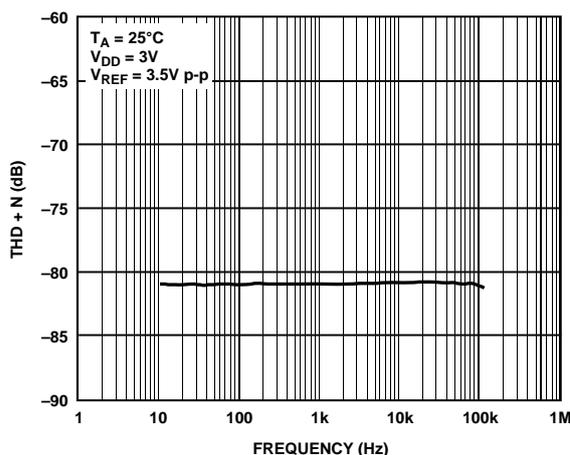


図 22. THD とノイズの周波数特性

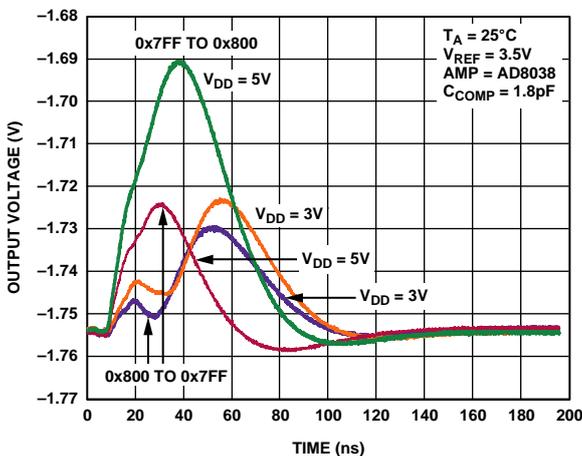


図 20. ミッドスケール変化、 $V_{REF} = 3.5\text{ V}$

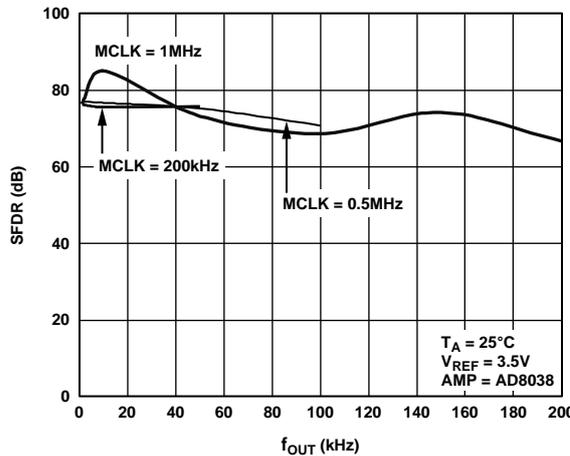


図 23. f_{OUT} 周波数対広帯域 SFDR

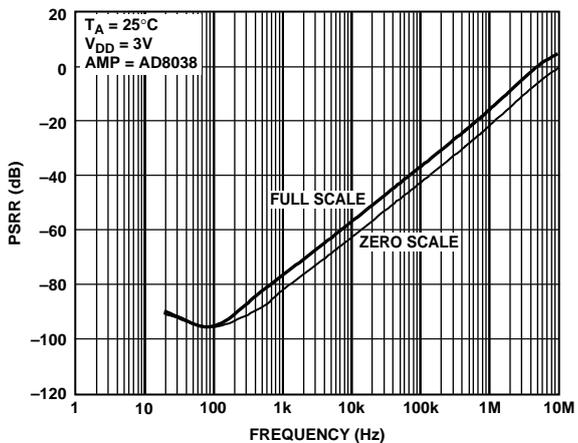


図 21. 電源除去比の周波数特性

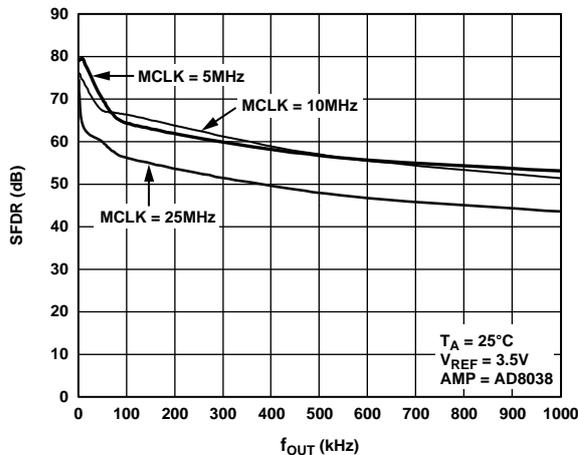


図 24. f_{OUT} 周波数対広帯域 SFDR

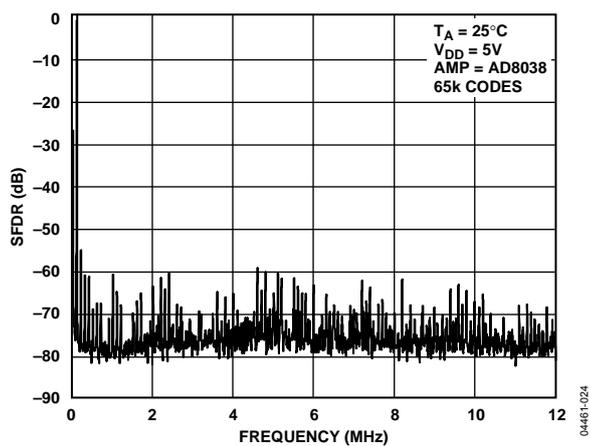


図 25.広帯域 SFDR
 $f_{OUT} = 100 \text{ kHz}$ 、クロック = 25 MHz

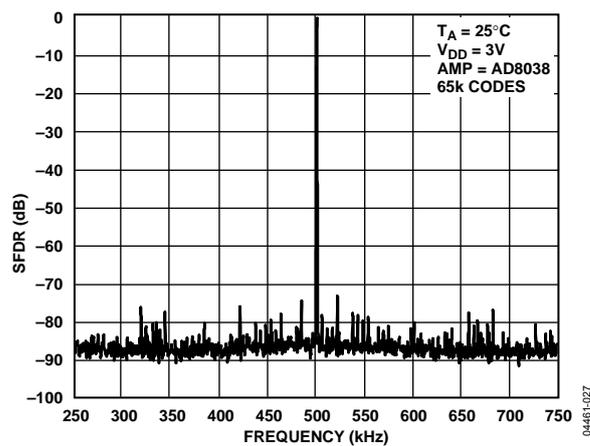


図 28.狭帯域スペクトル応答
 $f_{OUT} = 500 \text{ kHz}$ 、クロック = 25 MHz

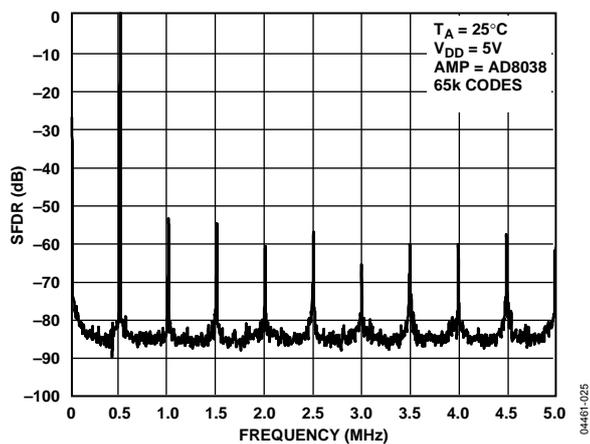


図 26.広帯域 SFDR
 $f_{OUT} = 500 \text{ kHz}$ 、クロック = 10 MHz

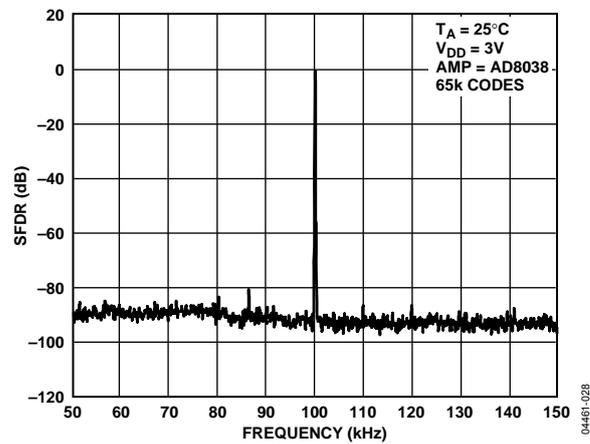


図 29.狭帯域 SFDR
 $f_{OUT} = 100 \text{ kHz}$ 、MCLK = 25 MHz

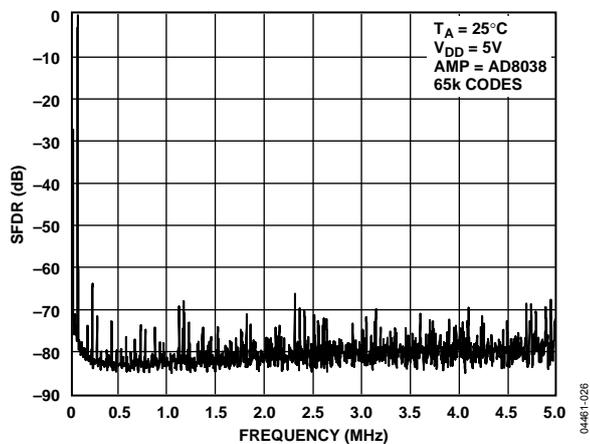


図 27.広帯域 SFDR
 $f_{OUT} = 50 \text{ kHz}$ 、クロック = 10 MHz

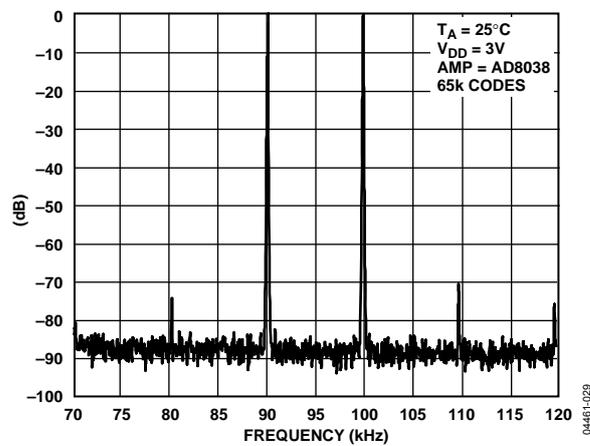


図 30.狭帯域 IMD
 $f_{OUT} = 90 \text{ kHz}$ 、 100 kHz 、クロック = 10 MHz

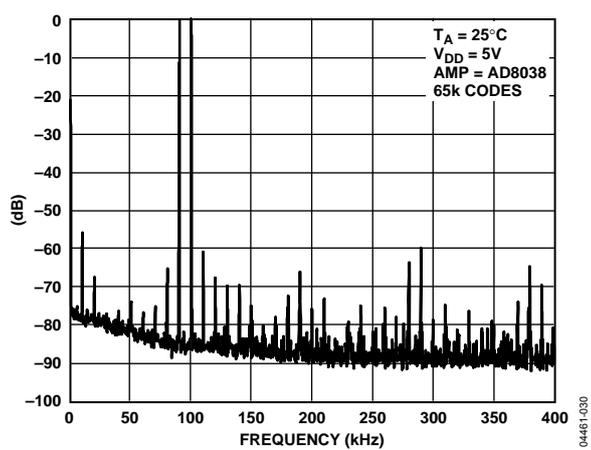


図 31.広帯域 IMD

$f_{\text{OUT}} = 90\text{ kHz}$ 、 100 kHz 、クロック = 25 MHz

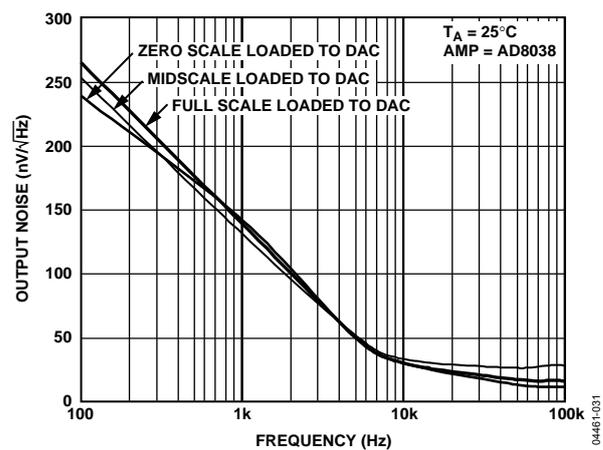


図 32.出力ノイズ・スペクトル密度

用語

相対精度(端点非直線性)

DAC 伝達関数の両端を結ぶ直線からの最大偏差をいいます。ゼロスケールおよびフルスケールに調節した後に測定し、一般に LSB 数またはフルスケールのパーセント値で表されます。

微分非直線性

隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。全動作温度範囲で最大-1 LSB の微分非直線性の仕様は、単調性を保証するものです。

ゲイン誤差(フルスケール誤差)

理論 DAC とデバイス実際の出力との間の出力誤差を表します。この DAC では、理論最大出力は $V_{REF} - 1 \text{ LSB}$ になります。DAC のゲイン誤差は、外付け抵抗を使って 0 に調整することができます。

出力リーク電流

DAC のラダー・スイッチがターンオフしているときに、これらに流入する電流を表します。I_{OUT1} ピンの場合は、全ビット 0 を DAC にロードして I_{OUT1} 電流を測定します。DAC に全ビット 1 がロードされたとき、I_{OUT2} ラインに流入する電流が最小になります。

出力容量

I_{OUT1} または I_{OUT2} と AGND との間の容量。

出力電流セトリング・タイム

フルスケール入力変化に対して、出力が規定のレベルまでに安定するために要する時間を表します。このデバイスの場合、グラウンドへ接続された 100Ω の抵抗を使って規定します。

デジタルからアナログへのグリッチ・インパルス

入力で状態変化があったとき、デジタル入力からアナログ出力へ混入される電荷の大きさを表します。グリッチが電流信号または電圧信号のいずれかで測定するかに応じて、それぞれ pA-sec または nV-sec で表したグリッチの面積として規定されます。

デジタル・フィードスルー

デバイスが選択されていないときに、デバイスのデジタル入力での高周波ロジック動作がデバイスに容量結合により混入して、I_{OUT} ピンと後段の回路にノイズとして現れることを意味します。このノイズがデジタル・フィードスルーです。

乗算フィードスルー誤差

DAC に全ビット 0 をロードしたときの、DAC のリファレンス電圧入力から DAC の I_{OUT1} ピンへの容量性フィードスルーに起因する誤差を表します。

デジタル・クロストーク

1 つの DAC の入力レジスタでのフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)から、別の DAC の出力に混入したグリッチ・インパルスを表し、nV-sec で表示します。

アナログ・クロストーク

DAC の出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルス。LDAC ピンをハイ・レベルに設定して、DAC の 1 つにフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)をロードして、次に LDAC ピンをロー・レベル・パルスを入力して、デジタル・コードに変化のない別の DAC 出力をモニターすることにより測定します。グリッチの面積は nV-sec で表示します。

チャンネル間アイソレーション

1 つの DAC のリファレンス入力からの入力信号が別の DAC 出力に現れた分を意味します。dB 値で表示します。

総合高調波歪み(THD)

DAC は、AC リファレンス電圧で駆動されます。THD は、DAC 出力の各高調波の rms 和と基本波の比を表します。次に示すように、一般に 2~5 次高調波のような低い高調波だけで表されます。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1}$$

相互変調歪み(IMD)

DAC を周波数 f_a と f_b の 2 つの正弦波リファレンス信号で駆動します。歪み積は和周波数と差周波数 ($m f_a \pm n f_b$) で発生します。ここで、 $m, n = 0, 1, 2, 3 \dots$ です。相互変調歪みの項とは、 m または n がゼロでない項をいいます。2 次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3 次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。IMD は次のように定義されます。

$$IMD = 20 \log \frac{(\text{rms sum of the sum and diff distortion products})}{\text{rms amplitude of the fundamental}}$$

電圧コンプライアンス範囲

デバイスが仕様特性を提供するピン電圧(出力)の最大範囲を表します。

概要

DACセクション

AD5415は、標準反転R-2Rラダー構成を採用する12ビットの2チャンネル電流出力DACです。図33に、AD5415の簡略化した1チャンネルのブロック図を示します。帰還抵抗 R_{FB} の値は $2R$ です。 R の値(typ)は $10\text{ k}\Omega$ (最小 $8\text{ k}\Omega$ 、最大 $12\text{ k}\Omega$)です。 I_{OUT1} と I_{OUT2} が同電位に維持されると、デジタル入力コードに無関係に一定の電流が各ラダーに流入します。したがって、 V_{REF} の入力抵抗は常に一定です。

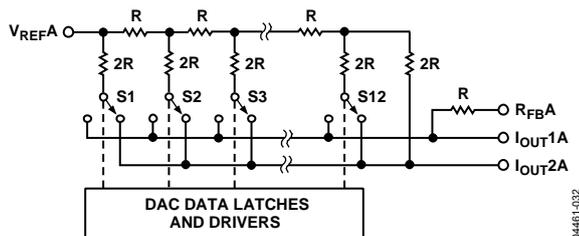


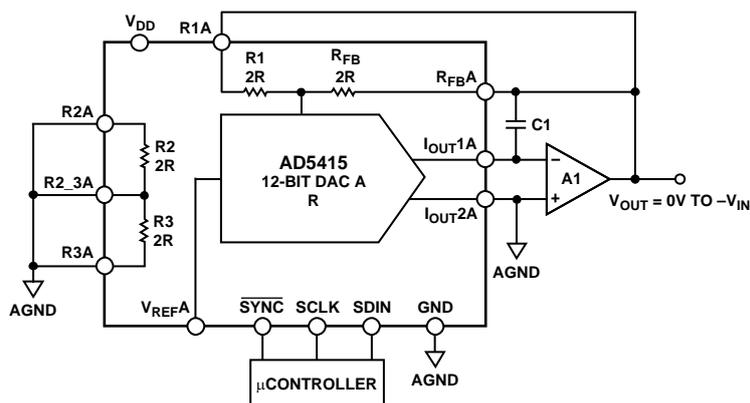
図 33.簡略化したラダー回路

DACの各端子 V_{REF} 、 R_{FB} 、 I_{OUT1} 、 I_{OUT2} をアクセスできるため、デバイスは極めて柔軟で、ユニポーラ出力、バイポーラ出力、単電源モードなどのような複数の動作モードに設定することができます。

回路動作

ユニポーラ・モード

オペアンプを1個使うと、このデバイスは2象限乗算動作に、すなわち図34に示すユニポーラ出力電圧振幅に容易に構成することができます。



- NOTES
 1. DAC B OMITTED FOR CLARITY.
 2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

図 34.ユニポーラ動作

出力アンプをユニポーラ・モードで接続した場合、出力電圧は次式で与えられます。

$$V_{OUT} = -V_{REF} \times D/2^n$$

ここで、 D はDACにロードされる $0 \sim 4,095$ のデジタル・ワード値です。 n はビット数です。

出力電圧の極性は、DCリファレンス電圧の V_{REF} 極性と反対になることに注意してください。このDACは、負または正のいずれかのリファレンス電圧で動作するようにデザインされています。 V_{DD} 電源ピンは、内部デジタル・ロジックがDACスイッチのオン状態とオフ状態を駆動するときのみ使います。

このDACには、 $-10\text{ V} \sim +10\text{ V}$ の範囲のACリファレンス信号も入力できるようにデザインされています。

リファレンス電圧が 10 V に固定の場合、図34の回路は $0\text{ V} \sim -10\text{ V}$ のユニポーラ出力電圧振幅になります。 V_{IN} がAC信号である場合、この回路は2象限乗算を実行します。

表5に、デジタル・コードとユニポーラ動作出力電圧との対応を示します。

表 5.ユニポーラ・コード

Digital Input	Analog Output (V)
1111 1111 1111	$-V_{REF} (4,095/4,096)$
1000 0000 0000	$-V_{REF} (2,048/4,096) = -V_{REF}/2$
0000 0000 0001	$-V_{REF} (1/4,096)$
0000 0000 0000	$-V_{REF} (0/4,096) = 0$

バイポーラ動作

アプリケーションによっては 4 象限乗算機能、すなわちバイポーラ出力振幅が必要となることがあります。これは、外付けアンプと内蔵 4 象限抵抗を使用することにより容易に実現できます(図 35 参照)。

バイポーラ・モードでは、出力電圧は次式で与えられます。

$$V_{OUT} = (V_{REF} \times D/2^{n-1}) - V_{REF}$$

ここで、D は DAC にロードされる 0~4,095 のデジタル・ワード値です。n はビット数です。

V_{IN} が AC 信号である場合、この回路は 4 象限乗算を実行します。

表 6 に、デジタル・コードとバイポーラ動作出力電圧との対応を示します。

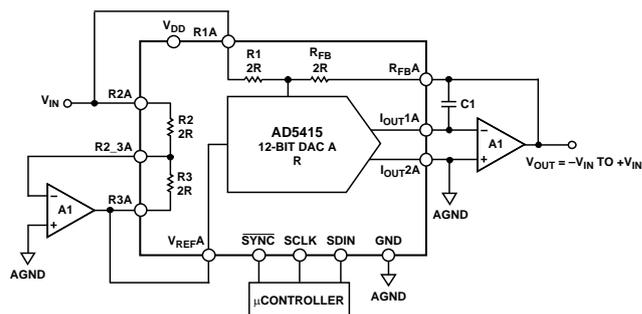
表 6. バイポーラ・コード

Digital Input	Analog Output (V)
1111 1111 1111	+ V_{REF} (4,095/4,096)
1000 0000 0000	0
0000 0000 0001	- V_{REF} (4,095/4,096)
0000 0000 0000	- V_{REF} (4,096/4,096)

安定性

I/V 変換の構成では、DAC の I_{OUT} とオペアンプの反転ノードをできるだけ短い配線で接続する必要があります。正しい PCB レイアウト技術を使う必要があります。各コード変化はステップ関数に対応するため、オペアンプのゲイン帯域幅積(GBP)が小さく、かつ反転ノードの寄生容量が大きい場合に、ゲイン・ピーキングが発生することがあります。この寄生容量によりオープン・ループ応答内に極が導入されるため、クローズド・ループ・アプリケーションでリングングや不安定が発生することがあります。

$R_{FB A}$ に並列にオプションの補償コンデンサ C1 を追加接続すると、安定性を確保することができます(図 34 と図 35 参照)。C1 が小さ過ぎると出力でリングングが発生し、大き過ぎるとセトリング・タイムに悪影響を与えます。C1 は経験的に決定されますが、一般に 1 pF~2 pF で十分に補償することができます。



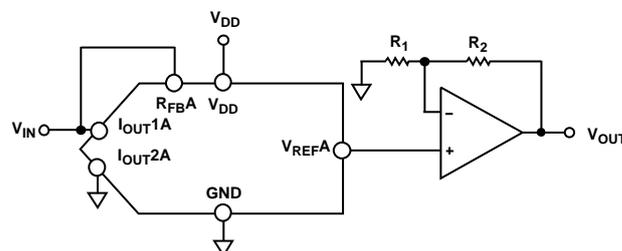
NOTES
1. DAC B OMITTED FOR CLARITY.
2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

図 35. バイポーラ動作

単電源アプリケーション

電圧スイッチング動作モード

図 36 に、電圧スイッチング・モードでの DAC の動作を示します。リファレンス電圧 V_{IN} は I_{OUT1A} ピンに、 I_{OUT2A} は AGND に、それぞれ接続され、出力電圧は $V_{REF A}$ ピンから得られます。この構成では、正のリファレンス電圧で正の出力電圧が発生するので、単電源動作が可能です。DAC の出力は、一定インピーダンス(DAC ラダー抵抗)を持つ電圧です。したがって、出力電圧をバッファするためにオペアンプが必要です。リファレンス入力から見える入力インピーダンスは一定でなくなり、コードに依存して変化します。したがって、電圧入力は低インピーダンス・ソースから駆動する必要があります。



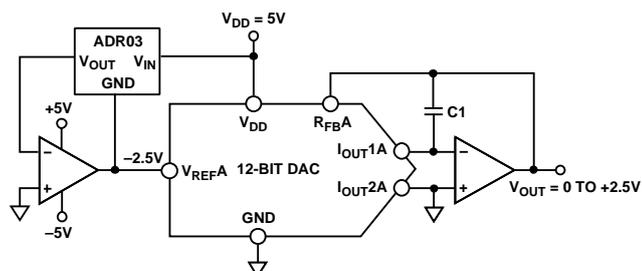
NOTES
1. SIMILAR CONFIGURATION FOR DACB
2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

図 36. 単電源電圧スイッチング動作モード

DAC ラダー内のスイッチは同じソース-ドレイン駆動電圧を持たなくなるので、 V_{IN} が小さい電圧に制限されることに注意してください。このためにオン抵抗が異なるので、DAC の積分直線性が損なわれます。また、 V_{IN} は 0.3 V より負側に振れないようにする必要があります。そうしないと、内部ダイオードがターンオンしてしまうためにデバイスの最大定格を超えてしまいます。このタイプのアプリケーションでは、DAC 乗算機能の全範囲を使うことができなくなります。

正出力電圧

出力電圧の極性は、DCリファレンス電圧の V_{REF} 極性と反対になります。正電圧出力を得るためには、反転アンプを使って出力の反転を行うと抵抗偏差誤差の影響を受けるので、DACの入力に負のリファレンス電圧を接続することが望まれます。負のリファレンス電圧を発生するときは、リファレンスの V_{OUT} ピンとGNDピンがそれぞれ仮想グラウンドと-2.5 Vになるように、リファレンスをオペアンプを使ってレベル・シフトすることができます(図 37参照)。

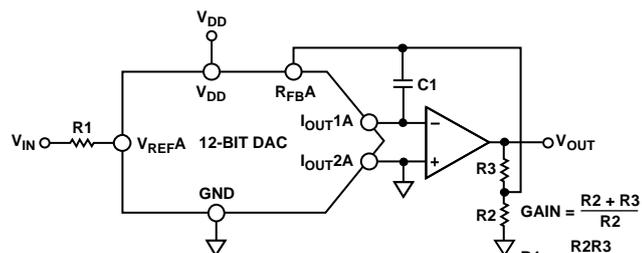


- NOTES
1. ADDITIONAL PINS OMITTED FOR CLARITY.
2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

図 37. 部品数最小での正電圧出力

加算ゲイン

V_{IN} より大きい出力電圧が必要なアプリケーションでは、外付けアンプを追加してゲインを増やすか、あるいはシングル・ステージで実現することもできます。DAC薄膜抵抗の温度係数の影響を考慮してください。単に R_{FB} 抵抗に直列に抵抗を接続するだけでは、温度係数の不一致が生じて、大きなゲイン温度係数誤差が発生します。代わりに、図 38に示す回路を使用して、回路のゲインを増やすことが推奨されます。 $R1$ 、 $R2$ 、 $R3$ はすべて同じ温度係数を持つ必要がありますが、DACの温度係数に一致する必要はありません。この方法は、1 より大きいゲインを持つ回路に推奨されます。



- NOTES
1. ADDITIONAL PINS OMITTED FOR CLARITY.
2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

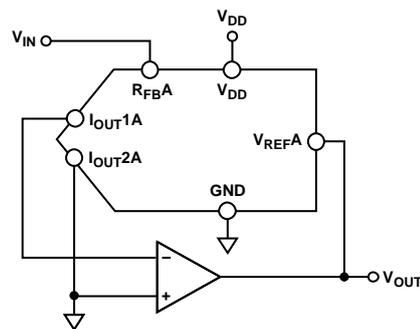
図 38. 電流出力 DAC ゲインの増加

分圧器またはプログラマブル・ゲイン・エレメント

電流切替型DACは非常に柔軟であるため、多くのアプリケーションに適しています。このタイプのDACをオペアンプの帰還エレメントとして接続し、かつ図 39に示すように R_{FB} を入力抵抗として使うと、出力電圧はデジタル入力値Dに反比例します。

$D = 1 - 2^{-n}$ の場合、出力電圧は、

$$V_{OUT} = -V_{IN}/D = -V_{IN}/(1 - 2^{-n})$$



- NOTES
1. ADDITIONAL PINS OMITTED FOR CLARITY.

図 39. 分圧器またはプログラマブルなゲイン・エレメントとして使用した電流切替型 DAC

Dが減少すると、出力電圧が増加します。デジタル値Dが小さい場合は、アンプが飽和しないようにして、所要精度が満たされるようにすることが大切です。たとえば、図 39に示す回路で 8 ビット DAC にバイナリ・コード 0x10 (00010000)、すなわち 16 (10 進値) を入力すると、出力電圧は $16 \times V_{IN}$ になります。ただし、DACが ± 0.5 LSBの直線性仕様を持つ場合、Dの重みは $15.5/256 \sim 16.5/256$ の範囲になるため、出力電圧は $15.5 V_{IN} \sim 16.5 V_{IN}$ の範囲になります。これは、DAC自体の最大誤差は 0.2%ですが、3%の誤差になることを意味します。

DAC のリーク電流も、分圧器回路で誤差原因になります。リーク電流は、DAC を介してオペアンプから供給される逆向き電流により相殺させる必要があります。 V_{REFA} ピンに流入する電流の一部 D だけが I_{OUT1A} ピンに流れるため、出力電圧は次のように変化します。

DAC のリーク電流に起因する出力誤差電圧 = (リーク電流 \times R)/D

ここで、R は V_{REFA} ピンでの DAC 抵抗。

10 nA の DAC リーク電流、R = 10 k Ω 、ゲイン = 16 (すなわち 1/D) に対して、誤差電圧は 1.6 mV になります。

リファレンスの選択

電流出力DACのAD54XXシリーズで使用するリファレンス電圧を選択する際には、リファレンス出力電圧の温度係数仕様に注意する必要があります。このパラメータはフルスケール誤差に影響するだけでなく、直線性性能(INLとDNL)にも影響することがあります。リファレンス電圧の温度係数は、システム精度仕様に合致する必要があります。たとえば、 0°C ~ 50°C の温度範囲で1 LSB以内の全体仕様を維持する必要がある8ビット・システムでは、システムの最大温度ドリフトは78 ppm/ $^{\circ}\text{C}$ 以下である必要があります。同じ温度範囲で2 LSB以内の全体仕様を持つ12ビット・システムでは、最大ドリフトは10 ppm/ $^{\circ}\text{C}$ である必要があります。小さい出力温度係数を持つ高精度なリファレンス電圧を選択することにより、この誤差原因を小さくすることができます。表7に、この範囲の電流出力DACに使用できるアナログ・デバイセズのリファレンス電圧を示します。

アンプ選択

電流切替モードに対する基本的な条件は、小さい入力バイアス電流と小さい入力オフセット電圧を持つアンプを使うことです。DAC出力抵抗はコードに依存するため、オペアンプの入力オフセット電圧は、回路の可変ゲインにより増幅されます。隣接する2つのデジタル値の間でのこのノイズ・ゲイン変化により、アンプの入力オフセット電圧に起因して出力電圧のステップ変化が発生します。この出力電圧変化は2つのコード間の正常な出力に重畳

されるため、微分直線性誤差を発生させ、非常に大きい場合には、DACの非単調性の原因になります。

また、オペアンプの入力バイアス電流は、帰還抵抗 R_{FB} に流入するバイアス電流のために電圧出力にオフセットを発生させます。多くのオペアンプは、12ビット・アプリケーションで大きな誤差を発生させないように十分小さい入力バイアス電流を持っています。

電圧スイッチング回路では回路の電圧出力でコード依存誤差が発生するため、オペアンプの同相モード除去比は重要です。多くのオペアンプは、12ビット分解能に対しては十分な同相モード除去比を持っています。

DACスイッチが広帯域低インピーダンスの各ソース(V_{IN} と $AGND$)から駆動される場合は、セトリング・タイムは短くなります。したがって、電圧スイッチングDAC回路のスルーレートとセトリング・タイムは、出力オペアンプにより支配されます。この構成で最小のセトリング・タイムを得るためには、DACの V_{REF} ノード(このアプリケーションでは電圧出力ノード)の容量を小さくしてください。これは、小さい入力容量のバッファアンプを使い、ボード・デザインを注意深く行うことにより実現することができます。

多くの単電源回路にはアナログ信号範囲の一部としてグラウンドが含まれます。そのため、レールtoレール信号を処理できるアンプが必要となります。アナログ・デバイセズは、表8と表9に示すように、広範囲な単電源動作アンプを提供しています。

表 7. 使用可能な ADI 高精度リファレンス電圧

Part No.	Output Voltage (V)	Initial Tolerance (%)	Temp Drift (ppm/°C)	I _{SS} (mA)	Output Noise (μV p-p)	Package
ADR01	10	0.05	3	1	20	SOIC-8
ADR01	10	0.05	9	1	20	TSOT-23, SC70
ADR02	5	0.06	3	1	10	SOIC-8
ADR02	5	0.06	9	1	10	TSOT-23, SC70
ADR03	2.5	0.10	3	1	6	SOIC-8
ADR03	2.5	0.10	9	1	6	TSOT-23, SC70
ADR06	3	0.10	3	1	10	SOIC-8
ADR06	3	0.10	9	1	10	TSOT-23, SC70
ADR431	2.5	0.04	3	0.8	3.5	SOIC-8
ADR435	5	0.04	3	0.8	8	SOIC-8
ADR391	2.5	0.16	9	0.12	5	TSOT-23
ADR395	5	0.10	9	0.12	8	TSOT-23

表 8. 使用可能な ADI 高精度オペアンプ

Part No.	Supply Voltage (V)	V _{OS} (Max) (μV)	I _B (Max) (nA)	0.1 Hz to 10 Hz Noise (μV p-p)	Supply Current (μA)	Package
OP97	±2 to ±20	25	0.1	0.5	600	SOIC-8
OP1177	±2.5 to ±15	60	2	0.4	500	MSOP, SOIC-8
AD8551	2.7 to 5	5	0.05	1	975	MSOP, SOIC-8
AD8603	1.8 to 6	50	0.001	2.3	50	TSOT
AD8628	2.7 to 6	5	0.1	0.5	850	TSOT, SOIC-8

表 9. 使用可能な ADI 高速オペアンプ

Part No.	Supply Voltage (V)	BW @ ACL (MHz)	Slew Rate (V/μs)	V _{OS} (Max) (μV)	I _B (Max) (nA)	Package
AD8065	5 to 24	145	180	1,500	6,000	SOIC-8, SOT-23, MSOP
AD8021	±2.5 to ±12	490	120	1,000	10,500	SOIC-8, MSOP
AD8038	3 to 12	350	425	3,000	750	SOIC-8, SC70-5
AD9631	±3 to ±6	320	1,300	10,000	7,000	SOIC-8

シリアル・インターフェース

AD5415 は、SPI、QSPI、MICROWIREおよび大部分のDSPの各インターフェース標準と互換性を持つ使い易い 3 線式インターフェースを内蔵しています。データは、16 ビット・ワードでデバイスに書込まれます。各 16 ビット・ワードは、4 ビットのコントロール・ビットと 12 ビットのデータビットにより構成されます(図 40 参照)。

低消費電力シリアル・インターフェース

デバイスに書込みを行うときだけ、すなわち SYNC の立下がりエッジでのみ、インターフェースをパワーアップさせるため、デバイスの消費電力を最小にすることができます。SCLK 入力バッファと DIN 入力バッファは、SYNC の立上がりエッジでパワーダウンされます。

DAC コントロール・ビット: C3~C0

コントロール・ビット C3~C0 を使うと、種々の DAC 機能を制御することができます(表 11)。パワーオン時の DAC のデフォルト設定は次のようになります。データがクロックの立下がりエッジでシフトレジスタに入力され、ディジーチェーン・モードがイネーブルされています。デバイスのパワーオン時は、DAC レジスタと I_{OUT} ピンにはゼロスケールがロードされています。DAC コントロール・ビットを使って、パワーオン時の所定の機能を調整することができます。たとえば、使用しない場合にディジーチェーン接続をディスエーブルすること、アクティブ・クロック・エッジを立上がりエッジに変更すること、DAC 出力をゼロスケールまたはミッドスケールにクリアすることが可能です。また、確認のために DAC レジスタ値をリードバックすることもできます。

コントロール・レジスタ (コントロール・ビット = 1101)

1 チャンネル電流出力 DAC (AD5426/AD5433/AD5443) とのソフトウェア互換性を維持すると同時に、この DAC は追加インターフェース機能も内蔵しています。コントロール・ビットに 1101 を設定すると、コントロール・レジスタ・モードになります。図 41 に、コントロール・レジスタ値を示します。この値の機能は次のセクションで説明します。

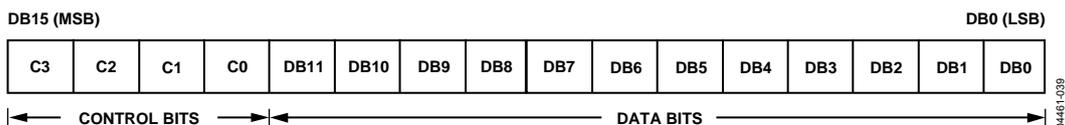


図 40.12 ビット入力シフトレジスタ値

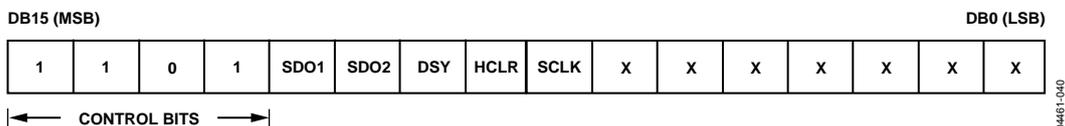


図 41. コントロール・レジスタのロード・シーケンス

SDO コントロール (SDO1 と SDO2)

SDO ビットを使うと、SDO 出力ドライバ強度の制御、SDO 出力のディスエーブル、SDO 出力のオープン・ドレイン・ドライバ構成を行うことができます。SDO ドライバ強度は t₁₂ のタイミングに影響を与え、強度を上げると、クロック・サイクルを高速化することができます。

表 10. SDO コントロール・ビット

SDO2	SDO1	Function
0	0	Full SDO driver
0	1	Weak SDO driver
1	0	SDO configured as open drain
1	1	Disable SDO output

ディジーチェーン・コントロール (DSY)

DSY は、ディジーチェーン・モードをイネーブル/ディスエーブルします。このビットに 1 を設定するとディジーチェーン・モードがイネーブルされ、0 を設定するとディスエーブルされます。ディスエーブルされると、リードバック要求が受け付けられ、SDO が自動的にイネーブルされて、該当する DAC の DAC レジスタ値が SDO へ出力されます。完了すると、SDO は再度ディスエーブルされます。

ハードウェア CLR ビット (HCLR)

ハードウェア CLR ピンのデフォルト設定は、レジスタをクリアし、DAC 出力をゼロ・コードにしているようになっています。HCLR ビットに 1 を設定すると DAC 出力がミッドスケールにクリアされ、0 を設定するとゼロスケールにクリアされます。

アクティブ・クロック・エッジ (SCLK)

デフォルトのアクティブ・クロック・エッジは立下がりエッジになっています。このビットに 1 を書込むとデータは立上がりエッジで入力され、0 を書込むとデータは立下がりエッジで入力されます。

表 11.DAC コントロール・ビット

C3	C2	C1	C0	DAC	Function
0	0	0	0	A and B	No operation (power-on default)
0	0	0	1	A	Load and update
0	0	1	0	A	Initiate readback
0	0	1	1	A	Load input register
0	1	0	0	B	Load and update
0	1	0	1	B	Initiate readback
0	1	1	0	B	Load input register
0	1	1	1	A and B	Update DAC outputs
1	0	0	0	A and B	Load input registers
1	0	0	1	–	Disable daisy-chain
1	0	1	0	–	Clock data to shift register on rising edge
1	0	1	1	–	Clear DAC output to zero scale
1	1	0	0	–	Clear DAC output to midscale
1	1	0	1	–	Control word
1	1	1	0	–	Reserved
1	1	1	1	–	No operation

SYNC 機能

SYNC は、フレーム同期信号とチップ・イネーブルとして機能するエッジ検出入力です。データは、SYNCがロー・レベルのときのみデバイスに転送できます。シリアル・データ転送を開始するときは、SYNCをロー・レベルにして、SYNCの立下がりからSCLKの立下がりエッジまでの最小セットアップ・タイム t_4 を確保します。

ディジーチェーン・モード

ディジーチェーン・モードは、パワーオンでのデフォルト・モードになっています。ディジーチェーン機能をディスエーブルするときは、コントロール・ワードに 1001 を書込みます。ディジーチェーン・モードでは、SCLKの内部ゲーティングがディスエーブルされます。SCLKはSYNCがロー・レベルのとき、連続的に入力シフトレジスタに入力されます。16 個を超えるクロック・パルスが入力されると、データはシフトレジスタからはみ出して、SDOピンに出力されます。データはSCLKの立上がりエッジで出力され、SCLKの立下がりエッジ(デフォルト)で有効になります。このピンをチェーン内の次のデバイスのSDIN入力に接続すると、複数デバイスのインターフェースを構成することができます。システム内の各デバイスには、16 個のクロック・パルスが必要です。したがって、必要な合計クロック・サイクル数は $16N$ になります。ここで、Nはチェーン内の合計デバイス数です(図 5参照)。

すべてのデバイスに対するシリアル転送が完了したら、SYNCをハイ・レベルにします。これにより、入力シフトレジスタへ余分なデータが入力されるのを防止します。必要なクロック・サイクル数を含むバースト・クロックを使うことができ、その後でSYNCをハイ・レベルにします。SYNCの立上がりエッジの後に、データは各デバイスの入力シフトレジスタからアドレス指定されたDACに自動的に転送されます。

コントロール・ビット= 0000 のとき、デバイスは無動作モードになります。ディジーチェーン・アプリケーションで、チェーン内の特定の DAC の設定を変更したくない場合には、この機能は便利です。その DAC のコントロール・ビットに 0000 を書込むと、後続のデータビットが無視されます。

スタンドアロン・モード

パワーオン時に、コントロール・ワードに 1001 を書込むと、ディジーチェーン・モードがディスエーブルされます。SYNCの最初の立下がりエッジでカウンタがリセットされます。このカウンタはシリアル・クロック数をカウントしてシリアル・シフトレジスタに対して正しいビット数を入力するようにします。16 ビット書き込みサイクルでSYNC エッジが発生すると、デバイスは現在の書き込みサイクルを中止します。

16 番目のSCLKパルスの立下がりエッジの後に、データが入力シフトレジスタからDACへ自動的に転送されます。次のシリアル転送を行うときは、SYNCの立下がりエッジでカウンタをリセットします。

LDAC 機能

このLDAC機能を使うと、DAC 出力の非同期更新または同期更新を行うことができます。この信号をロー・レベルにすると、DACが非同期更新されます。あるいは、このラインをロー・レベルに固定すると、自動すなわち同期更新モードが選択されて、デバイスがスタンドアロン・モードの場合は 16 番目のクロック立下がりエッジで、ディジーチェーン モードの場合はSYNCの立上がりエッジで、それぞれDACが更新されます。

ソフトウェアLDAC機能

ロードおよび更新モードも、LDAC ピンの電圧レベルに無関係にソフトウェア更新機能として機能します。

マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5415 DAC とのインターフェースは、マイクロコントローラと DSP プロセッサに対して互換性を持つ標準プロトコルを使うシリアル・バスを使って行います。この通信チャンネルは、クロック信号、データ信号、同期信号から構成される 3 線式インターフェースです。AD5415 では 16 ビット・ワードを使い、デフォルトでは SCLK の立下がりエッジでデータが有効になりますが、データ・ワード内のコントロール・ビットを使ってこれを変更することもできます。

ADSP-21xx と AD5415 とのインターフェース

ADSP-21xx ファミリーの DSP は、外付けロジックの追加なしに容易に AD5415 DAC にインターフェースすることができます。図 42 に、DAC と ADSP-2191 との間の SPI インターフェースの例を示します。DSP の SCK がシリアル・データライン SDIN を駆動します。SYNC は、ポート・ライン(この場合 SPIxSEL)から駆動されます。

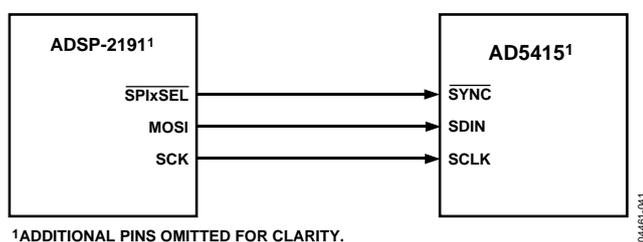


図 42. ADSP-2191 SPI と AD5415 とのインターフェース

図 43 に、DAC と DSP SPORT との間のシリアル・インターフェースを示します。このインターフェース例では、SPORT0 を使って、DAC シフトレジスタへデータを転送します。送信は、SPORT をイネーブルした後に、Tx レジスタにワードを書込むことにより、起動されます。書込みシーケンスでは、データは DSP のシリアル・クロックの各立上がりエッジで出力され、SCLK の立下がりエッジで DAC シフトレジスタに入力されます。DAC 出力の更新は、SYNC 信号の立上がりエッジで行われます。

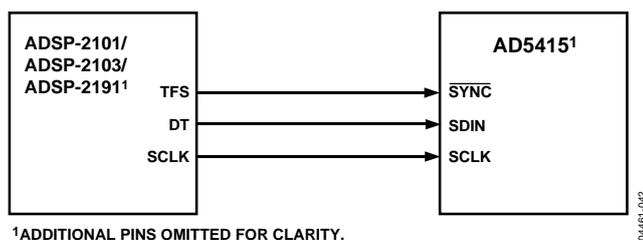


図 43. ADSP-2101/ADSP-2103/ADSP-2191 の SPORT と AD5415 とのインターフェース

フレーム同期遅延、フレーム同期のセットアップ・タイムとホールド・タイム、データ遅延、データのセットアップ・タイムとホールド・タイム、SCLK 幅の仕様に互換性がある場合、2 個のデバイス間で与えられたクロック速度での通信が可能です。DAC インターフェースは、最小 13 ns の t_4 (SYNC の立下がりエッジから SCLK の立下がりエッジまでのセットアップ・タイム) を想定しています。SPORT レジスタのクロック周波数とフレーム SYNC 周波数については、ADSP-21xx User Manual を参照してください。

表 12 に、SPORT コントロール・レジスタの設定を示します。

表 12. SPORT コントロール・レジスタのセットアップ

Name	Setting	Description
TFSW	1	Alternate framing
INVTFS	1	Active low frame signal
DTYPE	00	Right-justify data
ISCLK	1	Internal serial clock
TFSR	1	Frame every word
ITFS	1	Internal framing signal
SLEN	1111	16-bit data-word

ADSP-BF5xx と AD5415 とのインターフェース

ADSP-BF5xx ファミリーのプロセッサは、複数の SPI 互換デバイスと交信できるようにする SPI 互換ポートを内蔵しています。図 44 に、BlackFin[®] プロセッサと AD5415 DAC との間のシリアル・インターフェースを示します。この構成では、MOSI ピン(マスター出力/スレーブ入力ピン)を使ってデータが転送されます。SYNC は、再設定されるプログラマブル・フラグ・ピンである SPIxSEL ピンから駆動されます。

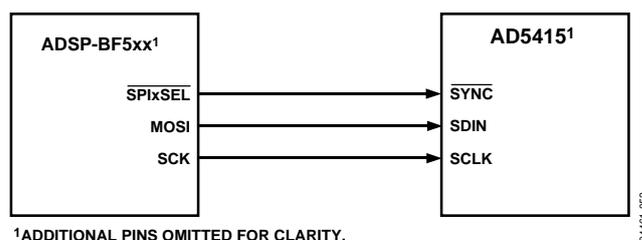


図 44. ADSP-BF5xx と AD5415 とのインターフェース

ADSP-BF5xx プロセッサは、チャンネル同期シリアル・ポート (SPORT) を内蔵しています。図 45 に、DAC と DSP SPORT との間のシリアル・インターフェースを示します。SPORT をイネーブルして、Tx レジスタにワードを書込むと、送信が起動されます。データは、DSP のシリアル・クロックの各立上がりエッジで出力され、SCLK の立下がりエッジで DAC シフトレジスタに入力されます。送信フレーム同期化(TFS)ピンを SYNC 信号として使うと、DAC 出力が更新されます。

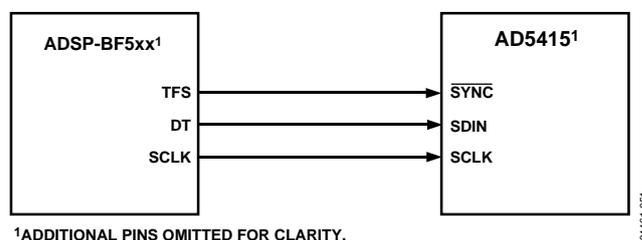


図 45. ADSP-BF5xx SPORT と AD5415 とのインターフェース

80C51/80L51 と AD5415 とのインターフェース

図 46に、DACと 80C51 との間のシリアル・インターフェースを示します。80C51 のTxDでDAC シリアル・インターフェースのSCLKを駆動し、RxD でシリアル・データラインSDINを駆動します。P1.1 は、シリアル・ポートのビット・プログラマブルなピンでありSYNCの駆動に使われます。データがスイッチに転送される場合、P1.1 はロー・レベルになります。80C51/80L51 はデータを 8 ビット・バイトとしてのみ転送するため、送信サイクル内の 8 個の立下がりクロック・エッジを使います。データをDACにロードするときは、最初の 8 ビットが転送された後もP1.1 をロー・レベルのままにして、2 番目の書き込みサイクルを実行すると、データの 2 番目のバイトの転送が開始されます。RxD上のデータはTxDの立下がりエッジでマイクロコントローラから出力され、TxDの立下がりエッジでマイクロコントローラから出力され、TxDの立下がりエッジで有効になります。そのため、DACとマイクロコントローラ・インターフェースの間に外付けロジックは不要です。このサイクルの完了後にP1.1 をハイ・レベルにします。80C51 は、データ・ストリームの先頭ビットとしてSBUFレジスタのLSBを出力します。DACの入力レジスタは、MSBビット先頭でデータを受け取る必要があります。送信ルーチンは、このことを考慮しておく必要があります。

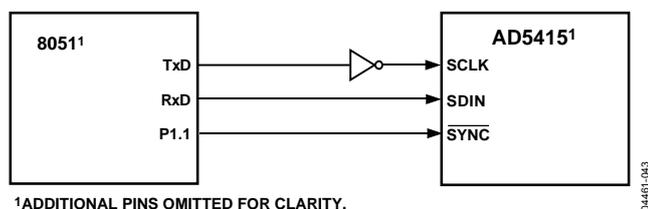
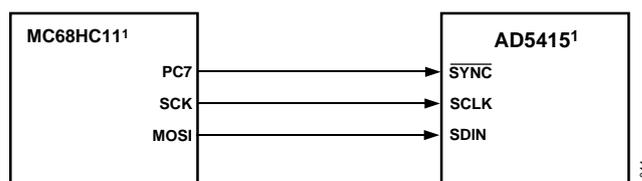


図 46.80C51/80L51 と AD5415 とのインターフェース

MC68HC11 と AD5415 とのインターフェース

図 47 に、DACとMC68HC11 マイクロコントローラとの間のシリアル・インターフェースの例を示します。MC68HC11 のシリアル・ペリフェラル・インターフェース(SPI)は、マスター・モード(MSTR) = 1、クロック極性ビット(CPOL) = 0、クロック位相ビット(CPHA) = 1 に設定します。SPIの設定は、SPIコントロール・レジスタ(SPCR)に書き込みを行って行います。MC68HC11 のユーザ・マニュアルを参照してください。68HC11 のSCKでDACインターフェースのSCLKを駆動し、MOSI出力でDACのシリアル・データライン(SDIN)を駆動します。

SYNC信号は、ポート・ライン(PC7)から発生されます。データをAD5415 に転送するときは、SYNCラインをロー・レベルにします(PC7)。MOSIに出力されるデータは、SCKの立下がりエッジで有効になります。シリアル・データは 68HC11 から 8 ビット・バイトで転送され、送信サイクル内の 8 個の立下がりクロック・エッジが使用されます。データはMSBファーストで転送されます。データをDACにロードするときは、最初の 8 ビットが転送された後もPC7 をロー・レベルのままにして、DACに対して 2 番目のシリアル書き込み動作を実行します。このプロセスの終わりに、PC7をハイ・レベルにします。



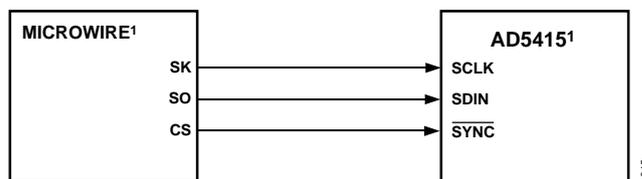
¹ADDITIONAL PINS OMITTED FOR CLARITY.

図 47.MC68HC11 と AD5415 とのインターフェース

前に入力シフトレジスタに書込まれたデータを確認する場合は、SDOラインをMC68HC11 のMISOに接続して、SYNCをロー・レベルにすると、シフトレジスタはSCLKの立下がりエッジでデータを出力します。

MICROWIREとAD5415 とのインターフェース

図 48 に、DACと任意のMICROWIRE互換デバイスとの間のインターフェースを示します。シリアル・データはシリアル・クロックSKの立下がりエッジで出力され、SKの立下がりエッジでDACの入力シフトレジスタに入力されます。このSKの立下がりエッジは、DACのSCLKの立下がりエッジに対応します。

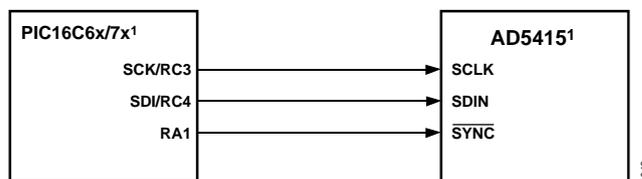


¹ADDITIONAL PINS OMITTED FOR CLARITY.

図 48.MICROWIRE と AD5415 とのインターフェース

PIC16C6x/7x と AD5415 とのインターフェース

PIC16C6x/7xの同期シリアル・ポート(SSP)をSPIマスターに設定します(クロック極性ビット= 0)。これは、同期シリアル・ポート・コントロール・レジスタ(SSPCON)に書き込みを実行することにより行われます。PIC16/17 マイクロコントローラのユーザ・マニュアルを参照してください。この例では、I/OポートRA1 を使ってSYNC信号を発生し、DACのシリアル・ポートをイネーブルしています。このマイクロコントローラは、各シリアル転送動作でデータを 8 ビットだけ転送します。したがって、書き込み動作を 2 回続けて行う必要があります。図 49 に接続図を示します。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

図 49.PIC16C6x/7x と AD5415 とのインターフェース

PCBレイアウトと電源デカップリング

高精度が重要な回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。

AD5415 を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離して、ボードの一定領域にまとめて配置するように、デザインする必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で DAC を使用する場合は、この接続は 1 か所で行う必要があります。デバイスのできるだけ近くに星型のグラウンド・ポイントを構成する必要があります。

DAC に対しては、 $10\mu\text{F}$ と $0.1\mu\text{F}$ の並列接続により十分な電源パスをパッケージのできるだけ近くに、理想的にはデバイスに直接に、接続する必要があります。 $0.1\mu\text{F}$ コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供する一般的なセラミック型コンデンサのような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESL)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。小さい ESR を持つ $1\mu\text{F}$ ~ $10\mu\text{F}$ のタンタル・コンデンサまたは電解コンデンサも電源に接続して、過渡電圧を抑え、かつ低周波リップルを除去する必要があります。

クロックなどの高速スイッチング信号を発生する部品はデジタル・グラウンドでシールドして、ボード上の他の部品へノイズを放出しないようにし、リファレンス入力の近くを通らないようにします。

デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置します。これにより、ボードを通過するフィードスルーの影響を小さくすることができます。マイクロストリップ技術の使用は最善の方法ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配置されます。

小型かつ最短の線による PCB レイアウト・デザインは重要です。入力までの配線はできるだけ短くして、IR 電圧降下と浮遊インダクタンスを小さくする必要があります。

V_{REF} と R_{FB} の間の PCB メタル・パターンは、ゲイン誤差を小さくするためにマッチングさせる必要があります。最大の高周波性能を得るためには、I/V アンプをデバイスのできるだけ近くに配置する必要があります。

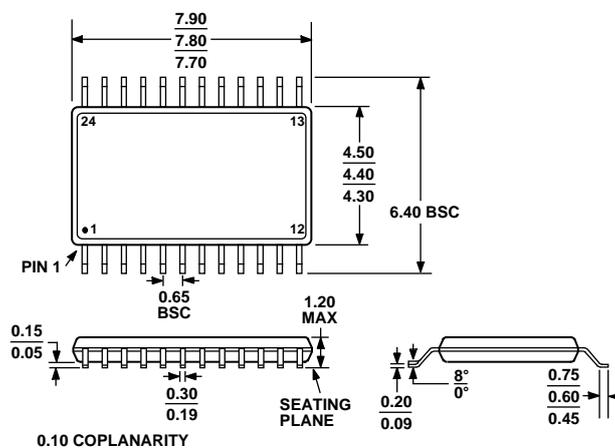
AD54xxデバイスの概要

表 13.

Part No.	Resolution	No. DACs	INL (LSB)	Interface	Package ¹	Features
AD5424	8	1	±0.25	Parallel	RU-16, CP-20	10 MHz BW, 17 ns \overline{CS} pulse width
AD5426	8	1	±0.25	Serial	RM-10	10 MHz BW, 50 MHz serial
AD5428	8	2	±0.25	Parallel	RU-20	10 MHz BW, 17 ns \overline{CS} pulse width
AD5429	8	2	±0.25	Serial	RU-10	10 MHz BW, 50 MHz serial
AD5450	8	1	±0.25	Serial	UJ-8	10 MHz BW, 50 MHz serial
AD5432	10	1	±0.5	Serial	RM-10	10 MHz BW, 50 MHz serial
AD5433	10	1	±0.5	Parallel	RU-20, CP-20	10 MHz BW, 17 ns \overline{CS} pulse width
AD5439	10	2	±0.5	Serial	RU-16	10 MHz BW, 50 MHz serial
AD5440	10	2	±0.5	Parallel	RU-24	10 MHz BW, 17 ns \overline{CS} pulse width
AD5451	10	1	±0.25	Serial	UJ-8	10 MHz BW, 50 MHz serial
AD5443	12	1	±1	Serial	RM-10	10 MHz BW, 50 MHz serial
AD5444	12	1	±0.5	Serial	RM-8	10 MHz BW, 50 MHz serial
AD5415	12	2	±1	Serial	RU-24	10 MHz BW, 50 MHz serial
AD5405	12	2	±1	Parallel	CP-40	10 MHz BW, 17 ns \overline{CS} pulse width
AD5445	12	2	±1	Parallel	RU-20, CP-20	10 MHz BW, 17 ns \overline{CS} pulse width
AD5447	12	2	±1	Parallel	RU-24	10 MHz BW, 17 ns \overline{CS} pulse width
AD5449	12	2	±1	Serial	RU-16	10 MHz BW, 50 MHz serial
AD5452	12	1	±0.5	Serial	UJ-8, RM-8	10 MHz BW, 50 MHz serial
AD5446	14	1	±1	Serial	RM-8	10 MHz BW, 50 MHz serial
AD5453	14	1	±2	Serial	UJ-8, RM-8	10 MHz BW, 50 MHz serial
AD5553	14	1	±1	Serial	RM-8	4 MHz BW, 50 MHz serial clock
AD5556	14	1	±1	Parallel	RU-28	4 MHz BW, 20 ns \overline{WR} pulse width
AD5555	14	2	±1	Serial	RM-8	4 MHz BW, 50 MHz serial clock
AD5557	14	2	±1	Parallel	RU-38	4 MHz BW, 20 ns \overline{WR} pulse width
AD5543	16	1	±2	Serial	RM-8	4 MHz BW, 50 MHz serial clock
AD5546	16	1	±2	Parallel	RU-28	4 MHz BW, 20 ns \overline{WR} pulse width
AD5545	16	2	±2	Serial	RU-16	4 MHz BW, 50 MHz serial clock
AD5547	16	2	±2	Parallel	RU-38	4 MHz BW, 20 ns \overline{WR} pulse width

¹ RU = TSSOP, CP = LFCSP, RM = MSOP, UJ = TSOT.

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-153-AD

図 50.24 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-24)
寸法: mm

オーダー・ガイド

Model ¹	Resolution	INL (LSB)	Temperature Range	Package Description	Package Option
AD5415YRU	12	±1	-40°C to +125°C	24-Lead TSSOP	RU-24
AD5415YRU-REEL7	12	±1	-40°C to +125°C	24-Lead TSSOP	RU-24
AD5415YRUZ	12	±1	-40°C to +125°C	24-Lead TSSOP	RU-24
AD5415YRUZ-REEL	12	±1	-40°C to +125°C	24-Lead TSSOP	RU-24
AD5415YRUZ-REEL7	12	±1	-40°C to +125°C	24-Lead TSSOP	RU-24
EVAL-AD5415SDZ				Evaluation Board	

¹ Z = RoHS 準拠製品。