

**特長**

- シングル 12 ビット D/AC
- パッケージ: 6 ピン SOT-23 および 8 ピン  $\mu$  SOIC
- 低消費電力: 140  $\mu$ A @ 5 V
- パワーダウン: 200 nA @ 5 V または 50 nA @ 3 V
- 電源: +2.7 ~ +5.5 V
- 設計により単調性を保証
- 電源からリファレンスを生成
- パワーオン・リセットでゼロ・ボルトを設定
- 3 通りのパワーダウン機能
- シュミット・トリガ入力による低電力シリアル・インターフェース
- 出力バッファ・アンプ内蔵、レール to レール動作
- SYNC 割り込み機能

**アプリケーション**

- バッテリー電源の携帯測定機器
- ゲインおよびオフセットのデジタル調整
- プログラマブル電圧、電流源
- プログラマブル減衰器

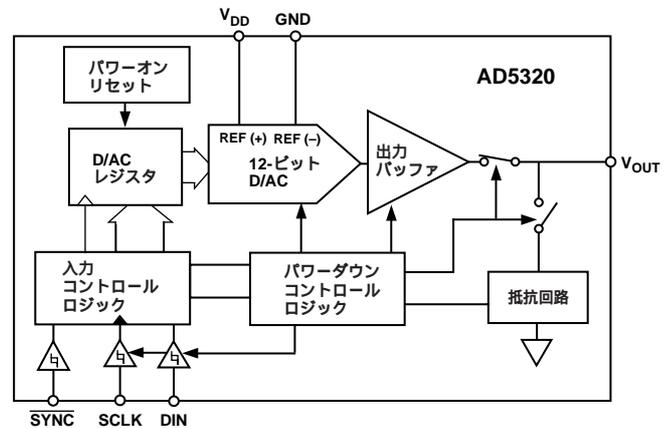
**概要**

AD5320 は、+2.7 ~ +5.5 V 単電源で動作し、消費電力 115  $\mu$ A@3V のバッファ電圧出力、シングル 12 ビット D/A コンバータです。高精度出力アンプを内蔵し、レールtoレール出力スイングを得ることができます。AD5320 は、最高 30 MHz で動作し、標準 SPI™、QSPI™、MICROWIRE™ および DSP といったインターフェース標準と互換性のある汎用 3 線シリアル・インターフェースを採用しています。

AD5320 のリファレンスは、電源入力から導かれるので、もっとも広いダイナミック出力範囲が確保されます。AD5320 は、パワーオン・リセット回路が組み込まれ、パワーアップの間ならびにデバイスに有効な書き込みが行われるまでの間、D/AC 出力がゼロ・ボルトに維持されます。また、パワーダウン機能も備え、5 V 動作時の消費電流を 200 nA に抑えます。パワーダウン・モードの間の出力負荷は、ソフトウェア的に選択することが可能です。パワーダウン・モードは、シリアル・インターフェース経由で設定されます。

通常動作時においても消費電力が低いことから、AD5320 は、バッテリーを主電源とする携帯装置に理想的と言えます。5 V 動作時の消費電力は、0.7 mW しかなく、パワーダウン・モードでは、さらに 1  $\mu$ W まで下がります。

AD5320 は、8ビットのAD5300、10ビットのAD5310 とピン・コンパチブルで、3 モデルとも 6 ピンの SOT-23 パッケージおよび 8 ピンの  $\mu$  SOIC パッケージで提供されます。

**機能ブロック図**

**製品の主な特長**

1. 6ピンSOT-23 および 8ピン  $\mu$  SOIC。
2. 低消費電力、単電源動作。+2.7 ~ +5.5 V の単電源で動作し、通常の消費電力が、3 V 時は 0.35 mW、5 V 時は 0.7 mW と低いことから、バッテリーを主電源とするアプリケーションに理想的です。
3. 内蔵出力バッファにより、D/AC 出力としてスルー・レート 1 V/ $\mu$ s でレール to レールのスイングが得られます。
4. リファレンスは、電源から導かれます。
5. 最高 30 MHz のクロック速度で動作する高速シリアル・インターフェース。超低消費電力設計。インターフェースは、書き込みサイクルの間のみパワーアップします。
6. パワーダウン機能。パワーダウン時は、通常、D/AC の消費電流が 3 V 時は 50 nA、5 V 時は 200 nA まで下がります。

SPI および QSPI は、モトローラ社の商標です。  
MICROWIRE は、ナショナル・セミコンダクター社の商標です。  
\* 特許出願中: 米国特許出願番号 5684481 によって保護されています。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

# AD5320 仕様

(特に指定のない限り、 $V_{DD} = +2.7 \sim +5.5 \text{ V}$ ;  $R_L = \text{対 GND で } 2 \text{ k}$  ;  $C_L = \text{対 GND で } 200 \text{ pF}$ ; 温度は  $T_{MIN} \sim T_{MAX}$  )

パラメータ	Bバージョン <sup>1</sup>			単位	条件 / 備考
	Min	Typ	Max		
<b>静的性能<sup>2</sup></b>					
分解能	12			ビット	<b>図2を参照。</b> <b>設計により単調性を保証。図3を参照。</b> D/ACレジスタにオール・ゼロをロード。図6を参照。 D/ACレジスタにオール1をロード。図6を参照。
相対精度			$\pm 16$	LSB	
差動非直線性			$\pm 1$	LSB	
ゼロ・コード誤差		+5	+40	mV	
フルスケール誤差		-0.15	-1.25	FSRの%	
ゲイン誤差			$\pm 1.25$	FSRの%	
ゼロ・コード誤差ドリフト		-20		$\mu\text{V/}$	
ゲイン温度係数		-5		FSRのppm/	
<b>出力特性<sup>3</sup></b>					
出力電圧範囲	0		$V_{DD}$	V	1/4 ~ 3/4 スケール( 16進数 400 ~ 16進数 C00 )の変化。 $R_L = 2 \text{ k}$ , $\text{OpF} < C_L < 200 \text{ pF}$ 。図16を参照。 $R_L = 2 \text{ k}$ , $C_L = 500 \text{ pF}$  $R_L =$ $R_L = 2 \text{ k}$ <b>主キャリア回りの1 LSBの変化。図19を参照。</b>  $V_{DD} = +5 \text{ V}$ $V_{DD} = +3 \text{ V}$ <b>パワーダウン・モードからの復帰時間。 <math>V_{DD} = +5 \text{ V}</math></b> <b>パワーダウン・モードからの復帰時間。 <math>V_{DD} = +3 \text{ V}</math></b>
出力電圧のセトリング時間		8	10	$\mu\text{s}$	
			12	$\mu\text{s}$	
スルー・レート		1		V/ $\mu\text{s}$	
容量性負荷安定性		470		pF	
		1000		pF	
デジタル アナログ変換の グリッチ・インパルス		20		nV-s	
デジタル・フィードスルー DC 出力インピーダンス		0.5		nV-s	
短絡電流		50		mA	
		20		mA	
パワーアップ時間		2.5		$\mu\text{s}$	
		5		$\mu\text{s}$	
<b>ロジック入力<sup>3</sup></b>					
入力電流			$\pm 1$	$\mu\text{A}$	$V_{DD} = +5 \text{ V}$ $V_{DD} = +3 \text{ V}$ $V_{DD} = +5 \text{ V}$ $V_{DD} = +3 \text{ V}$
$V_{INL}$ , 入力ロー電圧			0.8	V	
$V_{INL}$ , 入力ロー電圧			0.6	V	
$V_{INH}$ , 入力ハイ電圧	2.4			V	
$V_{INH}$ , 入力ハイ電圧	2.1			V	
ピン容量			3	pF	
<b>電源要件</b>					
$V_{DD}$	2.7		5.5	V	<b>D/ACはアクティブ。負荷電流は除きます。</b> $V_{IH} = V_{DD}$ かつ $V_{IL} = \text{GND}$ $V_{IH} = V_{DD}$ かつ $V_{IL} = \text{GND}$  $V_{IH} = V_{DD}$ かつ $V_{IL} = \text{GND}$ $V_{IH} = V_{DD}$ かつ $V_{IL} = \text{GND}$
$I_{DD}$ (通常モード時)					
$V_{DD} = +4.5 \sim +5.5 \text{ V}$		140	250	$\mu\text{A}$	
$V_{DD} = +2.7 \sim +3.6 \text{ V}$		115	200	$\mu\text{A}$	
$I_{DD}$ (全パワーダウン・モード時)					
$V_{DD} = +4.5 \sim +5.5 \text{ V}$		0.2	1	$\mu\text{A}$	
$V_{DD} = +2.7 \sim +3.6 \text{ V}$		0.05	1	$\mu\text{A}$	
<b>電力効率</b>					
$I_{OUT}/I_{DD}$		93		%	$I_{LOAD} = 2 \text{ mA}$ , $V_{DD} = +5 \text{ V}$

注

- 1 温度範囲は次の通り：Bバージョン：-40 ~ +105。
- 2 直線性は、コード範囲を48から4047に縮小し、出力を無負荷として計算。
- 3 設計値および規定値です。製品テスト値ではありません。

仕様は、予告なく変更されることがあります。

## タイミング特性<sup>1, 2</sup>(特に指定のない限り、 $V_{DD} = +2.7 \sim +5.5V$ ; 温度は $T_{MIN} \sim T_{MAX}$ )

パラメータ	$T_{MIN}, T_{MAX}$ における制限		単位	条件 / 備考
	$V_{DD} = 2.7 \sim 3.6V$	$V_{DD} = 3.6 \sim 5.5V$		
$t_1^3$	50	33	ns min	SCLK サイクル時間
$t_2$	13	13	ns min	SCLK ハイの時間
$t_3$	22.5	13	ns min	SCLK ローの時間
$t_4$	0	0	ns min	SYNCから SCLK の立ち上がりエッジまでのセットアップ時間
$t_5$	5	5	ns min	データ・セットアップ時間
$t_6$	4.5	4.5	ns min	データ・ホールド時間
$t_7$	0	0	ns min	SCLK の立ち下がりエッジから $\overline{SYNC}$ の立ち上がりエッジまで
$t_8$	50	33	ns min	$\overline{SYNC}$ ハイの最短時間

- 注  
 1 すべての入力信号は、 $t_r = t_f = 5\text{ ns}$  ( $V_{DD}$  の 10 ~ 90%) とし、 $(V_{IL} + V_{IH})/2$  の電圧レベルから時間測定。  
 2 図1を参照。  
 3 最大 SCLK 周波数は 30 MHz ( $V_{DD} = +3.6 \sim +5.5V$ ) および 20 MHz ( $V_{DD} = +2.7 \sim +3.6V$ )。

仕様は、予告なく変更することがあります。

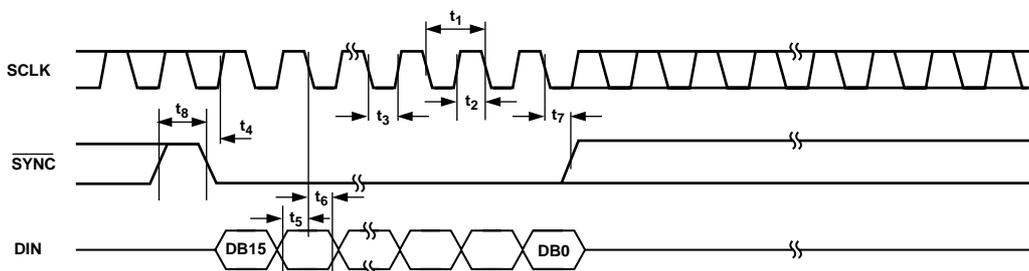


図1. シリアル書き込み動作

### 絶対最大定格\*

(特に指定のない限り、 $T_A = +25$ )

$V_{DD} \sim GND$  ..... -0.3 ~ +7V

デジタル入力電圧 ~ GND

..... -0.3V ~  $V_{DD} + 0.3V$

$V_{OUT} \sim GND$  ..... -0.3V ~  $V_{DD} + 0.3V$

### 動作温度範囲

工業温度範囲( Bバージョン) ..... -40 ~ +105

保管温度範囲 ..... -65 ~ +150

接合温度 ( $T_{JMAX}$ ) ..... +150

### SOT-23 パッケージ

ワット損 .....  $(T_{JMAX} - T_A) / \theta_{JA}$

$\theta_{JA}$  温度インピーダンス ..... 240 /W

### ピン温度、ハンダ付け

蒸着( 60 秒) ..... +215

赤外線( 15 秒) ..... +220

$\mu$  SOIC パッケージ ..... 450 mW

ワット損 .....  $(T_{JMAX} - T_A) / \theta_{JA}$

$\theta_{JA}$  温度インピーダンス ..... 206 /W

$\theta_{JC}$  温度インピーダンス ..... 44 /W

### ピン温度、ハンダ付け

蒸着( 60 秒) ..... +215

赤外線( 15 秒) ..... +220

\* 上記の絶対最大定格を超えるストレスは、デバイスに永久的なダメージを与えることがあります。このリストはストレス定格を示すことだけを目的とし、これらの条件もしくは、本仕様書の動作に関するセクションに示した以外の条件におけるこのデバイスの機能的な動作を意味するものではありません。長時間にわたって絶対最大定格条件で使用すると、デバイスの信頼性に影響が現れることがあります。

### オーダー・ガイド

モデル	温度範囲	ブランド	パッケージ・オプション*
AD5320BRT	-40 ~ +105	D4B	RT-6
AD5320BRM	-40 ~ +105	D4B	RM-8

\* RT = SOT-23; RM =  $\mu$  SOIC

### 注意

ESD(静電放電)の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることもあります。このAD5320には当社独自のESD保護回路が備えられていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。



# AD5320

## ピン配置



## ピン機能の説明

### SOT-23 のピン番号

ピン番号	記号	機能
1	V <sub>OUT</sub>	D/Aコンバータからのアナログ出力電圧。出力アンプは、レール to レールで動作します。
2	GND	AD5320 の全回路のグラウンド・リファレンス。
3	V <sub>DD</sub>	電源入力。AD5320 は、+ 2.5 ~ + 5.5 V 電源で動作しますが、V <sub>DD</sub> は GND にデカップルする必要があります。
4	DIN	シリアル・データ入力。AD5320 は、16 ビットのシフト・レジスタが備わっています。データは、シリアル・クロック入力の立ち下がりエッジでシフト・レジスタに取り込まれます。
5	SCLK	シリアル・クロック入力。このシリアル・クロック入力の立ち下がりエッジでデータが入力シフト・レジスタに取り込まれます。データの伝送レートは、最高 30 MHz です。
6	SYNC	レベル・トリガ・コントロール入力(アクティブ・ロー)。入力データ用のフレーム同期信号です。SYNCがローに落ちると、入力シフト・レジスタがイネーブルになり、続くクロックの立ち下がりエッジでデータが伝送されます。D/Aコンバータは、その後の 16 番目のクロック・サイクルで更新されますが、そのエッジの発生前にSYNCがハイに引き上げられると、SYNCの立ち上がりエッジが割り込みとして作用し、書き込み信号がD/Aコンバータによって無視されます。

## 用語説明

### 相対精度

D/Aコンバータの場合、相対精度または積分非直線性( INL )は、D/Aコンバータの伝達関数の端点を結んだ直線からの最大偏差を測定し、LSB を単位として表わします。図 2 は、入力コードと INL の代表的な関係を示したグラフです。

### 差動非直線性

差動非直線性( DNL )は、任意の隣り合う 2 つのコード間の 1 LSB の変化に対する理論上の値と測定値の差を言います。定格差動非直線性の最大値が  $\pm 1$  LSB であれば、単調性が保証されます。AD 5320 は、設計上単調性が保証されています。図 3 は、入力コードと DNL の代表的な関係を示したグラフです。

### ゼロ・コード誤差

ゼロ・コード誤差は、D/ACレジスタにオール・ゼロのコード ( 16 進数 000 ) をロードしたときの出力誤差を尺度とします。理論上は、この出力が 0V にならなければなりません。AD5320 では、D/Aコンバータ出力が 0V より下がることがないため、常にゼロ・コード誤差は正の値になります。この誤差を生じる原因は、D/Aコンバータと出力アンプの各オフセット誤差の組み合わせにあります。ゼロ・コード誤差は、mV を単位として表わします。図 6 に、温度とゼロ・コード誤差の関係を示しました。

### フルスケール誤差

フルスケール誤差は、D/ACレジスタにフルスケールのコード ( 16 進数 FFF ) をロードしたときの出力誤差を尺度とします。理論上は、この出力が  $V_{DD} - 1$  LSB にならなければなりません。フルスケール誤差は、フルスケール範囲のパーセンテージとして表わします。図 6 に、温度とフルスケール誤差の関係を示しました。

### ゲイン誤差

D/Aコンバータのスパン誤差を尺度とします。D/Aコンバータの伝達関数の傾きにおける理論値からの偏差をフルスケール範囲に対するパーセンテージとして表わします。

### 総合未調整誤差

総合未調整誤差( TUE )は、各種の誤差すべてを考慮した出力誤差を尺度とします。図 4 は、入力コードと TUE の代表的な関係を示しています。

### ゼロ・コード誤差ドリフト

温度変化に対するゼロ・コード誤差の変化を尺度とします。この誤差は、 $\mu V/$  を単位として表わします。

### ゲイン誤差ドリフト

温度変化に対するゲイン誤差の変化を尺度とします。この誤差は、(フルスケール範囲に対する ppm)/ を単位として表わします。

### デジタル アナログ変換のグリッチ・インパルス

デジタル アナログ変換のグリッチ・インパルスは、D/ACレジスタの入力コードの状態が変化したときに、アナログ出力に現れるインパルスを言います。通常これは、グリッチの面積として nV·s 単位で表わされ、主キャリアの 1 LSB の遷移( 16 進数 7FF から 16 進数 800 )を伴うデジタル入力コードの変化で測定します。図19参照。

### デジタル・フィードスルー

デジタル・フィードスルーは、D/Aコンバータのデジタル入力によってD/Aコンバータのアナログ出力に生じるインパルスの測定値ですが、この測定は、D/Aコンバータ出力を更新する前に行われます。データ・バスのフルスケール・コード変化、つまり、オール・ゼロからオール 1 またはその逆の変更を行って測定し、nV·s を単位として表わされます。

# AD5320 代表的な性能特性

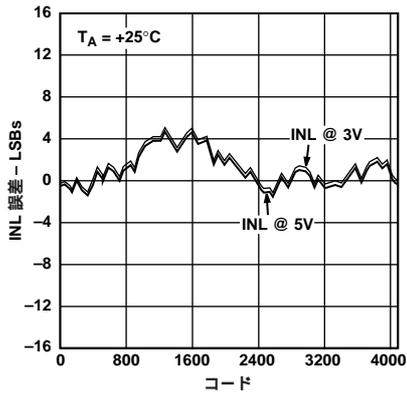


図 2. 代表的な INL

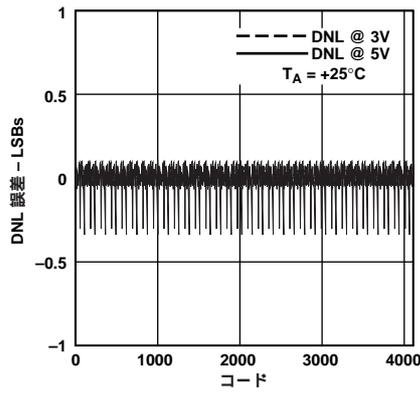


図 3. 代表的な DNL

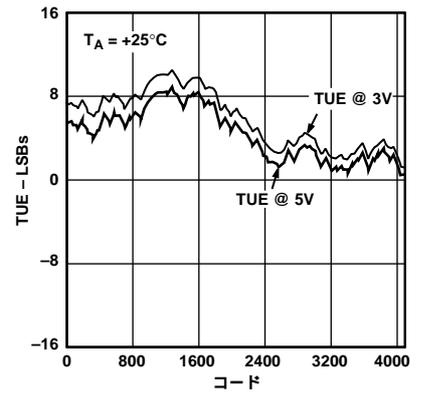


図 4. 代表的な総合未調整エラー

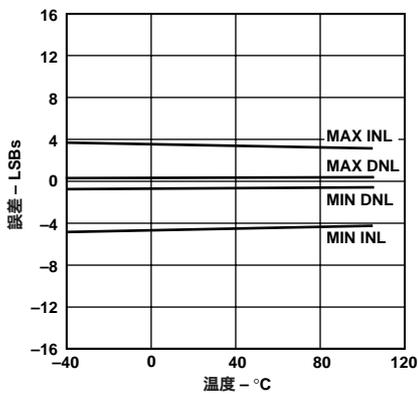


図 5. 温度と INL 誤差および DNL 誤差

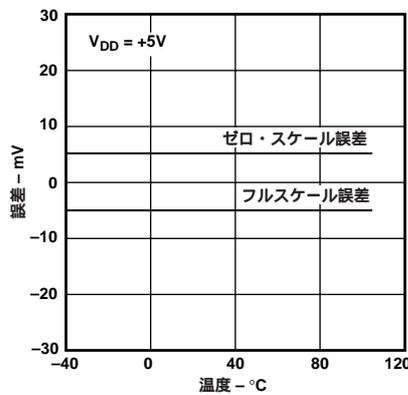


図 6. 温度とゼロ・スケール誤差およびフルスケール誤差

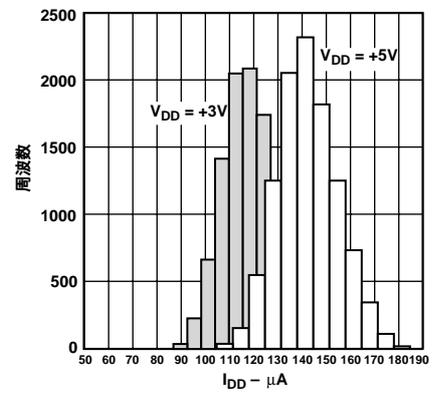


図 7.  $V_{DD} = 3V$  および  $V_{DD} = 5V$  時の  $I_{DD}$  のヒストグラム

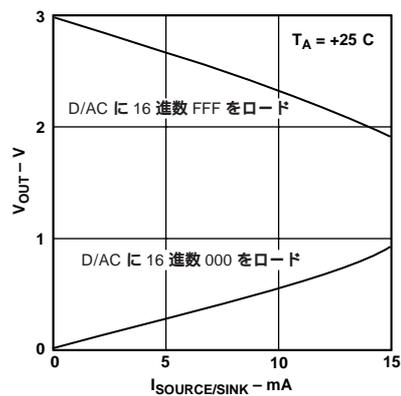


図 8.  $V_{DD} = 3V$  時のソースおよびシンクの可能出力

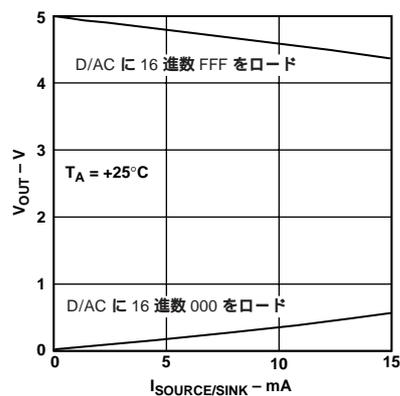


図 9.  $V_{DD} = 5V$  時のソースおよびシンクの可能出力

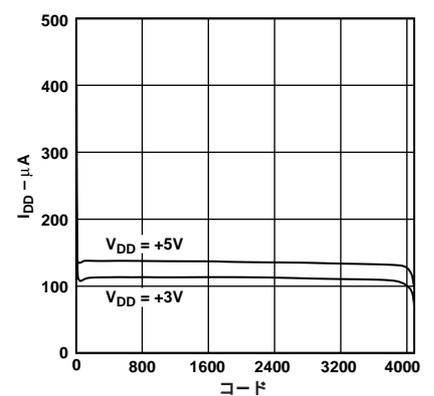


図 10. コードと電源電流

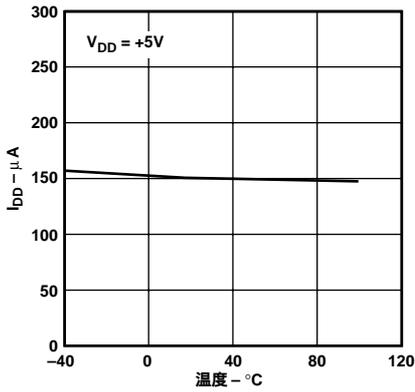


図 11. 温度と電源電流

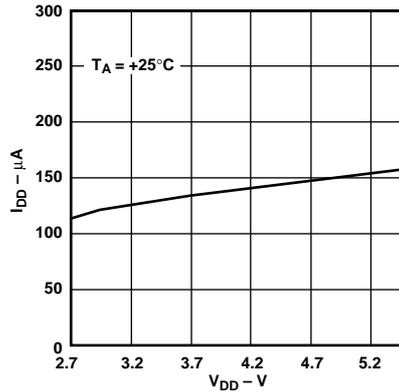


図 12. 電源電圧と電源電流

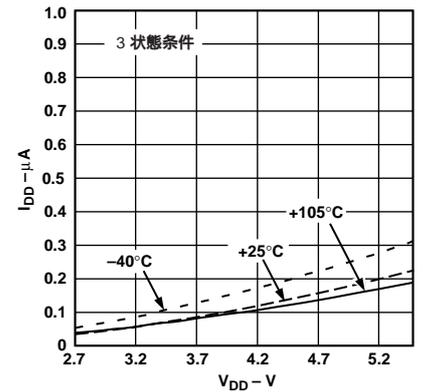


図 13. 電源電圧とパワーダウン電流

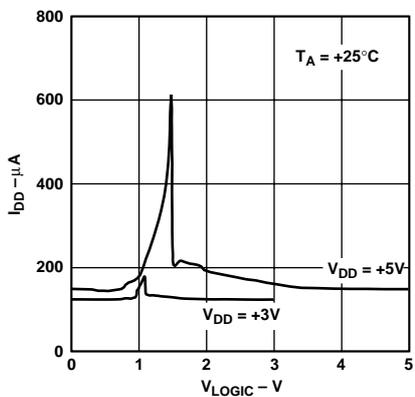


図 14. ロジック入力電圧と電源電流

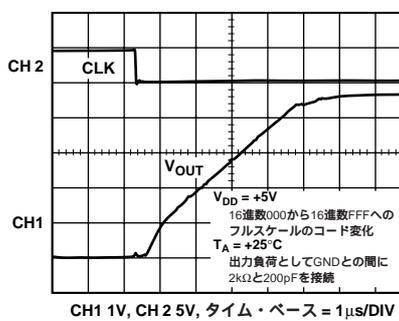


図 15. フルスケールのセッティング時間

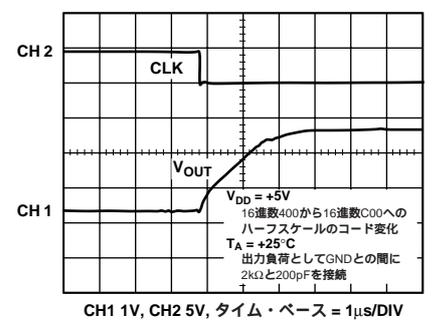


図 16. ハーフスケールのセッティング時間

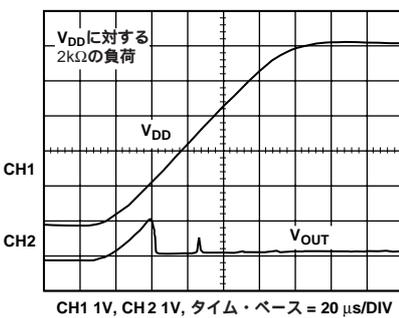


図 17. 0Vへのパワーオン・リセット

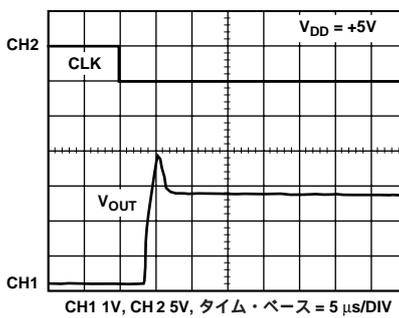


図 18. パワーダウンからの復帰 (16進数800をロード)

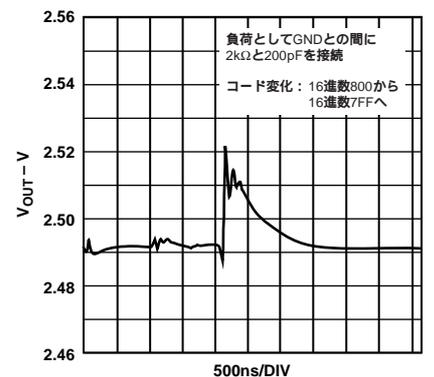


図 19. デジタル アナログ変換のグリッチ・インパルス

# AD5320

## 概要

### D/A 部

AD5320 D/Aコンバータは、CMOS プロセスを使用して製造されています。そのアーキテクチャは、ストリングD/Aコンバータとそれに続く出力バッファ・アンプからなります。リファレンス入力ピンを備えていないので、電源 ( $V_{DD}$ ) がリファレンスとして機能します。図 20 に、アーキテクチャのブロック図を示します。

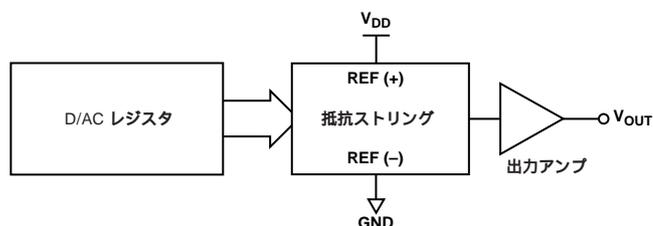


図 20. D/Aコンバータのアーキテクチャ

AD 5320 の入力のコーディングにはストレート・バイナリが使用され、その理想的な出力電圧は、次式で表わされます。

$$V_{OUT} = V_{DD} \times \left( \frac{D}{4096} \right)$$

ここで、D は D/ACレジスタにロードされるバイナリ・コードの 10 進数の等価値で、0 ~ 4095 の範囲の値になります。

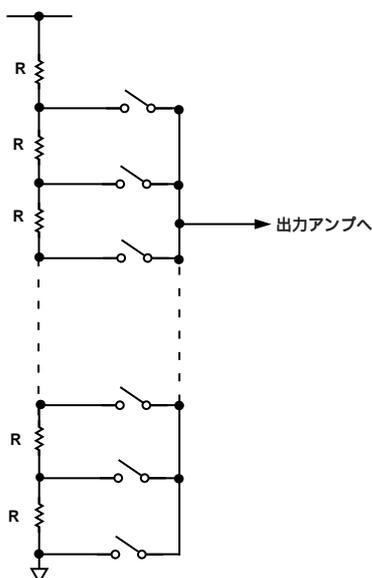


図 21. 抵抗ストリング

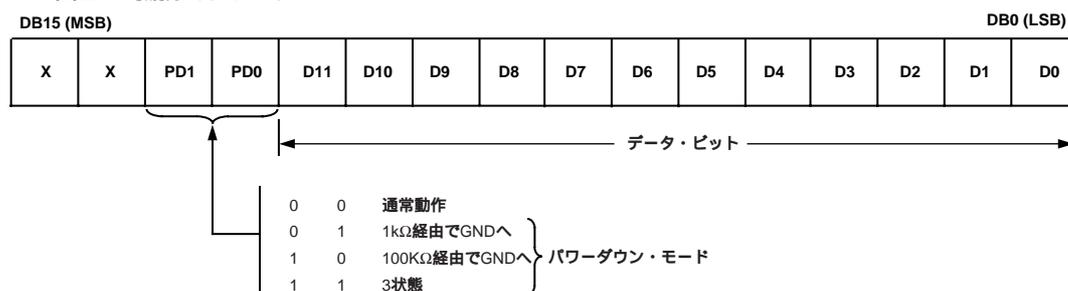


図 22. 入力レジスタの内容

### 抵抗ストリング

図 21 に抵抗ストリング部を示します。これは、抵抗値が等しい ( $R$ ) 抵抗を単純に直列接続したものです。D/AC レジスタにロードしたコードに応じてタップを閉じる抵抗ストリングのノードが選択され、対応する電圧が出力アンプに印加されます。出力アンプに印加される電圧は、出力アンプと抵抗ストリングの間に接続されているスイッチの 1 つを閉じることによって決定されます。抵抗を直列接続した抵抗ストリングによって電圧を決定していることから、単調性が保証されます。

### 出力アンプ

出力バッファ・アンプは、レール to レール電圧を生成し、0 ~  $V_{DD}$  の範囲で出力が得られます。出力アンプは、GND との間に並列接続された 1000 pF のコンデンサと 2 kΩ の負荷をドライブできます。この出力アンプのソースおよびシンクの可能出力を図 8、図 9 に示しました。出力に負荷を接続しない状態においては、ハーフスケールのセトリング時間が 8 μs、スルー・レートが 1 V/μs になります。

### シリアル・インターフェース

AD5320 は、SPI、QSPI および Microwire インターフェース標準や、ほとんどの DSP と互換性のある 3 線のシリアル・インターフェース ( $\overline{SYNC}$ 、SCLK および DIN) を備えています。代表的な書き込みシーケンスのタイミングは図 1 を参照してください。

書き込みシーケンスは、 $\overline{SYNC}$  をローに引き込むことにより開始します。SCLK の立ち下がりエッジで DIN からデータ 16 ビットのシフト・レジスタに取り込みます。シリアル・クロックの周波数は、30 MHz まで上げることができるので、AD5320 と高速 DSP との間の互換性が確保されます。16 番目のクロックの立ち下がりエッジで最後のデータビットを取り込むと、あらかじめプログラムした機能 (つまり、D/AC レジスタの内容の更新および / またはオペレーション・モードの変更) を実行します。この段階で、 $\overline{SYNC}$  をハイに戻すことも、ローに維持することも可能です。いずれの場合でも、 $\overline{SYNC}$  の立ち下がりエッジで次の書き込みシーケンスを開始するために、少なくともその 33 ns 前には  $\overline{SYNC}$  をハイに引き上げなければなりません。一方、 $V_{IN} = 2.4 V$  のときに比べると  $V_{IN} = 0.8 V$  のときの方が、 $\overline{SYNC}$  バッファに流れ込む電流が少ないことから、 $\overline{SYNC}$  をローにして書き込みシーケンス待ちの間のアイドルリングを行えば、デバイスの消費電力をさらに低く抑えることができます。ただし、上記の繰り返しになりますが、次の書き込みシーケンスの直前に  $\overline{SYNC}$  をハイに引き上げる必要があります。

## 入力シフト・レジスタ

入力シフト・レジスタは、16 ビットの幅を有しています(図 22 を参照)。このうち、最初の 2 ビットは「無視」されます。次の 2 ビットはコントロール・ビットで、デバイスに設定されている動作モード(通常モード、または 3 通りのパワーダウン・モードの 1 つ)を示します。モードについては、「パワーダウン・モード」の項で詳しく説明します。続く 12 ビットは、データ・ビットで、16 番目の SCLK の立ち下がりエッジで D/AC レジスタに伝送されます。

## SYNC 割り込み

正常な書き込みシーケンスにおいては、少なくとも 16 個の SCLK の立ち下がりエッジが発生する間、SYNC ラインがローに保たれ、16 番目の SCLK の立ち下がりエッジで D/A コンバータが更新されます。しかし、16 番目の SCLK の立ち下がりエッジが発生する前に SYNC をハイに引き上げると、書き込みシーケンスへの割り込みとして機能し、シフト・レジスタがリセットされ、そのときの書き込みシーケンスは無効と見なされます。その場合、D/AC レジスタの内容の更新ないしは動作モードの変更が行われることはありません(図 23 を参照)。

## パワーオン・リセット

AD5320 には、パワーアップの間に出力電圧をコントロールするパワーオン・リセット回路が備わっています。パワーオン時に D/AC レジスタが 0 で満たされて出力電圧が 0 V になり、D/A コンバータに対して有効な書き込みシーケンスがあるまで維持されます。パワーアップの間の D/A コンバータ出力の状態を確定しておくことが重視されるアプリケーションでは、この機能が役立ちます。

## パワーダウン・モード

AD5320 の動作モードは 4 通りに分けられます。モードは、コントロール・レジスタの 2 つのビット( DB13 および DB12 )の設定により、ソフトウェア的にプログラムできます。表 1 に、ビットの設定とデバイスの動作モードを示します。

表 1. AD5320 の動作モード

DB13	DB12	動作モード
0	0	通常動作 パワーダウン・モード
0	1	1 k 経由で GND へ
1	0	100 k 経由で GND へ
1	1	3 状態

両方のビットが 0 にセットされているときは通常動作となり、5 V 動作時の消費電流は 140  $\mu$ A になります。しかし、3 種類のパワーダウン・モードでは、5 V 動作時の電源電流を 200 nA まで(3 V 動作時は 50 nA まで)下げることができます。また、電源電流が下がるだけでなく、出力段が内部的にアンプの出力から既知の値の抵抗回路に切り替えられます。これは、パワーダウン・モードの間の出力インピーダンスが確定するという利点をもたらします。パワーダウン・モードには、3 通りのオプションがあります。第 1 は 1 k の抵抗を経由して出力を GND に接続するオプション、第 2 は 100 k 抵抗を経由するオプション、第 3 は開放回路(3 状態)のままとするオプションです。出力段を図 24 に示します。

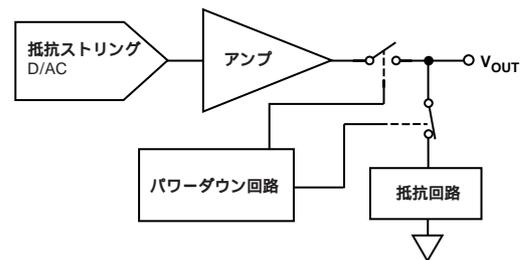


図 24. パワーダウン時の出力段

パワーダウン・モードになると、バイアス・ジェネレータ、出力アンプ、抵抗ストリング等の関連リニア回路は、すべてシャットダウンされます。ただし、D/AC レジスタの内容はパワーダウンの間も保持されます。なお、パワーダウン・モードからの復帰時間は、通常、 $V_{DD} = 5$  V のときで 2.5  $\mu$ s、 $V_{DD} = 3$  V のときで 5  $\mu$ s です。図 18 のグラフを参照してください。

## マイクロプロセッサとのインターフェース

### AD5320 と ADSP-2101/ADSP-2103 とのインターフェース

図 25 は、AD5320 と ADSP-2101/ADSP-2103 間のシリアル・インターフェースを示しています。ADSP-2101/ADSP-2103 は、SPORT Transmit Alternate Framing (SPORT 送信交番フレーミング)モードで動作するように設定する必要があります。ADSP-2101/ADSP-2103 SPORT は、SPORT コントロール・レジスタ経由でプログラムし、「内蔵クロック動作」「アクティブ・ロー・フレーミング」および「ワード長 16 ビット」に設定します。送信は、SPORT をイネーブルした後、Tx レジスタにワードを書き込むことによって開始されます。

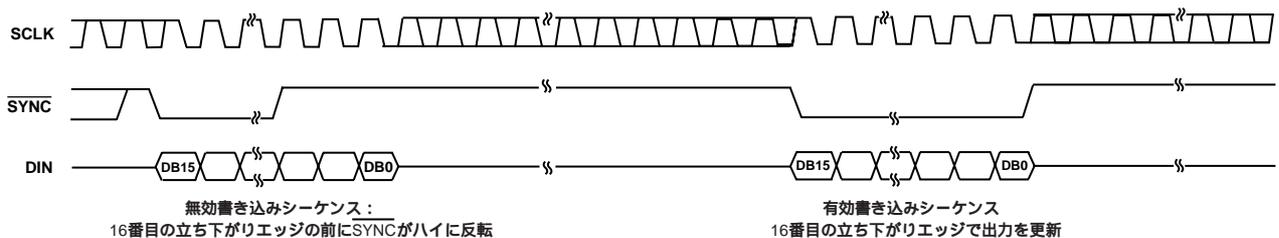
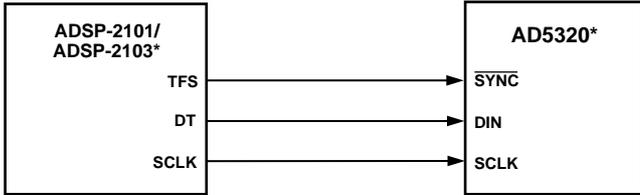


図 23. SYNC 割り込みの機能

# AD5320

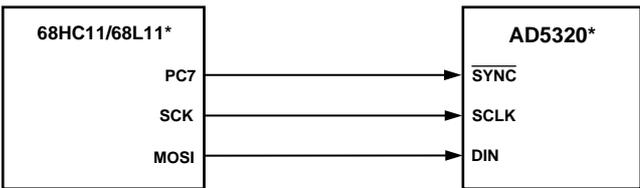


\* 簡略化のため、不要なピンを省略。

図 25. AD5320 と ADSP-2101/ADSP-2103 とのインターフェース

## AD5320 と 68HC11/68L11 とのインターフェース

図 26 に、AD5320 と 68HC11/68L11 マイクロコントローラ間のシリアル・インターフェースを示します。68HC11/68L11 の SCK が AD5320 の SCLK をドライブし、MOSI 出力が D/Aコンバータのシリアル・データ・ラインをドライブします。SYNC 信号は、ポート・ライン( PC7 )から導かれます。このインターフェースで正常動作を得るためのセットアップ条件は、次のようになります。つまり、68HC11/68L11 の CPOL ビットを 0 に、CPHA ビットを 1 にセットします。データを D/Aコンバータへ送るときは、SYNC ライン(PC7) をローに引き込みます。このように 68HC11/68L11 を構成することによって、MOSI 出力に現れるデータが、SCK の立ち下がりエッジで有効になります。68HC11/68L11 は、送信サイクルで発生する立ち下がりエッジを 8 個だけ使用して、シリアル・データを 8 ビット構成のバイト・データとして送信します。送信では、データの MSB が先頭になります。1 回の送信サイクルで 8 ビットしか送信されないため、AD5320 に正しくデータをロードするためには 2 回の送信サイクルが必要になります。そこで、最初の 8 ビットの送信が終了したときは PC7 をローのまま維持し、続いて D/Aコンバータに対する 2 回目のシリアル書き込みを行ってから、この過程の最後に PC7 をハイに引き上げます。



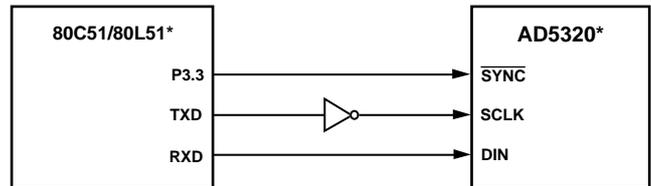
\* 簡略化のため、不要なピンを省略。

図 26. AD5320 と 68HC11/68L11 とのインターフェース

## AD5320 と 80C51/80L51 とのインターフェース

図 27 に、AD5320 と 80C51/80L51 マイクロコントローラ間のシリアル・インターフェースを示します。このインターフェースは次のようにセットアップします。80C51/80L51 の TXD は AD5320 の SCLK をドライブし、RXD はシリアル・データ・ラインをドライブします。SYNC 信号は、ポート上のビット・プログラマブルピンから導かれます。この場合、ポート・ライン P3.3 が使われます。データを AD5320 に送信するとき、P3.3 をローに引き込みます。80C51/80L51 は、8 ビット構成のバイト・データとしてしかデータを送信することができません。言い換えると、1 回の送信サイクルで発生するクロックの立ち下がりエッジは 8 つだけです。したがって、D/Aコン

バータに正しくデータをロードするために、最初の 8 ビットの送信が終了しても P3.3 をローのまま維持し、続いて 2 バイト目のデータを送信する 2 回目の書き込みサイクルを開始します。P3.3 は、2 回目のサイクルの終了時にハイに引き上げます。80C51/80L51 が出力するシリアル・データは、LSB が最初になります。しかし、AD5320 では、MSB が最初に受信されなければなりません。このため、80C51/80L51 の送信ルーチンで、このことを考慮する必要があります。

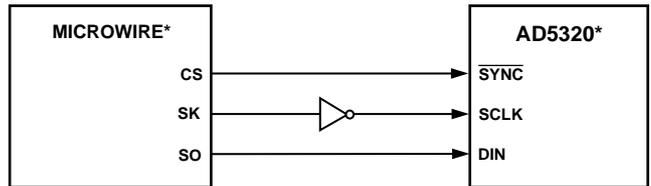


\* 簡略化のため、不要なピンを省略。

図 27. AD5320 と 80C51/80L51 とのインターフェース

## AD5320 と Microwire とのインターフェース

図 28 は、AD5320 と任意の Microwire 互換デバイス間のインターフェースを示しています。シリアル・データは、シリアル・クロックの立ち下がりエッジでシフト・アウトされ、SK の立ち上がりエッジで AD5320 に取り込まれます。



\* 簡略化のため、不要なピンを省略。

図 28. AD5320 と Microwire とのインターフェース

## アプリケーション

### AD5320 用電源としての REF19x の使用

AD5320 に必要な電源電流が極めて低いことから、REF19x 電圧リファレンス( 5V の場合は REF195、3V の場合は REF193 )を使用し、必要な電圧を供給することができます( 図 29 を参照 )。これは、使用予定の電源のノイズが高いとき、あるいはシステム電源電圧として 5V もしくは 3V 以外の電圧(たとえば 15V)を使用するとき、非常に有効な方法です。REF19x は、AD5320 に安定した電圧を供給します。ロー・ドロップアウトの REF195 を使用すれば、AD5320 への供給に必要な電流は 140 μA になります。ただしこの値は、D/Aコンバータ出力に負荷が接続されると、その負荷へも REF195 から電源を供給するため、変わります。D/Aコンバータ出力に 5k の負荷が接続されているときに必要になる総電流は、次式で示されます。

$$140 \mu A + (5V/5k) = 1.14 mA$$

REF195 の負荷レギュレーションは、通常 2 ppm/mA です。これから 1.14 mA の電流を引き出すと 2.3 ppm( 11.5 μV )の誤差を生じます。この誤差は、0.009 LSB に相当します。

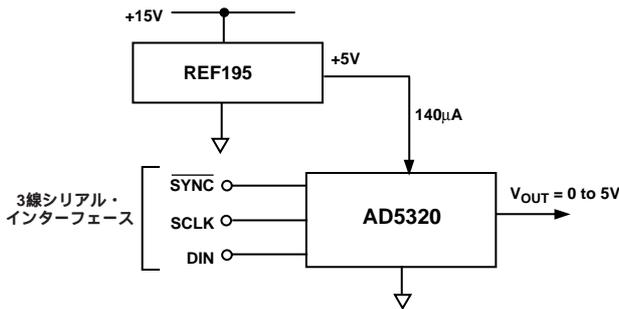


図 29. AD5320 用電源としての REF195 の使用

### AD5320 を使用したバイポーラ・オペレーション

AD5320 は、単電源動作用に設計されていますが、図 30 に示した回路を使用することにより、バイポーラ出力範囲を得ることも可能です。この回路では、出力電圧範囲が  $\pm 5\text{V}$  になります。出力アンプとして AD820 または OP295 を使用すれば、アンプ出力において レール to レール動作を達成することもできます。

任意の入力コードに対する出力電圧は、次式で与えられます。

$$V_o = \left[ V_{DD} \times \left( \frac{D}{4096} \right) \times \left( \frac{R1 + R2}{R1} \right) - V_{DD} \times \left( \frac{R2}{R1} \right) \right]$$

ここで D は、10 進数で表わした入力コードです (0 ~ 4095 )、  
 $V_{DD} = 5\text{V}$ 、 $R1 = R2 = 10\text{k}$  のときは、

$$V_o = \left( \frac{10 \times D}{4096} \right) - 5\text{V}$$

になります。この出力電圧範囲は、16 進数の 000 に対応する  $-5\text{V}$  から 16 進数の FFF に対応する  $+5\text{V}$  までの  $\pm 5\text{V}$  となります。

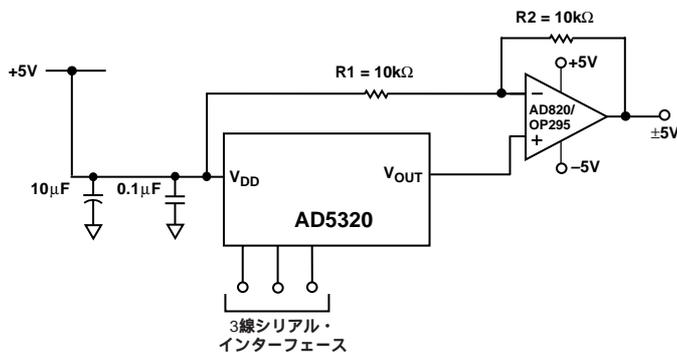


図 30. AD5320 を使用したバイポーラ・オペレーション

### AD5320 と光学絶縁インターフェースの併用

産業分野で使用されるプロセス・コントロール・アプリケーションでは、しばしば、光学絶縁インターフェースを使用して、D/Aコンバータが動作するエリアで発生する可能性のある有害な同相モード電圧からのコントロール回路の保護および絶縁を行う必要が生じます。光学アイソレータを使用すれば、 $3\text{kV}$  を超える絶縁が得られます。AD5320 は、3 線シリアル・ロジック・インターフェースを使用しているため、必要な絶縁を得るためには、3 組の光学アイソレータがあれば充分です (図 31 を参照)。デバイスへの電源にも絶縁が

必要です。これは、トランスを使用して実現できます。トランスの D/Aコンバータ側巻き線に接続された  $+5\text{V}$  のレギュレータは、AD5320 に必要な  $+5\text{V}$  の電源を供給します。

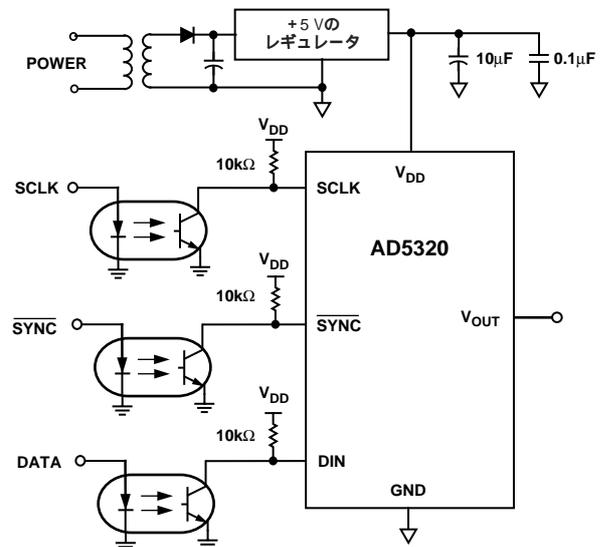


図 31. AD5320 と光学絶縁インターフェースの併用

### 電源のバイパスと接地

精度が重要な回路では、基板上の電源とグラウンド・リターン・レイアウトを慎重に検討するとよいでしょう。AD5320 を実装するプリント回路基板では、基板上にアナログ用とデジタル用のエリアを設けて、互いに分離します。他のデバイスが AGND から DGND への接続を必要とするシステムで AD5320 を使用する場合には、その接続を 1 点だけで行います。このグラウンド・ポイントは、可能な限り AD5320 に近づけます。

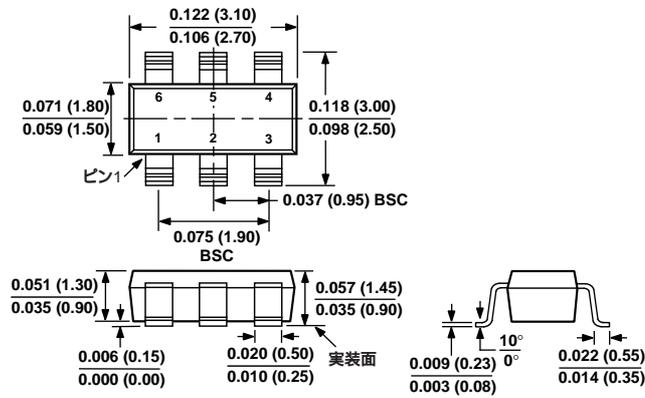
AD5320 への電源は、 $10\mu\text{F}$  と  $0.1\mu\text{F}$  のコンデンサを使用してバイパスします。コンデンサは、物理的に可能な限り AD5320 に近づけ、理想を述べれば、 $0.1\mu\text{F}$  のコンデンサは AD5320 の直上に備えます。 $10\mu\text{F}$  のコンデンサは、タンタル・ビーズ・タイプとします。 $0.1\mu\text{F}$  のコンデンサには、一般的なセラミック・タイプのように、有効直列抵抗 (ESR) および有効直列インダクタンス (ESI) の低いものを使用することが重要です。この  $0.1\mu\text{F}$  のコンデンサは、内部ロジック・スイッチのスイッチングに起因する過渡電流によって生じる高周波に対して、グラウンドへのロー・インピーダンス・パスを構成します。

電源ライン自体には、できる限り太いトレースを用いて、ロー・インピーダンス・パスを構成し、電源ラインのグリッチの影響を低減します。クロック等の高速スイッチング・デジタル信号は、デジタル・グラウンドにより、基板上の他の部品からシールドする必要があります。また、可能であれば、デジタルとアナログの信号のクロスオーバーを回避します。基板を挟んでトレースが交差するときは、互いに直角となるように配慮して基板を介したフィード・スルー効果を防止します。最良の基板レイアウト・テクニックは、基板のコンポーネント側をグラウンド面専用とし、信号トレースをハンダ側に置くマイクロ・ストリップ方式です。しかしながら、2 層基板では常に可能とは限りません。

## 外形寸法

サイズはインチと (mm) で示します。

### 6ピン SOT-23 (RT-6)



### 8ピン $\mu$ SOIC (RM-8)

