



# 2 ppm/°C リファレンス電圧と I<sup>2</sup>C インターフェース 内蔵のクワッド 10ビット nanoDAC

## データシート

## AD5316R

### 特長

2 ppm/°C (typ)の低ドリフト 2.5 V リファレンスを内蔵  
小型パッケージ: 3 mm × 3 mm の 16 ピン LFCSP

- 総合未調整誤差(TUE): FSR の最大±0.1%
- オフセット誤差: 最大±1.5 mV
- ゲイン誤差: FSR の最大±0.1%
- 高い駆動能力: 20 mA、電源レールから 0.5 V
- ユーザー設定可能なゲイン: 1 または 2 (GAIN ピン)
- ゼロスケールまたはミッドスケールへのリセット (RSTSEL ピン)
- 1.8 V ロジックに互換
- 400 kHz の I<sup>2</sup>C 互換シリアル・インターフェース
- 4 個の I<sup>2</sup>C アドレスが使用可能
- 低グリッチ: 0.5 nV-sec
- 強固な 3.5 kV HBM および 1.5 kV FICDM ESD 定格
- 低消費電力: 3 V で 3.3 mW
- 電源電圧: 2.7 V~5.5 V
- 温度範囲: -40°C~+105°C

### アプリケーション

- ゲインとオフセットのデジタル調整
- プログラマブルな減衰器
- 工業用オートメーション
- データ・アキュイジション・システム

### 概要

nanoDAC® ファミリーに属する AD5316R は、低消費電力のバッファ付き 10 ビット電圧出力クワッド DAC です。このデバイスは、2.5 V の 2 ppm/°C リファレンス電圧 (デフォルトでイネーブル) と、2.5 V (ゲイン= 1) または 5 V (ゲイン= 2) のフルスケール出力を選択するゲイン選択ピンを内蔵しています。このデバイスは 2.7 V~5.5 V の単電源で動作し、デザインにより単調性が保証され、FSR ゲイン誤差性能は 0.1% 以下で、オフセット誤差性能は 1.5 mV です。このデバイスは、3 mm × 3 mm LFCSP パッケージまたは TSSOP パッケージを採用しています。

また、AD5316R はパワーオン・リセット回路と RSTSEL ピンも内蔵しています。この RSTSEL ピンを使うと、DAC 出力がゼロスケールまたはミッドスケールでパワーアップし、有効な書き込みが行われるまでその状態を維持させることができます。このデバイスは、チャンネルごとのパワーダウン機能を内蔵しています。この機能はパワーダウン・モードのデバイス消費電流を 3 V で 4 μA へ削減します。

AD5316R は、最大 400 kHz のクロック・レートで動作する多機能な 2 線式シリアル・インターフェースを採用し、1.8 V/3 V/5 V ロジック用の V<sub>LOGIC</sub> ピンを内蔵しています。

### 機能ブロック図

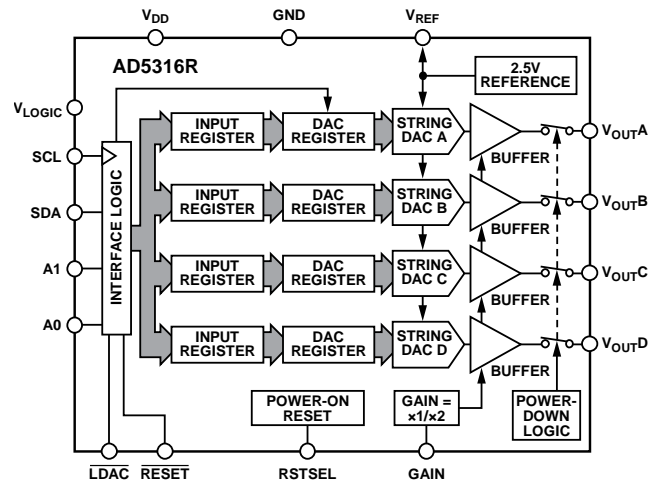


図 1.

表 1. 関連デバイス

Interface	Reference	12-Bit	10-Bit
SPI	Internal	AD5684R	AD5317R
	External	AD5684	AD5317
I <sup>2</sup> C	Internal	AD5694R	
	External	AD5694	AD5316 <sup>1</sup>

<sup>1</sup> AD5316R と AD5316 は、ピン互換でもソフトウェア互換でもありません。

### 製品のハイライト

- 優れた DC 性能。  
総合未調整誤差: FSR の最大±0.1%  
オフセット誤差: 最大±1.5 mV  
ゲイン誤差: FSR の最大±0.1%
- 低ドリフトの 2.5 V リファレンス電圧を内蔵。  
温度係数  
typ: 2 ppm/°C  
最大: 5 ppm/°C
- 2 種類のパッケージ・オプション。  
3 mm × 3 mm 16 ピン LFCSP  
16 ピン TSSOP。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。  
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2012 Analog Devices, Inc. All rights reserved.

Rev. A

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

## 目次

特長 .....	1	I <sup>2</sup> C スレーブ・アドレス .....	18
アプリケーション .....	1	シリアル動作 .....	18
機能ブロック図 .....	1	書込み動作 .....	18
概要 .....	1	読出し動作 .....	19
製品のハイライト .....	1	複数 DAC のリードバック・シーケンス .....	19
改訂履歴 .....	2	パワーダウン動作 .....	20
仕様 .....	3	DAC のロード(ハードウェア $\overline{\text{LDAC}}$ ピン) .....	20
AC 特性 .....	4	$\overline{\text{LDAC}}$ マスク・レジスタ .....	21
タイミング特性 .....	5	ハードウェア・リセット・ピン(RESET) .....	21
絶対最大定格 .....	6	リセット選択ピン(RSTSEL) .....	21
熱抵抗 .....	6	内蔵リファレンスのセットアップ .....	22
ESD の注意 .....	6	ハンダ加熱リフロー .....	22
ピン配置およびピン機能説明 .....	7	長時間温度ドリフト .....	22
代表的な性能特性 .....	8	熱ヒステリシス .....	22
用語 .....	14	アプリケーション情報 .....	23
動作原理 .....	16	マイクロプロセッサ・インターフェース .....	23
D/A コンバータ .....	16	AD5316R と ADSP-BF531 とのインターフェース .....	23
伝達関数 .....	16	レイアウトのガイドライン .....	23
DAC アーキテクチャ .....	16	電流絶縁型インターフェース .....	23
シリアル・インターフェース .....	17	外形寸法 .....	24
書込コマンドと更新コマンド .....	17	オーダー・ガイド .....	24

## 改訂履歴

## 7/12—Rev. 0 to Rev. A

Change to Features Section .....	1
Change to Relative Accuracy Parameter in Table 2 .....	3
Change to Differential Nonlinearity Parameter in Table 2 .....	3
Changes to Ordering Guide .....	24

## 7/12—Revision 0: Initial Version

## 仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ ;  $V_{REF} = 2.5\text{ V}$ ;  $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ ;  $R_L = 2\text{ k}\Omega$ ;  $C_L = 200\text{ pF}$ ; すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments <sup>1,2</sup>
<b>STATIC PERFORMANCE<sup>3</sup></b>					
Resolution	10			Bits	
Relative Accuracy		$\pm 0.12$	$\pm 0.5$	LSB	
Differential Nonlinearity			$\pm 0.5$	LSB	Guaranteed monotonic by design
Zero-Code Error		0.4	1.5	mV	All 0s loaded to DAC register
Offset Error		+0.1	$\pm 1.5$	mV	
Full-Scale Error		+0.01	$\pm 0.1$	% of FSR	All 1s loaded to DAC register
Gain Error		$\pm 0.02$	$\pm 0.1$	% of FSR	
Total Unadjusted Error		$\pm 0.01$	$\pm 0.1$	% of FSR	External reference, gain = 2, TSSOP
			$\pm 0.2$	% of FSR	Internal reference, gain = 1, TSSOP
Offset Error Drift <sup>4</sup>		$\pm 1$		$\mu\text{V}/^\circ\text{C}$	
Gain Temperature Coefficient <sup>4</sup>		$\pm 1$		ppm	Of FSR/ $^\circ\text{C}$
DC Power Supply Rejection Ratio <sup>4</sup>		0.15		mV/V	DAC code = midscale; $V_{DD} = 5\text{ V} \pm 10\%$
DC Crosstalk <sup>4</sup>		$\pm 2$		$\mu\text{V}$	Due to single channel, full-scale output change
		$\pm 3$		$\mu\text{V}/\text{mA}$	Due to load current change
		$\pm 2$		$\mu\text{V}$	Due to power-down (per channel)
<b>OUTPUT CHARACTERISTICS<sup>4</sup></b>					
Output Voltage Range	0		$V_{REF}$	V	Gain = 1
	0		$2 \times V_{REF}$	V	Gain = 2 (see Figure 26)
Capacitive Load Stability		2		nF	$R_L = \infty$
		10		nF	$R_L = 1\text{ k}\Omega$
Resistive Load <sup>5</sup>	1			k $\Omega$	
Load Regulation		80		$\mu\text{V}/\text{mA}$	DAC code = midscale $5\text{ V} \pm 10\%$ ; $-30\text{ mA} \leq I_{OUT} \leq +30\text{ mA}$
		80		$\mu\text{V}/\text{mA}$	$3\text{ V} \pm 10\%$ ; $-20\text{ mA} \leq I_{OUT} \leq +20\text{ mA}$
Short-Circuit Current <sup>6</sup>		40		mA	
Load Impedance at Rails <sup>7</sup>		25		$\Omega$	See Figure 26
Power-Up Time		2.5		$\mu\text{s}$	Coming out of power-down mode; $V_{DD} = 5\text{ V}$
<b>REFERENCE OUTPUT</b>					
Output Voltage <sup>8</sup>	2.4975		2.5025	V	At $T_A$
Reference TC <sup>9</sup>		2	5	ppm/ $^\circ\text{C}$	See the Terminology section
Output Impedance <sup>4</sup>		0.04		$\Omega$	
Output Voltage Noise <sup>4</sup>		12		$\mu\text{V p-p}$	0.1 Hz to 10 Hz
Output Voltage Noise Density <sup>4</sup>		240		nV/ $\sqrt{\text{Hz}}$	At $T_A$ , $f = 10\text{ kHz}$ , $C_L = 10\text{ nF}$
Load Regulation, Sourcing <sup>4</sup>		20		$\mu\text{V}/\text{mA}$	At $T_A$
Load Regulation, Sinking <sup>4</sup>		40		$\mu\text{V}/\text{mA}$	At $T_A$
Output Current Load Capability <sup>4</sup>		$\pm 5$		mA	$V_{DD} \geq 3\text{ V}$
Line Regulation <sup>4</sup>		100		$\mu\text{V}/\text{V}$	At $T_A$
Long-Term Stability/Drift <sup>4</sup>		12		ppm	After 1000 hours at $125^\circ\text{C}$
Thermal Hysteresis <sup>4</sup>		125		ppm	First cycle
		25		ppm	Additional cycles
<b>LOGIC INPUTS<sup>4</sup></b>					
Input Current			$\pm 2$	$\mu\text{A}$	Per pin
Input Low Voltage, $V_{INL}$			$0.3 \times V_{LOGIC}$	V	
Input High Voltage, $V_{INH}$	$0.7 \times V_{LOGIC}$			V	
Pin Capacitance		2		pF	
<b>LOGIC OUTPUTS (SDA)<sup>4</sup></b>					
Output Low Voltage, $V_{OL}$			0.4	V	$I_{SINK} = 3\text{ mA}$
Floating State Output Capacitance		4		pF	
<b>POWER REQUIREMENTS</b>					
$V_{LOGIC}$	1.8		5.5	V	
$I_{LOGIC}$			3	$\mu\text{A}$	
$V_{DD}$	2.7		5.5	V	Gain = 1

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments <sup>1,2</sup>
$I_{DD}$ Normal Mode <sup>10</sup>  All Power-Down Modes <sup>11</sup>	$V_{REF} + 1.5$		5.5	V	Gain = 2 $V_{IH} = V_{DD}$ , $V_{IL} = GND$ , $V_{DD} = 2.7\text{ V to }5.5\text{ V}$
		0.59	0.7	mA	Internal reference off
		1.1	1.3	mA	Internal reference on, at full scale
		1	4	$\mu\text{A}$	$-40^\circ\text{C to }+85^\circ\text{C}$
			6	$\mu\text{A}$	$-40^\circ\text{C to }+105^\circ\text{C}$

<sup>1</sup> 温度範囲は  $-40^\circ\text{C} \sim +105^\circ\text{C}$ 。

<sup>2</sup> AD5316R と AD5316 は、ピン互換でもソフトウェア互換でもありません。

<sup>3</sup> 特に指定がない限り、DC仕様は出力無負荷でテスト。上側デッドバンド = 10 mV で、これは  $V_{REF} = V_{DD}$  かつゲイン = 1 の場合、または  $V_{REF}/2 = V_{DD}$  かつゲイン = 2 の場合にのみ存在します。直線性は、縮小コード範囲 4~1020 を使って計算。

<sup>4</sup> デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

<sup>5</sup> チャンネル A とチャンネル B は、最大 30 mA の組み合わせ出力電流を持つことができます。同様に、チャンネル C とチャンネル D は、ジャンクション温度  $110^\circ\text{C}$  までで最大 30 mA の組み合わせ出力電流を持つことができます。

<sup>6</sup>  $V_{DD} = 5\text{ V}$ 。このデバイスは、熱過負荷状態でデバイスを保護することを目的とした電流制限機能を内蔵しています。電流制限時にはジャンクション温度を超えることができます。規定の最大ジャンクション温度より上での動作はデバイスの信頼性を損なう可能性があります。

<sup>7</sup> いずれかの電源レールから負荷電流を取り出すとき、その電源レールに対する出力電圧のヘッドルームは、出力デバイスのチャンネル抵抗  $25\ \Omega$  (typ) により制限されます。例えば、1 mA のシンク電流の場合、最小出力電圧 =  $25\ \Omega \times 1\ \text{mA} = 25\ \text{mV}$  となります (図 26 参照)。

<sup>8</sup> 前処理ハンダ・リフローでの初期精度は  $\pm 750\ \mu\text{V}$  です。出力電圧は前処理でのドリフトの影響を含みます。ハンダ加熱リフローのセクション参照。

<sup>9</sup> リファレンス電圧は 2 点の温度で調整/テストし、キャラクタライゼーションは  $-40^\circ\text{C} \sim +105^\circ\text{C}$  で行います。リファレンス電圧の温度係数はボックス法に準拠して計算します。詳細については、用語のセクションを参照してください。

<sup>10</sup> インターフェースは非アクティブ状態。すべての DAC はアクティブ状態。DAC 出力は無負荷。

<sup>11</sup> すべての DAC がパワーダウン。

## AC 特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ ;  $V_{REF} = 2.5\text{ V}$ ;  $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ ;  $R_L = 2\ \text{k}\Omega$ ;  $C_L = 200\ \text{pF}$ ; すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 3.

Parameter <sup>1,2</sup>	Min	Typ	Max	Unit	Test Conditions/Comments <sup>3</sup>
Output Voltage Settling Time		5	7	$\mu\text{s}$	$1/4$ to $3/4$ scale settling to $\pm 1\ \text{LSB}$
Slew Rate		0.8		V/ $\mu\text{s}$	
Digital-to-Analog Glitch Impulse		0.5		nV-sec	1 LSB change around major carry transition
Digital Feedthrough		0.13		nV-sec	
Digital Crosstalk		0.1		nV-sec	
Analog Crosstalk		0.2		nV-sec	
DAC-to-DAC Crosstalk		0.3		nV-sec	
Total Harmonic Distortion <sup>4</sup>		-80		dB	At $T_A$ , BW = 20 kHz, $V_{DD} = 5\text{ V}$ , $f_{OUT} = 1\ \text{kHz}$
Output Noise Spectral Density		300		nV/ $\sqrt{\text{Hz}}$	DAC code = midscale, 10 kHz, gain = 2
Output Noise		6		$\mu\text{V p-p}$	0.1 Hz to 10 Hz

<sup>1</sup> デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

<sup>2</sup> 用語のセクションを参照してください。

<sup>3</sup> 温度範囲 (typ) は、 $25^\circ\text{C}$  で  $-40^\circ\text{C} \sim +105^\circ\text{C}$  です。

<sup>4</sup> デジタル的に発生した 1 kHz の正弦波。

タイミング特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ ;  $1.8\text{ V} \leq V_{\text{LOGIC}} \leq 5.5\text{ V}$ ;すべての仕様は  $T_{\text{MIN}} \sim T_{\text{MAX}}$  で規定。

表 4.

Parameter <sup>1,2</sup>	Min	Max	Unit	Description
$t_1$	2.5		$\mu\text{s}$	SCL cycle time
$t_2$	0.6		$\mu\text{s}$	$t_{\text{HIGH}}$ , SCL high time
$t_3$	1.3		$\mu\text{s}$	$t_{\text{LOW}}$ , SCL low time
$t_4$	0.6		$\mu\text{s}$	$t_{\text{HD,STA}}$ , start/repeated start hold time
$t_5$	100		ns	$t_{\text{SU,DAT}}$ , data setup time
$t_6^3$	0	0.9	$\mu\text{s}$	$t_{\text{HD,DAT}}$ , data hold time
$t_7$	0.6		$\mu\text{s}$	$t_{\text{SU,STA}}$ , repeated start setup time
$t_8$	0.6		$\mu\text{s}$	$t_{\text{SU,STO}}$ , stop condition setup time
$t_9$	1.3		$\mu\text{s}$	$t_{\text{BUF}}$ , bus free time between a stop condition and a start condition
$t_{10}^4$	0	300	ns	$t_{\text{R}}$ , rise time of SCL and SDA when receiving
$t_{11}^{4,5}$	$20 + 0.1C_B$	300	ns	$t_{\text{F}}$ , fall time of SCL and SDA when transmitting/receiving
$t_{12}$	20		ns	LDAC pulse width
$t_{13}$	400		ns	SCL rising edge to LDAC rising edge
$t_{\text{SP}}^6$	0	50	ns	Pulse width of suppressed spike
$C_B^5$		400	pF	Capacitive load for each bus line

<sup>1</sup> 図 2 参照。

<sup>2</sup> デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

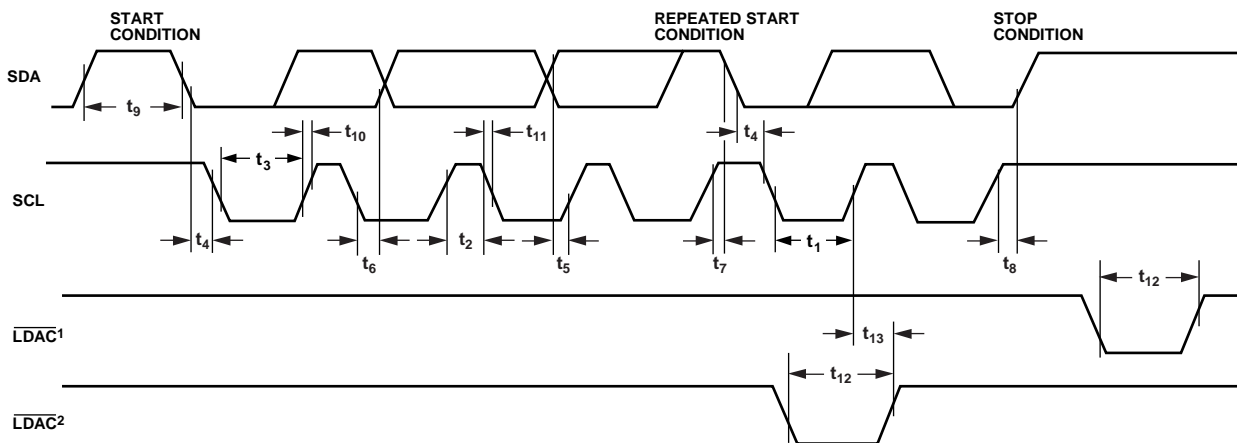
<sup>3</sup> SCL の立下がりエッジの不定領域を避けるため、マスター・デバイスは、SDA 信号に対して最小 300 ns のホールド・タイムを保証する必要があります(SCL 信号の  $V_{\text{IH min}}$  を基準として)。

<sup>4</sup>  $t_{\text{R}}$  と  $t_{\text{F}}$  は、 $0.3 \times V_{\text{DD}}$  から  $0.7 \times V_{\text{DD}}$  の間で測定。

<sup>5</sup>  $C_B$  は、1 本のバス・ラインの合計容量(pF)です。

<sup>6</sup> SCL と SDA の入力フィルタリングにより、ノイズ・スパイクを 50 ns 以下に抑圧。

タイミング図



NOTES  
<sup>1</sup> ASYNCHRONOUS LDAC UPDATE MODE.  
<sup>2</sup> SYNCHRONOUS LDAC UPDATE MODE.

108F9-002

図 2.2 線式シリアル・インターフェースのタイミング図

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 5.

Parameter	Rating
$V_{DD}$ to GND	-0.3 V to +7 V
$V_{LOGIC}$ to GND	-0.3 V to +7 V
$V_{OUT}$ to GND	-0.3 V to $V_{DD} + 0.3$ V
$V_{REF}$ to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to GND <sup>1</sup>	-0.3 V to $V_{LOGIC} + 0.3$ V
SDA and SCL to GND	-0.3 V to +7 V
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	125°C
Reflow Soldering Peak Temperature, Pb Free (J-STD-020)	260°C
ESD	
Human Body Model (HBM)	3.5 kV
Field-Induced Charged Device Model (FICDM)	1.5 kV

<sup>1</sup> SDA と SCL は除きます。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。この値は、JEDEC 標準 4 層ボードを使用して自然空冷で測定しています。LFCSP パッケージの場合、エクスポーズド・パッドは GND へ接続する必要があります。

表 6.熱抵抗

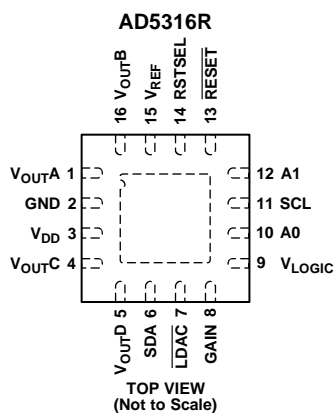
Package Type	$\theta_{JA}$	Unit
16-Lead LFCSP	70	°C/W
16-Lead TSSOP	112.6	°C/W

## ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES  
1. THE EXPOSED PAD MUST BE TIED TO GND.

図 3.16 ピン LFCSP のピン配置

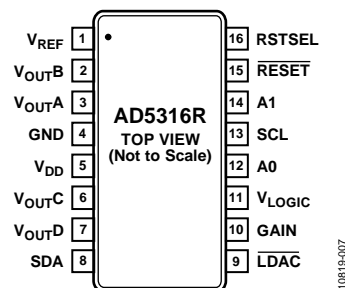


図 4.16 ピン TSSOP のピン配置

表 7. ピン機能の説明

ピン番号		記号	説明
LFCSP	TSSOP		
1	3	V <sub>OUTA</sub>	DAC A からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。
2	4	GND	デバイス上の全回路に対するグラウンド基準電圧ポイント。
3	5	V <sub>DD</sub>	電源入力。このデバイスは 2.7 V~5.5 V で動作し、電源は 10 μF のコンデンサと 0.1 μF のコンデンサとの並列接続により GND へデカップリングする必要があります。
4	6	V <sub>OUTC</sub>	DAC C のアナログ出力電圧。出力アンプはレール to レール動作。
5	7	V <sub>OUTD</sub>	DAC D のアナログ出力電圧。出力アンプはレール to レールの動作。
6	8	SDA	シリアル・データ入力。このピンは、24 ビット入力シフトレジスタにデータを入出力する SCL ラインと組み合わせて使います。SDA は双方向のオープン・ドレイン・データラインであるため、外付け抵抗で電源にプルアップする必要があります。
7	9	LDAC	LDAC は、非同期更新モードと同期更新モードの 2 つのモードで動作することができます。入力レジスタに新しいデータがある場合、このピンにロー・レベルのパルスを入力すると、任意またはすべての DAC レジスタが更新されます。すべての DAC 出力が同時に更新されます。あるいは、このピンをロー・レベルに固定することができます。
8	10	GAIN	ゲイン選択ピン。このピンを GND に接続すると、4 個すべての DAC 出力の振幅は 0 V~V <sub>REF</sub> になります。このピンを V <sub>DD</sub> に接続すると、4 個すべての DAC 出力の振幅は 0 V~2 × V <sub>REF</sub> になります。
9	11	V <sub>LOGIC</sub>	デジタル電源。電圧範囲は 1.8 V~5.5 V。
10	12	A0	アドレス入力。7 ビット・スレーブ・アドレスの先頭の LSB を設定します。
11	13	SCL	シリアル・クロック・ライン。このピンは、24 ビット入力シフトレジスタにデータを入出力する SDA ラインと組み合わせて使います。
12	14	A1	アドレス入力。7 ビット・スレーブ・アドレスの 2 番目の LSB を設定します。
13	15	RESET	非同期リセット入力。RESET 入力は、立下がりエッジ検出です。RESET がロー・レベルになると、入力レジスタと DAC レジスタが RSTSEL ピンの状態に応じてゼロスケールまたはミッドスケールで更新されます。RESET がロー・レベルのときは、すべての LDAC パルスが無視されます。
14	16	RSTSEL	パワーオン・リセット・ピン。このピンを GND に接続すると、4 個すべての DAC はゼロスケールでパワーアップします。このピンを V <sub>DD</sub> に接続すると、4 個すべての DAC はミッドスケールでパワーアップします。
15	1	V <sub>REF</sub>	リファレンス電圧。AD5316R はリファレンス電圧を内蔵しています。内蔵リファレンス電圧を使用する場合、V <sub>REF</sub> はリファレンス出力ピンになります。外付けリファレンスを使用する場合、V <sub>REF</sub> はリファレンス入力ピンになります。デフォルトでは、内蔵リファレンス電圧の使用になっているため、このピンはリファレンス出力になっています。
16	2	V <sub>OUTB</sub>	DAC B のアナログ電圧出力。出力アンプはレール to レールの動作を行います。
17	N/A	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは GND に接続する必要があります。

代表的な性能特性

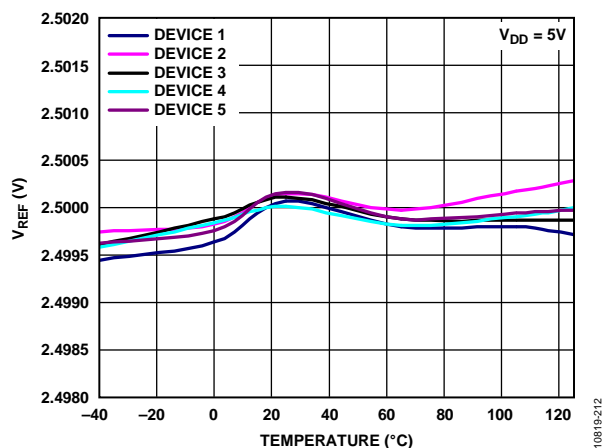


図 5.内蔵リファレンス電圧の温度特性

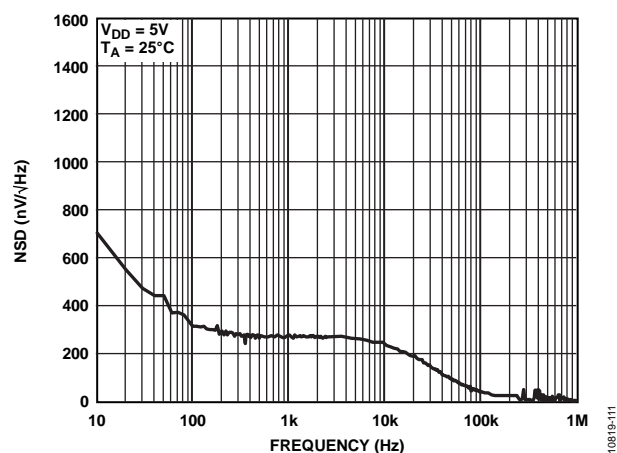


図 8.内蔵リファレンス・ノイズ・スペクトル密度の周波数特性

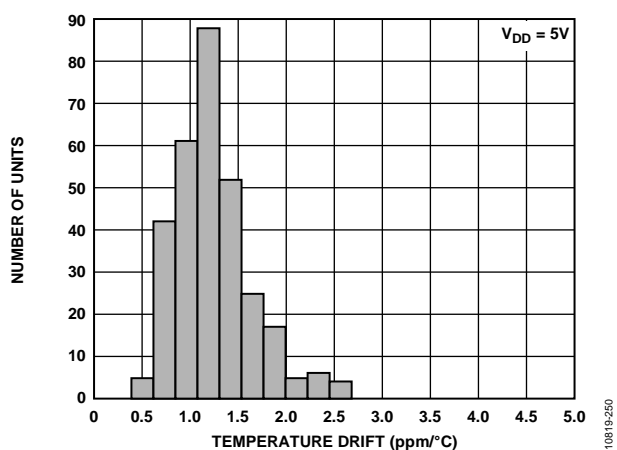


図 6.リファレンス出力温度ドリフトのヒストグラム

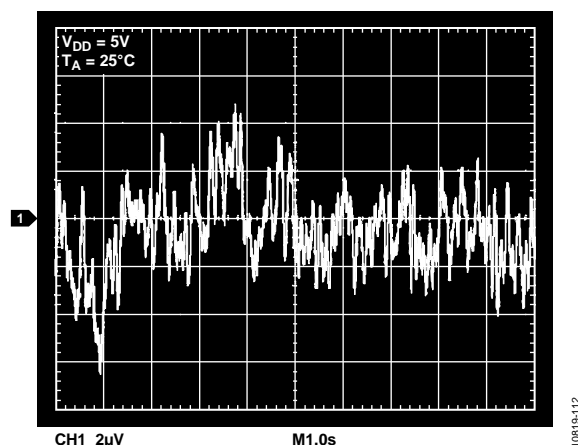


図 9.内蔵リファレンスのノイズ、0.1 Hz~10 Hz

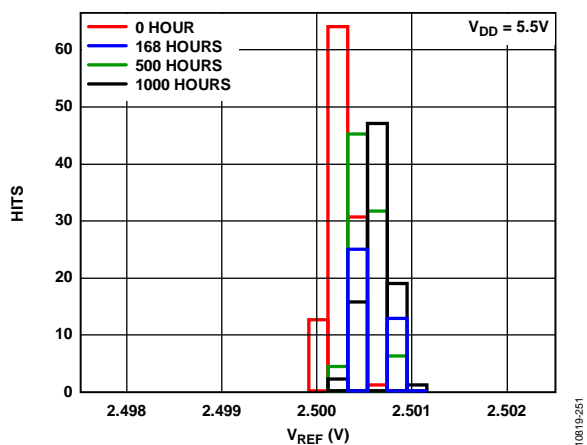


図 7.リファレンスの長時間安定性(ドリフト)

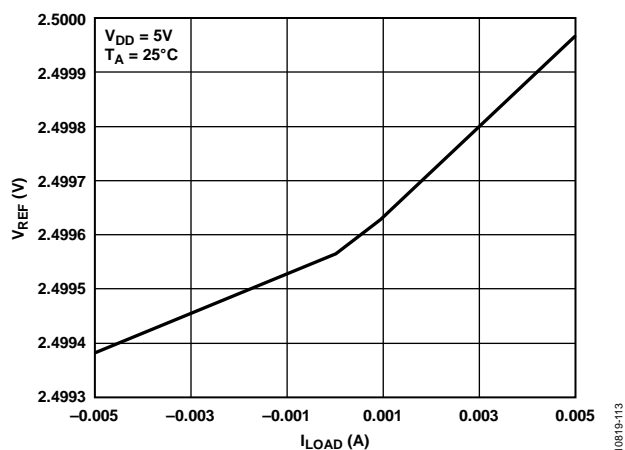


図 10.負荷電流対内蔵リファレンス電圧



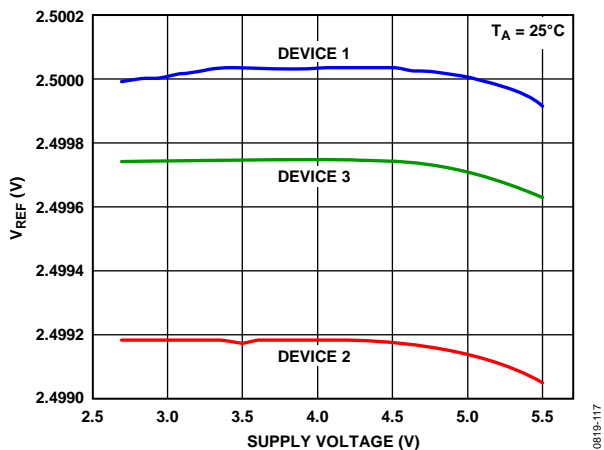


図 11.電源電圧対内蔵リファレンス電圧

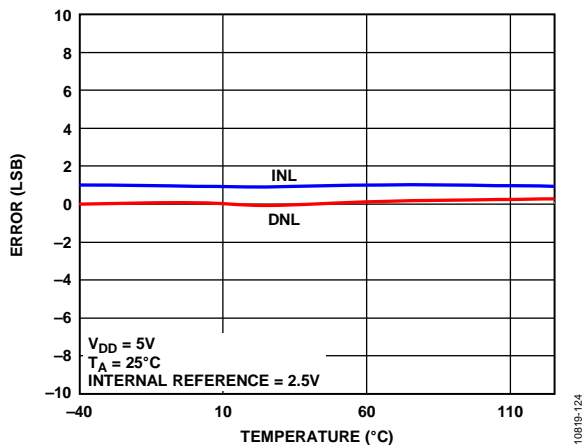


図 14.INL 誤差と DNL 誤差の温度特性

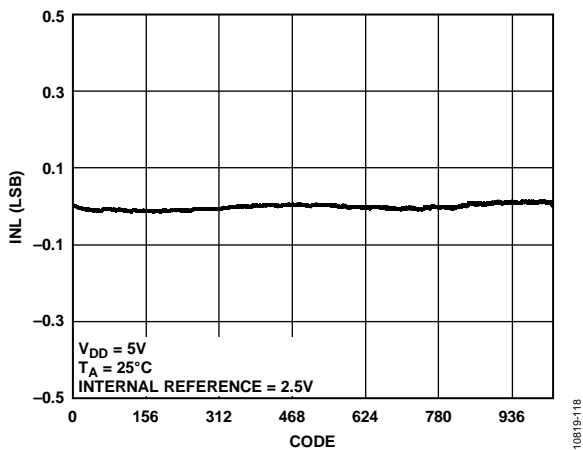


図 12.INL

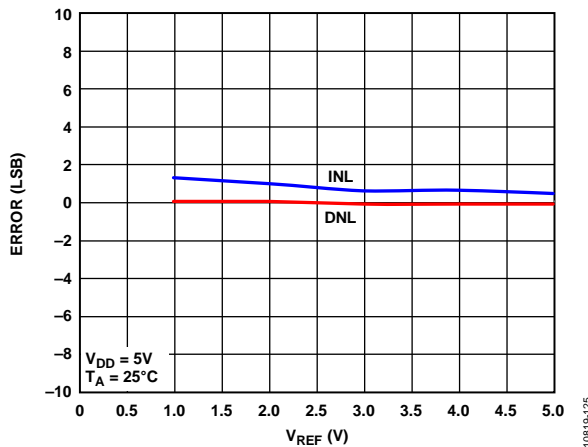


図 15.VREF 対 INL 誤差および DNL 誤差

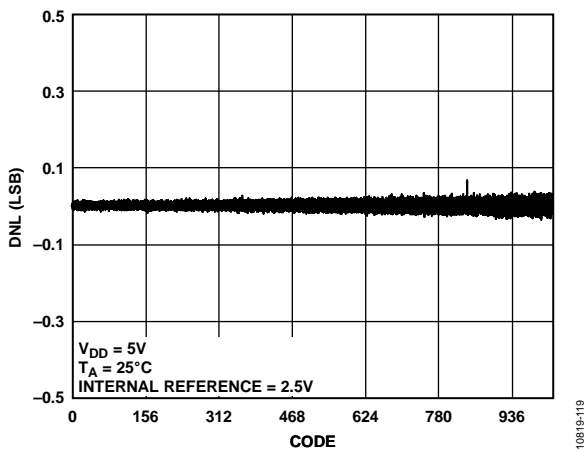


図 13.DNL

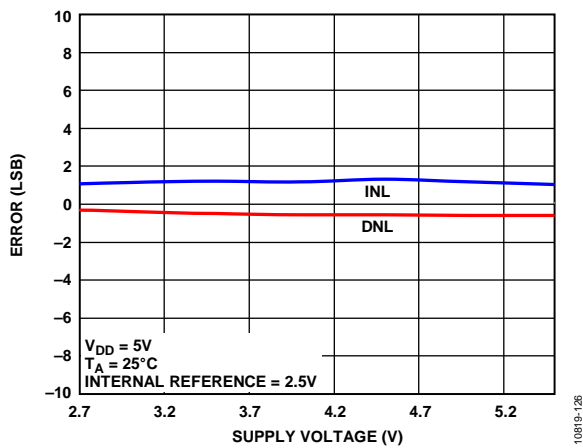


図 16.電源電圧対 INL 誤差および DNL 誤差

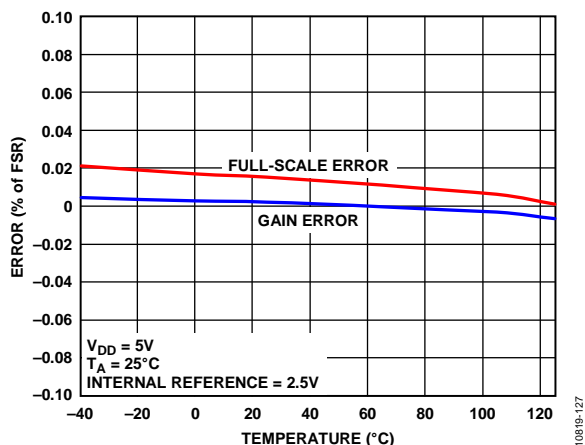


図 17.ゲイン誤差とフルスケール誤差の温度特性

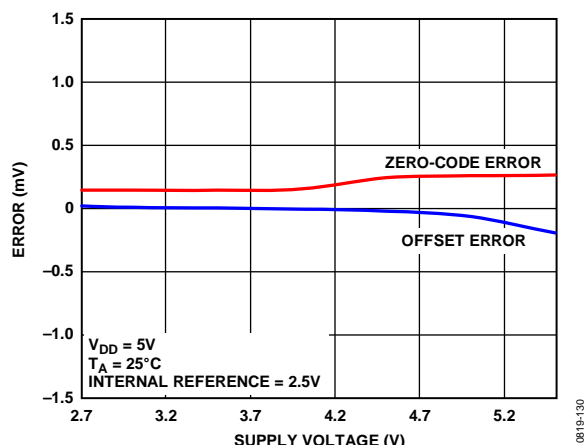


図 20.電源電圧対ゼロ・コード誤差およびオフセット誤差

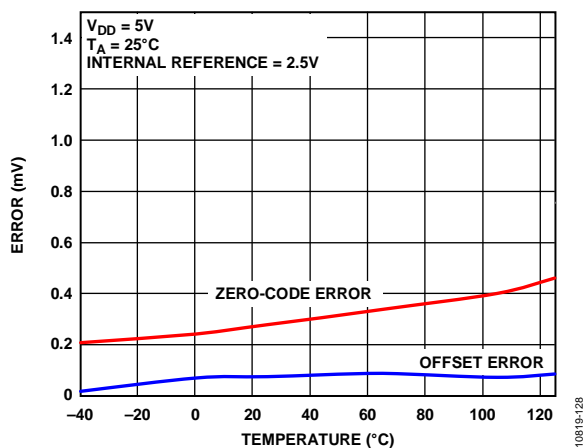


図 18.ゼロ・コード誤差とオフセット誤差の温度特性

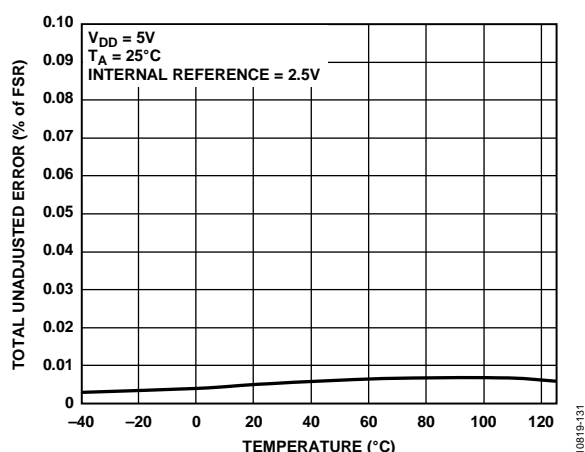


図 21.TUE の温度特性

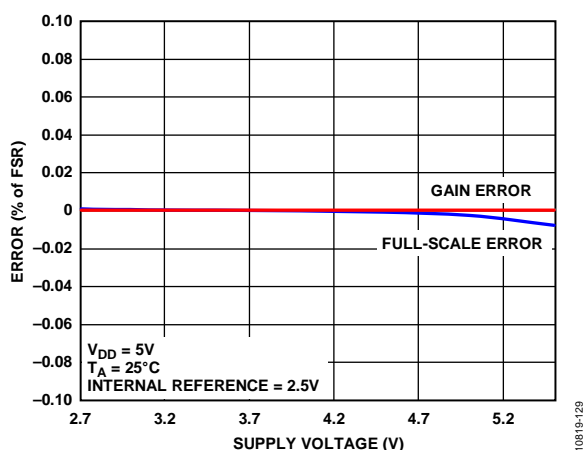


図 19.電源電圧対ゲイン誤差およびフルスケール誤差

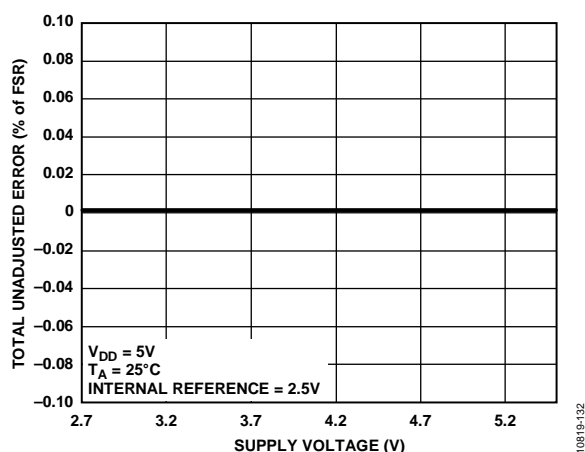


図 22.電源電圧対 TUE、ゲイン = 1

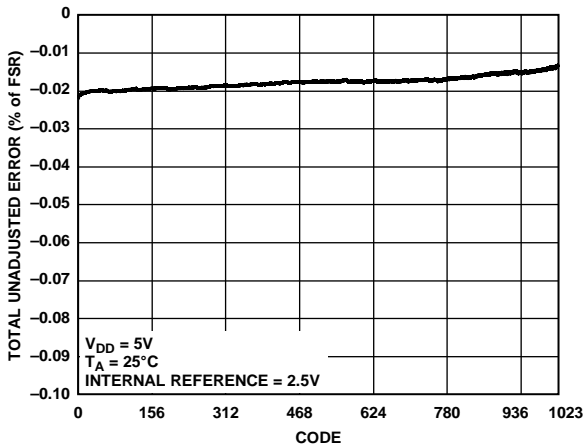


図 23.コード対 TUE

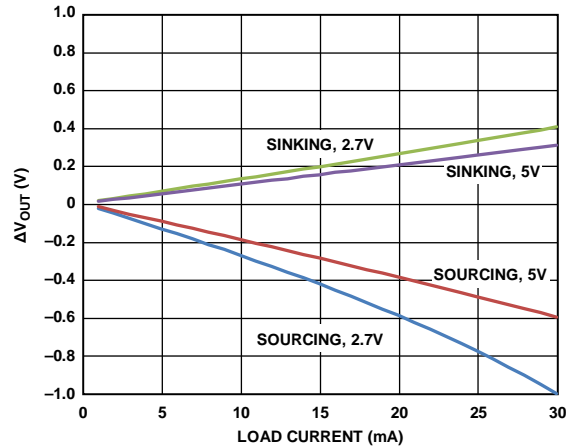


図 26.負荷電流対ヘッドルーム/フットルーム

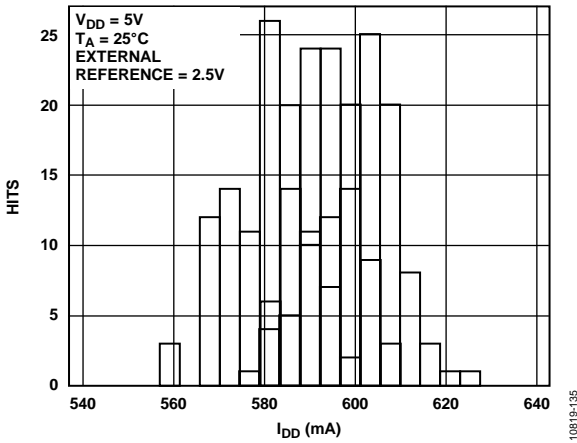


図 24.外付けリファレンス電圧 5 V での  $I_{DD}$  ヒストグラム

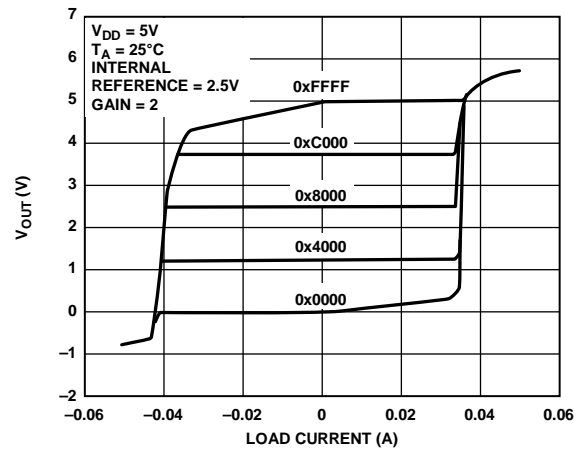


図 27.5 V でのソース能力とシンク能力

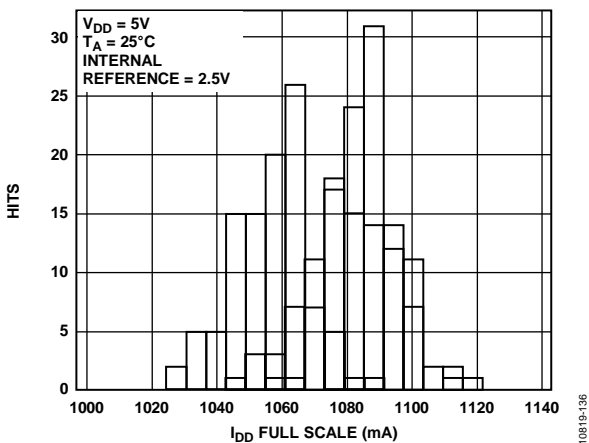


図 25.内蔵リファレンス電圧での  $I_{DD}$  ヒストグラム  
 $V_{REF} = 2.5V$ 、ゲイン=2

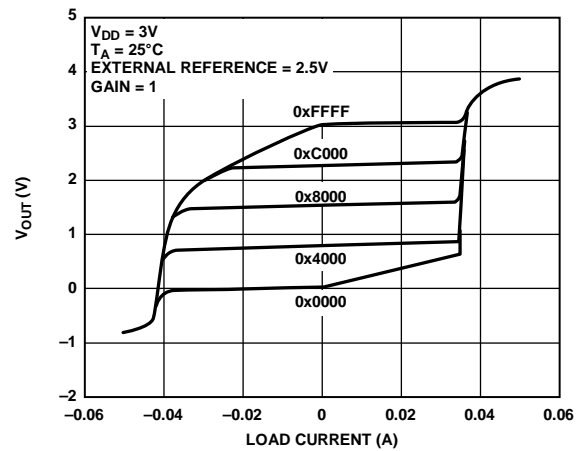


図 28.3 V でのソース能力とシンク能力

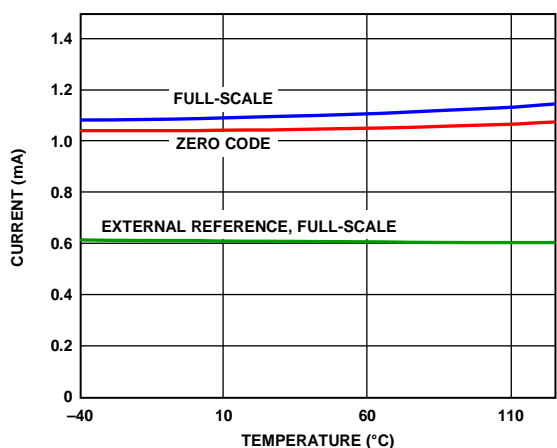


図 29.電源電流の温度特性

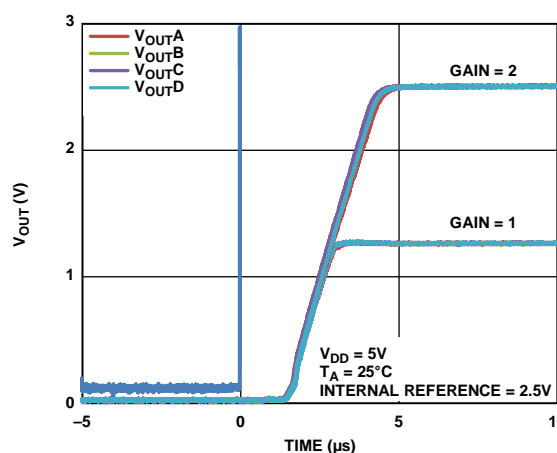


図 32.パワーダウン終了時のミドスケール出力

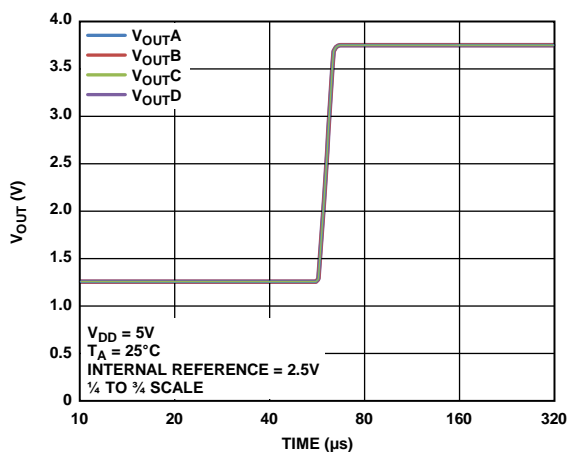


図 30.セトリング・タイム

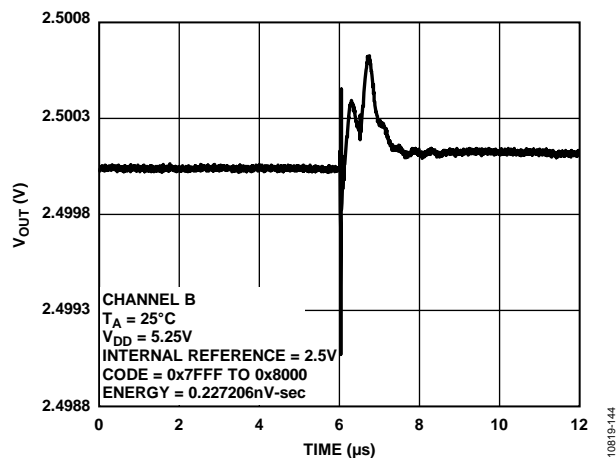


図 33.デジタルからアナログへのグリッチ・インパルス

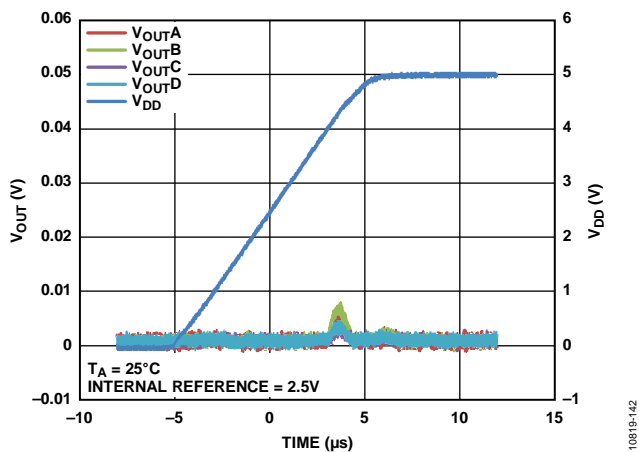


図 31.0 V へのパワーオン・リセット

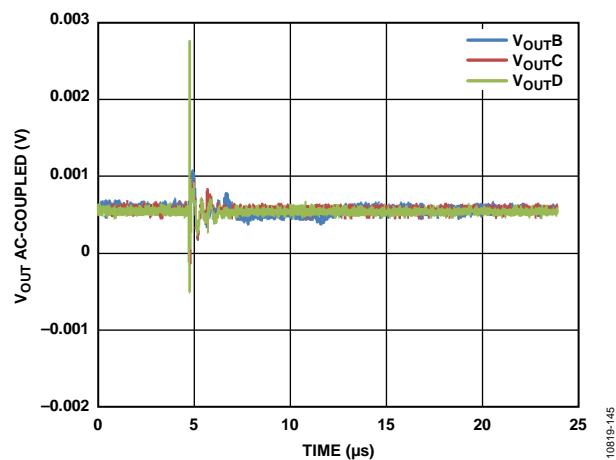


図 34.アナログ・クロストーク、 $V_{outA}$

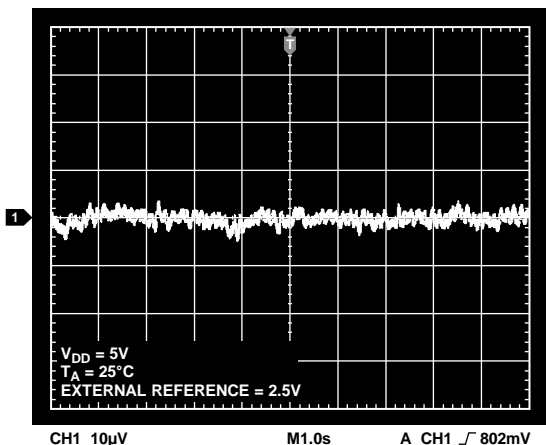


図 35. 0.1 Hz~10 Hzでの出力ノイズ・プロット  
2.5 V 外付けリファレンス電圧

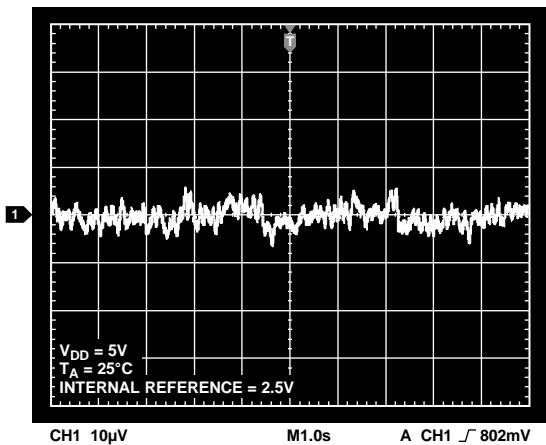


図 36. 0.1 Hz~10 Hz 出力ノイズ・プロット  
2.5 V 内蔵リファレンス電圧

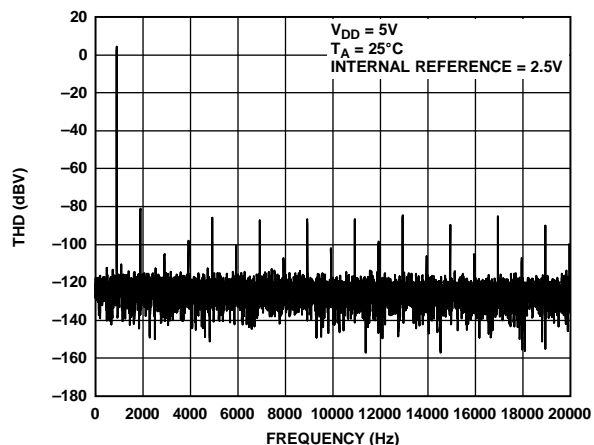


図 38. 全高調波歪み、1 kHz

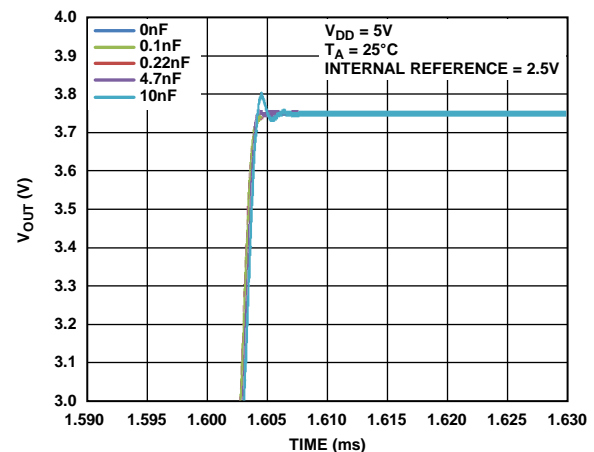


図 39. 容量負荷対セトリング・タイム

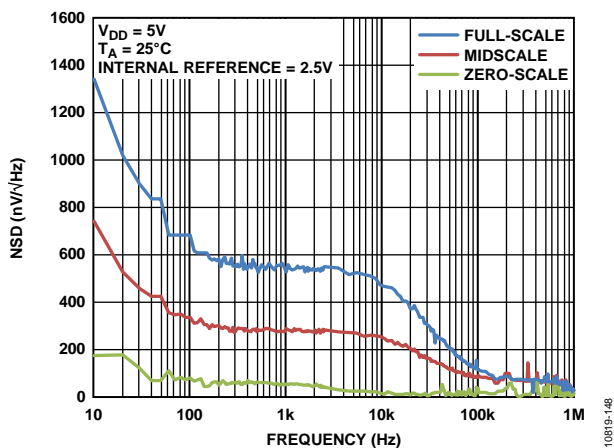


図 37. ノイズ・スペクトル密度

## 用語

### 相対精度または積分非直線性(INL)

相対精度すなわち積分非直線性は、DAC 伝達関数の上下両端を結ぶ直線からの最大乖離(LSB 数で表示)を表します。図 12 に、コード対 INL (typ)を示します。

### 微分非直線性(DNL)

微分非直線性(DNL)は、隣接する 2つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大±1 LSB の微分非直線性の規定により、単調性が保証されます。

AD5316R はデザインにより単調性を保証しています。図 13 に、コード対 DNL (typ)を示します。

### ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コード(0x0000)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には、出力が 0 V である必要があります。ゼロ・コード誤差は AD5316R では常に正です。これは、DAC と出力アンプのオフセット誤差の組み合わせによって DAC 出力が 0 V より低くなることができないためです。ゼロ・コード誤差は mV で表します。図 18 に、ゼロ・コード誤差の温度特性を示します。

### フルスケール誤差

フルスケール誤差は、フルスケール・コード(0xFFFF)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には出力は  $V_{DD} - 1 \text{ LSB}$  である必要があります。フルスケール誤差はフルスケール範囲のパーセント値(% FSR)で表します。図 17 にフルスケール誤差の温度特性を示します。

### ゲイン誤差

ゲイン誤差は、DAC 振幅誤差の測定値です。理論 DAC 伝達特性傾斜からの変位を表し、DAC 出力の%FSR で表示されます。

### ゲイン温度係数

ゲイン温度係数は、温度変化に対するゲイン誤差の変化を表し、FSR/°C の ppm で表されます。

### オフセット誤差

オフセット誤差は、伝達関数の直線領域での  $V_{OUT}$  (実測値)と  $V_{OUT}$  (理論)の差を表し、mV で表示されます。この誤差は正または負になります。

### オフセット誤差ドリフト

オフセット誤差ドリフトは、温度変化によるオフセット誤差の変化を表し、 $\mu\text{V}/^\circ\text{C}$  で表されます。

### DC 電源除去比(PSRR)

DC PSRR は、電源電圧変化の DAC 出力に対する影響を表します。PSRR は、DAC ミッドスケール出力での、 $V_{OUT}$  変化の  $V_{DD}$  変化に対する比です。これは mV/V で測定されます。 $V_{REF}$  を 2.5 V に維持して、 $V_{DD}$  を ±10% 変化させます。

### 出力電圧セトリング・タイム

1/4 フルスケールから 3/4 フルスケールへの入力変化に対して、DAC 出力が規定のレベルまでに安定するために要する時間を表します。

### デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV-sec で表すグリッチの面積として規定され、主要なキャリ変化時に(0x7FFF から 0x8000)、デジタル入力コードが 1 LSB だけ変化したときに測定されます(図 33 参照)。

### デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。nV-sec で規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定されます。

### ノイズ・スペクトル密度(NSD)

ノイズ・スペクトル密度は、内部で発生するランダム・ノイズの大きさを表します。ランダム・ノイズはスペクトル密度(nV/√Hz)としてキャラクタライズされ、DAC にミッドスケールをロードして、出力のノイズを測定し、nV/√Hz で表します。図 37 にノイズ・スペクトル密度のプロットを示します。

### DC クロストーク

別の DAC 出力での変化に起因する 1つの DAC の出力レベルでの DC 変化。1つのミッドスケールに維持した DAC をモニタしながら、別の DAC 上でのフルスケール出力変化(またはソフト・パワーダウンとパワーアップ)を使って測定し、 $\mu\text{V}$  で表されます。

負荷電流変化に起因する DC クロストークは、1つの DAC の負荷電流変化がミッドスケールに設定された別の DAC へ与える影響を表し、 $\mu\text{V}/\text{mA}$  で表わされます。

### デジタル・クロストーク

1の DAC の入力レジスタにおけるフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)から、ミッドスケール・レベルにある別の DAC の出力に混入したグリッチ・インパルスを表し、nV-sec で表示します。

### アナログ・クロストーク

DAC の出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルスを表し、アナログ・クロストークを測定するときは、入力レジスタの 1つにフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、及びその逆)をロードし、次にソフトウェア LDAC を実行し、デジタル・コードが変化しない DAC の出力をモニタします。グリッチの面積は nV-sec で表示します。

**DAC間クロストーク**

デジタル・コードの変化とそれに続く別のDACのアナログ出力変化に起因して、別のDAC出力に混入するグリッチ・インパルス。書込コマンドと更新コマンドを使って、DACの1つにフルスケール・コード変化(全ビット0から全ビット1への変化、およびその逆変化)をロードして、この間にミッドスケールにある別のチャンネル出力をモニタすることにより測定します。グリッチのエネルギーはnV-secで表示します。

**全高調波歪み(THD)**

THDは、理論正弦波とDACを使ったために減衰したその正弦波との差を表します。DACに対してリファレンスとして正弦波を使ったときに、DAC出力に現われる高調波がTHDになります。dB値で表示します。

**リファレンス電圧温度係数(TC)**

温度変化に対するリファレンス出力電圧の変化を意味し、リファレンスTCはボックス法を使って計算されます。この方法では、与えられた温度範囲でのリファレンス出力の最大変化としてTCを定義し、次式のようにppm/°Cで表わします。

$$F5 = \left[ \frac{H_{D78.5} - H_{D78.1}}{H_{D78.1} \times FW/bDS\%} \right] \times 10^6$$

ここで、

$V_{REFmax}$  は全温度範囲で測定した最大リファレンス出力。

$V_{REFmin}$  は全温度範囲で測定した最小リファレンス出力。

$V_{REFnom}$  は公称リファレンス出力電圧 2.5 V。

$TempRange$  は規定の温度範囲(-40°C~+105°C)。

## 動作原理

### D/A コンバータ

AD5316R は、リファレンス電圧を内蔵した、シリアル入力、電圧出力のクワッド 10 ビット DAC です。このデバイスは 2.7 V ~ 5.5 V の電源電圧で動作します。データは、2 線式シリアル・インターフェースを使用して 24 ビット・ワード・フォーマットで AD5316R へ書込まれます。AD5316R は、パワーオン・リセット回路を内蔵しており、この回路により、パワーアップ時に DAC 出力を既知出力状態に維持することができます。このデバイスは、消費電流を 1 μA (typ) まで減少させるソフトウェア・パワーダウン・モードも持っています。

### 伝達関数

内蔵リファレンスはデフォルトでオンになっています。DAC への入力コーディングはストレート・バイナリを使っているため、外付けリファレンスを使う場合、理論出力電圧は次式で与えられます。

$$H_{AGF} = H_{D78} \times 9S \cdot \left[ \frac{6}{2^D} \right]$$

ここで、

$V_{REF}$  は、外付けリファレンスの値です。

Gain は、出力アンプのゲインで、デフォルトで 1 に設定されます。ゲインは、ゲイン選択ピンを使って 1 または 2 に設定することができます。GAIN ピンを GND に接続すると、4 個すべての DAC 出力の振幅は 0 V ~  $V_{REF}$  になります。このピンを  $V_{DD}$  に接続すると、4 個すべての DAC 出力の振幅は 0 V ~  $2 \times V_{REF}$  になります。

$D$  は、DAC レジスタへロードされるバイナリ・コード値 (0 ~ 1023) です。

$N$  は DAC の分解能です (10 ビット)。

### DAC アーキテクチャ

DAC アーキテクチャは、ストリング DAC とそれに続く出力アンプから構成されています。図 40 に、DAC アーキテクチャのブロック図を示します。

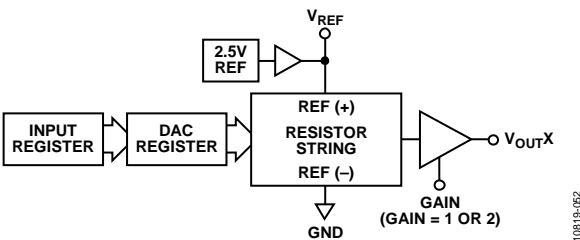


図 40. DAC 1 チャンネルあたりのアーキテクチャのブロック図

抵抗ストリング構造を図 41 に示します。各値が R の抵抗ストリングから構成されています。DAC レジスタにロードされるコードにより、ストリングのどのノードから電圧を分割して出力アンプへ供給するかが指定されます。スイッチの内の 1 つが閉じてストリングがアンプに接続されて、電圧が取り出されます。AD5316R は抵抗のストリングであるため、単調整が保証されません。

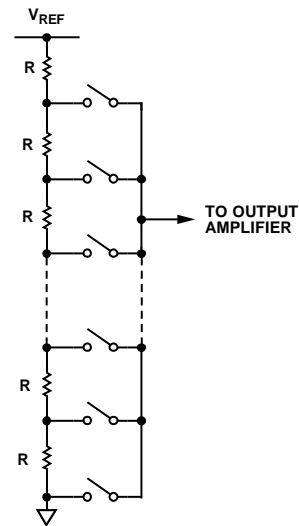


図 41. 抵抗ストリング構造

### リファレンスを内蔵

AD5316R の内蔵リファレンスはパワーアップ時にオンになりますが、コントロール・レジスタへの書き込みによりディスエーブルすることができます。詳細については、内蔵リファレンスのセットアップのセクションを参照してください。

このデバイスは 2.5 V、2 ppm/°C のリファレンス電圧を内蔵し、GAIN ピンの状態に応じてフルスケール出力 2.5 V または 5 V になります。内蔵リファレンス電圧は  $V_{REF}$  ピンに出力されます。このバッファ付きリファレンス電圧は、最大 10 mA の外部負荷を駆動することができます。

### 出力アンプ

出力バッファアンプは、出力でレール to レール電圧を発生することができます。0 V ~  $V_{DD}$  の出力範囲になります。実際の範囲は、 $V_{REF}$  の値、GAIN ピン、オフセット誤差、ゲイン誤差に依存します。GAIN ピンで出力のゲインを選択します。

- このピンを GND に接続すると、4 個すべての出力のゲインは 1 になり、出力範囲は 0 V ~  $V_{REF}$  になります。
- このピンを  $V_{DD}$  に接続すると、4 個すべての出力のゲインは 2 になり、出力範囲は 0 V ~  $2 \times V_{REF}$  になります。

出力アンプは、GND へ接続した 1 kΩ と 2 nF の並列接続負荷を駆動することができます。スルーレートは 0.8 V/μs であり、1/4 スケールから 3/4 スケールまでのセトリング・タイムは 5 μs です。



シリアル・インターフェース

AD5316R は 2 線式 I<sup>2</sup>C 互換シリアル・インターフェースを内蔵しています (Philips Semiconductor 社の I<sup>2</sup>C-Bus Specification, Version 2.1, January 2000 を参照してください)。図 2 に、代表的な書込みシーケンスのタイミング図を示します。AD5316R は、マスター・デバイスから制御されるスレーブ・デバイスとして I<sup>2</sup>C バスに接続することができます。AD5316R は、標準(100 kHz)と高速(400 kHz)のデータ転送モードをサポートしています。10 ビット・アドレッシングまたはジェネラル・コール・アドレッシングはサポートしていません。

入力シフトレジスタ

AD5316R の入力シフトレジスタは 24 ビット幅です。データは、シリアル・クロック入力 SCL の制御のもとで 24 ビット・ワードとして MSB ファーストでデバイスに入力されます。入力シフトレジスタは、8 ビットのコマンド・バイトと 16 ビットのデータワードで構成されています (図 42 参照)。上位 8 ビットがコマンド・バイトです。

- 先頭の 4 ビットはコマンド・ビット(C3、C2、C1、C0)で、デバイスの動作モードを制御します(詳細については表 8 参照)。
- コマンド・バイトの最後の 4 ビットはアドレス・ビット(DAC D、DAC C、DAC B、DAC A)で、コマンドで動作する DAC を指定します(表 9 参照)。

表 8. コマンドの定義

Command Bits				Command
C3	C2	C1	C0	
0	0	0	0	No operation
0	0	0	1	Write to Input Register n (dependent on LDAC)
0	0	1	0	Update DAC Register n with contents of Input Register n
0	0	1	1	Write to and update DAC Channel n
0	1	0	0	Power down/power up DAC
0	1	0	1	Hardware LDAC mask register
0	1	1	0	Software reset (power-on reset)
0	1	1	1	Internal reference setup register
1	X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	Reserved

<sup>1</sup> X = don't care

表 9. アドレス・ビットと選択される DAC

Address Bits				Selected DAC Channels <sup>1</sup>
DAC D	DAC C	DAC B	DAC A	
0	0	0	1	DAC A
0	0	1	0	DAC B
0	0	1	1	DAC A and DAC B
0	1	0	0	DAC C
0	1	0	1	DAC A and DAC C
0	1	1	0	DAC B and DAC C
0	1	1	1	DAC A, DAC B, and DAC C
1	0	0	0	DAC D
1	0	0	1	DAC A and DAC D
...	...	...	...	...
1	1	1	1	All DACs

<sup>1</sup> DAC チャンネルの任意の組み合わせを、アドレス・ビットを使って選択することができます。

8 ビットのコマンド・バイトの後ろには、データバイトが続き、これらがデータワードになります。データワードは 10 ビット入力コードとそれに続く 6 個の don't care ビットで構成されています (図 42 参照)。これらのデータビットは、SCL の 24 個の立下がりエッジで入力レジスタへ転送されます。

コマンドは、選択したアドレス・ビットに応じて、1 つの DAC チャンネルに対して、任意の 2 つまたは 3 つの DAC チャンネルに対して、または 4 つの全 DAC チャンネルに対して実行することができます(表 9 参照)。

書込コマンドと更新コマンド

LDAC 機能の詳細については、ロード DAC (ハードウェア LDAC ピン) のセクションを参照してください。

入力レジスタ n への書込(LDAC に依存)

コマンド 0001 を使うと、各 DAC の専用入力レジスタへ個別に書込みを行うことができます。LDAC がロー・レベルのとき、入力レジスタはトランスペアレントになります(LDAC マスク・レジスタから制御されていない場合)。

入力レジスタ n の値による DAC レジスタ n の更新

コマンド 0010 は、アドレス・ビットで選択した入力レジスタ値を DAC レジスタ/出力へロードして(表 9 参照)、DAC 出力を直接更新します。

DAC チャンネル n への書込と更新(LDAC 依存)

コマンド 0011 を使うと、LDAC ピンの状態に無関係に、DAC レジスタへ書込みを行なって、DAC 出力を直接更新することができます。

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	DAC D	DAC C	DAC B	DAC A	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X	X	X
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

図 42. 入力シフトレジスタ値

10819-300

## I<sup>2</sup>C スレーブ・アドレス

AD5316R は 7 ビットの I<sup>2</sup>C スレーブ・アドレスを持っています。上位 5 ビットは 00011 で、下位 2 ビット (A1 と A0) はアドレス・ピン (A0 と A1) の状態で設定されます。A0 と A1 をハード・ワイヤ接続で変更する機能を使うと、表 10 に示すように、1 つのバスに AD5316R デバイスを最大 4 個接続することができます。

表 10. デバイス・アドレスの指定

A1 Pin Connection	A0 Pin Connection	A1 Bit	A0 Bit
GND	GND	0	0
GND	V <sub>LOGIC</sub>	0	1
V <sub>LOGIC</sub>	GND	1	0
V <sub>LOGIC</sub>	V <sub>LOGIC</sub>	1	1

## シリアル動作

2 線式 I<sup>2</sup>C シリアル・バス・プロトコルは、次のように動作します。

1. マスターはスタート条件を設定してデータ転送を開始します。このスタート条件は、SCL がハイ・レベルの間に SDA ラインがハイ・レベルからロー・レベルへ変化することと定義されます。次のバイトはアドレス・バイトで、7 ビットのスレーブ・アドレスから構成されています。
2. 送信されたアドレスに該当するスレーブ・デバイスは 9 番目のクロック・パルスで、SDA ラインをロー・レベルにして応答します (これはアックノリッジ・ビットと呼ばれます)。選択されたデバイスが入力シフトレジスタに読み書きするデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。

3. データは、9 個のクロック・パルスで 8 ビットのデータとそれに続くアックノリッジ・ビットの順にシリアル・バス上を伝送します。SDA ラインは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります。
4. 全データビットの読出または書込みが終了すると、ストップ条件が設定されます。書込みモードでは、マスターが 10 番目のクロック・パルスで SDA ラインをハイ・レベルにプルアップして、ストップ状態を設定します。読出しモードでは、マスターは 9 番目のクロック・パルスでアックノリッジを発行しません (SDA ラインがハイ・レベルを維持)。この後、マスターは SDA ラインをロー・レベルにして、10 番目のクロック・パルスが再度ハイ・レベルになるときストップ条件を設定します。

## 書込み動作

AD5316R へ書込みを行うときは、まずスタート・コマンドを送信し、続いてアドレス・バイト (R/W = 0) を送信します。その後 DAC は SDA をロー・レベルにして、データ受信の準備ができたことを通知します。AD5316R は、DAC と種々の DAC 機能を制御するコマンド・バイト用の 2 バイトのデータを必要とします。このため、3 バイトのデータを DAC に書込む必要があります。すなわち、コマンド・バイト、その後ろに上位データバイトと下位データバイトが続きます (図 43 参照)。これらの全データバイトは、AD5316R によりアックノリッジされます。この後に、ストップ条件が続きます。

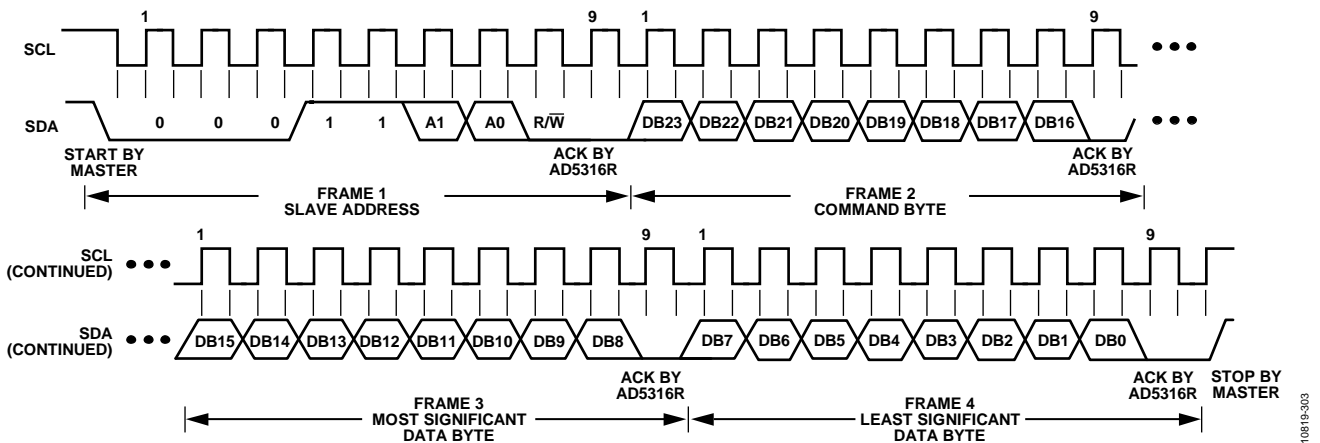


図 43. I<sup>2</sup>C の書込み動作

読出し動作

AD5316Rからデータの読出しを行うときは、まずスタート・コマンドを送信し、続いてアドレス・バイト(R/W = 0)を送信します。その後DACはSDAをロー・レベルにして、データ受信の準備ができたことを通知します。アドレス・バイトの後ろには、コマンド・バイトが続く必要があります。このコマンド・バイトは、後続の読出しコマンドと読出し対象のポインタ・アドレスを指定します。これもDACからアクノリッジされます。ユーザーは1個または複数のDACレジスタ値をリードバックする対象チャンネルを設定し、コマンド・バイトを使ってリードバック・コマンドをアクティブに設定します。

この後、マスターからスタート条件が繰り返され、アドレスがR/W = 1で再送されます。これはDACからアクノリッジされて、データ送信の準備ができたことが通知されます。次に、2バイトのデータがDACから読出されます(図44参照)。マスターからのNACK条件の後ろにSTOP条件が続いて、読出しシーケンスが完了します。複数のDACが選択されると、チャンネルAがデフォルトでリードバックされます。

複数 DAC のリードバック・シーケンス

AD5316R DACから読出しを行うときは、まずアドレス・バイト(R/W = 0)を送信します。その後、DACはSDAをロー・レベルにして、データ受信の準備ができたことを通知します。このアドレス・バイトの後ろにはコマンド・バイトが続く必要があります。これに対してもDACはアクノリッジします。ユーザーはコマンド・バイトを使ってリードバックを開始するチャンネルを選択します。

この後、マスターからスタート条件が繰り返され、アドレスがR/W = 1で再送されます。これはDACからアクノリッジされて、データ送信の準備ができたことが通知されます。そこで、最初の2バイトのデータが、コマンド・バイトで選択されたDAC入力レジスタnから、MSBファーストで読出されます(図44参照)。次の2バイトのデータが、DAC入力レジスタn + 1から読出され、次のバイトがDAC入力レジスタn + 2から読出されます。DAC入力レジスタからのデータ読出しはオートインクリメント方式で続き、NACKの後ろにストップ条件が続くと停止します。DAC入力レジスタDを讀出すと、讀出したデータの次の2バイトは、DAC入力レジスタAから讀出したデータになります。

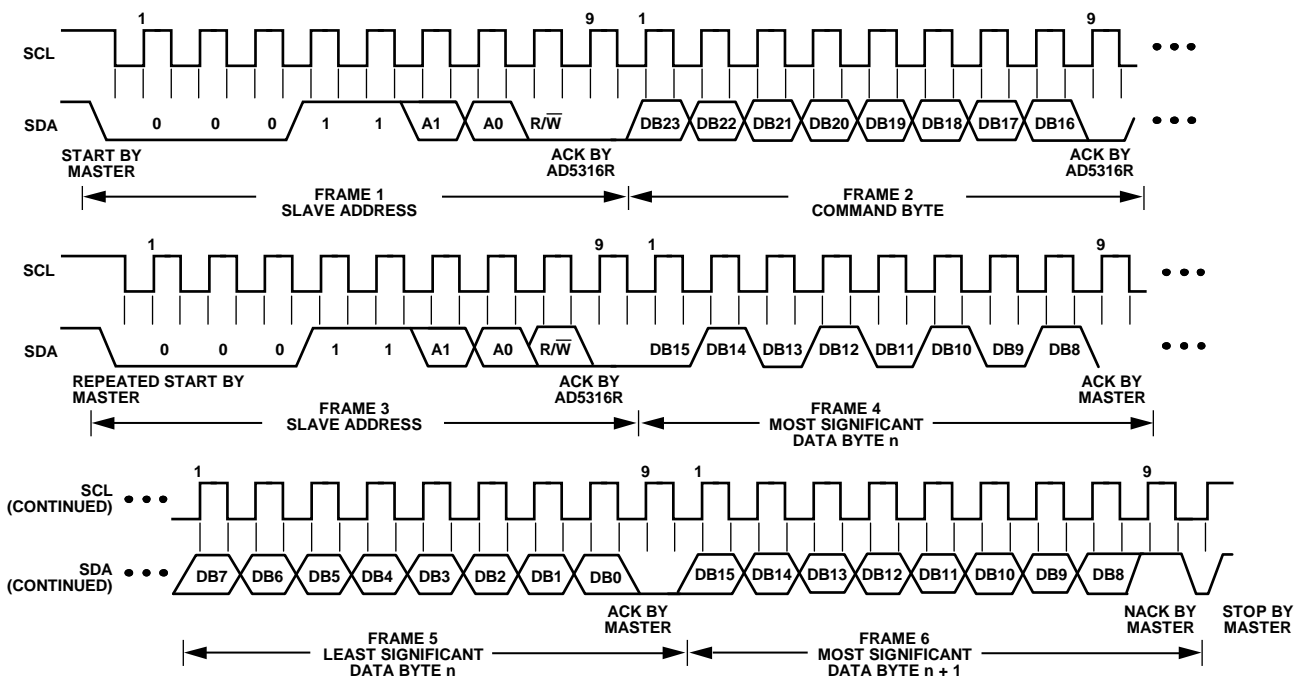


図 44. I<sup>2</sup>C の読出し動作

10819-304

### パワーダウン動作

コマンド 0100 は、パワーダウン機能に割り当てられています。AD5316R には 3 種類のパワーダウン・モードがあります(表 11 参照)。これらのパワーダウン・モードは、入力シフトレジスタのビット DB7~ビット DB0 を設定することにより、ソフトウェアから設定することができます。各 DAC チャンネルに対応した 2 ビットがあります。表 11 に、2 ビットの状態とデバイスの動作モードとの対応を示します。

表 11.動作モード

Operating Mode	PDx1	PDx0
Normal Operation	0	0
Power-Down Modes		
1 kΩ to GND	0	1
100 kΩ to GND	1	0
Three-State	1	1

入力シフトレジスタの対応するビットをセットすることにより、任意またはすべての DAC (DAC A~DAC D)を選択したモードでパワーダウンさせることができます。パワーダウン/パワーアップ動作時の入力シフトレジスタ値については表 12 を参照してください。

入力シフトレジスタの PDx1 と PDx0 の両ビット(x は選択した DAC)を 0 に設定すると、デバイスは 5 V で 1.1 mA の消費電流でノーマル動作します。PDx1 ビット、PDx0 ビット、または PDx1 と PDx0 の両ビットが 1 に設定されると、デバイスはパワーダウン・モードになります。パワーダウン・モードでは、電源電流は 5 V で 4 μA に減少します。

パワーダウン・モードでは、出力ステージが内部的にアンプ出力から切り離されて既知の値を持つ抵抗回路に接続されます。この方法には、パワーダウン・モードでデバイスの出力インピーダンスが既知になるという利点があります。

表 11 に 3 種類のパワーダウン・オプションを示します。すなわち、出力が内部で 1 kΩ または 100 kΩ 抵抗を介して GND に接続されるか、あるいはオープン(スリー・ステート)になります。出力ステージを図 45 に示します。

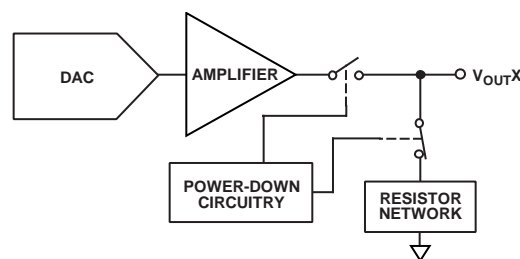


図 45.パワーダウン時の出力ステージ

パワーダウン・モードのときは、バイアス・ジェネレータ、出力アンプ、抵抗ストリング、およびその他の関係するリニア回路はシャットダウンされます。ただし、DAC レジスタ値はパワーダウン・モードで影響を受けないため、デバイスのパワーダウン・モード中でも DAC レジスタを更新することができます。パワーダウンから抜け出すために要する時間は、V<sub>DD</sub> = 5 V で 2.5 μs (typ) です。

消費電流をさらに減らすときは、内蔵リファレンスをパワーオフさせることができます(内蔵リファレンスのセットアップのセクション参照)。

### DAC のロード(ハードウェアLDACピン)

AD5316RのDACは、入力レジスタとDACレジスタの 2 つのレジスタ・バンクで構成されているダブルバッファ化されたインターフェースを内蔵しています。入力レジスタの任意の組み合わせへ書込みを行うことができます(表 9 参照)。DACレジスタの更新は、LDACピンから制御されます。

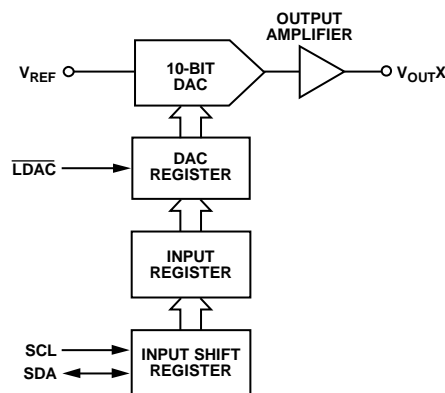


図 46.1 個の DAC についての入力ロード回路の簡略化した図

表 12.パワーダウン/パワーアップ動作の 24 ビット入力シフトレジスタ値<sup>1</sup>

DB23 (MSB)	DB22	DB21	DB20	DB19 to DB16	DB15 to DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0 (LSB)
0	1	0	0	X	X	PDD1	PDD0	PDC1	PDC0	PDB1	PDB0	PDA1	PDA0
Command bits (C3 to C0)				Address bits (don't care)		Don't care		Power-down select, DAC D		Power-down select, DAC C		Power-down select, DAC B	
												Power-down select, DAC A	

<sup>1</sup> X = don't care.

**DACの瞬時更新(LDACをロー・レベルに維持)**

DACの瞬時更新の場合、コマンド 0001 を使ってデータを入力レジスタへ入力する間LDACをロー・レベルに維持します。アドレス指定された入力レジスタとDACレジスタが 24 番目のクロックで更新されて、出力が変化を開始します(表 14 参照)。

**DACの遅延更新(LDACへ立下がりがリパルスを入力)**

DACの遅延更新の場合、コマンド 0001 を使ってデータを入力レジスタへ入力する間LDACをハイ・レベルに維持します。24 番目のクロックの後にLDACをロー・レベルにすると、すべてのDAC出力が非同期に更新されます。更新は、LDACの立下がりがエッジで行われます。

**LDACマスク・レジスタ**

コマンド 0101 は、このソフトウェアLDAC機能に予約されています。このコマンドが実行される時、アドレス・ビットは無視されます。コマンド 0101 を使ってDACへ書込を行うと、4 ビットのLDACマスク・レジスタ(DB3～DB0)がロードされます。LDACマスク・レジスタのビットDB3はDAC Dに、ビットDB2はDAC Cに、ビットDB1はDAC Bに、ビットDB0はDAC Aに、それぞれ対応します。

これらのビットのデフォルト値は 0、すなわちLDACピンは通常動作になります。これらのいずれかのビットを 1 に設定すると、ハードウェアLDACピンの状態に関係なく、このDACチャンネルはLDACピンでの変化を無視します。この柔軟性は、LDACピンに対応させてチャンネルを選択するアプリケーションで役立ちます。

このLDACマスク・レジスタを使うと、ハードウェアLDACピンを柔軟に制御することができます(表 13 参照)。あるDACチャンネルに対してLDACビット(DB3～DB0)を 0 に設定することは、このチャンネルの更新がハードウェアLDACピンから制御されることを意味します。

表 13.LDAC 上書きの定義

Load LDAC Register		LDAC Operation
LDAC Bit (DB3 to DB0)	LDAC Pin	
0	1 or 0	Determined by the LDAC pin.
1	X <sup>1</sup>	DAC channels are updated. (DAC channels see LDAC pin as 1.)

<sup>1</sup> X = don't care

**ハードウェア・リセット・ピン(RESET)**

RESET はアクティブ・ローのリセットで、出力をゼロスケールまたはミッドスケールへクリアできるようにします。クリア・コード値は、セレクト・ピン(RSTSEL)を使って選択することができます。動作を完了するためには、RESETを最小 30 ns間ロー・レベルに維持する必要があります。

RESET信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はクリア値を維持します。RESETピンがロー・レベルの間、出力は新しい値で更新できません。

これらのデバイスには、DACをパワーオン・リセット・コードにリセットする、ソフトウェアからのリセット機能もあります。コマンド 0110 は、このソフトウェア・リセット機能に割り当てられています(表 8 参照)。パワーオン・リセット時のLDACまたはRESETの動作はすべて無視されます。

**リセット選択ピン(RSTSEL)**

AD5316R は、パワーアップ時に出力電圧を制御するパワーオン・リセット回路を内蔵しています。RSTSEL ピンを GND へ接続すると、出力はゼロスケールでパワーアップします (これはDAC リニア領域の外側であることに注意してください)。RSTSEL ピンを V<sub>DD</sub> に接続すると、出力はミッドスケールでパワーアップします。出力は RSTSEL で設定されたレベルでパワーアップしてこれを維持し、有効な書込みシーケンスが実行されるまでこの状態が維持されます。

表 14.書込コマンドとLDACピンの真理値表<sup>1</sup>

Command	Description	Hardware LDAC Pin State	Input Register Contents	DAC Register Contents
0001	Write to Input Register n (dependent on LDAC)	V <sub>LOGIC</sub> GND <sup>2</sup>	Data update Data update	No change (no update) Data update
0010	Update DAC Register n with contents of Input Register n	V <sub>LOGIC</sub> GND	No change No change	Updated with input register contents Updated with input register contents
0011	Write to and update DAC Channel n	V <sub>LOGIC</sub> GND	Data update Data update	Data update Data update

<sup>1</sup> ハードウェアLDACピンのハイ・レベルからロー・レベルへの変化により、常に DAC レジスタ値が、LDACマスク・レジスタでマスクされていないチャンネルの入力レジスタ値で更新されます。

<sup>2</sup> LDAC をロー・レベルに固定すると、LDACマスク・ビットは無視されます。

### 内蔵リファレンスのセットアップ

内蔵リファレンスはパワーアップ時にデフォルトでオンになっています。電源電流を減らすときは、内蔵リファレンスをターンオフさせることができます。コマンド 0111 は、この内蔵リファレンスの設定に予約されています。内蔵リファレンス電圧をターンオフさせるときは、ソフトウェア・プログラマブルな、コマンド 0111 を使って入力シフトレジスタのビット DB0 をセットします(表 16 参照)。表 15 に、DB0 ビットの状態と動作モードの対応を示します。

表 15.内蔵リファレンス・セットアップ・レジスタ

Internal Reference Setup Register (Bit DB0)	Action
0	Reference on (default)
1	Reference off

### ハンダ加熱リフロー

すべての IC リファレンス電圧回路と同様に、リファレンス値がハンダ処理でシフトすることがあります。アナログ・デバイセズは、デバイスをボードへハンダ付けする影響を模倣する、プリコンディションと呼ばれる信頼性テストを実施しています。表 2 の出力電圧仕様には、この信頼性テストの影響が含まれません。

図 47 に、この信頼性テスト(プリコンディション)で測定したハンダ加熱リフロー(SHR)の影響を示します。

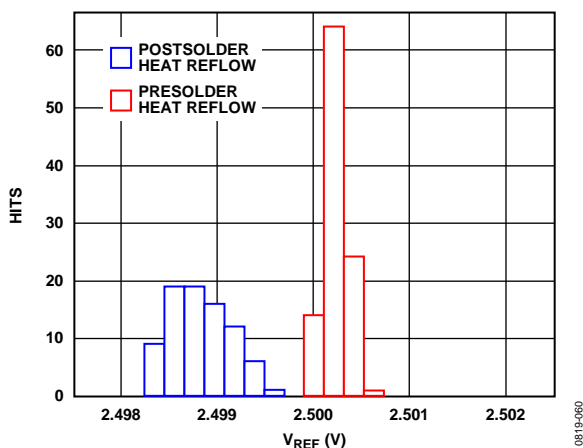


図 47.SHR でのリファレンス電圧シフト

### 長時間温度ドリフト

図 48 に、150°C の寿命テストにおける 1000 時間後の  $V_{REF}$  値変化を示します。

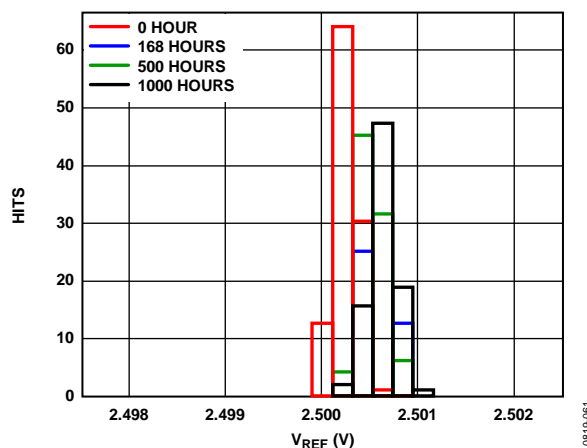


図 48.1000 時間でのリファレンス電圧ドリフト

### 熱ヒステリシス

熱ヒステリシスは、周囲温度→低温→高温→周囲温度で温度変化させた場合にリファレンス電圧に発生する電圧差です。

熱ヒステリシス・データを図 49 に示します。このデータは、周囲温度→-40°C→+105°C→周囲温度で温度変化させて測定したものです。そこで、 $V_{REF}$  の変化分を 2 つの周囲温度の間で測定し、図 49 に青で示します。同じ温度変化と測定を直ちに繰り返して、その結果を図 49 に赤で示します。

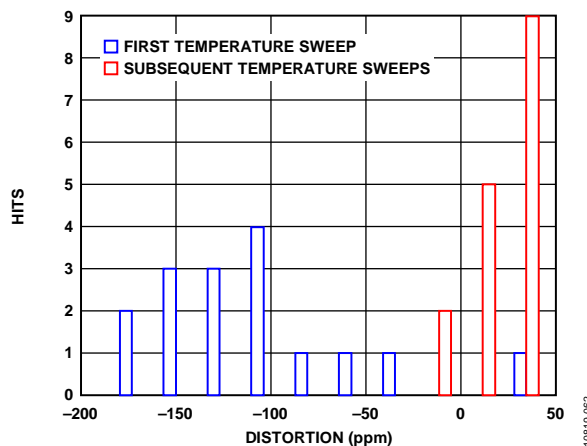


図 49.熱ヒステリシス

表 16.内蔵リファレンス・セットアップ・コマンドに対する 24 ビット入力シフトレジスタ値<sup>1</sup>

DB23 (MSB)	DB22	DB21	DB20	DB19 to DB16	DB15 to DB1	DB0 (LSB)
0	1	1	1	X	X	1 or 0
Command bits (C3 to C0)				Address bits (don't care)	Don't care	Reference setup register

<sup>1</sup> X = don't care.

## アプリケーション情報

### マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5316R とのインターフェースは、マイクロコントローラと DSP プロセッサに対して互換性を持つ標準プロトコルを使うシリアル・バスを使って行います。この通信チャンネルは、クロック信号とデータ信号から構成される 2 線式インターフェースです。

### AD5316R と ADSP-BF531 とのインターフェース

AD5316R の I<sup>2</sup>C インターフェースは、業界標準の DSP とマイクロコントローラに容易に接続できるようにデザインされています。図 50 に、AD5316R とアナログ・デバイゼズの Blackfin® プロセッサとの接続方法を示します。Blackfin プロセッサは、AD5316R の I<sup>2</sup>C ピンへ直接接続できる I<sup>2</sup>C ポートを内蔵しています。

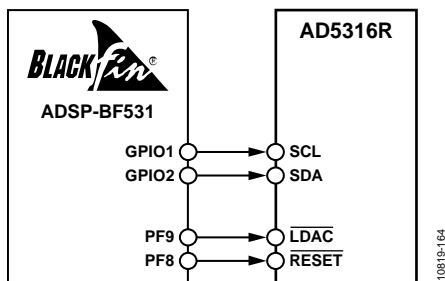


図 50. AD5316R と ADSP-BF531 とのインターフェース

### レイアウトのガイドライン

高精度が重要となる回路では、電源とグラウンド・リターンとのレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5316R を実装する PCB は、AD5316R をアナログ・プレーン上に配置するようにデザインする必要があります。

AD5316R に対しては、10 $\mu$ F と 0.1 $\mu$ F の並列接続により十分な電源バイパスをパッケージのできるだけ近くに、理想的にはデバイスに直接に、接続する必要があります。10 $\mu$ F コンデンサはタンタルのビーズ型を使います。0.1 $\mu$ F コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESI)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

1 枚のボード上に多くのデバイスを実装するシステムでは、熱放散を容易にするヒート・シンク能力を設けることが有効な場合があります。

AD5316R の LFCSP モデルには、デバイスの底にエクスポズド・パッドが設けてあります。このパッドをデバイスの GND へ接続してください。最適性能を得るためには、マザーボードのデザインに特別な注意を払って、パッケージを実装してください。

熱的性能、電気的性能、ボード・レベルの性能を強化するため、LFCSP パッケージ底面のエクスポズド・パッドは対応する PCB のサーマル・ランド・パッドにハンダ付けしてください。PCB ランド・パッド領域にサーマル・ビアを配置するようにデザインしてさらに熱放散を強化してください。

自然なヒート・シンク効果を提供するため、デバイス上の GND プレーンが大きにすることができず(図 51 参照)。

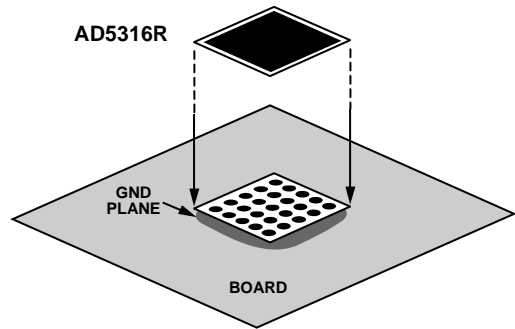


図 51. パッドとボードの接続

### 電流絶縁型インターフェース

多くのプロセス制御アプリケーションでは、コントローラと被制御対象のユニットとの間にアイソレーション障壁を設けて、危険な同相モード電圧から制御回路を保護してアイソレーションすることが必要です。

アナログ・デバイゼズの iCoupler® 製品は、2.5 kV を超える電圧アイソレーションを提供します。AD5316R はシリアル・ローディング方式を採用しているため、インターフェース・ライン数が最小になっているので、絶縁インターフェース向けに最適です。図 52 に、ADuM1400 を使用して構成した、AD5316R への 4 チャンネル絶縁型インターフェースを示します。詳細については、弊社ウェブサイト「iCoupler® デジタル・アイソレーション比類なき性能と集積化」をご覧ください。

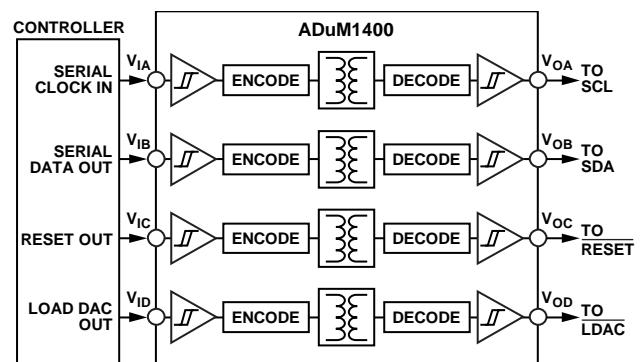


図 52. 絶縁型インターフェース

外形寸法

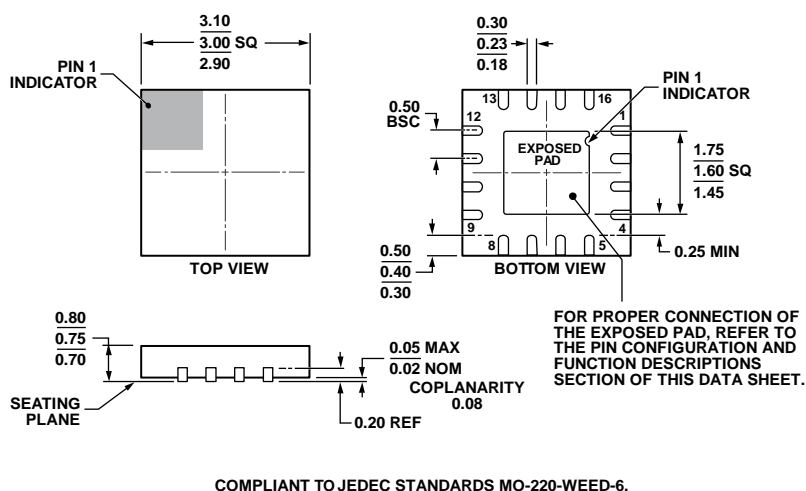


図 53.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_WQ]  
3 mm x 3 mm ボディ、極薄クワッド  
(CP-16-22)  
寸法: mm

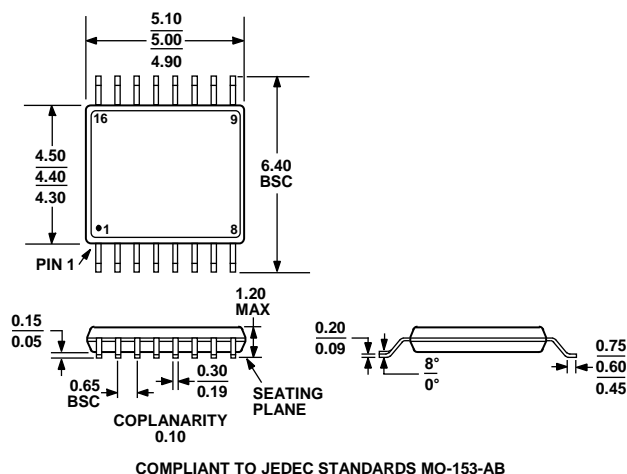


図 54.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]  
(RU-16)  
寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Resolution	Temperature Range	Accuracy (INL)	Reference Tempco (ppm/°C)	Package Description	Package Option	Branding
AD5316RBCPZ-RL7	10 Bits	-40°C to +105°C	±0.5 LSB	±5 (max)	16-Lead LFCSP_WQ	CP-16-22	DJT
AD5316RBRUZ	10 Bits	-40°C to +105°C	±0.5 LSB	±5 (max)	16-Lead TSSOP	RU-16	
AD5316RBRUZ-RL7	10 Bits	-40°C to +105°C	±0.5 LSB	±5 (max)	16-Lead TSSOP	RU-16	

<sup>1</sup> Z = RoHS 準拠製品。

°C は、Philips Semiconductors 社(現在の NXP Semiconductors 社)が制定した通信プロトコルです。