

特長

- 1チャンネル、1024ポジション分解能
- 公称抵抗: 20 kΩ、50 kΩ、100 kΩ
- キャリブレーション済みの1%公称抵抗偏差(抵抗性能モード)
- 可変抵抗器モードの温度係数: 35 ppm/°C
- 分圧器の温度係数: 5 ppm/°C
- 単電源動作: 9 V~33 V
- 両電源動作: ±9 V~±16.5 V
- SPI 互換シリアル・インターフェース
- ワイパー設定値のリードバックが可能

アプリケーション

- 機械式ポテンシオメータの置き換え
- 計装:ゲインとオフセットの調整
- プログラマブルな電圧-電流変換
- プログラマブルなフィルタ、遅延、時定数
- プログラマブルな電源
- 低分解能 DAC の置き換え
- センサー・キャリブレーション

概要

AD5293 は 1チャンネルの 1024 ポジション・デジタル・ポテンシオメータ¹であり、端子間抵抗偏差は 1%以下です。この AD5293 は機械的ポテンシオメータと同じ電子的調整機能を持ち、しかも優れた分解能、半導体の信頼性、非常に小さい温度係数性能を持っています。このデバイスは高電圧での動作が可能で、±10.5 V~±15 V の両電源動作と 21 V~30 V の単電源動作をサポートしています。

AD5293 は、業界をリードする±1%の低抵抗偏差と 35 ppm/°C の公称温度係数を保証しています。この低い抵抗偏差により、オープン・ループ・アプリケーション、高精度キャリブレーション、偏差を一致させるアプリケーションが簡素化されます。

AD5293 は 14 ピン小型 TSSOP パッケージを採用しています。このデバイスは、工業用拡張温度範囲-40°C~+105°C での動作を保証しています。

¹ このデータシートでは、用語デジタル・ポテンシオメータと RDAC は同じ意味で使用しています。

機能ブロック図

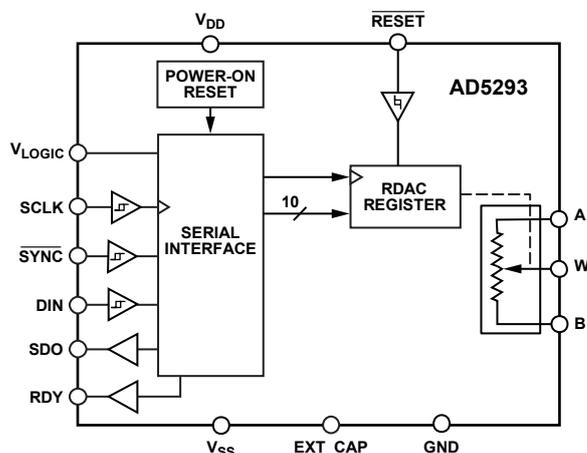


図 1.

目次

特長.....	1	RDACレジスタ.....	18
アプリケーション.....	1	書込み保護機能.....	18
機能ブロック図.....	1	基本動作.....	18
概要.....	1	シャットダウン・モード.....	18
改訂履歴.....	2	リセット.....	19
仕様.....	3	抵抗性能モード.....	19
電気的特性—20 k Ω バージョン.....	3	ディジーチェーン動作.....	19
抵抗性能モード・コード範囲—20 K Ω バージョン.....	4	RDACアーキテクチャ.....	20
電気的特性—50 k Ω 、100 k Ω バージョン.....	5	可変抵抗のプログラミング.....	20
抵抗性能モード・コード範囲—50 K Ω 、100 K Ω バージョン.....	6	ポテンショメータ分圧器のプログラミング.....	20
インターフェース・タイミング仕様.....	7	EXT_CAPコンデンサ.....	21
タイミング図.....	8	ピン電圧の動作範囲.....	21
絶対最大定格.....	9	アプリケーション情報.....	22
熱抵抗.....	9	高電圧DAC.....	22
ESDの注意.....	9	出力ブースタ付きのプログラマブルな電圧源.....	22
ピン配置およびピン機能説明.....	10	高精度DAC.....	22
代表的な性能特性.....	11	可変ゲイン計装アンプ.....	22
テスト回路.....	17	オーディオ・ボリューム・コントロール.....	23
動作原理.....	18	外形寸法.....	24
シリアル・データ・インターフェース.....	18	オーダー・ガイド.....	24
シフトレジスタ.....	18		

改訂履歴

3/10—Rev.A to Rev. B

Changes to Resistor Noise Density Conditions (Table 3).....	6
---	---

12/09—Rev.0 to Rev. A

Added 50 k Ω and 100 k Ω Specifications.....	Universal
Changes to Features Section.....	1
Changes to Table 1.....	3
Changes to Table 2.....	4
Added Table 3; Renumbered Sequentially.....	5
Added Table 4.....	6
Changes to Table 5.....	7
Changes to Table 6 and Note 1, Table 7.....	9
Changes to Typical Performance Characteristics Section.....	11
Changes to Programming the Variable Resistor Section.....	20
Changes to Programming the Potentiometer Divider Section.....	21
Changes to Ordering Guide Section.....	24

4/09—Revision 0: Initial Version

仕様

電気的特性—20 kΩバージョン

特に指定がない限り、 $V_{DD} = 21\text{ V} \sim 33\text{ V}$ 、 $V_{SS} = 0\text{ V}$ ； $V_{DD} = 10.5\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -10.5\text{ V} \sim -16.5\text{ V}$ ； $V_{LOGIC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_A = V_{DD}$ 、 $V_B = V_{SS}$ 、 $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS, RHEOSTAT MODE						
Resolution	N		10			Bits
Resistor Differential Nonlinearity ²	R-DNL	R_{WB}	-1		+1	LSB
Resistor Integral Nonlinearity ²	R-INL	$ V_{DD} - V_{SS} = 26\text{ V to }33\text{ V}$	-2		+2	LSB
	R-INL	$ V_{DD} - V_{SS} = 21\text{ V to }26\text{ V}$	-3		+3	LSB
Nominal Resistor Tolerance (R-Perf Mode) ³	$\Delta R_{AB}/R_{AB}$	See Table 2	-1	± 0.5	+1	%
Nominal Resistor Tolerance (Normal Mode)	$\Delta R_{AB}/R_{AB}$			± 7		%
Resistance Temperature Coefficient ⁴	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$			35		ppm/°C
Wiper Resistance	R_W			60	100	Ω
DC CHARACTERISTICS, POTENTIOMETER DIVIDER MODE						
Resolution	N		10			Bits
Differential Nonlinearity ⁵	DNL		-1		+1	LSB
Integral Nonlinearity ⁵	INL		-1.5		+1.5	LSB
Voltage Divider Temperature Coefficient ⁴	$(\Delta V_W/V_W)/\Delta T \times 10^6$	Code = half scale		5		ppm/°C
Full-Scale Error	V_{WFSE}	Code = full scale	-8		0	LSB
Zero-Scale Error	V_{WZSE}	Code = zero scale	0		8	LSB
RESISTOR TERMINALS						
Terminal Voltage Range ⁶	V_A, V_B, V_W		V_{SS}		V_{DD}	V
Capacitance A, Capacitance B ⁴	C_A, C_B	f = 1 MHz, measured to GND, code = half-scale		85		pF
Capacitance W ⁴	C_W	f = 1 MHz, measured to GND, code = half-scale		65		pF
Common-Mode Leakage Current	I_{CM}	$V_A = V_B = V_W$		± 1		nA
DIGITAL INPUTS						
Input Logic High	V_{IH}	$V_{LOGIC} = 2.7\text{ V to }5.5\text{ V}$	2.0			V
Input Logic Low	V_{IL}	$V_{LOGIC} = 2.7\text{ V to }5.5\text{ V}$			0.8	V
Input Current	I_{IL}	$V_{IN} = 0\text{ V or }V_{LOGIC}$			± 1	μA
Input Capacitance ⁴	C_{IL}			5		pF
DIGITAL OUTPUTS (SDO and RDY)						
Output High Voltage	V_{OH}	$R_{PULL_UP} = 2.2\text{ k}\Omega\text{ to }V_{LOGIC}$	$V_{LOGIC} - 0.4$			V
Output Low Voltage	V_{OL}	$R_{PULL_UP} = 2.2\text{ k}\Omega\text{ to }V_{LOGIC}$			GND + 0.4	V
Tristate Leakage Current			-1		+1	μA
Output Capacitance ⁴	C_{OL}			5		pF
POWER SUPPLIES						
Single-Supply Power Range	V_{DD}	$V_{SS} = 0\text{ V}$	9		33	V
Dual-Supply Power Range	V_{DD}/V_{SS}		± 9		± 16.5	V
Positive Supply Current	I_{DD}	$V_{DD}/V_{SS} = \pm 16.5\text{ V}$		0.1	2	μA
Negative Supply Current	I_{SS}	$V_{DD}/V_{SS} = \pm 16.5\text{ V}$	-2	-0.1		μA
Logic Supply Range	V_{LOGIC}		2.7		5.5	V
Logic Supply Current	I_{LOGIC}	$V_{LOGIC} = 5\text{ V}; V_{IH} = 5\text{ V or }V_{IL} = \text{GND}$		1	10	μA
Power Dissipation ⁷	P_{DISS}	$V_{IH} = 5\text{ V or }V_{IL} = \text{GND}$		8	110	μW
Power Supply Rejection Ratio ⁴	PSSR	$\Delta V_{DD}/\Delta V_{SS} = \pm 15\text{ V} \pm 10\%$		0.103		%/%

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DYNAMIC CHARACTERISTICS ^{4, 8}						
Bandwidth	BW	-3 dB		520		kHz
Total Harmonic Distortion	THD _W	V _A = 1 V rms, V _B = 0 V, f = 1 kHz,		-93		dB
V _w Settling Time	t _s	V _A = 30 V, V _B = 0 V, ±0.5 LSB error band, initial code = zero scale				
		Code = full scale, R-normal mode		750		ns
		Code = full scale, R-perf mode		2.5		μs
		Code = half scale, R-normal mode		2.5		μs
		Code = half scale, R-perf mode		5		μs
Resistor Noise Density	e _{N, WB}	R _{WB} = 10 kΩ, T _A = 25°C, 0 kHz to 200 kHz		10		nV/√Hz

¹ Typ 値は、25°C、V_{DD} = +25V、V_{SS} = -15 V、V_{LOGIC} = 5 V での平均測定値。

² 抵抗ポジションの非直線性誤差。R-INL は、コード 0x02 の R_{WB} とコード 0xFF の R_{WB} の間またはコード 0xFD の R_{WA} とコード 0x00 の R_{WA} との間で測定した、理論値からの偏差です。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。この仕様は、V_A < 12 V に対してワイパー電流 = 1 mA および V_A ≥ 12 V に対してワイパー電流 = 1.2 mA で、抵抗性能モードで保証されます。

³ 用語の「抵抗性能モード」と、「R-perf モード」は同じ意味で使用しています。

⁴ 設計上保証しますが、出荷テストは行いません。

⁵ INL と DNL は、RDAC を電圧出力 D/A コンバータと同様のポテンショメータ分圧器として設定して、V_w で測定。V_A = V_{DD} かつ V_B = 0 V。最大 ±1 LSB の DNL 仕様規定値は単調動作状態を保証。

⁶ 抵抗ピン A、B、W の極性は相互間で制約されません。両電源動作では、グラウンドを基準としたバイポーラ信号の調整が可能です。

⁷ P_{DISS} は (I_{DD} × V_{DD}) + (I_{SS} × V_{SS}) + (I_{LOGIC} × V_{LOGIC}) で計算されます。

⁸ すべてのダイナック特性では、V_{DD} = +15 V、V_{SS} = -15 V、V_{LOGIC} = 5 V を使用。

抵抗性能モード・コード範囲—20 kΩバージョン

表 2.

Resistor Tolerance per Code	R _{AB} = 20 kΩ							
	V _{DD} - V _{SS} = 30 V to 33 V		V _{DD} - V _{SS} = 26 V to 30 V		V _{DD} - V _{SS} = 22 V to 26 V		V _{DD} - V _{SS} = 21 V to 22 V	
	R _{WB}	R _{WA}						
1% R-Tolerance	From 0x15E to 0x3FF	From 0x000 to 0x2A1	From 0x1F4 to 0x3FF	From 0x000 to 0x20B	From 0x1F4 to 0x3FF	From 0x000 to 0x20B	N/A	N/A
2% R-Tolerance	From 0x8C to 0x3FF	From 0x000 to 0x373	From 0xB4 to 0x3FF	From 0x000 to 0x34B	From 0xFA to 0x3FF	From 0x000 to 0x305	From 0xFA to 0x3FF	From 0x000 to 0x305
3% R-Tolerance	From 0x5A to 0x3FF	From 0x000 to 0x3A5	From 0x64 to 0x3FF	From 0x000 to 0x39B	From 0x78 to 0x3FF	From 0x000 to 0x387	From 0x78 to 0x3FF	From 0x000 to 0x387

電気的特性—50 kΩ、100 kΩバージョン

特に指定がない限り、 $V_{DD} = 21\text{ V} \sim 33\text{ V}$ 、 $V_{SS} = 0\text{ V}$ ； $V_{DD} = 10.5\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -10.5\text{ V} \sim -16.5\text{ V}$ ； $V_{LOGIC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_A = V_{DD}$ 、 $V_B = V_{SS}$ 、 $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。

表 3.

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS, RHEOSTAT MODE						
Resolution	N		10			Bits
Resistor Differential Nonlinearity ²	R-DNL	R_{WB}	-1		+1	LSB
Resistor Integral Nonlinearity ²	R-INL		-2		+2	LSB
Nominal Resistor Tolerance (R-Perf Mode) ³	$\Delta R_{AB}/R_{AB}$	See Table 4	-1	± 0.5	+1	%
Nominal Resistor Tolerance (Normal Mode)	$\Delta R_{AB}/R_{AB}$			± 20		%
Resistance Temperature Coefficient ⁴	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$			35		ppm/°C
Wiper Resistance	R_W			60	100	Ω
DC CHARACTERISTICS, POTENTIOMETER DIVIDER MODE						
Resolution	N		10			Bits
Differential Nonlinearity ⁵	DNL		-1		+1	LSB
Integral Nonlinearity ⁵	INL		-1.5		+1.5	LSB
Voltage Divider Temperature Coefficient ⁴	$(\Delta V_W/V_W)/\Delta T \times 10^6$	Code = half scale		5		ppm/°C
Full-Scale Error	V_{WFSE}	Code = full scale	-8		+1	LSB
Zero-Scale Error	V_{WZSE}	Code = zero scale	0		8	LSB
RESISTOR TERMINALS						
Terminal Voltage Range ⁶	V_A, V_B, V_W		V_{SS}		V_{DD}	V
Capacitance A, Capacitance B ⁴	C_A, C_B	f = 1 MHz, measured to GND, code = half-scale		85		pF
Capacitance W ⁴	C_W	f = 1 MHz, measured to GND, code = half-scale		65		pF
Common-Mode Leakage Current	I_{CM}	$V_A = V_B = V_W$		± 1		nA
DIGITAL INPUTS						
Input Logic High	V_{IH}	$V_{LOGIC} = 2.7\text{ V to } 5.5\text{ V}$	2.0	JEDEC compliant		V
Input Logic Low	V_{IL}	$V_{LOGIC} = 2.7\text{ V to } 5.5\text{ V}$			0.8	V
Input Current	I_{IL}	$V_{IN} = 0\text{ V or } V_{LOGIC}$			± 1	μA
Input Capacitance ⁴	C_{IL}			5		pF
DIGITAL OUTPUTS (SDO and RDY)						
Output High Voltage	V_{OH}	$R_{PULL_UP} = 2.2\text{ k}\Omega\text{ to } V_{LOGIC}$	$V_{LOGIC} - 0.4$			V
Output Low Voltage	V_{OL}	$R_{PULL_UP} = 2.2\text{ k}\Omega\text{ to } V_{LOGIC}$			GND + 0.4	V
Tristate Leakage Current			-1		+1	μA
Output Capacitance ⁴	C_{OL}			5		pF
POWER SUPPLIES						
Single-Supply Power Range	V_{DD}	$V_{SS} = 0\text{ V}$	9		33	V
Dual-Supply Power Range	V_{DD}/V_{SS}		± 9		± 16.5	V
Positive Supply Current	I_{DD}	$V_{DD}/V_{SS} = \pm 16.5\text{ V}$		0.1	2	μA
Negative Supply Current	I_{SS}	$V_{DD}/V_{SS} = \pm 16.5\text{ V}$	-2	-0.1		μA
Logic Supply Range	V_{LOGIC}		2.7		5.5	V
Logic Supply Current	I_{LOGIC}	$V_{LOGIC} = 5\text{ V}$; $V_{IH} = 5\text{ V or } V_{IL} = \text{GND}$		1	10	μA
Power Dissipation ⁷	P_{DISS}	$V_{IH} = 5\text{ V or } V_{IL} = \text{GND}$		8	110	μW
Power Supply Rejection Ratio ⁴	PSSR	$\Delta V_{DD}/\Delta V_{SS} = \pm 15\text{ V} \pm 10\%$				%/%
		$R_{AB} = 50\text{ k}\Omega$		0.039		%/%
		$R_{AB} = 100\text{ k}\Omega$		0.021		%/%

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DYNAMIC CHARACTERISTICS ^{4,8}						
Bandwidth	BW	-3 dB R _{AB} = 50 kΩ R _{AB} = 100 kΩ		210 105		kHz
Total Harmonic Distortion	THD _W	V _A = 1 V rms, V _B = 0 V, f = 1 kHz R _{AB} = 50 kΩ R _{AB} = 100 kΩ		-101 -106		dB dB
V _W Settling Time	t _s	V _A = 30 V, V _B = 0 V, ±0.5 LSB error band, initial code = zero scale Code = full scale, R-normal mode Code = full scale, R-perf mode Code = half scale, R-normal mode, R _{AB} = 50 kΩ Code = half scale, R-normal mode, R _{AB} = 100 kΩ Code = half scale, R-perf mode, R _{AB} = 50 kΩ Code = half scale, R-perf mode, R _{AB} = 100 kΩ		750 2.5 7 14 9 16		ns μs μs μs μs μs
Resistor Noise Density	e _{N_WB}	Code = half scale, T _A = 25°C, 0 kHz to 200 kHz, R _{AB} = 50 kΩ R _{AB} = 100 kΩ		18 27		nV/√Hz nV/√Hz

¹ Typ 値は、25°C、V_{DD} = +15V、V_{SS} = -15 V、V_{LOGIC} = 5 V での平均測定値。

² 抵抗ポジションの非直線性誤差。R-INL は、コード 0x02 の R_{WB} とコード 0xFF の R_{WB} の間またはコード 0xFD の R_{WA} とコード 0x00 の R_{WA} との間で測定した理論値からの偏差です。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。この仕様は、V_A < 12 V に対してワイパー電流 = 1 mA および V_A ≥ 12 V に対してワイパー電流 = 1.2 mA で、抵抗性能モードで保証されます。

³ 用語の「抵抗性能モード」と、「R-perf モード」は同じ意味で使用しています。

⁴ 設計上保証しますが、出荷テストは行いません。

⁵ INL と DNL は、RDAC を電圧出力 D/A コンバータと同様のポテンショメータ分圧器として設定して、V_W で測定。V_A = V_{DD} かつ V_B = 0 V。最大 ±1 LSB の DNL 仕様規定値は単調動作状態を保証。

⁶ 抵抗ピン A、B、W の極性は相互間で制約されません。両電源動作では、グラウンドを基準としたバイポーラ信号の調整が可能です。

⁷ P_{DISS} は (I_{DD} × V_{DD}) + (I_{SS} × V_{SS}) + (I_{LOGIC} × V_{LOGIC}) で計算されます。

⁸ すべてのダイナミック特性では、V_{DD} = +15 V、V_{SS} = -15 V、V_{LOGIC} = 5 V を使用。

抵抗性能モード・コード範囲—50 kΩ、100 kΩ バージョン

表 4.

Resistor Tolerance per Code	R _{AB} = 50 kΩ				R _{AB} = 100 kΩ			
	V _{DD} - V _{SS} = 26 V to 33 V		V _{DD} - V _{SS} = 21 V to 26 V		V _{DD} - V _{SS} = 26 V to 33 V		V _{DD} - V _{SS} = 21 V to 26 V	
	R _{WB}	R _{WA}						
1% R-Tolerance	From 0x08C to 0x3FF	From 0x000 to 0x35F	From 0x0B4 to 0x3FF	From 0x000 to 0x31E	From 0x04B to 0x3FF	From 0x000 to 0x3B4	From 0x064 to 0x3FF	From 0x000 to 0x39B
2% R-Tolerance	From 0x03C to 0x3FF	From 0x000 to 0x3C3	From 0x050 to 0x3FF	From 0x000 to 0x3AF	From 0x028 to 0x3FF	From 0x000 to 0x3D7	From 0x028 to 0x3FF	From 0x000 to 0x3D7
3% R-Tolerance	From 0x028 to 0x3FF	From 0x000 to 0x3D7	From 0x032 to 0x3FF	From 0x000 to 0x3CD	From 0x019 to 0x3FF	From 0x000 to 0x3E6	From 0x019 to 0x3FF	From 0x000 to 0x3E6

インターフェース・タイミング仕様

$V_{DD} = V_{SS} = \pm 15 \text{ V}$ 、 $V_{LOGIC} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 、 $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。特に指定がない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ 。

表 5.

Parameter	Limit ¹	Unit	Test Conditions/Comments
t_1^2	20	ns min	SCLK cycle time
t_2	10	ns min	SCLK high time
t_3	10	ns min	SCLK low time
t_4	10	ns min	$\overline{\text{SYNC}}$ to SCLK falling edge setup time
t_5	5	ns min	Data setup time
t_6	5	ns min	Data hold time
t_7	1	ns min	SCLK falling edge to $\overline{\text{SYNC}}$ rising edge
t_8	400 ³	ns min	Minimum $\overline{\text{SYNC}}$ high time
t_9	14	ns min	$\overline{\text{SYNC}}$ rising edge to next SCLK fall ignored
t_{10}^4	1	ns min	RDY rise to $\overline{\text{SYNC}}$ falling edge
t_{11}^4	40	ns max	$\overline{\text{SYNC}}$ rise to RDY fall time
t_{12}^4	2.4	μs max	RDY low time, RDAC register write command execute time (resistor performance mode)
t_{12}^4	410	ns max	RDY low time, RDAC register write command execute time (normal mode)
t_{12}^4	1.5	ms max	Software/hardware reset
t_{13}^4	450	ns max	RDY low time, RDAC register read command execute time
t_{14}^4	450	ns max	SCLK rising edge to SDO valid
t_{RESET}	20	ns min	Minimum RESET pulse width (asynchronous)
$t_{\text{POWER-UP}}^5$	2	ms max	Power-on time to half scale

¹ すべての入力信号は $t_r = t_f = 1 \text{ ns/V}$ (V_{DD} の 10% から 90%) で規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルからの時間とします。

² SCLK の最大周波数は 50 MHz。

³ RDAC レジスタ・コマンド動作については t_{12} と t_{13} を参照してください。

⁴ 168 pF の容量負荷で、 $R_{\text{PULL_UP}} = 2.2 \text{ k}\Omega$ (V_{LOGIC} へ接続)。

⁵ 電源電圧スルーレート = 2 V/ms (typ)。

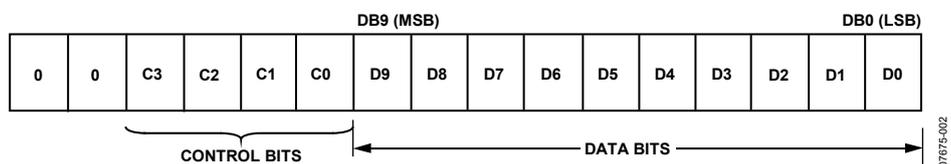


図 2. シフトレジスタの値

タイミング図

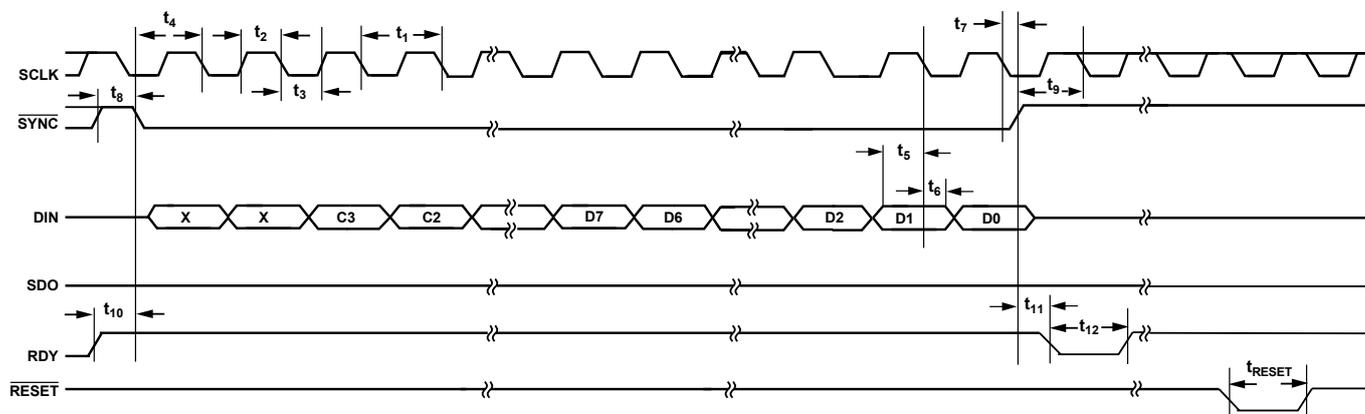


図 3.書き込みタイミング

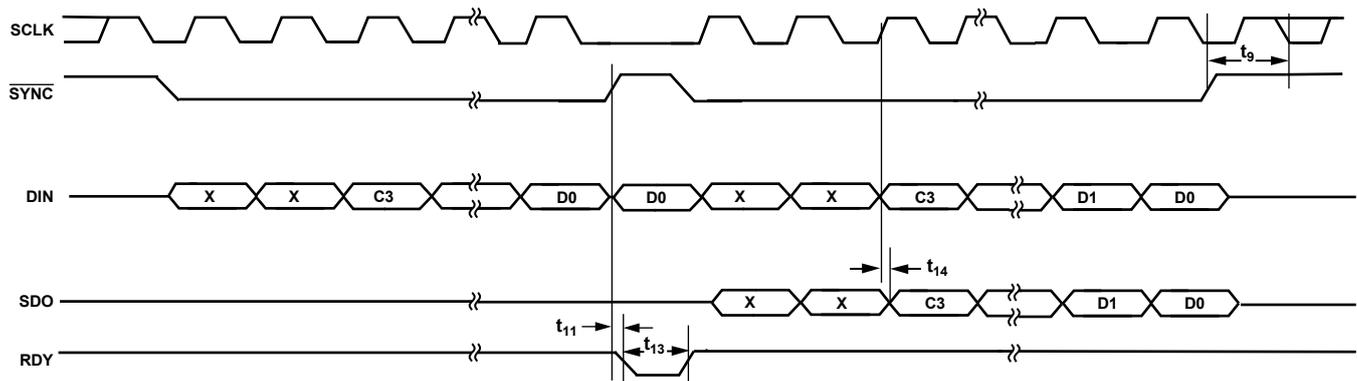


図 4.読み出しタイミング

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
V_{DD} to GND	-0.3 V to +35 V
V_{SS} to GND	+0.3 V to -25 V
V_{LOGIC} to GND	-0.3 V to +7 V
V_{DD} to V_{SS}	35 V
V_A, V_B, V_W to GND	$V_{SS} - 0.3 \text{ V}, V_{DD} + 0.3 \text{ V}$
Digital Input and Output Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3 \text{ V}$
EXT_CAP Voltage to GND	-0.3 V to +7 V
I_A, I_B, I_W	
Continuous	
$R_{AB} = 20 \text{ k}\Omega$	$\pm 3 \text{ mA}$
$R_{AB} = 50 \text{ k}\Omega, 100 \text{ k}\Omega$	$\pm 2 \text{ mA}$
Pulsed ¹	
Frequency > 10 kHz	MCC^2/d^3
Frequency $\leq 10 \text{ kHz}$	$\text{MCC}^2/\sqrt{\text{d}^3}$
Operating Temperature Range	-40°C to +105°C
Maximum Junction Temperature ($T_J \text{ max}$)	150°C
Storage Temperature Range	-65°C to +150°C
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	20 sec to 40 sec
Package Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$

¹ 最大ピン電流は、スイッチの最大処理電流、パッケージ最大消費電力、Aピン、Bピン、Wピン内の任意の2ピン間の、設定された抵抗での最大入力電圧により制約されます。

² 最大連続電流。

³ パルス・デューティ・ファクタ。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 7. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
14-Lead TSSOP	93 ¹	20	°C/W

¹ JEDEC 2S2P テスト・ボード、自然空冷(0 m/sec ~ 1 m/sec の空気流)。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

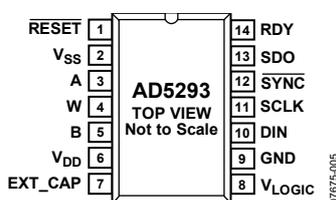


図 5. ピン配置

表 8. ピン機能の説明

ピン番号	記号	説明
1	RESET	ハードウェア・リセット・ピン。RDAC レジスタをミッドスケールに設定します。RESETは立上がり変化でアクティブになります。使用しない場合はRESETはV _{LOGIC} に接続します。
2	V _{SS}	負電源。単電源アプリケーションで0 Vへ接続してください。このピンは、0.1 μFのセラミック・コンデンサと10 μFのコンデンサでデカップリングする必要があります。
3	A	RDACのピンAV _{SS} ≤ V _A ≤ V _{DD} 。
4	W	RDACのワイパー・ピンW。V _{SS} ≤ V _W ≤ V _{DD} 。
5	B	RDACのBピン。V _{SS} ≤ V _B ≤ V _{DD} 。
6	V _{DD}	正の電源。このピンは、0.1 μFのセラミック・コンデンサと10 μFのコンデンサでデカップリングする必要があります。
7	EXT_CAP	1 μFのコンデンサをEXT_CAPに接続します。このコンデンサの定格電圧は7 V以上である必要があります。
8	V _{LOGIC}	ロジック電源2.7 V～5.5 V。このピンは、0.1 μFのセラミック・コンデンサと10 μFのコンデンサでデカップリングする必要があります。
9	GND	グラウンド・ピン、ロジック・グラウンド基準。
10	DIN	シリアル・データ入力。このデバイスは、16ビットのシフトレジスタを内蔵しています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
11	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジでシフトレジスタに入力されます。データは最大50 MHzのレートで転送できます。
12	SYNC	立下がりエッジの同期信号。これは、入力データに対するフレーム同期信号です。SYNCがロー・レベルになると、入力シフトレジスタがイネーブルされ、データは後続のクロックの立下がりエッジで入力されます。選択されたレジスタが、16番目のクロック・サイクルの後のSYNCの立上がりエッジで更新されます。16個目のクロック・サイクルの前にSYNCをハイ・レベルにすると、SYNCの立上がりエッジは割込みとして機能するため、DACは書込みシーケンスを無視します。
13	SDO	シリアル・データ出力。このオープン・ドレイン出力には外付けのプルアップ抵抗が必要です。SDOピンは、ディジェーチェーン・モードまたはリードバック・モードでシリアル・レジスタからのデータを出力するときに使います。
14	RDY	レディ・ピン。このアクティブ・ハイのオープン・ドレイン出力は、RDACレジスタに対する書込み動作または読出し動作の完了を表示します。

代表的な性能特性

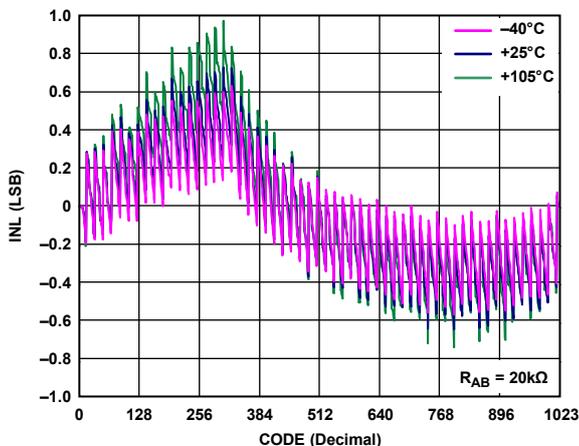


図 6.コード対抵抗性能モードでの R-INL 対温度

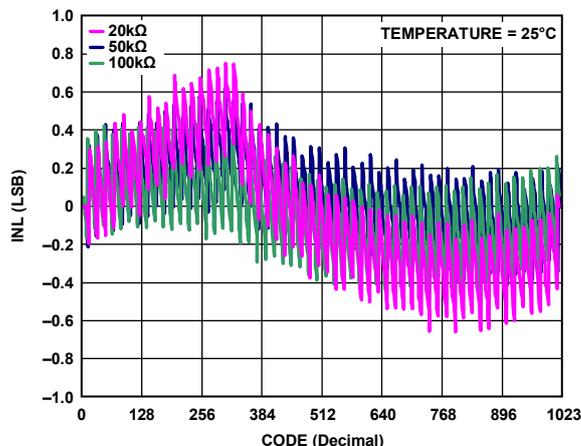


図 9.コード対抵抗性能モードでの R-INL 対公称抵抗

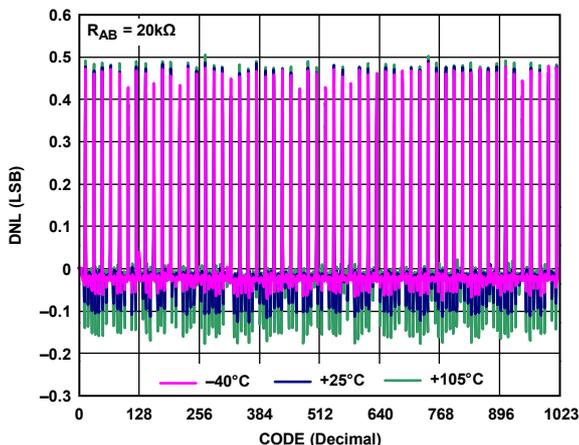


図 7.コード対抵抗性能モードでの R-DNL 対温度

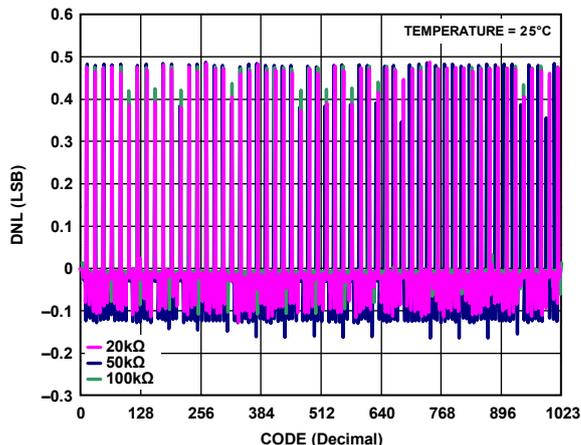


図 10.コード対抵抗性能モードでの R-DNL 対公称抵抗

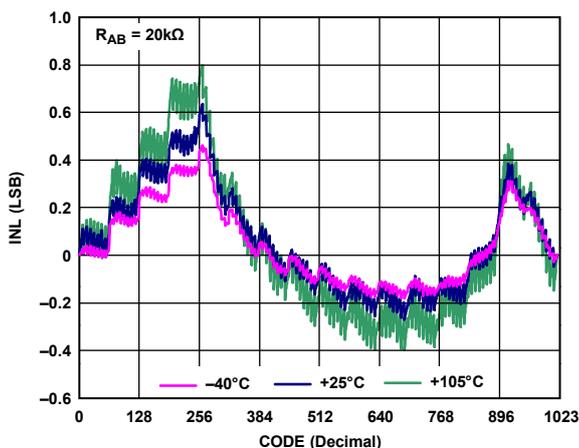


図 8.コード対ノーマル・モードでの R-INL 対温度

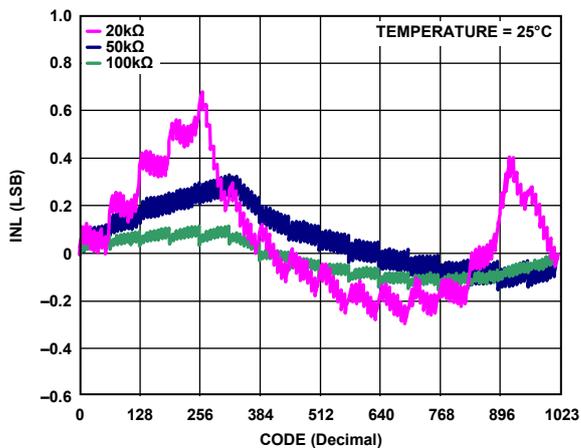


図 11.コード対ノーマル・モードでの R-INL 対公称抵抗

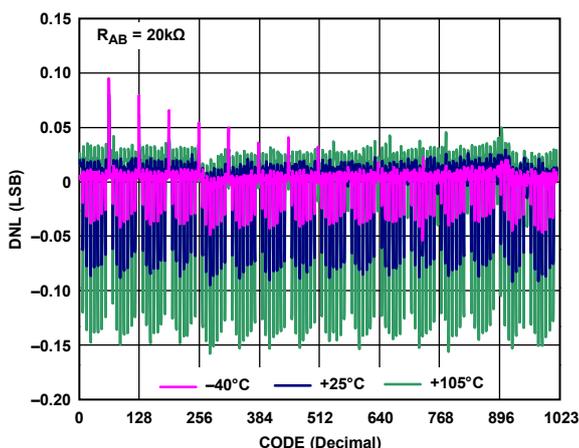


図 12.コード対ノーマル・モードでの R-DNL 対温度

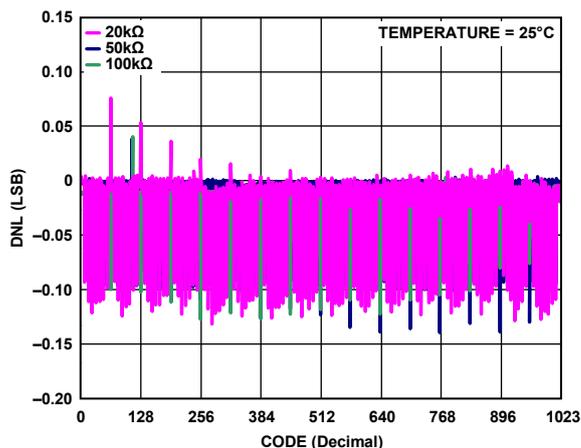


図 15.コード対ノーマル・モードでの R-DNL 対公称抵抗

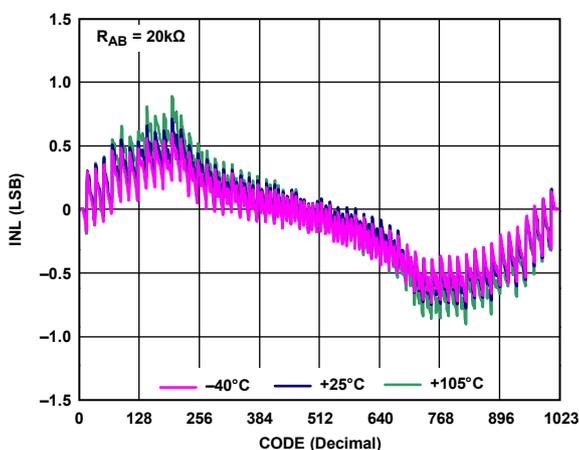


図 13.コード対抵抗性能モードでの INL 対温度

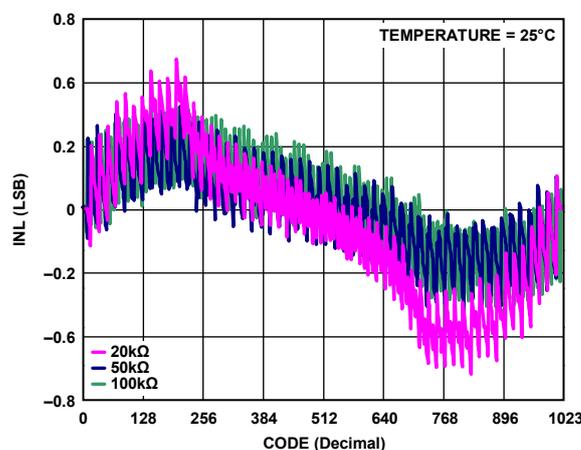


図 16.コード対抵抗性能モードでの INL 対公称抵抗

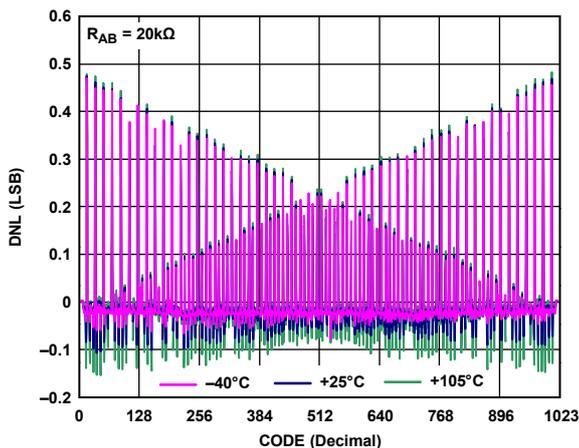


図 14.コード対抵抗性能モードでの DNL 対温度

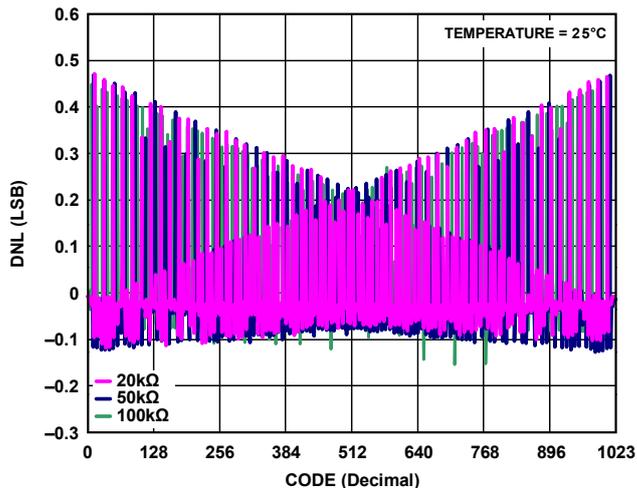


図 17.コード対抵抗性能モードでの DNL 対公称抵抗

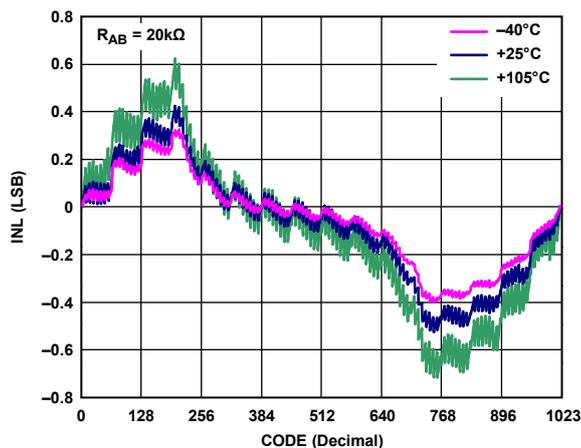


図 18.コード対ノーマル・モードでの INL 対温度

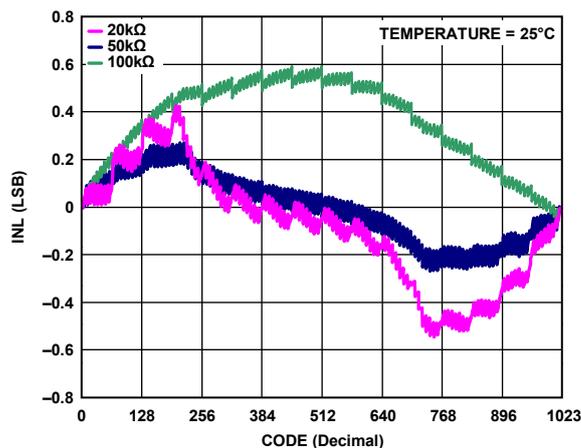


図 21.コード対ノーマル・モードでの DNL 対温度

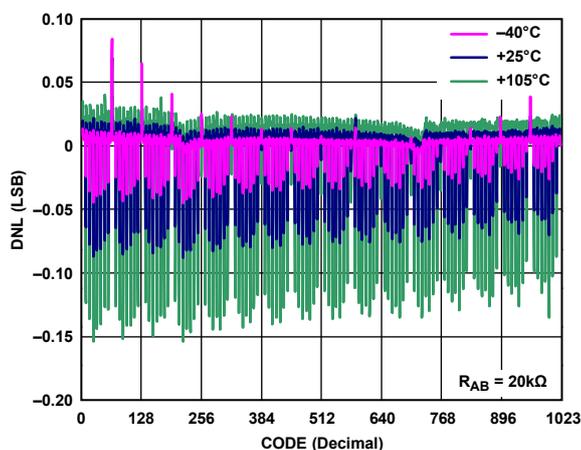


図 19.コード対ノーマル・モードでの DNL 対温度

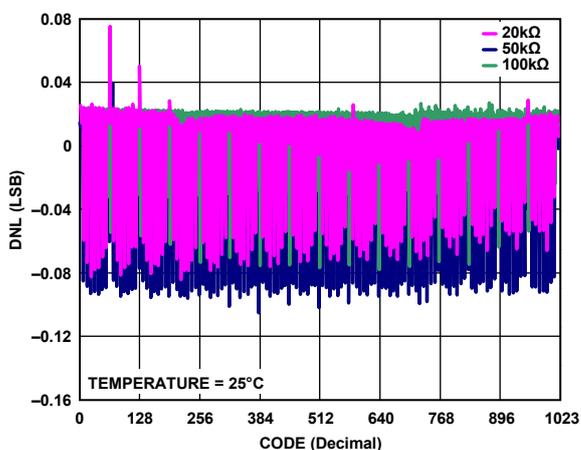


図 22.コード対ノーマル・モードでの DNL 対温度

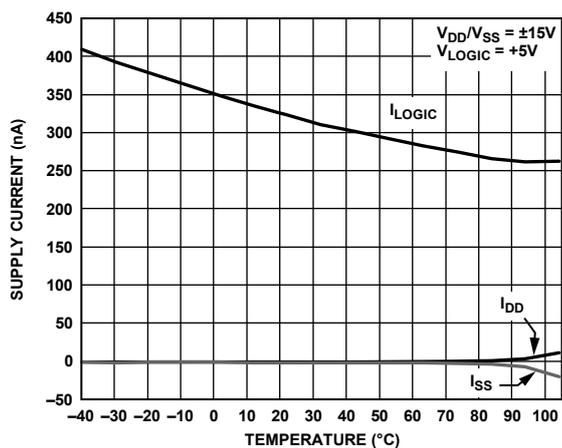


図 20.電源電流の温度特性

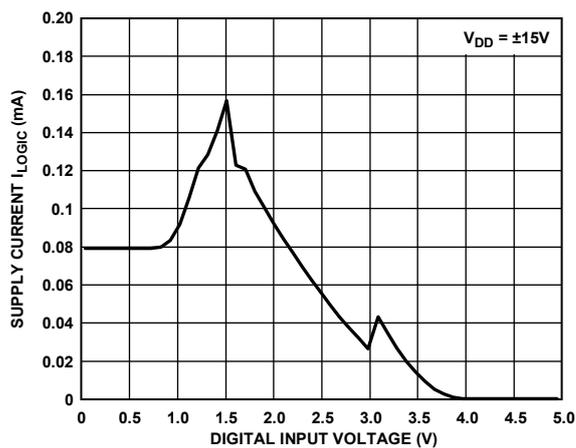


図 23.デジタル入力電圧対電源電流 I_{LOGIC}

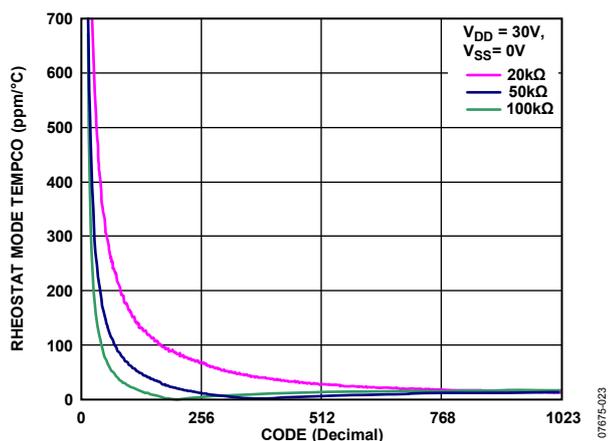


図 24.コード対可変抵抗器モード温度係数 $\Delta R_{WB}/\Delta T$

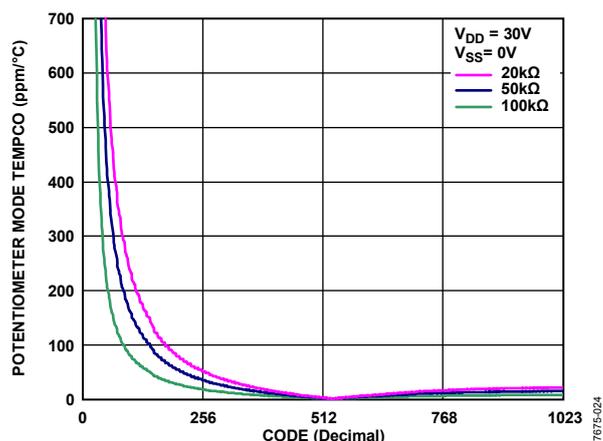


図 27.コード対可変抵抗器モード温度係数 $\Delta R_{WB}/\Delta T$

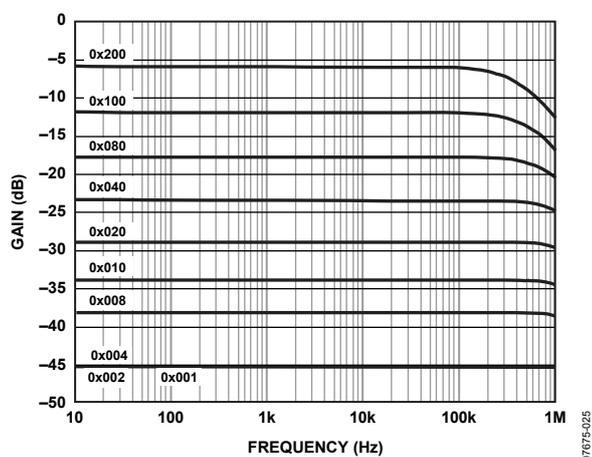


図 25.周波数対コード対 20 kΩ ゲイン

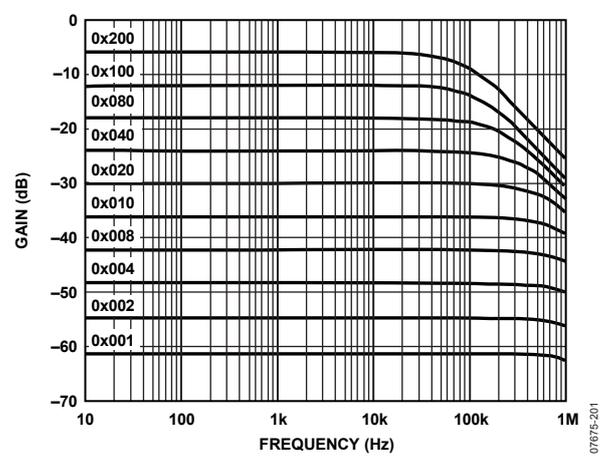


図 28.周波数対コード対 100 kΩ ゲイン

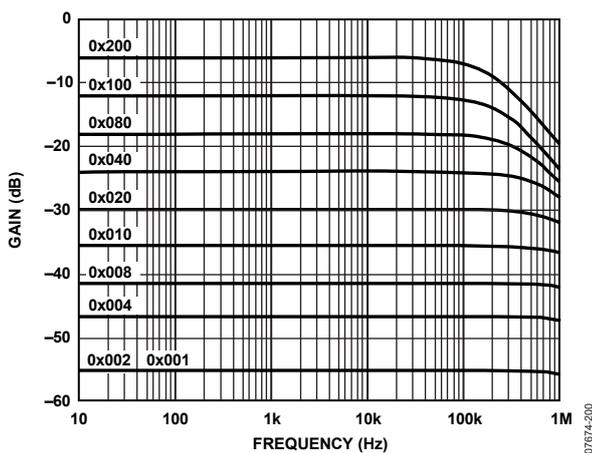


図 26.周波数対コード対 50 kΩ ゲイン

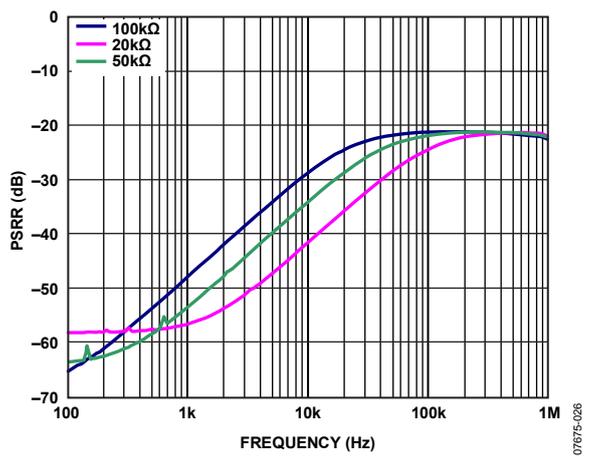


図 29.電源除去比(PSRR)の周波数特性

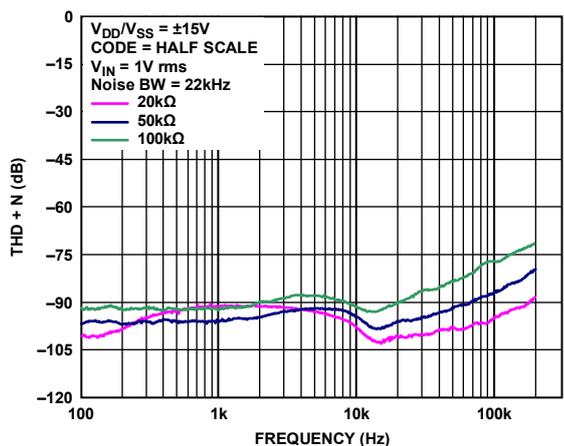


図 30. 総合高調波歪み+ノイズ(THD + N)の周波数特性

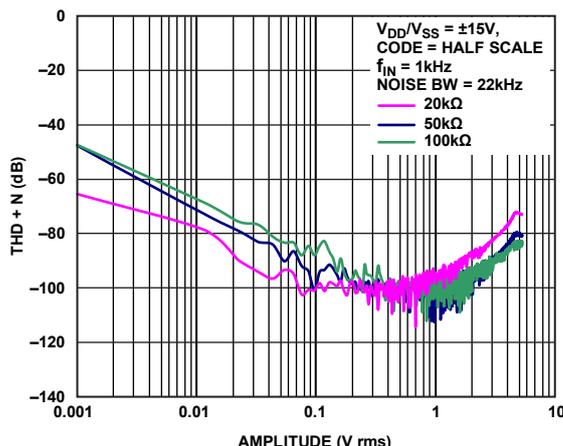


図 33. 振幅対総合高調波歪み+ノイズ(THD + N)

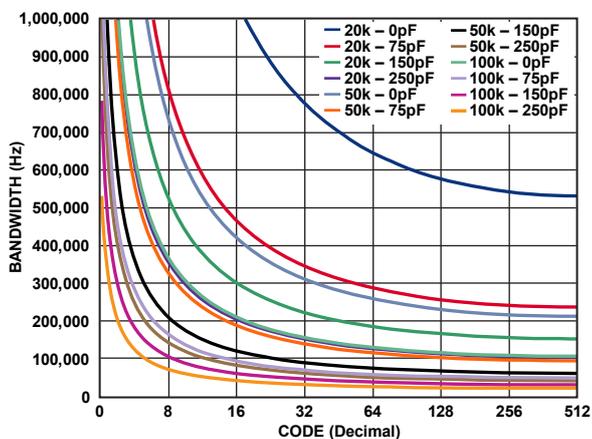


図 31. コード対最大帯域幅対ネット容量

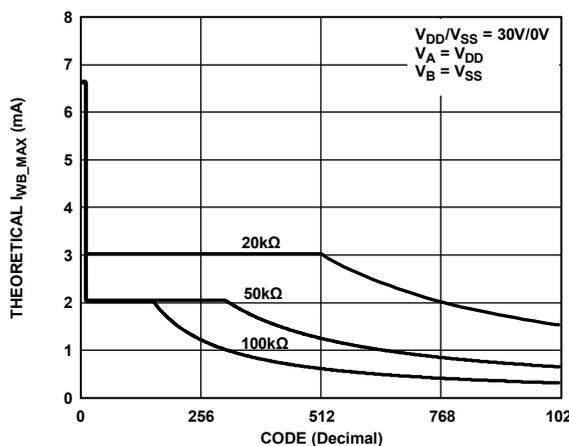


図 34. コード対理論最大電流

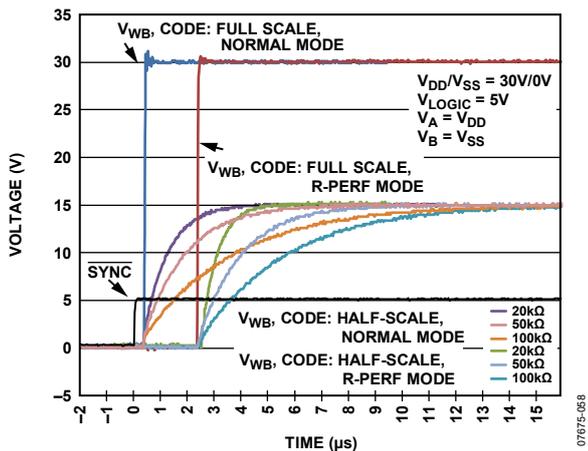


図 32. 大信号セトリング・タイム
ゼロスケールからフルスケールまでのコード

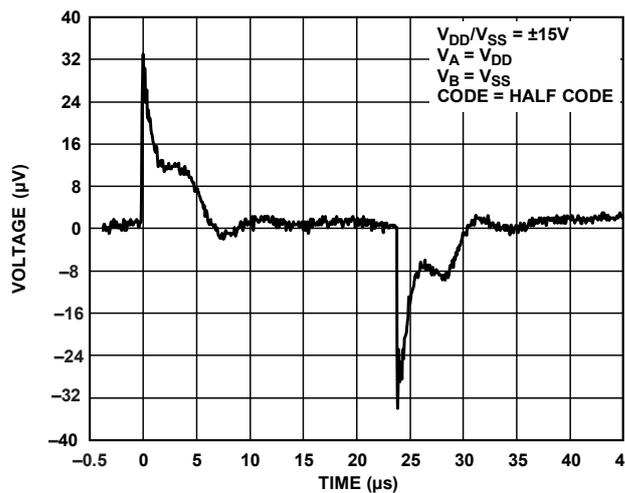


図 35. デジタル・フィードスルー

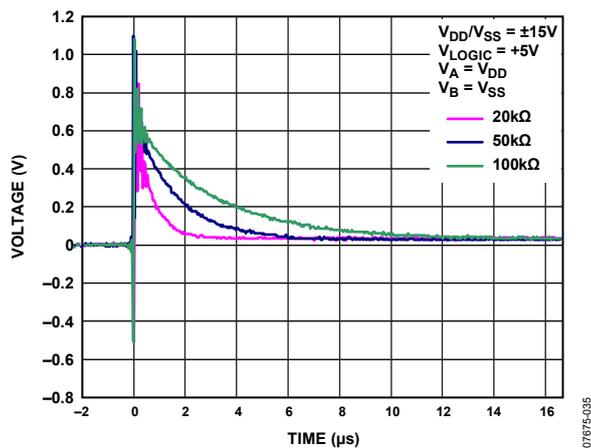


図 36.最大変化グリッチ

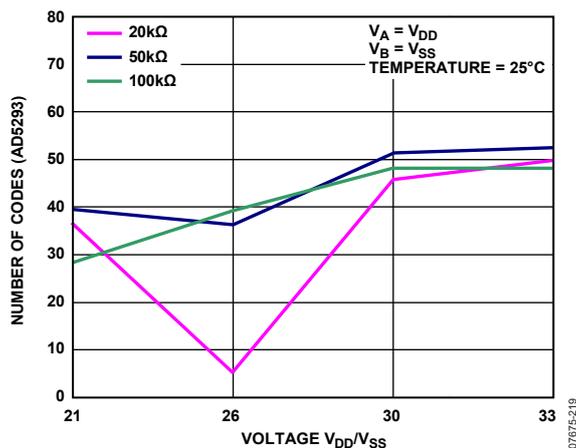


図 38.電圧対コード範囲> 1%抵抗偏差

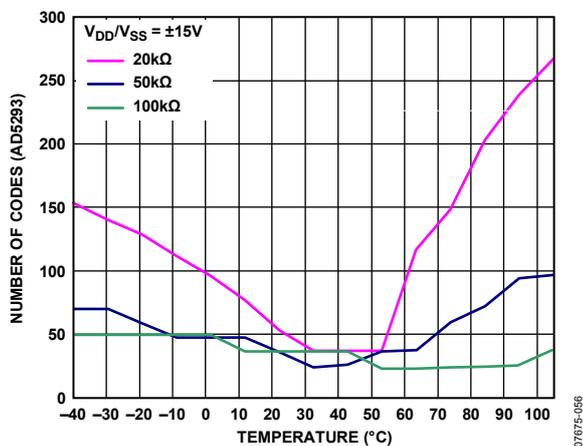


図 37.コード範囲> 1%抵抗偏差の温度特性

テスト回路

図 39 ~ 図 44 に、仕様のセクションで使用したテスト条件を示します。

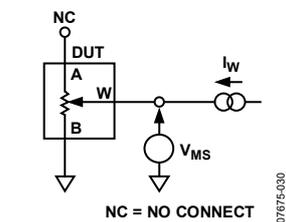


図 39. 抵抗ポジションの非直線性誤差(可変抵抗器動作; R-INL、R-DNL)

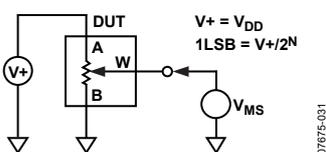


図 40. ポテンシオメータ分圧器の非直線性誤差(INL、DNL)

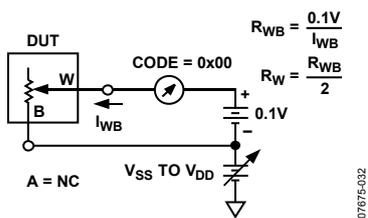


図 41. ワイパー抵抗

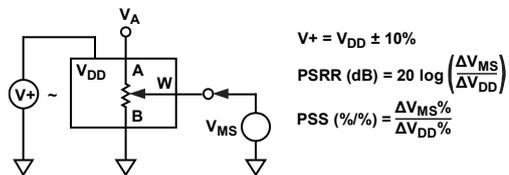


図 42. 電源除去比(PSS、PSRR)

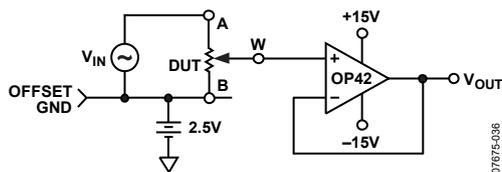


図 43. ゲインの周波数特性

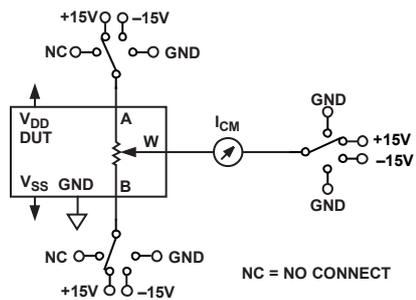


図 44. 同相モード・リーク電流

動作原理

AD5293 デジタル・ポテンショメータは、ピン電圧範囲 $V_{SS} < V_{TERM} < V_{DD}$ 内のアナログ信号に対して真の可変抵抗として動作するようにデザインされています。特許取得済みの $\pm 1\%$ 抵抗偏差は、総合 RDAC 抵抗誤差を小さくすることに役立ちます。優れた絶対値一致とオープン・ループ性能の改善により、全体システム誤差が小さくなります。デジタル・ポテンショメータのワイパー・ポジションは、RDAC レジスタの値により決定されます。RDAC レジスタはスクラッチ・パッド・レジスタとして機能し、ポテンショメータ・ワイパーを正しいポジションに位置させるために、必要に応じた回数の値変更が可能です。RDAC レジスタに、標準の SPI シリアル・ペリフェラル・インターフェースを使って 16 ビットのデータ・ワードをロードすることにより、任意のポジション値を書込むことができます。

シリアル・データ・インターフェース

AD5293 は、SPI 規格や大部分の DSP と互換性を持つシリアル・インターフェース(SYNC、SCLK、DIN、SDO)を内蔵しています。データは SPI を介して各レジスタに書込むことができます。

シフトレジスタ

AD5293 のシフトレジスタは 16 ビット幅です(図 2 参照)。16 ビット・データ・ワードは、未使用の 2 ビット(0 に設定)、それに続く 4 ビットのコントロール・ビットと 10 ビットの RDAC データビットから構成されています。データは MSB ファースト(ビット 15 が先頭)でロードされます。4 ビットのコントロール・ビットは、ソフトウェア・コマンドの機能を指定します(表 10 参照)。図 3 に、代表的な書込みシーケンスのタイミング図を示します。

S_{SYNC}ラインをロー・レベルにすると、書込みシーケンスが開始されます。S_{SYNC}ピンは、D_{IN}ピンからデータ・ワードが完全にロードされるまでロー・レベルに維持する必要があります。S_{SYNC}がハイ・レベルに戻ると、シリアル・データ・ワードが表 10 の命令に従ってデコードされます。コマンド・ビット(C_x)が、デジタル・ポテンショメータの動作を制御します。データビット(D_x)は、デコードされたレジスタにロードされる値です。AD5293 は、正常動作のために 16 ビット(1 フレーム)の倍数をカウントするカウンタを内蔵しています。例えば、AD5293 は 32 ビット・ワードで動作しますが、31 ビットまたは 33 ビット・ワードで動作することはできません。AD5293 では、S_{SYNC}がハイ・レベルのとき連続SCLKを必要としませんが、すべてのインターフェース・ピンは電源レール近くで動作して、デジタル入力バッファでの消費電力を小さくする必要があります。

RDACレジスタ

RDAC レジスタは、デジタル・ポテンショメータのワイパー・ポジションを直接制御します。例えば、RDAC レジスタに全ビット 0 をロードすると、ワイパーは可変抵抗の B ピンに接続されます。RDAC レジスタは標準のロジック・レジスタであるため、許容変更回数には制限がありません。RDY ピンを使って、RDAC レジスタに対する書込み動作または読出し動作の完了をモニタすることができます。AD5293 はパワーアップ時にミッドスケールに設定されます。

書込み保護機能

パワーアップ時に、RDACレジスタに対するシリアル・データ入力レジスタ書込みコマンドがディスエーブルされます。コントロール・レジスタのRDAC書込み保護ビットC1(表 11 と 表 12 参照)は、デフォルトで 0 に設定されます。これにより、ソフトウェア・コマンドに無関係にRDACレジスタ値の変更が禁止されます。ただし、ソフトウェア・リセット・コマンド(コマンド 3、表 10 参照)またはハードウェアのRESETピンを使ってRDACレジスタをミッドスケールへリフレッシュすることはできます。可変抵抗ワイパー・ポジションの書込み(RDACレジスタの書込み)をイネーブルときは、コントロール・レジスタの書込み保護ビットC1 を先に設定する必要があります。これは、シリアル・データ入力レジスタにコマンド 4 をロードすることにより行われます(表 10)。

基本動作

可変抵抗ワイパー・ポジション設定の基本モード(RDACレジスタの書込み)は、コマンド1 (表10参照)とワイパー・ポジション・データをシリアル・データ入力レジスタにロードすることにより実行されます。RDYピンを使って、RDACレジスタに対する書込みコマンドの完了をモニタすることができます。コマンド2を使うと、RDACレジスタ値をリードバックすることができます(表10参照)。リードバック・コマンドを発行した後、RDYピンをモニタして、次のSPI動作でデータがSDOへ読出し可能になるタイミングを知ることができます。RDYピンをモニタする代わりに、書込みまたは読出しコマンドを実行するとき最小遅延を実現することもできます(表5)。表9 に、シリアル・データ入力(D_{IN})ワード・シーケンスを示すアプリケーション・プログラミング例と、RDACに対する書込みと読出しでSDOピンに現れるシリアルデータ出力を16進数フォーマットで示します。

表 9.RDAC レジスタの書込み/読出し

DIN	SDO	Action
0x1802	0xXXXX ¹	Enable update of wiper position.
0x0500	0x1802	Write 0x100 to the RDAC register. Wiper moves to ¼ full-scale position.
0x0800	0x0500	Prepare data read from RDAC register.
0x0000	0x0100	NOP (Instruction 0) sends a 16-bit word out of SDO, where the last 10 bits contain the contents of the RDAC register.

¹X=不定

シャットダウン・モード

AD5293 は、ソフトウェア・シャットダウン・コマンド(表 10 のコマンド 6 参照)を実行してLSBに 1 を設定することにより、シャットダウン・モードにすることができます。この機能は、RDAC をピンAが開放で、ワイパーWがピンBに接続される特別な状態にします。RDACレジスタ値は、シャットダウン・モードになることにより変化しません。ただし、シャットダウン・モードでは表 10 に示すすべてのコマンドがサポートされます。

リセット

ハードウェア **RESET** ピンがロー・レベルからハイ・レベルへの変化すると、RDACレジスタにミッドスケールがロードされます。コマンド 3 を実行することによりソフトウェアからAD5293をリセットすることもできます(表 10 参照)。コントロール・レジスタにはデフォルト・ビットが設定されます(表 12)。

抵抗性能モード

このモードでは、各コードで $\pm 1\%$ の抵抗偏差を保証する(すなわちコード=ハーフスケール、 $R_{WB} = 10\text{ k}\Omega \pm 100\ \Omega$)新しい特許取得済みの 1%端子間抵抗偏差機能が開始されます。 $\pm 1\%$ の抵抗偏差を実現するコードについては、表 2 と 表 4 を参照してください。抵抗性能モードは、コントロール・レジスタのビットC2 を設定することにより開始されます(表 11 と 表 12 参照)。セトリング・タイム(typ)を図 32 に示します。

ディジーチェーン動作

シリアル・データ出力ピン(SDO)は2つの機能を持っています。このピンは、コマンド 2 (表10参照)を使ってワイパー設定値の読出しに使うことができます。あるいは、複数デバイスのディジーチェーン接続に使うことができます。残りの命令は、複数のデバイスをディジーチェーン接続して同時動作させた場合に有効です。ディジーチェーン接続は、最小のポート・ピン数でICの制御を可能にします。

SDOピンにはオープン・ドレインのNチャンネルFETが内蔵されており、この機能を使う場合、プルアップ抵抗が必要です。図 45に示すように、前のパッケージのSDOピンを次のパッケージのDINピンに接続する必要があります。SDO/DINインターフェースにプルアップ抵抗と容量負荷があると、隣接デバイス間の遅延時間が大きくなるため、クロック周期を長くする必要があります。

2個のAD5293をディジーチェーン接続すると、32ビットのデータが必要になります。先頭の16ビットがU2に、次の16ビットがU1に行きます。32ビットがすべてそれぞれのシリアル・レジスタに入力されるまで、**SYNC**をロー・レベルに維持しておく必要があります。動作が完了すると、**SYNC**はハイ・レベルになります。

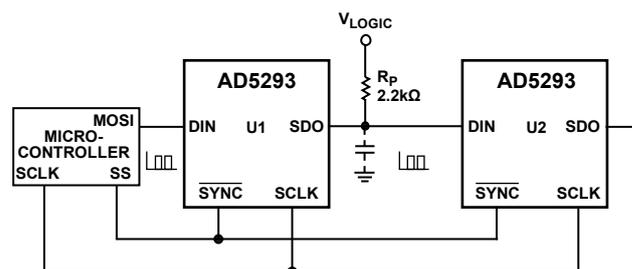


図 45.SDO を使ったディジーチェーン接続

表 10.コマンド動作の真理値表

Command	Command Bits[B13:B10]				Data Bits[B9:B0] ¹										Operation
	C3	C2	C1	C0	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	NOP command. Do nothing.
1	0	0	0	1	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	Write contents of serial register data to RDAC.
2	0	0	1	0	X	X	X	X	X	X	X	X	X	X	Read RDAC wiper setting from SDO output in the next frame.
3	0	1	0	0	X	X	X	X	X	X	X	X	X	X	Reset. Refresh RDAC with midscale code.
4	0	1	1	0	X	X	X	X	X	X	X	D2	D1	X	Write contents of serial register data to control register.
5	0	1	1	1	X	X	X	X	X	X	X	X	X	X	Read control register from SDO output in the next frame.
6	1	0	0	0	X	X	X	X	X	X	X	X	X	D0	Software power-down. D0 = 0 (normal mode). D0 = 1 (device placed in shutdown mode).

¹ X = don't care.

表 11.コントロール・レジスタのビット・マップ

D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X ¹	C2	C1	X ¹						

¹ X = don't care.

表 12.コントロール・レジスタの機能

Register Name	Bit Name	Description
Control	C2	Calibration enable. 0 = resistor performance mode (default). 1 = normal mode.
	C1	RDAC register write protect. 0 = locks the wiper position through the digital interface (default). 1 = allows update of wiper position through digital interface.

RDACアーキテクチャ

最適性能を実現するため、アナログ・デバイセズはすべてのデジタル・ポテンシオメータに対してRDACセグメント化アーキテクチャの特許を取得しました。特に、AD5293では3ステージ・セグメント化を採用しています(図46参照)。AD5293ワイパー・スイッチは、トランスマッション・ゲートCMOS回路と V_{DD} から駆動されるゲート電圧によりデザインされています。

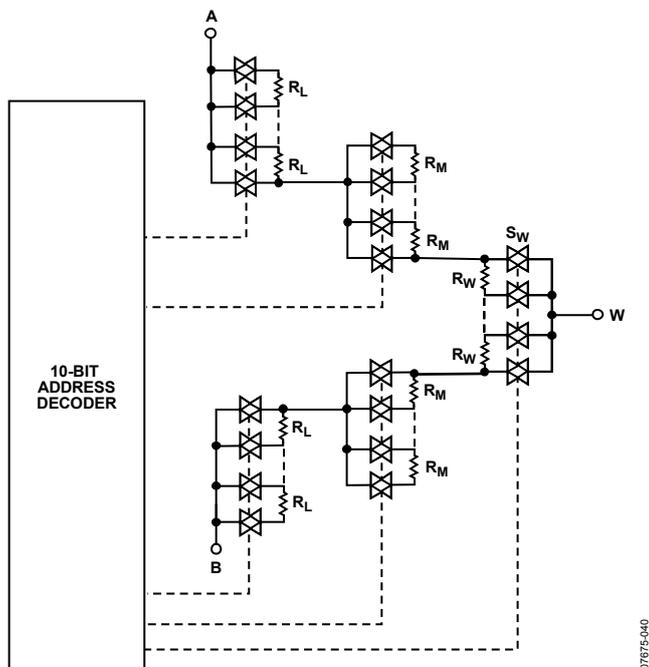


図46.簡略化したRDAC回路

可変抵抗のプログラミング

可変抵抗器動作—1%抵抗偏差

AD5293は、2ピンのみを可変抵抗として使用すると、可変抵抗器モードで動作します。未使用ピンはフローティングのままにするか、Wピンに接続することができます(図47参照)。

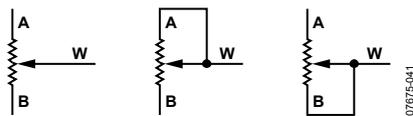


図47.可変抵抗器モードの構成

ピンAとピンBの間の公称抵抗(R_{AB})は、20 k Ω 、50 k Ω 、100 k Ω のものがあり、ワイパー・ピンからアクセスされるタップ・ポイント数は1024です。RDACラッチ内の10ビット・データがデコードされて、1024通りのワイパー設定の内の1つを選択します。AD5293は、 $\pm 1\%$ 抵抗偏差キャリブレーション機能を内蔵し(デフォルトでイネーブル)、コントロール・レジスタのビットC2を設定することにより、イネーブル/ディスエーブルすることができます(表11と表12参照)。

デジタル的に設定される出力抵抗(WピンとAピンの間の R_{WA} およびWピンとBピンの間の R_{WB})は、全電源範囲および温度範囲で最大 $\pm 1\%$ の絶対抵抗誤差となるようにキャリブレーションされます。このため、WピンとBピンとの間のデジタル的に設定する出力抵抗を決定する一般式は次のようになります。

$$R_{WB}(D) = \frac{D}{1024} \times R_{AB} \quad (1)$$

ここで、
Dは、10ビットRDACレジスタにロードされるバイナリ・コード・データの10進数表示。
 R_{AB} はピン間抵抗。

機械的ポテンシオメータと同様に、WピンとピンAとの間のRDAC抵抗も、デジタルに制御された相補的な抵抗 R_{WA} を発生します。 R_{WA} も最大1%の絶対抵抗誤差となるようにキャリブレーションされます。 R_{WA} は最大抵抗値から開始して、ラッチにロードされるデータが大きくなるほど、減少します。この動作の一般式は次のようになります。

$$R_{WA}(D) = \frac{1024 - D}{1024} \times R_{AB} \quad (2)$$

ここで、
Dは、10ビットRDACレジスタにロードされるバイナリ・コード・データの10進数表示。
 R_{AB} はピン間抵抗。

ゼロ・スケール状態では、有限な合計ワイパー抵抗が120 Ω となります。デバイスの動作する設定に関らず、Aピン—Bピン間、Wピン—Aピン間、Wピン—Bピン間の電流を最大連続電流 ± 3 mAまたは表6に規定するパルス電流に制限するように注意する必要があります。そうしないと、内部スイッチ・コンタクトの性能低下または破壊が生ずる恐れがあります。

ポテンシオメータ分圧器のプログラミング

電圧出力動作

デジタル・ポテンシオメータは、Aピン—Bピン間の入力電圧に比例した分圧電圧をワイパー—Bピン間およびワイパー—Aピン間に容易に発生することができます。GNDに対する V_{DD} の極性(これは正極性)とは異なり、Bに対するA、Aに対するW、Bに対するWの各電圧にはいずれの極性も可能です。

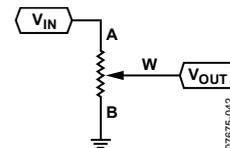


図48.ポテンシオメータ・モード構成

簡単化のためにワイパー抵抗の影響を無視する場合、A ピンを 30 V に、B ピンをグラウンドにそれぞれ接続すると、ワイパー (W)—B ピン間に 0 V から開始して 30 V より 1 LSB 低い値までの出力電圧が発生します。電圧の各 LSB は、ピン A とピン B に加えた電圧をポテンショメータ分圧器のポジション数 1024 で除算した値に等しくなります。ピン A とピン B に与えられた任意の入力電圧に対して、グラウンドを基準とした V_W の出力電圧を決める式は、次のように表されます。

$$V_W(D) = \frac{D}{1024} \times V_A + \frac{1024-D}{1024} \times V_B \quad (3)$$

分圧器モード時にワイパー・ポジション更新レートを最適化するときは、コントロール・レジスタのビット C2 を設定することにより、内蔵の±1%抵抗偏差キャリブレーション機能をディセーブルすることが推奨されます(表 10 参照)。

分圧器モードでのデジタル・ポテンショメータの動作は、温度に対して正確な動作になります。可変抵抗器モードと異なり、出力電圧は主に内部抵抗 R_{WA} と R_{WB} の比に依存し、絶対値には依存しません。したがって、温度ドリフトは 5 ppm/°C に減少します。

EXT_CAPコンデンサ

パワーアップ時と AD5293 の動作中に、1 μ F のコンデンサを EXT_CAP ピンと GND との間に接続する必要があります(図 49 参照)。このコンデンサの定格電圧は 7 V 以上である必要があります。

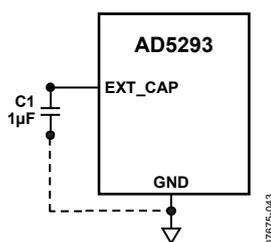


図 49. EXT_CAP ピンのハードウェア構成

ピン電圧の動作範囲

AD5293 の正側 V_{DD} 電源と負側 V_{SS} 電源により、3 端子デジタル・ポテンショメータ動作の動作範囲が決定されます。 V_{DD} または V_{SS} を超えてピン A、ピン B、ピン W に入力される電源信号は、内蔵の順方向バイアス・ダイオードによりクランプされます(図 50 参照)。

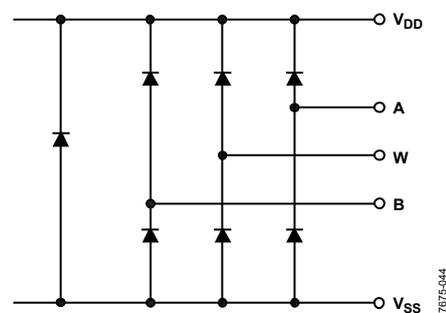


図 50. V_{DD} と V_{SS} により設定される最大ピン電圧

AD5293 のグラウンド・ピンは、主にデジタル・グラウンド基準として使われます。デジタル・グラウンド・バウンズを最小にするため、AD5293 のグラウンド・ピンは共通グラウンドから離れた所で接続する必要があります。AD5293 に対するデジタル入力コントロール信号はデバイス・グラウンド・ピン (GND) を基準として、仕様のセクションに規定するロジック・レベルを満たす必要があります。

パワーアップ・シーケンス

ピン A、ピン B、ピン W での電圧コンプライアンスを制限するダイオードが内蔵されているため(図 50)、ピン A、ピン B、ピン W に電圧を加える前に先に V_{DD} と V_{SS} を加えることが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずに V_{DD} と V_{SS} に電源が接続されてしまいます。最適なパワーアップ・シーケンスは、GND、 V_{SS} 、 V_{LOGIC} 、 V_{DD} 、デジタル入力、 V_A 、 V_B 、 V_W の順序です。パワーアップ・シーケンス V_A 、 V_B 、 V_W 、デジタル入力の順は、 V_{DD} 、 V_{SS} 、 V_{LOGIC} の投入後であれば、重要ではありません。

パワーアップ・シーケンスと電源のランプ・レートに無関係に、 V_{LOGIC} 投入後、パワーオン・プリセットが起動し、ミッドスケール値が RDAC レジスタに転送されます。

アプリケーション情報

高電圧DAC

AD5293 は、出力電圧が 33 V にもなる高電圧DACとして構成することができます。回路を 図 51 に示します。出力は次式で表されます。

$$V_{OUT}(D) = \frac{D}{1024} \times \left[1.2 \text{ V} \times \left(1 + \frac{R_2}{R_1} \right) \right] \quad (4)$$

ここで、D は 0~1023 の 10 進コード値。

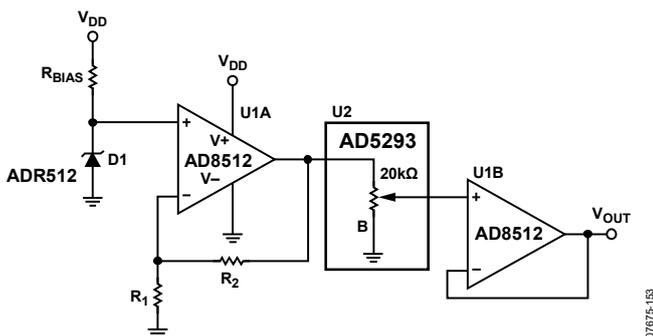


図 51.高電圧 DAC

出力ブースタ付きのプログラマブルな電圧源

大電流の調整が必要となるレーザー・ダイオード・ドライバまたはチューナブル・レーザのようなアプリケーションの場合、ブースト電圧源の使用を検討することができます(図 52 参照)。

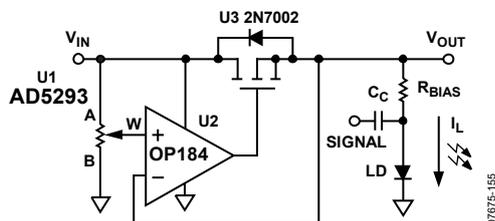


図 52.プログラマブルなブースト電圧源

この回路では、オペアンプの反転入力に V_{OUT} をデジタル・ポテンシオメータで設定されたワイパー電圧に等しく維持します。負荷電流は、N チャンネル FET (U3) を経由して電源から供給されます。N チャンネル FET の電力処理能力は、 $(V_{IN} - V_{OUT}) \times I_L$ の電力消費に十分対応できる必要があります。この回路は 33 V 電源で最大 100 mA を出力することができます。

高精度DAC

特別に小さくした電圧範囲に対してデバイスの分解能を最適化することにより、AD5293 を高精度DACとして構成することができます。これは、図 53 に示すように、RDACの両側に外付け抵抗を接続することにより実現されます。 $\pm 1\%$ 抵抗偏差仕様の改善により、ディスクリフト抵抗の不一致による誤差が大幅に小さくなります。

$$V_{OUT}(D) = \frac{R_3 + (D/1024 \times R_{AB}) \times V_{DD}}{R_1 + ((1024-D)/1024) \times R_{AB} + R_3} \quad (5)$$

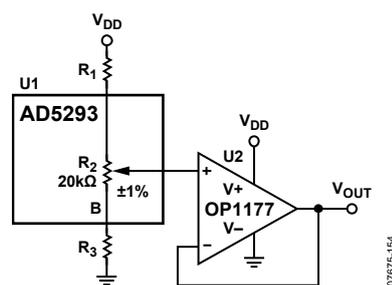


図 53.分解能の最適化

可変ゲイン計装アンプ

図 54 に示すように、AD5293 や ADG1207 と AD8221 との組み合わせにより、データ・アキュイジション・システム用の優れた計装アンプが構成されます。データ・アキュイジション・システムは低歪み、かつ低ノイズであるため、様々なADCの前でシグナル・コンディショニングを行うことができます。

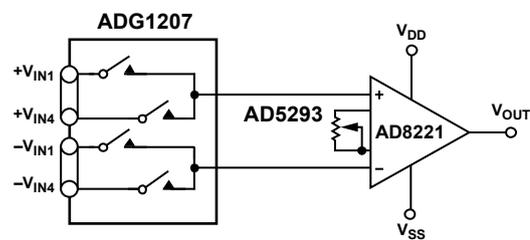


図 54.データ・アキュイジション・システム

ゲインは、式 6 を使って次のように計算することができます。

$$G(D) = 1 + \frac{49.4 \text{ k}\Omega}{(D/1024) \times R_{AB}} \quad (6)$$

オーディオ・ボリューム・コントロール

AD5293 は優れた THD 性能と高電圧機能を持つため、デジタル・ボリューム・コントロールに最適です。AD5293 は、オーディオ減衰器として使い、ゲイン・アンプに直接接続することができます。任意の時間にボリューム・レベルに大きなステップ変化が発生すると、オーディオ信号の突然の不連続が発生して、可聴ジッター・ノイズになります。これを防止するため、ゼロ・クロス・ウインドウ検出器を CS ラインに挿入して、デバイス更新をオーディオ信号がウインドウを横切るまで遅延させることができます。入力信号は絶対 0 V レベルではなく任意の DC レベル上で動作することがあるため、このケースのゼロ・クロスは信号の AC 結合を意味し、DC オフセット・レベルは信号ゼロ基準点になります。

ジッター・ノイズを小さくする構成とこの構成の使用から得られる結果を、それぞれ図 56 と図 55 に示します。

入力は C1 により AC 結合され、減衰させられた後に、U2、U3、U4B により構成されるウインドウ・コンパレータに入力されます。U6 を使って、信号をゼロ基準として設定します。コンパレータの上限はオフセットの上に設定されるため、この例では入力が 2.502 V ~ 2.497 V の範囲(すなわち 0.005 V ウインドウ)に入るとハイ・パルスが出力されます。信号がウインドウを通過するごとに AD5293 が更新されるように、この出力がチップ・セレクト信号と AND 結合されます。デバイスの定期的更新を回避するため、チップ・セレクト信号を 1 個ではなく 2 個のパルスとして設定する必要があります。

図 55 で、下側のトレースは、ゼロ・クロス・ウインドウの近くで信号が変化すると、ボリューム・レベルが 1/4 スケールからフルスケールまで変化することを表しています。

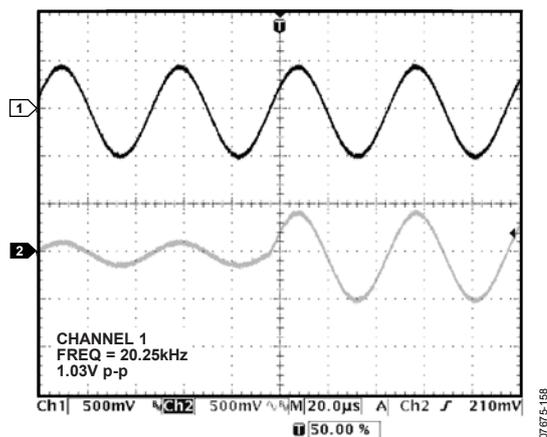


図 55. ジッター・ノイズ検出器

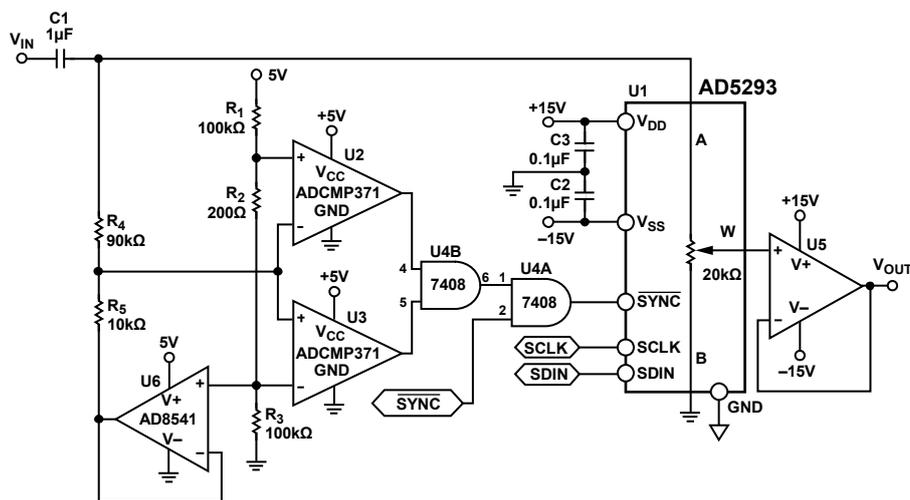


図 56. ジッター・ノイズ削減機能付きのオーディオ・ボリューム・コントロール

外形寸法

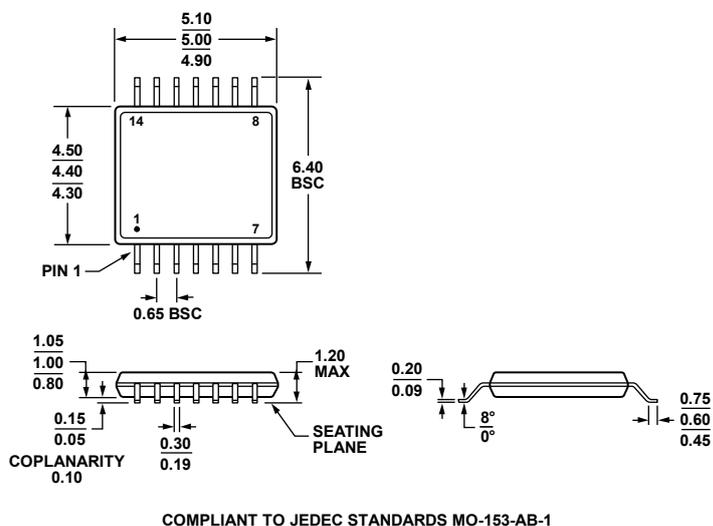


図 57.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-14)
寸法: mm

オーダー・ガイド

Model ¹	R _{AB} (kΩ)	Resolution	Temperature Range	Package Description	Package Option
AD5293BRUZ-20	20	1,024	-40°C to +105°C	14-Lead TSSOP	RU-14
AD5293BRUZ-20-RL7	20	1,024	-40°C to +105°C	14-Lead TSSOP	RU-14
AD5293BRUZ-50	50	1,024	-40°C to +105°C	14-Lead TSSOP	RU-14
AD5293BRUZ-50-RL7	50	1,024	-40°C to +105°C	14-Lead TSSOP	RU-14
AD5293BRUZ-100	100	1,024	-40°C to +105°C	14-Lead TSSOP	RU-14
AD5293BRUZ-100-RL7	100	1,024	-40°C to +105°C	14-Lead TSSOP	RU-14

¹ Z = RoHS 準拠製品。