

特長

- 1 チャンネル、256/1024 ポジション分解能
- 公称抵抗: 20 kΩ、50 kΩ、100 kΩ
- 最大±1%の公称抵抗偏差(抵抗性能モード)
- 20 回書き込み可能なワイパー・メモリ
- 可変抵抗器モードの温度係数: 35 ppm/°C
- 分圧器の温度係数: 5 ppm/°C
- 単電源動作: +9 V~+33 V
- 両電源動作: ±9 V~±16.5 V
- SPI 互換シリアル・インターフェース
- ワイパー設定値のリードバックが可能
- パワーオン時に 20TP メモリからリフレッシュ

アプリケーション

- 機械式ポテンシオメータの置き換え
- 計装:ゲインとオフセットの調整
- プログラマブルな電圧/電流変換
- プログラマブルなフィルタ、遅延、時定数
- プログラマブルな電源
- 低分解能 DAC の置き換え
- センサー・キャリブレーション

概要

AD5291/AD5292 は業界をリードする可変抵抗性能と不揮発性メモリ (NVM) を組み合わせて小型パッケージに実装した、1 チャンネル 256/1024 ポジションのデジタル・ポテンシオメータ¹です。これらのデバイスは広い電圧範囲での動作が可能で、±10.5 V~±16.5 V の両電源動作と+21 V~+33 V の単電源動作をサポートし、1%以下のピン間抵抗偏差を保証し、20 回書き込み可能な 20-TP メモリを提供しています。

業界をリードする低抵抗偏差の保証により、オープン・ループ・アプリケーション、高精度キャリブレーション、偏差の一致を必要とするアプリケーションが簡素化されます。

¹用語デジタル・ポテンシオメータと RDAC は同じ意味で使用しています。

機能ブロック図

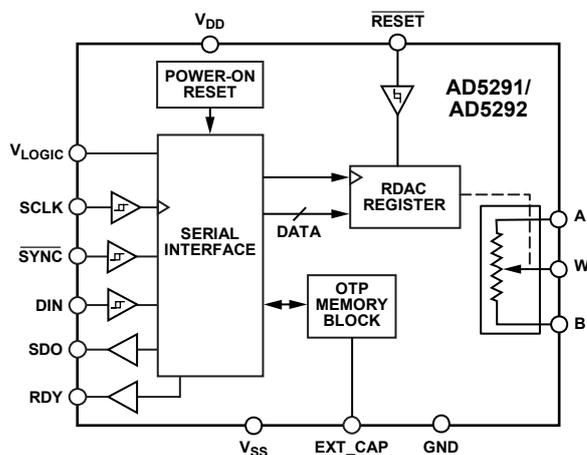


図 1.

AD5291/AD5292 デバイス・ワイパーの設定は、SPI デジタル・インターフェースを介して制御することができます。抵抗値を 20-TP メモリに書き込む前には、無制限回数の調整が可能です。AD5291/AD5292 では、ヒューズを焼き切るための外付け電圧電源が不要で、20 回まで書き込むことができます。20-TP の動作時に、ヒューズの焼き切りコマンドにより、ワイパー・ポジションを固定します(機械的トリマ・ポジションをエポキシ樹脂で固定するのに対応します)。

AD5291/AD5292 は 14 ピン小型 TSSOP パッケージを採用しています。このデバイスは、工業用拡張温度範囲-40°C~+105°C での動作を保証しています。

目次

特長	1	書き込み保護機能	23
アプリケーション	1	基本動作	24
機能ブロック図	1	20-TPのリードバックとスベア・メモリ・ステータス	24
概要	1	シャットダウン・モード	25
改訂履歴	2	抵抗性能モード	25
仕様	3	リセット	25
電気的特性—AD5291	3	ディジーチェーン動作	25
抵抗性能モード・コード範囲	4	RDACアーキテクチャ	25
電気的特性—AD5292	6	可変抵抗のプログラミング	25
抵抗性能モード・コード範囲	7	ポテンショメータ分圧器のプログラミング	26
インターフェース・タイミング仕様	8	EXT_CAP コンデンサ	27
絶対最大定格	10	ピン電圧の動作範囲	27
熱抵抗	10	アプリケーション情報	28
ESDの注意	10	高電圧 DAC	28
ピン配置およびピン機能説明	11	出力ブースタ付きのプログラマブルな電圧源	28
代表的な性能特性	12	高精度DAC	28
テスト回路	21	可変ゲイン計装アンプ	28
動作原理	22	オーディオ・ボリューム・コントロール	29
シリアル・データ・インターフェース	22	外形寸法	30
シフトレジスタ	22	オーダー・ガイド	30
RDAC レジスタ	22		
20-TPメモリ	23		

改訂履歴

3/10—Rev. B to Rev. C

Changes to Revision History	2
Changes to Figure 3 and Figure 4 Captions	9

3/10—Rev. A to Rev. B

Changes to Data Sheet Title	1
Changes to General Description Section	1
Changes to Theory of Operation Section	22

12/09—Rev. 0 to Rev. A

Added 50 k Ω and 100 k Ω specifications	Universal
Changes to Features Section	1
Changes to Table 1	3

Changes to Table 2	4
Added Table 3	5
Changes to Table 4	6
Changes to Table 5	7
Added Table 6	8
Change to Table 7	8
Changes to Absolute Maximum Rating Section	10
Changes Table 9	11
Changes to Typical Performance Characteristics Section	12
Changes to Ordering Guide	30

4/09—Revision 0: Initial Version

仕様

電気的特性—AD5291

特に指定がない限り、 $V_{DD} = 21\text{ V} \sim 33\text{ V}$ 、 $V_{SS} = 0\text{ V}$ ； $V_{DD} = 10.5\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -10.5\text{ V} \sim -16.5\text{ V}$ ； $V_{LOGIC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_A = V_{DD}$ 、 $V_B = V_{SS}$ 、 $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS—RHEOSTAT MODE						
Resolution	N		8			Bits
Resistor Differential Nonlinearity ²	R-DNL	R_{WB} , $V_A = \text{NC}$	-1		+1	LSB
Resistor Integral Nonlinearity ²	R-INL		-1		+1	LSB
Nominal Resistor Tolerance (R-Perf Mode) ³	$\Delta R_{AB}/R_{AB}$	See Table 2, Table 3	-1	± 0.5	+1	%
Nominal Resistor Tolerance (Normal Mode)	$\Delta R_{AB}/R_{AB}$			± 7		%
Resistance Temperature Coefficient ⁴	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	Code = full-scale; See Figure 38		35		ppm/°C
Wiper Resistance	R_W	Code = zero scale		60	100	Ω
DC CHARACTERISTICS—POTENTIOMETER DIVIDER MODE						
Resolution	N		8			Bits
Differential Nonlinearity ⁵	DNL		-0.5		+0.5	LSB
Integral Nonlinearity ⁵	INL		-0.5		+0.5	LSB
Voltage Divider Temperature Coefficient ⁴	$(\Delta V_W/V_W)/\Delta T \times 10^6$	Code = half-scale; See Figure 41		1.5		ppm/°C
Full-Scale Error	V_{WFSE}	Code = full scale	-2		+0.25	LSB
Zero-Scale Error	V_{WZSE}	Code = zero scale	0		2	LSB
RESISTOR TERMINALS						
Terminal Voltage Range ⁶	V_A , V_B , V_W		V_{SS}		V_{DD}	V
Capacitance A, Capacitance B ⁴	C_A , C_B	$f = 1\text{ MHz}$, measured to GND, code = half-scale		85		pF
Capacitance W ⁴	C_W	$f = 1\text{ MHz}$, measured to GND, code = half-scale		65		pF
Common-Mode Leakage Current ⁴	I_{CM}	$V_A = V_B = V_W$		± 1		nA
DIGITAL INPUTS						
Input Logic High ⁴	V_{IH}	JEDEC compliant $V_{LOGIC} = 2.7\text{ V to } 5.5\text{ V}$	2.0			V
Input Logic Low ⁴	V_{IL}	$V_{LOGIC} = 2.7\text{ V to } 5.5\text{ V}$			0.8	V
Input Current	I_{IL}	$V_{IN} = 0\text{ V or } V_{LOGIC}$			± 1	μA
Input Capacitance ⁴	C_{IL}			5		pF
DIGITAL OUTPUTS (SDO and RDY)						
Output High Voltage ⁴	V_{OH}	$R_{PULL_UP} = 2.2\text{ k}\Omega$ to V_{LOGIC}	$V_{LOGIC} - 0.4$			V
Output Low Voltage ⁴	V_{OL}	$R_{PULL_UP} = 2.2\text{ k}\Omega$ to V_{LOGIC}			GND + 0.4 V	V
Three-State Leakage Current			-1		+1	μA
Output Capacitance ⁴	C_{OL}			5		pF
POWER SUPPLIES						
Single-Supply Power Range	V_{DD}	$V_{SS} = 0\text{ V}$	9		33	V
Dual-Supply Power Range	V_{DD}/V_{SS}		± 9		± 16.5	V
Positive Supply Current	I_{DD}	$V_{DD}/V_{SS} = \pm 16.5\text{ V}$		0.1	2	μA
Negative Supply Current	I_{SS}	$V_{DD}/V_{SS} = \pm 16.5\text{ V}$	-2	-0.1		μA
Logic Supply Range	V_{LOGIC}		2.7		5.5	V
Logic Supply Current	I_{LOGIC}	$V_{LOGIC} = 5\text{ V}$; $V_{IH} = 5\text{ V or } V_{IL} = \text{GND}$		1	10	μA
OTP Store Current ^{4,7}	I_{LOGIC_PROG}	$V_{IH} = 5\text{ V or } V_{IL} = \text{GND}$		25		mA
OTP Read Current ^{4,8}	$I_{LOGIC_FUSE_READ}$	$V_{IH} = 5\text{ V or } V_{IL} = \text{GND}$		25		mA
Power Dissipation ⁹	P_{DISS}	$V_{IH} = 5\text{ V or } V_{IL} = \text{GND}$		8	110	μW
Power Supply Rejection Ratio	PSRR	$\Delta V_{DD}/\Delta V_{SS} = \pm 15\text{ V} \pm 10\%$ $R_{AB} = 20\text{ k}\Omega$ $R_{AB} = 50\text{ k}\Omega$ $R_{AB} = 100\text{ k}\Omega$		0.103 0.039 0.021		%/%

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DYNAMIC CHARACTERISTICS ^{5, 10}						
Bandwidth	BW	-3 dB, code = half-scale R _{AB} = 20 kΩ R _{AB} = 50 kΩ R _{AB} = 100 kΩ		520 210 105		kHz
Total Harmonic Distortion	THD _W	V _A = 1 V rms, V _B = 0 V, f = 1 kHz R _{AB} = 20 kΩ R _{AB} = 50 kΩ R _{AB} = 100 kΩ		-93 -101 -106		dB
V _W Settling Time	t _s	V _A = 30 V, V _B = 0 V, ±0.5 LSB error band, initial code = zero scale, board capacitance = 170 pF Code = full-scale, normal mode Code = full-scale, R-Perf mode Code = half-scale, normal mode R _{AB} = 20 kΩ R _{AB} = 50 kΩ R _{AB} = 100 kΩ Code = half-scale, R-Perf mode R _{AB} = 20 kΩ R _{AB} = 50 kΩ R _{AB} = 100 kΩ		750 2.5 2.5 7 14 5 9 16		ns μs μs μs
Resistor Noise Density	e _{N_WB}	Code = half-scale, T _A = 25°C, 0 kHz to 200 kHz R _{AB} = 20 kΩ R _{AB} = 50 kΩ R _{AB} = 100 kΩ		10 18 27		nV/√Hz

¹ Typ 値は、25°C、V_{DD} = 15V、V_{SS} = -15 V、V_{LOGIC} = 5 V での平均測定値。

² 抵抗ポジションの非直線性誤差。R-INL は、コード 0x02 の R_{WB} とコード 0xFF の R_{WB} の間またはコード 0xFD の R_{WA} とコード 0x00 の R_{WA} との間で測定した理論値からの偏差です。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。この仕様は、V_A < 12 V に対してワイパー電流 = 1 mA および V_A ≥ 12 V に対してワイパー電流 = 1.2 mA で、抵抗性能モードで保証されます。

³ 抵抗性能モード (抵抗性能モードのセクション参照)。用語の「抵抗性能モード」と、「R-perf モード」は同じ意味で使用しています。

⁴ 設計およびキヤラクタイゼーションで保証しますが、出荷テストは行いません。

⁵ INL と DNL は、RDAC を電圧出力 D/A コンバータと同様のポテンシオメータ分圧器として設定して、V_{WB} で測定。V_A = V_{DD} かつ V_B = 0 V。最大 ±1 LSB の DNL 仕様規定値は単調動作状態を保証。

⁶ 抵抗ピン A、抵抗ピン B、抵抗ピン W の極性は相対的に制約されません。両電源動作では、グラウンドを基準としたバイポーラ信号の調整が可能です。

⁷ 動作電流からの差。ヒューズ書込みの電源電流は約 550 μs 間継続。

⁸ 動作電流からの差。ヒューズ読出しの電源電流は約 550 μs 間継続。

⁹ P_{DISS} は (I_{DD} × V_{DD}) + (I_{SS} × V_{SS}) + (I_{LOGIC} × V_{LOGIC}) で計算されます。

¹⁰ すべての動特性では、V_{DD} = 15 V、V_{SS} = -15 V、V_{LOGIC} = 5 V を使用。

抵抗性能モード・コード範囲

表 2.

Resistor Tolerance per Code	R _{AB} = 20 kΩ							
	V _{DD} - V _{SS} = 30 V to 33 V		V _{DD} - V _{SS} = 26 V to 30 V		V _{DD} - V _{SS} = 22 V to 26 V		V _{DD} - V _{SS} = 21 V to 22 V	
	R _{WB}	R _{WA}						
1% R-Tolerance	From 0x5A to 0xFF	From 0x00 to 0xA5	From 0x7D to 0xFF	From 0x00 to 0x82	From 0x7D to 0xFF	From 0x00 to 0x82	N/A	N/A
2% R-Tolerance	From 0x23 to 0xFF	From 0x00 to 0xDC	From 0x2D to 0xFF	From 0x00 to 0xD2	From 0x23 to 0xFF	From 0x00 to 0xDC	From 0x23 to 0xFF	From 0x00 to 0xDC
3% R-Tolerance	From 0x1E to 0xFF	From 0x00 to 0xE1	From 0x19 to 0xFF	From 0x00 to 0xE6	From 0x17 to 0xFF	From 0x00 to 0xE8	From 0x17 to 0xFF	From 0x00 to 0xE8

表 3.

Resistor Tolerance per Code	$R_{AB} = 50 \text{ k}\Omega$				$R_{AB} = 100 \text{ k}\Omega$			
	$ V_{DD} - V_{SS} = 26 \text{ V to } 33 \text{ V}$		$ V_{DD} - V_{SS} = 21 \text{ V to } 26 \text{ V}$		$ V_{DD} - V_{SS} = 26 \text{ V to } 33 \text{ V}$		$ V_{DD} - V_{SS} = 21 \text{ V to } 26 \text{ V}$	
	R_{WB}	R_{WA}	R_{WB}	R_{WA}	R_{WB}	R_{WA}	R_{WB}	R_{WA}
1% R-Tolerance	From 0x2A to 0xFF	From 0x00 to 0xD5	From 0x37 to 0xFF	From 0x00 to 0xC8	From 0x1E to 0xFF	From 0x00 to 0xE1	From 0x14 to 0xFF	From 0x00 to 0xEB
2% R-Tolerance	From 0x11 to 0xFF	From 0x00 to 0xEE	From 0x16 to 0xFF	From 0x00 to 0xE9	From 0x0A to 0xFF	From 0x00 to 0xF5	From 0x0A to 0xFF	From 0x00 to 0xF5
3% R-Tolerance	From 0x0A to 0xFF	From 0x00 to 0xF5	From 0x0D to 0xFF	From 0x00 to 0xF2	From 0x07 to 0xFF	From 0x00 to 0xF8	From 0x07 to 0xFF	From 0x00 to 0xF8

電気的特性—AD5292

特に指定がない限り、 $V_{DD} = 21\text{ V} \sim 33\text{ V}$ 、 $V_{SS} = 0\text{ V}$ ； $V_{DD} = 10.5\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -10.5\text{ V} \sim -16.5\text{ V}$ ； $V_{LOGIC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_A = V_{DD}$ 、 $V_B = V_{SS}$ 、 $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。

表 4.

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS—RHEOSTAT MODE						
Resolution	N		10			Bits
Resistor Differential Nonlinearity ²	R-DNL	R_{WB} , $V_A = \text{NC}$	-1		+1	LSB
Resistor Integral Nonlinearity ²	R-INL	$R_{AB} = 50\text{ k}\Omega$, $100\text{ k}\Omega$	-2		+2	LSB
	R-INL	$R_{AB} = 20\text{ k}\Omega$, $ V_{DD} - V_{SS} = 26\text{ V}$ to 33 V	-2		+2	LSB
	R-INL	$R_{AB} = 20\text{ k}\Omega$, $ V_{DD} - V_{SS} = 21\text{ V}$ to 26 V	-3		+3	LSB
Nominal Resistor Tolerance (R-Perf Mode) ³	$\Delta R_{AB}/R_{AB}$	See Table 5 and Table 6	-1	± 0.5	+1	%
Nominal Resistor Tolerance (Normal Mode) ⁴	$\Delta R_{AB}/R_{AB}$			± 7		%
Resistance Temperature Coefficient	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	Code = full scale; See Table 38		35		ppm/ $^\circ\text{C}$
Wiper Resistance	R_W	Code = zero scale		60	100	Ω
DC CHARACTERISTICS—POTENTIOMETER DIVIDER MODE						
Resolution	N		10			Bits
Differential Nonlinearity ⁵	DNL		-1		+1	LSB
Integral Nonlinearity ⁵	INL		-1.5		+1.5	LSB
Voltage Divider Temperature Coefficient ⁴	$(\Delta V_W/V_W)/\Delta T \times 10^6$	Code = half scale; See Table 41		5		ppm/ $^\circ\text{C}$
Full-Scale Error	V_{WFSE}	Code = full scale	-8		+1	LSB
Zero-Scale Error	V_{WZSE}	Code = zero scale	0		8	LSB
RESISTOR TERMINALS						
Terminal Voltage Range ⁴	V_A , V_B , V_W		V_{SS}		V_{DD}	V
Capacitance A, Capacitance B ⁶	C_A , C_B	$f = 1\text{ MHz}$, measured to GND, code = half scale		85		pF
Capacitance W ⁵	C_W	$f = 1\text{ MHz}$, measured to GND, code = half scale		65		pF
Common-Mode Leakage Current ⁴	I_{CM}	$V_A = V_B = V_W$		± 1		nA
DIGITAL INPUTS						
Input Logic High ⁴	V_{IH}	JEDEC compliant $V_{LOGIC} = 2.7\text{ V}$ to 5.5 V	2.0			V
Input Logic Low ⁴	V_{IL}	$V_{LOGIC} = 2.7\text{ V}$ to 5.5 V			0.8	V
Input Current	I_{IL}	$V_{IN} = 0\text{ V}$ or V_{LOGIC}			± 1	μA
Input Capacitance ⁴	C_{IL}			5		pF
DIGITAL OUTPUTS (SDO and RDY)						
Output High Voltage ⁴	V_{OH}	$R_{PULL_UP} = 2.2\text{ k}\Omega$ to V_{LOGIC}	$V_{LOGIC} - 0.4$			V
Output Low Voltage ⁴	V_{OL}	$R_{PULL_UP} = 2.2\text{ k}\Omega$ to V_{LOGIC}			GND + 0.4	V
Three-State Leakage Current			-1		+1	μA
Output Capacitance ⁴	C_{OL}			5		pF
POWER SUPPLIES						
Single-Supply Power Range	V_{DD}	$V_{SS} = 0\text{ V}$	9		33	V
Dual-Supply Power Range	V_{DD}/V_{SS}		± 9		± 16.5	V
Positive Supply Current	I_{DD}	$V_{DD}/V_{SS} = \pm 16.5\text{ V}$		0.1	2	μA
Negative Supply Current	I_{SS}	$V_{DD}/V_{SS} = \pm 16.5\text{ V}$	-2	-0.1		μA
Logic Supply Range	V_{LOGIC}		2.7		5.5	V
Logic Supply Current	I_{LOGIC}	$V_{LOGIC} = 5\text{ V}$; $V_{IH} = 5\text{ V}$ or $V_{IL} = \text{GND}$		1	10	μA
OTP Store Current ^{6,7}	I_{LOGIC_PROG}	$V_{IH} = 5\text{ V}$ or $V_{IL} = \text{GND}$		25		mA
OTP Read Current ^{6,8}	$I_{LOGIC_FUSE_READ}$	$V_{IH} = 5\text{ V}$ or $V_{IL} = \text{GND}$		25		mA
Power Dissipation ⁹	P_{DISS}	$V_{IH} = 5\text{ V}$ or $V_{IL} = \text{GND}$		8	110	μW
Power Supply Rejection Ratio ⁶	PSSR	$\Delta V_{DD}/\Delta V_{SS} = \pm 15\text{ V} \pm 10\%$				%/%
		$R_{AB} = 20\text{ k}\Omega$			0.103	
		$R_{AB} = 50\text{ k}\Omega$			0.039	
		$R_{AB} = 100\text{ k}\Omega$			0.021	

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DYNAMIC CHARACTERISTICS ^{5, 10}						
Bandwidth	BW	-3 dB R _{AB} = 20 kΩ R _{AB} = 50 kΩ R _{AB} = 100 kΩ		520 210 105		kHz
Total Harmonic Distortion	THD _W	V _A = 1 V rms, V _B = 0 V, f = 1 kHz R _{AB} = 20 kΩ R _{AB} = 50 kΩ R _{AB} = 100 kΩ		-93 -101 -106		dB
V _W Settling Time	t _S	V _A = 30 V, V _B = 0 V, ±0.5 LSB error band, initial code = zero scale, board capacitance = 170 pF Code = full-scale, normal mode Code = full-scale, R-Perf mode Code = half-scale, normal mode R _{AB} = 20 kΩ R _{AB} = 50 kΩ R _{AB} = 100 kΩ Code = half-scale, R-Perf mode R _{AB} = 20 kΩ R _{AB} = 50 kΩ R _{AB} = 100 kΩ		750 2.5 2.5 7 14 5 9 16		ns μs μs μs
Resistor Noise Density	e _{N_WB}	Code = half-scale, T _A = 25°C, 0 kHz to 200 kHz R _{AB} = 20 kΩ R _{AB} = 50 kΩ R _{AB} = 100 kΩ		10 18 27		nV/√Hz

¹ Typ 値は、25°C、V_{DD} = 15V、V_{SS} = -15 V、V_{LOGIC} = 5 V での平均測定値。

² 抵抗ポジションの非直線性誤差。R-INL は、コード 0x00B の R_{WB} とコード 0x3FF の R_{WB} の間またはコード 0x3F3 の R_{WA} とコード 0x000 の R_{WA} との間で測定した理論値からの偏差です。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。この仕様は、V_A < 12 V に対してワイパー電流 = 1 mA および V_A ≥ 12 V に対してワイパー電流 = 1.2 mA で、抵抗性能モードで保証されます。

³ 抵抗性能モード (抵抗性能モードのセクション参照)。用語の「抵抗性能モード」と、「R-perf モード」は同じ意味で使用しています。

⁴ 設計およびキャラクタイゼーションで保証しますが、出荷テストは行いません。

⁵ INL と DNL は、RDAC を電圧出力 D/A コンバータと同様のポテンシオメータ分圧器として設定して、V_W で測定。V_A = V_{DD} かつ V_B = 0 V。最大 ±1 LSB の DNL 仕様規定値は単調動作状態を保証。

⁶ 抵抗ピン A、抵抗ピン B、抵抗ピン W の極性は相対的に制約されません。両電源動作では、グラウンドを基準としたバイポーラ信号の調整が可能です。

⁷ 動作電流からの差。ヒューズ書き込みの電源電流は約 550 μs 間継続。

⁸ 動作電流からの差。ヒューズ読出しの電源電流は約 550 μs 間継続。

⁹ P_{DISS} は (I_{DD} × V_{DD}) + (I_{SS} × V_{SS}) + (I_{LOGIC} × V_{LOGIC}) で計算されます。

¹⁰ すべての動特性では、V_{DD} = 15 V、V_{SS} = -15 V、V_{LOGIC} = 5 V を使用。

抵抗性能モード・コード範囲

表 5.

Resistor Tolerance per Code	R _{AB} = 20 kΩ							
	V _{DD} - V _{SS} = 30 V to 33 V		V _{DD} - V _{SS} = 26 V to 30 V		V _{DD} - V _{SS} = 22 V to 26 V		V _{DD} - V _{SS} = 21 V to 22 V	
	R _{WB}	R _{WA}						
1% R-Tolerance	From 0x15E to 0x3FF	From 0x000 to 0x2A1	From 0x1F4 to 0x3FF	From 0x000 to 0x20B	From 0x1F4 to 0x3FF	From 0x000 to 0x20B	N/A	N/A
2% R-Tolerance	From 0x8C to 0x3FF	From 0x000 to 0x373	From 0xB4 to 0x3FF	From 0x000 to 0x34B	From 0xFA to 0x3FF	From 0x000 to 0x305	From 0xFA to 0x3FF	From 0x000 to 0x305
3% R-Tolerance	From 0x5A to 0x3FF	From 0x000 to 0x3A5	From 0x64 to 0x3FF	From 0x000 to 0x39B	From 0x78 to 0x3FF	From 0x000 to 0x387	From 0x78 to 0x3FF	From 0x000 to 0x387

表 6.

Resistor Tolerance per Code	$R_{AB} = 50 \text{ k}\Omega$				$R_{AB} = 100 \text{ k}\Omega$			
	$ V_{DD} - V_{SS} = 26 \text{ V to } 33 \text{ V}$		$ V_{DD} - V_{SS} = 21 \text{ V to } 26 \text{ V}$		$ V_{DD} - V_{SS} = 26 \text{ V to } 33 \text{ V}$		$ V_{DD} - V_{SS} = 21 \text{ V to } 26 \text{ V}$	
	R_{WB}	R_{WA}	R_{WB}	R_{WA}	R_{WB}	R_{WA}	R_{WB}	R_{WA}
1% R-Tolerance	From 0x08C to 0x3FF	From 0x000 to 0x35F	From 0x0B4 to 0x3FF	From 0x000 to 0x31E	From 0x04B to 0x3FF	From 0x000 to 0x3B4	From 0x064 to 0x3FF	From 0x000 to 0x39B
2% R-Tolerance	From 0X03C to 0x3FF	From 0x000 to 0x3C3	From 0x050 to 0x3FF	From 0x000 to 0x3AF	From 0x028 to 0x3FF	From 0x000 to 0x3D7	From 0x028 to 0x3FF	From 0x000 to 0x3D7
3% R-Tolerance	From 0X028 to 0x3FF	From 0x000 to 0x3D7	From 0x032 to 0x3FF	From 0x000 to 0x3CD	From 0x019 to 0x3FF	From 0x000 to 0x3E6	From 0x019 to 0x3FF	From 0x000 to 0x3E6

インターフェース・タイミング仕様

$V_{DD}/V_{SS} = \pm 15 \text{ V}$ 、 $V_{LOGIC} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 、 $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。特に指定がない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ 。

表 7.

Parameter	Limit ¹	Unit	Description
t_1^2	20	ns min	SCLK cycle time
t_2	10	ns min	SCLK high time
t_3	10	ns min	SCLK low time
t_4	10	ns min	$\overline{\text{SYNC}}$ to SCLK falling edge setup time
t_5	5	ns min	Data setup time
t_6	5	ns min	Data hold time
t_7	1	ns min	SCLK falling edge to $\overline{\text{SYNC}}$ rising edge
t_8	400 ³	ns min	Minimum $\overline{\text{SYNC}}$ high time
t_9	14	ns min	$\overline{\text{SYNC}}$ rising edge to next SCLK fall ignore
t_{10}^4	1	ns min	RDY rising edge to $\overline{\text{SYNC}}$ falling edge
t_{11}^4	40	ns max	$\overline{\text{SYNC}}$ rising edge to RDY fall time
t_{12}^4	2.4	μs max	RDY low time, RDAC register write command execute time (R-Perf mode)
t_{12}^4	410	ns max	RDY low time, RDAC register write command execute time (normal mode)
t_{12}^4	8	ms max	RDY low time, memory program execute time
t_{12}^4	1.5	ms min	Software/hardware reset
t_{13}^4	450	ns max	RDY low time, RDAC register readback execute time
t_{13}^4	1.3	ms max	RDY low time, memory readback execute time
t_{14}^4	450	ns max	SCLK rising edge to SDO valid
t_{RESET}	20	ns min	Minimum RESET pulse width (asynchronous)
$t_{\text{POWER-UP}}^5$	2	ms max	Power-on OTP restore time

¹ すべての入力信号は $t_r = t_f = 1 \text{ ns/V}$ (V_{DD} の 10% から 90%) で規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルからの時間とします。

² SCLK の最大周波数は 50 MHz。

³ RDAC レジスタ・コマンドとメモリ・コマンドの動作については t_{12} と t_{13} を参照してください。

⁴ 168 pF の容量負荷で、 $R_{\text{PULL-UP}} = 2.2 \text{ k}\Omega$ (V_{LOGIC} へ接続)。

⁵ V_{LOGIC} が 2.5 V に一致した後の最大時間。

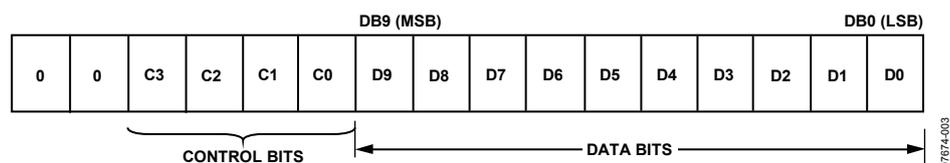


図 2. シフトレジスタの値

タイミング図

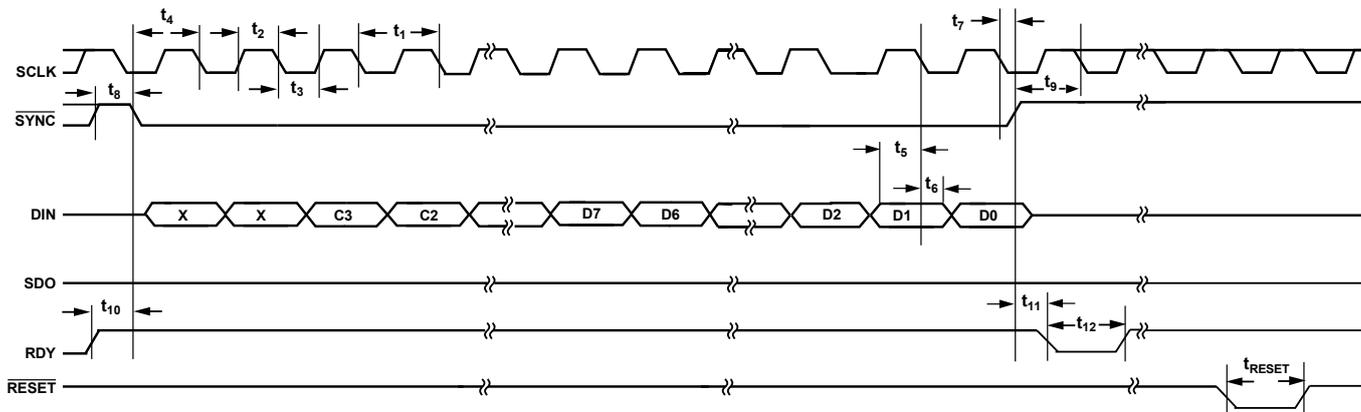


図 3.書き込みタイミング図、CPOL = 0、CPHA = 1

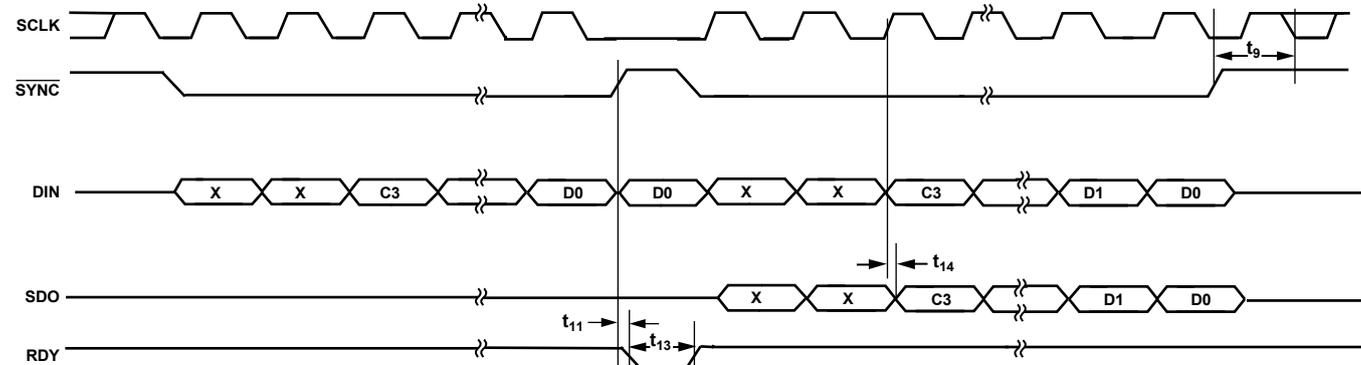


図 4.読み出しタイミング図、CPOL = 0、CPHA = 1

07874-004

07874-005

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 8.

Parameter	Rating
V_{DD} to GND	-0.3 V to +35 V
V_{SS} to GND	+0.3 V to -25 V
V_{LOGIC} to GND	-0.3 V to +7 V
V_{DD} to V_{SS}	35 V
V_A, V_B, V_W to GND	$V_{SS} - 0.3 \text{ V}, V_{DD} + 0.3 \text{ V}$
Digital Input and Output Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3 \text{ V}$
EXT_CAP Voltage to GND	-0.3 V to +7 V
I_A, I_B, I_W	
Continuous	
$R_{AB} = 20 \text{ k}\Omega$	$\pm 3 \text{ mA}$
$R_{AB} = 50 \text{ k}\Omega, 100 \text{ k}\Omega$	$\pm 2 \text{ mA}$
Pulsed ¹	
Frequency > 10 kHz	MCC^2/d^3
Frequency $\leq 10 \text{ kHz}$	$MCC^2/\sqrt{d^3}$
Operating Temperature Range ⁴	-40°C to +105°C
Maximum Junction Temperature ($T_J \text{ max}$)	150°C
Storage Temperature Range	-65°C to +150°C
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	20 sec to 40 sec
Package Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$

¹ 最大ピン電流は、スイッチの最大処理電流、パッケージ最大消費電力、Aピン/Bピン/Wピン内の任意の2ピン間の、設定された抵抗での最大入力電圧により制約されます。

² 最大連続電流。

³ パルス・デューティ・ファクタ。

⁴ OTPメモリの書き込みを含みます。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は JEDEC 仕様 JESD-51 により定義され、値はテスト・ボードとテスト環境に依存します。

表 9.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
14-Lead TSSOP	93 ¹	20	°C/W

¹ JEDEC 2S2P テスト・ボード、自然空冷(0 m/sec~1 m/secの空気流)。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

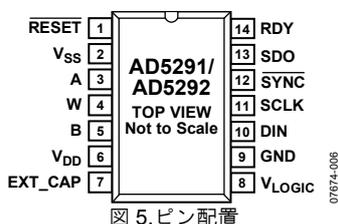


図 5. ピン配置

表 10. ピン機能の説明

ピン番号	記号	説明
1	RESET	ハードウェア・リセット・ピン。RDAC レジスタを 20-TP メモリ・レジスタ値でリセットします。最初に 20-TP メモリ・レジスタ値が書込まれるまで、出荷時デフォルト値のミッド・スケールがロードされます。RESET はロジック・ハイ・レベルへの変化でアクティブになります。使用しない場合は、RESET を V _{Logic} に接続してください。
2	V _{SS}	負電源。単電源アプリケーションで 0 V へ接続してください。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
3	A	RDAC の A ピン。V _{SS} ≤ V _A ≤ V _{DD} 。
4	W	RDAC のワイパー・ピン。V _{SS} ≤ V _W ≤ V _{DD} 。
5	B	RDAC の B ピン。V _{SS} ≤ V _B ≤ V _{DD} 。
6	V _{DD}	正の電源。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
7	EXT_CAP	外付けコンデンサ。1 μF のコンデンサを EXT_CAP に接続します。このコンデンサの定格電圧は 7 V 以上である必要があります。
8	V _{Logic}	ロジック電源 2.7 V ~ 5.5 V。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
9	GND	グラウンド・ピン、ロジック・グラウンド基準。
10	DIN	シリアル・データ入力。AD5291/AD5292 は、16 ビットのシフトレジスタを内蔵しています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
11	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジでシフトレジスタに入力されます。データは最大 50 MHz のレートで転送できます。
12	SYNC	立下がりエッジの同期信号。これは、入力データに対するフレーム同期信号です。SYNC がロー・レベルになると、入力シフトレジスタがイネーブルされ、データは後続のクロックの立下がりエッジで入力されます。選択されたレジスタが、16 番目のクロック・サイクルの後の SYNC の立上がりエッジで更新されます。16 個目のクロック・サイクルの前に SYNC をハイ・レベルにすると、SYNC の立上がりエッジは割込みとして機能するため、DAC は書込みシーケンスを無視します。
13	SDO	シリアル・データ出力。このオープン・ドレイン出力には外付けのプルアップ抵抗が必要です。SDO ピンは、ディジェーション・モードまたはリードバック・モードでシフトレジスタからのデータを出力するときに使います。
14	RDY	レディ・ピン。このアクティブ・ハイのオープン・ドレイン出力は、RDAC レジスタまたはメモリに対する書込み動作または読出し動作の完了を表示します。

代表的な性能特性

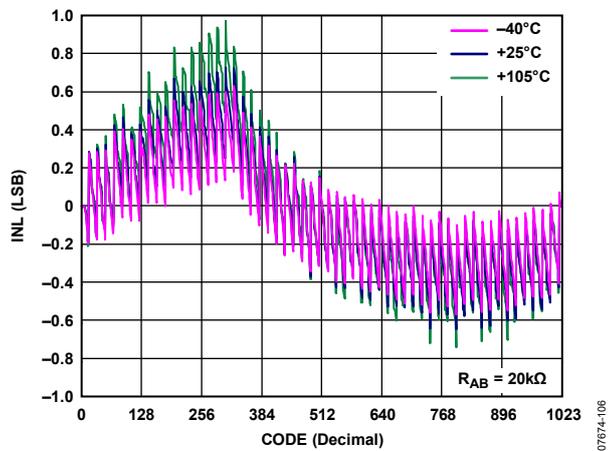


図 6.コード対抵抗性能モードでの R-INL 対温度(AD5292)

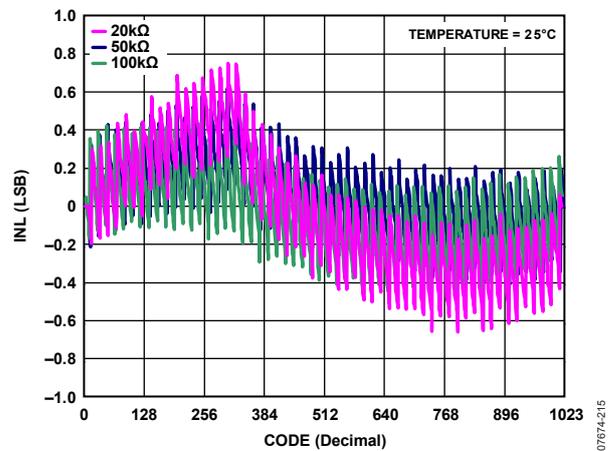


図 9.コード対抵抗性能モードでの R-INL 対公称抵抗(AD5292)

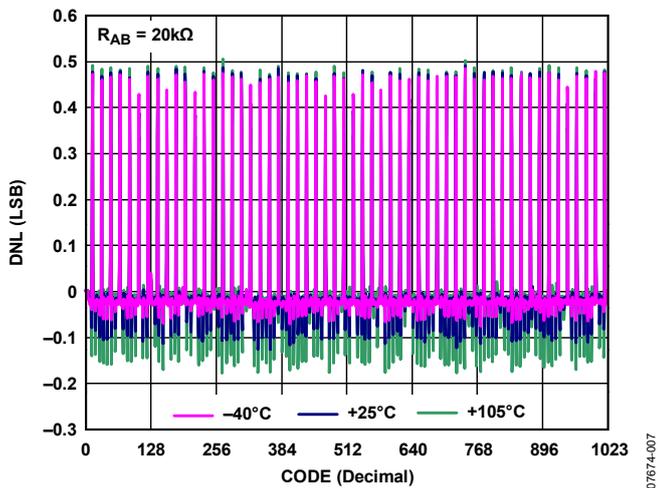


図 7.コード対抵抗性能モードでの R-DNL 対温度(AD5292)

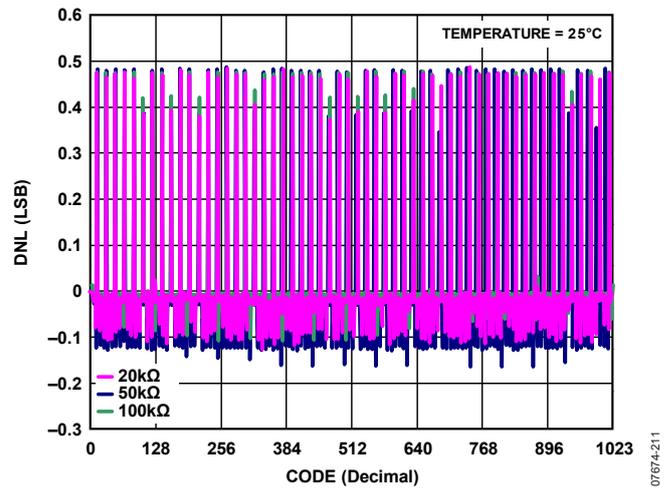


図 10.コード対抵抗性能モードでの R-DNL 対公称抵抗(AD5292)

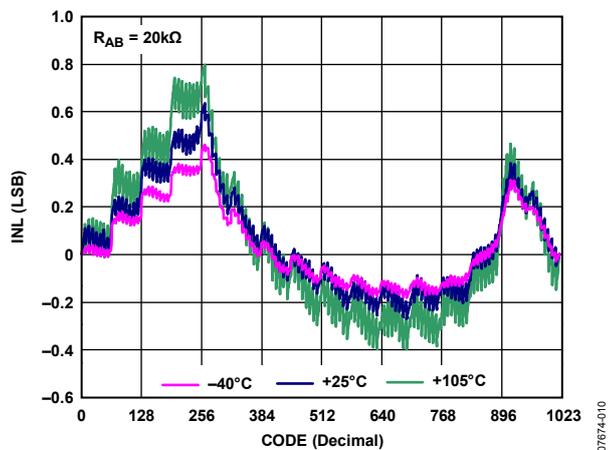


図 8.コード対ノーマル・モードでの R-INL 対温度(AD5292)

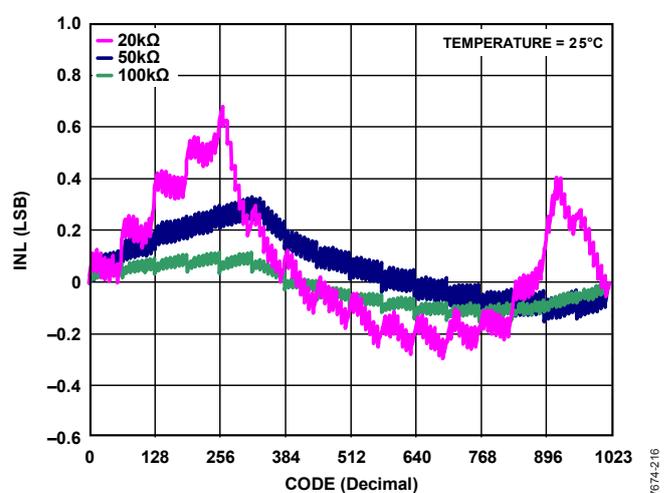


図 11.コード対ノーマル・モードでの R-INL 対公称抵抗(AD5292)

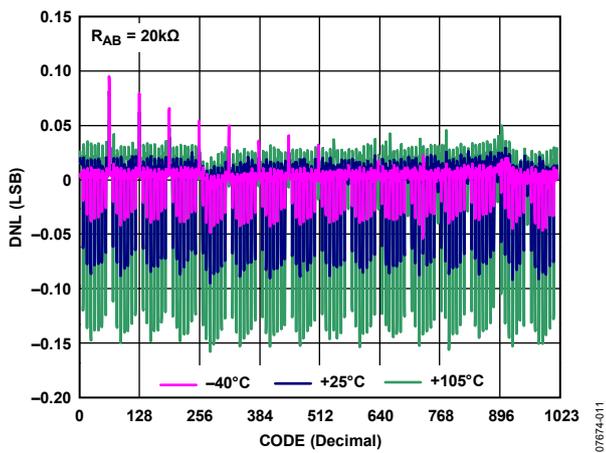


図 12.コード対ノーマル・モードでの R-DNL 対温度(AD5292)

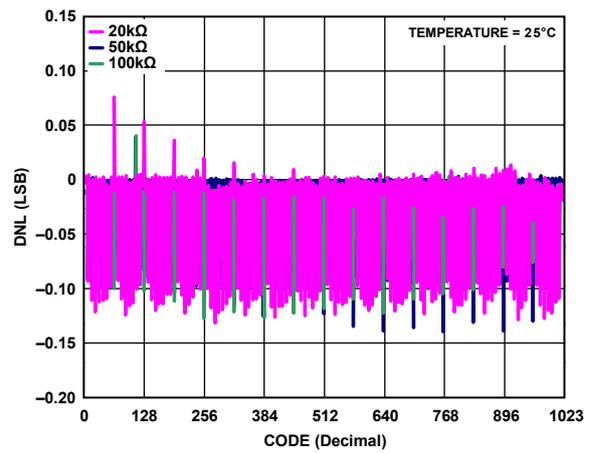


図 15.コード対ノーマル・モードでの R-DNL 対公称抵抗(AD5292)

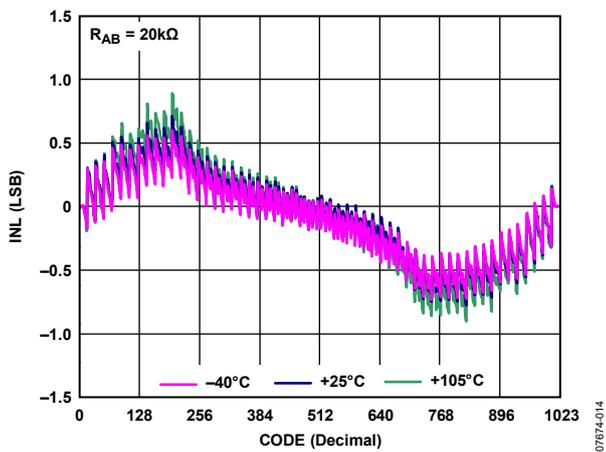


図 13.コード対抵抗性能モードでの INL 対温度(AD5292)

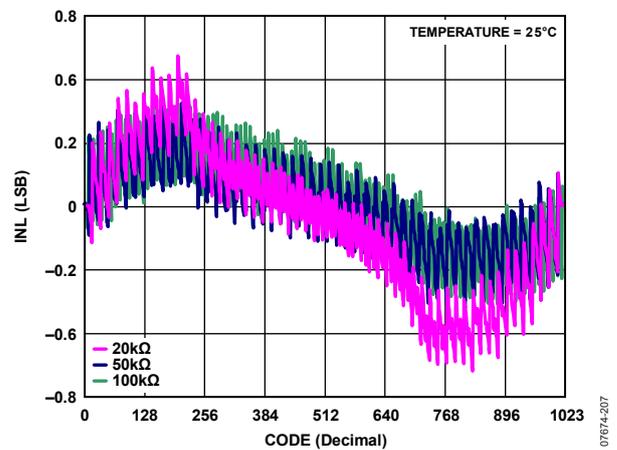


図 16.コード対抵抗性能モードでの INL 対公称抵抗(AD5292)

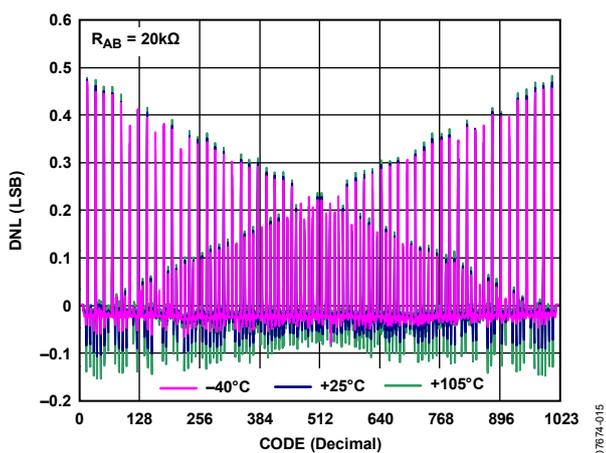


図 14.コード対抵抗性能モードでの DNL 対温度(AD5292)

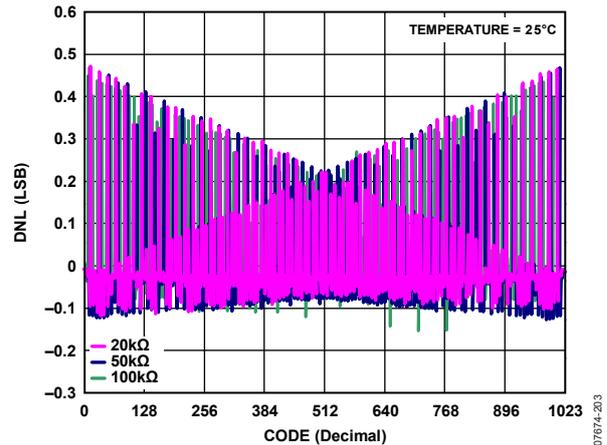


図 17.コード対抵抗性能モードでの DNL 対公称抵抗(AD5292)

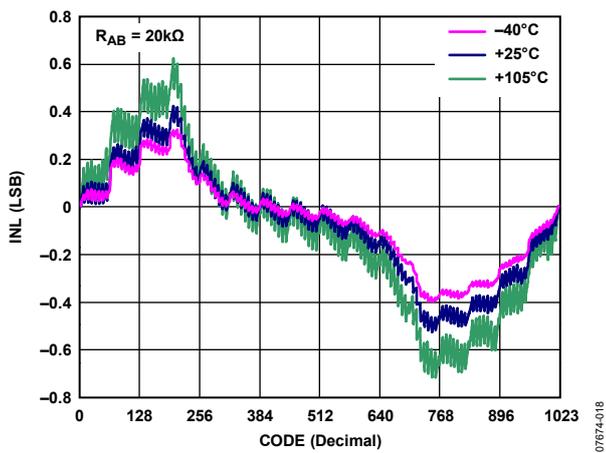


図 18.コード対ノーマル・モードでの INL 対温度(AD5292)

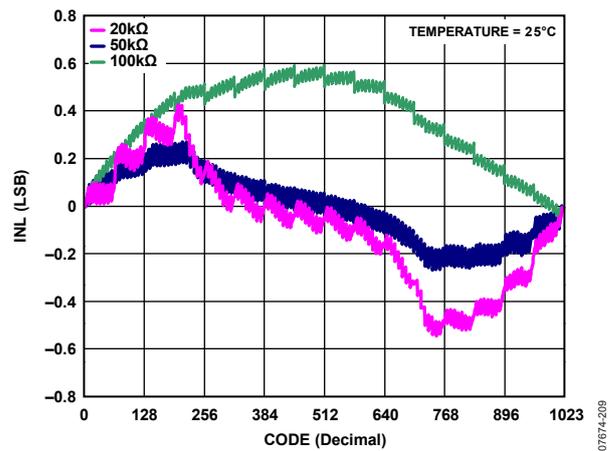


図 21.コード対ノーマル・モードでの INL 対公称抵抗(AD5292)

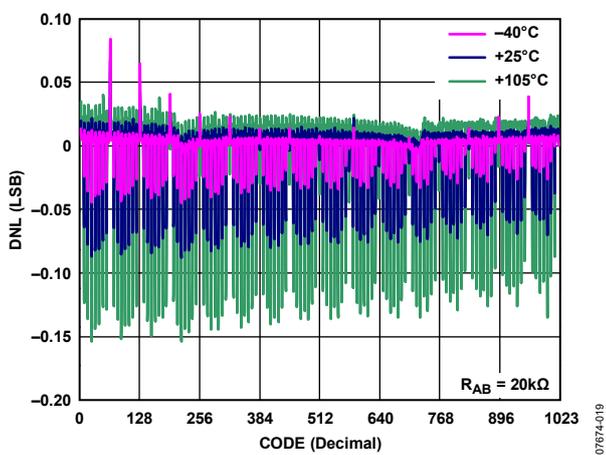


図 19.コード対ノーマル・モードでの DNL 対温度(AD5292)

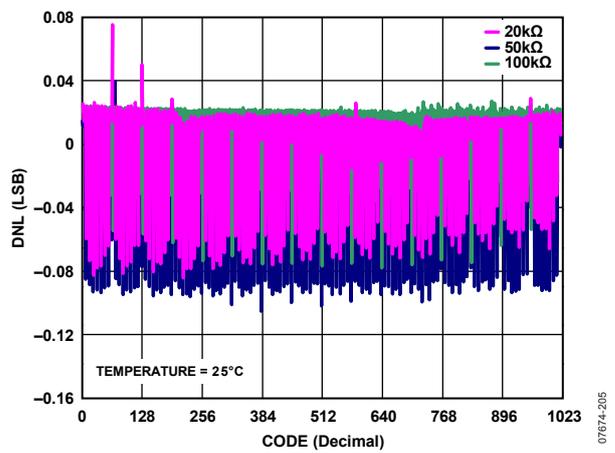


図 22.コード対ノーマル・モードでの DNL 対公称抵抗(AD5292)

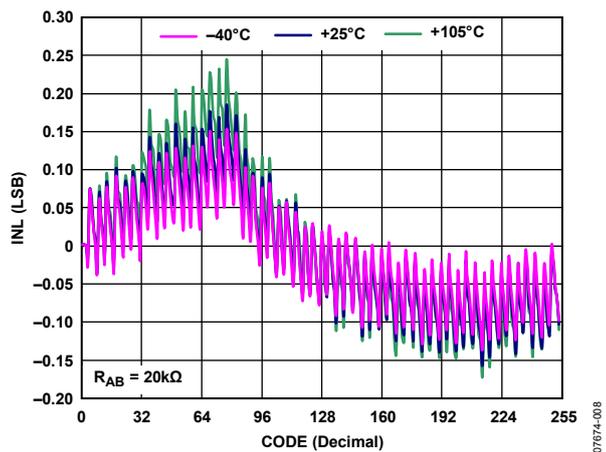


図 20.コード対抵抗性能モードでの R-INL 対温度(AD5291)

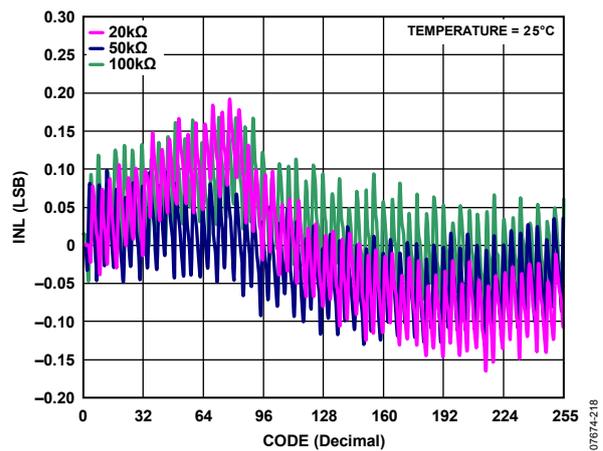
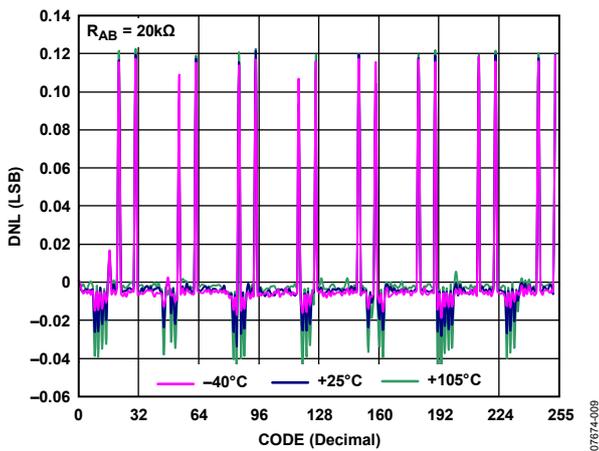
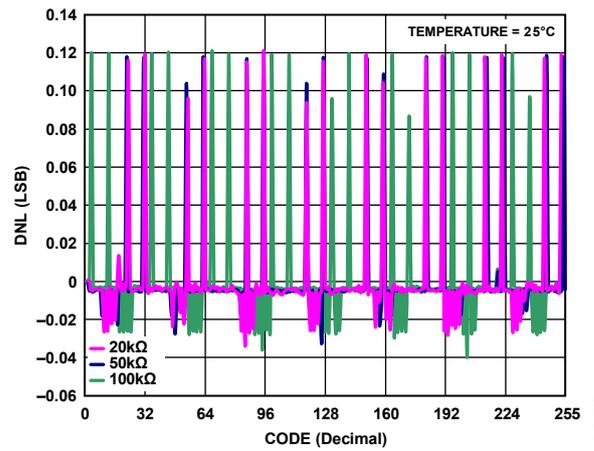


図 23.コード対抵抗性能モードでの R-INL 対公称抵抗(AD5291)



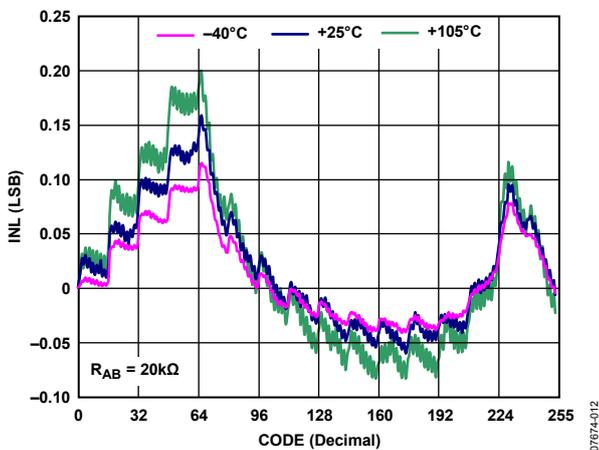
07674-009

図 24.コード対抵抗性能モードでの R-DNL 対温度(AD5291)



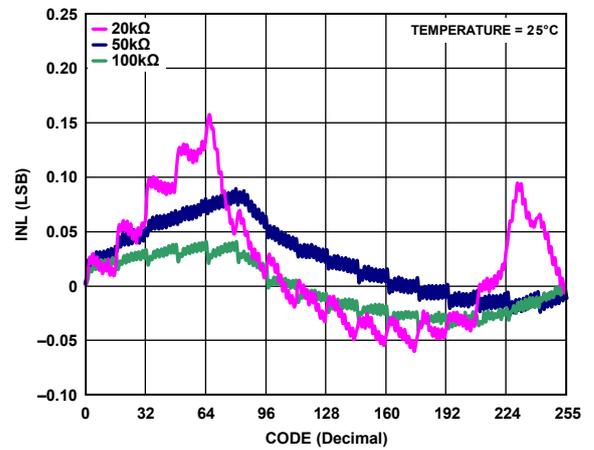
07674-212

図 27.コード対抵抗性能モードでの R-DNL 対公称抵抗(AD5291)



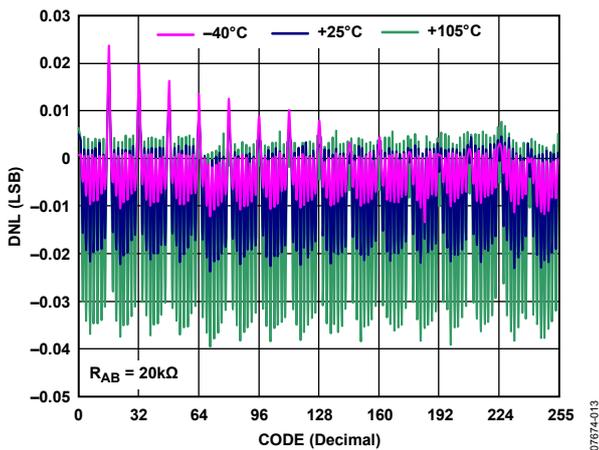
07674-012

図 25.コード対ノーマル・モードでの R-INL 対温度(AD5291)



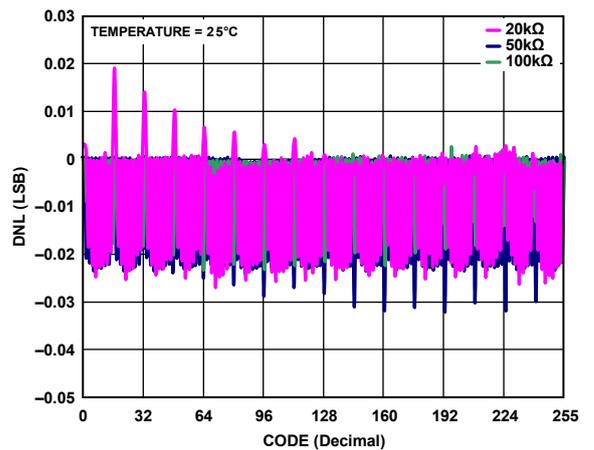
07674-217

図 28.コード対ノーマル・モードでの R-INL 対公称抵抗(AD5291)



07674-013

図 26.コード対ノーマル・モードでの R-DNL 対温度(AD5291)



07674-214

図 29.コード対ノーマル・モードでの R-DNL 対公称抵抗(AD5291)

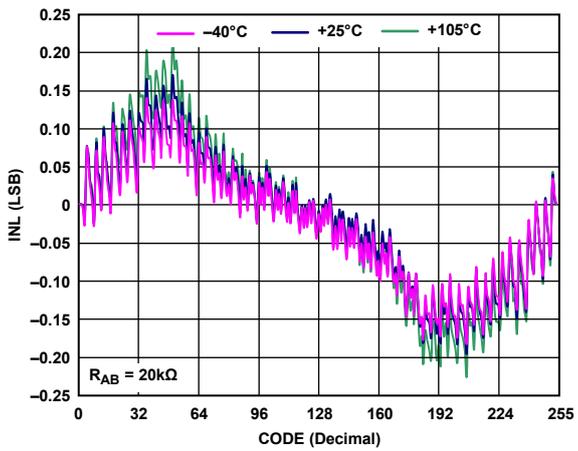


図 30.コード対抵抗性能モードでの INL 対温度(AD5291)

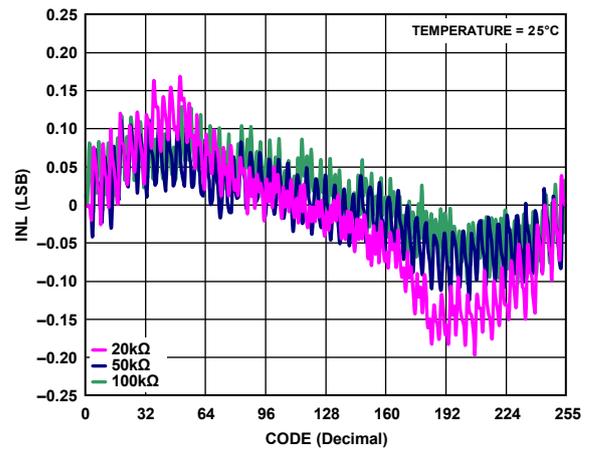


図 33.コード対抵抗性能モードでの INL 対公称抵抗(AD5291)

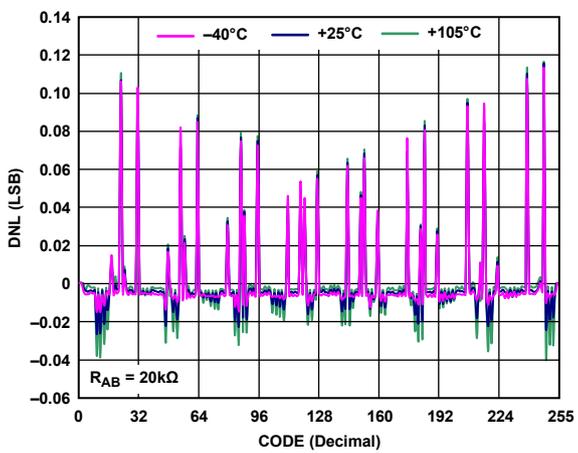


図 31.コード対抵抗性能モードでの DNL 対温度(AD5291)

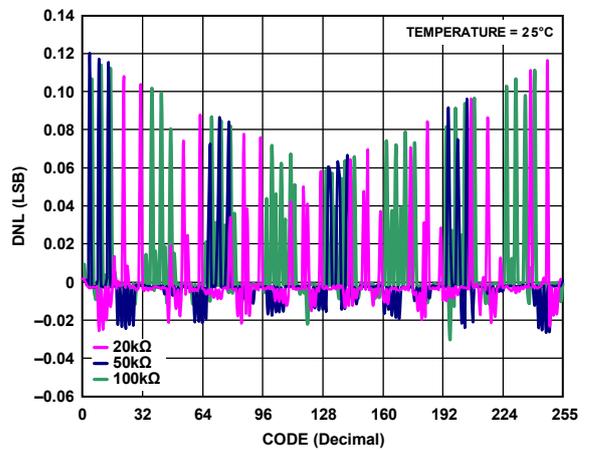


図 34.コード対抵抗性能モードでの DNL 対公称抵抗(AD5291)

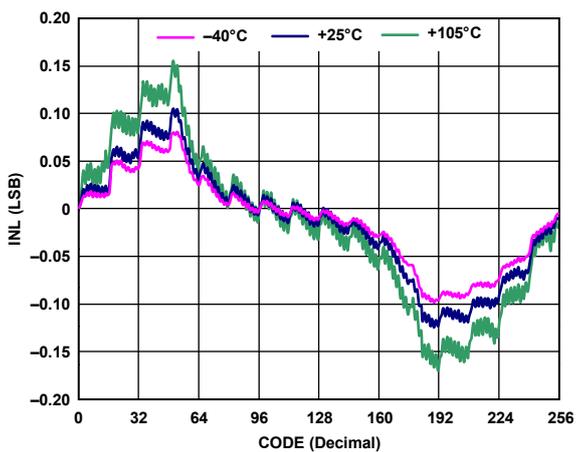


図 32.コード対ノーマル・モードでの INL 対温度(AD5291)

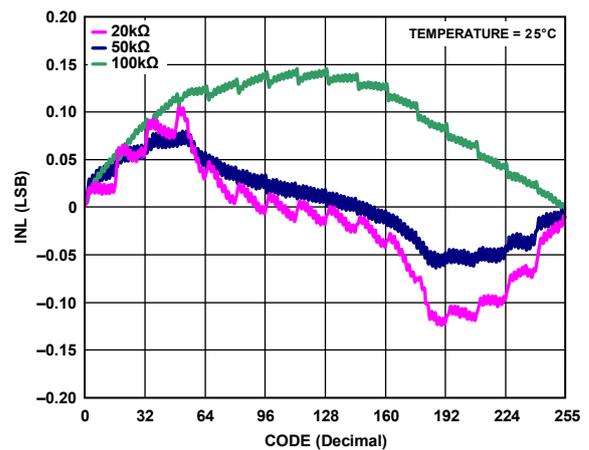
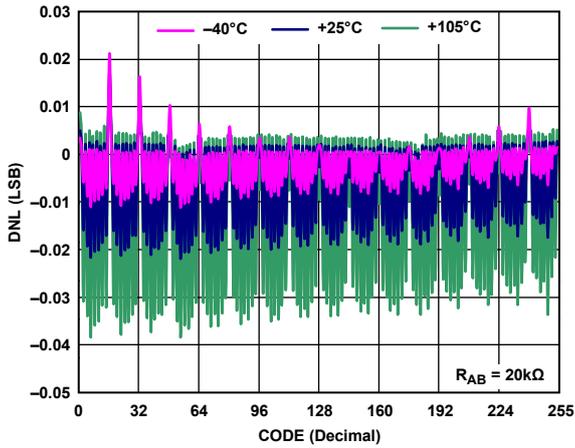
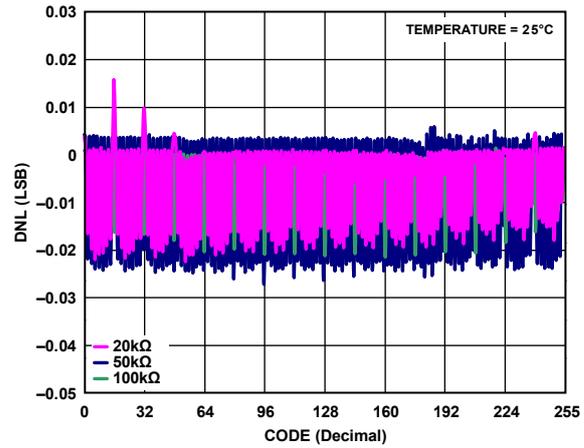


図 35.コード対ノーマル・モードでの INL 対公称抵抗(AD5291)



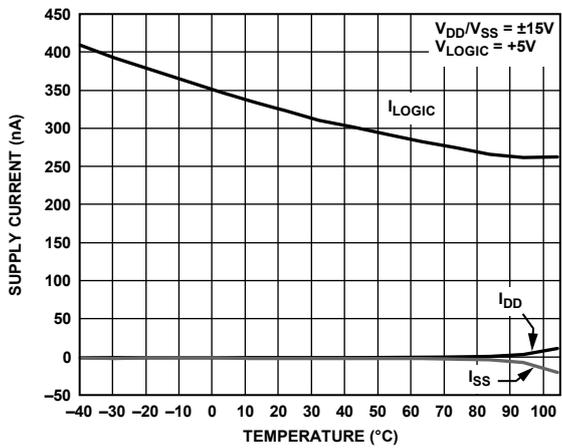
07674-021

図 36.コード対ノーマル・モードでの DNL 対温度(AD5291)



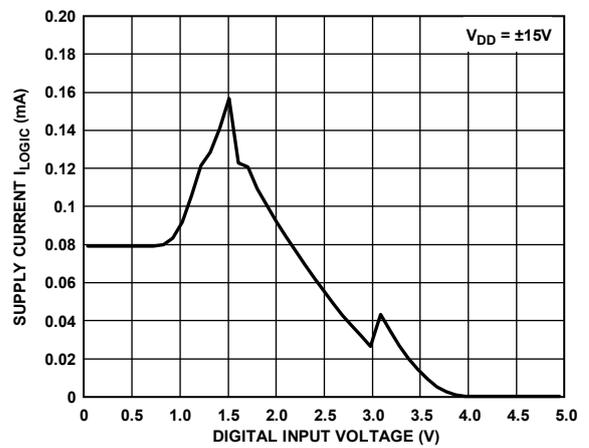
07674-206

図 39.コード対ノーマル・モードでの DNL 対温度(AD5291)



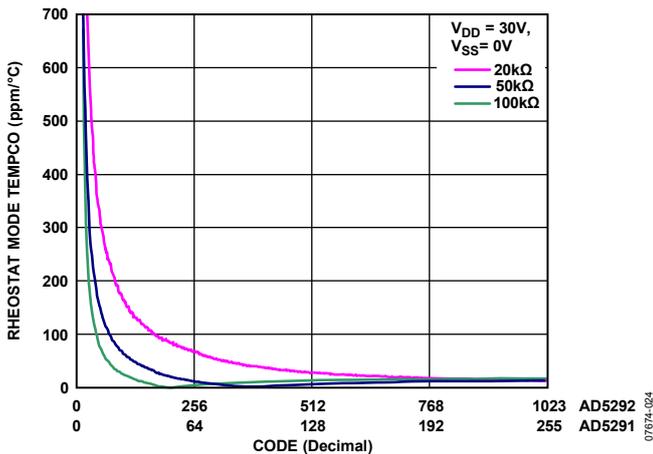
07674-022

図 37.電源電流 (I_{DD} 、 I_{SS} 、 I_{LOGIC})の温度特性



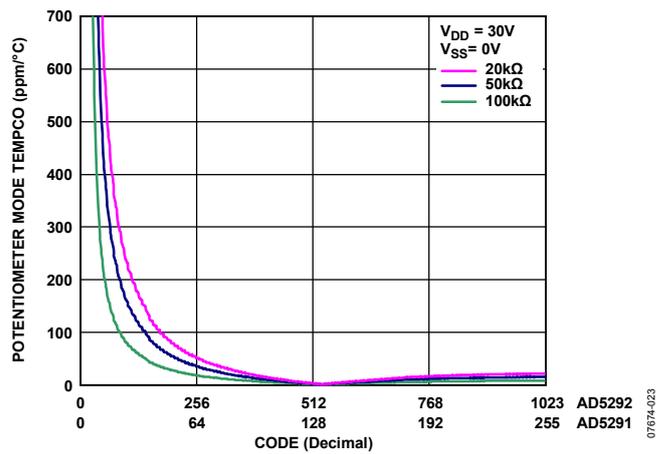
07674-031

図 40.デジタル入力電圧対電源電流 I_{LOGIC}



07674-024

図 38.コード対可変抵抗器モード温度係数 $\Delta R_{WB}/\Delta T$



07674-023

図 41.コード対ポテンショメータ・モード温度係数 $\Delta R_{WB}/\Delta T$

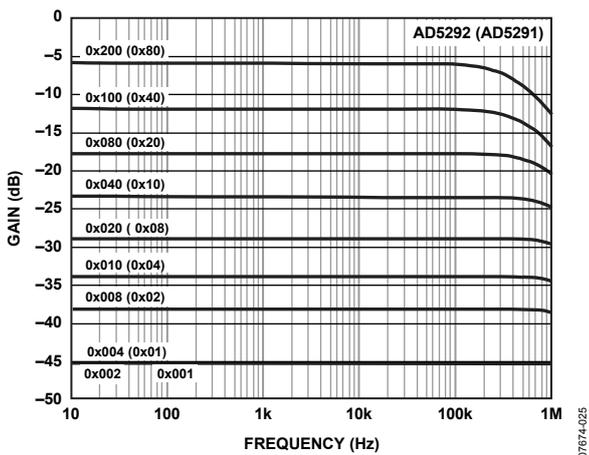


図 42. 周波数対コード対 20 kΩ ゲイン

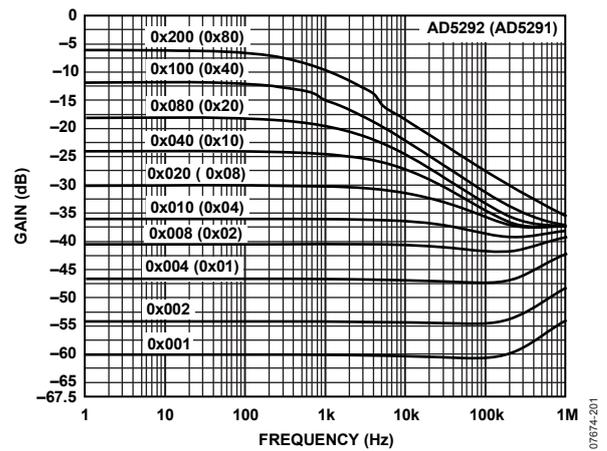


図 45. 周波数対コード対 100 kΩ ゲイン

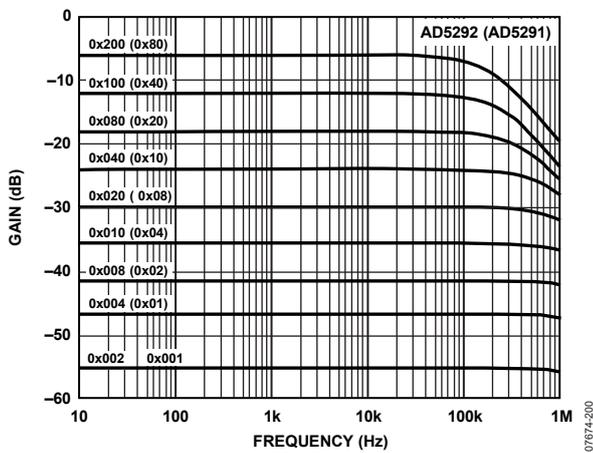


図 43. 周波数対コード対 50 kΩ ゲイン

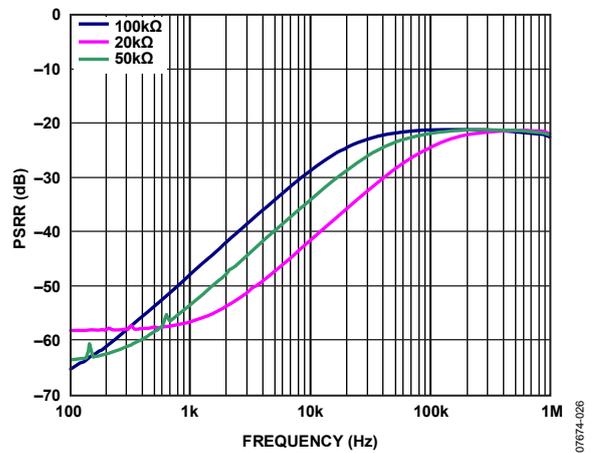


図 46. 電源除去比の周波数特性

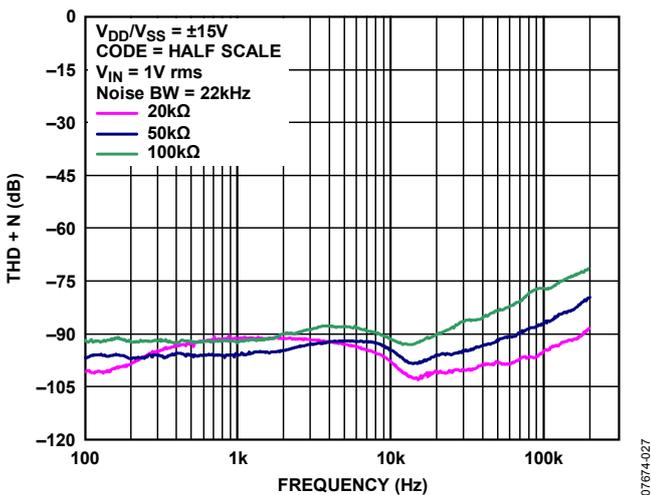


図 44. THD + ノイズの周波数特性

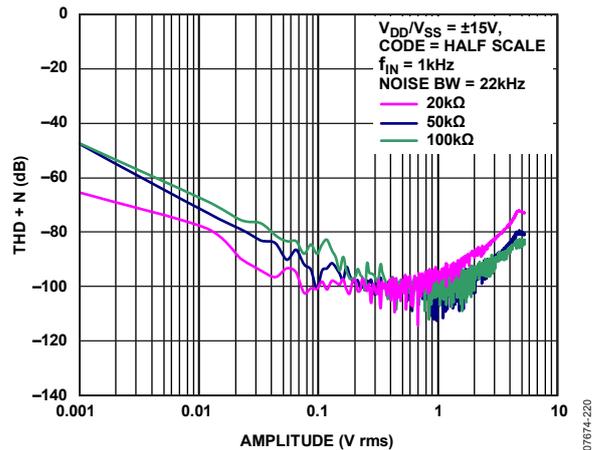


図 47. THD + ノイズ対振幅

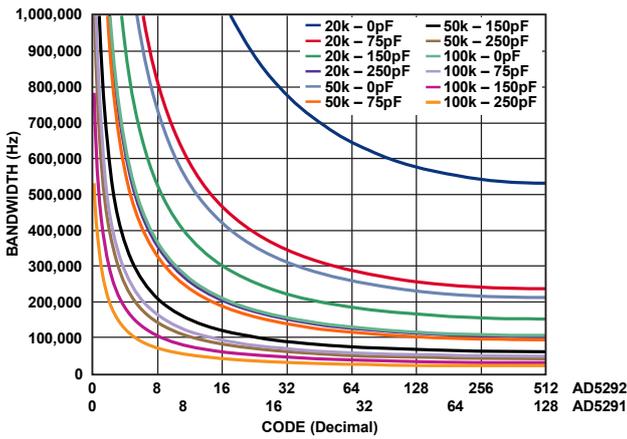


図 48.コード対帯域幅対ネット容量

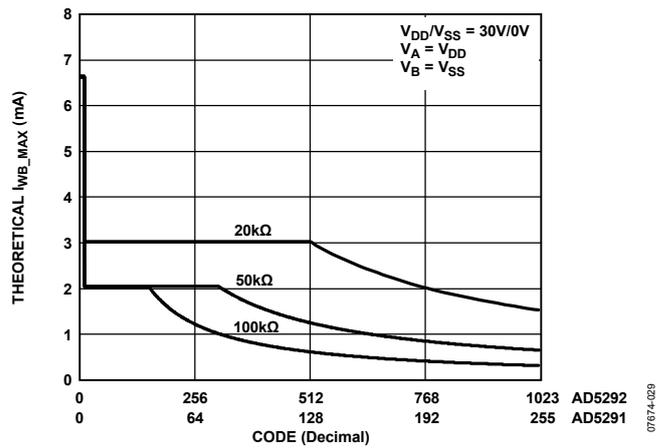


図 51.コード対理論最大電流

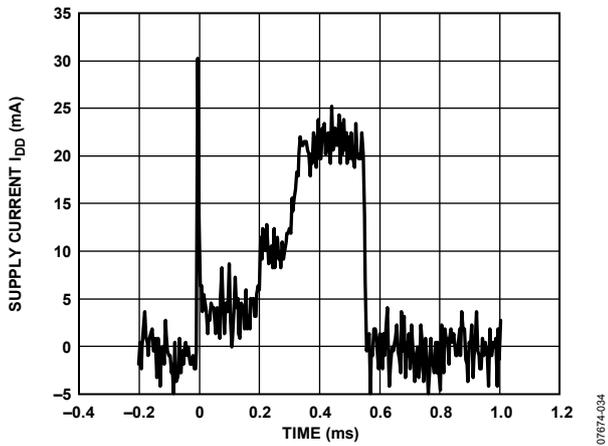


図 49. ヒューズ焼き切り/読出し時の I_{DD} 波形

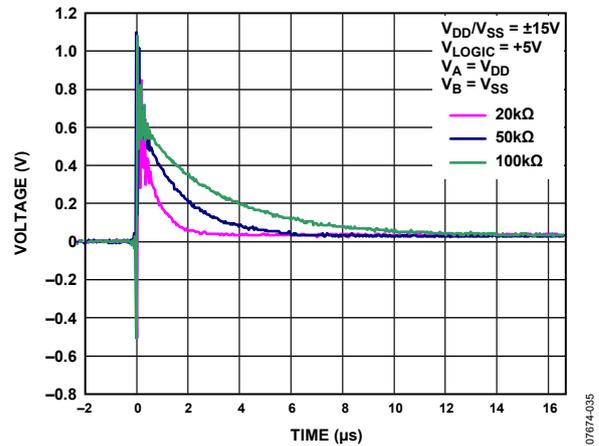


図 52.最大変化グリッチ

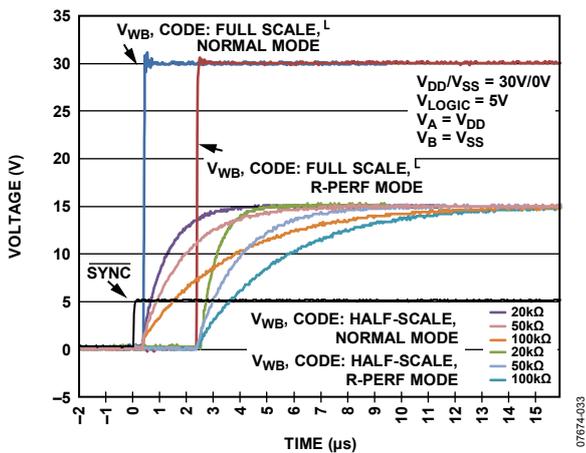


図 50.コード・ゼロ・スケールからの 20kΩ 大信号セットリング・タイム

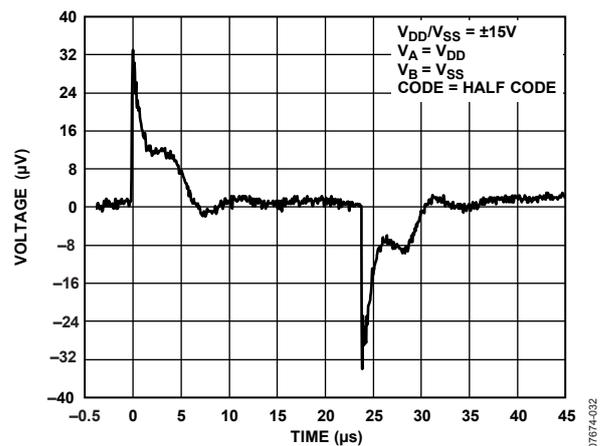


図 53.デジタル・フィードスルー

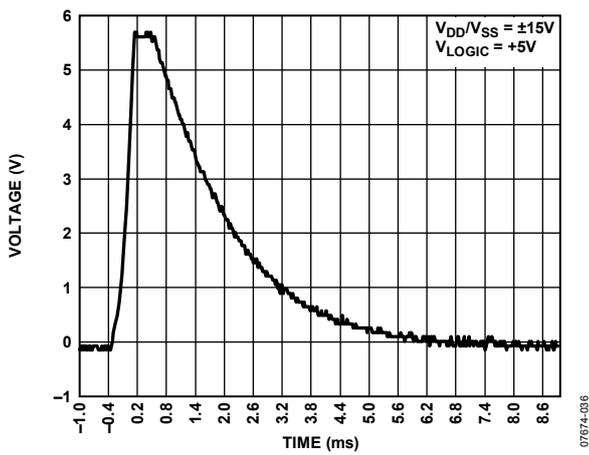


図 54. ヒューズ読出し時またはキャリブレーション時の V_{EXT_CAP} 波形

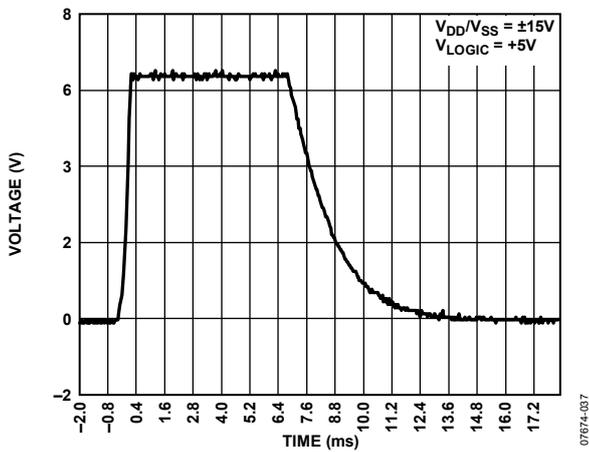


図 55. ヒューズ書込み時の V_{EXT_CAP} 波形

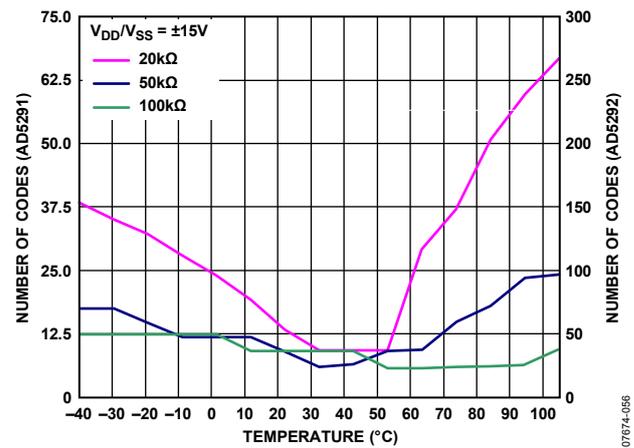


図 56. コード範囲 > 1%抵抗偏差の温度特性

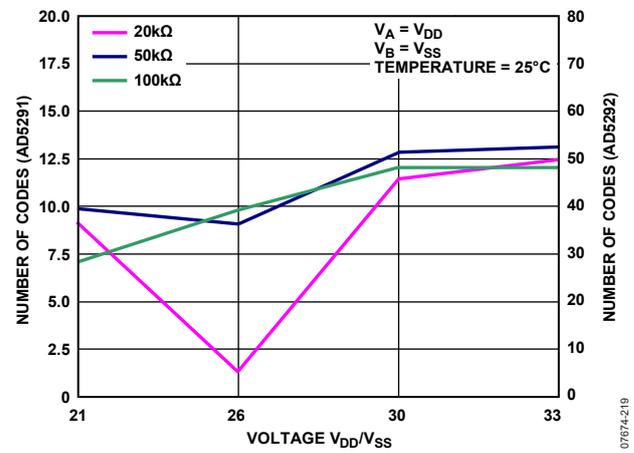


図 57. 電圧対コード範囲 > 1%抵抗偏差

テスト回路

図 58 ~ 図 63 に、仕様のセクションで使用したテスト条件を示します。

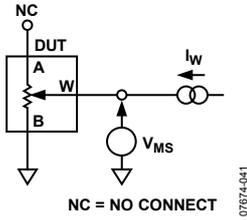


図 58. 抵抗ポジションの非直線性誤差 (可変抵抗器動作; R-INL、R-DNL)

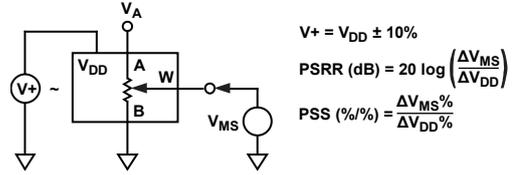


図 61. 電源除去比 (PSS、PSRR)

$$V^+ = V_{DD} \pm 10\%$$

$$PSRR \text{ (dB)} = 20 \log \left(\frac{\Delta V_{MS}}{\Delta V_{DD}} \right)$$

$$PSS \text{ (\%/%) } = \frac{\Delta V_{MS} \%}{\Delta V_{DD} \%}$$

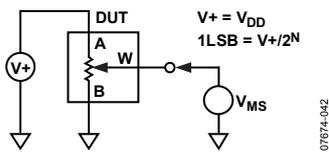


図 59. ポテンシオメータ分圧器の非直線性誤差 (INL、DNL)

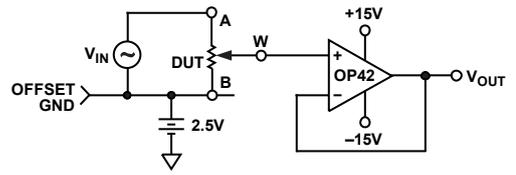


図 62. ゲインの周波数特性

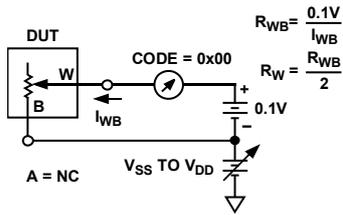


図 60. ワイパー抵抗

$$R_{WB} = \frac{0.1V}{I_{WB}}$$

$$R_W = \frac{R_{WB}}{2}$$

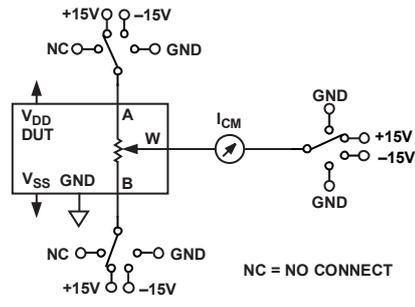


図 63. 同相モード・リーク電流

動作原理

AD5291/AD5292 デジタル・ポテンショメータは、ピン電圧範囲 $V_{SS} < V_{TERM} < V_{DD}$ 内のアナログ信号に対して真の可変抵抗として動作するようにデザインされています。特許取得済みの $\pm 1\%$ 抵抗偏差は、総合 RDAC 抵抗誤差を小さくすることに役立ちます。優れた絶対値一致とオープン・ループ性能の改善により、全体システム誤差が小さくなります。デジタル・ポテンショメータのワイパー・ポジションは、RDAC レジスタの値により決定されます。RDAC レジスタはスクラッチ・パッド・レジスタとして機能し、ポテンショメータ・ワイパーを正しいポジションに位置させるために、必要に応じた回数の値変更が可能です。RDAC レジスタに、標準の SPI インターフェースを使って 16 ビットのデータ・ワードをロードすることにより、任意のポジション値を書込むことができます。目的の値が見つかった後に、この値を 20-TP メモリ・レジスタに保存することができます。それ以後、ワイパー・ポジションは、後続パワーアップで常にその位置に回復されます。20-TP データの保存には約 6ms 要し、この間シフトレジスタがロックされて値の変化を防止します。RDY ピンは、この 20-TP メモリの保存処理の完了を表示します。

シリアル・データ・インターフェース

AD5291/AD5292 は、SPI 規格や大部分の DSP と互換性を持つシリアル・インターフェース(SYNC、SCLK、DIN、SDO)を内蔵しています。このデバイスでは、シリアル・インターフェースを介して各レジスタへデータを書込むことができます。

シフトレジスタ

AD5291/AD5292 のシフトレジスタは 16 ビット幅です(図 2 参照)。16 ビット入力ワードは、未使用の 2 ビット(0 に設定)、それに続く 4 ビットのコントロール・ビットと 10 ビットの RDAC データビットから構成されています。AD5291 の場合、RDAC レジスタの読み

書きで、RDAC データの下位 2 ビットは don't care です。データは MSB ファースト(DB15 が先頭)でロードされます。4 ビットのコントロール・ビットは、ソフトウェア・コマンドの機能を指定します(表 11 参照)。図 3 に、代表的な AD5291/AD5292 の書込みシーケンスのタイミング図を示します。

S $\overline{Y}N$ C ラインをロー・レベルにすると、書込みシーケンスが開始されます。S $\overline{Y}N$ C ピンは、DIN ピンからデータ・ワードが完全にロードされるまでロー・レベルに維持する必要があります。S $\overline{Y}N$ C がハイ・レベルに戻ると、シリアル・データ・ワードが表 11 のコマンドに従ってデコードされます。コマンド・ビット(Cx)が、デジタル・ポテンショメータの動作を制御します。データビット(Dx)は、デコードされたレジスタにロードされる値です。AD5291/AD5292 は、正常動作のために 16 ビット(1 フレーム)の倍数をカウントするカウンタを内蔵しています。例えば、AD5291/AD5292 は 32 ビット・ワードで動作しますが、31 ビットまたは 33 ビット・ワードで動作することはできません。AD5291/AD5292 では、S $\overline{Y}N$ C がハイ・レベルのとき連続 SCLK を必要としませんが、すべてのシリアル・インターフェース・ピンは V_{LOGIC} 電源レール近くで動作して、デジタル入力バッファでの消費電力を小さくする必要があります。

RDAC レジスタ

RDAC レジスタは、デジタル・ポテンショメータのワイパー・ポジションを直接制御します。例えば、RDAC レジスタに全ビット 0 をロードすると、ワイパーは可変抵抗の B ピンに接続されます。RDAC レジスタは標準のロジック・レジスタであるため、許容変更回数には制限がありません。

表 11. コマンド動作の真理値表

Command	Command Bits [DB13:DB10]				Data Bits [DB9:DB0] ¹										Operation
	C3	C2	C1	C0	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	NOP command: do nothing.
1	0	0	0	1	D9	D8	D7	D6	D5	D4	D3	D2	D1 ²	D0 ²	Write contents of serial data to RDAC.
2	0	0	1	0	X	X	X	X	X	X	X	X	X	X	Read RDAC wiper setting from the SDO output in the next frame.
3	0	0	1	1	X	X	X	X	X	X	X	X	X	X	Store wiper setting: store RDAC setting to 20-TP memory.
4	0	1	0	0	X	X	X	X	X	X	X	X	X	X	Reset: refresh RDAC with 20-TP stored value.
5	0	1	0	1	X	X	X	X	X	D4	D3	D2	D1	D0	Read contents of 20-TP memory, or status of 20-TP memory, from the SDO output in the next frame.
6	0	1	1	0	X	X	X	X	X	X	D3	D2	D1	D0	Write contents of serial data to control register.
7	0	1	1	1	X	X	X	X	X	X	X	X	X	X	Read control register from the SDO output in the next frame.
8	1	0	0	0	X	X	X	X	X	X	X	X	X	D0	Software shutdown. D0 = 0 (normal mode). D0 = 1 (device placed in shutdown mode).

¹ X = don't care

² AD5291 では、このビットは don't care.

20-TPメモリ

目的のワイパー・ポジションが見つかった後、RDACレジスタ値を20-TPメモリ・レジスタへ保存することができます(表12参照)。それ以後、ワイパー・ポジションは、その後のON-OFF-ON電源シーケンスに対してそのポジションに常に設定されます。AD5291/AD5292は、20個のワンタイム・プログラマブル(OTP)メモリ・レジスタの阵列を内蔵しています。目的のワードを20-TPメモリに書込むと、デバイスはプログラム・コマンドが正常に完了したことを自動的に確認します。この確認プロセスにはマージン・テストも含まれています。コントロール・レジスタのビットC3をポーリングして、ヒューズ・プログラム・コマンドが正常に完了したことを確認することができます。20-TPメモリへのデータの書込みには、550 μ s間約25 mAの電流が必要で、完了に約8 msを要します。この間、シフトレジスタがロックされて値の変化を防止します。RDYピンを使って、20-TPメモリに対する書込みと確認の完了をモニタすることができます。20-TPメモリの書込み時は、電源電圧の変化は許されませんが、EXT_CAPピンに1 μ Fのコンデンサは必要です(図68参照)。20-TPをアクティブにする前は、パワーアップ時にAD5291/AD5292はミッドスケールに設定されます。

表12.RDACと20-TPメモリの書込みと読み出し

DIN	SDO	Action
0x1803	0xXXXX	Enable update of wiper position and 20-TP memory contents through digital interface.
0x0500	0x1803	Write 0x100 to the RDAC register; wiper moves to ¼ full-scale position.
0x0800	0x0500	Prepare data read from the RDAC register.
0x0C00	0x0100	Stores RDAC register content into 20-TP memory. The 16-bit word appears out of SDO, where the last 10 bits contain the contents of the RDAC register (0x100).
0x1C00	0x0C00	Prepare data read from the control register.
0x0000	0x000X	NOP Instruction 0 sends 16-bit word out of SDO, where the last four bits contain the contents of the control register. If Bit C3 = 1, the fuse program command is successful.

表13.コントロール・レジスタのビット・マップ¹

DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
X	X	X	X	X	X	C3	C2	C1	C0

¹ X = don't care

表14.コントロール・レジスタの機能

Bit Name	Description
C0	20-TP program enable 0 = 20-TP program disabled (default) 1 = enable device for 20-TP program
C1	RDAC register write protect 0 = wiper position frozen to value in memory (default) ¹ 1 = allow update of wiper position through digital Interface
C2	Calibration enable 0 = resistor performance mode enabled (default) 1 = normal mode enabled
C3	20-TP memory program success 0 = fuse program command unsuccessful (default) 1 = fuse program command successful

¹ ワイパー・ポジションが20-TPメモリに直前に書込んだ値に固定されます。20-TPメモリに書込みが行われない場合は、ワイパーはミッドスケールに固定されます。

書込み保護機能

パワーアップ時に、RDACレジスタと20-TPメモリ・レジスタに対するシフトレジスタ書込みコマンドがディスエーブルされます。コントロール・レジスタのRDAC書込み保護ビットC1(表13と表14参照)は、デフォルトで0に設定されます。これにより、ソフトウェア・コマンドに無関係にRDACレジスタ値の変更が禁止されます。ただし、ソフトウェア・リセット・コマンド(コマンド4)またはハードウェアのRESETピンを使って、RDACレジスタを20-TPメモリからリフレッシュすることはできます。可変抵抗ワイパー・ポジションの書込み(RDACレジスタの書込み)をイネーブルときは、コントロール・レジスタの書込み保護ビットC1を先に設定する必要があります。これは、シフトレジスタにコマンド6をロードすることにより行われます(表11)。20-TPメモリ・ブロック・ビットの書込みをイネーブルするときは、コントロール・レジスタのC0(デフォルトで0に設定済み)を最初に1に設定する必要があります。

基本動作

可変抵抗ワイパー・ポジション設定の基本モード(RDACレジスタの書込み)は、コマンド1 (表11参照)とワイパー・ポジション・データをシフトレジスタにロードすることにより実行されます。目的のワイパー・ポジションを決めたら、ユーザはコマンド3 (表11参照)をシフトレジスタにロードします。このコマンドは、ワイパー・ポジション・データを20-Tメモリ・レジスタへ保存します。6 ms後に、ワイパー・ポジションは20-TPメモリに永久保存されます。RDYピンを使って、この20-TPに対する書込みの完了をモニタすることができます。表12 に、シリアル・データ入力(DIN)ワード・シーケンスを示すアプリケーション・プログラミング例とSDOピン上のシリアル・データ出力を16進数フォーマットで示します。

20-TPのリードバックとスペア・メモリ・ステータス

コマンド 5 を使って、SDOからすべての 20-TP メモリ・レジスタ値をリードバックすることができます (表 11)。データバイトの下

位 5 ビット (D0~D4) により、リードバック対象のメモリ・ロケーションが選択されます(表 16 参照)。選択されたメモリ・ロケーションのデータは、次の SPI 動作でSDO ピンから出力されます。この最後の 10 ビットに、指定されたメモリ・ロケーションの値が含まれます。

読み出し専用メモリ・アドレス 0x14 の値とメモリ・アドレス 0x15 の値をコマンド 5 を使って読出すことにより、直前に書込まれたメモリ・ロケーションのアドレスを計算することもできます。メモリ・アドレス 0x014 とメモリ・アドレス 0x015 からリード・バックされたデータバイトは、直前に書込まれたメモリ・ロケーション・アドレスのサーモメータ・エンコードされた値です。表 15 に示す例の場合、直前に書込まれたロケーションのアドレスは次のように計算されます。

$$(\text{ビット数} = \text{メモリ・アドレス } 0x14 \text{ 内の } I) + (\text{ビット数} = \text{メモリ・アドレス } 0x15 \text{ 内の } I) - 1 = 10 + 8 - 1 = 17 (0x10)$$

書込まれたメモリ・ロケーションがない場合は、発生されるアドレスは-1になります。

表 15. 20-TP メモリ・リードバックの例

DIN	SDO	Action
0x1414	0xXXX X	Prepares data read from Memory Address 0x14.
0x1415	0x03FF	Prepares data read from Memory Address 0x15. Sends 16-bit word out of SDO, where the last 10 bits contain the contents of Memory Address 0x14.
0x0000	0x00FF	NOP Command 0 sends 16-bit word out of SDO, where last 10-bits contain the contents of Memory Address 0x15.
0x1410	0x0000	Prepares data read from memory location 0x10.
0x0000	0xXXX X	NOP Instruction 0 sends 16-bit word out of SDO, where the last 10 bits contain the contents of Memory Address 0x10 (17).

表 16. コマンド 5 のメモリ・マップ

Data Bits [DB9:DB0] ¹										Register Contents
D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
X	X	X	X	X	0	0	0	0	0	1 st programmed wiper location (0x00)
X	X	X	X	X	0	0	0	0	1	2 nd programmed wiper location (0x01)
X	X	X	X	X	0	0	0	1	0	3 rd programmed wiper location (0x02)
X	X	X	X	X	0	0	0	1	1	4 th programmed wiper location (0x03)
X	X	X	X	X	0	0	1	0	0	5 th programmed wiper location (0x04)
...
X	X	X	X	X	0	1	0	0	1	10 th programmed wiper location (0x09)
X	X	X	X	X	0	1	1	1	0	15 th programmed wiper location (0x0E)
X	X	X	X	X	1	0	0	1	1	20 th programmed wiper location (0x13)
X	X	X	X	X	1	0	1	0	0	Programmed memory status (thermometer encoded) ² (0x14)
X	X	X	X	X	1	0	1	0	1	Programmed memory status (thermometer encoded) ² (0x15)

¹ X = don't care.

² 残りのスペア・メモリ・ロケーションの計算が可能。

シャットダウン・モード

AD5291/AD5292 は、ソフトウェア・シャットダウン・コマンドの コマンド 8(表 11 参照)を実行してLSBをD0 = 1 に設定することにより、シャットダウン・モードにすることができます。この機能は、RDACをピンAが開放で、ワイパーWがピンBに接続される特別な状態にします。RDACレジスタ値は、シャットダウン・モードになることにより変化しません。ただし、シャットダウン・モードでは 表 11 に示すすべてのコマンドがサポートされます。シャットダウン・モードを終了するとき、コマンド 8 (表 11 参照)を実行して、LSB、D0=0 に設定してください。

抵抗性能モード

このモードでは、各コードで $\pm 1\%$ の抵抗偏差を保証する(すなわちコード=ハーフスケール、 $R_{WB} = 10 \text{ k}\Omega \pm 100 \text{ }\Omega$)新しい特許取得済みの 1%端子間抵抗偏差機能が開始されます。 $\pm 1\%$ の抵抗偏差を実現するコードについては、表 2 (AD5291)または表 5(AD5292)を参照してください。抵抗性能モードは、コントロール・レジスタのビットC2 を設定することにより開始されます(表 13 と 表 14 参照)。セトリング・タイム(tp)を図 50 に示します。

リセット

ハードウェアRESETピンがロー・レベルからハイ・レベルへの変化すると、RDACレジスタに直前に書込まれた 20-TPメモリ・ロケーションの値がロードされます。コマンド 4 を実行することによりソフトウェアからAD5291/AD5292 をリセットすることもできます(表 11 参照)。20-TP メモリ・ロケーションが書込まれない場合は、リセット時にRDAC レジスタにミッドスケールがロードされます。コントロール・レジスタにはデフォルト・ビットが設定されます(表 14 参照)。

ディジーチェーン動作

シフトレジスタのデータ出力ピン(SDO)は2つの機能を持っています。このピンを使って、ワイパー設定値または内部メモリ値を、それぞれコマンド 2またはコマンド 5を使って、読出すことができます(表11)。あるいは、複数のデバイスをディジーチェーン接続するとき使用することができます。残りの命令は、複数のデバイスをディジーチェーン接続して同時動作させた場合に有効です。ディジーチェーン接続は、最小のポート・ピン数でICの制御を可能にします(図64参照)。SDOピンにはオープン・ドレインのNチャンネルFETが内蔵されており、この機能を使う場合、プルアップ抵抗が必要です。図64に示すように、前のパッケージのSDOピンを次のパッケージのDINピンに接続する必要があります。SDO/DINインターフェースにプルアップ抵抗と容量負荷があると、隣接デバイス間の遅延時間が大きくなるため、クロック周期を長くする必要があります。

2個のAD5291/AD5292デバイスをディジーチェーン接続する場合、32ビットのデータが必要になります。先頭の16ビットがU2に、次の16ビットがU1に行きます。32ビットがすべてそれぞれのシフトレジスタに入力されるまで、SYNCをロー・レベルに維持しておく必要があります。動作が完了すると、SYNCはハイ・レベルになります。

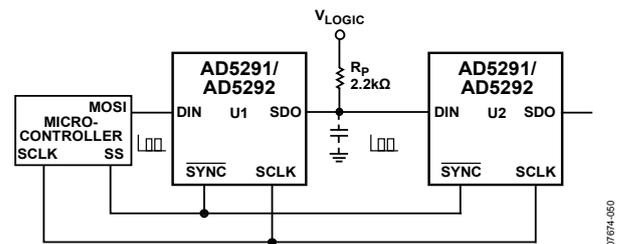


図 64.SDO を使ったディジーチェーン接続

RDACアーキテクチャ

最適性能を実現するため、アナログ・デバイゼズはすべてのデジタル・ポテンショメータに対してRDACセグメント化アーキテクチャの特許を取得しました。特に、AD5291/AD5292 では 3 ステージ・セグメント化を採用しています(図 65 参照)。AD5291/AD5292 ワイパー・スイッチは、トランスミッション・ゲートCMOS回路と V_{DD} および V_{SS} から駆動されるゲート電圧によりデザインされています。

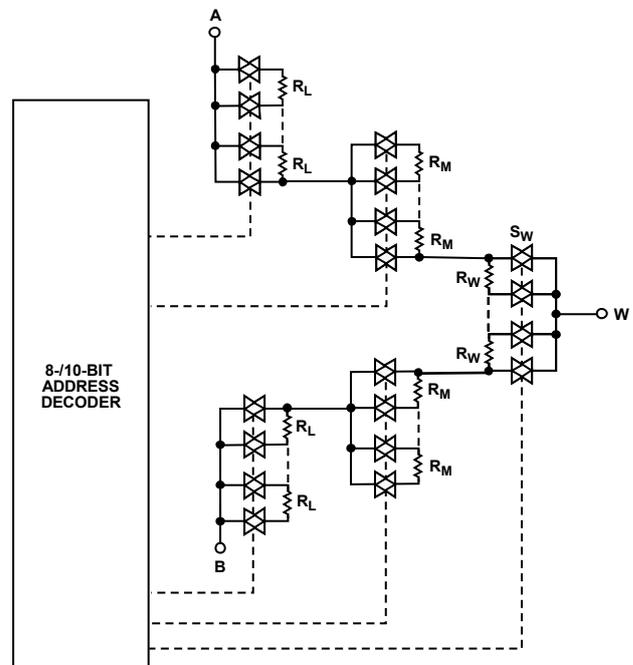


図 65.簡略化した RDAC 回路

可変抵抗のプログラミング

可変抵抗器動作—1%抵抗偏差

AD5291/AD5292 は、2 ピンのみを可変抵抗として使用すると、可変抵抗器モードで動作します。未使用ピンはフローティングのままにするか、Wピンに接続することができます(図 66 参照)。

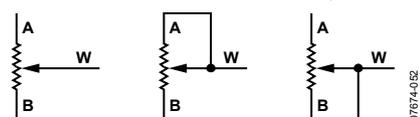


図 66.可変抵抗器モードの構成

ピンAとピンBの間の公称抵抗(R_{AB})は、20 k Ω 、50 k Ω 、100 k Ω のものがあり、ワイパー・ピンからアクセスされるタップ・ポイント数は 256 または 1024 です。RDACラッチ内の 8/10 ビット・データがデコードされて、256/1024 通りのワイパー設定の内の 1 つを選択します。AD5291/AD5292 は、デフォルトでイネーブルされている $\pm 1\%$ 抵抗性能モードを持っており、コントロール・レジスタ

のビットC2を設定することにより、イネーブル/ディスエーブルすることができます(表 13 と 表 14 参照)。デジタル的に設定される出力抵抗(WピンとAピンの間の R_{WA} およびWピンとBピンの間の R_{WB})は、広いコード範囲で最大 $\pm 1\%$ の絶対抵抗誤差となるように内部でキャリブレーションされます。このため、WピンとBピンとの間のデジタル的に設定する出力抵抗を決定する一般式は次のようになります。

AD5291:

$$R_{WB}(D) = \frac{D}{256} \times R_{AB} \quad (1)$$

AD5292:

$$R_{WB}(D) = \frac{D}{1024} \times R_{AB} \quad (2)$$

ここで、

D は、8/10ビットRDACレジスタにロードされるバイナリ・コード・データの10進数表示。

R_{AB} はピン間抵抗。

機械的ポテンシオメータと同様に、WピンとピンAとの間のRDAC抵抗も、デジタルに制御された相補的な抵抗 R_{WA} を発生します。 R_{WA} も最大1%の絶対抵抗誤差となるようにキャリブレーションされます。 R_{WA} は最大抵抗値から開始して、ラッチにロードされるデータが大きくなるほど、減少します。この動作の一般式は次のようになります。

AD5291:

$$R_{WA}(D) = \frac{256-D}{256} \times R_{AB} \quad (3)$$

AD5292:

$$R_{WA}(D) = \frac{1024-D}{1024} \times R_{AB} \quad (4)$$

ここで、

D は、8/10ビットRDACレジスタにロードされるバイナリ・コード・データの10進数表示。

R_{AB} はピン間抵抗。

ゼロ・スケール状態では、有限な合計ワイパー抵抗が 120Ω となります。デバイスの動作する設定に関らず、Aピン—Bピン間、Wピン—Aピン間、Wピン—Bピン間の電流を最大連続電流 ± 3 mAまたは表 8 に規定するパルス電流に制限するように注意する必要があります。そうしないと、内部抵抗の性能低下または破壊が生ずる恐れがあります。

ポテンシオメータ分圧器のプログラミング

電圧出力動作

デジタル・ポテンシオメータは、Aピン—Bピン間の入力電圧に比例した分圧電圧をワイパー—Bピン間およびワイパー—Aピン間に容易に発生することができます。GNDに対する V_{DD} の極性(これは正極性)とは異なり、Bに対するA、Aに対するW、Bに対するWの各電圧にはいずれの極性も可能です。

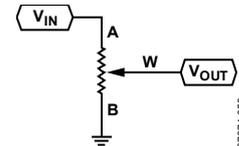


図 67. ポテンシオメータ・モード構成

単純化のためにワイパー抵抗の影響を無視する場合、Aピンを30Vに、Bピンをグラウンドにそれぞれ接続すると、ワイパーW—Bピン間に0Vから開始して30Vより1LSB低い値までの出力電圧が発生します。電圧の各LSBは、ピンAとピンBに加えた電圧をポテンシオメータ分圧器のポジション数 $256/1024$ で除算した値に等しくなります。ピンAとピンBに与えられた任意の入力電圧に対して、グラウンドを基準とした V_W の出力電圧を決める式は、次のように表されます。

AD5291:

$$V_W(D) = \frac{D}{256} \times V_A + \frac{256-D}{256} \times V_B \quad (5)$$

AD5292:

$$V_W(D) = \frac{D}{1024} \times V_A + \frac{1024-D}{1024} \times V_B \quad (6)$$

図 67 に示すように、AD5291/AD5292 を分圧器モードで使用する場合、ディスクリット抵抗とマッチングさせるとき、 $\pm 1\%$ 抵抗偏差キャリブレーション機能により誤差を小さくすることができますが、コントロール・レジスタのビットC2を設定して、内部 $\pm 1\%$ 抵抗偏差キャリブレーション機能をディスエーブルして(表 13 と 表 14 参照)、ワイパー・ポジション更新レートを最適化することが推奨されます。この構成では、RDACが比例構成となるため抵抗偏差は性能に影響しません。

分圧器モードでのデジタル・ポテンシオメータの動作は、温度に対して正確な動作になります。可変抵抗器モードと異なり、出力電圧は内部抵抗 R_{WA} と R_{WB} の比に依存し、絶対値ではありません。したがって、温度ドリフトは 5 ppm/ $^{\circ}\text{C}$ に減少します。

EXT_CAP コンデンサ

パワーアップ時とAD5291/AD5292の動作中に、1 μ FのコンデンサをEXT_CAPピンとGNDとの間に接続する必要があります(図 68 参照)。

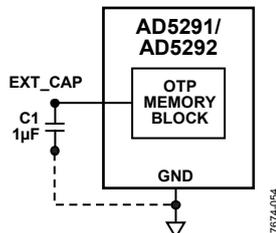


図 68. EXT_CAP ピンのハードウェア構成

ピン電圧の動作範囲

AD5291/AD5292の正側 V_{DD} 電源と負側 V_{SS} 電源により、3端子デジタル・ポテンショメータ動作の動作範囲が決定されます。 V_{DD} または V_{SS} を超えてピンA、ピンB、ピンWに入力される電源信号は、内蔵の順方向バイアス・ダイオードによりクランプされます(図69 参照)。

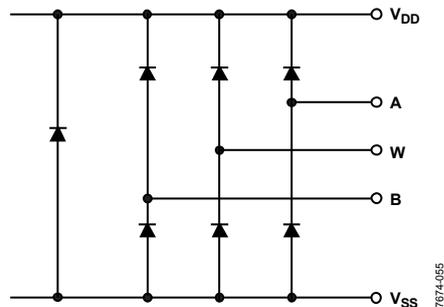


図 69. V_{DD} と V_{SS} により設定される最大ピン電圧

AD5291/AD5292デバイスのグラウンド・ピンは、主にデジタル・グラウンド基準として使われます。デジタル・グラウンド・バウンズを最小にするため、AD5291/AD5292のグラウンド・ピンは共通グラウンドから離れた所で接続する必要があります。AD5291/AD5292 に対するデジタル入力コントロール信号はデバイス・グラウンド・ピン(GND)を基準として、仕様のセクションに規定するロジック・レベルを満たす必要があります。

パワーアップ・シーケンス

AD5291/AD5292 が正常にパワーアップ するためには、1 μ F のコンデンサをEXT_CAP ピンに接続する必要があります。ピンA、ピンB、ピンWでの電圧コンプライアンスを制限するダイオードが内蔵されているため(図69)、ピンA、ピンB、ピンWに電圧を加える前に先に V_{DD} と V_{SS} を加えることが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずに V_{DD} と V_{SS} に電源が接続されてしまいます。最適なパワーアップ・シーケンスは、 GND 、 V_{SS} 、 V_{LOGIC} 、 V_{DD} 、デジタル入力、 V_A 、 V_B 、 V_W の順序です。電源投入シーケンス V_A 、 V_B 、 V_W 、デジタル入力の順は、 V_{DD} 、 V_{SS} 、 V_{LOGIC} の投入後であれば、重要ではありません。

パワーアップ・シーケンスと電源のランプ・レートに無関係に、 V_{LOGIC} 投入後、パワーオン・プリセットが起動し、20-TPメモリ値がRDACレジスタに戻されます。

アプリケーション情報

高電圧 DAC

AD5292 は、出力電圧が 33 V にもなる高電圧 DAC として構成することができます。回路を 図 70 に示します。出力は次式で表されます。

$$V_{OUT}(D) = \frac{D}{1024} \times \left[1.2 \text{ V} \times \left(1 + \frac{R_2}{R_1} \right) \right] \quad (7)$$

ここで、D は 0~1023 の 10 進コード値。

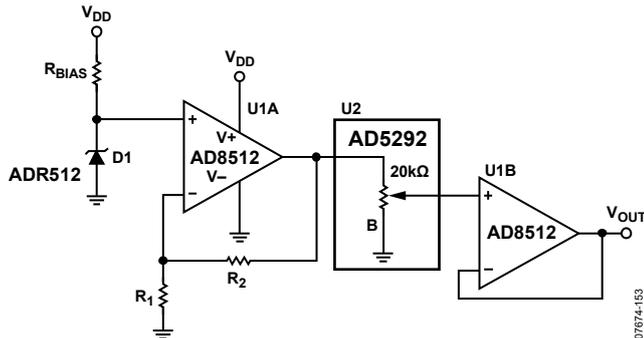


図 70. 高電圧 DAC

出力ブースタ付きのプログラマブルな電圧源

大電流の調整が必要となるレーザー・ダイオードまたはチューナブル・レーザのようなアプリケーションの場合、ブースト電圧源の使用を検討することができます(図 71 参照)。

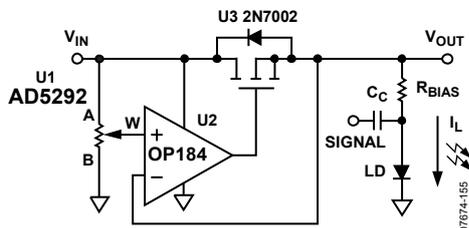


図 71. プログラマブルなブースト電圧源

この回路では、オペアンプの反転入力に V_{OUT} をデジタル・ポテンショメータで設定されたワイパー電圧に等しく維持します。負荷電流は、N チャンネル FET (U3) を経由して電源から供給されます。N チャンネル FET の電力処理能力は、 $(V_{IN} - V_{OUT}) \times I_L$ の電力消費に十分対応できる必要があります。この回路は 33 V 電源で最大 100 mA を出力することができます。

高精度 DAC

特別に小さくした電圧範囲に対してデバイスの分解能を最適化することにより、AD5292 を高精度 DAC として構成することができます。これは、図 72 に示すように、RDAC の両側に外付け抵抗を接続することにより実現されます。 $\pm 1\%$ 抵抗偏差仕様の改善により、ディスクリート抵抗の不一致による誤差が大幅に小さくなります。

$$V_{OUT}(D) = \frac{R_3 + (D/1024 \times R_{AB}) \times V_{DD}}{R_1 + ((1024-D)/1024) \times R_{AB} + R_3} \quad (8)$$

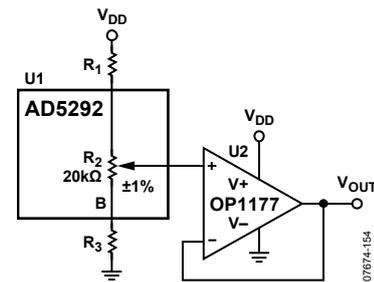


図 72. 分解能の最適化

可変ゲイン計装アンプ

図 73 に示すように、AD5291AD5292 や ADG1207 と AD8221 との組み合わせにより、データ・アキュイジション・システム用の優れた計装アンプが構成されます。データ・アキュイジション・システムは低歪み、かつ低ノイズであるため、様々な ADC の前でシグナル・コンディショニングを行うことができます。

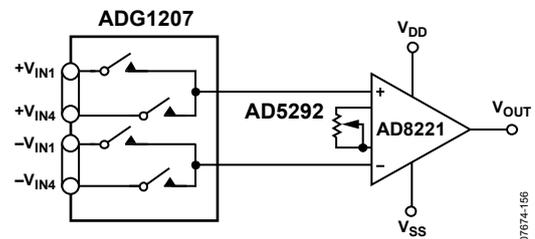


図 73. データ・アキュイジション・システム

ゲインは、式 9 を使って次のように計算することができます。

$$G(D) = 1 + \frac{49.4 \text{ k}\Omega}{(D/1024) \times R_{AB}} \quad (9)$$

オーディオ・ボリューム・コントロール

AD5291/AD5292 は優れた THD 性能と高電圧機能を持つため、オーディオ減衰器やゲイン・アンプとしてデジタル・ボリューム・コントロールに最適です。これらのシステムで一般的な問題は、任意の時間にボリューム・レベルに大きなステップ変化が発生すると、オーディオ信号の突然の不連続が発生して、可聴ジッター・ノイズが発生することです。これを防止するため、ゼロ・クロス・ウィンドウ検出器を SYNC ラインに挿入して、デバイス更新をオーディオ信号がウィンドウを横切るまで遅延させることができます。入力信号は絶対 0 V レベルではなく任意の DC レベル上で動作することがあるため、このケースのゼロ・クロスは信号の AC 結合を意味し、DC オフセット・レベルは信号ゼロ基準点になります。

ジッター・ノイズを小さくする構成とこの構成の使用から得られる結果を、それぞれ 図 74 と 図 75 に示します。入力は C1 により AC 結合され、減衰させられた後に、U2、U3、U4B により構成されるウィンドウ・コンパレータに入力されます。U6 を使って、信号をゼロ基準として設定します。コンパレータの上限はオフセットの上に設定されるため、この例では入力が 2.502 V ~ 2.497 V の範囲(すなわち 0.005 V ウィンドウ)に入るごとにハイ・パルスが出力されます。信号がウィンドウを通過するごとに AD5291/AD5292 が更新されるように、この出力が SYNC 信号と AND 結合されます。デバイスの定期的更新を回避するため、SYNC 信号を 1 個ではなく 2 個のパルスとして設定する必要があります。

図 75 で、下側のトレースは、ゼロ・クロス・ウィンドウの近くで信号が変化すると、ボリューム・レベルが 1/4 スケールからフルスケールまで変化することを表しています。

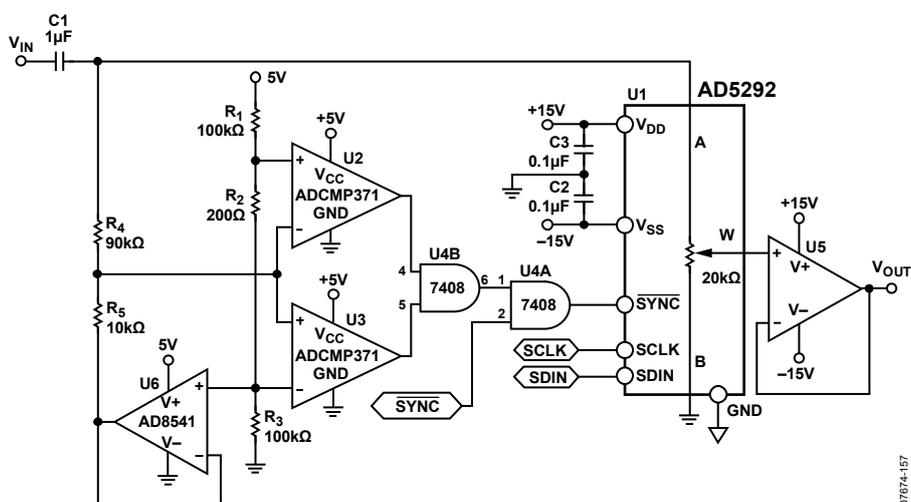


図 74. ジッター・ノイズ削減機能付きのオーディオ・ボリューム・コントロール

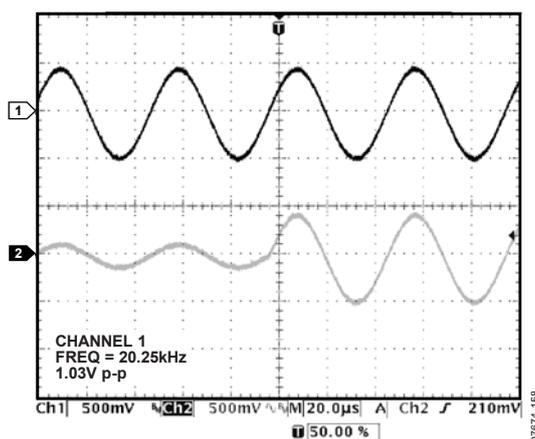
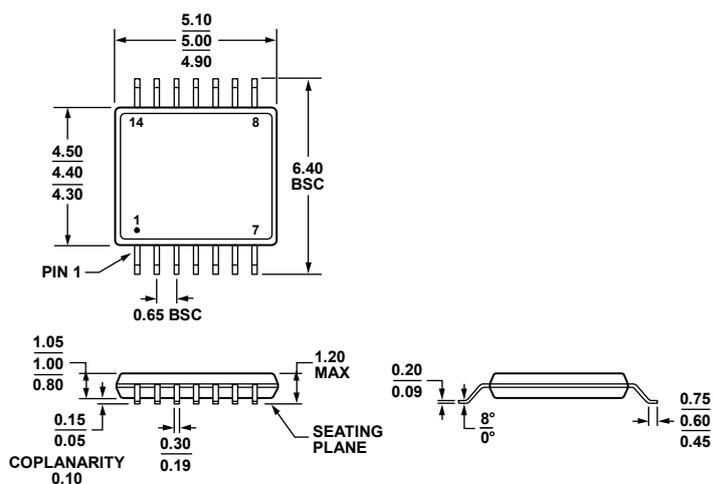


図 75. ジッター・ノイズ検出器

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-153-AB-1

図 76.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-14)
寸法: mm

オーダー・ガイド

Model ¹	R _{AB} (kΩ)	Resolution	Memory	Temperature Range	Package Description	Package Option
AD5291BRUZ-20	20	256	20-TP	-40°C to +105°C	14-Lead TSSOP	RU-14
AD5291BRUZ-20-RL7	20	256	20-TP	-40°C to +105°C	14-Lead TSSOP	RU-14
AD5291BRUZ-50	50	256	20-TP	-40°C to +105°C	14-Lead TSSOP	RU-14
AD5291BRUZ-50-RL7	50	256	20-TP	-40°C to +105°C	14-Lead TSSOP	RU-14
AD5291BRUZ-100	100	256	20-TP	-40°C to +105°C	14-Lead TSSOP	RU-14
AD5291BRUZ-100-RL7	100	256	20-TP	-40°C to +105°C	14-Lead TSSOP	RU-14
AD5292BRUZ-20	20	1,024	20-TP	-40°C to +105°C	14-Lead TSSOP	RU-14
AD5292BRUZ-20-RL7	20	1,024	20-TP	-40°C to +105°C	14-Lead TSSOP	RU-14
AD5292BRUZ-50	50	1,024	20-TP	-40°C to +105°C	14-Lead TSSOP	RU-14
AD5292BRUZ-50-RL7	50	1,024	20-TP	-40°C to +105°C	14-Lead TSSOP	RU-14
AD5292BRUZ-100	100	1,024	20-TP	-40°C to +105°C	14-Lead TSSOP	RU-14
AD5292BRUZ-100-RL7	100	1,024	20-TP	-40°C to +105°C	14-Lead TSSOP	RU-14
EVAL-AD5292EBZ					Evaluation Board	

¹ Z = RoHS 準拠製品。