

特長

256ポジション
10kΩ、50kΩ、100kΩ
+4.5～+30Vの単電源動作
±4.5～±15Vの両電源動作
3線式SPI®互換シリアル・インターフェース
低い温度係数：35ppm/°C (typ)
THD：0.006% (typ)
ミッドスケールにプリセット
小型の10ピンMSOPパッケージ
自動車用温度範囲：-40～+125°C
iCMOS™¹プロセス技術

アプリケーション

高電圧DAC
プログラマブルな電源
プログラマブルなゲインとオフセットの調整
プログラマブルなフィルタと遅延
アクチュエータ制御
オーディオのボリューム制御
機械式ポテンシオメータの置換え

機能ブロック図

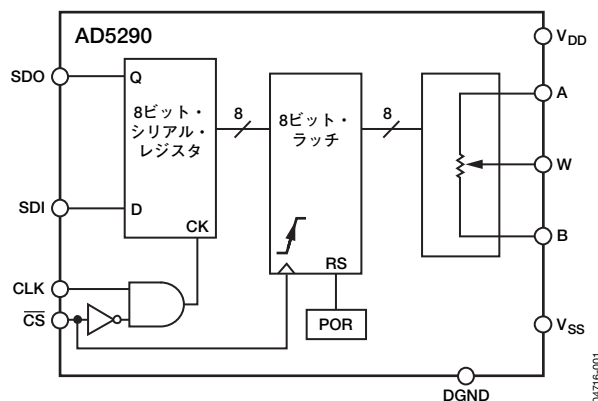


図1

概要

AD5290は、現在販売されている数少ない高電圧、高性能の小型デジタル・ポテンシオメータ^{2,3}で、プログラマブルな抵抗器または抵抗分圧器として使用できます。機械式ポテンシオメータ、可変抵抗器、トリマと同様の調整機能を電子的に行い、高い分解能とソリッドステートの信頼性を備えているだけでなく、温度安定性にも優れています。

手動制御ではなくデジタル制御を採用したことにより、レイアウトの柔軟性が増し、クローズド・ループのダイナミックな制御が可能となっています。

AD5290は、10ピンMSOPパッケージを採用し、10kΩ、50kΩ、100kΩのオプションがあります。デバイスはすべて、-40～+125°Cの拡張自動車用温度範囲での動作が保証されています。

¹ iCMOS™プロセス技術。高い電圧レベルの高性能ICを必要とするアナログ・システム設計者向けに開発されたiCMOSは、30Vの高電圧出力を備え±15V電源で動作するアナログICの開発を可能にすると同時に、消費電力とパッケージ・サイズを大幅に削減し、ACおよびDC性能の向上を可能とする技術プラットフォームです。

² デジタル・ポテンシオメータとRDACは同じ意味で使用しています。

³ RDACセグメンテーションは、米国特許番号5,495,245により保護されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2005 Analog Devices, Inc. All rights reserved.

目次

特長	1	可変抵抗のプログラミング	15
アプリケーション	1	ポテンショメータ・デバイダのプログラミング	16
機能ブロック図	1	3線式シリアル・バス・デジタル・インターフェース	16
概要	1	デイジーチェーン動作	16
改訂履歴	2	ESD保護	17
仕様	3	端子の電圧動作範囲	17
電気的特性—10kΩバージョン	3	パワーアップおよびパワーダウン・シーケンス	17
電気的特性—50kΩ、100kΩバージョン	5	レイアウトと電源のバイパス処理	17
インターフェースのタイミング特性	7	アプリケーション	18
3線デジタル・インターフェース	8	高電圧DAC	18
絶対最大定格	9	プログラマブルな電源	18
ESDに関する注意	9	オーディオのボリューム制御	18
ピン配置と機能の説明	10	外形寸法	20
代表的な性能特性	11	オーダーガイド	20
動作原理	15		

改訂履歴

12/05—Revision 0: Initial Version

仕様

電気的特性—10kΩバージョン

特に指定のない限り、 $V_{DD}/V_{SS} = \pm 15V \pm 10\%$ 、 $V_A = V_{DD}$ 、 $V_B = V_{SS}$ または0V、 $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表1

パラメータ	記号	テスト条件／備考	Min	Typ ¹	Max	単位
DC特性：						
レオスタット（可変抵抗器）・モード						
抵抗の微分非直線性 ²	R-DNL	R_{WB} 、 $V_A = NC$	−1	±0.3	+1	LSB
抵抗の非直線性 ²	R-INL	R_{WB} 、 $V_A = NC$	−1.5	±0.7	+1.5	LSB
抵抗の公称許容誤差	ΔR_{AB}	$T_A = +25^\circ\text{C}$	−30		+30	%
抵抗温度係数 ³	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	$V_{AB} = V_{DD}$ 、ワイパー＝無接続		35		ppm/°C
ワイパー抵抗	R_W			50	100	Ω
DC特性：						
ポテンショメータ・デバイダ・モード						
積分非直線性 ⁴	INL		−1	±0.3	+1	LSB
微分非直線性 ⁴	DNL		−1	±0.3	+1	LSB
分圧器の温度係数	$(\Delta V_W/V_W)/\Delta T \times 10^6$	コード＝0x80		5		ppm/°C
フルスケール誤差	V_{WFSE}	コード＝0xFF	−6	−4	0	LSB
ゼロスケール誤差	V_{WZSE}	コード＝0x00	0	+3	+5	LSB
抵抗端子						
電圧範囲 ⁵	$V_{A, B, W}$		V_{SS}		V_{DD}	V
コンデンサA、Bの容量 ⁶	$C_{A, B}$	f=1MHz、GND間で測定、 コード＝0x80		45		pF
コンデンサの容量 ⁶	C_W	f=1MHz、GND間で測定、 コード＝0x80		60		pF
コモンモード・リーク電流	I_{CM}	$V_A = V_B = V_W$		1		nA
デジタル入出力						
入力ロジック・ハイレベル ($\overline{CS}$ 、CLK、SDI)	V_{IH}		2.4			V
入力ロジック・ローレベル ($\overline{CS}$ 、CLK、SDI)	V_{IL}				0.8	V
出力ロジック・ハイレベル (SDO)	V_{OH}	$R_{Pull-up} = 2.2k\Omega \sim 5V$	4.9			V
出力ロジック・ローレベル (SDO)	V_{OL}	$I_{OL} = 1.6mA$			0.4	V
入力電流	I_{IL}	$V_{IN} = 0V$ または5V			±1	μA
入力容量 ⁶	C_{IL}			5		pF
電源						
正側電源電流	I_{DD}	$V_{IH} = +5V$ または $V_{IL} = 0V$ 、 $V_{DD}/V_{SS} = \pm 15V$		15	50	μA
負側電源電流	I_{SS}	$V_{IH} = +5V$ または $V_{IL} = 0V$ 、 $V_{DD}/V_{SS} = \pm 15V$		−0.01	−1	μA
消費電力 ⁷	P_{DISS}	$V_{IH} = +5V$ または $V_{IL} = 0V$ 、 $V_{DD}/V_{SS} = \pm 15V$			765	μW
電源電圧変動除去比	PSRR	$\Delta V_{DD}/\Delta V_{SS} = \pm 15V \pm 10\%$	−0.15	±0.08	+0.15	%/%

AD5290

パラメータ	記号	テスト条件／備考	Min	Typ ¹	Max	単位
動的特性 ^{6, 8, 9}						
−3dB帯域幅	BW	コード=0x80		470		kHz
全高調波歪み	THD _W	V _A =1V _{rms} 、V _B =0V、f=1kHz		0.006		%
V _W のセトリング時間	t _s	V _A =10V、V _B =0V、 ±1LSBの誤差帯		4		μs
抵抗ノイズ電圧	e _{N_WB}	R _{WB} =5kΩ、f=1kHz		9		nV/√Hz

¹ Typ値は+25℃、V_{DD}=+15V、V_{SS}=−15V時における平均測定値です。

² 抵抗ポジションの非直線性誤差 (R-INL) は、最大抵抗から最小抵抗までのワイパー・ポジション間で測定された理想値からの偏差です。R-DNLは、連続的なタップ・ポジション間で測定された理想値からの相対的なステップ変化です。AD5290は単調増加性が保証されています。

³ すべてのデバイスは、35ppm/℃の温度係数を備えています。

⁴ INLとDNLは、RDACを電圧出力D/Aコンバータと同様のポテンショメータ・デバイダとして設定し、V_Wで測定。V_A=V_{DD}およびV_B=0V。DNL仕様を最大値±1LSBに制限することによって、単調増加性の動作条件が保証されます。

⁵ A、B、Wの各抵抗端子の極性は相互に制約を受けません。

⁶ これらの仕様については出荷テストを行っていませんが、設計により保証しています。

⁷ 消費電力 (P_{DISS}) は、(I_{DD}×V_{DD}) + abs (I_{SS}×V_{SS}) の式を使用して計算しています。入力がCMOSロジック・レベルであるため、消費電力が最小限に抑えられます。

⁸ 帯域幅、ノイズ、セトリング時間は、使用する端子抵抗に応じて変化します。最小のR値を選択すれば、最短のセトリング時間と最高の帯域幅が得られます。最大のR値を選択すれば、回路全体の消費電力が最小限に抑えられます。

⁹ 動的特性にはすべて、V_{DD}=+15VおよびV_{SS}=−15Vの条件を適用しています。

電気的特性—50kΩ、100kΩバージョン

特に指定のない限り、 $V_{DD}/V_{SS} = \pm 15V \pm 10\%$ 、 $V_A = +V_{DD}$ 、 $V_B = V_{SS}$ または0V、 $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表2

パラメータ	記号	テスト条件／備考	Min	Typ ¹	Max	単位
DC特性： レオスタット（可変抵抗器）・モード						
抵抗の微分非直線性 ²	R-DNL	R_{WB} 、 $V_A = \text{NC}$	−0.5	±0.1	+0.5	LSB
抵抗の非直線性 ²	R-INL	R_{WB} 、 $V_A = \text{NC}$	−1	±0.5	+1	LSB
抵抗の公称許容誤差	ΔR_{AB}	$T_A = +25^\circ\text{C}$	−30		+30	%
抵抗温度係数 ³	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	$V_{AB} = V_{DD}$ 、ワイパー＝無接続		35		ppm/°C
ワイパー抵抗	R_W			50	100	Ω
DC特性： ポテンショメータ・デバイダ・モード						
積分非直線性 ⁴	INL		−1	±0.5	+1	LSB
微分非直線性 ⁴	DNL		−1	±0.5	+1	LSB
分圧器の温度係数	$(\Delta V_W/V_W)/\Delta T \times 10^6$	コード＝0x80		5		ppm/°C
フルスケール誤差	V_{WFSE}	コード＝0xFF	−2.5	−1.6	0	LSB
ゼロスケール誤差	V_{WZSE}	コード＝0x00	0	+0.6	+1.5	LSB
抵抗端子						
電圧範囲 ⁵	$V_{A, B, W}$		V_{SS}		V_{DD}	V
コンデンサA、Bの容量 ⁶	$C_{A, B}$	$f = 1\text{MHz}$ 、GND間で測定、 コード＝0x80		45		pF
コンデンサの容量 ⁶	C_W	$f = 1\text{MHz}$ 、GND間で測定、 コード＝0x80		60		pF
コモンモード・リーク電流	I_{CM}	$V_A = V_B = V_W$		1		nA
デジタル入出力						
入力ロジック・ハイレベル ($\overline{CS}$ 、CLK、SDI)	V_{IH}		2.4			V
入力ロジック・ローレベル ($\overline{CS}$ 、CLK、SDI)	V_{IL}				0.8	V
出力ロジック・ハイレベル (SDO)	V_{OH}	$R_{\text{Pull-up}} = 2.2\text{k}\Omega \sim 5\text{V}$	4.9			V
出力ロジック・ローレベル (SDO)	V_{OL}	$I_{OL} = 1.6\text{mA}$			0.4	V
入力電流	I_{IL}	$V_{IN} = 0\text{V}$ または5V			±1	μA
入力容量 ⁶	C_{IL}			5		pF
電源						
正側電源電流	I_{DD}	$V_{IH} = +5\text{V}$ または $V_{IL} = 0\text{V}$ 、 $V_{DD}/V_{SS} = \pm 15\text{V}$		15	50	μA
負側電源電流	I_{SS}	$V_{IH} = +5\text{V}$ または $V_{IL} = 0\text{V}$ 、 $V_{DD}/V_{SS} = \pm 15\text{V}$		−0.01	−1	μA
消費電力 ⁷	P_{DISS}	$V_{IH} = +5\text{V}$ または $V_{IL} = 0\text{V}$ 、 $V_{DD}/V_{SS} = \pm 15\text{V}$			765	μW
電源電圧変動除去比	PSRR	$\Delta V_{DD}/\Delta V_{SS} = \pm 15\text{V} \pm 10\%$	−0.05	±0.01	+0.05	%/%

AD5290

パラメータ	記号	テスト条件／備考	Min	Typ ¹	Max	単位
動的特性^{6, 8, 9}						
−3dB帯域幅	BW	$R_{AB}=50k\Omega$ 、コード=0x80 $R_{AB}=100k\Omega$ 、コード=0x80		90 50		kHz kHz
全高調波歪み	THD _W	$V_A=1V_{rms}$ 、 $V_B=0V$ 、 $f=1kHz$		0.002		%
V_W のセトリング時間	t_s	$V_A=10V$ 、 $V_B=0V$ 、 ±1LSBの誤差帯		4		μs
抵抗ノイズ電圧	e_{N_WB}	$R_{WB}=25k\Omega$ 、 $f=1kHz$		20		nV/ $\sqrt{Hz}$

¹ Typ値は+25℃、 $V_{DD}=+15V$ 、 $V_{SS}=-15V$ 時における平均測定値です。

² 抵抗ポジションの非直線性誤差 (R-INL) は、最大抵抗から最小抵抗までのワイパー・ポジション間で測定された理想値からの偏差です。R-DNLは、連続的なタップ・ポジション間で測定された理想値からの相対的なステップ変化です。AD5290は単調増加性が保証されています。

³ すべてのデバイスは、35ppm/℃の温度係数を備えています。

⁴ INLとDNLは、RDACを電圧出力D/Aコンバータと同様のポテンシオメータ・デバイダとして設定し、 V_W で測定。 $V_A=V_{DD}$ および $V_B=0V$ 。DNL仕様を最大値±1LSBに制限することによって、単調増加性の動作条件が保証されます。

⁵ A、B、Wの各抵抗端子の極性は相互に制約を受けません。

⁶ これらの仕様については出荷テストを行っていませんが、設計により保証しています。

⁷ 消費電力 (P_{DISS}) は、 $(I_{DD} \times V_{DD}) + \text{abs}(I_{SS} \times V_{SS})$ の式を使用して計算しています。入力がCMOSロジック・レベルであるため、消費電力が最小限に抑えられます。

⁸ 帯域幅、ノイズ、セトリング時間は、使用する端子抵抗に応じて変化します。最小のR値を選択すれば、最短のセトリング時間と最高の帯域幅が得られます。最大のR値を選択すれば、回路全体の消費電力が最小限に抑えられます。

⁹ 動的特性にはすべて、 $V_{DD}=+15V$ および $V_{SS}=-15V$ の条件を適用しています。

インターフェースのタイミング特性

表3

パラメータ ^{1, 2}	記号	テスト条件／備考	Min	Typ	Max	単位
クロック周波数	f_{CLK}				4	MHz
入力クロック・パルス幅	t_{CH} , t_{CL}	クロックが ³ ハイレベルまたはローレベルのとき	120			ns
データのセットアップ時間	t_{DS}		30			ns
データのホールド時間	t_{DH}		20			ns
CLKからSDOまでの伝播遅延 ³	t_{PD}	$R_{pull-up}=2.2k\Omega$, $C_L<20pF$	10		100	ns
$\overline{CS}$ セットアップ時間	t_{CSS}		120			ns
$\overline{CS}$ ハイパルス幅	t_{CSW}		150			ns
CLK立下がりから $\overline{CS}$ 立下がりまでのホールド時間	t_{CSH0}		10			ns
CLK立上がりから $\overline{CS}$ 立上がりまでのホールド時間	t_{CSH}		120			ns
$\overline{CS}$ 立上がりからクロック 立上がりまでのセットアップ時間	t_{CS1}		120			ns

1 測定箇所については、図3を参照してください。入力制御電圧はすべて $t_R=t_F=1ns$ (V_{DD} の10%から90%) の条件で規定し、1.6Vの電圧レベルからのタイミングを計測しています。スイッチング特性の測定には、 $V_{DD}=+15V$ および $V_{SS}=-15V$ の条件を適用しています。

2 これらの仕様については出荷テストを行っていませんが、設計により保証しています。

3 伝播遅延は V_{DD} 、プルアップ抵抗 ($R_{pull-up}$)、負荷容量 (C_L) の値に応じて変化します。

AD5290

3線デジタル・インターフェース

データはMSBファーストでロードされます。

表4. AD5290のシリアル・データワード・フォーマット

B7	B6	B5	B4	B3	B2	B1	B0
D7	D6	D5	D4	D3	D2	D1	D0
MSB							LSB
2^7							2^0

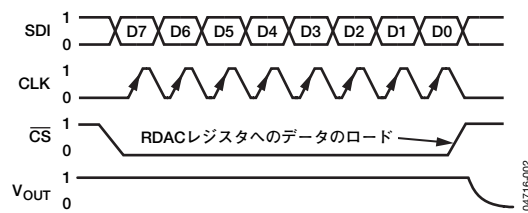


図2. AD5290の3線デジタル・インターフェースのタイミング図 ($V_A=V_{DD}$ 、 $V_B=0V$ 、 $V_W=V_{OUT}$)

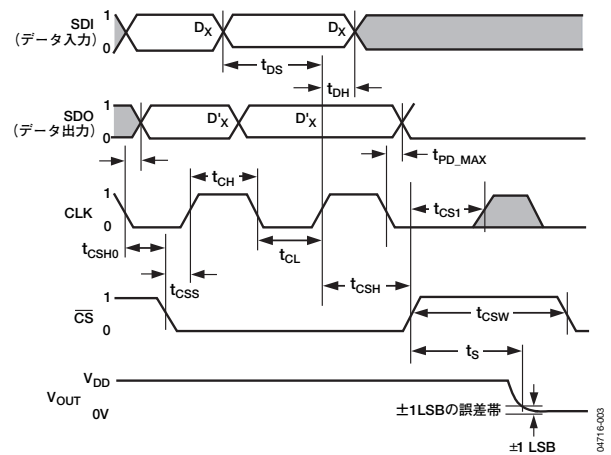


図3. 詳細なタイミング図

絶対最大定格

特に指定のない限り、 $T_A = +25^\circ\text{C}$ 。

表5

パラメータ	定格値
GNDに対する V_{DD}	-0.3V 、 $+35\text{V}$
GNDに対する V_{SS}	$+0.3\text{V}$ 、 -16.5V
$V_{DD} \sim V_{SS}$	-0.3V 、 $+35\text{V}$
GNDに対する V_A 、 V_B 、 V_W	V_{SS} 、 V_{DD}
最大電流	
I_{WB} 、 I_{WA} パルス電流	$\pm 20\text{mA}$
I_{WB} 連続電流 ($R_{WB} \leq 6\text{k}\Omega$ 、 Aオープン、 $V_{DD}/V_{SS} = 30\text{V}/0\text{V}$) ¹	$\pm 5\text{mA}$
I_{WA} 連続電流 ($R_{WA} \leq 6\text{k}\Omega$ 、 Bオープン、 $V_{DD}/V_{SS} = 30\text{V}/0\text{V}$) ¹	$\pm 5\text{mA}$
GNDに対するデジタル入出力電圧	0V 、 $+7\text{V}$
動作温度範囲	$-40 \sim +125^\circ\text{C}$
最大ジャンクション温度 (T_{JMAX}) ²	$+150^\circ\text{C}$
保存温度範囲	$-65 \sim +150^\circ\text{C}$
ピン温度 (ハンダ処理、10～30秒)	245°C
熱抵抗 ² θ_{JA} : 10ピンMSOP	$230^\circ\text{C}/\text{W}$

¹ 最大端子電流は、スイッチの最大電流処理能力、パッケージの最大消費電力、および任意の抵抗でのA端子、B端子、W端子のうちいずれか2本の端子間に印加される最大電圧によって制限されます。

² パッケージの消費電力 = $(T_{JMAX} - T_A) / \theta_{JA}$

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD5290

ピン配置と機能の説明



図4. AD5290のピン配置

表6. AD5290のピン機能の説明

ピン番号	記号	説明
1	A	端子A。 $V_{SS} \leq V_A \leq V_{DD}$
2	B	端子B。 $V_{SS} \leq V_B \leq V_{DD}$
3	V_{SS}	負側電源。単電源アプリケーションでは、0Vに接続します。
4	GND	デジタル・グラウンド
5	$\overline{CS}$	チップ・セレクト入力。ローレベルでアクティブになります。 $\overline{CS}$ がハイレベルに戻ると、データがワイパー・レジスタにロードされます。
6	CLK	シリアル・クロック入力。立上がりエッジでトリガされます。
7	SDI	シリアル・データ入力ピン。クロックのCLKエッジが立ち上がるたびに、1つのビットをシフト入力します。データはMSBファーストでロードされます。
8	SDO	シリアル・データ出力ピン。オープン・ドレイン出力の内部NチャンネルFETにプルアップ抵抗を外付けする必要があります。上述の8つのSDIビットがこのピンからシフト出力されるため、複数のパッケージのデイズチェーン接続が可能になります。
9	V_{DD}	正側電源
10	W	W端子。 $V_{SS} \leq V_W \leq V_{DD}$

代表的な性能特性

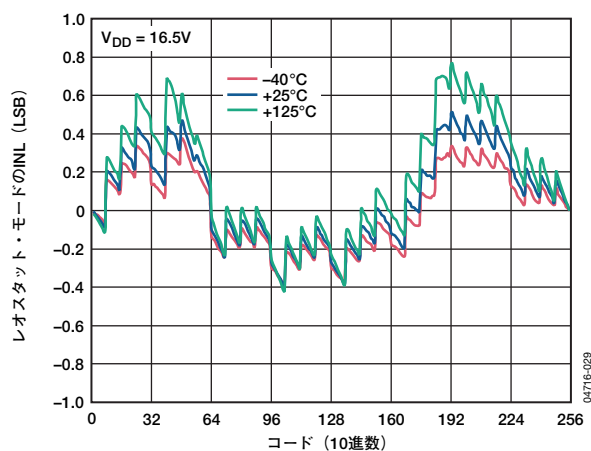


図5. コード対抵抗ステップ・ポジションの非直線性誤差

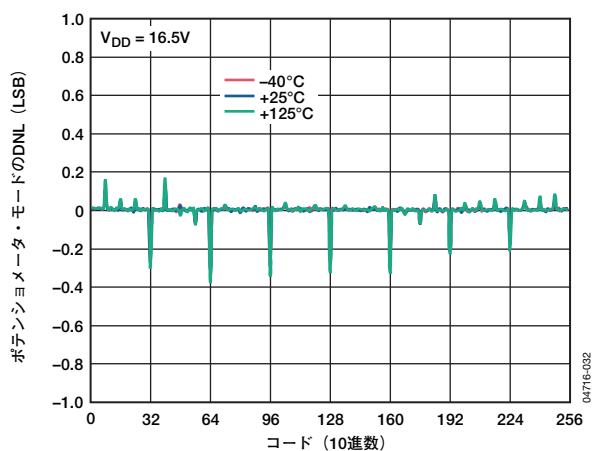


図8. コード対ポテンショメータ・デバイダの微分非直線性誤差

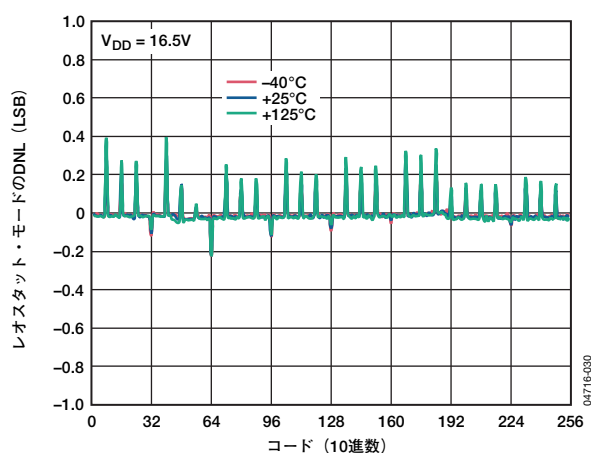


図6. コード対抵抗ステップ変化の微分非直線性誤差

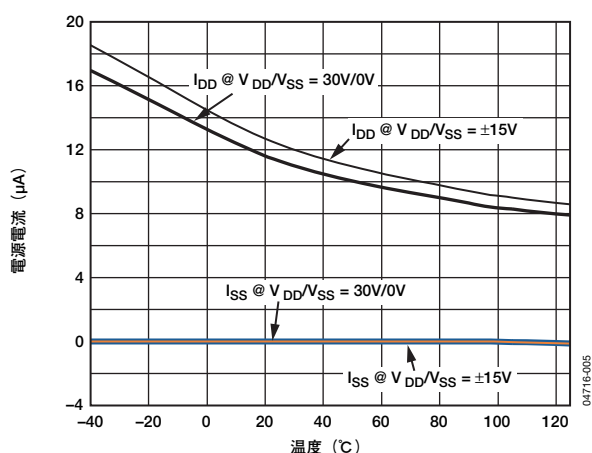


図9. 電源電流 I_{DD} の温度特性

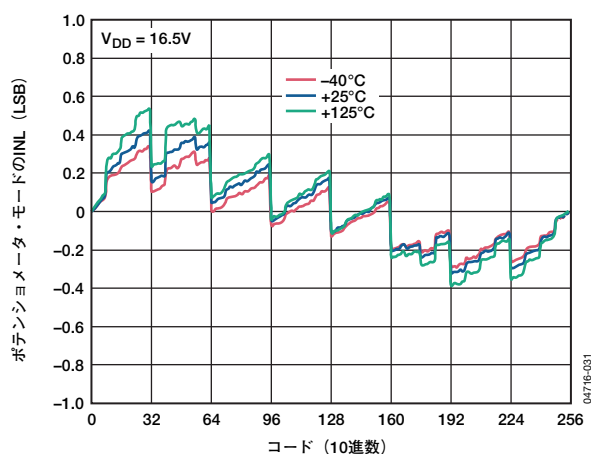


図7. コード対ポテンショメータ・デバイダの非直線性誤差

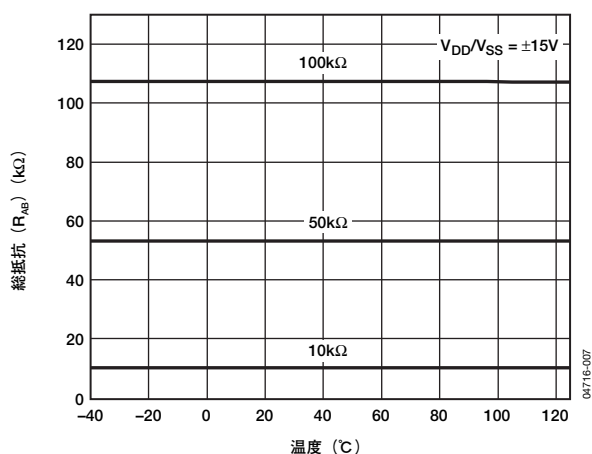


図10. 総抵抗の温度特性

AD5290

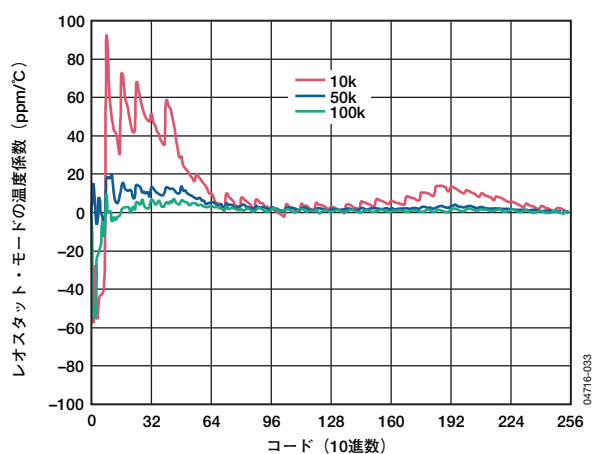


図11. レオスタット・モードのコード対温度係数 $(\Delta R_{WB}/R_{WB})/\Delta T$

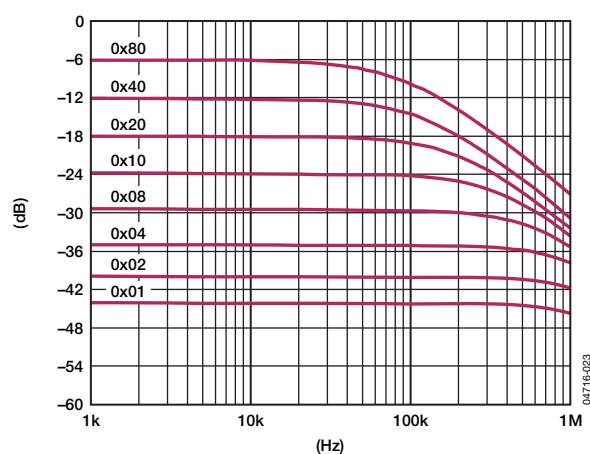


図14. ゲイン、周波数、コードの関連特性 (50kΩ)

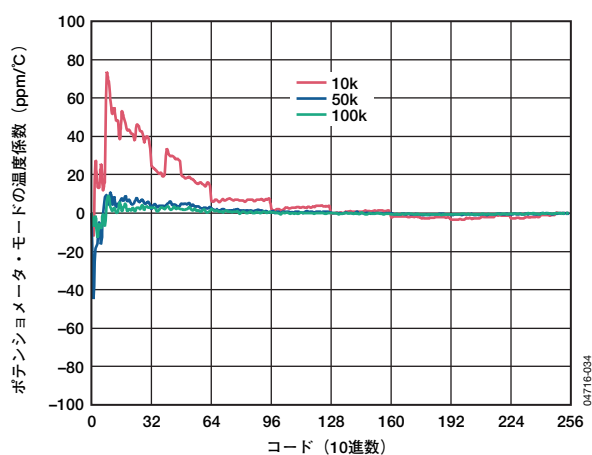


図12. ポテンショメータ・モードのコード対温度係数 $(\Delta V_{WB}/V_{WB})/\Delta T$

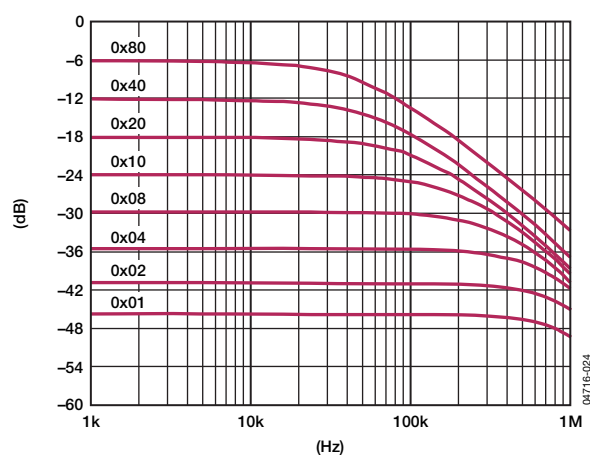


図15. ゲイン、周波数、コードの関連特性 (100kΩ)

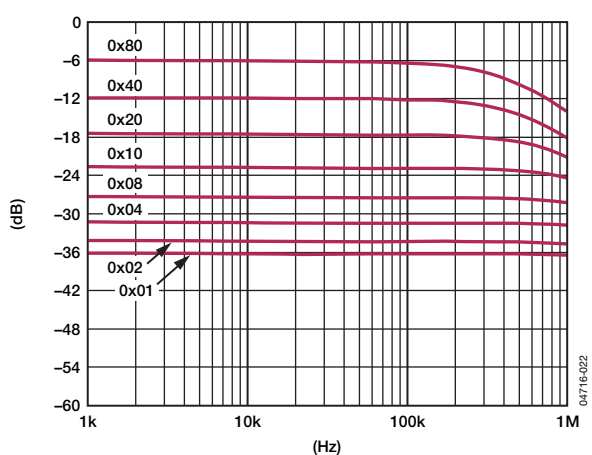


図13. ゲイン、周波数、コードの関連特性 (10kΩ)

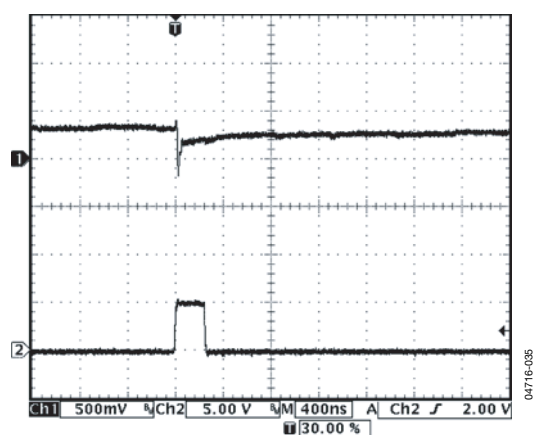


図16. ミッドスケール遷移時のグリッチ

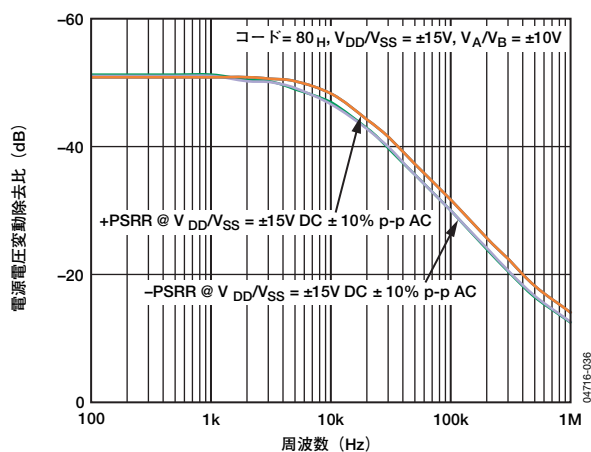


図17. 電源電圧変動除去比の周波数特性

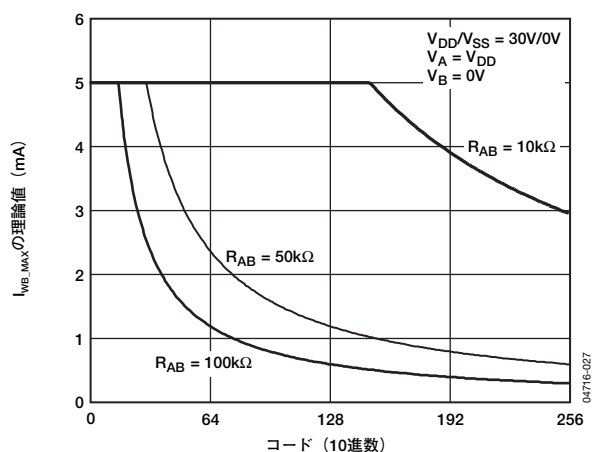


図20. コード 対 最大電流の理論値

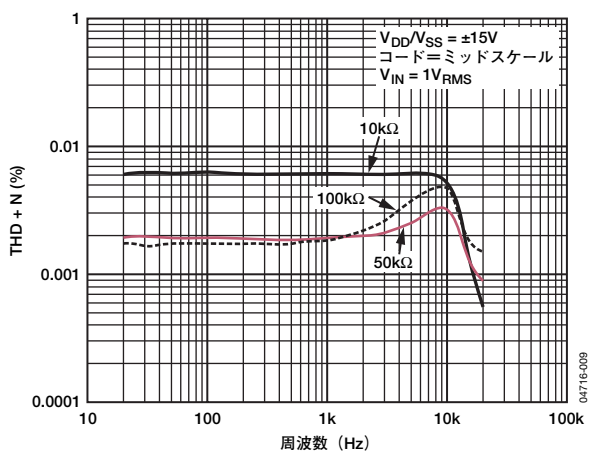


図18. 全高調波歪み+ノイズの周波数特性

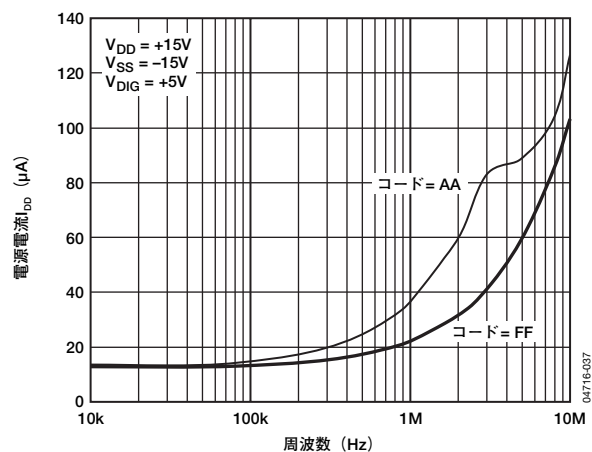
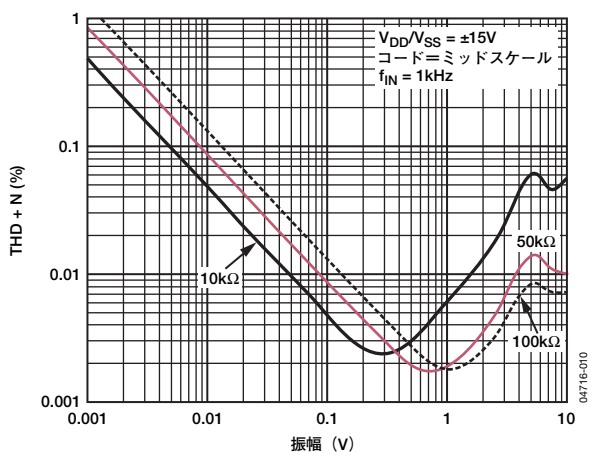
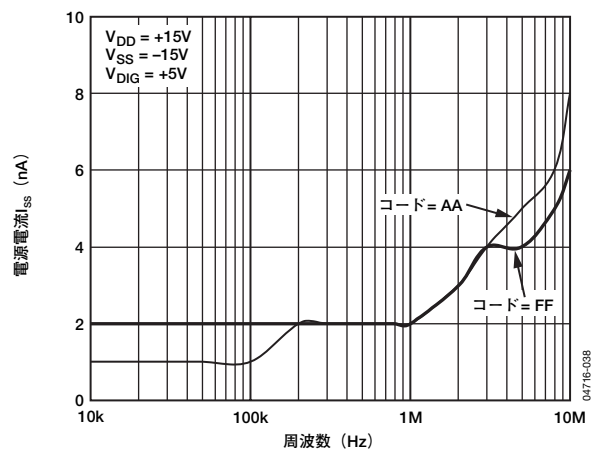
図21. 電源電流 I_{DD} の周波数特性

図19. 振幅 対 全高調波歪み+ノイズ

図22. 電源電流 I_{SS} の周波数特性

AD5290

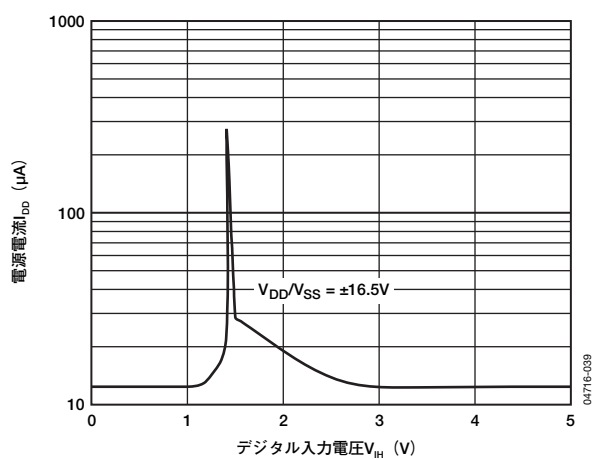


図23. デジタル入力電圧 対 電源電流

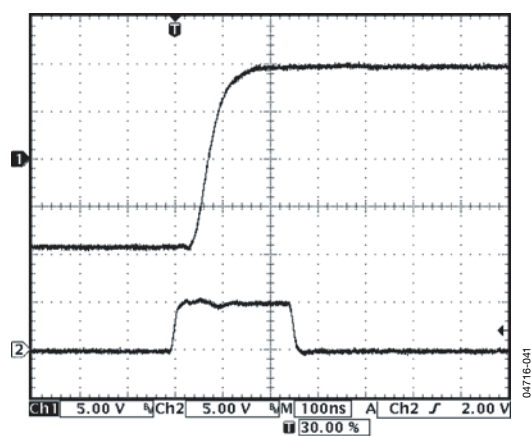


図25. 大信号セトリング時間
(コード=0x00から0xFFに変化)

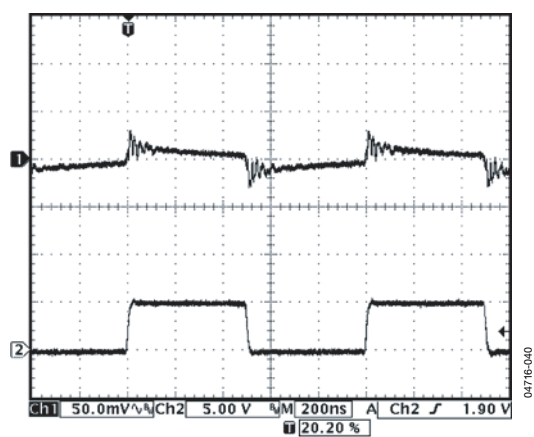


図24. デジタル・フィードスルー

動作原理

可変抵抗のプログラミング

レオスタット動作

2本の端子のみを可変抵抗として使用する場合、AD5290はレオスタット・モードで動作します。図26に示すように、未使用の端子は開放のままにするか、W端子に接続します。

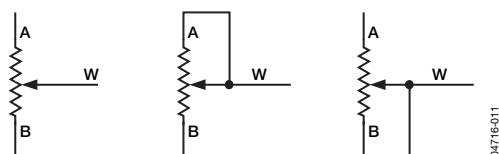


図26. レオスタット・モードの構成

A端子とB端子間の公称抵抗 (R_{AB}) には、10k Ω 、50k Ω 、100k Ω があり、許容誤差は $\pm 30\%$ です。公称抵抗には256のタップ・ポイントがあり、ワイパー端子によりアクセスします。RDACラッチの8ビット・データをデコードし、256の設定から1つを選択します。RDAC構造の簡略図を図27に示します。

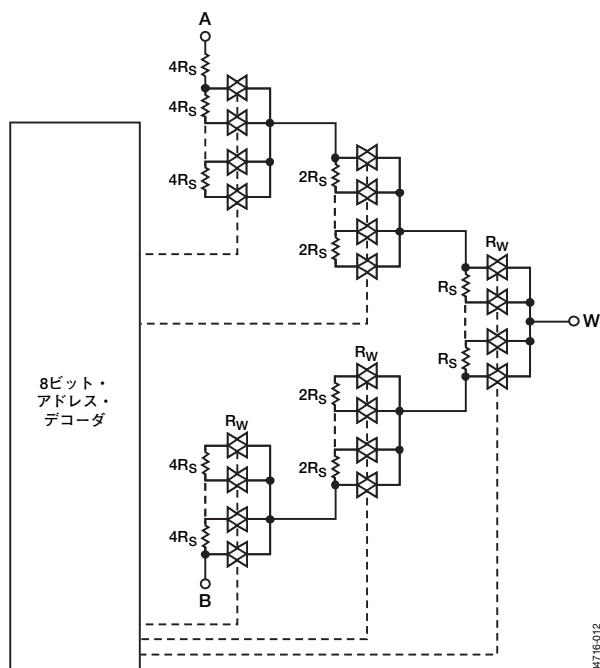


図27. AD5290のRDAC簡略回路図
(R_S = ステップ抵抗、 R_W = ワイパー抵抗)

最適なコスト・パフォーマンスを達成するために、アナログ・デバイスではすべてのデジタル・ポテンシオメータにRDACセグメンテーション・アーキテクチャの特許を取得しています。AD5290には特に、図27に示すような3段のセグメンテーション方式が採用されています。その結果、デジタル手法でプログラミングする、W端子とB端子間の出力抵抗を求める一般的な式は、以下のようになります。

$$R_{WB}(D) = \frac{D}{256} \times R_{AB} + 3 \times R_W \quad (1)$$

ここで、

D は、8ビットRDACレジスタにロードされる0～255のバイナリ・コードと等価な10進値です。

R_{AB} は、エンドtoエンドの抵抗です。

R_W は、各内部スイッチのON抵抗によって発生するワイパー抵抗です。

AD5290のワイパー・スイッチは、伝送ゲートCMOS技術方式を採用し、 V_{DD} から生成されるゲート電圧で動作するように設計されています。ワイパー抵抗 R_W は、 V_{DD} と温度の関数として変化します。 R_{AB} の温度係数はわずか35ppm/ $^{\circ}\text{C}$ の低い値に抑えられますが、ワイパー抵抗は25 $^{\circ}\text{C}$ から125 $^{\circ}\text{C}$ の温度変化で2倍に増加するため、ワイパー抵抗の温度係数は非常に高くなります。したがって、所望の抵抗に対する R_W の影響を考慮に入れる必要があります。一方、ワイパー抵抗はタップ・ポイントの電位の影響をまったく受けません。その結果、各種のコード時に特定の V_{DD} および温度条件下で R_W は比較的フラットな値に維持されます。

10k Ω デバイスを使用すると仮定した場合、ワイパーの最初の接続はプログラミング・コード0x00に対してB端子から開始されます (SWBは閉の状態)。したがって、W端子とB端子の間の最小抵抗は通常150 Ω となります。2番目の接続は最初のタップ・ポイントで、ここではコード0x01に対して189 Ω ($R_{WB} = 1/256 \times R_{AB} + 3R_W = 39\Omega + 150\Omega$) となり、以下同様に続きます。LSBデータ値が増加するたびに、ワイパーが抵抗ラダーを上昇し、最後のタップ・ポイントで抵抗が10,110 Ω に到達します。

ゼロスケール状態では、150 Ω という有限な総ワイパー抵抗が存在します。この状態では、動作設定に関係なく、A端子とB端子、W端子とA端子、W端子とB端子との間に流れる電流が、それぞれ5mAの最大DC電流または20mAの最大パルス電流を超えないようにしてください。これを順守しなければ、内部スイッチの接点の劣化や破壊が発生する可能性があります。

機械式のポテンシオメータと同様、W端子とA端子間のRDACの抵抗により、デジタル制御された相補抵抗 R_{WA} が生成されます。 R_{WA} 抵抗値は、最大抵抗値から始まって、ラッチにロードされたデータ値が増加するにつれて減少します。この動作の一般式は次のとおりです。

$$R_{WA}(D) = \frac{256-D}{256} \times R_{AB} + 3 \times R_W \quad (2)$$

ポテンショメータ・デバイダのプログラミング

電圧出力動作

デジタル・ポテンショメータは、A端子とB端子間の入力電圧に比例して分圧される電圧を、ワイパーとB端子間およびワイパーとA端子間で容易に生成します。 V_{DD} とGND間の電圧極性は正でなければなりません、A端子とB端子、W端子とA端子、W端子とB端子の電圧は、正と負のどちらの極性でも構いません。

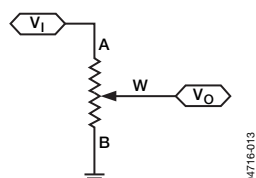


図28. ポテンショメータ・モードの構成

わかりやすくするためにワイパー抵抗の影響を無視すると、A端子を30Vに接続し、B端子をグラウンドに接続した場合、ワイパーWとB端子間に0Vから(30V-1LSB)までの出力電圧が発生します。電圧の各LSBは、A端子とB端子間に印加される電圧をポテンショメータ・デバイダの256ポジションで除算した値に等しくなります。A端子とB端子に印加される有効な入力電圧に対する、グラウンドを基準とした V_W の出力電圧を求める一般的式は、以下ようになります。

$$V_W(D) = \frac{D}{256} \times V_A + \frac{256-D}{256} \times V_B \quad (3)$$

デジタル・ポテンショメータをデバイダ・モードで動作させると、全温度範囲にわたってより精度の高い動作となります。レオスタット・モードとは異なり、出力電圧は主に内部抵抗の R_{WA} と R_{WB} の比に依存し、絶対値に依存することがありません。したがって、温度ドリフトが5ppm/°Cに低減します。

3線式シリアル・バス・デジタル・インターフェース

AD5290は、3線式デジタル・インターフェース($\overline{CS}$ 、CLK、SDI)を備えています。8ビットのシリアル・ワードはMSBファーストでロードしてください。このワード・フォーマットを表4に記載しています。シリアル入力レジスタに不正なデータが入力されることのないよう、立上がりエッジでアクティブになるCLK入力がクリーンに遷移する必要があります。それには標準のロジック・ファミリーが最適です。 $\overline{CS}$ がローレベルのとき、クロックのエッジが立ち上がるたびに、クロックからシリアル・レジスタにデータがロードされます。

「仕様」に記載するデータのセットアップ時間とホールド時間に基づいて、有効なタイミング条件が決定されます。AD5290では、8ビットのシリアル入力データ・レジスタ・ワードを使用し、 $\overline{CS}$ ラインがロジック・ハイに戻るときにこのワードが内部RDACレジスタに転送されます。余分なMSBは無視されます。

デ이지チェーン動作

前のフレームのSDIデータがSDOからシフト出力されるため、これを利用して複数のデバイスをデ이지チェーン接続できます。SDOピンにはオープン・ドレインのNチャンネルMOSFETが内蔵されており、SDO機能の使用時にはプルアップ抵抗を外付けする必要があります。1つのパッケージのSDOピンを次のパッケージのSDIピンに接続してください。さらに、SDOとSDI間のインターフェースで接続されるプルアップ抵抗と容量性負荷によって後段のデバイスに時間遅延が誘発される可能性があるため、場合によってはクロックのサイクル時間を長くすることも必要になります。

たとえば、図29に示すように2つのAD5290をデ이지チェーン接続する場合、各動作に合計16ビットのデータが必要です。最初の8ビットはU2に転送され、次の8ビットはU1に転送されます。それぞれのシリアル・レジスタに16ビットがすべて入力されるまで、 $\overline{CS}$ をローレベルに保持してください。その後、 $\overline{CS}$ をハイレベルにすると動作が完了します。

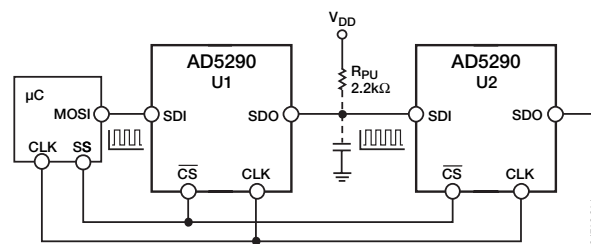


図29. デ이지チェーン構成

ESD保護

図30に示すように、すべてのデジタル入力は直列入力抵抗とツェナーESD構造によって保護されています。この保護は、 $\overline{CS}$ ピン、CLKピン、SDIピンなどのデジタル入力ピンとSDOピンに適用されます。

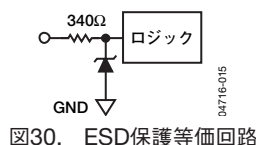


図30. ESD保護等価回路

図31に示すように、すべてのアナログ端子も同様にESD保護用のツェナー・ダイオードによって保護されます。

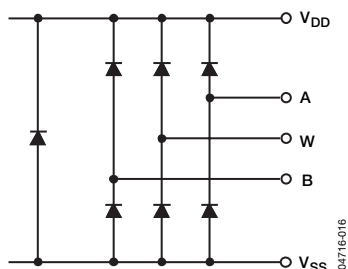


図31. アナログ・ピンESD保護の等価回路

端子の電圧動作範囲

AD5290の V_{DD} および V_{SS} 電源によって、3端子のデジタル・ポテンショメータが正しく動作するための境界条件が決まります。AD5290は+4.5～+33Vの単電源動作、または±4.5～±16.5Vの両電源動作が可能です。4.5Vの低い電源電圧でも機能しますが、この場合には性能パラメータが保証されません。

V_{DD} よりも正電位が高いか、または V_{SS} よりも負電位が低いA、B、W各端子の電圧は、順方向にバイアスする内部ダイオードによってクランプされます（図31）。

パワーアップおよびパワーダウン・シーケンス

ESD保護ダイオードがA、B、W各端子の電圧コンプライアンスを制限しているため（図31）、必ず V_{DD}/V_{SS} の電源を投入してからA、B、W各端子に電圧を印加してください。これを順守しなければ、ダイオードが順方向にバイアスし、そのために V_{DD}/V_{SS} 電源が偶発的に投入されて、システムに悪影響が及ぶおそれがあります。同様に、 V_{DD}/V_{SS} のパワーダウンも最後に行ってください。最適なパワーアップ・シーケンスは、GND、 V_{DD} 、 V_{SS} 、デジタル入力、 $V_A/V_B/V_W$ の順です。 V_A 、 V_B 、 V_W 、デジタル入力のパワーアップの順番については、 V_{DD}/V_{SS} 投入後であれば、重要ではありません。

レイアウトと電源のバイパス処理

最小のリード長を使用したコンパクトなレイアウト設計が適切です。入力までのリード線は、最小の導体長で可能な限り直線にします。グラウンド・パスの抵抗とインダクタンスを低く抑えることも必要です。

また、高品質のコンデンサを使用して電源をバイパスすることも推奨します。トランジェントの影響を最小限に抑え、低周波リップルをフィルタ処理するために、等価直列抵抗（ESR）が低い1～10μFのタンタルまたは電解型のコンデンサを電源に外付けしてください。図32に、AD5290の基本的な電源バイパス構成回路を示します。

AD5290のグラウンド・ピンは、デジタル基準グラウンドとして使用します。デジタル・グラウンドのバウンスを最小限に抑えるために、AD5290のデジタル・グラウンド端子を、アナログ・グラウンドにリモート結合してください（図32）。

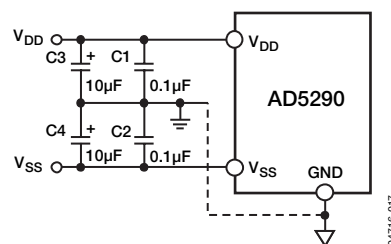


図32. 電源のバイパス処理

アプリケーション

高電圧DAC

AD5290は、最大出力電圧30Vの高電圧DACとして構成できます。この回路を図33に示します。出力は、以下の式から求められます。

$$V_o(D) = \frac{D}{256} \times [1.2V \times (1 + \frac{R_2}{R_1})] \quad (4)$$

上の式で、Dは0～255の範囲の10進数コードです。

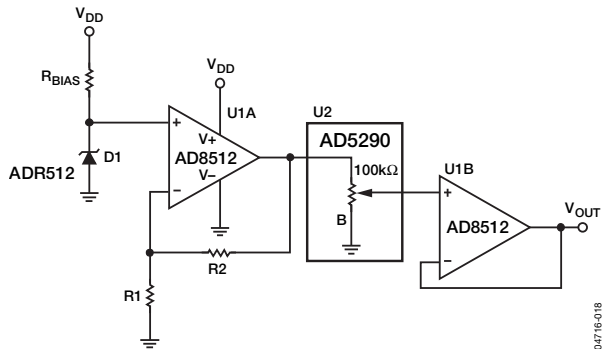


図33. 高電圧DAC

プログラマブルな電源

ADP1611などのブースト・レギュレータを使用し、AD5290を可変抵抗としてこのレギュレータのFBピンに接続して、プログラマブルな電源を供給することもできます（図34）。出力は、以下の式から求められます。

$$V_o = 1.23V \times [1 + \frac{(R_{256}) - R_{AB}}{R_2}] \quad (5)$$

AD5290の V_{DD} は、この出力から得られます。当初はL1がショートするため、 V_{DD} は+5Vからダイオード1個分電圧が降下した値となりますが、その後徐々に設定値に向かいます。

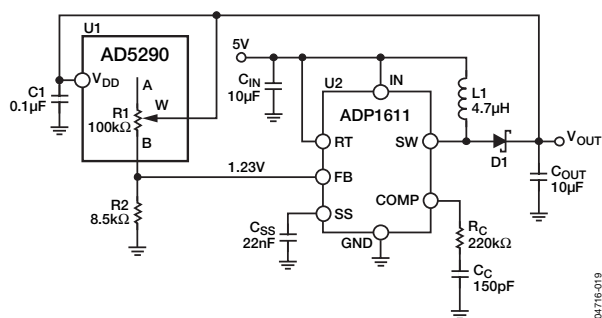


図34. プログラマブルな電源

オーディオのボリューム制御

AD5290は良好なTHD性能と高電圧能力を備えているため、デジタルなボリューム制御に利用できます。AD5290をオーディオ減衰器またはゲイン・アンプとして直接使用すると、ボリューム・レベルの大きいステップ変化が不定期に発生してオーディオ信号が急に途切れ、そのために可聴音のジッパー・ノイズが発生することがあります。これを防止するために、ゼロクロス・ウィンドウ検出器を $\overline{CS}$ ラインに挿入し、オーディオ信号がこのウィンドウと交差するまで、デバイスの更新を遅延させることができます。入力信号は絶対ゼロボルトのレベルではなく、任意のDCレベルの上限で動作が可能であるため、この場合のゼロクロスは、信号がACカップリングされ、DCオフセット・レベルが信号ゼロの基準ポイントであることを意味します。

ジッパー・ノイズを低減する回路構成を図35に、またこの構成を利用した結果を図36に示します。入力C1によってACカップリングされ、 U_2 、 U_3 、 U_{4B} で形成されるウィンドウ・コンパレータに送られる前に減衰されます（図35）。 U_6 は信号のゼロ基準ポイントの設定に使用します。コンパレータの上限はそのオフセットよりも高いレベルに設定されるため、この例では入力が2.502Vから2.497Vの間（すなわち、0.005Vのウィンドウ）に低下するときに、常に出力パルスがハイレベルになります。この出力とチップ・セレクト信号との論理積がとられるため、信号がウィンドウと交差するときに必ずAD5290が更新されます。デバイスが絶え間なく更新されることのないよう、図36に示すようにチップ・セレクト信号を1つのパルスではなく、2つのパルスとして設定します。

図35の下側のパターンは、ゼロクロス・ウィンドウの近くで信号の変化が発生するときに、ボリューム・レベルが1/4スケールからフルスケールに変化する様子を示しています。

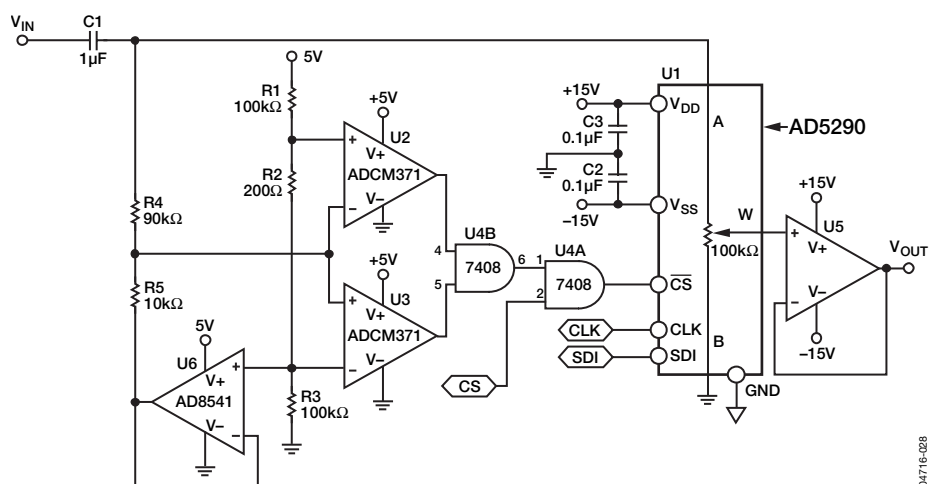


図35. ジッター・ノイズを低減するオーディオ・ボリューム制御

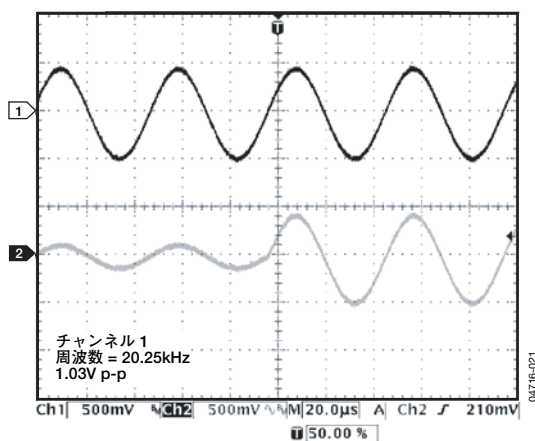
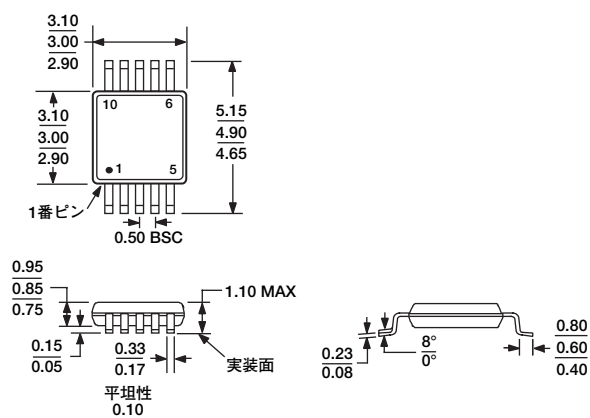


図36. 図35に示す回路の入力（パターン1）と出力（パターン2）

（ボリューム変更のコマンドはいつでも発行できますが、レベル変化が発生するのはゼロクロス・ウィンドウの近くに限られます。）

AD5290

外形寸法



JEDEC規格MO-187-BAに準拠

図37. 10ピン・ミニ・スモール・アウトライン・パッケージ [MSOP]
(RM-10)

寸法単位：mm

オーダーガイド

モデル	R _{AB} (kΩ)	温度範囲	パッケージ	パッケージ・オプション	マーキング
AD5290YRMZ10 ¹	10	−40～+125℃	10ピンMSOP	RM-10	D4U
AD5290YRMZ10-R7 ¹	10	−40～+125℃	10ピンMSOP	RM-10	D4U
AD5290YRMZ50 ¹	50	−40～+125℃	10ピンMSOP	RM-10	D4T
AD5290YRMZ50-R7 ¹	50	−40～+125℃	10ピンMSOP	RM-10	D4T
AD5290YRMZ100 ¹	100	−40～+125℃	10ピンMSOP	RM-10	D4V
AD5290YRMZ100-R7 ¹	100	−40～+125℃	10ピンMSOP	RM-10	D4V
AD5290EVAL	10		評価用ボード		

¹ Z=鉛フリー製品