

AD5280/AD5282*

特長

- 256ポジション
- AD5280：1チャンネル
- AD5282：2チャンネル（独立にプログラム可能）
- ポテンシオメータの置き換え
- 20kΩ、50kΩ、200kΩ
- 低温度係数30ppm/°C
- 内部パワーオン・ミッドスケール・プリセット
- 5～15V単電源；±5.5V両電源動作
- I²C互換インターフェース

アプリケーション

- マルチメディア、ビデオ、オーディオ
- 通信
- 機械式ポテンシオメータの置き換え
- 計装：ゲイン、オフセット調整
- プログラマブル電圧ソース
- プログラマブル電流ソース
- ライン・インピーダンス整合

概要

AD5280/AD5282は、シングル・チャンネル/デュアル・チャンネル、256ポジションのデジタル制御可変抵抗（VR）デバイス¹です。これらのデバイスは、ポテンシオメータ、トリマー、または可変抵抗と同じ電気的調整機能を実行します。各VRでは、A端子とワイパーまたはB端子とワイパーの間で抵抗値のプログラムが可能です。20kΩ、50kΩ、または200kΩの固定A/B端子抵抗には、1%のチャンネル間マッチング公差があります。どちらのパーツも公称温度係数は30ppm/°Cです。これらのパーツのもう一つの重要な特長は、+15Vまたは±5Vまで動作可能なことです。

ワイパー・ポジションのプログラミングの際、システム・パワーオン時の初期設定はミッドスケールです。パワーオン後には、VRワイパー・ポジションは、I²C互換の2線式シリアル・データ・インターフェースによってプログラムされます。どちらのパーツにも追加のプログラマブル・ロジック出力があり、これによってユーザーは、システム内のデジタル負荷、ロジック・ゲート、LEDドライバ、アナログ・スイッチを駆動できます。

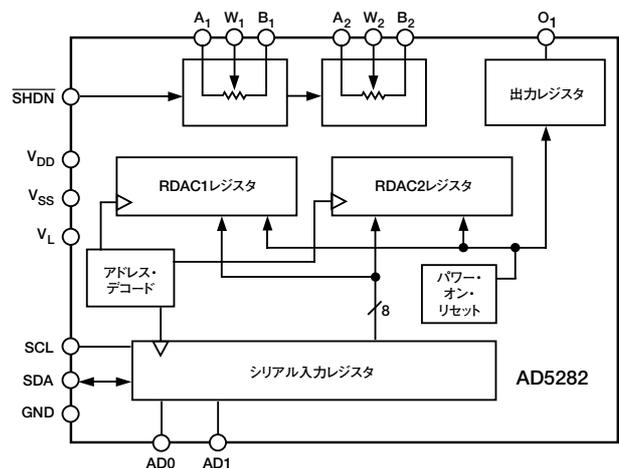
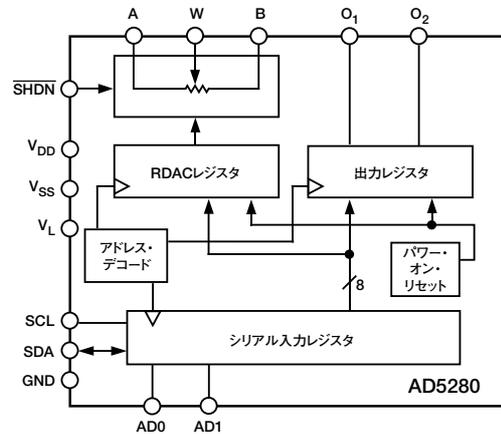
AD5280/AD5282は、14ピンと16ピンのTSSOPパッケージで供給されます。すべてのパーツは、-40～+85°Cという広範な工業温度範囲での動作が保証されています。3線式SPI互換インターフェース・アプリケーションの場合は、AD5260/AD5262製品を参照してください。

*特許出願中

注

1 デジタル・ポテンシオメータ、VR、RDACの用語は、同じ意味で使用されています。

機能ブロック図



REV. 0

AD5280/AD5282 — 仕様

電気的特性20kΩ、50kΩ、200kΩバージョン

($V_{DD}=+15V$ 、 $V_{SS}=0V$ または $V_{DD}=+5V$ 、 $V_{SS}=-5V$ ； $V_{LOGIC}=5V$ 、 $V_A=+V_{DD}$ 、 $V_B=0V$ ；特に指定のない限り、 $-40^{\circ}C < T_A < +85^{\circ}C$)

パラメータ	記号	条件	最小	標準 ¹	最大	単位
DC特性レオスタット・モード 仕様はすべてのVRに適用されます						
抵抗微分非直線性 ²	R-DNL	R_{WB} 、 $V_A=NC$	-1	±1/4	+1	LSB
抵抗非直線性 ²	R-INL	R_{WB} 、 $V_A=NC$	-1	±1/4	+1	LSB
公称抵抗公差 ³	ΔR_{AB}	$T_A=25^{\circ}C$	-30		+30	%
抵抗温度係数	$R_{AB}/\Delta T$	$V_{AB}=V_{DD}$ 、ワイパー=未接続		30		ppm/ $^{\circ}C$
ワイパー抵抗	R_W	$I_W=V_{DD}/R$ 、 $V_{DD}=3V$ または $5V$		60	150	Ω
DC特性ポテンシオメータ・ディバイダ・モード 仕様はすべてのVRに適用されます						
分解能	N		8			ビット
積分非直線性 ⁴	INL		-1	±1/4	+1	LSB
微分非直線性 ⁴	DNL		-1	±1/4	+1	LSB
電圧ディバイダ温度係数	$\Delta V_W/\Delta T$	コード=80 _H		5		ppm/ $^{\circ}C$
フルスケール・エラー	V_{WFSE}	コード=FF _H	-2	-1	0	LSB
ゼロスケール・エラー	V_{WZSE}	コード=00 _H	0	+1	+2	LSB
抵抗端子						
電圧範囲 ⁵	$V_{A, B, W}$		V_{SS}		V_{DD}	V
容量 ^{6A, B}	$C_{A, B}$	f=5MHz、GNDに対し計測、 コード=80 _H		25		pF
容量 ^{6W}	C_W	f=1MHz、GNDに対し計測、 コード=80 _H		55		pF
コモン・モード・リーク電流	I_{CM}	$V_A=V_B=V_W$		1		nA
シャットダウン電流	I_{SHDN}				5	μA
デジタル入力と出力						
入力ロジック・ハイレベル	V_{IH}		2.4			V
入力ロジック・ローレベル	V_{IL}				0.8	V
入力ロジック・ハイレベル	V_{IH}	$V_{LOGIC}=3V$ 、 $V_{SS}=0$	2.1			V
入力ロジック・ローレベル	V_{IL}	$V_{LOGIC}=3V$ 、 $V_{SS}=0$			0.6	V
出力ロジック・ハイレベル (SDO)	V_{OH}		4.9			V
出力ロジック・ローレベル (SDO)	V_{OL}				0.4	V
入力電流	I_{IL}	$V_{IN}=0V$ または $5V$			±1	μA
入力容量 ⁶	C_{IL}			5		pF
電源						
ロジック電源	V_{LOGIC}		2.7		5.5	V
パワー単電源レンジ	$V_{DD RANGE}$	$V_{SS}=0V$	5		15	V
パワー両電源レンジ	$V_{DD/SS RANGE}$		±4.5		±5.5	V
ロジック電源電流	I_{LOGIC}	$V_{LOGIC}=5V$			60	μA
正電源電流	I_{DD}	$V_{IH}=5V$ または $V_{IL}=0V$		0.1	1	μA
負電源電流	I_{SS}			0.1	1	μA
消費電力 ⁷	P_{DISS}	$V_{IH}=5V$ または $V_{IL}=0V$ 、 $V_{DD}=+5V$ 、 $V_{SS}=-5V$		0.2	0.3	mW
電源感度	PSS			0.002	0.01	%/%
ダイナミック特性^{6, 8, 9}						
帯域幅 -3dB	BW_20K BW_50K BW_200K	$R_{AB}=20k\Omega$ 、コード=80 _H $R_{AB}=50k\Omega$ 、コード=80 _H $R_{AB}=200k\Omega$ 、コード=80 _H		310 150 35		kHz
全高調波歪み	THD _W	$V_A=1V$ rms、 $R_{AB}=20k\Omega$ $V_B=0V$ DC、f=1kHz		0.014		%
V_W セトリング時間	t_S	$V_A=5V$ 、 $V_B=5V$ 、 ±1LSB エラー・バンド		5		μs
クロストーク	CT	$V_A=V_{DD}$ 、 $V_B=0V$ 、隣接する RDACでフルスケール・コード 変更を行いながら V_{W1} を計測		15		nV-s
アナログ・クロストーク	CTA	$V_{W2}=5V$ p-p @f=10kHzを与え、 V_{W1} を計測		-62		dB
抵抗ノイズ電圧	e_{N-WB}	$R_{WB}=20k\Omega$ 、f=1kHz		18		nV/ \sqrt{Hz}

AD5280/AD5282

パラメータ	記号	条件	最小	標準 ¹	最大	単位
インターフェース・タイミング特性 すべてのパーツに適用 ^{6, 10}						
SCLクロック周波数	f_{SCL}				400	kHz
t_{BUF} STOPとSTART間のバス・フリー・タイム	t_1	この期間の後で、最初のクロック・パルスが生成されます	1.3			μs
$t_{HD:STA}$ ホールド・タイム (回復START)	t_2		0.6			μs
t_{LOW} SCLクロックのロー期間	t_3		1.3			μs
t_{HIGH} SCLクロックのハイ期間	t_4		0.6		50	μs
$t_{SU:STA}$ START条件のセットアップ・タイム	t_5		0.6			μs
$t_{HD:DAT}$ データ・ホールド・タイム	t_6				0.9	μs
$t_{SU:DAT}$ データ・セットアップ・タイム	t_7		100			ns
t_F SDA信号とSCL信号の立ち下がり時間	t_8				300	ns
t_R SDA信号とSCL信号の立ち上がり時間	t_9				300	ns
$t_{SU:STO}$ STOP条件のセットアップ・タイム	t_{10}			0.6		μs

注

¹ 標準は、25°C、 $V_{DD}=+5V$ 、 $V_{SS}=-5V$ での平均読み取り値です。

² 抵抗ポジション非直線性エラーR-INLは、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションの間で計測された理想値からの偏移です。R-DNLでは、連続したタップ・ポジション間の理想値からの相対的なステップ変化を計測します。パーツは単調性が保証されています。

³ $V_{AB}=V_{DD}$ 、ワイパー (V_w) =未接続

⁴ INLとDNLは、電圧出力D/Aコンバータと同様にRDACをポテンショメータ・ディバイダとして構成した状態で V_w で計測します。 $V_A=V_{DD}$ および $V_B=0V$ です。最大 ± 1 LSBというDNL仕様の制限が、保証された単調性動作条件になっています。

⁵ 抵抗端子A、B、Wには、相互間の極性の制限がありません。

⁶ 設計で保証されており、出荷テストは行いません。

⁷ P_{DIS} は ($I_{DD} \times V_{DD}$) から計算します。CMOSロジック・レベル入力によって、最小の消費電力が実現します。

⁸ 帯域幅、ノイズ、セトリング時間は、選択した端子抵抗値に依存します。最小のR値では、最速のセトリング時間と最高の帯域幅が得られます。最大のR値では、全体的な消費電力が最小になります。

⁹ すべてのダイナミック特性で $V_{DD}=5V$ を使用します。

¹⁰ 計測値のロケーションについては、タイミング図を参照してください。

仕様は予告なく変更されることがあります。

AD5280/AD5282

絶対最大定格¹

(特に指定のない限り、 $T_A=25^\circ\text{C}$)

$V_{DD}\sim\text{GND}$	-0.3V、+15V
$V_{SS}\sim\text{GND}$0V、-7V
$V_{DD}\sim V_{SS}$15V
$V_A、V_B、V_W\sim\text{GND}$	$V_{SS}、V_{DD}$
$A_X\sim B_X、A_X\sim W_X、B_X\sim W_X$	
断続 ²	$\pm 20\text{mA}$
連続	$\pm 5\text{mA}$
$V_{\text{LOGIC}}\sim\text{GND}$0V、7V
出力電圧 $\sim\text{GND}$0V、7V
動作温度範囲	-40 \sim +85 $^\circ\text{C}$
熱抵抗 ³ θ_{JA}	
TSSOP-14206 $^\circ\text{C}/\text{W}$
TSSOP-16150 $^\circ\text{C}/\text{W}$

最大接合温度 ($T_J\text{MAX}$)150 $^\circ\text{C}$
保管温度	-65 \sim +150 $^\circ\text{C}$
ピン温度	
RU-14、RU-16 (気相、60秒)215 $^\circ\text{C}$
RU-14、RU-16 (赤外線、15秒)220 $^\circ\text{C}$

注

¹ 上記の絶対最大定格リストを超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格のみを規定するものであり、これらの規定値あるいはこの仕様書の動作セクションに記載した規定値を超える条件で、デバイスが機能的に動作することを意味するものではありません。長期間にわたって絶対最大定格条件で放置すると、デバイスの信頼性に影響を与えるおそれがあります。

² 最大端子電流は、スイッチの最大電流ハンドリング、パッケージの最大消費電力、および任意の抵抗でのA端子、B端子、W端子のいずれか2つの端子間に印加される最大電圧によって束縛されます。

³ パッケージ消費電力 ($T_J\text{MAX}-T_A$) / θ_{JA}

オーダー・ガイド

モデル	チャンネル数	R_{AB} (k Ω)	温度	パッケージ	パッケージ・ オプション	コンテナ当たり のパーツ	ブランド情報*
AD5280BRU20	1	20	-40 \sim +85 $^\circ\text{C}$	TSSOP-14	RU-14	96	AD5280B20
AD5280BRU20-REEL7	1	20	-40 \sim +85 $^\circ\text{C}$	TSSOP-14	RU-14	1000	AD5280B20
AD5280BRU50	1	50	-40 \sim +85 $^\circ\text{C}$	TSSOP-14	RU-14	96	AD5280B50
AD5280BRU50-REEL7	1	50	-40 \sim +85 $^\circ\text{C}$	TSSOP-14	RU-14	1000	AD5280B50
AD5280BRU200	1	200	-40 \sim +85 $^\circ\text{C}$	TSSOP-14	RU-14	96	AD5280B200
AD5280BRU200-REEL7	1	200	-40 \sim +85 $^\circ\text{C}$	TSSOP-14	RU-14	1000	AD5280B200
AD5282BRU20	2	20	-40 \sim +85 $^\circ\text{C}$	TSSOP-16	RU-16	96	AD5282B20
AD5282BRU20-REEL7	2	20	-40 \sim +85 $^\circ\text{C}$	TSSOP-16	RU-16	1000	AD5282B20
AD5282BRU50	2	50	-40 \sim +85 $^\circ\text{C}$	TSSOP-16	RU-16	96	AD5282B50
AD5282BRU50-REEL7	2	50	-40 \sim +85 $^\circ\text{C}$	TSSOP-16	RU-16	1000	AD5282B50
AD5282BRU200	2	200	-40 \sim +85 $^\circ\text{C}$	TSSOP-16	RU-16	96	AD5282B200
AD5282BRU200-REEL7	2	200	-40 \sim +85 $^\circ\text{C}$	TSSOP-16	RU-16	1000	AD5282B200

AD5280/AD5282のダイ・サイズは75 \times 120mm、9,000mm²です。3077個のトランジスタが含まれています。

* ライン1には型番、ライン2にはADIロゴに続いてエンド・ツー・エンドの抵抗値、ライン3には日付コードYYWWが含まれています。

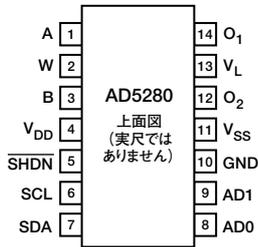
注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されます。AD5280/AD5282は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

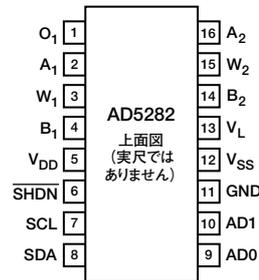


ピン配置

AD5280ピン配置



AD5282ピン配置



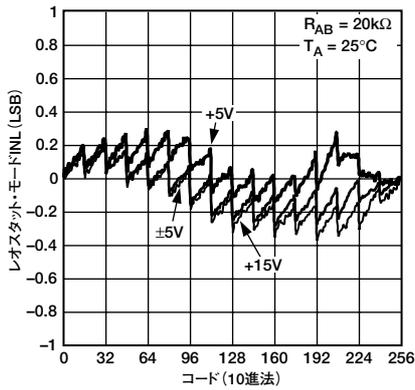
AD5280ピン機能の説明

ピン	記号	説明
1	A	抵抗端子A
2	W	ワイパー端子W
3	B	抵抗端子B
4	V _{DD}	正電源 5~15V (V _{DD} + V _{SS} の合計≤15V)での動作を規定。
5	$\overline{\text{SHDN}}$	アクティブ・ロー、ワイパーWから端子Bの非同期接続、および端子Aのオープンサーキット RDACレジスタの内容は変化なし。未使用の場合、 $\overline{\text{SHDN}}$ はV _L に接続すること。
6	SCL	シリアル・クロック入力
7	SDA	シリアル・データ入/出力
8	AD0	マルチ・パッケージ・デコーディング用のプログラマブル・アドレス・ビット0 ビットAD0とAD1は、4つの可能なアドレスを表します。
9	AD1	マルチ・パッケージ・デコーディング用のプログラマブル・アドレス・ビット1 ビットAD0とAD1は、4つの可能なアドレスを表します。
10	GND	共通グラウンド
11	V _{SS}	負電源 0~-5V (V _{DD} + V _{SS} の合計≤15V)での動作を規定。
12	O ₂	ロジック出力端子O ₂
13	V _L	ロジック電源電圧 AD5280を制御するデジタル・ロジックと同じ電圧が必要。
14	O ₁	ロジック出力端子O ₁

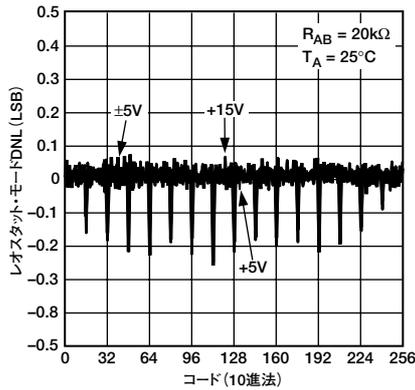
AD5282ピン機能の説明

ピン	記号	説明
1	O ₁	ロジック出力端子O ₁
2	A ₁	抵抗端子A ₁
3	W ₁	ワイパー端子W ₁
4	B ₁	抵抗端子B ₁
5	V _{DD}	正電源 5~15V (V _{DD} + V _{SS} の合計≤15V)での動作を規定。
6	$\overline{\text{SHDN}}$	アクティブ・ロー、ワイパーWから端子Bの非同期接続、および端子Aのオープンサーキット RDACレジスタの内容は変化なし。未使用の場合、 $\overline{\text{SHDN}}$ はV _L に接続すること。
7	SCL	シリアル・クロック入力
8	SDA	シリアル・データ入/出力
9	AD0	マルチ・パッケージ・デコーディング用のプログラマブル・アドレス・ビット0 ビットAD0とAD1は、4つの可能なアドレスを表します。
10	AD1	マルチ・パッケージ・デコーディング用のプログラマブル・アドレス・ビット1 ビットAD0とAD1は、4つの可能なアドレスを表します。
11	GND	共通グラウンド
12	V _{SS}	負電源 0~-5V (V _{DD} + V _{SS} の合計≤15V)での動作を規定。
13	V _L	ロジック電源電圧 AD5282を制御するデジタル・ロジックと同じ電圧が必要。
14	B ₂	抵抗端子B ₂
15	W ₂	ワイパー端子 ₂
16	A ₂	抵抗端子A ₂

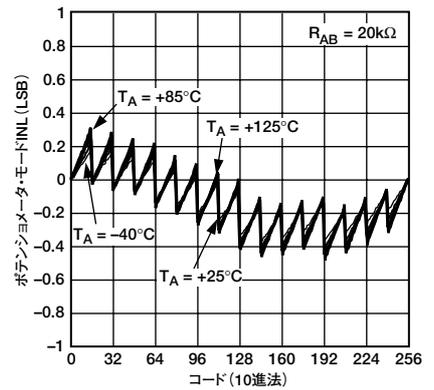
AD5280/AD5282 — 一般的な性能特性



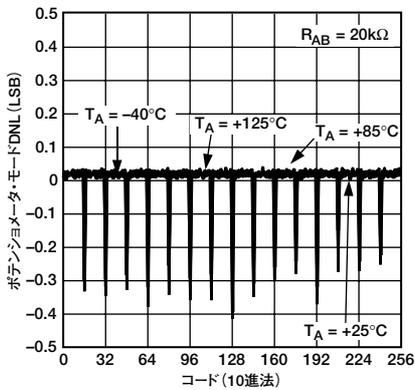
TPC 1. R-INLとコードと電源電圧



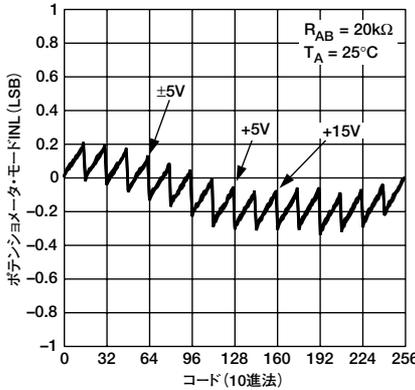
TPC 2. R-DNLとコードと電源電圧



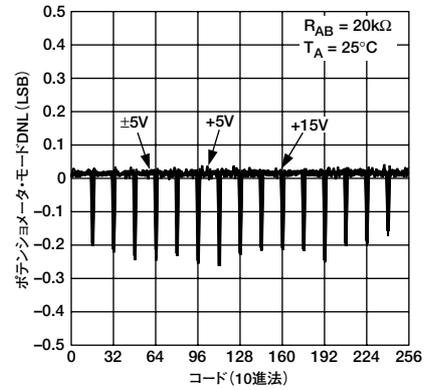
TPC 3. INLとコード、 $V_{DD}/V_{SS} = \pm 5V$



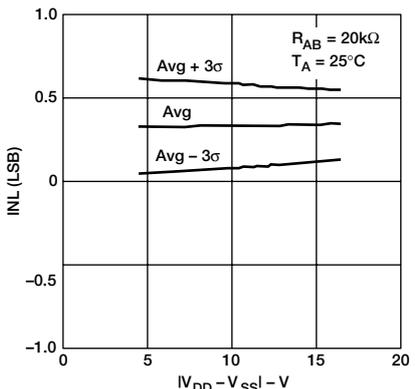
TPC 4. DNLとコード、 $V_{DD}/V_{SS} = \pm 5V$



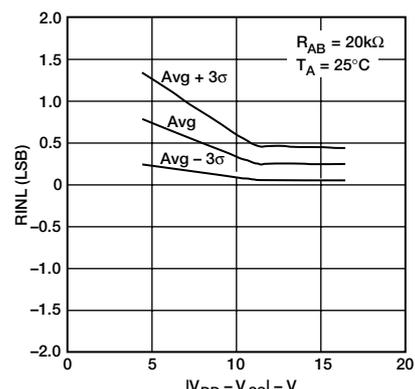
TPC 5. INLとコードと電源電圧



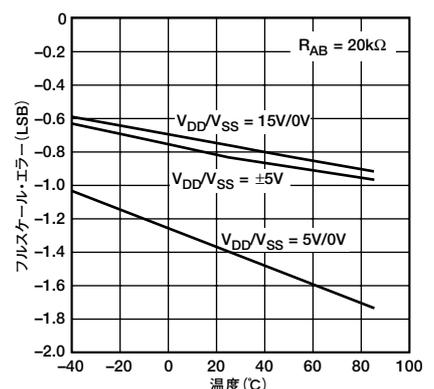
TPC 6. DNLとコードと電源電圧



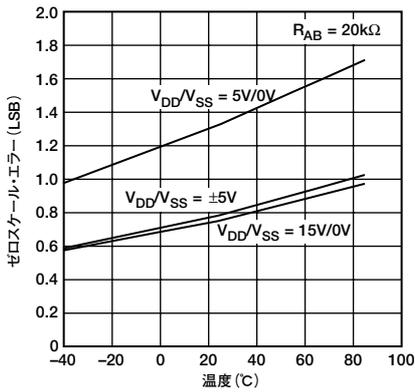
TPC 7. INLと電源電圧



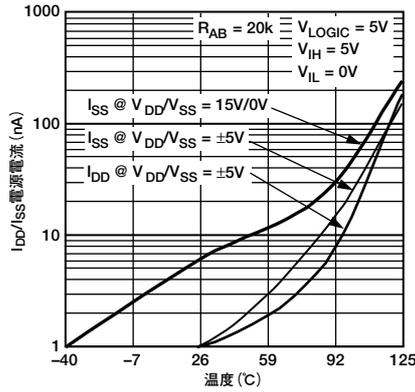
TPC 8. RINLと電源電圧



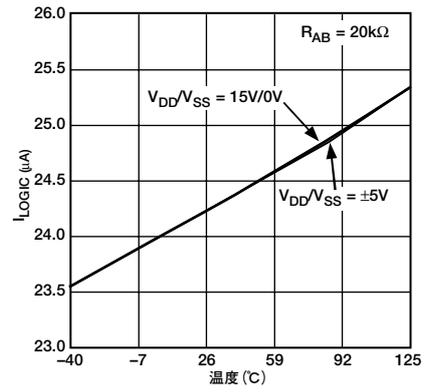
TPC 9. フルスケール・エラー



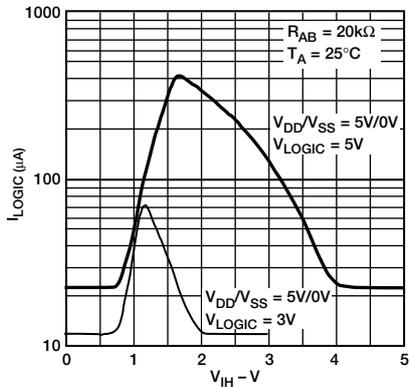
TPC 10. ゼロスケール・エラー



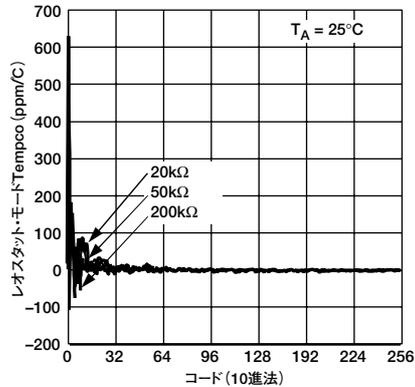
TPC 11. 電源電流と温度



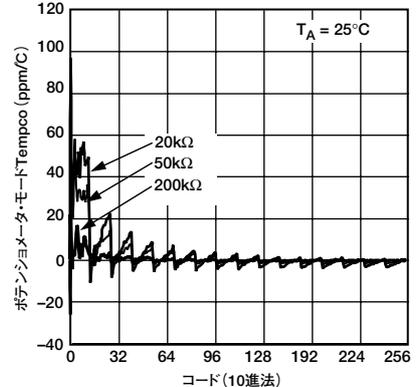
TPC 12. V_{LOGIC} 電源電流と温度



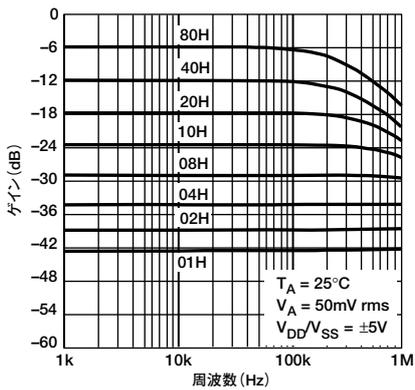
TPC 13. V_{LOGIC} 電源電流とデジタル入力電圧



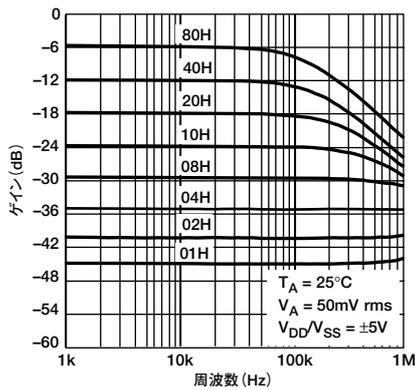
TPC 14. レオスタット・モード Tempco $\Delta R_{\text{WB}}/\Delta T$ とコード、 $V_{\text{DD}}/V_{\text{SS}} = \pm 5\text{V}$



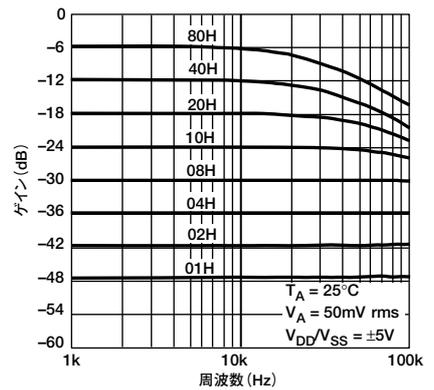
TPC 15. ポテンシオメータ・モード Tempco $\Delta V_{\text{WB}}/\Delta T$ とコード、 $V_{\text{DD}}/V_{\text{SS}} = \pm 5\text{V}$



TPC 16. ゲインと周波数とコード、 $R_{\text{AB}} = 20\text{k}\Omega$

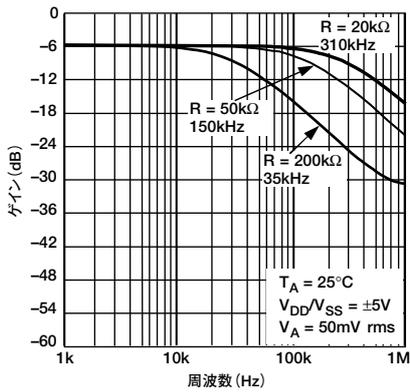


TPC 17. ゲインと周波数とコード、 $R_{\text{AB}} = 50\text{k}\Omega$

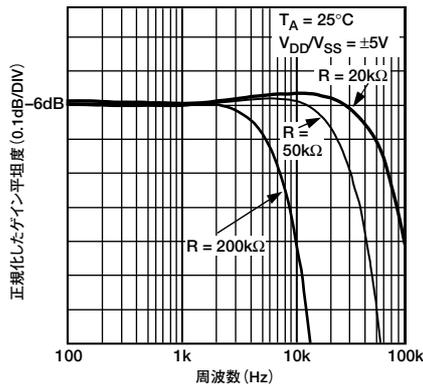


TPC 18. ゲインと周波数とコード、 $R_{\text{AB}} = 200\text{k}\Omega$

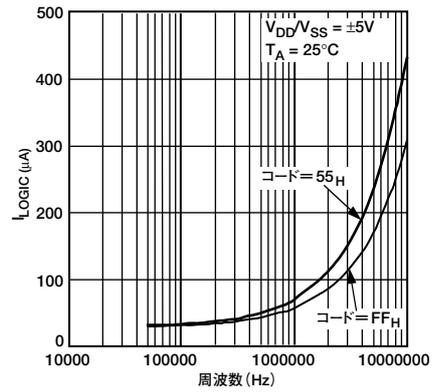
AD5280/AD5282



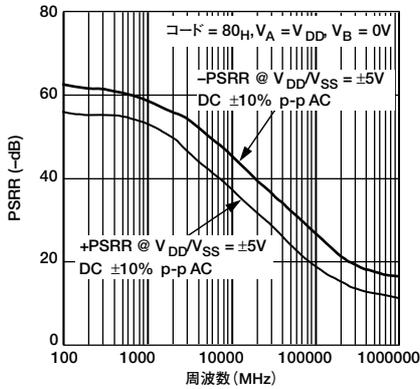
TPC 19. -3dB帯域幅



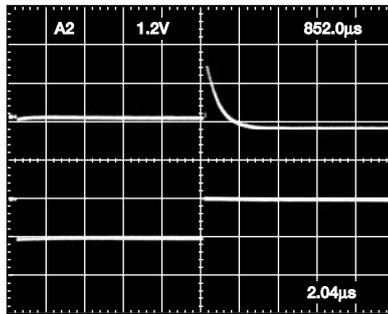
TPC 20. 正規化したゲイン平坦度と周波数



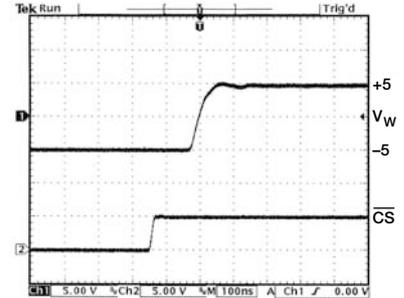
TPC 21. V_{LOGIC} 電源電流と周波数



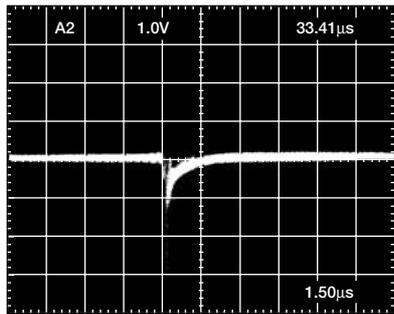
TPC 22. PSRRと周波数



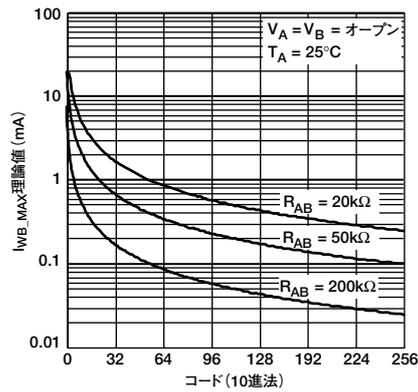
TPC 23. ミッドスケール・グリッチ・エネルギー・コード80_H~7F_H



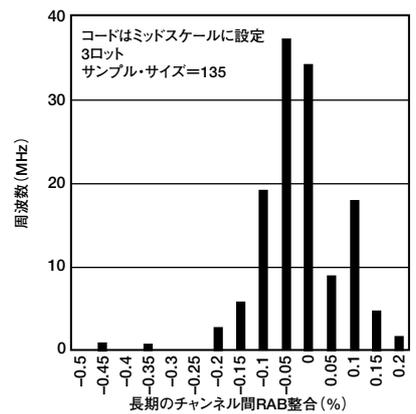
TPC 24. 大信号セトリング時間



TPC 25. デジタル・フィードスルーと時間



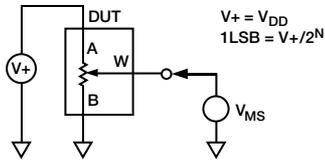
TPC 26. I_{MAX} とコード



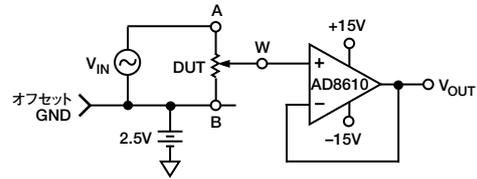
TPC 27. チャンネル間の抵抗マッチング (AD5282)

テスト回路

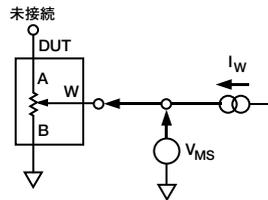
テスト回路1~11で、製品仕様表で使用したテスト条件を示します。



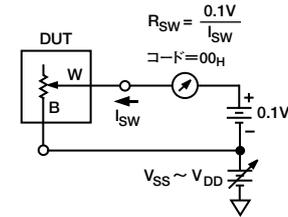
テスト回路1. ポテンショメータ・ディバイダの非直線性エラー (INL、DNL)



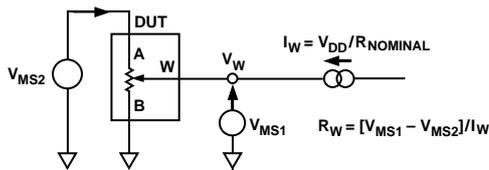
テスト回路7. ゲインと周波数



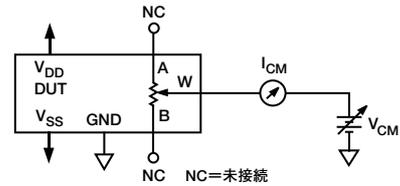
テスト回路2. 抵抗ポジションの非直線性エラー (レオスタット動作; R-INL、R-DNL)



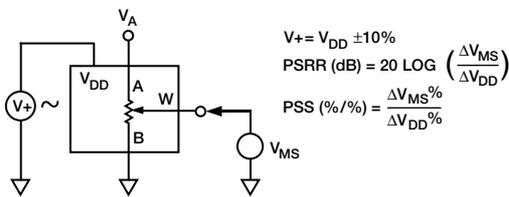
テスト回路8. インクリメンタル・オン抵抗



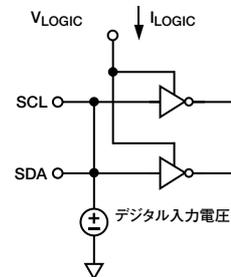
テスト回路3. ワイパー抵抗



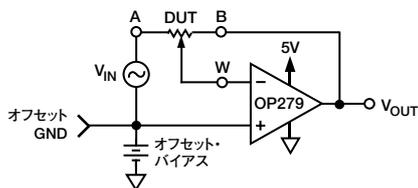
テスト回路9. コモンモード・リーク電流



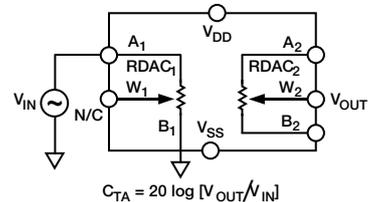
テスト回路4. 電源電圧感度 (PSS、PSRR)



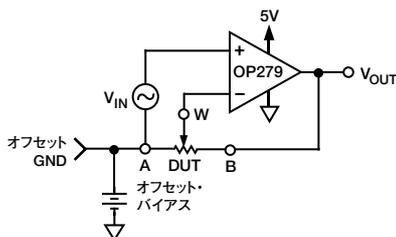
テスト回路10. V_{LOGIC} 電流とデジタル入力電圧



テスト回路5. 反転ゲイン



テスト回路11. アナログ・クロストーク (AD5282のみ)



テスト回路6. 非反転ゲイン

AD5280/AD5282

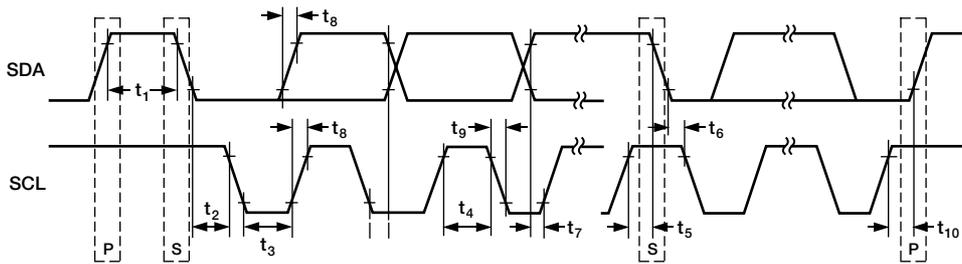


図1. 詳細なタイミング図

AD5280/AD5282のデータは、次のシリアル・フォーマットでPCバスから受けます。

S	0	1	0	1	1	AD1	AD0	R/W	A	\bar{A}/B	RS	SD	O1	O2	X	X	X	A	D7	D6	D5	D4	D3	D2	D1	D0	A	P
	スレーブ・アドレス・バイト								インストラクション・バイト								データ・バイト											

記号の意味：

S=開始条件

P=停止条件

A=アクノレッジ

\bar{A} =アクノレッジなし

X=ドント・ケア

AD1、AD0=パッケージ・ピンのプログラマブル・アドレス・ビット

R/W=ハイレベルでリード・イネーブル、ローレベルでライト・イネーブル

\bar{A}/B =RDACサブアドレスの選択。RDAC1は「0」、RDAC2は「1」

RS=ミッドスケール・リセット、アクティブ・ハイ（選択したチャンネルにのみ影響）

SD=シャットダウン。反転ロジック以外はSHDNピン動作と同じ（選択したチャンネルにのみ影響）

O₂、O₁=出力ロジック・ピンのラッチされた値、デフォルト・ロジック0

D7、D6、D5、D4、D3、D2、D1、D0=データ・ビット

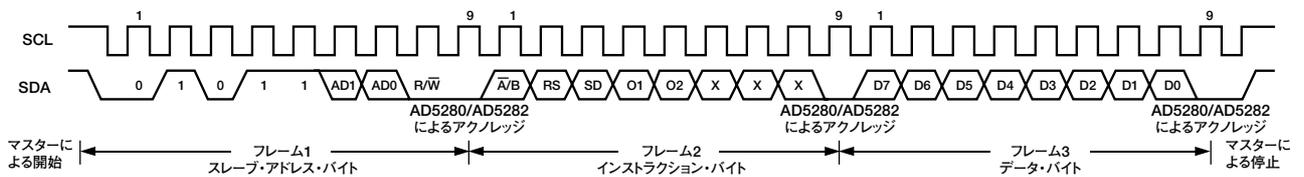


図2. RDACレジスタへの書き込み

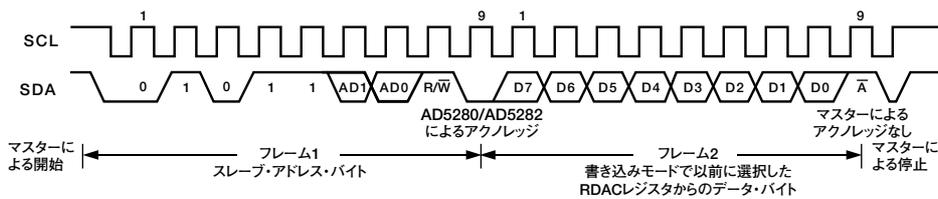


図3. 書き込みモードで以前に選択したRDACレジスタからのデータ読み出し

動作

AD5280/AD5282は、シングル/デュアル・チャンネル、256ポジションのデジタル制御可変抵抗 (VR) デバイスです。

VR設定値のプログラムについては、「デジタル・インターフェース」の項を参照してください。AD5280/AD5282には、パワーオン時にワイパーをミッドスケールに置く内部パワーオン・プリセットが備わっているため、パワーアップ時にフォールト状態から簡単に回復します。パワーオン・プリセット機能の動作は、 V_L ピンの状態にも依存します。さらに、AD5280/AD5282のシャットダウンSHDNピンで、端子Aがオープンサーキット、ワイパーWが端子Bに接続されているほぼゼロ電力消費の状態にRDACを置くため、VR構造で消費されるのはリーク電流だけになります。シャットダウン時には、VRのラッチ設定値が維持されますが、新しい設定値をプログラムすることもできます。パーツがシャットダウンから復帰すると、対応するVR設定値がRDACに適用されます。

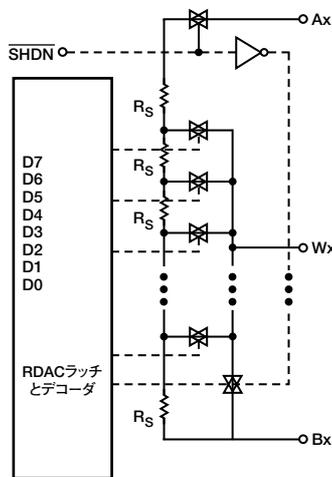


図4. AD5280/AD5282の等価RDAC回路

可変抵抗のプログラミング

レオスタット動作

端子Aと端子Bの間のRDACの公称抵抗は、20k Ω 、50k Ω 、200k Ω です。公称抵抗値は、パーツ番号の最後の2桁または3桁で分かります。たとえば、20k Ω =20、50k Ω =50、200k Ω =200です。VRのノミナル抵抗 (R_{AB}) には、ワイパー端子によって読み書きされる256個の接点のほか、B端子接点もあります。RDACラッチ内の8ビット・データをデコードして、256の可能な設定値の中から1つが選択されます。20k Ω のパーツを使用する場合、ワイパーの最初の接続は、データ00_HのB端子から始まります。60 Ω のワイパー接触抵抗があるため、この接続によって、端子Wと端子Bの間に最小60 Ω の抵抗が生じます。2番目の接続は、データ01_Hの138 Ω ($R_{WB} = R_{AB}/256 + R_W = 78\Omega + 60\Omega$) に対応する最初のタップ・ポイントです。3番目の接続は、データ02_Hの216 Ω ($78 \times 2 + 60$) を表す次のタップ・ポイントです。以下も同様です。最後のタップ・ポイントが19982 Ω ($R_{AB} - 1 \text{ LSB} + R_W$) になるまで、各LSBデータ値の増加でワイパーが抵抗ラダーを上へ移動します。図4に等価RDAC回路の簡略図を示します。ここでは、最後の抵抗列はアクセスされません。したがって、フルスケールでは、ワイパー抵抗のほかに1 LSB小さいノミナル抵抗が存在します。

デジタルでプログラムするWとBの間の出力抵抗を求める一般式は次のとおりです。

$$R_{WB}(D) = \frac{D}{256} \times R_{AB} + R_W \quad (1)$$

ここで、

Dは、8ビットRDACレジスタにロードされる2進コードと等価な10進値です。

R_{AB} は、ノミナル・エンド・ツー・エンド抵抗です。

R_W は、内部スイッチのオン抵抗によるワイパー抵抗です。

ここでも、 $R_{AB} = 20\text{k}\Omega$ で、A端子がオープンサーキットの場合には、次のRDACラッチ・コードに対して以下の出力抵抗値 R_{WB} が設定されます。

表I. コードと対応する抵抗値

D (DEC)	R_{WB} (Ω)	出力状態
255	19982	フルスケール ($R_{AB} - 1 \text{ LSB} + R_W$)
128	10060	ミッドスケール
1	138	1 LSB
0	60	ゼロスケール (ワイパー接触抵抗)

注: ゼロスケール状態では、60 Ω という有限なワイパー抵抗が存在します。この状態では、WとBの間の電流フローを、最大パルス電流が20mAを越えないように制限するよう注意してください。そうしないと、内部スイッチ接点が悪化した破損する可能性があります。

機械式ポテンシオメータと同様に、ワイパーWと端子Aの間のRDAC抵抗によって、デジタル制御される相補抵抗 R_{WA} が生じます。これらの端子が使用されると、B端子をオープンにできません。 R_{WA} の抵抗値の設定は、抵抗の最大値から始まり、ラッチにロードされるデータの値が増加するにつれて抵抗値は減少します。この動作の一般式は次のとおりです。

$$R_{WA}(D) = \frac{256 - D}{256} \times R_{AB} + R_W \quad (2)$$

$R_{AB} = 20\text{k}\Omega$ でB端子がオープンサーキットの場合、次のRDACラッチ・コードに対して以下の出力抵抗 R_{WA} が設定されます。

表II. コードと対応する抵抗値

D (DEC)	R_{WA} (Ω)	出力状態
255	138	フルスケール
128	10060	ミッドスケール
1	19982	1 LSB
0	20060	ゼロスケール

チャンネル間ノミナル抵抗 R_{AB} マッチングは、代表値として $\pm 1\%$ 以内です。デバイス間マッチングは、プロセス・ロットに依存し、 $\pm 30\%$ の変動が生じることがあります。抵抗素子は薄膜技術で処理されるため、温度による R_{AB} の変化は、30ppm/ $^{\circ}\text{C}$ というきわめて低い温度係数になります。

AD5280/AD5282

ポテンショメータ・ディバイダのプログラミング

電圧出力動作

デジタル・ポテンショメータは、A/Bでの入力電圧に比例してワイパー/B間とワイパー/A間において電圧ディバイダを簡単に生成することができます。V_{DD}/V_{SS}の極性は正でなければなりません。A/B、W/A、W/B間の電圧は、V_{SS}が負電源であれば、いずれの極性も可能です。

近似のためにワイパー抵抗の効果を無視した場合、A端子を5Vに接続し、B端子をグラウンドに接続すると、ワイパー/B間には0V～(5V-1 LSB)までの出力電圧が生じます。電圧の各LSBは、A/B間に印加される電圧を、ポテンショメータ・ディバイダの256ポジションで除算した値に等しくなります。AD5280/AD5282は両電源から供給できるため、端子Aと端子Bに印加される有効な入力電圧のグラウンドを基準にして、V_Wでの出力電圧を求める一般式は次のようになります。

$$V_W(D) = \frac{D}{256} V_A + \frac{256-D}{256} V_B \quad (3)$$

ワイパー抵抗の効果を見込んで、もっと正確な計算をするなら、V_Wは次のようになります。

$$V_W(D) = \frac{R_{WB}(D)}{R_{AB}} V_A + \frac{R_{WA}(D)}{R_{AB}} V_B \quad (4)$$

ディバイダ・モードでデジタル・ポテンショメータを動作させると、温度に関してより正確な動作が得られます。レオスタット・モードの場合と異なり、出力電圧は、主に内部抵抗R_{WA}とR_{WB}の比率に依存し、絶対値には依存しません。したがって、温度ドリフトは5ppm/℃に減少します。

デジタル・インターフェース

2線式シリアル・バス

AD5280/AD5282は、I²C互換シリアル・バスで制御します。RDACは、スレーブ・デバイスとしてバスに接続されます。

図2と図3によると、AD5280/AD5282の最初のバイトがスレーブ・アドレス・バイトです。これには、7ビットのスレーブ・アドレスとR/ \bar{W} ビットがあります。5つのMSBは01011で、次の2ビットはデバイスのAD0ピンとAD1ピンの状態によって決まります。AD0とAD1を使用して、ユーザーは、1本のバス上に4つまでのI²C互換デバイスを置くことができます。

2線式I²Cシリアル・バス・プロトコルは次のように動作します。

1. マスターは、START条件を確立することによってデータ転送を開始します。これは、SCLがハイレベルになっている間に、SDAライン上でハイからローへの遷移が発生したときになります (図2を参照)。次のバイトはスレーブ・アドレス・バイトで、7ビットのスレーブ・アドレスとそれに続くR/ \bar{W} ビット (このビットで、スレーブ・デバイスとの間でのデータの読み出し/書き込みを決定します) で構成されます。

送信されたアドレスに対応するアドレスを持つスレーブは、9番目のクロック・パルス (アクノレッジ・ビットと呼ばれます) 中にSDAラインをローレベルにプルすることによって応答します。この段階では、バス上の他のすべてのデバイスはアイドル状態を維持しますが、選択されたデバイスはシリアル・レジスタとの間でデータが読み書きされるのを待ちます。R/ \bar{W} ビットがハイレベルの場合は、マスターはスレーブ・デバイスから読み出します。R/ \bar{W} ビットがローレベルの場合は、スレーブ・デバイスに書き込みます。

2. 書き込み動作には、読み出し動作のときにはないもう1つのインストラクション・バイトが入っています。書き込みモードのこのようなインストラクション・バイトは、スレーブ・アドレス・バイトの後にあります。 \bar{A}/B というラベルの付けられたインストラクション・バイトのMSBは、RDACサブアドレス選択です。デュアル・チャンネルAD5282の場合、

「ロー」でRDAC1を選択し、「ハイ」でRDAC2を選択します。AD5280の場合、 \bar{A}/B をローに設定します。

2番目のMSBであるRSは、ミッドスケール・リセットです。このビットがロジック・ハイの場合、選択されたチャンネルのワイパーは、R_{WA}=R_{WB}であるセンター・タップに移動します。この機能によって、レジスタの内容が実質的に書き込まれるため、リセット・モードから出たとき、RDACはミッドスケールのままになります。

3番目のMSBであるSDは、シャットダウン・ビットです。ロジック・ハイであれば、選択されたチャンネルは端子Aでオープンサーキットとなり、ワイパーは端子Bに短絡します。この動作によって、レオスタット・モードではほぼ0Ωが生じ、ポテンショメータ・モードでは0Vが生じます。このSDビットは、 \bar{S}/HDN ピンと同じ役割を果たしますが、 \bar{S}/HDN ピンはアクティブ・ローに反応します。また、SDビットが書き込み中のチャンネルだけに影響を与えるのに対して、 \bar{S}/HDN ピンは両方のチャンネル (AD5282) に影響を与えます。なお、重要なことですが、シャットダウン動作がレジスタの内容を崩しません。シャットダウンから復旧すると、RDACには以前の設定値が適用されます。

次の2つのビットはO1とO2です。これらは、特別のプログラマブル・ロジック出力で、他のデジタル負荷、ロジック・ゲート、LEDドライバ、アナログ・スイッチなどを駆動できます。3つのLSBはドント・ケアです (図2を参照)。

3. インストラクション・バイトをアクノレッジした後、書き込みモードでの最後のバイトはデータ・バイトです。データは、9つのクロック・パルス (8つのデータ・ビットとそれに続くアクノレッジ・ビット) の連続でシリアル・バス上を送信されます。SDAライン上での遷移はSCLのロー期間中に生じなければならない、SCLのハイ期間中は安定している必要があります (図2を参照)。
4. 読み出しモードでは、データ・バイトは、スレーブ・アドレス・バイトの応答の直後に続きます。データは、9つのクロック・パルス (8つのデータ・ビットに続いてアクノレッジ・ビットがある書き込みモードとは少し違います) の連続でシリアル・バス上を送信されます。同様に、SDAライン上での遷移はSCLのロー期間中に生じなければならない、SCLのハイ期間中には安定している必要があります (図3を参照)。
5. すべてのデータ・ビットが読み出し/書き込みされると、マスターによって停止条件が確立されます。停止条件は、SCLがハイレベルの間における、SDAライン上でのローレベルからハイレベルへの遷移と定義されます。書き込みモードでは、マスターが10番目のクロック・パルスの間にSDAラインをハイレベルにプルして停止条件を確立します (図2を参照)。読み出しモードでは、マスターが9番目のクロック・パルスに対してノー・アクノレッジを発行します (つまり、SDAラインはハイレベルのままです)。続いてマスターは10番目のクロック・パルスの前にSDAラインをローレベルにし、ここからSDAラインがハイレベルとなって停止条件が確立します (図3を参照)。

書き込み機能の反復を利用すれば、ユーザーは、パーツに一度だけアドレス指定とインストラクションを与えておけば、RDAC出力を何回でもフレキシブルに更新できます。書き込みサイクル中に、各データ・バイトはRDAC出力を更新します。たとえば、RDACがそのスレーブ・アドレスとインストラクション・バイトをアクノレッジした後は、RDAC出力がこの2つのバイトの後で更新されます。RDACに別のバイトが書き込まれたときに、そのRDACが同じインストラクションによってまだ特定のスレーブ・デバイスを参照している場合には、このバイトが選択されたスレーブ・デバイスの出力を更新します。別のインストラクションが必要な場合には、書き込みモードは、新しいスレーブ・アドレス、インストラクション、データ・バイトで再開する必要があります。同様に、RDACの反復読み出し機能も可能になります。

RDAC値のリードバック

AD5280/AD5282では、読み出しモードでRDAC値を読み返すことができます。ただし、AD5282デュアル・チャンネル・デバイスの場合には、対象となるチャンネルは、書き込みモードで以前に選択したチャンネルです。AD5282で、ユーザーが両方のチャンネルのRDAC値を読み出す必要がある場合には、ユーザーは、書き込みモードで最初のサブアドレスをプログラムしてから、読み出しモードに切り替えて最初のチャンネル値を読み出します。その後で、2番目のサブアドレスで書き込みモードに戻し、再び読み出しモードで2番目のチャンネル値を最終的に読み出すことができます。なお、リードバック動作を次に行うことを想定している時は、ユーザーが書き込みモードでフレーム3のデータ・バイトを発行する必要はありません。プログラミング・フォーマットについては、図2と図3を参照してください。

付加的プログラマブル・ロジック出力

AD5280/AD5282に備わっているプログラマブル・ロジック出力 O_1 と O_2 を使用すれば、デジタル負荷、アナログ・スイッチ、ロジック・ゲートを駆動することができます。 O_1 と O_2 は、デフォルトでロジック0になります。 O_1 と O_2 のロジック状態は、書き込みモードで、フレーム2でプログラムできます（図2を参照）。これらのロジック出力には、ミリアンペア負荷をシンク/ソースするために十分な電流駆動能力があります。

ユーザーは、ワイパー設定値に影響を与えることなく、以下の3とおりの方法で O_1 と O_2 をアクティブにすることができます。

1. スタート、スレーブ・アドレス・バイト、アクノレッジ、 O_1 と O_2 を指定したインストラクション・バイト、アクノレッジ、ストップ。
2. ストップで書き込みサイクルを完了し、続いてスタート、スレーブ・アドレス・バイト、アクノレッジ、 O_1 と O_2 を指定したインストラクション・バイト、アクノレッジ、ストップ。
3. ストップを発行しないことで書き込みサイクルを完了せず、続いてスタート、スレーブ・アドレス・バイト、アクノレッジ、 O_1 と O_2 を指定したインストラクション・バイト、アクノレッジ、ストップ。

内蔵のシャットダウン機能

シャットダウンをアクティブにするには、 $\overline{\text{SHDN}}$ ピンをストローブするか、書き込みモードのインストラクション・バイトのSDビットをプログラムします。また、図5に示すように、デバイス・デジタル出力でもシャットダウンを実現できます。この設定では、デバイスは電源投入中にシャット・ダウンされますが、ユーザーはデバイスをプログラムできます。したがって、 O_1 がハイレベルにプログラムされているときには、デバイスはシャットダウン・モードから出て、新しい設定値に応答します。この内蔵シャットダウン機能を使用すれば、電源投入時に完全なシャットダウンが可能になります。これは危険な環境できわめて重要な動作であり、そのために特別なコンポーネントを追加する必要もありません。

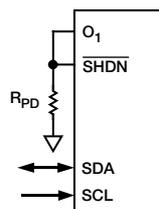


図5. 内部ロジック出力によるシャットダウン

1本のバス上の複数デバイス

図6に、同じシリアル・バス上の4つのAD5282デバイスを示します。それぞれのAD5282デバイスには、AD0ピンとAD1ピンの状態が異なっているため、異なるスレーブ・アドレスがあります。これによって、各デバイス内の各RDACは、独立して読み書きすることができます。マスターのデバイス出力バス・ライン・ドライバは、I²Cに完全互換のインターフェースではオープンドレインのプルダウンです。

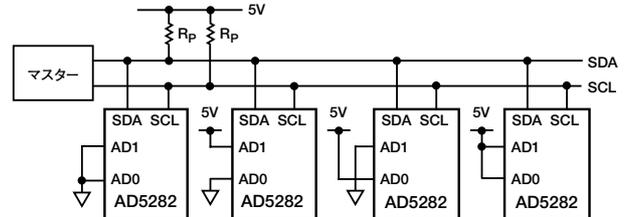


図6. 1本のバス上の複数のAD5282デバイス

双方向インターフェース用のレベル・シフト

古いシステムの多くは1つの電圧で動作しますが、新しいコンポーネントは別の電圧で最適化されることがあります。2つのシステムが同じ信号を2つの異なる電圧で操作するときには、適切なレベル・シフトが必要となります。たとえば、3.3VのE²PROMを使用して、5Vのデジタル・ポテンショメータとインターフェースをとることができます。双方向通信を可能にするには、E²PROMとの間でデジタル・ポテンショメータの設定値の保持と取り出しが行えるように、レベル・シフト・スキームが必要となります。図7に、実現例の1つを示します。 V_{DD} が2.5V未満に取まる場合には、M1とM2は、任意のN-Ch信号FETまたは低スレッショルドFDV301Nとすることができます。

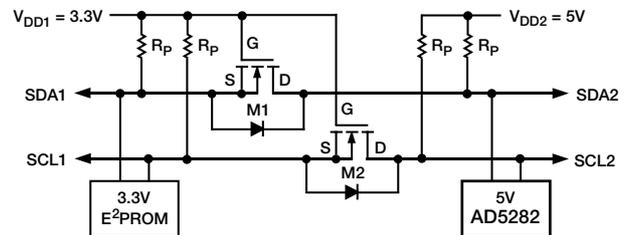


図7. 異なる電位動作のためのレベル・シフト

負電圧動作のためのレベル・シフト

デジタル・ポテンショメータは、レーザ・ダイオード・ドライバやある種の通信機器のレベル設定アプリケーションでよく使用されます。こうしたアプリケーションでは、大きなバイパス・コンデンサによるAC性能の大幅低下を回避するため、システムにグラウンドでバイアスがかけられるようグラウンドと負電源電圧との間で動作させることがあります。多くのデジタル・ポテンショメータと同様に、AD5280/AD5282は負電源で設定できます（図8を参照）。

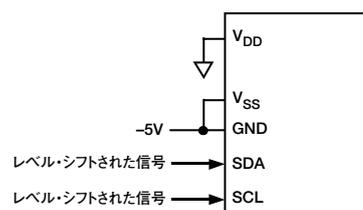


図8. 負電圧でのバイアス

AD5280/AD5282

しかし、この場合はグラウンドが負電位を基準としているため、適切な動作を可能にするには、デジタル入力もレベル・シフトする必要があります。その結果として、図9に示すような、いくつかのトランジスタと抵抗による実現例があります。 V_{IN} がQ3のスレッシュホールド値を下回る場合、Q3はオフ、Q1はオフ、Q2はオンです。この状態では、 V_{OUT} は0Vに近づきます。 V_{IN} が2Vを超える場合、Q3はオン、Q1はオン、Q2はオフです。この状態では、 V_{OUT} は V_{SS} までプルダウンされます。ちなみに、デバイスとの正常な通信のためには、適切なタイム・シフトも必要です。

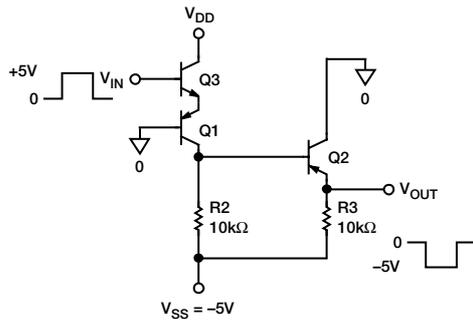


図9. バイポーラ電位動作のためのレベル・シフト

ESD保護

すべてのデジタル入力は、図10に示す直列入力抵抗と並列ツェナーESD構造によって保護されています。これは、デジタル入力ピン、SDA、SCL、SHDNに適用されます。

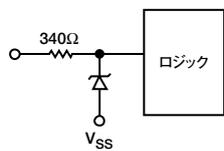


図10a. デジタルピンのESD保護

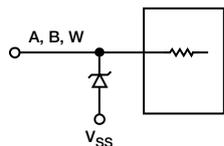


図10b. 抵抗端子のESD保護

端子電圧の動作範囲

AD5280/AD5282の正 V_{DD} および負 V_{SS} 電源では、適切な3端子デジタル・ポテンショメータ動作をするよう境界条件を定義します。 V_{DD} または V_{SS} を超える端子A、B、W上に存在する電源信号は、順方向バイアスがかけられた内部ダイオードによってクランプされます (図11を参照)。

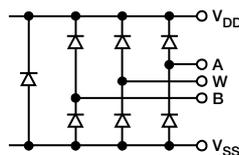


図11. V_{DD} と V_{SS} によって設定された最大端子電圧

パワーアップ・シーケンス

端子A、B、Wには電圧追従を制限するESD保護ダイオードがあるため (図11を参照)、端子A、B、Wに電圧を印加する前に、 V_{DD}/V_{SS} に電力を供給することが大切です。そうしないと、ダイオードに順方向バイアスがかけられることによって、 V_{DD}/V_{SS} に不用意に電力が供給され、ユーザーの残りの回路に影響を与えることがあります。理想的なパワーアップ・シーケンスは、GND、 V_{DD} 、 V_{SS} 、デジタル入力、 $V_{A/B/W}$ という順序です。 V_A 、 V_B 、 V_W 、デジタル入力の電源供給順序は、 V_{DD}/V_{SS} の後になっていれば、重要ではありません。

レイアウトと電源のバイパス

最小リード長のコンパクトなレイアウト設計を採用することをお勧めします。入力へのリード線は、最小の導体長で可能な限り短くしてください。グラウンド・パスは、低抵抗、低インダクタンスにします。

同様に、最大限の安定性を実現するために、高品質のコンデンサで電源をバイパスすることをお勧めします。デバイスへの電源リード線は、0.01~0.1 μ Fのディスクまたはチップ・セラミックス・コンデンサでバイパスしてください。過渡障害を最小限に抑えて低周波数リップルを除去するために、電源には1~10 μ Fの低ESRタンタル・コンデンサまたは電解コンデンサも使用します (図12を参照)。デジタル・グラウンド・バウンスを最小限に抑えるために、ある箇所ではデジタル・グラウンドもアナログ・グラウンドにリモート結合してください。

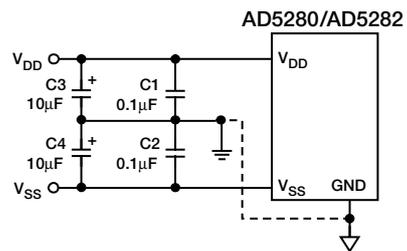


図12. 電源のバイパス

アプリケーション

両電源からのバイポーラDC動作またはAC動作

AD5280/AD5282は両電源から動作できるので、グラウンド基準のAC信号やバイポーラ動作の制御が可能になります。 V_{DD}/V_{SS} と同じレベルのAC信号は、端子A/B間に直接印加して出力を端子Wから取り出すことができます。一般的な回路接続については、図13を参照してください。

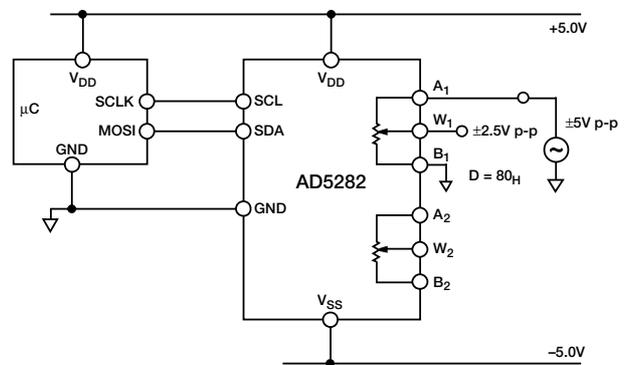


図13. 両電源からのバイポーラ動作

ゲイン制御補償

デジタル・ポテンシオメータは、図14に示す非反転ゲイン・アンプなどのゲイン制御でよく使用されます。

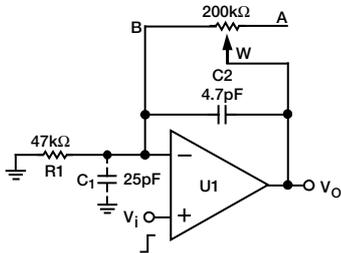


図14. 一般的な非反転ゲイン・アンプ

RDAC B端子の寄生容量がオペアンプの反転ノードに接続されていることに注意してください。一般的なオペアンプGBPには -20dB/dec の特性がありますが、これによって、 20dB/dec での $1/\beta_0$ 項に対してゼロが導入されます。大きな $R2$ と有限な $C1$ によって、このゼロの周波数がクロスオーバー周波数をはるかに下回ることがあります。したがって、クロージャのレートは 40dB/dec になり、システムはクロスオーバー周波数において 0° 位相マージンを持つことになります。入力矩形パルスまたはステップ関数の場合には、出力はリングングしたり発振したりすることがあります。同様に、入力でのステップ変化と等価になるため、2つのゲイン値を切替えるときも、出力がリングングする可能性があります。

オペアンプのGBPにもよりますが、フィードバック抵抗を減らすと、問題を克服するのに十分な程度までゼロの周波数が高くなる場合があります。もっと良い方法としては、補償コンデンサ $C2$ を組み込んで、 $C1$ による効果を打ち消します。 $R1 \times C1 = R2 \times C2$ のとき、最適な補償が得られます。 $R2$ が変化するため、常に最適化はできません。このため、上の式を使用して、 $R2$ が最小値にあるものとして $C2$ を調整します。こうすると、補償が過度に行われて、 $R2$ が高い値のときに性能が若干損なわれることがあります。それでも、最悪の場合のゲイン・ピーキング、リングング、あるいは発振を回避できます。クリティカルなアプリケーションでは、 $C2$ は経験的にニーズに合った値を見つけてください。一般に、補償に関しては $2 \sim 3\text{pF}$ 程度から $0.2 \sim 0.3\text{pF}$ 未満程度の範囲の $C2$ が適切です。

同様に、出力には W と A の端子容量も接続されています(図に示されていません)。ただ、このノードでのそれらの効果はあまり大きくないので、ほとんどの場合、補償は必要ありません。

プログラマブル基準電圧

図15に示す電圧ディバイダ・モードでの動作の場合には、負荷が R_{WB} に対してハイインピーダンスの場合を除いて、ふつうデジタル・ポテンシオメータの出力をバッファリングします。バッファはインピーダンス変換に役立つだけでなく、これによって重い負荷を駆動することも可能になります。

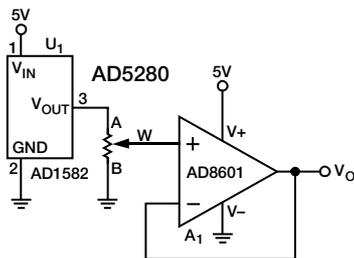


図15. プログラマブル基準電圧

8ビットのバイポーラDAC

図16に、低価格な8ビットのバイポーラDACを示します。これは、従来のDACと同じ数の調節可能なステップを提供しますが、精度は劣ります。直線性と温度係数が特に低値コードで、デジタル・ポテンシオメータのワイパー抵抗(実際の回路はセグメント構成)の影響によってゆがめられます。この回路の出力は次のとおりです。

$$V_o = \left(\frac{2D}{256} - 1 \right) \times V_{REF} \quad (5)$$

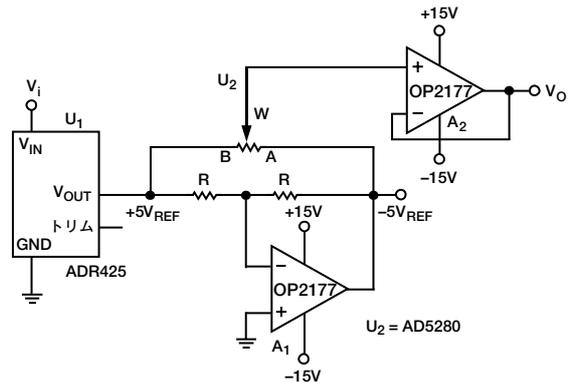


図16. 8ビットのバイポーラDAC

バイポーラ・プログラマブル・ゲイン・アンプ

バイポーラ・ゲインを必要とするアプリケーションについて、図17に、前の回路に類似した1つの実現例を示します。デジタル・ポテンシオメータ U_1 で、調整レンジを設定します。したがって、 W_2 でのワイパー電圧は、任意の U_2 設定において V_i と $-KV_i$ の間でプログラムできます。非反転モードで A_2 を設定すると、直線的なゲインと減衰が得られます。伝達関数は次のとおりです。

$$\frac{V_o}{V_i} = \left(1 + \frac{R2}{R1} \right) \times \left(\frac{D2}{256} \times (1+K) - K \right) \quad (6)$$

ここで、 K は U_1 によって設定された R_{WB1}/R_{WA1} の比率です。

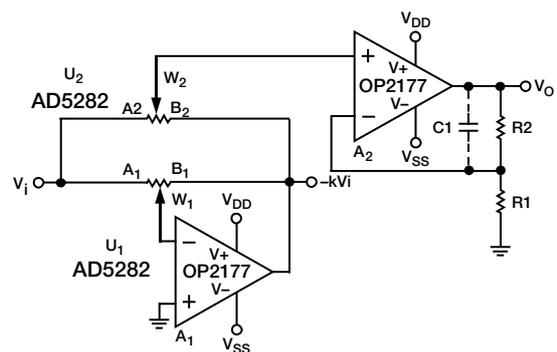


図17. バイポーラ・プログラマブル・ゲイン・アンプ

前の例と同様に、より単純(そしてより一般的)なケースとして $K=1$ の場合、デジタル・ポテンシオメータAD5280が1つ使用され、デジタル・ポテンシオメータの両端に V_i と $-V_i$ を印加するために U_1 はマッチング抵抗ペアによって置き換えられます。その関係は次のようになります。

$$V_o = \left(1 + \frac{R2}{R1} \right) \left(\frac{2D2}{256} - 1 \right) \times V_i \quad (7)$$

$R2$ が大きい場合には、ゲイン・ピーキングを回避するために数pFの補償コンデンサが必要なこともあります。

AD5280/AD5282

表Ⅲに、A2をユニティ・ゲイン、2のゲイン、10のゲインと設定して、Dを調整した結果を示します。結果は、直線的にプログラマブルなゲインと256ステップの分解能を持つバイポーラ・アンプになります。

表Ⅲ. バイポーラ・ゲイン・アンプの結果

D	R1=∞、R2=0	R1=R2	R2=9R1
0	-1	-2	-10
64	-0.5	-1	-5
128	0	0	0
192	0.5	1	5
255	0.968	1.937	9.680

ブースト出力を持つプログラマブルな電圧ソース
レーザー・ダイオード・ドライバや波長可変レーザーなどの大電流調整を必要とするアプリケーションの場合には、ブースト電圧ソースを考えることができます(図18を参照)。

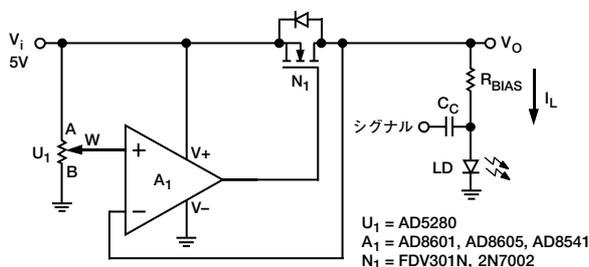


図18. プログラマブルなブースター電圧ソース

この回路では、オペアンプの反転入力によって、 V_{BIAS} がデジタル・ポテンシオメータによって設定されたワイパー電圧に等しくなります。これによって、負荷電流は、電源からN-Ch FET N1を介して供給されます。N1の電力容量・余裕は、 $(V_i - V_o) \times I_L$ の電力を消費するのに十分なものでなければなりません。この回路では、5V電源によって最大100mAを供給できます。A1は、レールtoレール入力タイプにする必要があります。高精度のアプリケーションでは、デジタル・ポテンシオメータの入力においてADR423、ADR292、AD1584などの基準電圧を使用できます。

4~20mAのプログラマブルな電流源

4~20mAのプログラマブルな電流源を実現するには、図19に示す回路を使用します。REF191は、ユニークで低ヘッドルームの、2.048Vで20mAを供給できる大電流処理の高精度レファレンスです。負荷電流は、デジタル・ポテンシオメータの端子Bと端子Wにまたがる電圧を R_S で除算した値です。

$$I_L = \frac{V_{REF} \times D}{R_S \times 2^N} \quad (8)$$

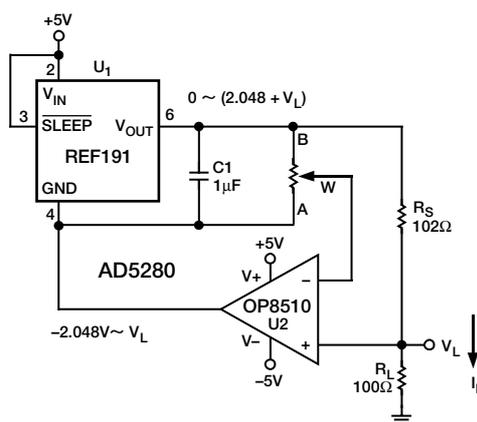


図19. 4~20mAのプログラマブルな電流源

これは単純な回路ですが、2つのことに注意してください。第一に、両電源オペアンプが理想的なことです。REF191のグラウンド電位が、ポテンシオメータのゼロスケールでの-2.048Vから、ポテンシオメータのフルスケールに設定したときの V_L までスイングできるからです。この回路は単電源で動作しますが、システムのプログラマブル分解能は減少します。

大電流機能を必要とするアプリケーションの場合には、図19の回路を少し変更すると、数百mAのレンジで調整可能な電流が得られます。まず、基準電圧をADP3333などの大電流で低ドロップアウトのレギュレータに置き換え、オペアンプをAD8532などの大電流の両電源モデルと交換する必要があります。電流の要求レンジに応じて、適切な R_S の値を計算しなければなりません。負荷には大電流が流れているため、ユーザーは、正電源電圧を超えてオペアンプを駆動しないよう、負荷インピーダンスに注意する必要があります。

プログラマブルな双方向電流源

双方向の電流制御や高電圧コンプライアンスを必要とするアプリケーションの場合には、ハウランド電流ポンプの使用が適していることがあります(図20を参照)。抵抗がマッチングする場合には、負荷電流は次のようになります。

$$I_L = \frac{(R2_A + R2_B)}{R2_B} \times V_W$$

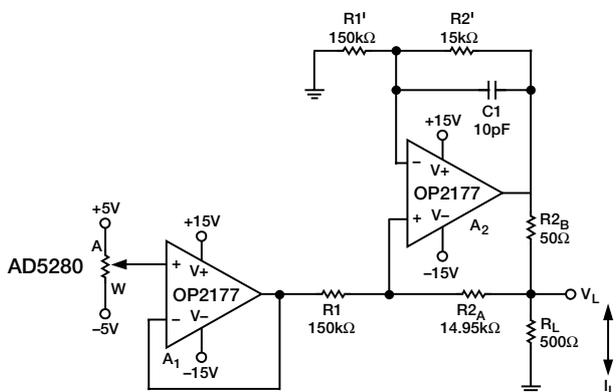


図20. プログラマブルな双方向電流源

理論上の $R2_B$ を必要なだけ小さくして、 A_2 の出力電流駆動能力の範囲内で必要な電流を得ることができます。この回路では、OP2177はいずれの方向にも $\pm 5\text{mA}$ を供給でき、電圧コンプライアンスは 15V に近づきます。出力インピーダンスは次のとおりです。

$$Z_o = \frac{R1' \times R2_B (R1 + R2_A)}{R1 \times R2' - R1' (R2_A + R2_B)} \quad (10)$$

抵抗 $R1'$ と $R2'$ が、各々 $R1$ と $R2_A + R2_B$ と正しく一致する場合、この出力インピーダンスは無窮大になりえます。抵抗が一致しない場合には、出力インピーダンスは負になることがあります。その結果、発振を防ぐには、 $1 \sim 10\text{pF}$ のレンジの $C1$ が必要になります。

プログラマブル・ローパス・フィルタ

A/D変換アプリケーションでは、サンプリング信号を帯域制限するために、ふつうアンチエイリアス・フィルタを組み込みます。デュアル・チャンネルのデジタル・ポテンシオメータを使用すれば、二次のサレン・キー・ローパス・フィルタを構築できます(図21を参照)。設計の式は次のとおりです。

$$\frac{V_o}{V_i} = \frac{\omega_o^2}{S^2 + \frac{\omega_o}{Q}S + \omega_o^2} \quad (11)$$

$$\omega_o = \sqrt{\frac{1}{R1R2C1C2}} \quad (12)$$

$$Q = \frac{1}{R1C1} + \frac{1}{R2C2} \quad (13)$$

ユーザーは、最初にコンデンサに対して都合の良い値を選択できます。 $Q=0.707$ で最大限に平坦な帯域幅を得るには、 $C1$ を $C2$ の2倍にし、 $R1=R2$ にします。その結果、ユーザーは、 $R1$ と $R2$ を同じ設定値に調整して、希望する帯域幅を得ることができます。

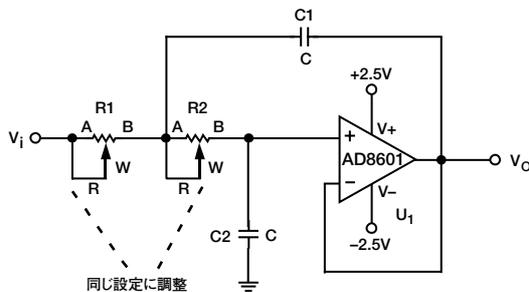


図21. サレン・キー・ローパス・フィルタ

プログラマブルな発振器

古典的なウィーンブリッジ発振器(図22)では、ウィーン・ネットワーク(R, R', C, C')から正のフィードバックが、 $R1$ と $R2$ から負のフィードバックが来ます。共振周波数 f_o では、全体的な位相シフトはゼロであり、正のフィードバックによって回路が発振します。 $R=R', C=C', R2=R2_A // (R2_B + R_{diode})$ では、発振周波数は次のようになります。

$$\omega_o = \frac{1}{RC} \text{ または } f_o = \frac{1}{2\pi RC} \quad (14)$$

ここで、 R は次のように R_{WA} に等しくなります。

$$R = \frac{256 - D}{256} R_{AB} \quad (15)$$

共振時に次のように設定すると、ブリッジがバランスします。

$$\frac{R2}{R1} = 2 \quad (16)$$

実際には、確実に発振を開始できるように、 $R2/R1$ には2より少し大きい値を設定してください。ダイオード $D1$ と $D2$ を交互にオンにすることによって、 $R2/R1$ が瞬間的に2より小さくなるため、発振が安定します。

周波数を設定したら、 $R2_B$ によって発振振幅を調整できます。これは、次の式が成り立つためです。

$$\frac{2}{3} V_o = I_D R2_B + V_D \quad (17)$$

ここで、 V_o, I_D, V_D は相互依存の変数です。 $R2_B$ を適切に選択すると、 V_o が収束する均衡状態になります。 $R2_B$ を単体の抵抗と直列に配置して振幅を増やすことはできますが、出力を飽和してしまうほど合計抵抗を大きくしてはいけません。

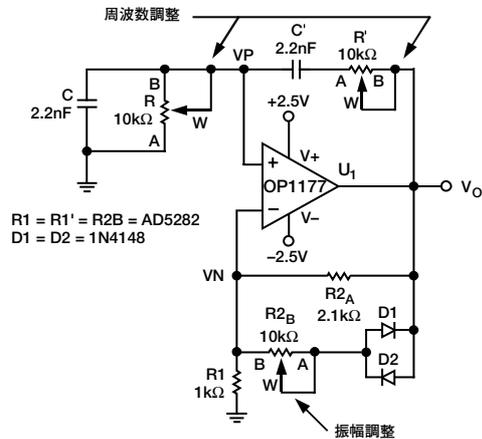


図22. 振幅制御によるプログラマブルな発振器

AD5280/AD5282

抵抗のスケールリング

AD5280/AD5282は、20kΩ、50kΩ、200kΩのノミナル抵抗を提供します。低い抵抗で、同じ数のステップ調整を必要とするユーザーは、複数のデバイスを並列に置くことができます。たとえば、図23に、AD5282の2つのチャンネルを並列に置く簡単な方法を示します。ステップごとに抵抗の半分を直線的に調整するには、ユーザーは両方のチャンネルに同じ設定値をプログラムする必要があります。

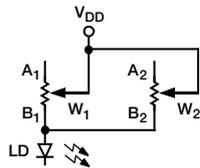


図23. 直線調整特性によって抵抗を半減する

電圧ディバイダ・モードでは、図24に示すように単体の抵抗を並列にすることによって、これに比例して端子Aの電圧が低くなります。端子Wでのステップ・サイズはもっと小さくなるので、さらに精度を上げることができます。電圧は次のようになります。

$$V_W(D) = \frac{D}{256} \times \left(\frac{V_{DD}}{R3 + R_{AB} // R2} \right) \times (R_{AB} // R2) \quad (18)$$

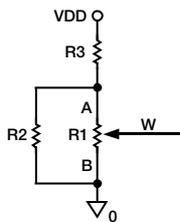


図24. ノミナル抵抗を下げる

図23と図24に、デジタル・ポテンシオメータが直線的にステップを変更することを示します。他方、音量調節などのアプリケーションでは、一般に対数テーパ調整が好まれます。図25に、抵抗スケールリングのもう1つの方法を示します。この回路では、 R_{AB} に対してR2が小さくなるほど、擬対数テーパ特性の挙動が増えます。

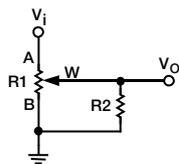


図25. ログ調整特性による抵抗のスケールリング

RDAC回路のシミュレーション・モデル

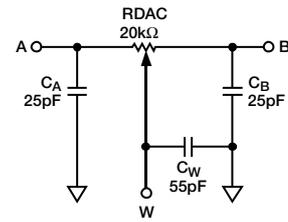


図26. RDAC回路のシミュレーション・モデル (RDAC=20kΩ)

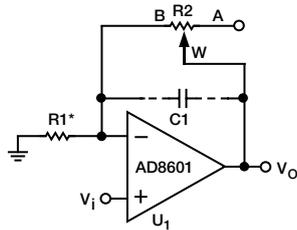
RDACのAC特性は、内部寄生容量と外部容量性負荷によって支配されます。ポテンシオメータ・ディバイダとして構成されたAD5280 (20kΩ抵抗) の-3dB帯域幅は、ハーフスケールで310kHzと計測されます。TPC 19に、使用可能な3種類の抵抗 (20kΩ、50kΩ、200kΩ) の大信号BODEプロット特性を示します。図26には、寄生シミュレーション・モデルを示します。20kΩRDAC用のマクロ・モデル・ネット・リストは以下のとおりです。

RDAC用のマクロ・モデル・ネット・リスト

```
.PARAM D=256, RDAC=20E3
*
.SUBCKT DPOT (A,W,B)
*
CA      A      0      25E-12
RWA    A      W      {(1-D/256)*RDAC+60}
CW     W      0      55E-12
RWB    W      B      {D/256*RDAC+60}
CB     B      0      25E-12
*
.ENDS DPOT
```

抵抗公差、ドリフト、温度係数の不一致に関する注意事項

図27に示すゲイン制御などのレオスタット・モード動作では、デジタル・ポテンシオメータと単体の抵抗との間の公差の不一致によって、さまざまなシステム間で再現性の問題が生じることがあります。シリコン・プロセスには本来の一致性があるため、この種のアプリケーションではデュアル・チャンネル・デバイスを適用することが实际的です。したがって、R1もデジタル・ポテンシオメータのチャンネルの1つで置き換えてください。R1には特定の値をプログラムしてください。R2は調節可能なゲインに使用できます。この方法では、コストは高くなりますが、R1とR2との間の公差と温度係数の不一致を最小限に抑えることができます。さらに、この方法では、時間とともに抵抗ドリフトもトラッキングします。その結果、これらの非理想的なパラメータであっても、システム変動にあまり敏感になりません。



*RDACの別のチャンネルに交換

図27. 抵抗公差とドリフトの追跡による線形ゲイン制御

なお、図28の回路を使用しても、このアプリケーションでの公差、温度係数、ドリフトがトラッキングします。しかし、伝達関数の特性は線形から擬似対数ゲイン関数に変化します。

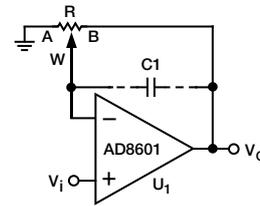


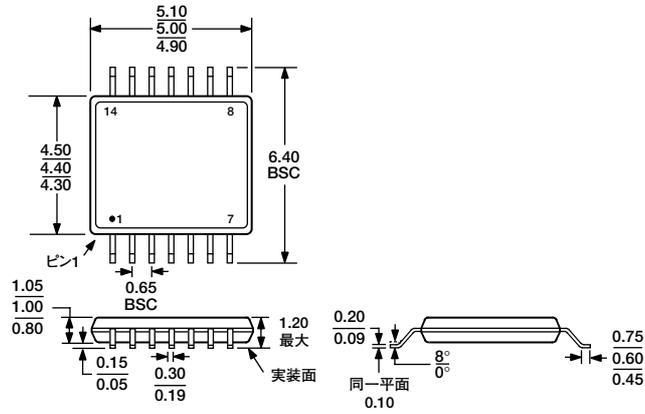
図28. 抵抗公差とドリフトのトラッキングによる非線形ゲイン制御

AD5280/AD5282

外形寸法

14ピンのTSSOP (Thin Shrink Small Outline Package) (RU-14)

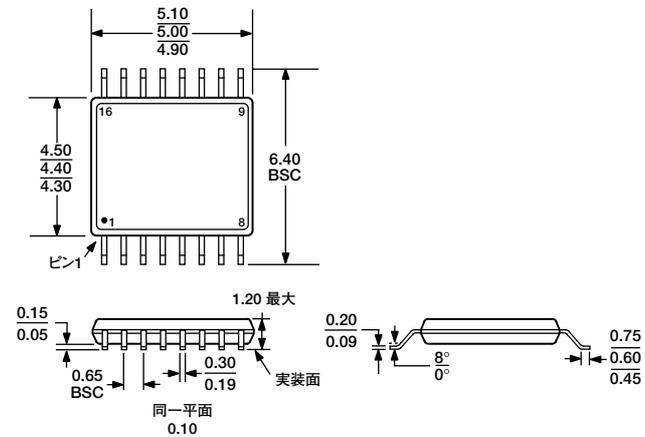
寸法はミリメートルで表示



JEDEC規格MO-153AB-1に準拠

16ピンのTSSOP (Thin Shrink Small Outline Package) (RU-16)

寸法はミリメートルで表示



JEDEC規格MO-153ABに準拠

C02929-0-10/02(0)

PRINTED IN JAPAN