

特長

- 1チャンネル、1024/256ポジション分解能
- 公称抵抗: 20 kΩ、50 kΩ、100 kΩ
- 公称抵抗偏差: 最大 ±1%
- 50回書込み可能な(50-TP)ワイパー・メモリ
- 可変抵抗器モードの温度係数: 5 ppm/°C
- 単電源動作: 2.7 V~5.5 V
- ACまたはバイポーラ動作向けの±2.5 V~±2.75 Vの両電源動作
- I²C互換インターフェース
- ワイパー設定値のリードバックが可能
- パワーオン時に50-TPメモリからリフレッシュ
- 10ピンの3 mm × 3 mm × 0.8 mm 薄型 LFCSP パッケージ
- 10ピンの3 mm × 4.9 mm × 1.1 mm 小型 MSOP パッケージ

アプリケーション

- 機械式可変抵抗の置き換え
- オペアンプ: 可変ゲイン制御
- 計装: ゲイン、オフセットの調整
- プログラマブルな電圧/電流変換
- プログラマブルなフィルタ、遅延、時定数
- プログラマブルな電源
- センサー・キャリブレーション

概要

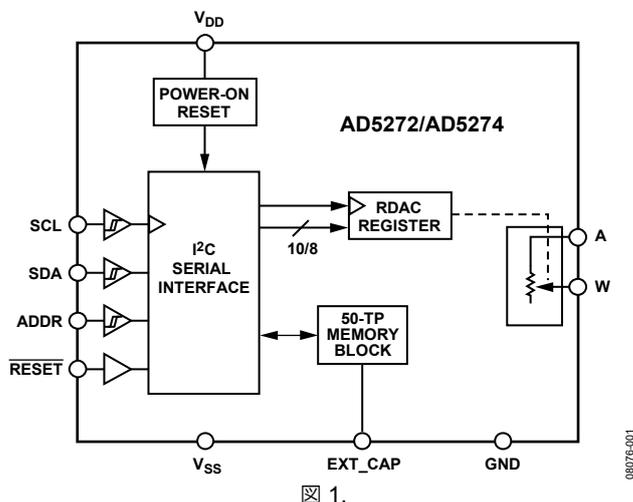
AD5272/AD5274¹ は、不揮発性メモリ(NVM)を採用した業界をリードする可変抵抗性能と小型パッケージを組み合わせた1チャンネル1024/256ポジションのデジタル可変抵抗器です。

AD5272/AD5274 では、1%以下のピン間抵抗偏差を保証し、50回書込み可能なメモリ(50-TP)を提供しています。

業界をリードする低抵抗偏差の保証により、オープン・ループ・アプリケーション、高精度キャリブレーション、偏差マッチング・アプリケーションが簡素化されます。

¹米国特許 No.7688240 により保護されています。

機能ブロック図



AD5272/AD5274 デバイス・ワイパーの設定は、I²C互換デジタル・インターフェースを介して制御することができます。抵抗値を50-TPメモリに書込む前には、無制限回数の調整が可能です。AD5272/AD5274では、ヒューズを焼き切るための外付け電源電圧が不要で、50回まで書込むことができます。50-TPの動作時に、ヒューズの焼き切りコマンドにより、ワイパー・ポジションを固定します(機械式可変抵抗器をエポキシ樹脂で固定するのに対応します)。

AD5272/AD5274は、3 mm × 3 mmの10ピンLFCSPパッケージまたは10ピンMSOPパッケージを採用しています。これらのデバイスの動作は、工業用拡張温度範囲-40°C~+125°Cで保証しています。

目次

特長.....	1	書込み動作.....	19
アプリケーション.....	1	読出し動作.....	20
機能ブロック図.....	1	RDACレジスタ.....	21
概要.....	1	50-TPメモリ・ブロック.....	21
改訂履歴.....	2	書込み保護機能.....	21
仕様.....	3	50-TPメモリ書込み ² アクリッジ・ポーリング.....	23
電気的特性—AD5272.....	3	リセット.....	23
電気的特性—AD5274.....	5	抵抗性能モード.....	23
インターフェース・タイミング仕様.....	7	シャットダウン・モード.....	23
絶対最大定格.....	9	RDACアーキテクチャ.....	23
熱抵抗.....	9	可変抵抗のプログラミング.....	23
ESDの注意.....	9	EXT_CAPコンデンサ.....	24
ピン配置およびピン機能説明.....	10	ピン電圧の動作範囲.....	24
代表的な性能特性.....	11	パワーアップ・シーケンス.....	24
テスト回路.....	17	外形寸法.....	25
動作原理.....	18	オーダー・ガイド.....	26
シリアル・データ・インターフェース.....	18		
シフトレジスタ.....	18		

改訂履歴

11/10—Rev. B to Rev. C	
Changes to Figure 24.....	14

5/10—Rev. A to Rev. B

Added LFCSP Package.....	Throughout
Changed OTP to 50-TP.....	Throughout
Changes to Features Section and Applications Section.....	1
Added Endnote 1.....	1
Changes to Table 1.....	3
Added Table 3.....	4
Changes to Table 4.....	5
Added Table 6.....	6
Changes to Table 8 and Table 9.....	9
Added Figure 5.....	10
Added Exposed Pad Note to Table 10.....	10
Changes to Typical Performance Characteristics.....	11
Changes to Resistor Performance Mode Section.....	23
Updated Outline Dimensions.....	25
Changes to Ordering Guide.....	26

3/10—Rev. 0 to Rev. A

Changes to Product Title and General Description Section.....	1
Changes to Theory of Operation Section.....	15

10/09—Revision 0: Initial Version

仕様

電気的特性—AD5272

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ ； $V_{DD} = 2.5\text{ V} \sim 2.75\text{ V}$ 、 $V_{SS} = -2.5\text{ V} \sim -2.75\text{ V}$ ； $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS—RHEOSTAT MODE						
Resolution			10			Bits
Resistor Integral Nonlinearity ^{2,3}	R-INL	$R_{AW} = 20\text{ k}\Omega$, $ V_{DD} - V_{SS} = 3.0\text{ V to } 5.5\text{ V}$	-1		+1	LSB
		$R_{AW} = 20\text{ k}\Omega$, $ V_{DD} - V_{SS} = 2.7\text{ V to } 3.0\text{ V}$	-1		+1.5	LSB
		$R_{AW} = 50\text{ k}\Omega, 100\text{ k}\Omega$	-1		+1	LSB
Resistor Differential Nonlinearity ²	R-DNL		-1		+1	LSB
Nominal Resistor Tolerance						
R-Perf Mode ⁴		See Table 2 and Table 3	-1	± 0.5	+1	%
Normal Mode				± 15		%
Resistance Temperature Coefficient ^{5,6}		Code = full scale		5		ppm/ $^\circ\text{C}$
Wiper Resistance		Code = zero scale		35	70	Ω
RESISTOR TERMINALS						
Terminal Voltage Range ^{5,7}			V_{SS}		V_{DD}	V
Capacitance ^{5 A}		$f = 1\text{ MHz}$, measured to GND, code = half scale		90		pF
Capacitance ^{5 W}		$f = 1\text{ MHz}$, measured to GND, code = half scale		40		pF
Common-Mode Leakage Current ⁵		$V_A = V_W$			50	nA
DIGITAL INPUTS						
Input Logic ⁵						
High	V_{INH}		2.0			V
Low	V_{INL}				0.8	V
Input Current	I_{IN}			± 1		μA
Input Capacitance ⁵	C_{IN}			5		pF
DIGITAL OUTPUT						
Output Voltage ⁵						
High	V_{OH}	$R_{PULL_UP} = 2.2\text{ k}\Omega$ to V_{DD}	$V_{DD} - 0.1$			V
Low	V_{OL}	$R_{PULL_UP} = 2.2\text{ k}\Omega$ to V_{DD} $V_{DD} = 2.7\text{ V to } 5.5\text{ V}$, $V_{SS} = 0\text{ V}$ $V_{DD} = 2.5\text{ V to } 2.75\text{ V}$, $V_{SS} = -2.5\text{ V to } -2.75\text{ V}$			0.4 0.6	V V
Tristate Leakage Current			-1		+1	μA
Output Capacitance ⁵				5		pF
POWER SUPPLIES						
Single-Supply Power Range		$V_{SS} = 0\text{ V}$	2.7		5.5	V
Dual-Supply Power Range			± 2.5		± 2.75	V
Supply Current						
Positive	I_{DD}				1	μA
Negative	I_{SS}		-1			μA
50-TP Store Current ^{5,8}						
Positive	$I_{DD_OTP_STORE}$			4		mA
Negative	$I_{SS_OTP_STORE}$			-4		mA
50-TP Read Current ^{5,9}						
Positive	$I_{DD_OTP_READ}$				500	μA
Negative	$I_{SS_OTP_READ}$		-500			μA
Power Dissipation ¹⁰		$V_{IH} = V_{DD}$ or $V_{IL} = \text{GND}$			5.5	μW
Power Supply Rejection Ratio ⁵	PSRR	$\Delta V_{DD}/\Delta V_{SS} = \pm 5\text{ V} \pm 10\%$ $R_{AW} = 20\text{ k}\Omega$ $R_{AW} = 50\text{ k}\Omega$ $R_{AW} = 100\text{ k}\Omega$		-66 -75 -78	-55 -67 -70	dB

Parameter	Symbol	Test Conditions/Comments	Min	Typ ¹	Max	Unit
DYNAMIC CHARACTERISTICS ^{5, 11}						
Bandwidth		-3 dB, $R_{AW} = 10\text{ k}\Omega$, Terminal W, see Figure 41 $R_{AW} = 20\text{ k}\Omega$ $R_{AW} = 50\text{ k}\Omega$ $R_{AW} = 100\text{ k}\Omega$		300 120 60		kHz
Total Harmonic Distortion		$V_A = 1\text{ V rms}$, $f = 1\text{ kHz}$, code = half scale $R_{AW} = 20\text{ k}\Omega$ $R_{AW} = 50\text{ k}\Omega$ $R_{AW} = 100\text{ k}\Omega$		-90 -88 -85		dB
Resistor Noise Density		Code = half scale, $T_A = 25^\circ\text{C}$, $f = 10\text{ kHz}$ $R_{AW} = 20\text{ k}\Omega$ $R_{AW} = 50\text{ k}\Omega$ $R_{AW} = 100\text{ k}\Omega$		50 25 32		nV/ $\sqrt{\text{Hz}}$

¹ Typ 値は、 25°C および $V_{DD} = 5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ での平均測定値。

² 抵抗ポジション非直線性誤差 R-INL は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。

³ 各コード内の最大電流は、 $I_{AW} = (V_{DD} - 1)/R_{AW}$ により決定されます。

⁴ 用語抵抗性能モードと R 性能モードは同じ意味で使用しています。抵抗性能モードのセクションを参照してください。

⁵ 設計上保証しますが、出荷テストは行いません。

⁶ 詳細については、図 24 を参照してください。

⁷ 抵抗ピン A と抵抗ピン W の極性は相互に制約されません。両電源動作では、グラウンドを基準としたバイポーラ信号の調整が可能です。

⁸ 動作電流とは異なり、ヒューズ書込みの電源電流は約 55 ms 継続します。

⁹ 動作電流とは異なり、ヒューズ読出しの電源電流は約 500 ns 継続します。

¹⁰ P_{DISS} は $(I_{DD} \times V_{DD}) + (I_{SS} \times V_{SS})$ で計算されます。

¹¹ すべてのダイナミック特性では、 $V_{DD} = +2.5\text{ V}$ 、 $V_{SS} = -2.5\text{ V}$ を使用します。

表 2.AD5272—抵抗性能モードのコード範囲

Resistor Tolerance Per Code	$ V_{DD} - V_{SS} = 4.5\text{ V to }5.5\text{ V}$	$ V_{DD} - V_{SS} = 2.7\text{ V to }4.5\text{ V}$
R-TOLERANCE		
1% R-Tolerance	From 0x078 to 0x3FF	From 0x0BE to 0x3FF
2% R-Tolerance	From 0x037 to 0x3FF	From 0x055 to 0x3FF
3% R-Tolerance	From 0x028 to 0x3FF	From 0x037 to 0x3FF

表 3.AD5272—50 k Ω と 100 k Ω 抵抗性能モードのコード範囲

Resistor Tolerance Per Code	$R_{AW} = 50\text{ k}\Omega$	$R_{AW} = 100\text{ k}\Omega$
R-TOLERANCE		
1% R-Tolerance	From 0x078 to 0x3FF	From 0x04B to 0x3FF
2% R-Tolerance	From 0x055 to 0x3FF	From 0x032 to 0x3FF
3% R-Tolerance	From 0x032 to 0x3FF	From 0x019 to 0x3FF

電気的特性—AD5274

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ ； $V_{DD} = 2.5\text{ V} \sim 2.75\text{ V}$ 、 $V_{SS} = -2.5\text{ V} \sim -2.75\text{ V}$ ； $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表 4.

Parameter	Symbol	Test Conditions/Comments	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS—						
RHEOSTAT MODE						
Resolution			8			Bits
Resistor Integral Nonlinearity ^{2,3}	R-INL		-1		+1	LSB
Resistor Differential Nonlinearity ²	R-DNL		-1		+1	LSB
Nominal Resistor Tolerance						
R-Perf Mode ⁴		See Table 5 and Table 6	-1	±0.5	+1	%
Normal Mode				±15		%
Resistance Temperature Coefficient ^{5,6}		Code = full scale		5		ppm/°C
Wiper Resistance		Code = zero scale		35	70	Ω
RESISTOR TERMINALS						
Terminal Voltage Range ^{5,7}			V_{SS}		V_{DD}	V
Capacitance ⁵ A		f = 1 MHz, measured to GND, code = half scale		90		pF
Capacitance ⁵ W		f = 1 MHz, measured to GND, code = half scale		40		pF
Common-Mode Leakage Current ⁵		$V_A = V_W$			50	nA
DIGITAL INPUTS						
Input Logic ⁵						
High	V_{INH}		2.0			V
Low	V_{INL}				0.8	V
Input Current	I_{IN}			±1		μA
Input Capacitance ⁵	C_{IN}			5		pF
DIGITAL OUTPUT						
Output Voltage ⁵						
High	V_{OH}	$R_{PULL_UP} = 2.2\text{ k}\Omega$ to V_{DD}	$V_{DD} - 0.1$			V
Low	V_{OL}	$R_{PULL_UP} = 2.2\text{ k}\Omega$ to V_{DD} $V_{DD} = 2.7\text{ V}$ to 5.5 V , $V_{SS} = 0\text{ V}$ $V_{DD} = 2.5\text{ V}$ to 2.75 V , $V_{SS} = -2.5\text{ V}$ to -2.75 V			0.4	V
					0.6	V
Tristate Leakage Current			-1		+1	μA
Output Capacitance ⁵				5		pF
POWER SUPPLIES						
Single-Supply Power Range		$V_{SS} = 0\text{ V}$	2.7		5.5	V
Dual-Supply Power Range			±2.5		±2.75	V
Supply Current						
Positive	I_{DD}				1	μA
Negative	I_{SS}		-1			μA
OTP Store Current ^{5,8}						
Positive	$I_{DD_OTP_STORE}$			4		mA
Negative	$I_{SS_OTP_STORE}$			-4		mA
OTP Read Current ^{5,9}						
Positive	$I_{DD_OTP_READ}$				500	μA
Negative	$I_{SS_OTP_READ}$		-500			μA
Power Dissipation ¹⁰		$V_{IH} = V_{DD}$ or $V_{IL} = \text{GND}$			5.5	μW
Power Supply Rejection Ratio ⁵	PSRR	$\Delta V_{DD}/\Delta V_{SS} = \pm 5\text{ V} \pm 10\%$ $R_{AW} = 20\text{ k}\Omega$ $R_{AW} = 50\text{ k}\Omega$ $R_{AW} = 100\text{ k}\Omega$		-66	-55	dB
				-75	-67	
				-78	-70	

Parameter	Symbol	Test Conditions/Comments	Min	Typ ¹	Max	Unit
DYNAMIC CHARACTERISTICS ^{5, 11}						
Bandwidth		-3 dB, $R_{AW} = 10\text{ k}\Omega$, Terminal W, see Figure 41 $R_{AW} = 20\text{ k}\Omega$ $R_{AW} = 50\text{ k}\Omega$ $R_{AW} = 100\text{ k}\Omega$		300 120 60		kHz
Total Harmonic Distortion		$V_A = 1\text{ V rms}$, $f = 1\text{ kHz}$, code = half scale $R_{AW} = 20\text{ k}\Omega$ $R_{AW} = 50\text{ k}\Omega$ $R_{AW} = 100\text{ k}\Omega$		-90 -88 -85		dB
Resistor Noise Density		Code = half scale, $T_A = 25^\circ\text{C}$, $f = 10\text{ kHz}$ $R_{AW} = 20\text{ k}\Omega$ $R_{AW} = 50\text{ k}\Omega$ $R_{AW} = 100\text{ k}\Omega$		50 25 32		nV/ $\sqrt{\text{Hz}}$

¹ Typ 値は、 25°C および $V_{DD} = 5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ での平均測定値。

² 抵抗ポジション非直線性誤差 R-INL は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。

³ 各コード内の最大電流は、 $I_{AW} = (V_{DD} - 1)/R_{AW}$ により決定されます。

⁴ 用語抵抗性能モードと R 性能モードは同じ意味で使用しています。抵抗性能モードのセクションを参照してください。

⁵ 設計上保証しますが、出荷テストは行いません。

⁶ 詳細については、図 24 を参照してください。

⁷ 抵抗ピン A と抵抗ピン W の極性は相互に制約されません。両電源動作では、グラウンドを基準としたバイポーラ信号の調整が可能です。

⁸ 動作電流とは異なり、ヒューズ書込みの電源電流は約 55 ms 継続します。

⁹ 動作電流とは異なり、ヒューズ読出しの電源電流は約 500 ns 継続します。

¹⁰ P_{DISS} は $(I_{DD} \times V_{DD}) + (I_{SS} \times V_{SS})$ で計算されます。

¹¹ すべてのダイナミック特性では、 $V_{DD} = +2.5\text{ V}$ 、 $V_{SS} = -2.5\text{ V}$ を使用します。

表 5.AD5274—抵抗性能モードのコード範囲

Resistor Tolerance per Code	$ V_{DD} - V_{SS} = 4.5\text{ V to }5.5\text{ V}$	$ V_{DD} - V_{SS} = 2.7\text{ V to }4.5\text{ V}$
R-TOLERANCE		
1% R-Tolerance	From 0x1E to 0xFF	From 0x32 to 0xFF
2% R-Tolerance	From 0x0F to 0xFF	From 0x19 to 0xFF
3% R-Tolerance	From 0x06 to 0xFF	From 0x0E to 0xFF

表 6.AD5274—50 k Ω と 100 k Ω 抵抗性能モードのコード範囲

Resistor Tolerance per Code	$R_{AW} = 50\text{ k}\Omega$	$R_{AW} = 100\text{ k}\Omega$
R-TOLERANCE		
1% R-Tolerance	From 0x1E to 0xFF	From 0x14 to 0xFF
2% R-Tolerance	From 0x14 to 0xFF	From 0x0F to 0xFF
3% R-Tolerance	From 0x0A to 0xFF	From 0x0A to 0xFF

インターフェース・タイミング仕様

特に指定のない限り、 $V_{DD} = 2.5 \sim 5.5$ V;すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 7.

Parameter	Conditions ¹	Limit at T_{MIN}, T_{MAX}		Unit	Description
		Min	Max		
f_{SCL} ²	Standard mode		100	kHz	Serial clock frequency
	Fast mode		400	kHz	Serial clock frequency
t_1	Standard mode	4		μ s	t_{HIGH} , SCL high time
	Fast mode	0.6		μ s	t_{HIGH} , SCL high time
t_2	Standard mode	4.7		μ s	t_{LOW} , SCL low time
	Fast mode	1.3		μ s	t_{LOW} , SCL low time
t_3	Standard mode	250		ns	$t_{SU,DAT}$, data setup time
	Fast mode	100		ns	$t_{SU,DAT}$, data setup time
t_4	Standard mode	0	3.45	μ s	$t_{HD,DAT}$, data hold time
	Fast mode	0	0.9	μ s	$t_{HD,DAT}$, data hold time
t_5	Standard mode	4.7		μ s	$t_{SU,STA}$, set-up time for a repeated start condition
	Fast mode	0.6		μ s	$t_{SU,STA}$, set-up time for a repeated start condition
t_6	Standard mode	4		μ s	$t_{HD,STA}$, hold time (repeated) start condition
	Fast mode	0.6		μ s	$t_{HD,STA}$, hold time (repeated) start condition
t_7	High speed mode	160		ns	$t_{HD,STA}$, hold time (repeated) start condition
	Standard mode	4.7		μ s	t_{BUF} , bus free time between a stop and a start condition
t_8	Fast mode	1.3		μ s	t_{BUF} , bus free time between a stop and a start condition
	Standard mode	4		μ s	$t_{SU,STO}$, setup time for a stop condition
t_9	Fast mode	0.6		μ s	$t_{SU,STO}$, setup time for a stop condition
	Standard mode		1000	ns	t_{RDA} , rise time of SDA signal
t_{10}	Fast mode		300	ns	t_{RDA} , rise time of SDA signal
	Standard mode		300	ns	t_{FDA} , fall time of SDA signal
t_{11}	Fast mode		300	ns	t_{FDA} , fall time of SDA signal
	Standard mode		1000	ns	t_{RCL} , rise time of SCL signal
t_{11A}	Fast mode		300	ns	t_{RCL} , rise time of SCL signal
	Standard mode		1000	ns	t_{RCL1} , rise time of SCL signal after a repeated start condition and after an acknowledge bit
t_{12}	Fast mode		300	ns	t_{RCL1} , rise time of SCL signal after a repeated start condition and after an acknowledge bit
	Standard mode		300	ns	t_{FCL} , fall time of SCL signal
t_{13}	Fast mode		300	ns	t_{FCL} , fall time of SCL signal
	RESET pulse time	20		ns	Minimum RESET low time
t_{SP} ³	Fast mode	0	50	ns	Pulse width of spike suppressed
t_{EXEC} ^{4,5}		500		ns	Command execute time
$t_{RDAC_R_PERF}$			2	μ s	RDAC register write command execute time (R-Perf mode)
t_{RDAC_NORMAL}			600	ns	RDAC register write command execute time (normal mode)
t_{MEMORY_READ}			6	μ s	Memory readback execute time
$t_{MEMORY_PROGRAM}$			350	ms	Memory program time
t_{RESET}			600	μ s	Reset 50-TP restore time
$t_{POWER-UP}$ ⁶			2	ms	Power-on 50-TP restore time

¹ 最大バス容量は 400 pF に制限されています。

² SDA と SCL のタイミングは、入力フィルタをイネーブルして測定。入力フィルタを切り離すと、転送レートは向上しますが、デバイスの EMC 動作に悪影響があります。

³ SCL と SDA の入力フィルタリングにより、高速モードでノイズ・スパイクを 50 ns 以下に抑圧。

⁴ RDAC レジスタ書き込み動作については、 $t_{RDAC_R_PERF}$ と t_{RDAC_NORMAL} を参照してください。

⁵ メモリ・コマンド動作については、 t_{MEMORY_READ} と $t_{MEMORY_PROGRAM}$ を参照してください。

⁶ $V_{DD} - V_{SS}$ が 2.5 V に等しくなった後の最大時間。

シフトレジスタとタイミング図

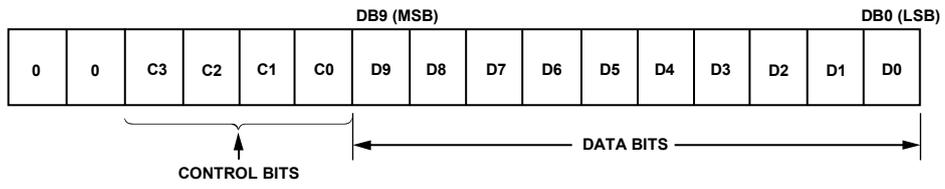


図 2. シフトレジスタの値

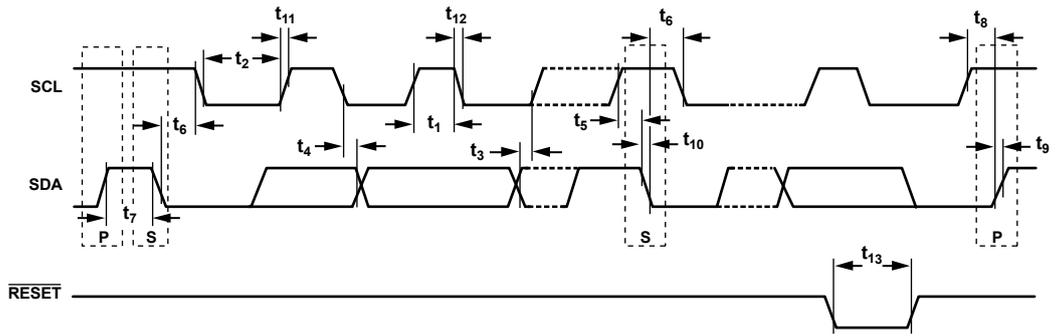


図 3.2 線式シリアル・インターフェースのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 8.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7.0 V
V_{SS} to GND	+0.3 V to -7.0 V
V_{DD} to V_{SS}	7 V
V_A , V_W to GND	$V_{SS} - 0.3\text{ V}$, $V_{DD} + 0.3\text{ V}$
Digital Input and Output Voltage to GND	-0.3 V to $V_{DD} + 0.3\text{ V}$
EXT_CAP to V_{SS}	7 V
I_A , I_W	
Continuous	
$R_{AW} = 20\text{ k}\Omega$	$\pm 3\text{ mA}$
$R_{AW} = 50\text{ k}\Omega$, $100\text{ k}\Omega$	$\pm 2\text{ mA}$
Pulsed ¹	
Frequency > 10 kHz	$\pm MCC^2/d^3$
Frequency $\leq 10\text{ kHz}$	$\pm MCC^2/\sqrt{d^3}$
Operating Temperature Range ⁴	-40°C to +125°C
Maximum Junction Temperature (T_J Maximum)	150°C
Storage Temperature Range	-65°C to +150°C
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	20 sec to 40 sec
Package Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$

¹ 最大ピン電流は、スイッチの最大処理電流、パッケージ最大消費電力、A ピン、W ピン内の任意の 2 ピン間の、設定された抵抗での最大入力電圧により制約されます。

² 最大連続電流。

³ パルス・デューティ係数。

⁴ 50-TP メモリの書き込みを含みます。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は JEDEC 仕様 JESD-51 により定義され、値はテスト・ボードとテスト環境に依存します。

表 9. 熱抵抗

Package Type	θ_{JA} ¹	θ_{JC}	Unit
10-Lead LFCSP	50	3	°C/W
10-Lead MSOP	135	N/A	°C/W

¹ JEDEC 2S2P テスト・ボード、自然空冷(0 m/sec の空気流)。

ESDの注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

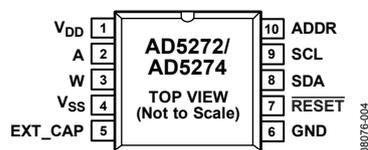


図 4.MSOP ピン配置

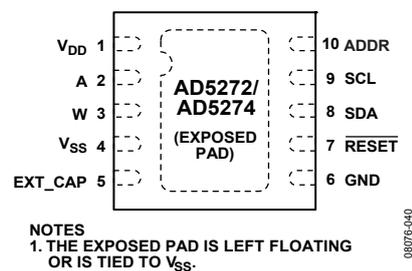


図 5.LFCSP のピン配置

表 10.ピン機能の説明

ピン番号	記号	説明
1	V _{DD}	正の電源。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
2	A	RDAC の A ピン $V_{SS} \leq V_A \leq V_{DD}$ 。
3	W	RDAC のワイパー・ピン。 $V_{SS} \leq V_W \leq V_{DD}$ 。
4	V _{SS}	負電源。単電源アプリケーションで 0 V へ接続してください。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
5	EXT_CAP	外付けコンデンサ。1 μF のコンデンサを EXT_CAP と V _{SS} の間に接続します。このコンデンサの定格電圧は 7 V 以上である必要があります。
6	GND	グラウンド・ピン、ロジック・グラウンド基準。
7	RESET	ハードウェア・リセット・ピン。RDAC レジスタを 50-TP メモリ・レジスタ値でリセットします。最初に 50-TP メモリ・ロケーションが書込まれるまで、出荷時デフォルト値のミッドスケールがロードされています。RESET はアクティブ・ローです。使用しない場合は、RESET を V _{DD} に接続してください。
8	SDA	シリアル・データライン。このピンは、16 ビット入力レジスタにデータを入出力する SCL ラインと組み合わせて使います。双方向のオープン・ドレイン・データラインであるため、外付け抵抗で電源にプルアップする必要があります。
9	SCL	シリアル・クロック・ライン。このピンは、16 ビット入力レジスタにデータを入出力する SDA ラインと組み合わせて使います。
10	ADDR	スリーステートのアドレス入力。7 ビット・スレーブ・アドレスの下位 2 ビット(ビット A1、ビット A0)を設定します(表 11 参照)。
EPAD	エクスポーズド・パッド (LFCSP の場合)	フローティングのままにするか、V _{SS} へ接続してください。

代表的な性能特性

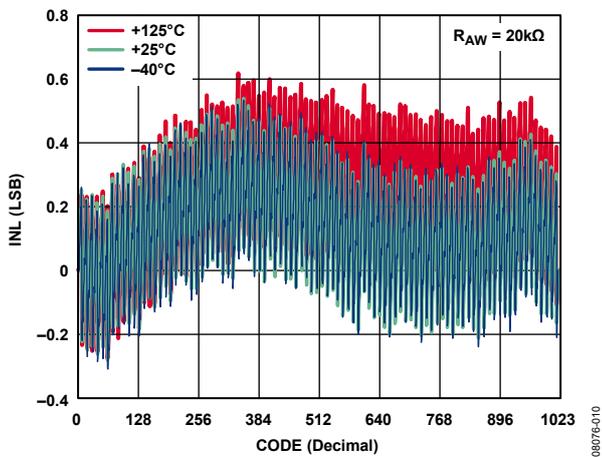


図 6. R 性能モードでの R-INL 対コード対温度 (AD5272)

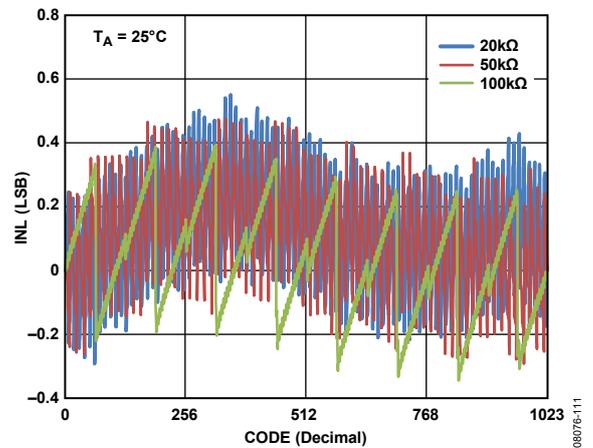


図 9. R 性能モードでの R-INL 対コード対公称抵抗 (AD5272)

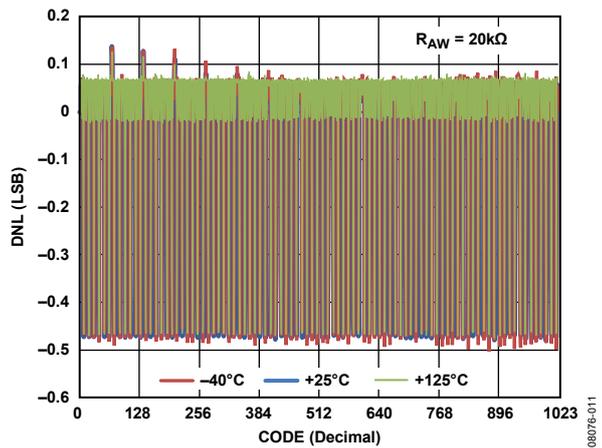


図 7. R 性能モードでの R-DNL 対コード対温度 (AD5272)

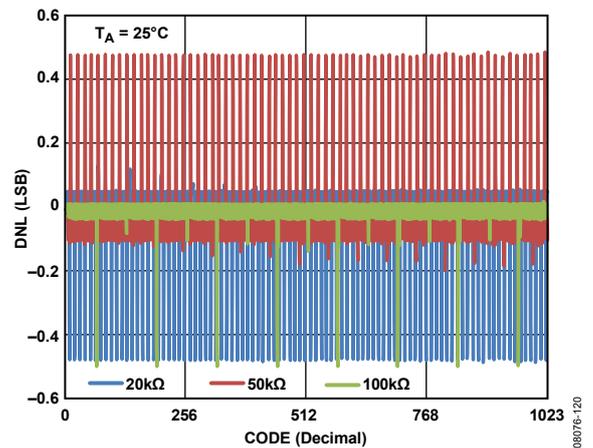


図 10. R 性能モードでの R-DNL 対コード対公称抵抗 (AD5272)

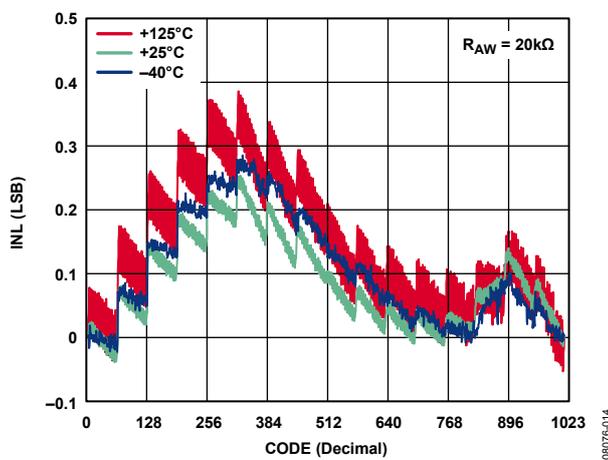


図 8. ノーマル・モードでの R-INL 対コード対温度 (AD5272)

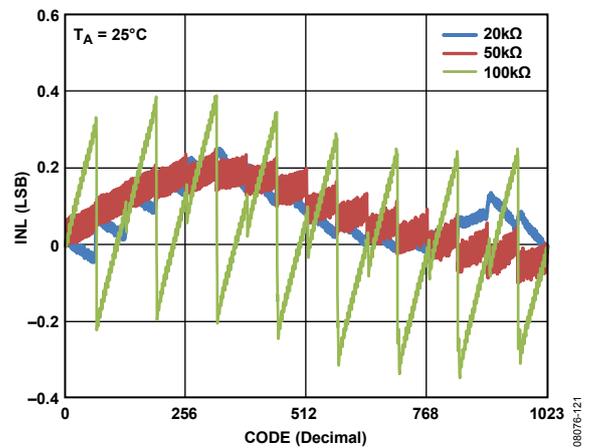


図 11. ノーマル・モードでの R-INL 対コード対公称抵抗 (AD5272)

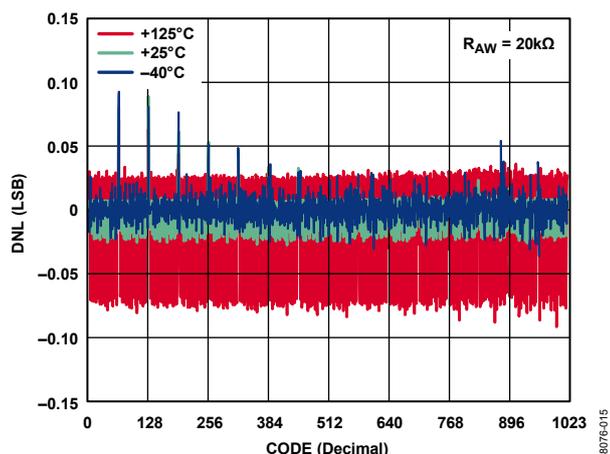


図 12. ノーマル・モードでの R-DNL 対コード対温度 (AD5272)

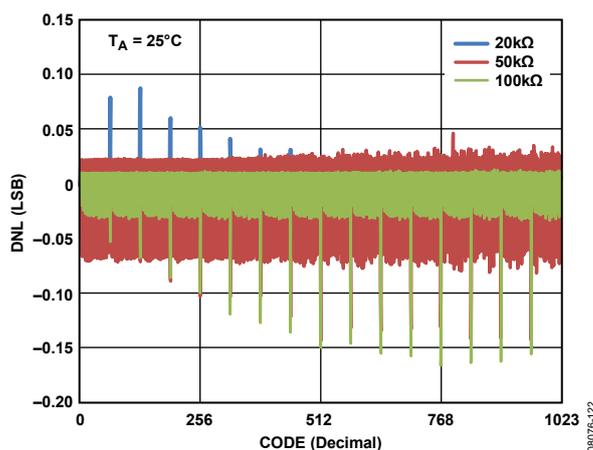


図 15. ノーマル・モードでの R-DNL 対コード対公称抵抗 (AD5272)

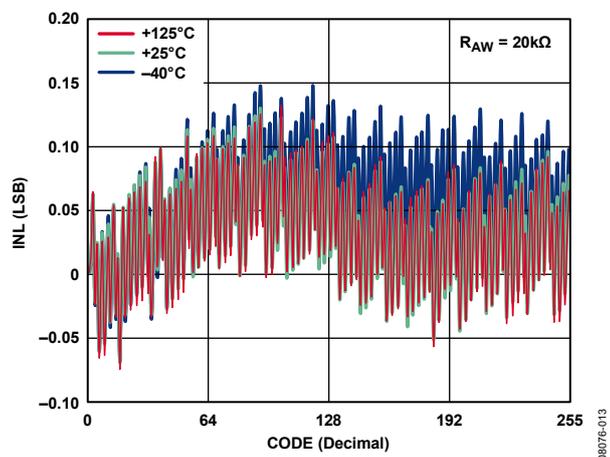


図 13. R 性能モードでの R-INL 対コード対温度 (AD5274)

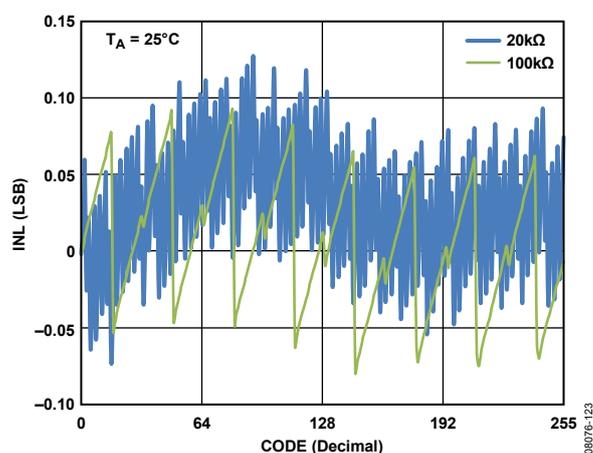


図 16. R 性能モードでの R-INL 対コード対公称抵抗 (AD5274)

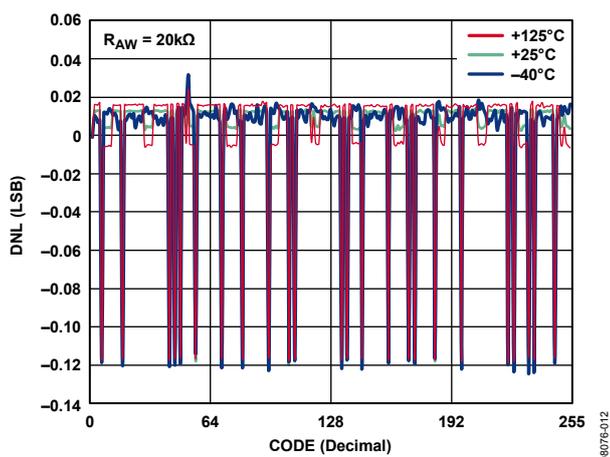


図 14. R 性能モードでの R-DNL 対コード対温度 (AD5274)

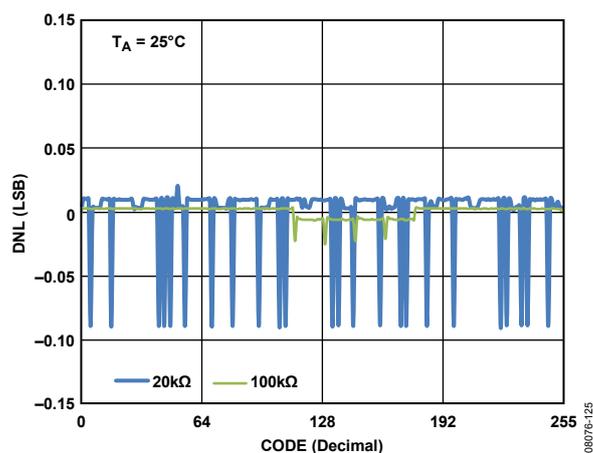


図 17. R 性能モードでの R-DNL 対コード対公称抵抗 (AD5274)

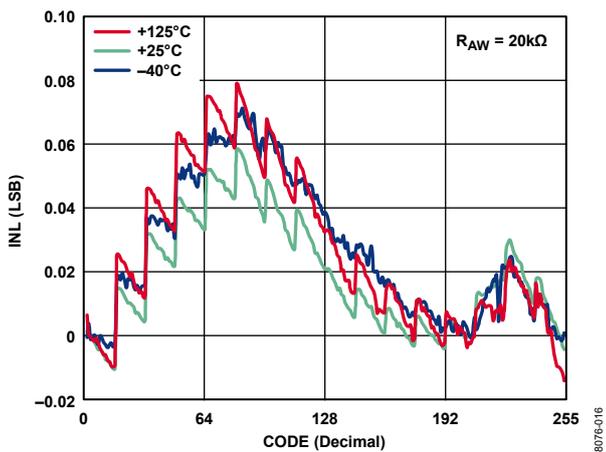


図 18. ノーマル・モードでの R-INL 対コード対温度 (AD5274)

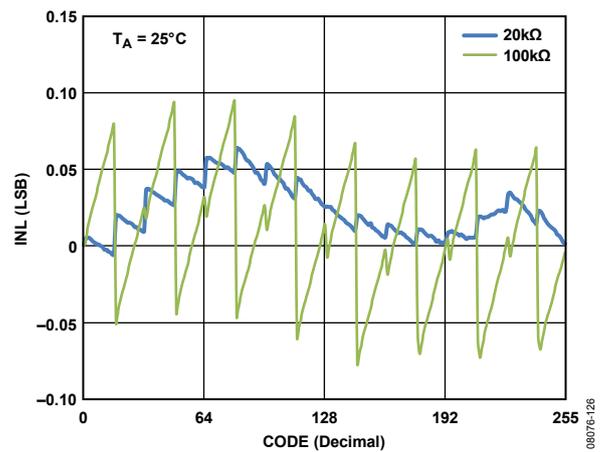


図 21. ノーマル・モードでの R-INL 対コード対公称抵抗 (AD5274)

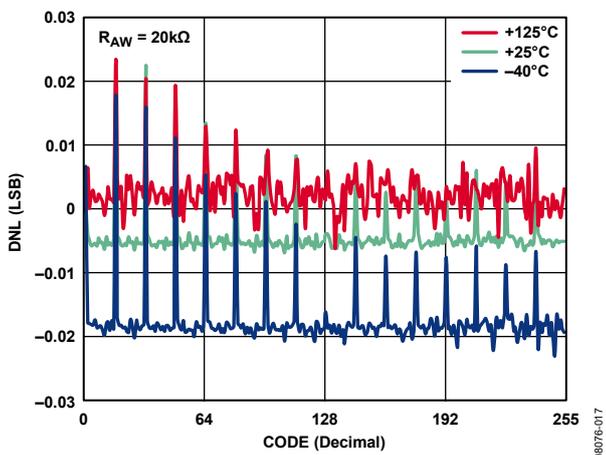


図 19. ノーマル・モードでの R-DNL 対コード対温度 (AD5274)

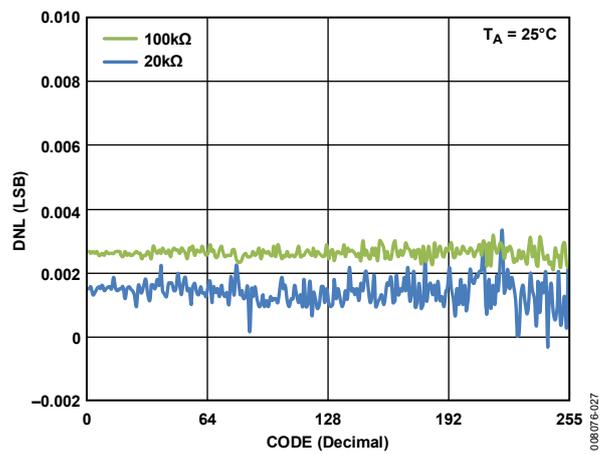


図 22. ノーマル・モードでの R-DNL 対コード対公称抵抗 (AD5274)

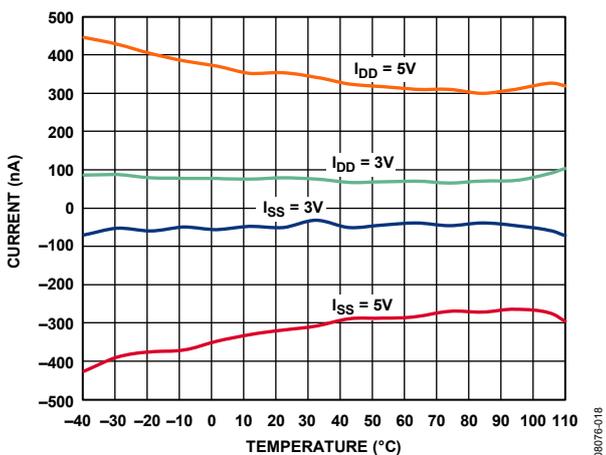


図 20. 電源電流 (I_{DD} 、 I_{SS}) の温度特性

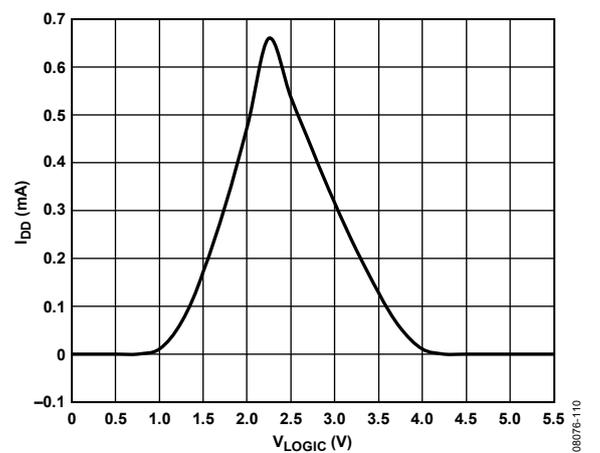


図 23. デジタル入力電圧対電源電流 (I_{DD})

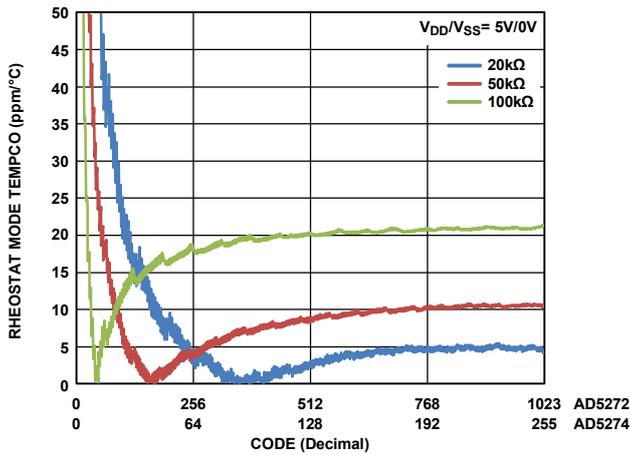


図 24.コード対温度係数 $\Delta R_{WA}/\Delta T$

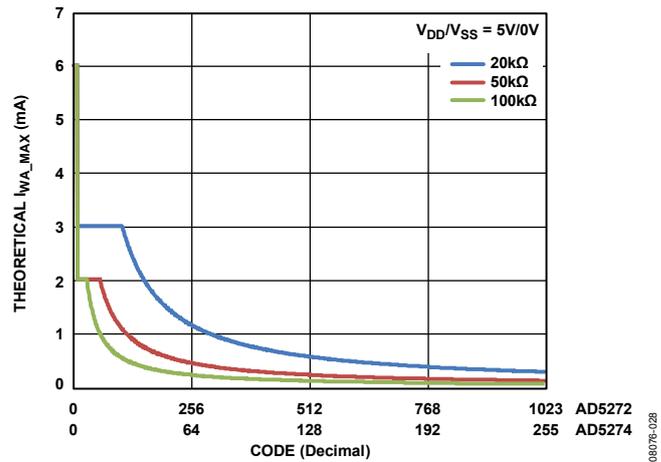


図 27.コード対理論最大電流

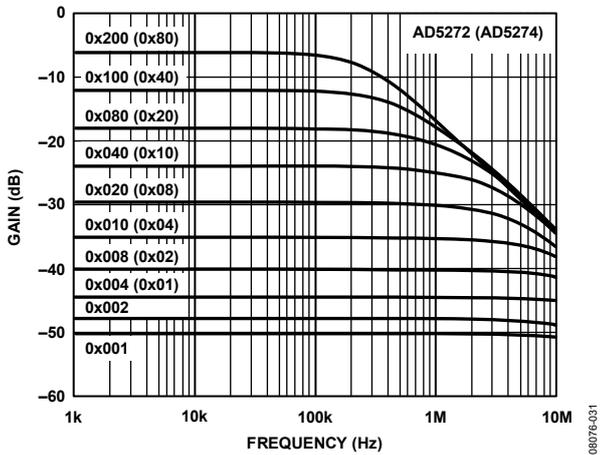


図 25.20 kΩ ゲイン対コード対周波数

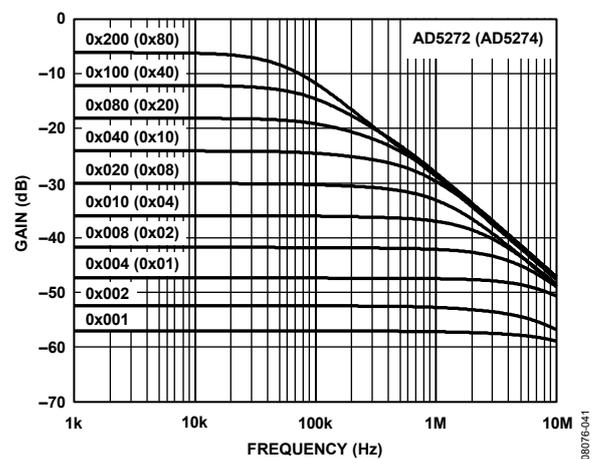


図 28.100 kΩ ゲイン対コード対周波数

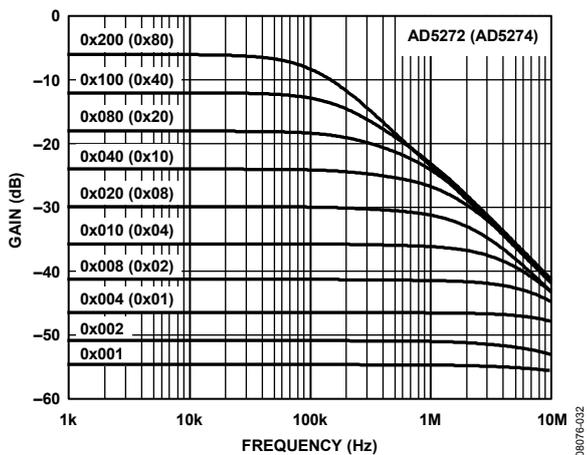


図 26.50 kΩ ゲイン対コード対周波数

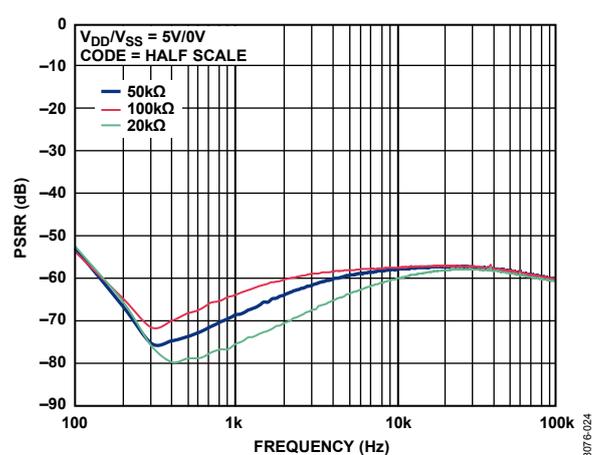


図 29.PSRR の周波数特性

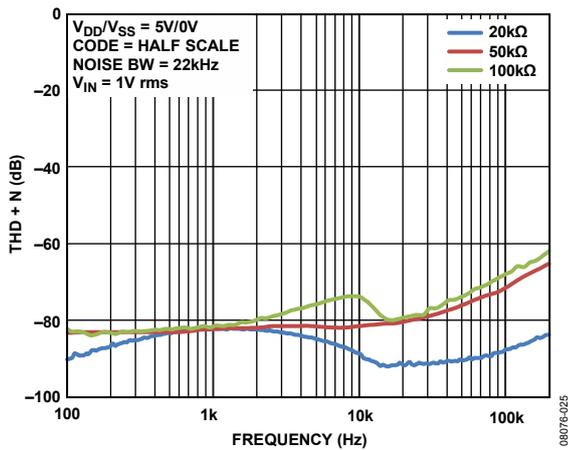


図 30. THD + N の周波数特性

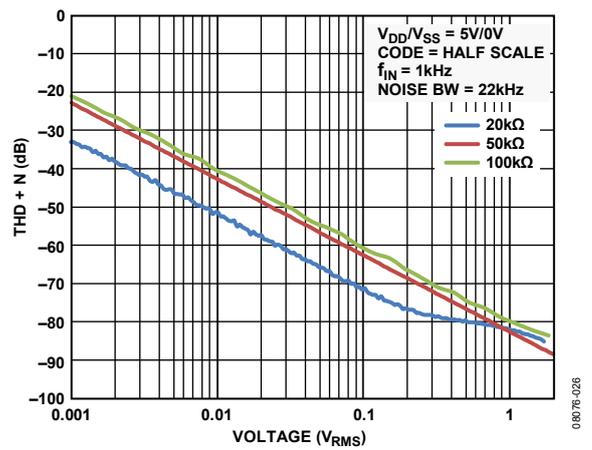


図 33. 振幅対 THD + N

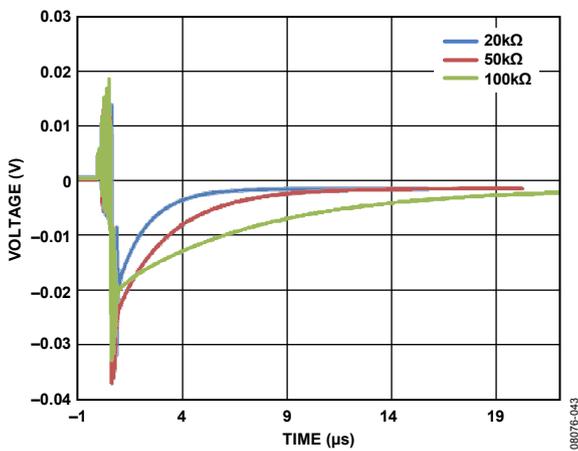


図 31. 最大グリッチ・エネルギー

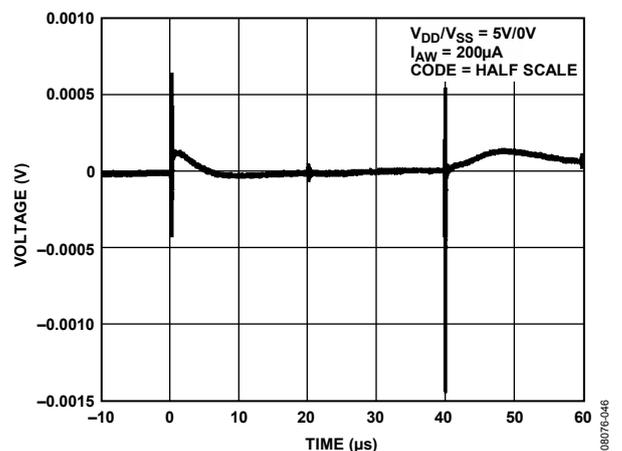


図 34. デジタル・フィードスルー

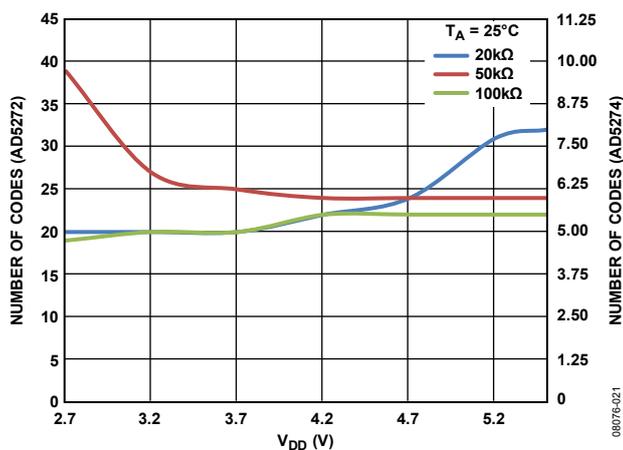


図 32. 最大コード喪失の温度特性

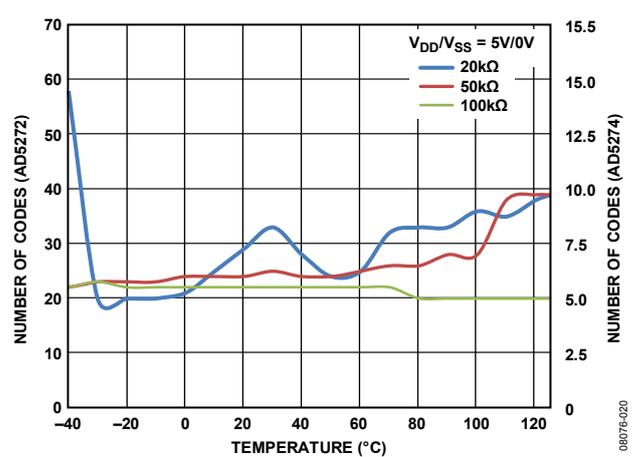


図 35. 電源範囲対最大コード喪失

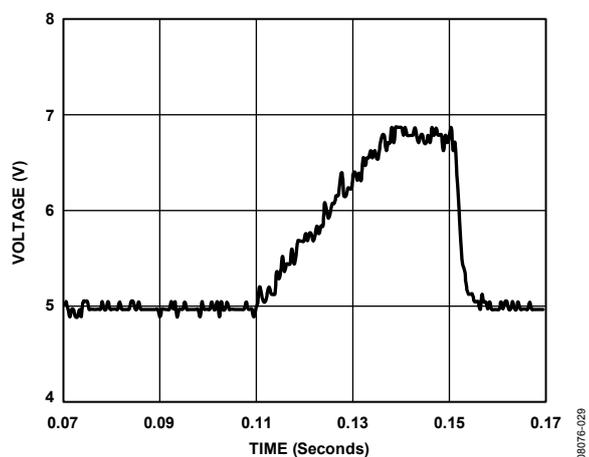


図 36. ヒューズ書き込み時の V_{EXT_CAP} 波形

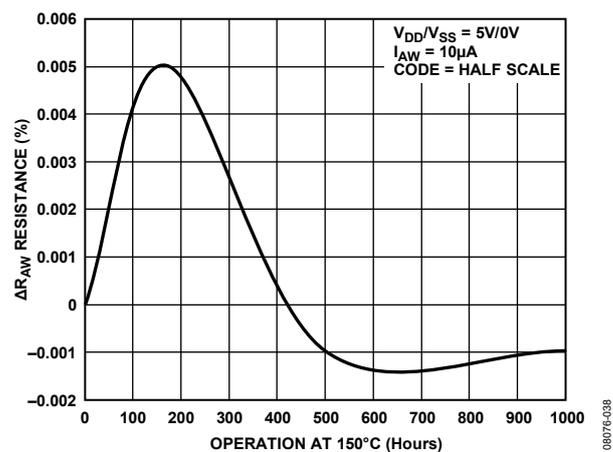


図 37. バーンインにより加速した長時間ドリフト

テスト回路

図 38 ~ 図 42 に、仕様のセクションで使用したテスト条件を示します。

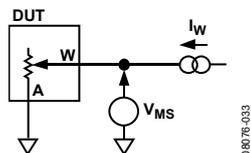


図 38. 抵抗ポジション非直線性誤差 (可変抵抗器動作; R-INL、R-DNL)

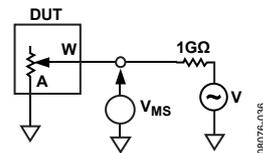


図 41. ゲインの周波数特性

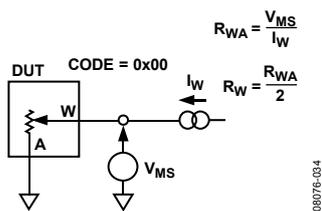


図 39. ワイパー抵抗

$$R_{WA} = \frac{V_{MS}}{I_W}$$

$$R_W = \frac{R_{WA}}{2}$$

08076-034

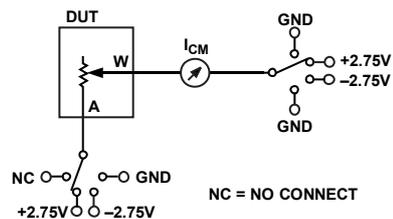


図 42. コモン・リーク電流

08076-037

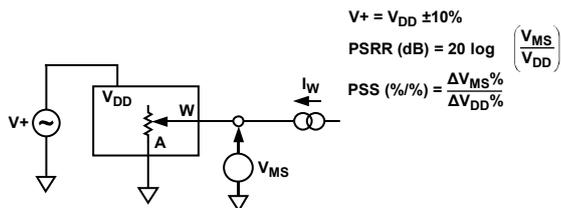


図 40. 電源除去比 (PSS、PSRR)

$$V^+ = V_{DD} \pm 10\%$$

$$PSRR \text{ (dB)} = 20 \log \left(\frac{V_{MS}}{V_{DD}} \right)$$

$$PSS \text{ (\%/\%)} = \frac{\Delta V_{MS} \%}{\Delta V_{DD} \%}$$

08076-035

動作原理

AD5272/AD5274 デジタル可変抵抗は、 $V_{SS} < V_{TERM} < V_{DD}$ のピン電圧範囲内のアナログ信号に対して真の可変抵抗として動作するようにデザインされています。RDAC レジスタ値により抵抗ワイパー・ポジションが決定されます。RDAC レジスタはスクラッチパッド・レジスタのように動作するため、抵抗設定値の変更回数には制限がありません。RDAC レジスタには、 I^2C インターフェースを介して任意のポジション設定値を書込むことができます。目的のワイパー・ポジションが見つかった後に、この値を 50-TP メモリ・レジスタに保存することができます。それ以後、ワイパー・ポジションは、後続パワーアップで常にそのポジションに回復されます。50-TP データの保存には約 350ms 要し、この間 AD5272/AD5274 がロックされて、新しいコマンドをアクノリッジしないため、値の変更が防止されます。アクノリッジ・ビットをポーリングして、ヒューズ・プログラム・コマンドの完了を確認することができます。

また、AD5272/AD5274 は特許取得済みの 1% のピン間抵抗偏差を持っています。この機能は、高精度可変抵抗器モード、および絶対抵抗値が既知であることが不可欠であるオープン・ループ・アプリケーションが簡素化されます。

シリアル・データ・インターフェース

AD5272/AD5274 は、 I^2C 互換の 2 線式シリアル・インターフェースをサポートしています。これらの各デバイスは、マスター・デバイスから制御を受けるスレーブ・デバイスとして I^2C バスに接続することができます。書込みシーケンスの代表的なタイミング図については、図 3 を参照してください。

AD5272/AD5274 は、標準(100 kHz)と高速(400 kHz)のデータ転送モードをサポートしています。10 ビット・アドレッシングとジェネラル・コール・アドレッシングはサポートされていません。

各 AD5272/AD5274 は 7 ビットのスレーブ・アドレスを持っています。上位 5 ビットは 01011 で、下位 2 ビットは ADDR ピンの状態で指定されます。ADDR をハード・ワイヤー接続で固定的に変更する機能を使うと、表 11 に示すように、1 つのバスにこれらのデバイスを最大 3 個接続することができます。

表 11. デバイス・アドレスの指定

ADDR	A1	A0	7-Bit I^2C Device Address
GND	1	1	0101111
V_{DD}	0	0	0101100
NC (No Connection) ¹	1	0	0101110

¹ パイポラ・モードでは使用できません。 $V_{SS} < 0 V$ 。

2 線式シリアル・バス・プロトコルは、次のように動作します。すなわち、マスターがスタート条件を設定してデータ転送を開始させます。このスタート条件は、SCL がハイ・レベルの間に、SDA ライン上でハイ・レベルからロー・レベルへの変化が発生したときに発生します。次のバイトはアドレス・バイトで、7 ビットのスレーブ・アドレスと R/W ビットから構成されています。送信されたアドレスに該当するスレーブ・デバイスは 9 番目のクロック・パルスで、SDA ラインをロー・レベルにして応答します(これはアクノリッジ・ビットと呼ばれます)。選択されたデバイスがシフトレジスタに読み書きするデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。

データは、9 個のクロック・パルスで 8 ビットのデータとそれに続くアクノリッジ・ビットの順にシリアル・バス上を伝送します。SDA ラインは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります。

全データビットの読出しまたは書込みが終了すると、ストップ条件が設定されます。書込みモードでは、マスターが 10 番目のクロック・パルスで SDA ラインをハイ・レベルにプルアップして、ストップ状態をアサートします。読出しモードでは、マスターは 9 番目のクロック・パルスでアクノリッジを発行しません(SDA ラインがハイ・レベルを維持)。この後、マスターは SDA ラインをロー・レベルにして、10 番目のクロック・パルスがハイ・レベルになるときストップ条件を設定します。

シフトレジスタ

AD5272/AD5274 のシフトレジスタは、図 2 に示すように 16 ビット幅です。16 ビット・ワードは、ゼロに設定する必要のある未使用の 2 ビット、それに続く 4 ビットのコントロール・ビット、10 ビットの RDAC データ・ビット (AD5274 の場合、RDAC レジスタの読出し/書込みの場合、下位 2 ビットの RDAC データ・ビットは don't care であることに注意してください) から構成され、データは MSB ファースト (ビット 15) でロードされます。4 ビットのコントロール・ビットにより、ソフトウェア・コマンドの機能が指定されます(表 12 参照)。図 43 に、AD5272/AD5274 の代表的な書込みシーケンスのタイミング図を示します。

コマンド・ビット(Cx)が、デジタル・ポテンショメータと内部 50-TP メモリの動作を制御します。データビット(Dx)は、デコードされたレジスタにロードされる値です。

書き込み動作

RDAC レジスタまたはコントロール・レジスタに対してデータを書き込むことができます。AD5272/AD5274 へ書き込みを行うときは、まずスタート・コマンドを送信し、続いてアドレス・バイト(R/W = 0)を送信します。その後に AD5272/AD5274 は SDA をロー・レベルにして、データ受信の準備ができたことを通知します。

次に 2 バイトのデータが RDAC へ書き込まれ、上位バイトの後に下位バイトが続きます。これらの両データ・バイトが AD5272/AD5274 によりアックノリッジされます。この後に、ストップ条件が続きます。AD5272/AD5274 に対する書き込み動作を図 43 に示します。

繰り返し書き込み機能は、デバイスに対するアドレッシング指定を 1 回行うだけで、デバイスを複数回更新する柔軟性を提供しません(図 44 参照)。

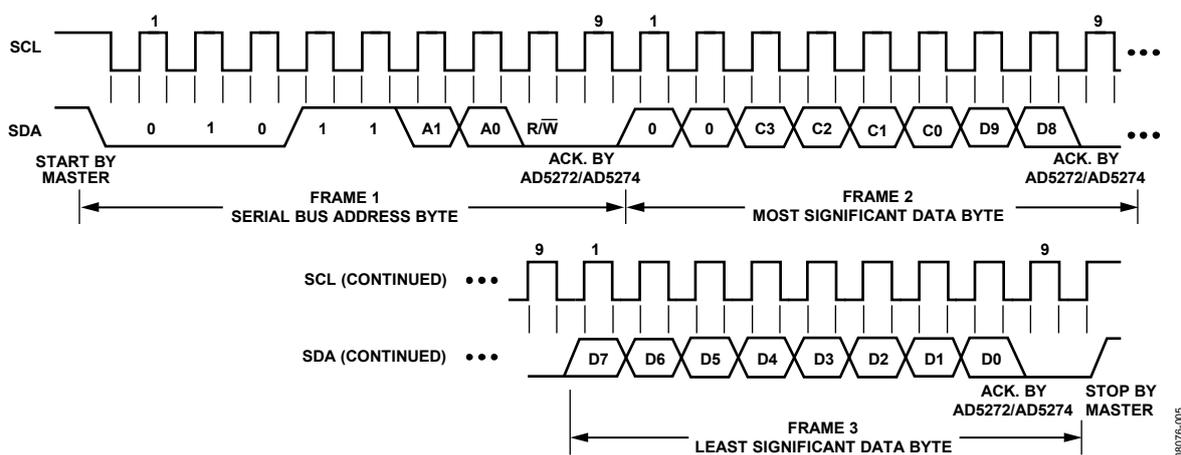


図 43.書き込みコマンド

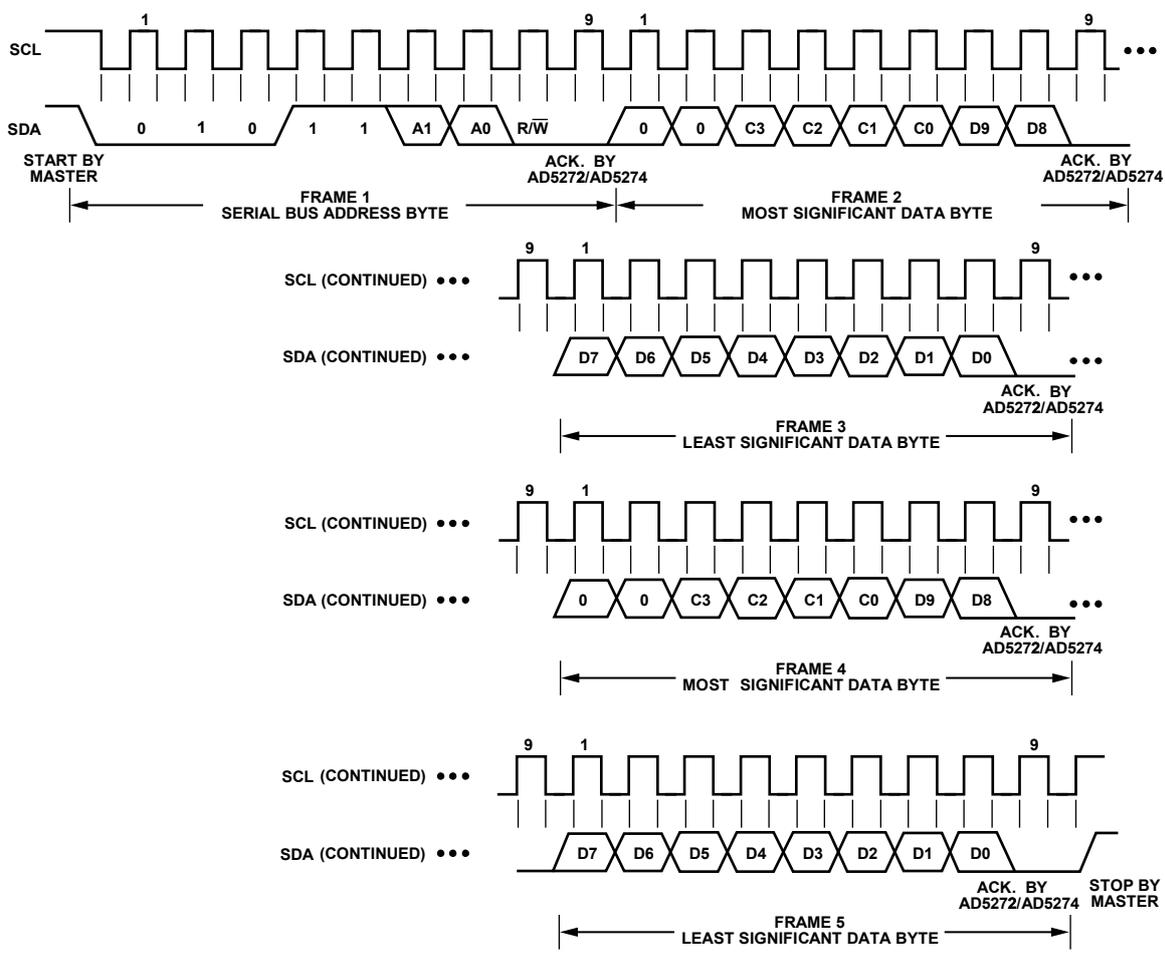


図 44.複数回書き込み

読出し動作

データを AD5272/AD5274 から読出すときは、まずデバイスへリードバック・コマンドを発行する必要があります。このコマンドは、スタート・コマンドで始まり、アドレス・バイト(R/W = 0)がその後ろに続きます。その後、AD5272/AD5274 は SDA をロー・レベルにして、データ受信の準備ができたことを通知します。

次に 2 バイトのデータが AD5272/AD5274 へ書込まれ、上位バイトの後に下位バイトが続きます。これらの両データ・バイトが AD5272/AD5274 によりアクノリッジされます。この後に、ストップ条件が続きます。これらのバイトには、読出し命令が含まれます。この命令は、RDACレジスタ、50-TPメモリ、またはコントロール・レジスタのリードバックをイネーブルします。ここで、データをリードバックすることができます。この動作はスタート・コマンドで開始され、その後ろにアドレス・バイト(R/W = 1)が続きます。その後、デバイスは SDA をロー・レベルにして、データ送信の準備ができたことを通知します。次に、2 バイトのデータがデバイスから読出されます(図 45)。この後に、ストップ条件が続きます。マスターが先頭バイトをアクノリッジしない場合、AD5272/AD5274 から 2 番目のバイトは送信されません。

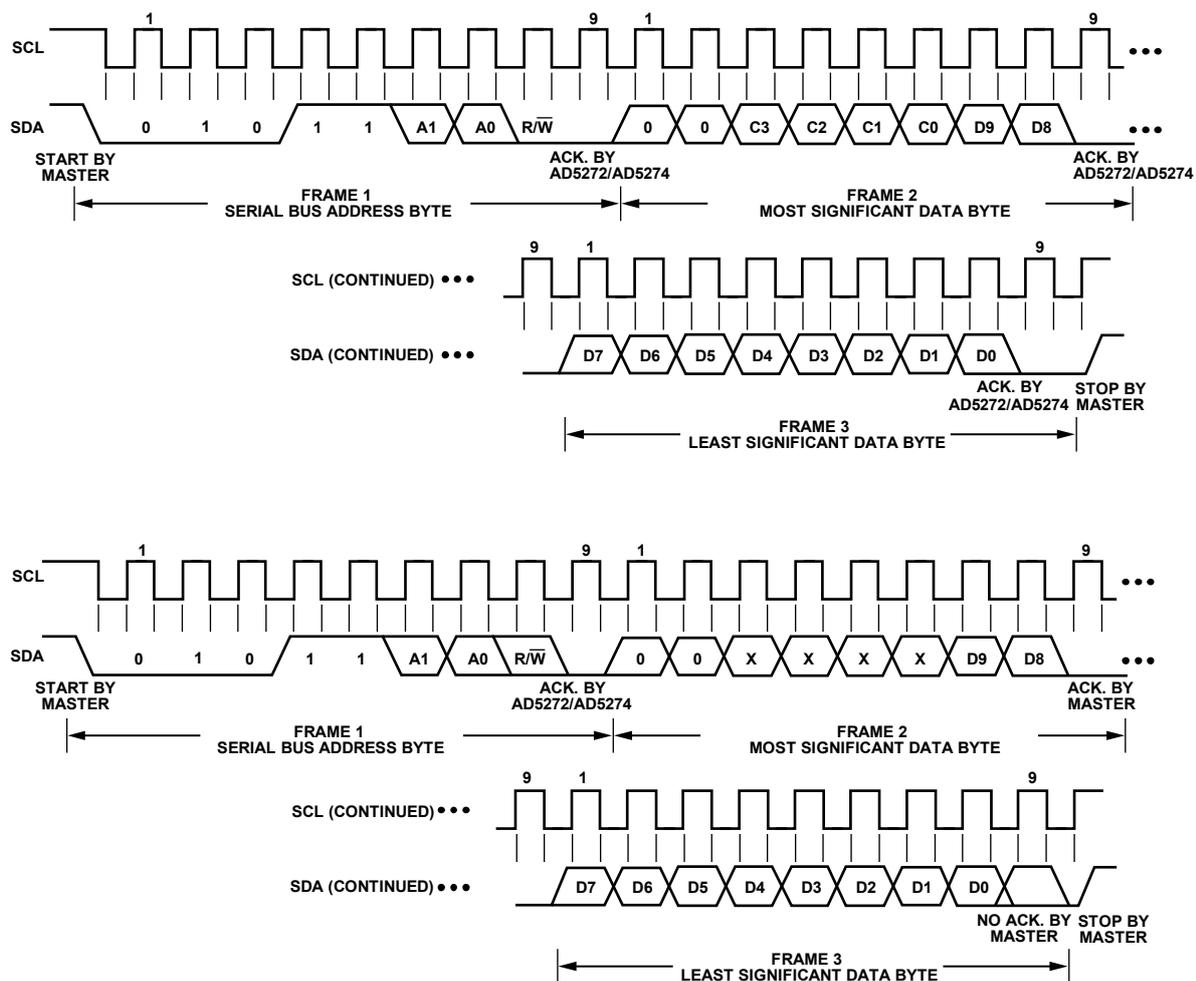


図 45. 読出しコマンド

08076-007

RDACレジスタ

RDAC レジスタは、デジタル可変抵抗器のワイパー・ポジションを直接制御します。例えば、RDAC レジスタに全ビット 0 をロードすると、ワイパーは可変抵抗の A ピンに接続されます。I²C インターフェースを使って RDAC レジスタの書き込みと読み出しを行うことができます。RDAC レジスタは標準のロジック・レジスタであるため、許容変更回数には制限がありません。

50-TPメモリ・ブロック

AD5272/AD5274は、50-TPのプログラマブルなメモリ・レジスタの阵列を内蔵しています。このメモリ・レジスタを使うと、ワイパー・ポジションを最大50回分書き込むことができます。表 16にメモリ・マップを示します。表 12に示すコマンド3は、RDACレジスタ値をメモリへ書き込みます。書き込む最初のアドレスはロケーション 0x01 (表 16参照)です。AD5272/AD5274は、メモリがフルになるまで、各後続の書き込みごとに50-TP メモリ・アドレスをインクリメントします。50-TPへのデータ書き込みには約 4 mA を 55 ms間消費します。さらに完了に約 350 msを要します。この間、シフトレジスタをロックして、変更を防止します。コントロール・レジスタ(表 15)のビットC3をポーリングして、ヒューズ・プログラム・コマンドの完了を確認することができます。50-TP メモリの書き込みには電源電圧の変更は不要ですが、EXT_CAP ピンに1 μF のコンデンサが必要です (図 47参照)。

50-TPをアクティブにする前は、パワーアップ時にAD5272/AD5274はミッドスケールに設定されます。コマンド5を使って、I²Cインターフェースからすべての50-TPメモリ・レジスタ値をリードバックすることができます(表 12)。データバイトの下位6ビットD0~D5により、リードバック対象のメモリ・ロケーションを選択します。コマンド6を使うと、直前に書込まれたワイパー・メモリ・ロケーションのバイナリ符号化されたアドレスをリードバックすることができます(表 12)。この機能を使うと、50-TP メモリ・ブロックのスペア・メモリ・ステータスをモニタすることができます。

書き込み保護機能

パワーアップ時に、RDACレジスタと 50-TPメモリ・レジスタに対するシリアル・データ入力レジスタ書き込みコマンドがディスエーブルされます。コントロール・レジスタのRDAC書き込み保護ビットC1(表 14 と 表 15 参照)は、デフォルトで 0 に設定されます。この機能により、ソフトウェア・コマンドに無関係に、RDACレジスタ値の変更が不可能になります。ただし、ソフトウェア・リセットのコマンド 4 を使って、50-TPメモリからRDACレジスタをリフレッシュする場合、またはRESETピンによりハードウェアからリフレッシュする場合は例外です。可変抵抗ワイパー・ポジション・レジスタ(RDACレジスタ)の書き込みをイネーブルするときは、コントロール・レジスタの書き込み保護ビット(ビットC1)を最初に書き込む必要があります。これは、シリアル・データ入力レジスタにコマンド 7 をロードすることにより行われます(表 12)。50-TPメモリ・ブロック・ビットの書き込みをイネーブルするときは、コントロール・レジスタのC0 (デフォルトで 0 に設定済み)を最初に 1 に設定する必要があります。

表 12. コマンド動作の真理値表

Command Number	Command[DB13:DB10]				Data[DB9:B0] ¹										Operation
	C3	C2	C1	C0	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	NOP: do nothing.
1	0	0	0	1	D9	D8	D7	D6	D5	D4	D3	D2	D1 ²	D0 ²	Write contents of serial register data to RDAC.
2	0	0	1	0	X	X	X	X	X	X	X	X	X	X	Read contents of RDAC wiper register.
3	0	0	1	1	X	X	X	X	X	X	X	X	X	X	Store wiper setting: store RDAC setting to 50-TP.
4	0	1	0	0	X	X	X	X	X	X	X	X	X	X	Software reset: refresh RDAC with the last 50-TP memory stored value.
5 ³	0	1	0	1	X	X	X	X	D5	D4	D3	D2	D1	D0	Read contents of 50-TP from the SDO output in the next frame.
6	0	1	1	0	X	X	X	X	X	X	X	X	X	X	Read address of the last 50-TP programmed memory location.
7 ⁴	0	1	1	1	X	X	X	X	X	X	X	D2	D1	D0	Write contents of the serial register data to the control register.
8	1	0	0	0	X	X	X	X	X	X	X	X	X	X	Read contents of the control register.
9	1	0	0	1	X	X	X	X	X	X	X	X	X	D0	Software shutdown. D0 = 0; normal mode. D0 = 1; shutdown mode.

¹ X = don't care.

² AD5274 = don't care.

³ 50-TPメモリマップについては表 16 を参照してください。

⁴ 詳細については、表 15 を参照してください。

表 13.RDAC と 50-TP メモリの書込みと読み出し

DIN	SDO ¹	Action
0x1C03	0xXXXX	Enable update of wiper position and 50-TP memory contents through digital interface.
0x0500	0x1C03	Write 0x100 to the RDAC register, wiper moves to ¼ full-scale position.
0x0800	0x0500	Prepare data read from RDAC register.
0x0C00	0x100	Stores RDAC register content into 50-TP memory. 16-bit word appears out of SDO, where last 10-bits contain the contents of the RDAC Register 0x100.
0x1800	0x0C00	Prepare data read of last programmed 50-TP memory monitor location.
0x0000	0xXX19	NOP Instruction 0 sends a 16-bit word out of SDO, where the six LSBs last 6-bits contain the binary address of the last programmed 50-TP memory location, for example, 0x19 (see Table 16).
0x1419	0x0000	Prepares data read from Memory Location 0x19.
0x2000	0x0100	Prepare data read from the control register. Sends a 16-bit word out of SDO, where the last 10-bits contain the contents of Memory Location 0x19.
0x0000	0xXXXX	NOP Instruction 0 sends a 16-bit word out of SDO, where the last four bits contain the contents of the control register. If Bit C3 = 1, fuse program command successful.

¹X は don't care。

表 14.コントロール・レジスタのビット・マップ

DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	C3	C2	C1	C0

表 15.コントロール・レジスタの説明

Bit Name	Description
C0	50-TP program enable 0 = 50-TP program disabled (default) 1 = enable device for 50-TP program
C1	RDAC register write protect 0 = wiper position frozen to value in 50-TP memory (default) ¹ 1 = allow update of wiper position through a digital interface
C2	Resistor performance enable 0 = RDAC resistor tolerance calibration enabled (default) 1 = RDAC resistor tolerance calibration disabled
C3	50-TP memory program success bit 0 = fuse program command unsuccessful (default) 1 = fuse program command successful

¹ワイパー・ポジションは 50-TP メモリに書込まれた直前の値に固定されます。50-TP メモリが書込まれていない場合には、ワイパーをミッドスケールに固定します。

表 16.メモリ・マップ

Command Number	Data Byte [DB9:DB8] ¹										Register Contents
	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
5	X	X	X	0	0	0	0	0	0	0	Reserved
	X	X	X	0	0	0	0	0	0	1	1st programmed wiper location (0x01)
	X	X	X	0	0	0	0	0	1	0	2nd programmed wiper location (0x02)
	X	X	X	0	0	0	0	0	1	1	3rd programmed wiper location (0x03)
	X	X	X	0	0	0	0	1	0	0	4th programmed wiper location (0x04)

	X	X	X	0	0	0	1	0	1	0	10th programmed wiper location (0xA)
	X	X	X	0	0	1	0	1	0	0	20th programmed wiper location (0x14)
	X	X	X	0	0	1	1	1	1	0	30th programmed wiper location (0x1E)
	X	X	X	0	1	0	1	0	0	0	40th programmed wiper location (0x28)
X	X	X	0	1	1	0	0	1	0	50th programmed wiper location (0x32)	

¹X = don't care。

50-TPメモリ書込みアクノリッジのポーリング

50-TPレジスタに対する各書込み動作の後に、内部書込みサイクルが開始されます。デバイスの I²C インターフェースはディスエーブルされます。内部書込みサイクルの終了と I²C インターフェースのイネーブルを確認するために、インターフェースのポーリングを行うことができます。I²C インターフェースのポーリングは、スタート条件を送信し、続いてスレーブ・アドレスと書込みビットを送信することにより実行することができます。I²C インターフェースがアクノリッジ(ACK)で応答してくると、書込みサイクルが完了して、インターフェースは次の動作が可能であることを意味します。その他の場合には、I²C インターフェースのポーリングを書込みサイクルが完了するまで繰り返すことができます。

リセット

AD5272/AD5274 は、コマンド 4 を実行してソフトウェアから (表 12 参照)、または RESET ピンにロー・パルスを入力してハードウェアからリセットすることができます。リセット・コマンドは、直前に書込まれた 50-TP メモリ・ロケーションの値を RDAC レジスタへロードします。直前に書込まれた 50-TP メモリ・ロケーションがない場合には、RDAC レジスタにミッドスケールがロードされます。使用しない場合は、RESET を V_{DD} に接続してください。

抵抗性能モード

このモードでは、特許取得済みの新しい 1% ピン間抵抗偏差がアクティブになります。この 1% ピン間抵抗偏差では、各コードで ±1% 抵抗偏差すなわちコード = ハーフスケール、 $R_{WA} = 10 \text{ k}\Omega \pm 100 \Omega$ が保証されます。±1% 抵抗偏差が実現されるコードを確認するときは、表 2、表 3、表 5、表 6 を参照してください。コントロール・レジスタのビット C2 に書込みを行うと、抵抗性能モードがアクティブになります (表 14 と表 15 参照)。

シャットダウン・モード

ソフトウェア・シャットダウン・コマンドのコマンド 9 (表 12 参照) を実行して、LSB に 1 を設定することにより、AD5272/AD5274 をシャットダウンさせることができます。この機能により RDAC はゼロ消費電力状態になり、ピン A_x はワイパー・ピンから切り離されます。AD5272/AD5274 がシャットダウン・モードにあるとき、表 12 の全コマンドを実行することができます。コマンド 9 を実行して、LSB を 0 に設定するか、またはソフトウェア・リセットまたはハードウェア・リセットを発行することにより、デバイスをシャットダウン・モードから抜け出させることができます。

RDACアーキテクチャ

最適性能を実現するため、アナログ・デバイスはすべてのデジタル・ポテンショメータに対して特許取得済みの RDAC セグメント化アーキテクチャを持っています。特に、AD5272/AD5274 では 3 ステージ・セグメント化を採用しています (図 46 参照)。AD5272/AD5274 ワイパー・スイッチは、トランスミッション・ゲート CMOS 回路を採用してデザインされています。

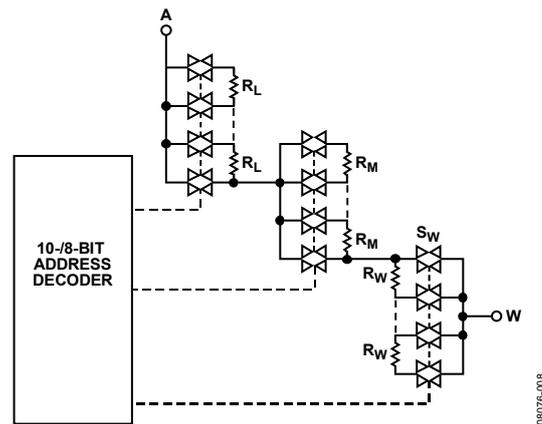


図 46.簡略化した RDAC 回路

可変抵抗のプログラミング

可変抵抗動作—1% 抵抗偏差

ピン W とピン A の間の公称抵抗値 R_{WA} は 20 k Ω 、50 k Ω 、100 k Ω であり、ワイパー・ピンから 1024/256 タップ・ポイントにアクセスします。RDAC ラッチ内の 10/8 ビット・データがデコードされて、1024 または 256 通りのワイパー設定値の内の 1 つを選択します。AD5272/AD5274 は、±1% 抵抗偏差キャリブレーション機能を内蔵しています。この機能はコントロール・レジスタのビット C2 を書込むことによりディスエーブル/イネーブルされ、デフォルトでイネーブルされています (表 15 参照)。W ピンと A ピンの間の、デジタル的に設定される出力抵抗 R_{WA} は、全電源範囲と全温度範囲で最大 ±1% の絶対抵抗誤差となるようにキャリブレーションされます。このため、W ピンと A ピンとの間のデジタル的に設定する出力抵抗を決定する一般式は次のようになります。

AD5272 の場合

$$R_{WA}(D) = \frac{D}{1024} \times R_{WA} \quad (1)$$

AD5274 の場合

$$R_{WA}(D) = \frac{D}{256} \times R_{WA} \quad (2)$$

ここで、

D は、10/8 ビット RDAC レジスタにロードされるバイナリ・コード・データの 10 進数表示。

R_{WA} はピン間抵抗。

ゼロスケール状態では、有限な合計ワイパー抵抗が 120 Ω となります。デバイスが動作している設定値に無関係に、ピン A とピン B 間、ピン W とピン A 間、ピン W とピン B 間の電流を ±3 mA の最大連続電流に、または表 8 に規定するパルス電流に、制限するように注意してください。そうしないと、内部スイッチ・コンタクトの性能低下または破壊が生ずる恐れがあります。

EXT_CAPコンデンサ

パワーアップ時とAD5272/AD5274の動作中に、1 μF のコンデンサをEXT_CAPピンと V_{SS} との間に接続する必要があります(図47参照)。

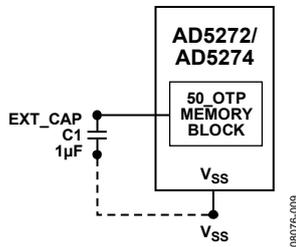


図47.EXT_CAPハードウェアのセットアップ

ピン電圧の動作範囲

AD5272/AD5274の正側 V_{DD} 電源と負側 V_{SS} 電源により、2端子デジタル抵抗の動作範囲が決定されます。 V_{DD} または V_{SS} を超えてピンAとピンWに入力される電源信号は、内蔵の順方向バイアス・ダイオードによりクランプされます(図48参照)。

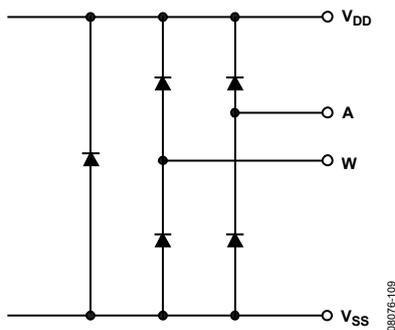


図48. V_{DD} と V_{SS} により設定される最大ピン電圧

AD5272/AD5274のグラウンド・ピンは、主にデジタル・グラウンド基準として使われます。デジタル・グラウンド・バウンズを最小にするため、AD5272/AD5274のグラウンド・ピンは共通グラウンドから離れた所で接続する必要があります。AD5272/AD5274に対するデジタル入力コントロール信号はデバイス・グラウンド・ピン(GND)を基準として、仕様のセクションに規定するロジック・レベルを満たす必要があります。内蔵のレベル・シフト回路は、デジタル入力レベルに無関係に、3本のピンの同相モード電圧範囲を V_{SS} から V_{DD} へ確実に拡張します。

パワーアップ・シーケンス

ピンAとピンWでの電圧コンプライアンスを制限するダイオードが内蔵されているため(図48)、ピンAとピンWに電圧を加える前に V_{DD}/V_{SS} を加えることが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずに V_{DD}/V_{SS} に電源が接続されてしまいます。最適なパワーアップ・シーケンスは、 V_{SS} 、GND、 V_{DD} デジタル入力の順、続いて V_A 、 V_W の順序です。電源投入シーケンス V_A 、 V_W 、デジタル入力の順は、 V_{DD}/V_{SS} 投入後であれば、重要ではありません。

V_{DD} に電源を加えると直ちに、パワーオン・プリセットが起動され、最初にRDACをミッドスケールに設定し、次に直前に書込まれた50-TP値をRDACレジスタに復元します。

外形寸法

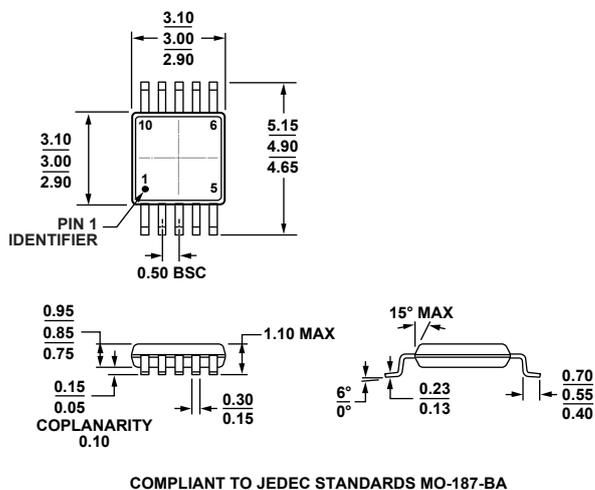


図 49.10 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP] (RM-10)
寸法: mm

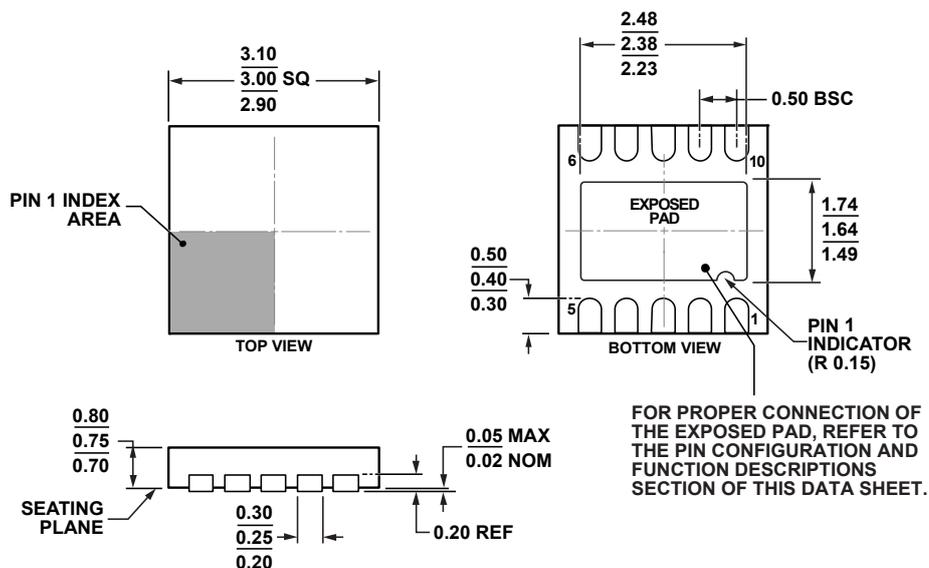


図 50.10 ピン・フレーム・チップ・スケール・パッケージ[LFCSP_WD] 3 mm × 3mm ボディ、極薄、デュアル・リード (CP-10-9)
寸法: mm

オーダー・ガイド

Model ¹	R _{AW} (kΩ)	Resolution	Temperature Range	Package Description	Package Option	Branding
AD5272BRMZ-20	20	1,024	-40°C to +125°C	10-Lead MSOP	RM-10	DE6
AD5272BRMZ-20-RL7	20	1,024	-40°C to +125°C	10-Lead MSOP	RM-10	DE6
AD5272BRMZ-50	50	1,024	-40°C to +125°C	10-Lead MSOP	RM-10	DE7
AD5272BRMZ-50-RL7	50	1,024	-40°C to +125°C	10-Lead MSOP	RM-10	DE7
AD5272BRMZ-100	100	1,024	-40°C to +125°C	10-Lead MSOP	RM-10	DE5
AD5272BRMZ-100-RL7	100	1,024	-40°C to +125°C	10-Lead MSOP	RM-10	DE5
AD5272BCPZ-20-RL7	20	1,024	-40°C to +125°C	10-Lead LFCSP_WD	CP-10-9	DE4
AD5272BCPZ-100-RL7	100	1,024	-40°C to +125°C	10-Lead LFCSP_WD	CP-10-9	DE3
AD5274BRMZ-20	20	256	-40°C to +125°C	10-Lead MSOP	RM-10	DEE
AD5274BRMZ-20-RL7	20	256	-40°C to +125°C	10-Lead MSOP	RM-10	DEE
AD5274BRMZ-100	100	256	-40°C to +125°C	10-Lead MSOP	RM-10	DED
AD5274BRMZ-100-RL7	100	256	-40°C to +125°C	10-Lead MSOP	RM-10	DED
AD5274BCPZ-20-RL7	20	256	-40°C to +125°C	10-Lead LFCSP_WD	CP-10-9	DE9
AD5274BCPZ-100-RL7	100	256	-40°C to +125°C	10-Lead LFCSP_WD	CP-10-9	DE8
EVAL-AD5272SDZ			Evaluation Board			

¹ Z = RoHS 準拠製品。

I²C は最初に Philips Semiconductors 社 (現在の NXP Semiconductors 社) により制定された通信プロトコルです。