

特長

- 不揮発性メモリにワイパー設定値を保持
- 256ポジションのデジタル・ポテンシオメータ
- 薄型LFCSP-10パッケージ (3mm×3mm×0.8mm)
- 小型MSOP-10パッケージ (3mm×4.9mm×1.1mm)
- I²C互換インターフェース
- インターフェースの柔軟性を高めるV_{LOGIC}ピン
- 端子間抵抗値：5kΩ、10kΩ、50kΩ、100kΩ
- 抵抗偏差値 (0.1%の精度) をEEPROMに保持
- パワーオン時にEEPROMリフレッシュ時間：<1ms
- ソフトウェア書き込み保護コマンド
- 同一バス上に4個のデバイスを接続可能にするアドレス・ピン (AD0およびAD1)
- データ保持期間：100年間@55°C (typ)
- 動作温度：-40~+85°C
- 単電源動作：3~5V

アプリケーション

- LCDパネルのV_{COM}調整
- LCDパネルの輝度およびコントラスト調整
- 新規デザインでの機械式ポテンシオメータの置換
- プログラマブル電源
- RF基地局パワーアンプのバイアス制御
- 自動車のエレクトロニクス機器調整
- ゲイン制御とオフセット調整
- FTTH (ファイバー・ツォ・ザ・ホーム・システム)
- 電子レベル設定

概要

AD5259は不揮発性メモリを内蔵する256ポジションのデジタル・ポテンシオメータで、LFCSP-10パッケージ (3mm×3mm) またはMSOP-10パッケージ (3mm×4.9mm) を採用しています。この製品は、機械式のポテンシオメータ¹または可変抵抗器と同じ電子調節機能を実行するとともに、優れた分解能と信頼性を提供します。

I²C互換のデジタル・インターフェースを介して、ワイパーの設定を制御することが可能です。このインターフェースは、ワイパー・レジスタとEEPROMのデータ内容のリードバックにも使用されます。EEPROMのトレランス・レジスタに抵抗偏差値を保持することによって、端子間で0.1%の精度を実現しています。

V_{LOGIC}ピンが個別に用意されているので、インターフェースの柔軟性が向上します。同一バス上に複数のデバイスを接続する必要がある場合、アドレス・ビットのAD0とAD1により最大4個のデバイスを使用できます。

機能ブロック図

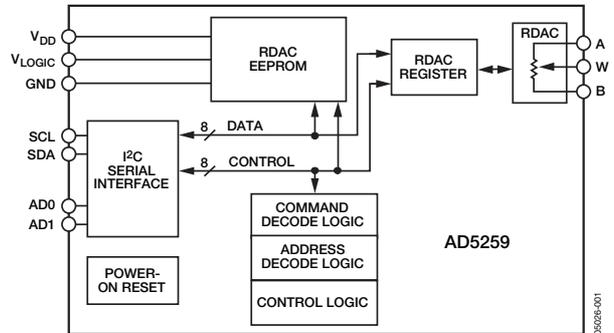


図1. ブロック図

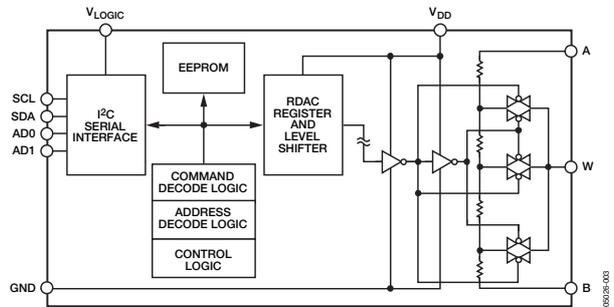


図2. レベル・シフタを示すブロック図

接続図

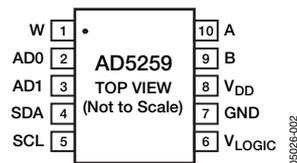


図3. ピン配置図

¹ デジタル・ポテンシオメータ、VR (可変抵抗器)、RDACの各用語は、それぞれ同じ意味で使用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2005 Analog Devices, Inc. All rights reserved.

REV. A

目次

特長	1	IC互換インターフェース	15
アプリケーション	1	書込み	15
概要	1	保存/再生	15
機能ブロック図	1	読出し	15
接続図	1	IC互換フォーマット	16
改訂履歴	2	汎用インターフェース	16
仕様	3	書込みモード	16
電気的特性	3	読出しモード	17
タイミング特性	5	保存/再生モード	17
絶対最大定格	6	偏差値リードバック・モード	18
ESDに関する注意	6	デジタル・ピンと抵抗端子のESD保護	19
ピン配置および機能の説明	7	パワーアップ・シーケンス	19
代表的な性能特性	8	レイアウトと電源のバイパス処理	19
テスト回路	13	同一バス上に複数デバイスを接続	19
動作理論	14	評価用ボード	19
可変抵抗器（可変抵抗器）のプログラミング	14	ディスプレイ・アプリケーション	20
ポテンショメータ・デバイダのプログラミング	14	回路	20
		外形寸法	21
		オーダー・ガイド	21

改訂履歴

7/05—Rev. 0 to Rev. A

Added 10-Lead LFCSP	Universal
Changes to Features Section and General Description Section	1
Changes to Table 1	3
Changes to Table 2 and Added Figure 4	5
Changes to Table 4	7
Changes to Figure 27 Caption	11
Changes to Theory of Operation Section	14
Changes to I2C-Compatible Interface Section	15
Changes to Table 5	16
Changes to Multiple Devices on One Bus Section	19
Updated Figure 49 Caption	21
Changes to Ordering Guide	21

2/05—Revision 0: Initial Version

仕様

電気的特性

特に指定のない限り、 $V_{DD}=V_{LOGIC}=5V\pm 10\%$ 、または $3V\pm 10\%$ 、 $V_A=V_{DD}$ 、 $V_B=0V$ 、 $-40^\circ C < T_A < +85^\circ C$ で仕様を規定。

表1

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS: RHEOSTAT MODE						
Resistor Differential Nonlinearity	R-DNL	R_{WB} , $V_A = \text{no connect}$				LSB
5 k Ω			-1	± 0.2	+1	
10 k Ω			-1	± 0.1	+1	
50 k Ω /100 k Ω			-0.5	± 0.1	+0.5	
Resistor Integral Nonlinearity	R-INL	R_{WB} , $V_A = \text{no connect}$				LSB
5 k Ω			-4	± 0.3	+4	
10 k Ω			-2	± 0.2	+2	
50 k Ω /100 k Ω			-1	± 0.4	+1	
Nominal Resistor Tolerance	ΔR_{AB}	$T_A = 25^\circ C$, $V_{DD} = 5.5 V$	-30		+30	%
Resistance Temperature Coefficient	$(\Delta R_{AB} \times 10^6) / (R_{AB} \times \Delta T)$	Code = 0x00/0x80		500/15		ppm/ $^\circ C$
Total Wiper Resistance	R_{WB}	Code = 0x00		75	350	Ω
DC CHARACTERISTICS: POTENTIOMETER DIVIDER MODE						
Differential Nonlinearity	DNL					LSB
5 k Ω			-1	± 0.2	+1	
10 k Ω			-0.5	± 0.1	+0.5	
50 k Ω /100 k Ω			-0.5	± 0.2	+0.5	
Integral Nonlinearity	INL					LSB
5 k Ω			-1	± 0.2	+1	
10 k Ω			-0.5	± 0.1	+0.5	
50 k Ω /100 k Ω			-0.5	± 0.1	+0.5	
Full-Scale Error	V_{WFSE}	Code = 0xFF				LSB
5 k Ω			-7	-3	0	
10 k Ω			-4	-1.5	0	
50 k Ω /100 k Ω			-1	-0.4	0	
Zero-Scale Error	V_{WZSE}	Code = 0x00				LSB
5 k Ω			0	2.5	4	
10 k Ω			0	1	3	
50 k Ω /100 k Ω			0	0.2	0.5	
Voltage Divider Temperature Coefficient	$(\Delta V_w \times 10^6) / (V_w \times \Delta T)$	Code = 0x00/0x80		60/5		ppm/ $^\circ C$
RESISTOR TERMINALS						
Voltage Range	$V_{A, B, W}$		GND		V_{DD}	V
Capacitance A, B	$C_{A, B}$	f = 1 MHz, measured to GND, code = 0x80		45		pF
Capacitance W	C_W	f = 1 MHz, measured to GND, code = 0x80		60		pF
Common-Mode Leakage	I_{CM}	$V_A = V_B = V_{DD}/2$		10		nA

AD5259

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DIGITAL INPUTS AND OUTPUTS						
Input Logic High	V_{IH}		$0.7 \times V_L$		$V_L + 0.5$	V
Input Logic Low	V_{IL}		-0.5		$0.3 \times V_L$	V
Leakage Current	I_{IL}					μA
SDA, AD0, AD1		$V_{IN} = 0 \text{ V or } 5 \text{ V}$		0.01	± 1	
SCL – Logic High		$V_{IN} = 0 \text{ V}$	-2.5	-1.3	+1	
SCL – Logic Low		$V_{IN} = 5 \text{ V}$		0.01	± 1	
Input Capacitance	C_{IL}			5		pF
POWER SUPPLIES						
Power Supply Range	V_{DD}		2.7		5.5	V
Positive Supply Current	I_{DD}			0.1	2	μA
Logic Supply	V_{LOGIC}		2.7		5.5	V
Logic Supply Current	I_{LOGIC}	$V_{IH} = 5 \text{ V or } V_{IL} = 0 \text{ V}$		3	6	μA
Programming Mode Current (EEPROM)	$I_{LOGIC(PROG)}$	$V_{IH} = 5 \text{ V or } V_{IL} = 0 \text{ V}$		35		mA
Power Dissipation	P_{DISS}	$V_{IH} = 5 \text{ V or } V_{IL} = 0 \text{ V}, V_{DD} = 5 \text{ V}$		15	40	μW
Power Supply Rejection Ratio	PSRR	$V_{DD} = +5 \text{ V} \pm 10\%$, code = 0x80		± 0.005	± 0.06	%/%
DYNAMIC CHARACTERISTICS						
Bandwidth –3 dB	BW	Code = 0x80 $R_{AB} = 5 \text{ k}\Omega$ $R_{AB} = 10 \text{ k}\Omega$ $R_{AB} = 50 \text{ k}\Omega$ $R_{AB} = 100 \text{ k}\Omega$		2000 800 160 80		kHz kHz kHz kHz
Total Harmonic Distortion	THD _W	$R_{AB} = 10 \text{ k}\Omega$, $V_A = 1 \text{ V rms}$, $V_B = 0$, $f = 1 \text{ kHz}$		0.01		%
V_W Settling Time	t_s	$R_{AB} = 10 \text{ k}\Omega$, $V_{AB} = 5 \text{ V}$, $\pm 1 \text{ LSB error band}$		500		ns
Resistor Noise Voltage Density	e_{N_WB}	$R_{WB} = 5 \text{ k}\Omega$, $f = 1 \text{ kHz}$		9		nV/ $\sqrt{\text{Hz}}$

¹ 代表値 (typ) は、25°Cおよび $V_{DD}=5\text{V}$ での測定値の平均値を表します。

タイミング特性

特に指定のない限り、 $V_{DD}=V_{LOGIC}=5V\pm 10\%$ 、または $3V\pm 10\%$ 、 $V_A=V_{DD}$ 、 $V_B=0V$ 、 $-40^\circ C < T_A < +85^\circ C$ で仕様を規定。

表2

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
I²C INTERFACE TIMING CHARACTERISTICS¹						
SCL Clock Frequency	f_{SCL}		0		400	kHz
t_{BUF} Bus Free Time Between Stop and Start	t_1		1.3			μs
$t_{HD:STA}$ Hold Time (Repeated Start)	t_2	After this period, the first clock pulse is generated.	0.6			μs
t_{LOW} Low Period of SCL Clock	t_3		1.3			μs
t_{HIGH} High Period of SCL Clock	t_4		0.6			μs
$t_{SU:STA}$ Setup Time for Repeated Start Condition	t_5		0.6			μs
$t_{HD:DAT}$ Data Hold Time	t_6		0		0.9	μs
$t_{SU:DAT}$ Data Setup Time	t_7		100			ns
t_F Fall Time of Both SDA and SCL Signals	t_8				300	ns
t_R Rise Time of Both SDA and SCL Signals	t_9				300	ns
$t_{SU:STO}$ Setup Time for Stop Condition	t_{10}		0.6			μs
EEPROM Data Storing Time	t_{EEMEM_STORE}			26		ms
EEPROM Data Restoring Time at Power On ²	$t_{EEMEM_RESTORE1}$	V_{DD} rise time dependent. Measure without decoupling capacitors at V_{DD} and G_{ND} .		300		μs
EEPROM Data Restoring Time upon Restore Command ²	$t_{EEMEM_RESTORE2}$	$V_{DD} = 5 V$.		300		μs
EEPROM Data Rewritable Time ³	$t_{EEMEM_REWRITE}$			540		μs
FLASH/EE MEMORY RELIABILITY						
Endurance ⁴			100	700		kCycles
Data Retention ⁵				100		Years

¹ デザインにより標準I²Cモードの動作を保証。

² パワーアップ時、出力が瞬間的にミッドスケールにプリセットされた後に、EEPROMのデータが再生されます。

³ パワーオン・リセットからEEPROMに新しいデータが書き込み可能となるまでの遅延時間。

⁴ 書き込み可能回数は、「JEDEC規格22, Method A117」に基づき100,000回で評価し、 $-40^\circ C$ 、 $+25^\circ C$ 、 $+85^\circ C$ で測定。 $+25^\circ C$ での書き込み回数は700,000回 (typ)。

⁵ 「JEDEC規格22, Method A117」に基づくジャンクション温度 (T_J) = $55^\circ C$ と等価なデータ保持寿命。活性化エネルギー $-0.6eV$ に基づくデータ保持寿命は、ジャンクション温度が上昇すると短くなります。

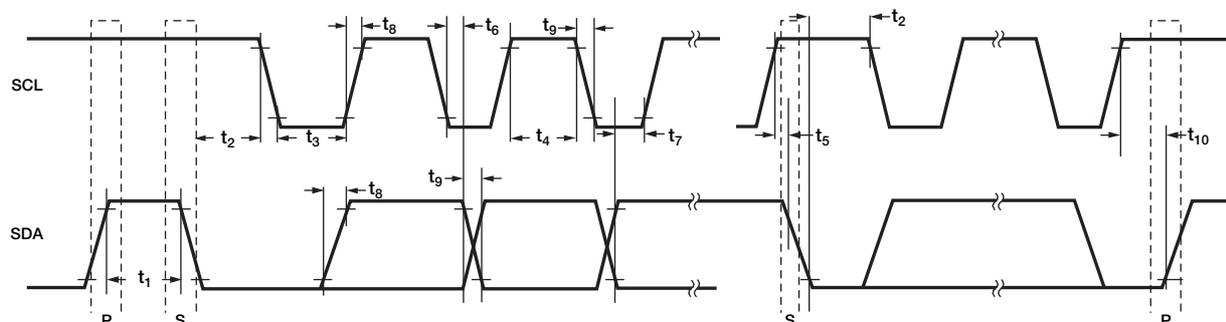


図4. I²Cインターフェースのタイミング図

絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表3

Parameter	Rating
V_{DD} , V_{LOGIC} to GND	-0.3 V to +7 V
V_A , V_B , V_W to GND	GND - 0.3 V, $V_{DD} + 0.3$ V
I_{MAX}	
Pulsed ¹	±20 mA
Continuous	±5 mA
Digital Inputs and Output Voltage to GND	0 V to 7 V
Operating Temperature Range	-40°C to +85°C
Maximum Junction Temperature (T_{JMAX})	150°C
Storage Temperature	-65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C
Thermal Resistance ² θ_{JA} : MSOP-10	200°C/W

¹ 最大端子電流は、スイッチの最大処理電流、パッケージの最大消費電力、および特定の抵抗値のときにA端子、B端子、W端子のうちの任意の2端子間に入力される最大電圧によって制限されます。

² パッケージの消費電力 = $(T_{\text{JMAX}} - T_A) / \theta_{\text{JA}}$

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。1つのパラメータでも絶対最大定格を超えるとデバイスに影響を与えます。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置および機能の説明

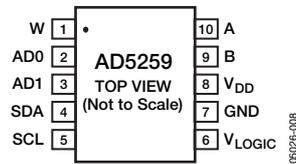


図5. ピン配置

表4. ピン機能の説明

ピン番号	記号	説明
1	W	W端子。 $GND \leq V_W \leq V_{DD}$
2	AD0	複数デバイスの使用時にデコードするためのアドレス・ピン0。このピンの状態は、パワーアップ時にレジスタに格納されます。
3	AD1	複数デバイスの使用時にデコードするためのアドレス・ピン1。このピンの状態は、パワーアップ時にレジスタに格納されます。
4	SDA	シリアル・データ入出力
5	SCL	シリアル・クロック入力。立上がりエッジでトリガされます。
6	V _{LOGIC}	ロジック電源
7	GND	デジタル・グラウンド
8	V _{DD}	正側電源
9	B	B端子。 $GND \leq V_B \leq V_{DD}$ です。
10	A	A端子。 $GND \leq V_A \leq V_{DD}$ です。

代表的な性能特性

特に指定のない限り、 $V_{DD}=V_{LOGIC}=5.5V$ 、 $R_{AB}=10k\Omega$ 、 $T_A=+25^\circ C$ 。

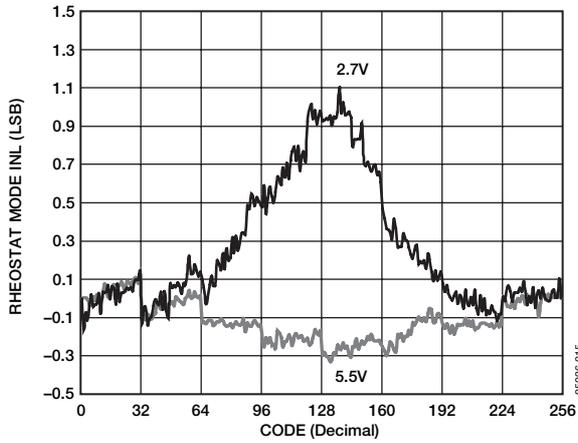


図6. 電源電圧におけるコード対 R-INL

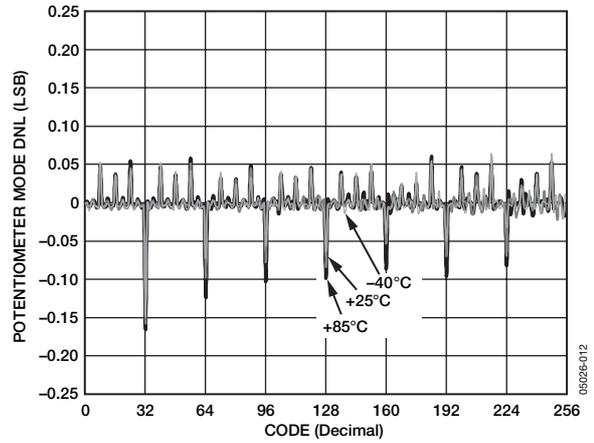


図9. 各温度におけるコード対 DNL

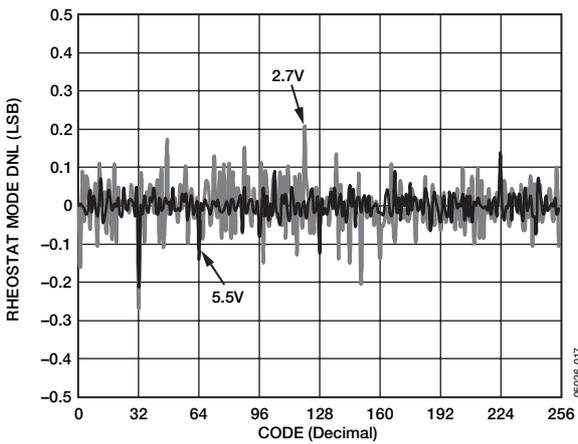


図7. 電源電圧におけるコード対 R-DNL

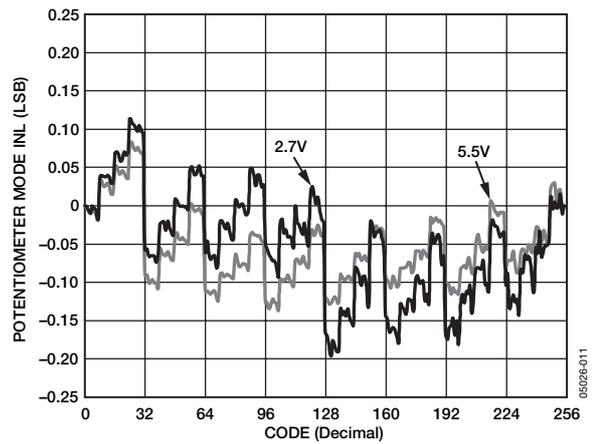


図10. 電源電圧におけるコード対 INL

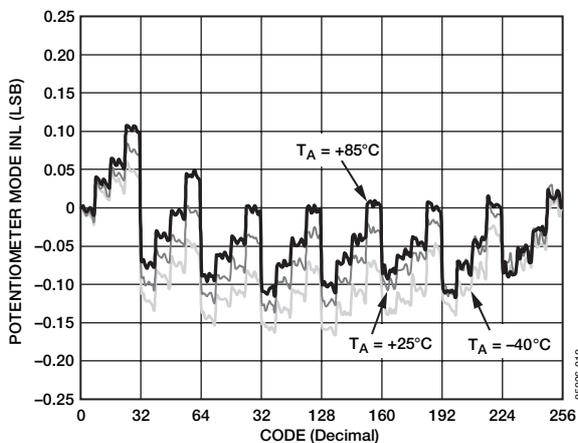


図8. 各温度におけるコード対 INL

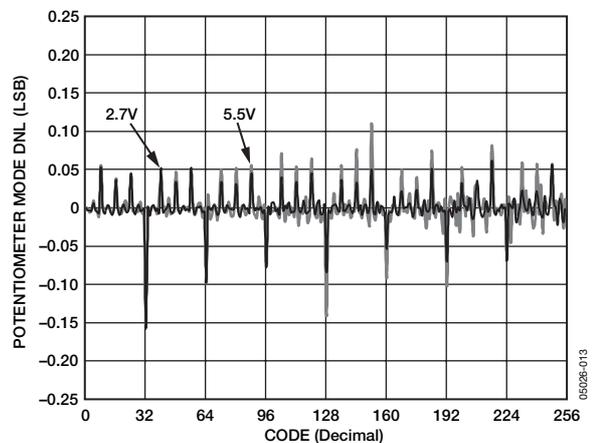


図11. 電源電圧におけるコード対 DNL

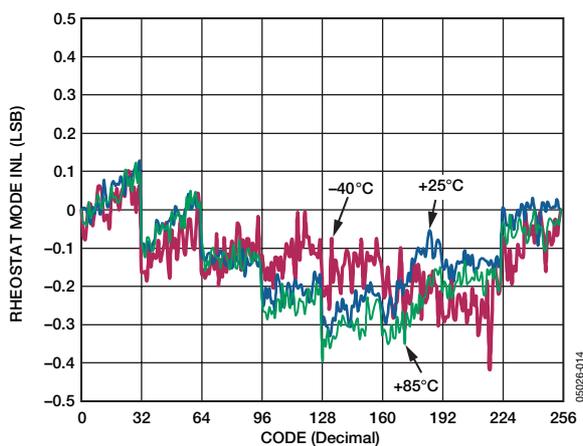


図12. 各温度におけるコード対 R-INL

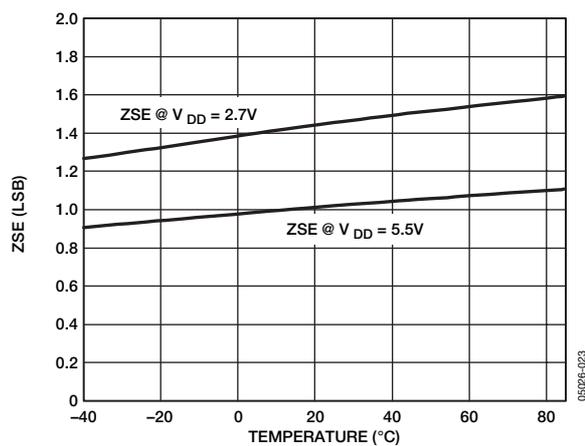


図15. ゼロスケール誤差の温度特性

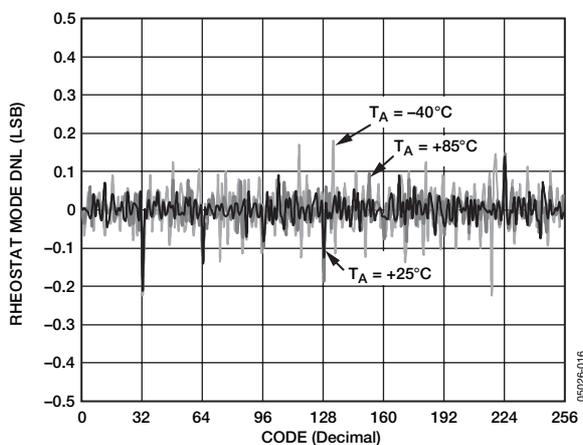


図13. 各温度におけるコード対 R-DNL

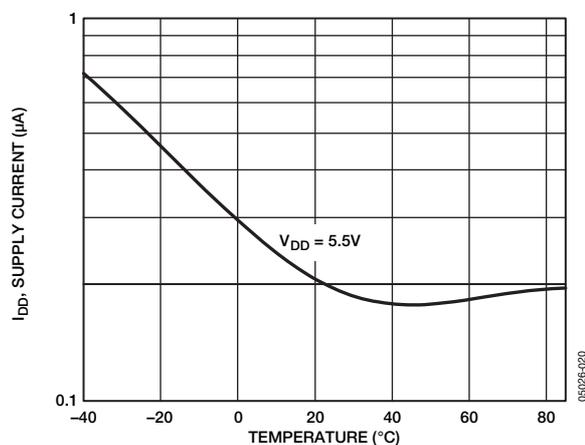


図16. 電源電流の温度特性

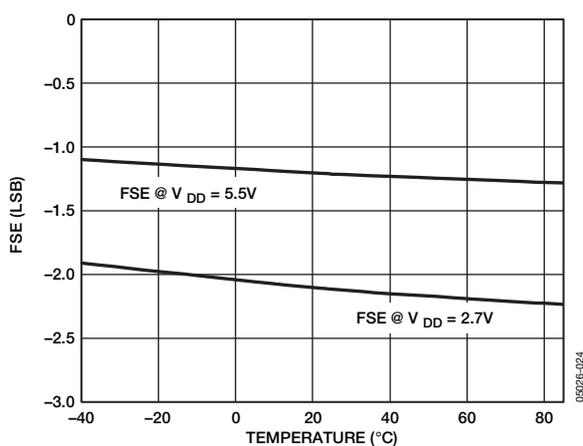


図14. フルスケール誤差の温度特性

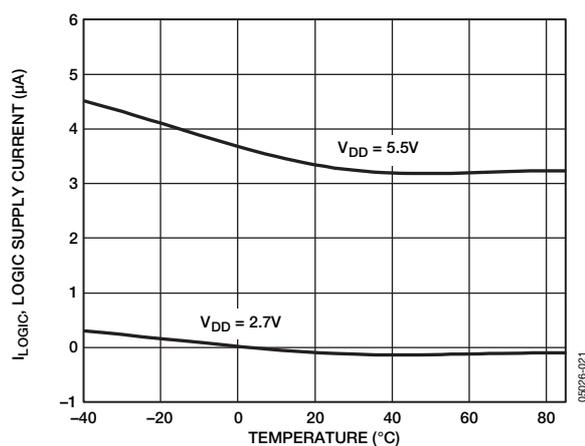


図17. 電源電圧におけるロジック電源電流の温度特性

AD5259

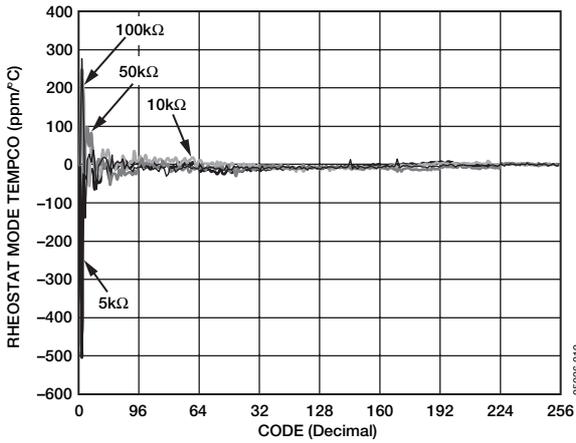


図18. コード対可変抵抗器モードの温度係数 $(\Delta R_{AB} \times 10^6) / (R_{AB} \times \Delta T)$

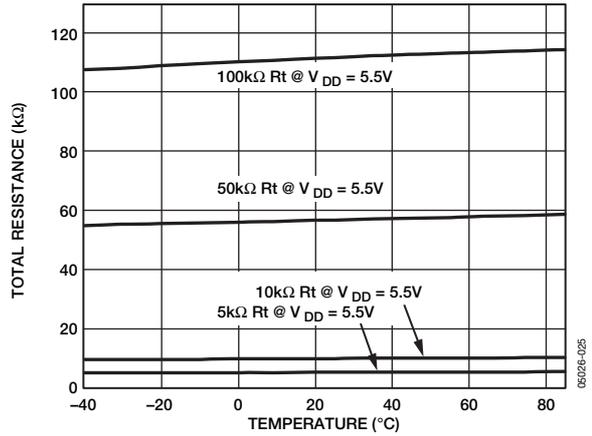


図21. 合計抵抗値の温度特性

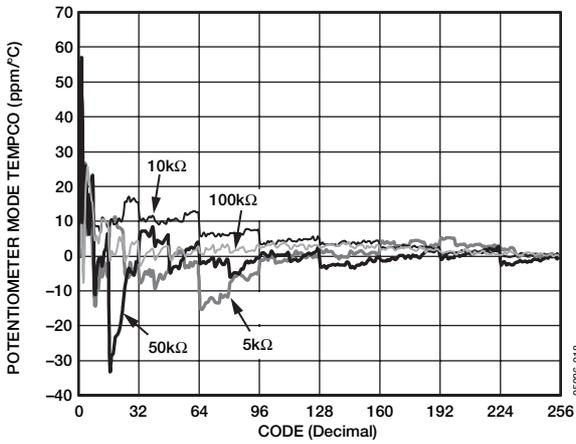


図19. コード対ポテンショメータ・モードの温度係数 $(\Delta V_W \times 10^6) / (V_W \times \Delta T)$

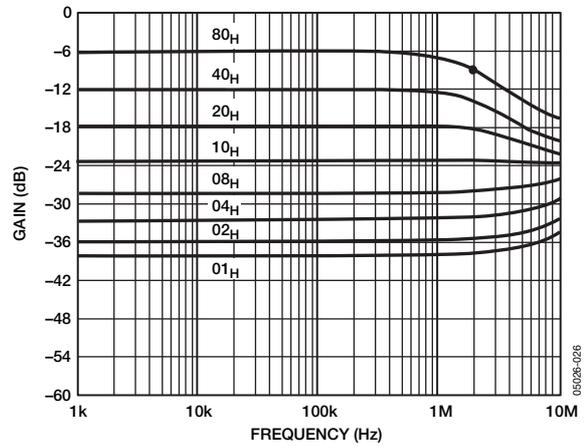


図22. ゲイン対周波数対コード ($R_{AB} = 5k\Omega$)

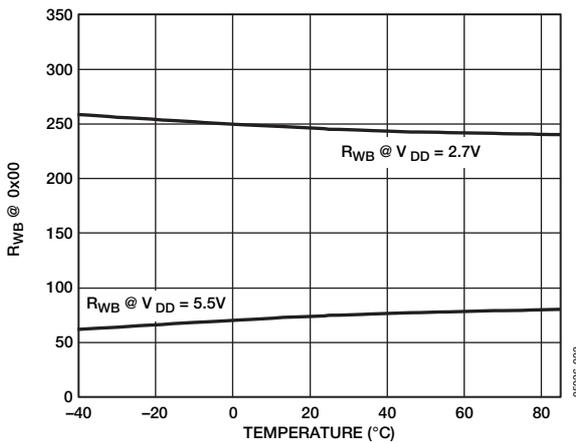


図20. R_{WB} の温度特性

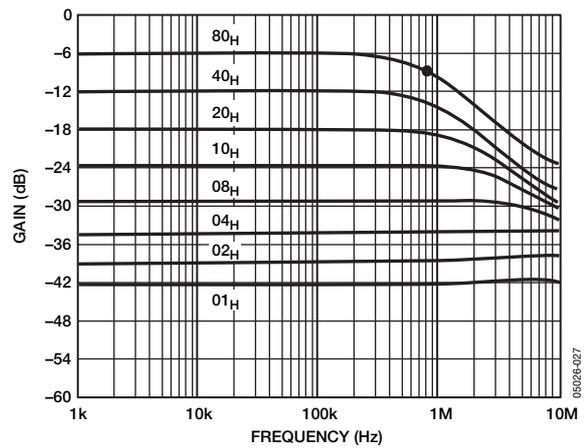


図23. ゲイン対周波数対コード ($R_{AB} = 10k\Omega$)

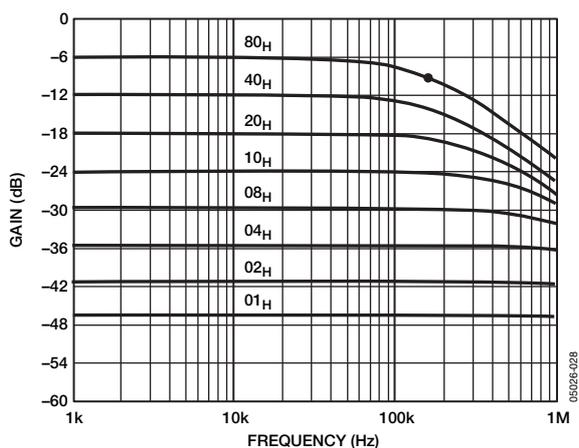


図24. ゲイン対周波数対コード ($R_{AB}=50k\Omega$)

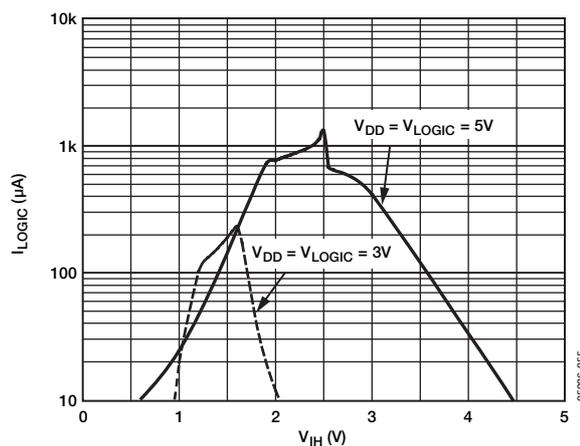


図27. 入力電圧対ロジック電源電流

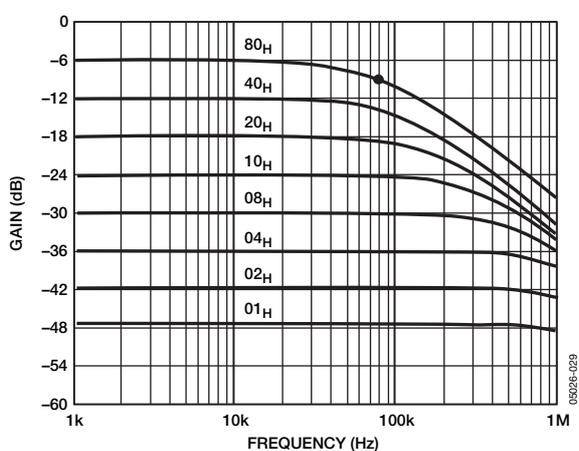


図25. ゲイン対周波数対コード ($R_{AB}=100k\Omega$)

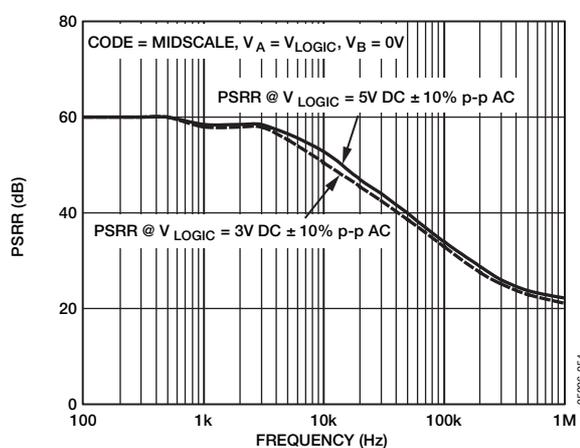


図28. PSRRの周波数特性

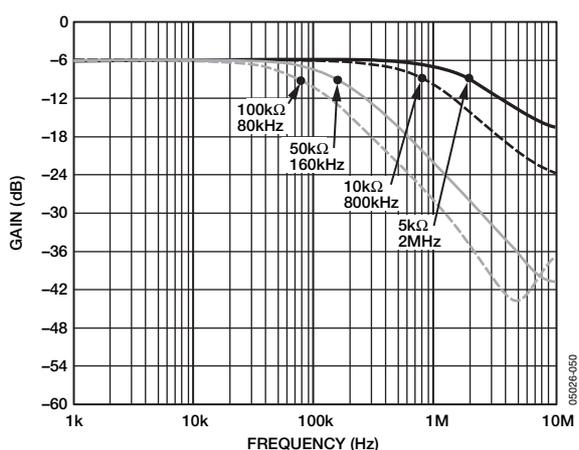


図26. $-3dB$ 帯域幅特性 @ コード=0x80

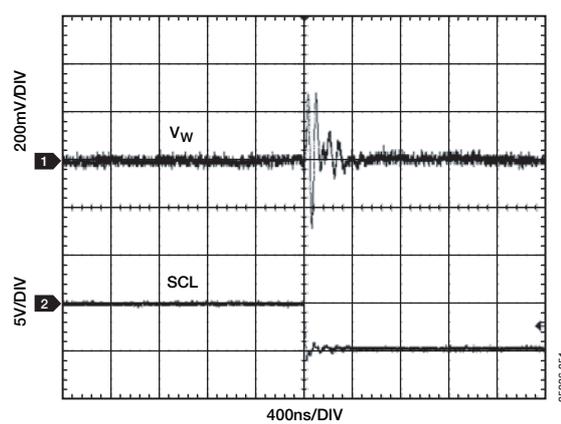


図29. デジタル・ノイズ混入

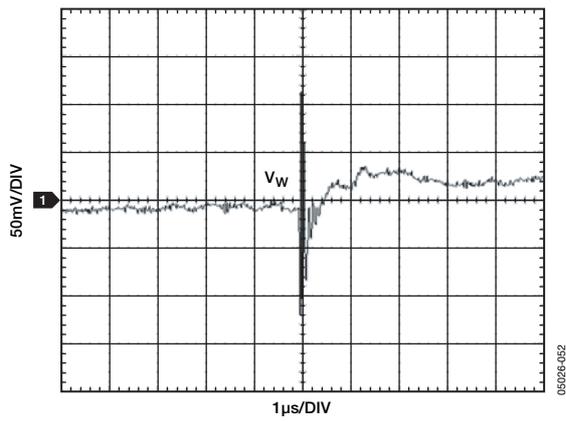


図30. ミッドスケール・グリッチ
(コード0x7Fから0x80への変化時)

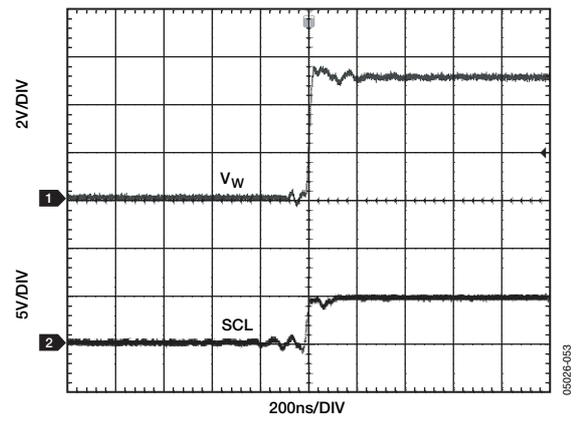


図31. 大信号セトリング時間

テスト回路

図32～図37に、製品の仕様表で適用されたテスト条件を定義するテスト回路を示します。

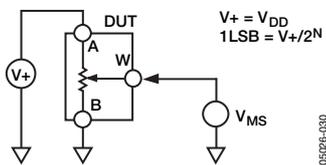


図32. ポテンショメータ・デバイダの非直線性誤差 (INL、DNL) の測定用テスト回路

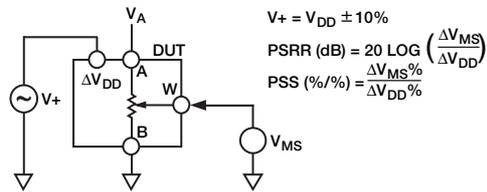


図35. 電源電圧変動感度 (PSS、PSRR) の測定用テスト回路

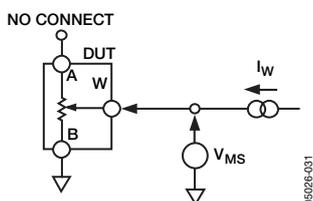


図33. 抵抗ポジションの非直線性誤差の測定用テスト回路 (可変抵抗器動作時のR-INLとR-DNL)

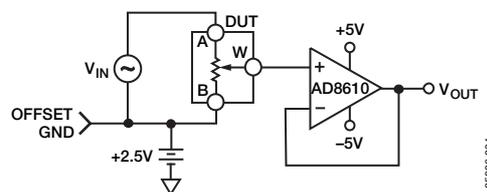


図36. ゲインの周波数特性の測定用テスト回路

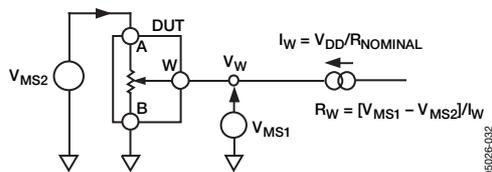


図34. ワイパー抵抗値の測定用テスト回路

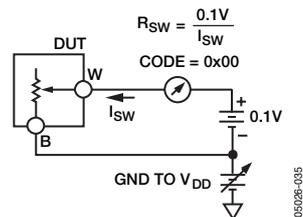


図37. コモン・モード・リーク電流の測定用テスト回路

動作理論

AD5259は256ポジションのデジタル制御可変抵抗（VR）デバイスです。EEPROMには工場出荷時にワイパーがミッドスケールになるように設定されています。したがって、初期電源投入時にはワイパーはミッドスケールに設定されます。

可変抵抗器のプログラミング

可変抵抗器動作

RDACの端子Aと端子B間の公称抵抗値（ R_{AB} ）として、5k Ω 、10k Ω 、50k Ω 、100k Ω の値を設定できます。VRの公称抵抗は256個の接点をもち、ワイパー端子によってアクセスされます。RDACラッチの8ビット・データがデコードされ、256通りの設定のうち1つを選択します。

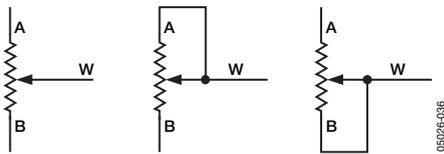


図38. 可変抵抗器モードの構成

デジタル的にプログラミングされる、ワイパーWと端子B間の出力抵抗を求める一般式は、次のとおりです。

$$R_{WB}(D) = \frac{D}{256} \times R_{AB} + 2 \times R_W \quad (1)$$

ここで、 D は、8ビットRDACレジスタに保持されているバイナリ・コードと等価な10進値です。 R_{AB} は、端子Aと端子B間の抵抗値です。 R_W は、各内部スイッチのオン抵抗によって発生するワイパー抵抗値です。

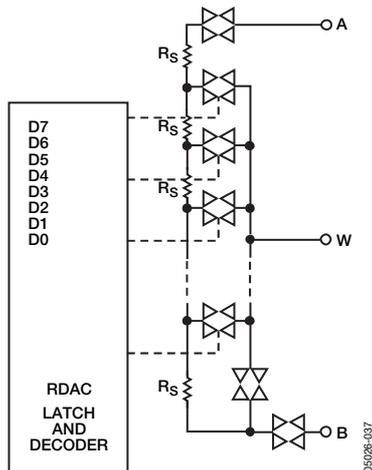


図39. AD5259のRDAC等価回路

ゼロスケール状態では、ワイパー抵抗が比較的低い値となります。性能低下または内部スイッチの接点の破壊を防止するため、この状態でのワイパーWと端子Bとの間の電流レベルが20mAの最大パルス電流を超えないように注意する必要があります。

機械式のポテンシオメータと同様に、RDACのワイパーWと端子A間の抵抗も、デジタル制御された相補抵抗 R_{WA} を発生します。 R_{WA} 抵抗値の設定は最大抵抗値から開始され、ラッチにロードされたデータの値が大きくなると小さくなります。この動作の一般式は次のようになります。

$$R_{WA}(D) = \frac{256-D}{256} \times R_{AB} + 2 \times R_W \quad (2)$$

デバイス間のマッチングはプロセス・ロットに依存し、最大 $\pm 30\%$ の偏差をもちます。このため、抵抗偏差値がEEPROMに保存されているので、実際の R_{AB} 値が0.1%以内にあることを確認できます。

ポテンシオメータ・デバイダのプログラミング 電圧出力動作

デジタル・ポテンシオメータは、端子Aと端子B間の入力電圧に比例して分圧される電圧をワイパーWと端子B間およびワイパーWと端子Aの間で容易に発生できます。正の極性であることが要求される V_{DD} とGND間の電圧範囲で使用している限り、端子Aと端子Bの電位はどちらが高くても使用できます。

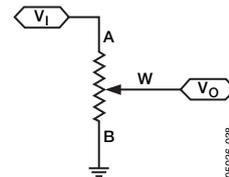


図40. ポテンシオメータ・モードの構成

概算のためにワイパー抵抗値の影響を無視する場合に、A端子を5Vに接続し、B端子をグラウンドに接続すると、1LSBまでの精度で0Vから5Vまでの範囲の出力電圧がワイパーWと端子B間で発生されます。端子Aと端子Bに有効な入力電圧が入力される場合に、グラウンドを基準とする V_W の出力電圧を定義する一般的な数式は、次のとおりです。

$$V_W(D) = \frac{D}{256} V_A + \frac{256-D}{256} V_B \quad (3)$$

ワイパー抵抗値の影響を含めた、より正確な V_W を求める数式は次のとおりです。

$$V_W(D) = \frac{R_{WB}(D)}{R_{AB}} V_A + \frac{R_{WA}(D)}{R_{AB}} V_B \quad (4)$$

デジタル・ポテンシオメータをデバイダ・モードで使用すると、全温度範囲にわたって優れた精度を実現します。可変抵抗器モードとは異なり、出力電圧は主に内部抵抗の R_{WA} と R_{WB} の比に依存し、絶対値に依存することはありません。

I²C互換インターフェース

マスターがスタート条件を設定してデータ転送を開始します。SCLがハイレベルのときに、SDAラインがハイレベルからローレベルに変化すると、スタート条件が設定されます (図4を参照)。次のバイトはスレーブ・アドレス・バイトで、スレーブ・アドレス (最初の7ビット) とR/Wビットで構成されます (表6を参照)。R/Wビットがハイレベルのときに、マスターはスレーブ・デバイスからデータを読み出し、R/Wビットがローレベルのときに、マスターはスレーブ・デバイスにデータを書き込みます。

デバイスのスレーブ・アドレスは、2本の設定可能なスリーステート・アドレス・ピンのAD0とAD1によって決定されます。この2本のピンの状態はパワーアップ時にレジスタに格納され、対応するI²C 7ビット・アドレスにデコードされます (表5を参照)。送信されたアドレス・ビットに対応するスレーブ・アドレスは、9番目のクロック・パルス時にSDAラインをローレベルにして応答します (これをスレーブ・アクノレッジ・ビットと呼びます)。

この時点で、バス上の他のデバイスはすべてアイドル状態に維持されますが、選択されたデバイスはそのシリアル・レジスタに対するデータの書き込みまたは読出し動作の実行を待ちます。

書き込み

書き込みモード時には、スレーブ・アドレス・バイトの最後のビット (R/W) がロジック・ローになります。2番目のバイトは命令バイトです。命令バイトの最初の3ビットは、コマンド・ビットです (表6を参照)。RDACレジスタまたはEEPROMレジスタに書き込みを行うか、あるいはソフトウェア書き込み保護をアクティブにするかを選択しなければなりません (表7～表10を参照)。最後の5ビットはオール0です (表13と表14を参照)。この場合も同様に、スレーブは9番目のクロック・パルス時にSDAラインをローレベルにして応答します。

最後のバイトは、MSBファーストのデータ・バイトです。書き込み保護モードの場合には、データは保存されません。すなわち、LSBがロジック・ハイのときに、書き込み保護がイネーブルされます。LSBがロジック・ローのときには、書き込み保護がディスエーブルされます。上記と同様に、スレーブは9番目のクロック・パルス時にSDAラインをローレベルにして応答します。

保存／再生

このモード時に必要となるのは、アドレス・バイトと命令バイトのみです。アドレス・バイトの最後のビット (R/W) がロジック・ローになります。命令バイトの最初の3ビットは、コマンド・ビット (表6を参照) で、RDACからEEPROM (保存)、またはEEPROMからRDAC (再生) へのデータ転送を選択できます。最後の5ビットはオール0です (表13と表14を参照)。

読出し

読出し対象のレジスタにまだ書き込みが行われていないと想定すると、ダミー・アドレスと命令バイトを書き込む必要があります。必要なデータがRDACレジスタ、EEPROMレジスタ、またはトレランス・レジスタのどれに格納されているかに応じて、命令バイトは異なります (表11～表16を参照)。

ダミー・アドレスと命令バイトが送信された後で、繰返しスタートの手順が必要になります。繰返しスタートが完了した後で、R/Wビットがロジック・ハイである場合を除き、さらにもう1つのアドレス・バイトが必要になります。このアドレス・バイトの後に、命令バイトで要求された情報を含むリードバック・バイトが続きます。読出しビットは、クロックの立下がりエッジに現れます。

トレランス・レジスタからは、個別 (表15を参照) または連続的な (表16を参照) リードバックが可能です。トレランス・バイトの解釈に関する詳細な説明については、「読出しモード」の項を参照してください。

全データ・ビットの読出しまたは書き込みが完了すると、マスターはストップ条件を設定します。ストップ条件とは、SCLがハイレベルのときに、SDAラインがローレベルからハイレベルに変化する動作として定義されます。書き込みモードのときには、マスターは10番目のクロック・パルス時にSDAラインをハイレベルにして、ストップ条件を設定します (図46を参照)。読出しモード時には、マスターは9番目のクロック・パルスに対してノー・アクノレッジを発行します (SDAラインはハイレベルに維持されます)。その後、マスターは10番目のクロック・パルスの前にSDAラインをローレベルにして、次にSDAラインをハイレベルに引き込んで、ストップ条件を設定します (図47を参照)。

繰返し書き込み機能を使用すると、アドレス・バイトと命令バイトを一度書き込むだけで、RDACの出力を何回でも更新できるようになります。たとえば、書き込みモード時にRDACがそのスレーブ・アドレス・バイトと命令バイトのアクノレッジを実行した後で、ストップ条件が受信されるまで、その後に続くバイトごとにRDACの出力が更新されます。異なる命令が必要となる場合には、新しいスレーブ・アドレス・バイト、命令バイト、データ・バイトを使用し、書き込み／読出しモードを再度開始する必要があります。これと同様に、RDACの繰返し読出し機能を使用することも可能です。

AD5259

I²C互換フォーマット

次に説明するAD5259の一般的な書込みコントロール・レジスタ、読出しコントロール・レジスタ、保存/再生コントロール・レジスタはすべて、表5に記載するデバイス・アドレスと下記のモード/状態参照キー (S、P、SA、MA、NA、 \bar{W} 、R、X) を参照します。

- S=スタート条件
- P=ストップ条件
- SA=スレーブのアクノレッジ
- MA=マスターのアクノレッジ
- NA=ノー・アクノレッジ
- \bar{W} =書込み
- R=読出し
- X=ドント・ケア

AD1とAD0は、2状態のアドレス・ピンです。

表5. デバイス・アドレスのルックアップ

AD1 Address Pin	AD0 Address Pin	I ² C Device Address
0	0	0011000
1	0	0011010
0	1	1001100
1	1	1001110

汎用インターフェース

表6. 汎用インターフェースのフォーマット

7-Bit Device Address (See Table 5)		R/ \bar{W}	SA	C2	C1	C0	A4	A3	A2	A1	A0	SA	D7	D6	D5	D4	D3	D2	D1	D0	SA	P
Slave Address Byte			Instruction Byte									Data Byte										

表7. RDACとEEPROM間のインターフェース・コマンドの説明

C2	C1	C0	Command Description
0	0	0	Operation Between Interface and RDAC.
0	0	1	Operation Between Interface and EEPROM.
0	1	0	Operation Between Interface and Write Protection Register. See Table 10.
1	0	0	NOP.
1	0	1	Restore EEPROM to RDAC.
1	1	0	Store RDAC to EEPROM.

書込みモード

表8. RDACレジスタへの書込み

7-Bit Device Address (See Table 5)		0	SA	0	0	0	0	0	0	0	0	0	SA	D7	D6	D5	D4	D3	D2	D1	D0	SA	P
Slave Address Byte			Instruction Byte									Data Byte											

表9. EEPROMレジスタへの書込み

7-Bit Device Address (See Table 5)		0	SA	0	0	1	0	0	0	0	0	0	SA	D7	D6	D5	D4	D3	D2	D1	D0	SA	P
Slave Address Byte			Instruction Byte									Data Byte											

表10. ソフトウェアによる書込み保護の設定法

7-Bit Device Address (See Table 5)		0	SA	0	1	0	0	0	0	0	0	0	SA	0	0	0	0	0	0	0	0	WP	SA	P
Slave Address Byte			Instruction Byte									Data Byte												

書き込み保護モードをアクティブにするときは、表10に示すWPビットをロジック・ハイに設定する必要があります。書き込み保護モードを解除するときには、ロジック・ゼロの状態のWPビットを除いて、コマンドを再度送信する必要があります。電源をオフにしてオンにすると、WPは解除されます。

読出しモード

読出しモードは従来方式モードと呼ばれます。その理由は、3つのすべてのケースで最初の2バイトが、アドレス・ポインタが正しいレジスタを示すように機能する「ダミー」バイトとして使用されるためです。したがって、繰返しスタートが実行されます。理論上は、すでに書き込みが行われたレジスタの読出しを行う場合、このステップは回避できます。たとえば、EEPROMにデータが書き込まれたばかりだとすると、2つのダミー・バイトをスキップして、スレーブ・アドレスとその後に続くEEPROMリードバック・データに直接進むことができます。

表11. RDACレジスタ値の従来方式によるリードバック

7-Bit Device Address S (See Table 5)	0	SA	0	0	0	0	0	0	0	0	0	SA	S	7-Bit Device Address (See Table 5)	1	SA	D7	D6	D5	D4	D3	D2	D1	D0	NA	P
Slave Address Byte		Instruction Byte										Slave Address Byte		Read Back Data												
↑																										
Repeat Start																										

表12. EEPROM保存値の従来方式によるリードバック

7-Bit Device Address S (See Table 5)	0	SA	0	0	1	0	0	0	0	0	0	SA	S	7-Bit Device Address (See Table 5)	1	SA	D7	D6	D5	D4	D3	D2	D1	D0	NA	P
Slave Address Byte		Instruction Byte										Slave Address Byte		Read Back Data												
↑																										
Repeat Start																										

保存／再生モード

表13. EEPROMへのRDAC値の保存

7-Bit Device Address S (See Table 5)	0	SA	1	1	0	0	0	0	0	0	0	SA	P
Slave Address Byte		Instruction Byte											

表14. EEPROM保存値のRDACへの再生

7-Bit Device Address S (See Table 5)	0	SA	1	0	1	0	0	0	0	0	0	SA	P
Slave Address Byte		Instruction Byte											

AD5259

偏差値リードバック・モード

表15. 偏差値の従来方式によるリードバック（個別）

7-Bit Device Address S (See Table 5)	0	SA	0	0	1	1	1	1	1	0	SA	S	7-Bit Device Address (See Table 5)	1	SA	D7	D6	D5	D4	D3	D2	D1	D0	NA	P
Slave Address Byte			Instruction Byte									Slave Address Byte			Sign + Integer Byte										

↑
Repeat Start

7-Bit Device Address S (See Table 5)	0	SA	0	0	1	1	1	1	1	1	SA	S	7-Bit Device Address (See Table 5)	1	SA	D7	D6	D5	D4	D3	D2	D1	D0	NA	P
Slave Address Byte			Instruction Byte									Slave Address Byte			Decimal Byte										

↑
Repeat Start

表16. 偏差値の従来方式によるリードバック（連続）

7-Bit Device Address S (See Table 5)	0	SA	0	0	1	1	1	1	1	0	SA	S	7-Bit Device Address (See Table 5)	1	SA	D7	D6	D5	D4	D3	D2	D1	D0	NA	P
Slave Address Byte			Instruction Byte									Slave Address Byte			Sign + Integer Byte						Decimal Byte				

↑
Repeat Start

読み出し専用レジスタに保存された R_{AB} 偏差値の計算

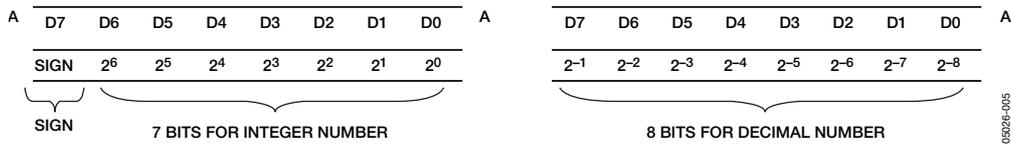


図41. 符号付きフォーマットで保存された偏差値フォーマットとビット位置の説明
(単位は%値。データ・バイトのみ表示)

AD5259は、不揮発性メモリへの R_{AB} 偏差値保存機能（特許取得済み）を持っています。偏差値は出荷時にメモリに保存されており、いつでも読み出すことができます。偏差値が保存されているため、 R_{AB} を正確に計算できます。この機能は高精度の可変抵抗器モードや、絶対抵抗値がわかっている必要のないオープン・ループのアプリケーションで非常に役立ちます。

偏差値は読み出し専用レジスタに格納され、単位は%で表します。偏差値は、符号付きバイナリ・フォーマットで2つのメモリ・ロケーション・バイトに格納されています（図41を参照）。

2つのEEPROMアドレス・バイトは、11110（符号+整数）と11111（小数）です。この2つのバイトは、2つの異なるコマンドを使用して個別にアクセスできます（表15を参照）。また、1つのコマンドで最初のバイトとその後に続く2番目のバイトをリードバックすることも可能です（表16を参照）。後者の連続読み出しの場合、メモリ・ポインタが最初のEEPROMロケーションから2番目のロケーションに自動的にインクリメントします（11110から11111にインクリメント）。

最初のメモリ・ロケーションでは、MSBが符号（0=+、1=-）に、下位7ビットが偏差値の整数部分に割り当てられています。2番目のメモリ・ロケーションでは、8データ・ビットのすべてが偏差値の小数部分に割り当てられています。小数部分は0.1%の精度に制限される点に注意してください。たとえば、 R_{AB} の定格値を10k Ω として、アドレス11110からリードバックされるデータが0001 1100で、アドレス11111からリードバックされるデータが0000 1111である場合、偏差値は次のように計算できます。

MSB : 0 = +
 次の7ビット : 001 1100 = 28
 次の8ビット : 0000 1111 = $15 \times 2^{-8} = 0.06$
 偏差値 = +28.06% となり、
 この偏差値を丸めると +28.1% になるので、
 $R_{AB_ACTUAL} = 12.810k\Omega$ となります。

デジタル・ピンと抵抗端子のESD保護

AD5259の V_{DD} 、 V_{LOGIC} 、GNDの各電源は、3端子動作およびデジタル入力動作が正常に行われるように制限されています。A、B、Wの各端子上に V_{DD} またはGNDを超える電源電圧が存在すると、これらの電圧は順方向にバイアスされた内蔵のESD保護ダイオードによってクランプされます(図42を参照)。デジタル入力のSCLとSDAは V_{LOGIC} とGNDを基準として、ESD保護ダイオードによってクランプされます(図43)。

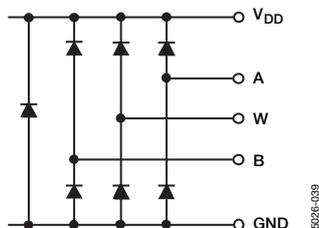


図42. V_{DD} とGNDによって設定される最大端子電圧

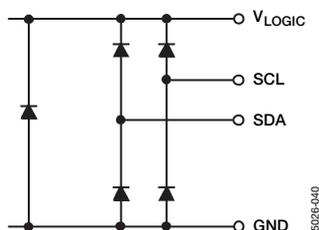


図43. V_{LOGIC} とGNDによって設定される最大端子電圧

パワーアップ・シーケンス

ESD保護ダイオードはA、B、Wの各端子の電圧を制限するので(図41を参照)、A、B、Wの各端子に電圧を入力する前に、GND/ V_{DD} / V_{LOGIC} の電源を先に投入することが重要です。これを順守しないと、ダイオードに順方向バイアスが加わることによって、 V_{DD} および V_{LOGIC} 電源が偶発的に投入されて、回路の他の部分に影響を与えることがあります。理想的なパワーアップ・シーケンスは、GND、 V_{DD} 、 V_{LOGIC} 、デジタル入力、そして V_A 、 V_B 、 V_W の順番です。GND/ V_{DD} / V_{LOGIC} の投入後であれば、 V_A 、 V_B 、 V_W 、デジタル入力の順は重要ではありません。

レイアウトと電源のバイパス処理

最小リード長のコンパクトなレイアウトにすることが重要です。入力までのリード線は、最短で真っ直ぐにします。グラウンド・パスの抵抗とインダクタンスは小さくする必要があります。

同様に、最適な安定性を確保するために、高品質のコンデンサで電源をバイパスすることも重要です。0.01~0.1 μ Fまでのディスク・セラミック・コンデンサまたはチップ・セラミック・コンデンサを外付けして、デバイスに接続する電源リードをバイパスしてください。さらに、ESRが低い1~10 μ Fのタンタル・コンデンサまたは電解コンデンサを電源に接続し、過渡障害を抑え、低周波リップルを除去する必要があります(図44を参照)。デジタル・グラウンド・バウンスを最小にするため、デジタル・グラウンドとアナログ・グラウンドは1ヶ所でのモート接続してください。

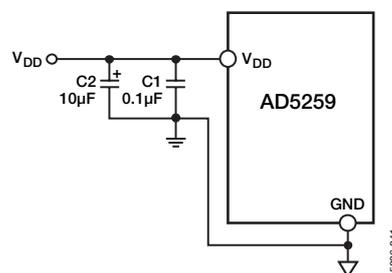


図44. 電源のバイパス

同一バス上に複数デバイスを接続

AD5259には、2本の設定可能なアドレス・ピンAD0およびAD1が備わっています。この2本のピンの状態はパワーアップ時にレジスタに格納され、対応するI²C互換の7ビット・アドレスにデコードされます(表5を参照)。したがって、同一バス上に最大4個のデバイスの書込みまたは読出し動作を個別に実行できます。

評価用ボード

評価用ボードを必要なソフトウェアとともに用意しておりますので、Windows® 98/Windows® 2000/Windows® XPで動作するPCでAD5259のプログラミングを行うことができます。図45に示すGUI(グラフィカル・ユーザ・インターフェース)はたいへん使いやすくなっています。詳細については、評価用ボードの『ユーザ・マニュアル』を参照してください。

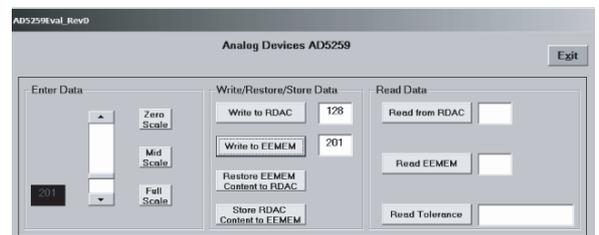
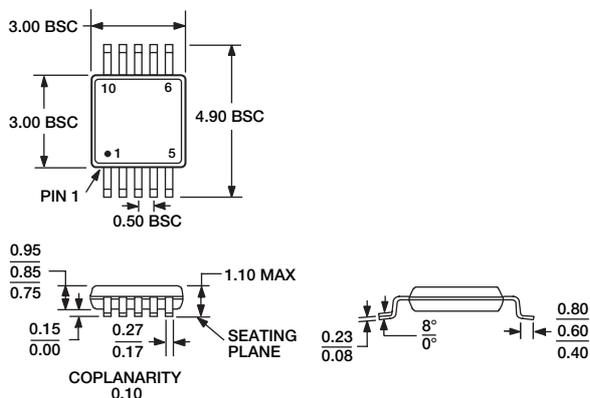


図45. AD5259評価用ボードのソフトウェア

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-187-BA

図48. 10ピンのミニ・スモール・アウトライン・パッケージ [MSOP]
(RM-10)
寸法単位: mm

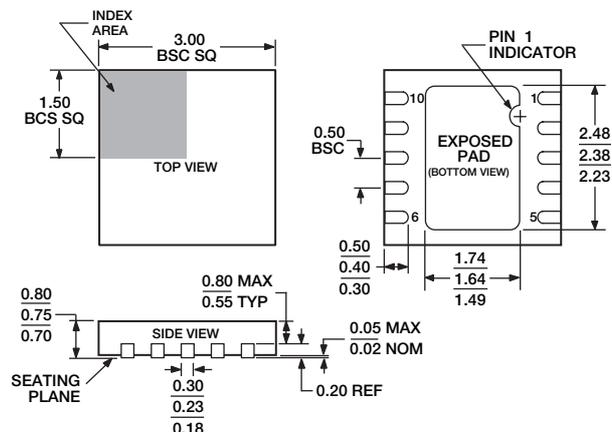


図49. 10ピンのリード・フレーム・チップ・スケール・パッケージ [LFCSP-WD]
3mm×3mmボディ、超薄型、デュアル・リード
(CP-10-9)
寸法単位: mm

D05026-0-7/05(A)-J

オーダー・ガイド

Model	R _{AB} (kΩ)	Temperature Range	Package Description	Package Option	Branding
AD5259BRMZ5 ¹	5 k	-40°C to +85°C	10-Lead MSOP	RM-10	D4P
AD5259BRMZ5-R7 ¹	5 k	-40°C to +85°C	10-Lead MSOP	RM-10	D4P
AD5259BCPZ5-R7 ¹	5 k	-40°C to +85°C	10-Lead LFCSP_WD	CP-10-9	D4P
AD5259BRMZ10 ¹	10 k	-40°C to +85°C	10-Lead MSOP	RM-10	D4Q
AD5259BRMZ10-R7 ¹	10 k	-40°C to +85°C	10-Lead MSOP	RM-10	D4Q
AD5259BCPZ10-R7 ¹	10 k	-40°C to +85°C	10-Lead LFCSP_WD	CP-10-9	D4Q
AD5259BRMZ50 ¹	50 k	-40°C to +85°C	10-Lead MSOP	RM-10	D4R
AD5259BRMZ50-R7 ¹	50 k	-40°C to +85°C	10-Lead MSOP	RM-10	D4R
AD5259BCPZ50-R7 ¹	50 k	-40°C to +85°C	10-Lead LFCSP_WD	CP-10-9	D4R
AD5259BRMZ100 ¹	100 k	-40°C to +85°C	10-Lead MSOP	RM-10	D4S
AD5259BRMZ100-R7 ¹	100 k	-40°C to +85°C	10-Lead MSOP	RM-10	D4S
AD5259BCPZ100-R7 ¹	100 k	-40°C to +85°C	10-Lead LFCSP_WD	CP-10-9	D4S
AD5259EVAL ²			Evaluation Board		

¹ Z=RoHS準拠製品

² 評価用ボードには10kΩバージョンの製品が実装されていますが、他の抵抗も使用できます。