

### 特長

- 不揮発性メモリにワイパー設定値を保持
- 64ポジションのデジタル・ポテンシオメータ
- 小型10ピンMSOPパッケージ (3mm×4.9mm)
- I<sup>2</sup>C互換インターフェース
- インターフェースの柔軟性を高めるV<sub>LOGIC</sub>ピン
- 1kΩ、10kΩ、50kΩ、100kΩの端子間抵抗値
- 抵抗偏差値 (0.1%の精度) をEEPROMに保持
- パワーオン時のEEPROMリフレッシュ時間: <1ms
- ソフトウェア書き込み保護コマンド
- 同一バス上に4個のデバイスを接続可能にするアドレス・ピン (AD0およびAD1)
- データ保持期間: 100年間@55°C (typ)
- 動作温度: -40~+85°C
- 単電源動作: 3~5V

### アプリケーション

- LCDパネルのV<sub>COM</sub>調整
- LCDパネルの輝度およびコントラスト調整
- 新規デザインでの機械式ポテンシオメータの置換
- プログラマブル電源
- RF基地局パワーアンプのバイアス制御
- 自動車のエレクトロニクス機器調整
- ゲイン制御とオフセット調整
- FTTH (ファイバー・ツー・ザ・ホーム・システム)
- 電子レベル設定

### 概要

AD5258は、小型3mm×4.9mmパッケージを採用した、不揮発性メモリを内蔵する64ポジションのデジタル・ポテンシオメータです。この製品は、機械式のポテンシオメータ<sup>1</sup>または可変抵抗器と同じ電子調節機能を実行するとともに、優れた分解能と信頼性を提供します。

I<sup>2</sup>C互換のデジタル・インターフェースを介して、ワイパーの設定を制御することが可能です。このインターフェースは、ワイパー・レジスタとEEPROMのデータ内容のリードバックにも使用されます。EEPROMのトレランス・レジスタに抵抗偏差値を保持することによって、端子間で0.1%の精度を実現しています。EEPROMレジスタに対するデータの書き込みを禁止するソフトウェア書き込み保護機能も用意されています。

### 機能ブロック図

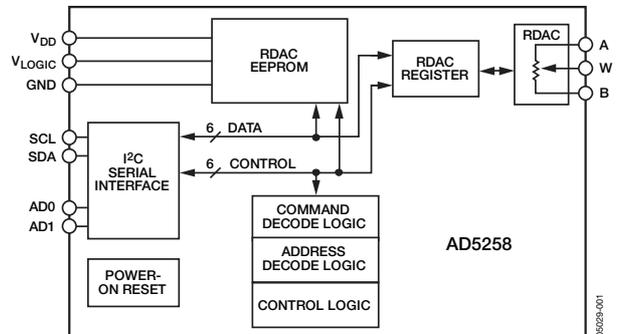


図1. ブロック図

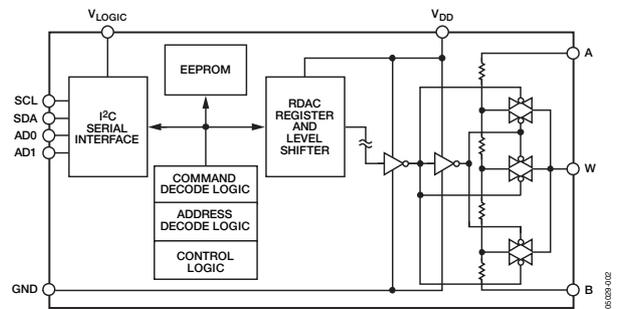


図2. レベル・シフタを示すブロック図

V<sub>LOGIC</sub>ピンが別個に用意されているので、インターフェースの柔軟性が向上します。同一バス上に複数のデバイスを接続する必要がある場合、アドレス・ビットのAD0とAD1により最大4個のデバイスを使用できます。

<sup>1</sup> デジタル・ポテンシオメータ、VR (可変抵抗器)、RDACの各用語は、それぞれ同じ意味で使用しています。

# AD5258

## 目次

|                          |    |                    |    |
|--------------------------|----|--------------------|----|
| 特長                       | 1  | 保存／再生              | 15 |
| アプリケーション                 | 1  | 読出し                | 15 |
| 機能ブロック図                  | 1  | PCフォーマット           | 16 |
| 概要                       | 1  | 汎用インターフェース         | 16 |
| 改訂履歴                     | 2  | 書込みモード             | 16 |
| 仕様                       | 3  | 読出しモード             | 17 |
| 電気的特性                    | 3  | 保存／再生モード           | 17 |
| タイミング特性                  | 5  | 偏差値リードバック・モード      | 18 |
| 絶対最大定格                   | 6  | デジタル・ピンと抵抗端子のESD保護 | 19 |
| ESDに関する注意                | 6  | パワーアップ・シーケンス       | 19 |
| ピン配置およびピン機能の説明           | 7  | レイアウトと電源のバイパス処理    | 19 |
| 代表的な性能特性                 | 8  | 同一バス上に複数デバイスを接続    | 19 |
| テスト回路                    | 13 | 評価用ボード             | 19 |
| 動作理論                     | 14 | ディスプレイ・アプリケーション    | 20 |
| 可変抵抗器のプログラミング            | 14 | 回路                 | 20 |
| ポテンショメータ・デバイダのプログラミング    | 14 | 外形寸法               | 21 |
| I <sup>2</sup> Cインターフェース | 15 | オーダー・ガイド           | 21 |
| 書込み                      | 15 |                    |    |

## 改訂履歴

### 3/07—Rev. 0 to Rev. A

|  |           |
|--|-----------|
| Updated Format                                 | Universal |
| Changes to Features Section                    | 1         |
| Changes to General Description Section         | 1         |
| Changes to Table 4                             | 7         |
| Changes to I <sup>2</sup> C Interface Section  | 15        |
| Changes to Table 5                             | 16        |
| Changes to Multiple Devices on One Bus Section | 19        |

### 3/05—Revision 0: Initial Version

## 仕様

## 電気的特性

特に指定のない限り、 $V_{DD}=V_{LOGIC}=5V\pm 10\%$ 、または $3V\pm 10\%$ 、 $V_A=V_{DD}$ 、 $V_B=0V$ 、 $-40^\circ\text{C}<T_A<+85^\circ\text{C}$ で仕様を規定。

表1

| Parameter  | Symbol   | Conditions  | Min              | Typ <sup>1</sup> | Max               | Unit                  |
|--|--|---|------------------|------------------|-------------------|-----------------------|
| <b>DC CHARACTERISTICS—RHEOSTAT MODE</b>              |  |   |                  |                  |                   |                       |
| Resistor Differential Nonlinearity                   | R-DNL  | $R_{WB}$ , $V_A = \text{no connect}$                |                  |                  |                   | LSB                   |
| 1 k $\Omega$   |  |   | -1.5             | $\pm 0.3$        | +1.5              |                       |
| 10 k $\Omega$ /50 k $\Omega$ /100 k $\Omega$         |  |   | -0.25            | $\pm 0.1$        | +0.25             |                       |
| Resistor Integral Nonlinearity                       | R-INL  | $R_{WB}$ , $V_A = \text{no connect}$                |                  |                  |                   | LSB                   |
| 1 k $\Omega$   |  |   | -5               | $\pm 0.5$        | +5                |                       |
| 10 k $\Omega$ /100 k $\Omega$                        |  |   | -0.5             | $\pm 0.1$        | +0.5              |                       |
| 50 k $\Omega$  |  |   | -0.25            | $\pm 0.1$        | +0.25             |                       |
| Nominal Resistor Tolerance                           |  | $T_A = 25^\circ\text{C}$ , $V_{DD} = 5.5 \text{ V}$ |                  |                  |                   |                       |
| 1 k $\Omega$   | $R_{AB}$   |   | 0.9              |                  | 1.5               | k $\Omega$            |
| 10 k $\Omega$ /50 k $\Omega$ /100 k $\Omega$         | $\Delta R_{AB}$  |   | -30              |                  | +30               | %                     |
| Resistance Temperature Coefficient                   | $(\Delta R_{AB} \times 10^6)/(R_{AB} \times \Delta T)$ | Code = 0x00/0x20                                    |                  | 200/15           |                   | ppm/ $^\circ\text{C}$ |
| Total Wiper Resistance                               | $R_{WB}$   | Code = 0x00   |                  | 75               | 350               | $\Omega$              |
| <b>DC CHARACTERISTICS—POTENTIOMETER DIVIDER MODE</b> |  |   |                  |                  |                   |                       |
| Differential Nonlinearity                            | DNL  |   |                  |                  |                   | LSB                   |
| 1 k $\Omega$   |  |   | -1               | $\pm 0.3$        | +1                |                       |
| 10 k $\Omega$ /50 k $\Omega$ /100 k $\Omega$         |  |   | -0.25            | $\pm 0.1$        | +0.25             |                       |
| Integral Nonlinearity                                | INL  |   |                  |                  |                   | LSB                   |
| 1 k $\Omega$   |  |   | -1               | $\pm 0.3$        | +1                |                       |
| 10 k $\Omega$ /50 k $\Omega$ /100 k $\Omega$         |  |   | -0.25            | $\pm 0.1$        | +0.25             |                       |
| Full-Scale Error                                     | $V_{WFSE}$   | Code = 0x3F   |                  |                  |                   | LSB                   |
| 1 k $\Omega$   |  |   | -6               | -3               | 0                 |                       |
| 10 k $\Omega$  |  |   | -1               | -0.3             | 0                 |                       |
| 50 k $\Omega$ /100 k $\Omega$                        |  |   | -1               | -0.1             | 0                 |                       |
| Zero-Scale Error                                     | $V_{WZSE}$   | Code = 0x00   |                  |                  |                   | LSB                   |
| 1 k $\Omega$   |  |   | 0                | 3                | 5                 |                       |
| 10 k $\Omega$  |  |   | 0                | 0.3              | 1                 |                       |
| 50 k $\Omega$ /100 k $\Omega$                        |  |   | 0                | 0.1              | 0.5               |                       |
| Voltage Divider Temperature Coefficient              | $(\Delta V_w \times 10^6)/(V_w \times \Delta T)$       | Code = 0x00/0x20                                    |                  | 120/15           |                   | ppm/ $^\circ\text{C}$ |
| <b>RESISTOR TERMINALS</b>                            |  |   |                  |                  |                   |                       |
| Voltage Range  | $V_A$ , $V_B$ , $V_W$                                  |   | GND              |                  | $V_{DD}$          | V                     |
| Capacitance A, Capacitance B                         | $C_A$ , $C_B$  | f = 1 MHz, measured to GND, code = 0x20             |                  | 45               |                   | pF                    |
| Capacitance W  | $C_W$  | f = 1 MHz, measured to GND, code = 0x20             |                  | 60               |                   | pF                    |
| Common-Mode Leakage                                  | $I_{CM}$   | $V_A = V_B = V_{DD}/2$                              |                  | 10               |                   | nA                    |
| <b>DIGITAL INPUTS AND OUTPUTS</b>                    |  |   |                  |                  |                   |                       |
| Input Logic High                                     | $V_{IH}$   |   | $0.7 \times V_L$ |                  | $V_L + 0.5$       | V                     |
| Input Logic Low                                      | $V_{IL}$   |   | -0.5             |                  | $+0.3 \times V_L$ | V                     |
| Leakage Current                                      | $I_{IL}$   |   |                  |                  |                   | $\mu\text{A}$         |
| SDA, AD0, AD1  |  | $V_{IN} = 0 \text{ V or } 5 \text{ V}$              |                  | 0.01             | $\pm 1$           |                       |
| SCL – Logic High                                     |  | $V_{IN} = 0 \text{ V}$                              | -2.5             | -1.4             | +1                |                       |
| SCL – Logic Low                                      |  | $V_{IN} = 5 \text{ V}$                              |                  | 0.01             | $\pm 1$           |                       |
| Input Capacitance                                    | $C_{IL}$   |   |                  | 5                |                   | pF                    |

# AD5258

| Parameter                         | Symbol            | Conditions  | Min | Typ <sup>1</sup>            | Max        | Unit                     |
|-----------------------------------|-------------------|---|-----|-----------------------------|------------|--------------------------|
| <b>POWER SUPPLIES</b>             |                   |   |     |                             |            |                          |
| Power Supply Range                | $V_{DD}$          |   | 2.7 |                             | 5.5        | V                        |
| Positive Supply Current           | $I_{DD}$          |   |     | 0.5                         | 2          | $\mu$ A                  |
| Logic Supply                      | $V_{LOGIC}$       |   | 2.7 |                             | 5.5        | V                        |
| Logic Supply Current              | $I_{LOGIC}$       | $V_{IH} = 5\text{ V}$ or $V_{IL} = 0\text{ V}$  |     | 3.5                         | 6          | $\mu$ A                  |
| Programming Mode Current (EEPROM) | $I_{LOGIC(PROG)}$ | $V_{IH} = 5\text{ V}$ or $V_{IL} = 0\text{ V}$  |     | 35                          |            | mA                       |
| Power Dissipation                 | $P_{DISS}$        | $V_{IH} = 5\text{ V}$ or $V_{IL} = 0\text{ V}$ ,<br>$V_{DD} = 5\text{ V}$   |     | 20                          | 40         | $\mu$ W                  |
| Power Supply Rejection Ratio      | PSRR              | $V_{DD} = +5\text{ V} \pm 10\%$ ,<br>Code = 0x20  |     | $\pm 0.01$                  | $\pm 0.06$ | %/%                      |
| <b>DYNAMIC CHARACTERISTICS</b>    |                   |   |     |                             |            |                          |
| Bandwidth -3 dB                   | BW                | Code = 0x20<br>$R_{AB} = 1\text{ k}\Omega$<br>$R_{AB} = 10\text{ k}\Omega$<br>$R_{AB} = 50\text{ k}\Omega$<br>$R_{AB} = 100\text{ k}\Omega$ |     | 18000<br>1000<br>190<br>100 |            | kHz<br>kHz<br>kHz<br>kHz |
| Total Harmonic Distortion         | THD <sub>w</sub>  | $R_{AB} = 10\text{ k}\Omega$ , $V_A = 1\text{ V rms}$ ,<br>$V_B = 0$ , $f = 1\text{ kHz}$   |     | 0.1                         |            | %                        |
| $V_w$ Settling Time               | $t_s$             | $R_{AB} = 10\text{ k}\Omega$ , $V_{AB} = 5\text{ V}$ ,<br>$\pm 1\text{ LSB error band}$   |     | 500                         |            | ns                       |
| Resistor Noise Voltage Density    | $e_{N\_WB}$       | $R_{WB} = 5\text{ k}\Omega$ , $f = 1\text{ kHz}$  |     | 9                           |            | nV/ $\sqrt{\text{Hz}}$   |

<sup>1</sup> 代表値 (typ) は、25°Cおよび $V_{DD}=5\text{V}$ での測定値の平均値を表します。

## タイミング特性

特に指定のない限り、 $V_{DD}=V_{LOGIC}=5V\pm 10\%$ 、または $3V\pm 10\%$ 、 $V_A=V_{DD}$ 、 $V_B=0V$ 、 $-40^\circ C < T_A < +85^\circ C$ で仕様を規定。

表2

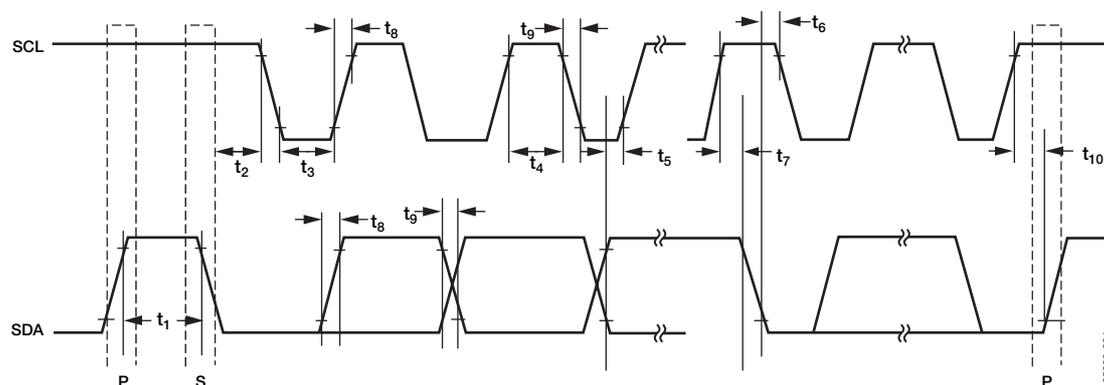
| Parameter  | Symbol                | Conditions   | Min | Typ | Max | Unit    |
|--|-----------------------|--|-----|-----|-----|---------|
| <b>I<sup>2</sup>C INTERFACE TIMING CHARACTERISTICS</b>       |                       |  |     |     |     |         |
| SCL Clock Frequency  | $f_{SCL}$             |  | 0   |     | 400 | kHz     |
| $t_{BUF}$ Bus-Free Time Between Stop and Start               | $t_1$                 |  | 1.3 |     |     | $\mu s$ |
| $t_{HD:STA}$ Hold Time (Repeated start)                      | $t_2$                 | After this period, the first clock pulse is generated.                                       | 0.6 |     |     | $\mu s$ |
| $t_{LOW}$ Low Period of SCL Clock                            | $t_3$                 |  | 1.3 |     |     | $\mu s$ |
| $t_{HIGH}$ High Period of SCL Clock                          | $t_4$                 |  | 0.6 |     |     | $\mu s$ |
| $t_{SU:STA}$ Setup Time for Repeated Start Condition         | $t_5$                 |  | 0.6 |     |     | $\mu s$ |
| $t_{HD:DAT}$ Data Hold Time                                  | $t_6$                 |  | 0   |     | 0.9 | $\mu s$ |
| $t_{SU:DAT}$ Data Setup Time                                 | $t_7$                 |  | 100 |     |     | ns      |
| $t_F$ Fall Time of Both SDA and SCL Signals                  | $t_8$                 |  |     |     | 300 | ns      |
| $t_R$ Rise Time of Both SDA and SCL Signals                  | $t_9$                 |  |     |     | 300 | ns      |
| $t_{SU:STO}$ Setup Time for Stop Condition                   | $t_{10}$              |  | 0.6 |     |     | $\mu s$ |
| EEPROM Data Storing Time                                     | $t_{EEMEM\_STORE}$    |  |     | 26  |     | ms      |
| EEPROM Data Restoring Time at Power On <sup>1</sup>          | $t_{EEMEM\_RESTORE1}$ | $V_{DD}$ rise time dependant.<br>Measure with-out decoupling capacitors at $V_{DD}$ and GND. |     | 300 |     | $\mu s$ |
| EEPROM Data Restoring Time upon Restore Command <sup>1</sup> | $t_{EEMEM\_RESTORE2}$ | $V_{DD} = 5 V$ .   |     | 300 |     | $\mu s$ |
| EEPROM Data Rewritable Time <sup>2</sup>                     | $t_{EEMEM\_REWRITE}$  |  |     | 540 |     | $\mu s$ |
| <b>FLASH/EE MEMORY RELIABILITY</b>                           |                       |  |     |     |     |         |
| Endurance <sup>3</sup>                                       |                       |  | 100 | 700 |     | kCycles |
| Data Retention <sup>4</sup>                                  |                       |  |     | 100 |     | Years   |

<sup>1</sup> パワーアップ時、出力が瞬時的にミッドスケールにプリセットされた後に、EEPROMのデータが復元されます。

<sup>2</sup> パワーオン・リセットからEEPROMに新しいデータが書き込み可能となるまでの遅延時間。

<sup>3</sup> 書き込み可能回数は、「JEDEC規格22, Method A117」に基づき100,000回で評価し、 $-40^\circ C$ 、 $+25^\circ C$ 、 $+85^\circ C$ で測定。 $+25^\circ C$ での書き込み回数は700,000回 (typ)。

<sup>4</sup> 「JEDEC規格22, Method A117」に基づくジャンクション温度 ( $T_J$ ) =  $55^\circ C$ と等価なデータ保持寿命。活性化エネルギー $0.6eV$ に基づくデータ保持寿命は、ジャンクション温度が上昇すると短くなります。

図3. I<sup>2</sup>Cインターフェースのタイミング図

## 絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表3

| Parameter                                   | Rating                        |
|---|-------------------------------|
| $V_{DD}$ to GND                             | -0.3 V to +7 V                |
| $V_A$ , $V_B$ , $V_W$ to GND                | GND - 0.3 V, $V_{DD} + 0.3$ V |
| $I_{MAX}$                                   |                               |
| Pulsed <sup>1</sup>                         | ±20 mA                        |
| Continuous                                  | ±5 mA                         |
| Digital Inputs and Output Voltage to GND    | 0 V to 7 V                    |
| Operating Temperature Range                 | -40°C to +85°C                |
| Maximum Junction Temperature ( $T_{JMAX}$ ) | 150°C                         |
| Storage Temperature                         | -65°C to +150°C               |
| Reflow Soldering                            |                               |
| Peak Temperature                            | 260°C                         |
| Time at Peak Temperature                    | 20 sec to 40 sec              |
| Thermal Resistance <sup>2</sup>             | 200°C/W                       |
| $\theta_{JA}$ : MSOP-10                     |                               |

<sup>1</sup> 最大端子電流は、スイッチの最大処理電流、パッケージの最大消費電力、および特定の抵抗値のときにA端子、B端子、W端子のうちの任意の2端子間に入力される最大電圧によって制限されます。

<sup>2</sup> パッケージの消費電力 =  $(T_{JMAX} - T_A) / \theta_{JA}$

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

### ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明

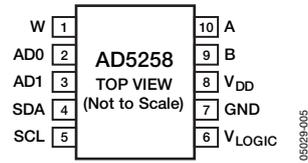


図5. ピン配置

表4. ピン機能の説明

| ピン番号 | 名称                 | 説明   |
|------|--------------------|--|
| 1    | W                  | W端子。 $GND \leq V_W \leq V_{DD}$                            |
| 2    | AD0                | 複数デバイスの使用時にデコードするためのアドレス・ピン0。このピンの状態は、パワーアップ時にレジスタに格納されます。 |
| 3    | AD1                | 複数デバイスの使用時にデコードするためのアドレス・ピン1。このピンの状態は、パワーアップ時にレジスタに格納されます。 |
| 4    | SDA                | シリアル・データ入出力  |
| 5    | SCL                | シリアル・クロック入力。立上がりエッジでトリガされます。                               |
| 6    | V <sub>LOGIC</sub> | ロジック電源   |
| 7    | GND                | デジタル・グラウンド   |
| 8    | V <sub>DD</sub>    | 正側電源   |
| 9    | B                  | B端子。 $GND \leq V_B \leq V_{DD}$                            |
| 10   | A                  | A端子。 $GND \leq V_A \leq V_{DD}$                            |

## 代表的な性能特性

特に指定のない限り、 $V_{DD}=V_{LOGIC}=5.5V$ 、 $R_{AB}=10k\Omega$ 、 $T_A=+25^\circ C$ 。

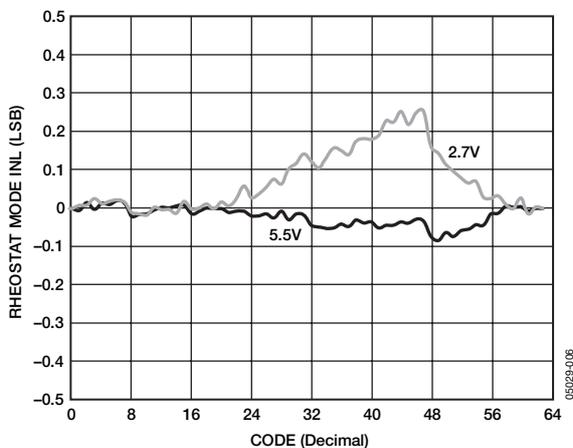


図5. 各電源電圧におけるコード対 R-INL

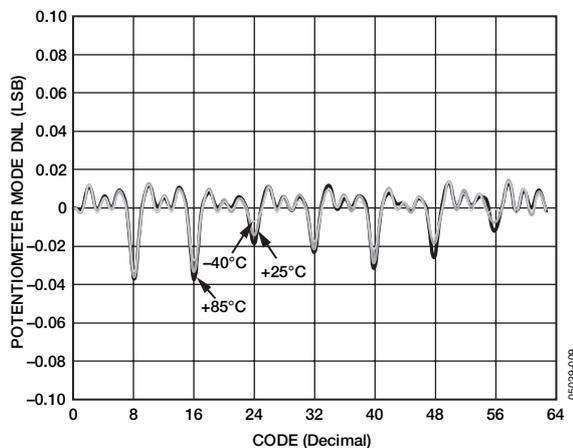


図8. 各温度におけるコード対 DNL

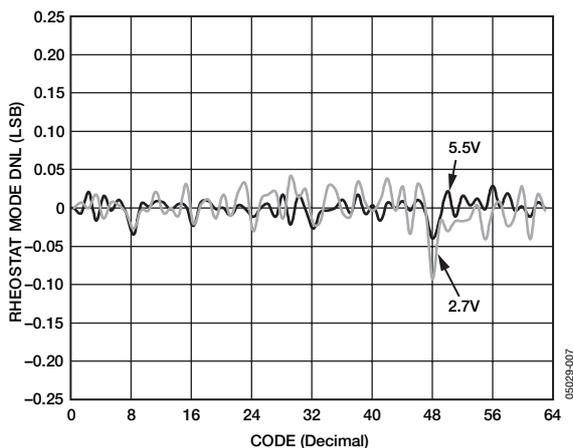


図6. 各電源電圧におけるコード対 R-DNL

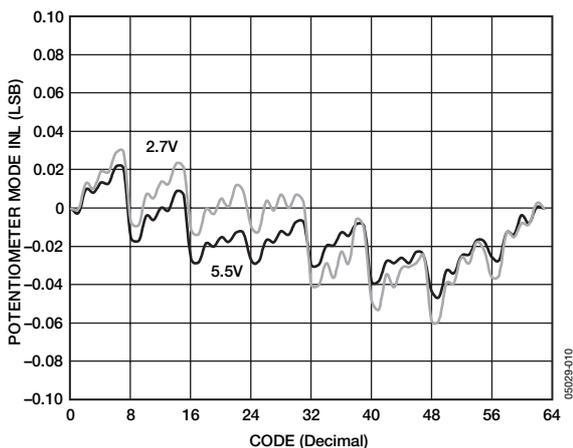


図9. 各電源電圧におけるコード対 INL

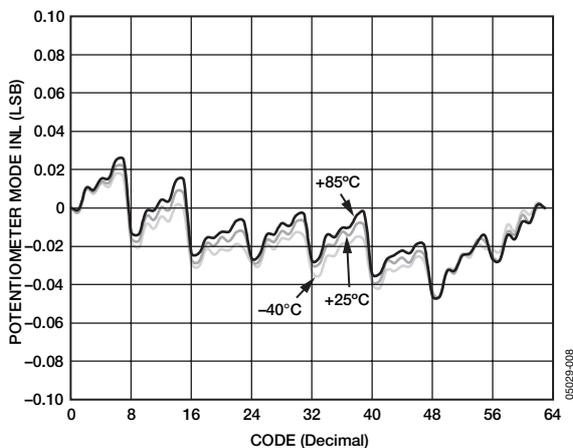


図7. 各温度におけるコード対 INL

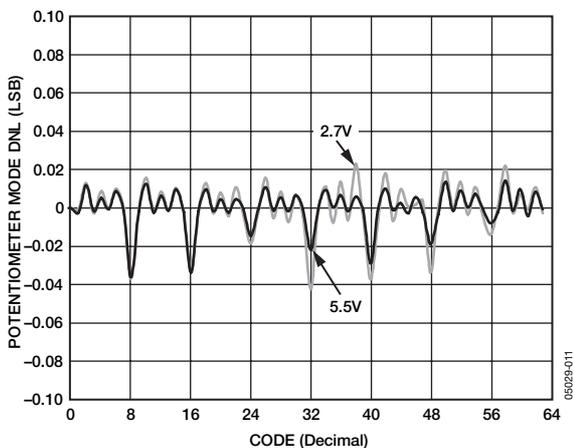


図10. 各電源電圧におけるコード対 DNL

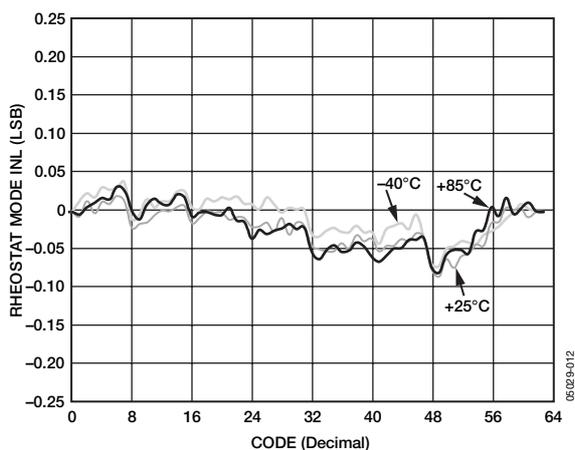


図11. 各温度におけるコード対 R-INL

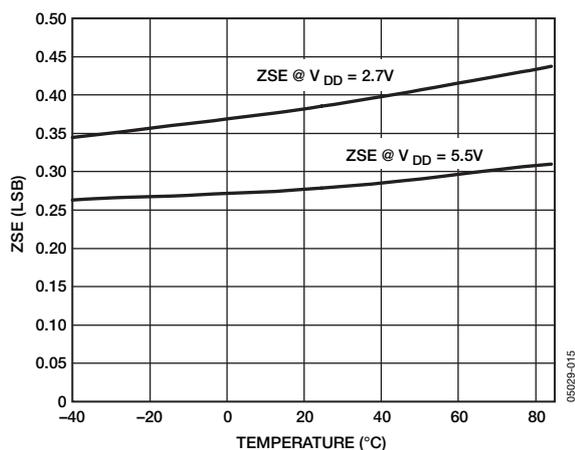


図14. ゼロスケール誤差の温度特性

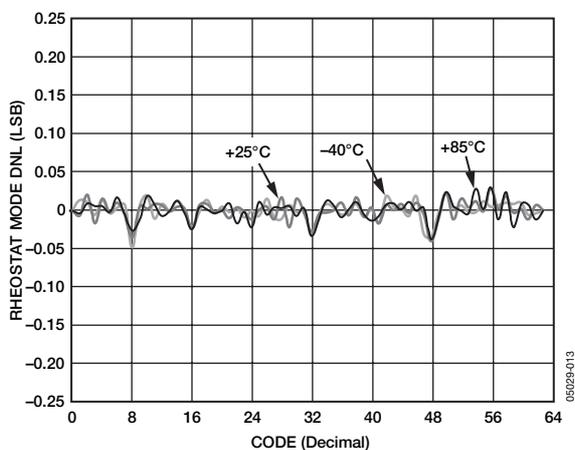


図12. 各温度におけるコード対 R-DNL

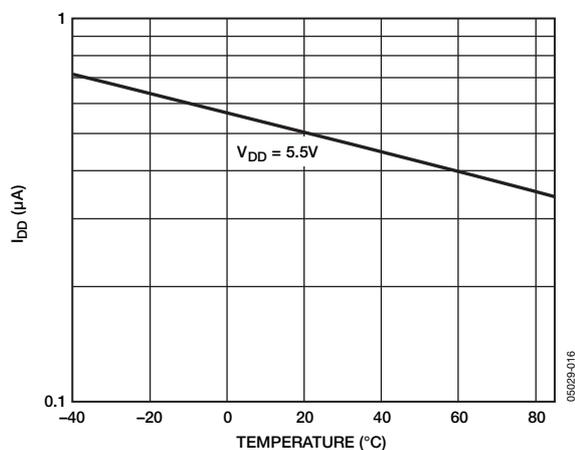


図15. 電源電流の温度特性

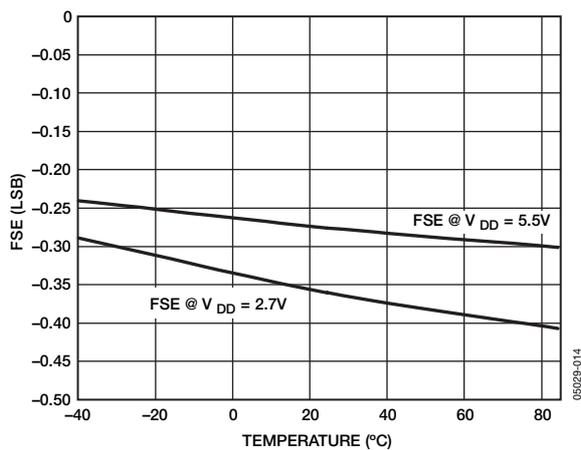


図13. フルスケール誤差の温度特性

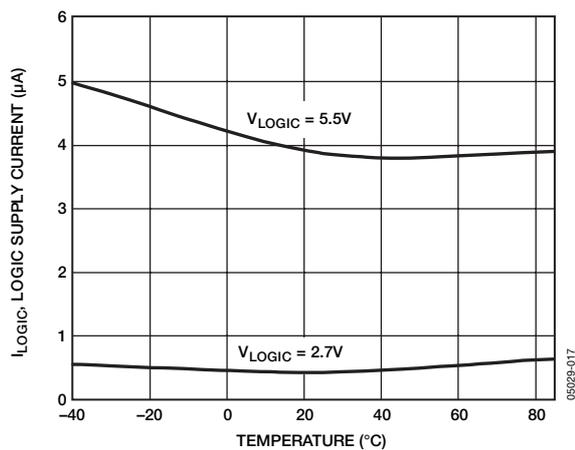


図16. ロジック電源電流、温度、およびV<sub>LOGIC</sub>の関連特性

# AD5258

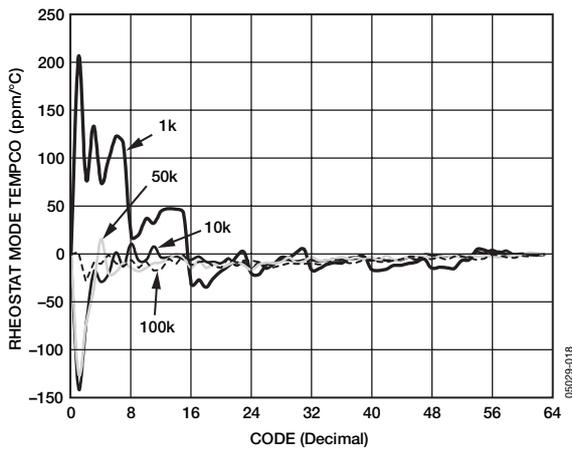


図17. コード対可変抵抗器モードでの温度係数  $(\Delta R_{AB} \times 10^6) / (R_{AB} \times \Delta T)$

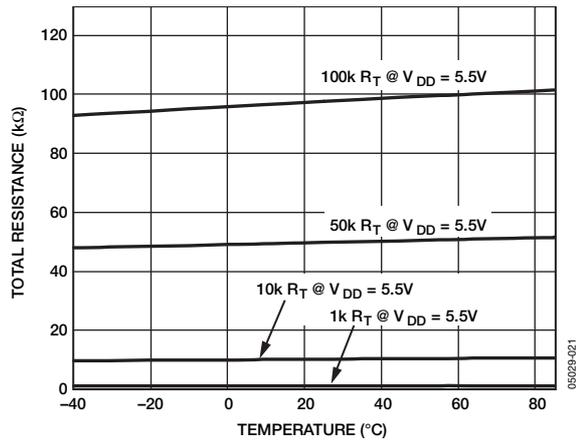


図20. 合計抵抗値の温度特性

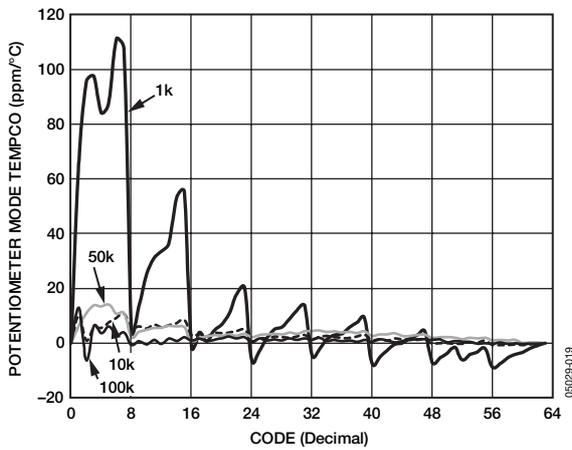


図18. コード対ポテンショメータ・モードの温度係数  $(\Delta V_W \times 10^6) / (V_W \times \Delta T)$

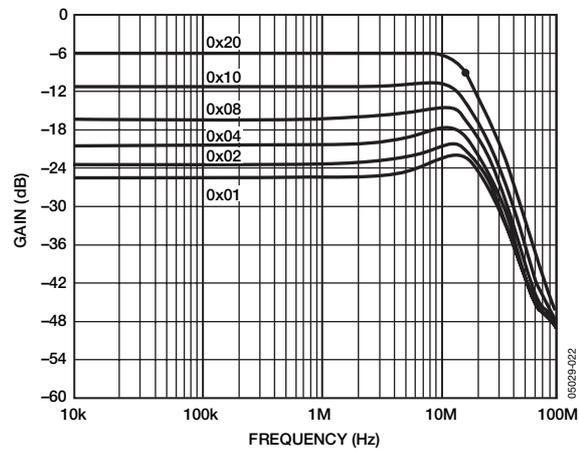


図21. ゲイン、周波数、およびコードの関係 ( $R_{AB} = 1k\Omega$ )

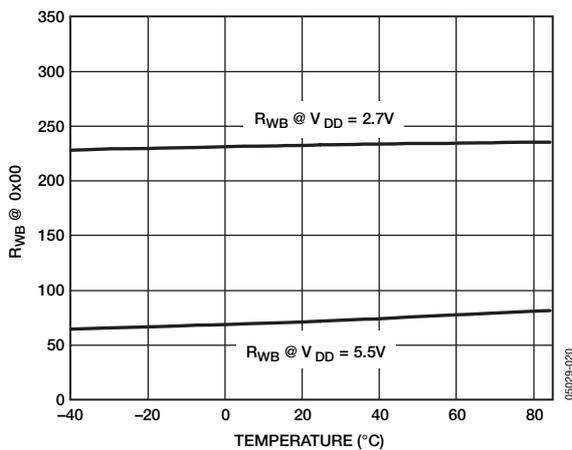


図19.  $R_{WB}$ の温度特性

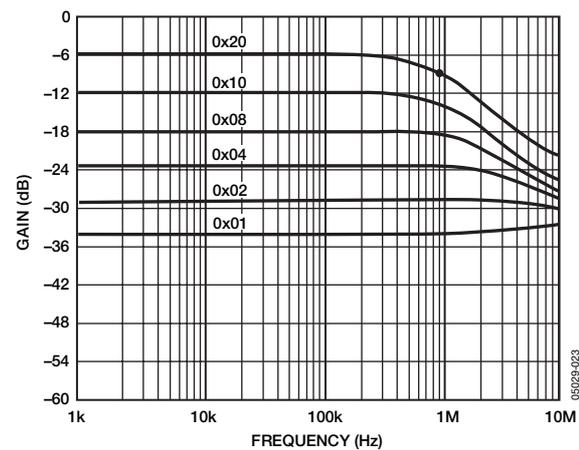


図22. ゲイン、周波数、およびコードの関係 ( $R_{AB} = 10k\Omega$ )

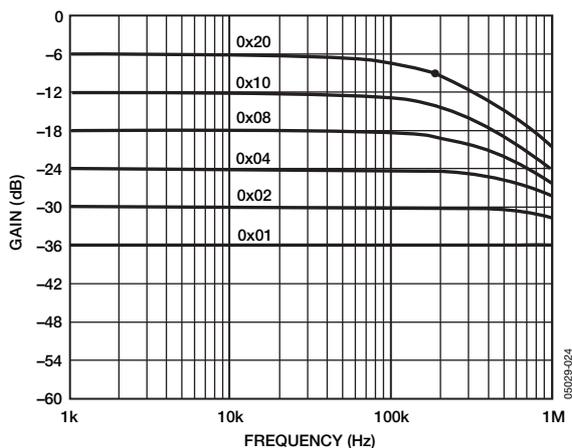


図23. ゲイン、周波数、およびコードの関係 ( $R_{AB}=50k\Omega$ )

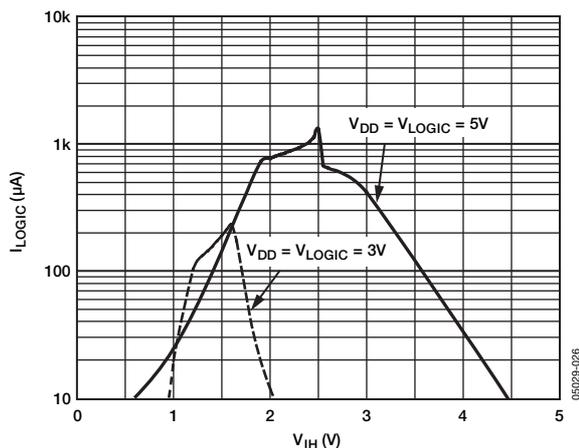


図25. 入力電圧 対 ロジック電源電流

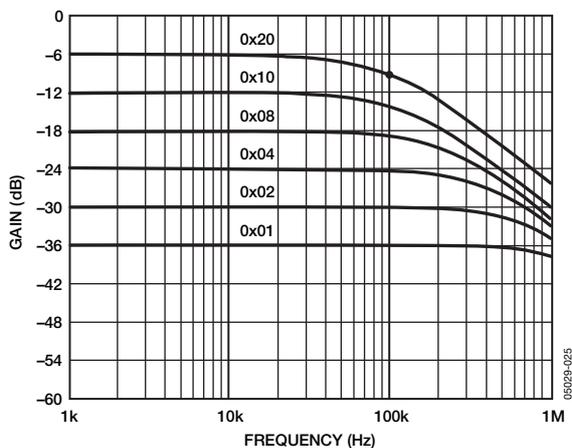


図24. ゲイン、周波数、およびコードの関係 ( $R_{AB}=100k\Omega$ )

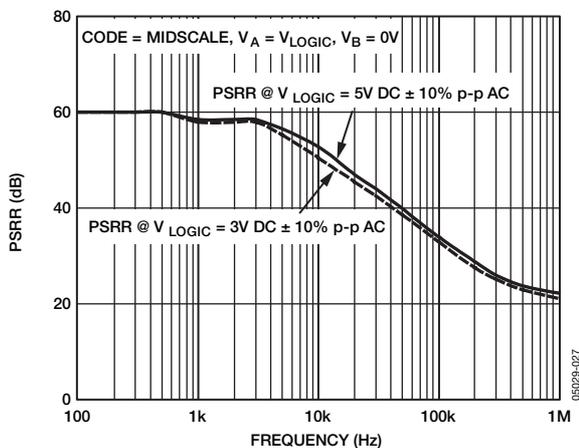


図26. PSRRの周波数特性

# AD5258

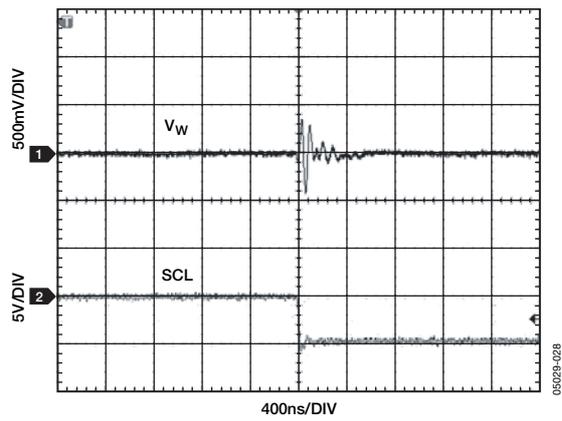


図27. デジタル・ノイズ混入

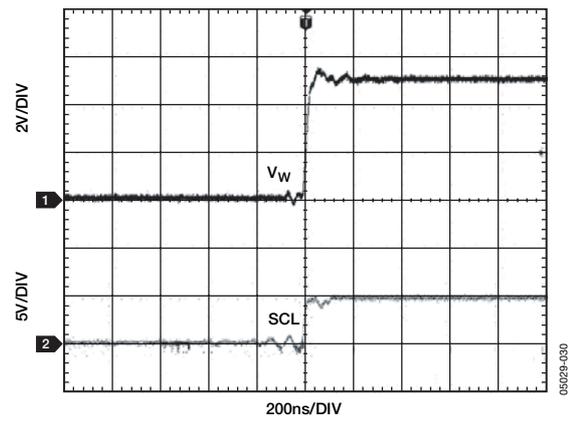


図29. 大信号セトリング時間

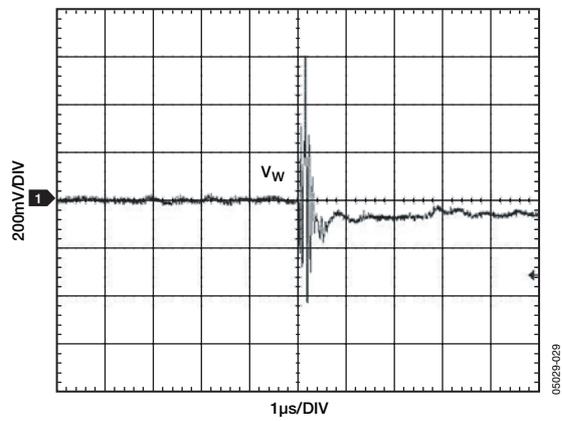


図28. ミッドスケール・グリッチ  
(コード0x7Fから0x80への変化時)

## テスト回路

図31～図36に、製品の仕様表で適用されたテスト条件を定義するテスト回路を示します。

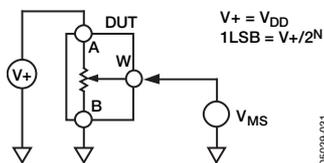


図30. ポテンショメータ・デバイダの非直線性誤差 (INL、DNL) の測定用テスト回路

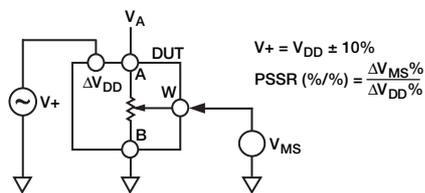


図33. 電源電圧変動感度 (PSS、PSSR) の測定用テスト回路

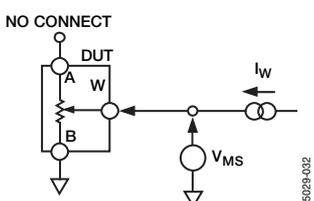


図31. 抵抗ポジションの非直線性誤差の測定用テスト回路 (可変抵抗器動作時のR-INLとR-DNL)

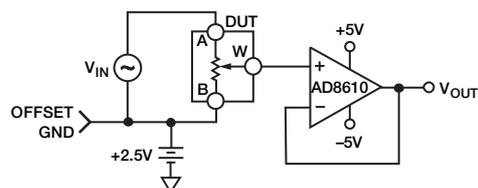


図34. ゲイン周波数特性の測定用テスト回路

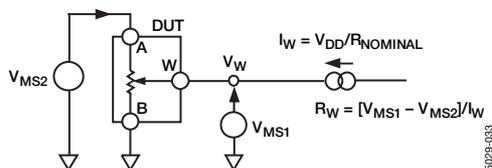


図32. ワイパー抵抗値の測定用テスト回路

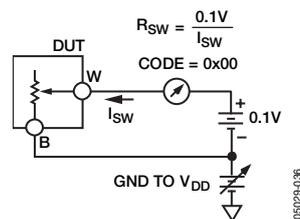


図35. コモン・モード・リーク電流の測定用テスト回路

## 動作理論

AD5258は、64ポジションのデジタル制御可変抵抗（VR）デバイスです。EEPROMをプログラミングする前のワイパーのデフォルト値は、ミッドスケールです。

### 可変抵抗器のプログラミング

#### 可変抵抗器動作

RDACの端子Aと端子B間の公称抵抗値（ $R_{AB}$ ）として、1k $\Omega$ 、10k $\Omega$ 、50k $\Omega$ 、100k $\Omega$ の値を設定できます。VRの公称抵抗は64個の接点を持ち、ワイパー端子によってアクセスされます。RDACラッチの6ビット・データがデコードされ、64通りの設定のうちの1つを選択します。

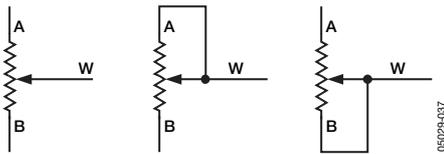


図36. 可変抵抗器モードの構成

デジタル的にプログラミングされる、ワイパーWと端子B間の出力抵抗を求める一般式は、以下のとおりです。

$$R_{WB}(D) = \frac{D}{64} \times R_{AB} + 2 \times R_W \quad (1)$$

ここで、

$D$ は、6ビットRDACレジスタに保持されているバイナリ・コードと等価な10進値です。

$R_{AB}$ は、端子Aと端子B間の抵抗値です。

$R_W$ は、各内部スイッチのオン抵抗によって発生するワイパー抵抗値です。

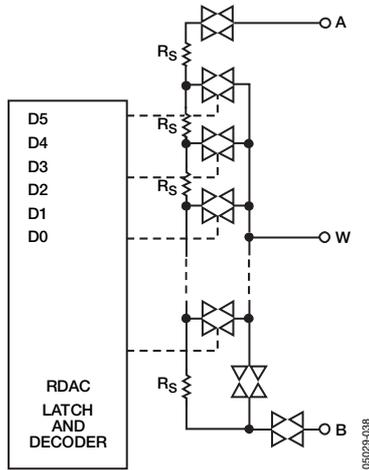


図37. AD5258のRDAC等価回路

ゼロスケール状態では、ワイパー抵抗が比較的低い値となることに注意してください。性能低下または内部スイッチの接点の破壊を防止するため、この状態でのワイパーWと端子Bとの間の電流レベルが20mAの最大パルス電流を超えないように注意する必要があります。

機械式のポテンシオメータと同様に、RDACのワイパーWと端子A間の抵抗も、デジタル制御された相補抵抗 $R_{WA}$ を発生します。 $R_{WA}$ の抵抗値の設定は最大抵抗値から開始され、ラッチにロードされたデータ値が大きくなると小さくなります。この動作の一般式は次のようになります。

$$R_{WA}(D) = \frac{64-D}{64} \times R_{AB} + 2 \times R_W \quad (2)$$

デバイス間のマッチングはプロセス・ロットに依存し、最大 $\pm 30\%$ の偏差をもちます。このため、抵抗偏差値がEEPROMに保存されているので、実際の $R_{AB}$ 値が0.1%以内にあることを確認できます。

### ポテンシオメータ・デバイダのプログラミング 電圧出力動作

デジタル・ポテンシオメータは、端子Aと端子B間の入力電圧に比例して分圧される電圧をワイパーWと端子B間およびワイパーWと端子Aの間で容易に発生できます。正の極性であることが要求される $V_{DD}$ とGND間の電圧範囲で使用している限り、端子Aと端子Bの電位はどちらが高くても使用できます。

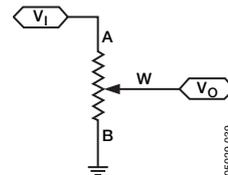


図38. ポテンシオメータ・モードの構成

概算のためにワイパー抵抗値の影響を無視する場合に、A端子を5Vに接続し、B端子をグラウンドに接続すると、1LSBまでの精度で0Vから5Vまでの範囲の出力電圧がワイパーWと端子B間で発生されます。端子Aと端子Bに有効な入力電圧が入力される場合に、グラウンドを基準とする $V_W$ の出力電圧を定義する一般式は、次のとおりです。

$$V_W(D) = \frac{D}{64} V_A + \frac{64-D}{64} V_B \quad (3)$$

ワイパー抵抗値の影響を含めた、より正確な $V_W$ を求める式は次のようになります。

$$V_W(D) = \frac{R_{WB}(D)}{R_{AB}} V_A + \frac{R_{WA}(D)}{R_{AB}} V_B \quad (4)$$

デジタル・ポテンシオメータをデバイダ・モードで使用すると、全温度範囲にわたって優れた精度を実現します。可変抵抗器モードとは異なり、出力電圧は主に内部抵抗の $R_{WA}$ と $R_{WB}$ の比に依存し、絶対値に依存することはありません。

## I<sup>2</sup>Cインターフェース

EEPROMをプログラミングする前のワイパーのデフォルト値が、ミッドスケールである点に注意してください。

マスターがスタート条件を設定してデータ転送を開始します。SCLがハイレベルのときに、SDAラインがハイレベルからローレベルに変化すると、スタート条件が設定されます（図3を参照）。次のバイトはスレーブ・アドレス・バイトで、スレーブ・アドレス（最初の7ビット）とR/Wビットで構成されます（表6を参照）。R/Wビットがハイレベルのときに、マスターはスレーブ・デバイスからデータを読み出し、R/Wビットがローレベルのときに、マスターはスレーブ・デバイスにデータを書き込みます。

デバイスのスレーブ・アドレスは、2本の設定可能なスリーステート・アドレス・ピンのAD0とAD1によって決定されます。この2本のピンの状態はパワーアップ時にレジスタに格納され、対応するPC 7ビット・アドレスにデコードされます（表5を参照）。送信されたアドレス・ビットに対応するスレーブ・アドレスは、9番目のクロック・パルス時にSDAラインをローレベルにして応答します（これをスレーブ・アクノレッジ・ビットと呼びます）。

この時点で、バス上の他のデバイスはすべてアイドル状態に維持されますが、選択されたデバイスはそのシリアル・レジスタに対するデータの書き込みまたは読出し動作の実行を待ちます。

### 書き込み

書き込みモード時には、スレーブ・アドレス・バイトの最後のビット（R/W）がロジック・ローになります。2番目のバイトは命令バイトです。命令バイトの最初の3ビットは、コマンド・ビットです（表6を参照）。RDACレジスタまたはEEPROMレジスタに書き込みを行うか、あるいはソフトウェア書き込み保護をアクティブにするかを選択しなければなりません（表7～表10を参照）。最後の5ビットはオール0です（表13と表14を参照）。この場合も同様に、スレーブは9番目のクロック・パルス時にSDAラインをローレベルにして応答します。

最後のバイトは、MSBファーストのデータ・バイトです。ドント・ケア・ビットは、ハイレベルまたはローレベルのいずれにも設定できます。書き込み保護モードの場合には、データは保存されません。すなわち、LSBがロジック・ハイのときに、書き込み保護がイネーブルされます。LSBがロジック・ローのときには、書き込み保護がディスエーブルされます。上記と同様に、スレーブは9番目のクロック・パルス時にSDAラインをローレベルにして応答します。

### 保存／再生

このモード時に必要となるのは、アドレス・バイトと命令バイトのみです。アドレス・バイトの最後のビット（R/W）がロジック・ローになります。命令バイトの最初の3ビットはコマンド・ビット（表6を参照）で、RDACからEEPROM（保存）、またはEEPROMからRDAC（再生）へのデータ転送を選択できます。最後の5ビットはオール0です（表13と表14を参照）。

### 読出し

読出し対象のレジスタにまだ書き込みが行われていないと想定される場合には、ダミー・アドレスと命令バイトを書き込む必要があります。必要なデータがRDACレジスタ、EEPROMレジスタ、またはトレランス・レジスタのどれに格納されているかに応じて、命令バイトは異なります（表11～表16を参照）。

ダミー・アドレスと命令バイトが送信された後で、繰返しスタートの手順が必要になります。繰返しスタートが完了した後で、R/Wビットがロジック・ハイである場合を除き、さらにもう1つのアドレス・バイトが必要になります。このアドレス・バイトの後に、命令バイトで要求された情報を含むリードバック・バイトが続きます。読出しビットは、クロックの立下がりエッジに現れます。ドント・ケア・ビットは、ハイレベルまたはローレベルのいずれの状態にも設定できます。

トレランス・レジスタからは、個別（表15を参照）または連続的な（表16を参照）リードバックが可能です。トレランス・バイトの解釈に関する詳細な説明については、「読出しモード」の項を参照してください。

全データ・ビットの読出しまたは書き込みが完了すると、マスターはストップ条件を設定します。ストップ条件とは、SCLがハイレベルのときに、SDAラインがローレベルからハイレベルに変化する動作として定義されます。書き込みモードのときには、マスターは10番目のクロック・パルス時にSDAラインをハイレベルにして、ストップ条件を設定します（表8を参照）。読出しモード時には、マスターは9番目のクロック・パルスに対してノー・アクノレッジを発行します（SDAラインはハイレベルに維持されます）。その後、マスターは10番目のクロック・パルスの前にSDAラインをローレベルにし、次にSDAラインをハイレベルにして、ストップ条件を設定します（表11を参照）。

繰返し書き込み機能を使用すると、アドレス・バイトと命令バイトを一度書き込むだけで、RDACの出力を何回でも更新できるようになります。たとえば、書き込みモード時にRDACがスレーブ・アドレス・バイトと命令バイトのアクノレッジを実行した後で、ストップ条件が受信されるまで、その後続くバイトごとにRDACの出力が更新されます。異なる命令が必要となる場合には、新しいスレーブ・アドレス・バイト、命令バイト、データ・バイトを使用し、書き込み／読出しモードを再度開始する必要があります。これと同様に、RDACの繰返し読出し機能を使用することも可能です。

# AD5258

## I<sup>2</sup>Cフォーマット

次に説明するAD5258の一般的な書込みコントロール・レジスタ、読み出しコントロール・レジスタ、保存/再生コントロール・レジスタはすべて、表5に記載するデバイス・アドレスと下記のモード/状態参照キー (S、P、SA、MA、NA、 $\overline{W}$ 、R、X) を参照します。

- S=スタート条件
- P=ストップ条件
- SA=スレーブのアクノレッジ
- MA=マスターのアクノレッジ
- NA=ノー・アクノレッジ
- $\overline{W}$ =書込み
- R=読み出し
- X=ドント・ケア
- AD1とAD0はスリーステートのアドレス・ピンです。

表5. デバイス・アドレスのルックアップ

| AD1 Address Pin | AD0 Address Pin | I <sup>2</sup> C Device Address |
|-----------------|-----------------|---------------------------------|
| 0               | 0               | 0011000                         |
| 1               | 0               | 0011010                         |
| 0               | 1               | 1001100                         |
| 1               | 1               | 1001110                         |

## 汎用インターフェース

表6. 汎用インターフェースのフォーマット

| S                  | 7-Bit Device Address<br>(See Table 5) | $\overline{RW}$ | SA               | C2 | C1 | C0 | A4 | A3 | A2 | A1 | A0 | SA        | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | SA | P |
|--------------------|---------------------------------------|-----------------|------------------|----|----|----|----|----|----|----|----|-----------|----|----|----|----|----|----|----|----|----|---|
| Slave Address Byte |                                       |                 | Instruction Byte |    |    |    |    |    |    |    |    | Data Byte |    |    |    |    |    |    |    |    |    |   |

表7. RDACとEEPROM間のインターフェース・コマンドの説明

| C2 | C1 | C0 | Command Description   |
|----|----|----|---|
| 0  | 0  | 0  | Operation between I <sup>2</sup> C and RDAC                                     |
| 0  | 0  | 1  | Operation between I <sup>2</sup> C and EEPROM                                   |
| 0  | 1  | 0  | Operation between I <sup>2</sup> C and Write Protection Register. See Table 10. |
| 1  | 0  | 0  | NOP   |
| 1  | 0  | 1  | Restore EEPROM to RDAC  |
| 1  | 1  | 0  | Store RDAC to EEPROM  |

## 書込みモード

表8. RDACレジスタへの書込み

| S                  | 7-Bit Device Address<br>(See Table 5) | 0 | SA               | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SA        | X | X | D5 | D4 | D3 | D2 | D1 | D0 | SA | P |
|--------------------|---------------------------------------|---|------------------|---|---|---|---|---|---|---|---|---|-----------|---|---|----|----|----|----|----|----|----|---|
| Slave Address Byte |                                       |   | Instruction Byte |   |   |   |   |   |   |   |   |   | Data Byte |   |   |    |    |    |    |    |    |    |   |

表9. EEPROMレジスタへの書込み

| S                  | 7-Bit Device Address<br>(See Table 5) | 0 | SA               | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | SA        | X | X | D5 | D4 | D3 | D2 | D1 | D0 | SA | P |
|--------------------|---------------------------------------|---|------------------|---|---|---|---|---|---|---|---|---|-----------|---|---|----|----|----|----|----|----|----|---|
| Slave Address Byte |                                       |   | Instruction Byte |   |   |   |   |   |   |   |   |   | Data Byte |   |   |    |    |    |    |    |    |    |   |

EEPROMをプログラミングする前のワイパーのデフォルト値は、ミッドスケールです。

表10. ソフトウェアによる書込み保護の設定法

| S                  | 7-Bit Device Address<br>(See Table 5) | 0 | SA               | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SA        | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | WP | SA | P |
|--------------------|---------------------------------------|---|------------------|---|---|---|---|---|---|---|---|---|-----------|---|---|---|---|---|---|---|---|----|----|---|
| Slave Address Byte |                                       |   | Instruction Byte |   |   |   |   |   |   |   |   |   | Data Byte |   |   |   |   |   |   |   |   |    |    |   |

書込み保護モードをアクティブにするときは、表10に示すWPビットをロジック・ハイに設定する必要があります。書込み保護モードを解除するときには、ロジック・ゼロの状態のWPビットを除いて、コマンドを再度送信する必要があります。

## 読出しモード

読出しモードは従来方式モードと呼ばれます。その理由は、3つのすべてのケースで最初の2バイトが、アドレス・ポインタが正しいレジスタを示すように機能する「ダミー」バイトとして使用されるためです。したがって、繰返しスタートが実行されます。理論上は、すでに書き込みが行われたレジスタの読出し

を実行したい場合、このステップは回避できます。たとえば、EEPROMにデータが書き込まれたばかりだとすると、2つのダミー・バイトをスキップして、スレーブ・アドレスとその後に続くEEPROMリードバック・データに直接進むことができます。

表11. RDACレジスタ値の従来方式によるリードバック

|   |                                       |   |    |                  |   |   |   |   |   |   |   |   |    |                    |                                       |                |    |   |   |    |    |    |    |    |    |    |   |
|---|---------------------------------------|---|----|------------------|---|---|---|---|---|---|---|---|----|--------------------|---------------------------------------|----------------|----|---|---|----|----|----|----|----|----|----|---|
| S | 7-Bit Device Address<br>(See Table 5) | 0 | SA | 0                | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SA | S                  | 7-Bit Device Address<br>(See Table 5) | 1              | SA | X | X | D5 | D4 | D3 | D2 | D1 | D0 | NA | P |
|   | Slave Address Byte                    |   |    | Instruction Byte |   |   |   |   |   |   |   |   |    | Slave Address Byte |                                       | Read-back Data |    |   |   |    |    |    |    |    |    |    |   |
|   |                                       |   |    | ↑                |   |   |   |   |   |   |   |   |    | Repeat Start       |                                       |                |    |   |   |    |    |    |    |    |    |    |   |

表12. EEPROM保存値の従来方式によるリードバック

|   |                                       |   |    |                  |   |   |   |   |   |   |   |   |    |                    |                                       |                |    |   |   |    |    |    |    |    |    |    |   |
|---|---------------------------------------|---|----|------------------|---|---|---|---|---|---|---|---|----|--------------------|---------------------------------------|----------------|----|---|---|----|----|----|----|----|----|----|---|
| S | 7-Bit Device Address<br>(See Table 5) | 0 | SA | 0                | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | SA | S                  | 7-Bit Device Address<br>(See Table 5) | 1              | SA | X | X | D5 | D4 | D3 | D2 | D1 | D0 | NA | P |
|   | Slave Address Byte                    |   |    | Instruction Byte |   |   |   |   |   |   |   |   |    | Slave Address Byte |                                       | Read-back Data |    |   |   |    |    |    |    |    |    |    |   |
|   |                                       |   |    | ↑                |   |   |   |   |   |   |   |   |    | Repeat Start       |                                       |                |    |   |   |    |    |    |    |    |    |    |   |

## 保存／再生モード

表13. EEPROMへのRDAC値の保存

|   |                                       |   |    |                  |   |   |   |   |   |   |   |   |    |   |
|---|---------------------------------------|---|----|------------------|---|---|---|---|---|---|---|---|----|---|
| S | 7-Bit Device Address<br>(See Table 5) | 0 | SA | 1                | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SA | P |
|   | Slave Address Byte                    |   |    | Instruction Byte |   |   |   |   |   |   |   |   |    |   |

表14. EEPROM保存値のRDACへの再生

|   |                                       |   |    |                  |   |   |   |   |   |   |   |   |    |   |
|---|---------------------------------------|---|----|------------------|---|---|---|---|---|---|---|---|----|---|
| S | 7-Bit Device Address<br>(See Table 5) | 0 | SA | 1                | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | SA | P |
|   | Slave Address Byte                    |   |    | Instruction Byte |   |   |   |   |   |   |   |   |    |   |

# AD5258

## 偏差値リードバック・モード

表15. 偏差値の従来方式によるリードバック (個別)

|   |                                       |  |  |  |  |  |  |   |    |                  |   |   |   |   |   |   |   |    |                    |                                       |  |  |  |  |  |  |                     |    |    |    |    |    |    |    |    |    |    |   |
|---|---------------------------------------|--|--|--|--|--|--|---|----|------------------|---|---|---|---|---|---|---|----|--------------------|---------------------------------------|--|--|--|--|--|--|---------------------|----|----|----|----|----|----|----|----|----|----|---|
| S | 7-Bit Device Address<br>(See Table 5) |  |  |  |  |  |  | 0 | SA | 0                | 0 | 1 | 1 | 1 | 1 | 1 | 0 | SA | S                  | 7-Bit Device Address<br>(See Table 5) |  |  |  |  |  |  | 1                   | SA | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | NA | P |
|   | Slave Address Byte                    |  |  |  |  |  |  |   |    | Instruction Byte |   |   |   |   |   |   |   |    | Slave Address Byte |                                       |  |  |  |  |  |  | Sign + Integer Byte |    |    |    |    |    |    |    |    |    |    |   |

↑  
Repeat Start

|   |                                       |  |  |  |  |  |  |   |    |                  |   |   |   |   |   |   |   |    |                    |                                       |  |  |  |  |  |  |              |    |    |    |    |    |    |    |    |    |    |   |
|---|---------------------------------------|--|--|--|--|--|--|---|----|------------------|---|---|---|---|---|---|---|----|--------------------|---------------------------------------|--|--|--|--|--|--|--------------|----|----|----|----|----|----|----|----|----|----|---|
| S | 7-Bit Device Address<br>(See Table 5) |  |  |  |  |  |  | 0 | SA | 0                | 0 | 1 | 1 | 1 | 1 | 1 | 1 | SA | S                  | 7-Bit Device Address<br>(See Table 5) |  |  |  |  |  |  | 1            | SA | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | NA | P |
|   | Slave Address Byte                    |  |  |  |  |  |  |   |    | Instruction Byte |   |   |   |   |   |   |   |    | Slave Address Byte |                                       |  |  |  |  |  |  | Decimal Byte |    |    |    |    |    |    |    |    |    |    |   |

↑  
Repeat Start

表16. 偏差値の従来方式によるリードバック (連続)

|   |                                       |  |  |  |  |  |  |   |    |                  |   |   |   |   |   |   |    |   |                                       |  |  |  |  |  |  |   |                     |    |    |    |    |    |    |    |    |              |    |    |    |    |    |    |    |    |    |   |
|---|---------------------------------------|--|--|--|--|--|--|---|----|------------------|---|---|---|---|---|---|----|---|---------------------------------------|--|--|--|--|--|--|---|---------------------|----|----|----|----|----|----|----|----|--------------|----|----|----|----|----|----|----|----|----|---|
| S | 7-Bit Device Address<br>(See Table 5) |  |  |  |  |  |  | 0 | SA | 0                | 0 | 1 | 1 | 1 | 1 | 0 | SA | S | 7-Bit Device Address<br>(See Table 5) |  |  |  |  |  |  | 1 | SA                  | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | MA           | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | NA | P |
|   | Slave Address Byte                    |  |  |  |  |  |  |   |    | Instruction Byte |   |   |   |   |   |   |    |   | Slave Address Byte                    |  |  |  |  |  |  |   | Sign + Integer Byte |    |    |    |    |    |    |    |    | Decimal Byte |    |    |    |    |    |    |    |    |    |   |

↑  
Repeat Start

### 読出し専用レジスタに保存されたR<sub>AB</sub>偏差値の計算

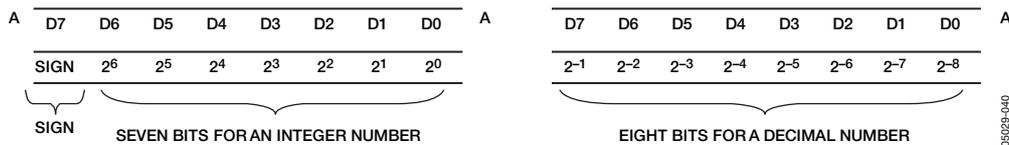


図39. 符号付きフォーマットで保存された偏差値フォーマットとビット位置の説明  
(単位は%値。データ・バイトのみを表示)

AD5258は、不揮発性メモリへのR<sub>AB</sub>偏差値保存機能（特許取得済み）を持っています。偏差値は出荷時にメモリに保存されており、いつでも読み出すことができます。偏差値が保存されているため、R<sub>AB</sub>を正確に計算できます。この機能は高精度の可変抵抗器モードや、絶対抵抗値がわかっている場合、オープン・ループのアプリケーションで非常に役立ちます。

偏差値は読出し専用レジスタに格納され、単位は%で表します。偏差値は、符号付きバイナリ・フォーマットで2つのメモリ・ロケーション・バイトに格納されています（図39を参照）。2つのEEPROMアドレス・バイトは、11110（符号+整数）と11111（小数）です。この2つのバイトは、2つの異なるコマンドを使用して個別にアクセスできます（表15を参照）。また、1つのコマンドで最初のバイトとその後に続く2番目のバイトをリードバックすることも可能です（表16を参照）。後者の連続読出しの場合、メモリ・ポインタが最初のEEPROMロケーションから2番目のロケーションに自動的にインクリメントします（11110から11111にインクリメント）。

最初のメモリ・ロケーションでは、MSBが符号（0=+、1=-）に、下位7ビットが偏差値の整数部分に割り当てられています。2番目のメモリ・ロケーションでは、8データ・ビットのすべてが偏差値の小数部分に割り当てられています。小数部分は0.1%の精度に制限される点に注意してください。たとえば、R<sub>AB</sub>の定格値を10kΩとして、アドレス11110からリードバックされるデータが0001 1100で、アドレス11111からリードバックされるデータが0000 1111である場合、偏差値は次のように計算できます。

MSB : 0 = +  
 次の7ビット : 001 1100 = 28  
 次の8ビット : 0000 1111 = 15 × 2<sup>-8</sup> = 0.06  
 偏差値 = +28.06% となり、  
 この偏差値を丸めると +28.1% になるので、  
 R<sub>AB\_ACTUAL</sub> = 12.810kΩ となります。

## デジタル・ピンと抵抗端子のESD保護

AD5258の $V_{DD}$ 、 $V_{LOGIC}$ 、GNDの各電源は、3端子動作およびデジタル入力動作が正常に行われるように制限されます。A、B、Wの各端子に $V_{DD}$ またはGNDを超える電源電圧が加わると、これらの電圧は順方向にバイアスされた内蔵のESD保護ダイオードによってクランプされます（図40を参照）。デジタル入力のSCLとSDAは $V_{LOGIC}$ とGNDを基準として、ESD保護ダイオードによってクランプされます（図41を参照）。

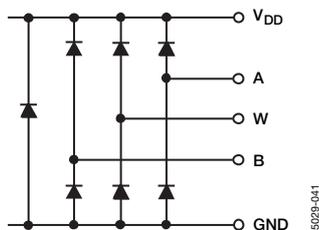


図40.  $V_{DD}$ とGNDによって設定される最大端子電圧

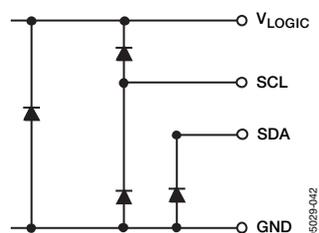


図41.  $V_{LOGIC}$ とGNDによって設定される最大端子電圧

## パワーアップ・シーケンス

ESD保護ダイオードはA、B、Wの各端子の電圧を制限するので（図40を参照）、A、B、Wの各端子に電圧を入力する前に、GND/ $V_{DD}$ / $V_{LOGIC}$ の電源を先に投入することが重要です。これを順守しないと、ダイオードに順方向バイアスが加わることによって、 $V_{DD}$ および $V_{LOGIC}$ 電源が偶発的に投入されて、回路の他の部分に影響を与えることがあります。理想的なパワーアップ・シーケンスは、GND、 $V_{DD}$ 、 $V_{LOGIC}$ 、デジタル入力、そして $V_A$ 、 $V_B$ 、 $V_W$ の順番です。GND/ $V_{DD}$ / $V_{LOGIC}$ の投入後であれば、 $V_A$ 、 $V_B$ 、 $V_W$ 、デジタル入力の順は重要ではありません。

## レイアウトと電源のバイパス処理

最小リード長のコンパクトなレイアウトにすることが重要です。入力までのリード線は、最短で真っ直ぐにします。グラウンド・パスの抵抗とインダクタンスは小さくする必要があります。

同様に、最適な安定性を確保するために、高品質のコンデンサで電源をバイパスすることも重要です。0.01~0.1 $\mu$ Fのディスク・セラミック・コンデンサまたはチップ・セラミック・コンデンサを外付けして、デバイスに接続する電源リードをバイパスしてください。さらに、ESRが低い1~10 $\mu$ Fのタンタル・コンデンサまたは電解コンデンサを電源に接続し、過渡障害を抑え、低周波リップルを除去する必要があります（図42を参照）。デジタル・グラウンド・バウンズを最小にするため、デジタル・グラウンドとアナログ・グラウンドは1ヶ所でリモート接続してください。

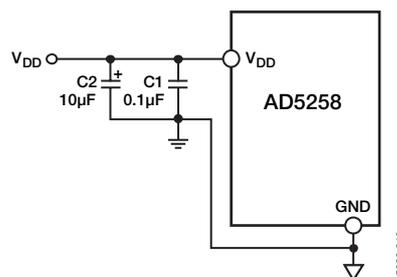


図42. 電源のバイパス

## 同一バス上に複数デバイスを接続

AD5258には、2本の設定可能なスリーステートのアドレス・ピンAD0およびAD1があります。この2本のピンの状態はパワーアップ時にレジスタに格納され、対応するPC互換の7ビット・アドレスにデコードされます（表5を参照）。したがって、同一バス上に最大4個のデバイスの書き込みまたは読出し動作を個別に実行できます。

## 評価用ボード

評価用ボードを必要なソフトウェアとともに用意しておりますので、Windows® 98/Windows 2000/Windows XPで動作するPCでAD5258のプログラミングを行うことができます。図43に示すGUI（グラフィカル・ユーザ・インターフェース）はたいへん使いやすくなっています。詳細については、評価用ボードに同梱されている『ユーザ・マニュアル』を参照してください。

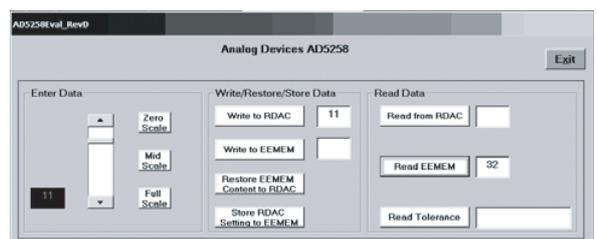


図43. AD5258評価用ボードのソフトウェア

## ディスプレイ・アプリケーション

## 回路

AD5258はその特長として、 $V_{\text{LOGIC}}$ と $V_{\text{DD}}$ の電源ピンが分離されています。この理由は、必要な電源電圧が必ずしも確保されるとは限らないアプリケーションに柔軟に対応するためです。

特にLCDパネルでは、多くの場合3~5Vの範囲の $V_{\text{COM}}$ 電圧が要求されます。図44の回路は、5Vの電源がデジタル・ポテンシオメータに供給される稀なケースです。

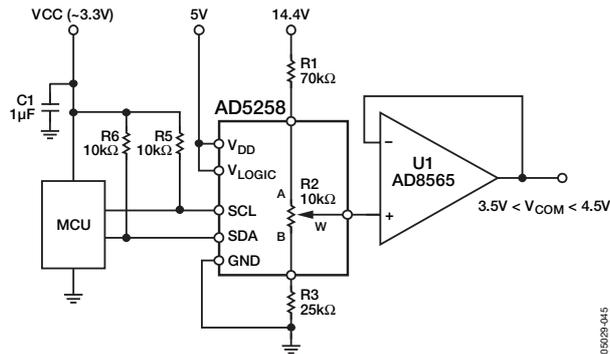


図44.  $V_{\text{COM}}$ 調整アプリケーション

より一般的なケース（図45）では、14.4Vのアナログ電源と3.3Vのデジタル・ロジック電源のみを使用しています。デジタル・ポテンシオメータの上下にディスクリット抵抗を配置することによって、 $V_{\text{DD}}$ を抵抗ストリングそのものから分岐させることが可能です。選択された抵抗値に基づく、このケースでは $V_{\text{DD}}$ の電圧が4.8Vに等しくなるので、ワイパーは4.8Vまでの任意の電圧で安全な動作が可能です。 $V_{\text{DD}}$ の消費電流はわずか数 $\mu\text{A}$ のレベルに過ぎないため、これがノードのバイアスに影響を与えることはありません。 $V_{\text{LOGIC}}$ はマイクロコントローラ

(MCU)の3.3Vデジタル電源に接続されています。その理由は、EEPROMにデータを書き込む際に必要とされる35mAの電流を $V_{\text{LOGIC}}$ が消費するためです。70k $\Omega$ の抵抗を経由して35mAの電流をソースすることは、実用的ではありません。そのために、 $V_{\text{LOGIC}}$ を $V_{\text{DD}}$ と同じノードに接続していません。

この理由により、 $V_{\text{LOGIC}}$ と $V_{\text{DD}}$ を2本の分離されたピンとして別個に用意し、この各ピンを相互に接続するか、または個別に使用できるようにしています。 $V_{\text{LOGIC}}$ はロジック/EEPROMの電源供給に使用され、 $V_{\text{DD}}$ はA、B、Wの各端子のバイアスに使用できるので、柔軟性がさらに向上します。

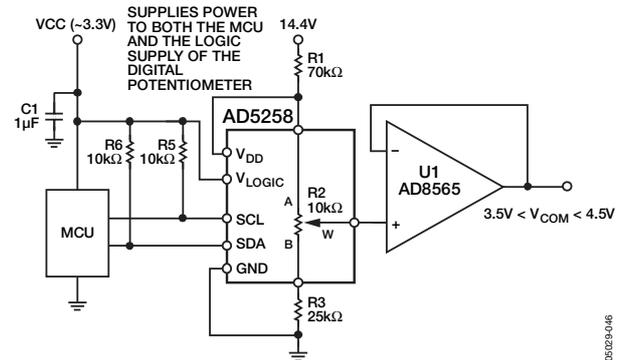
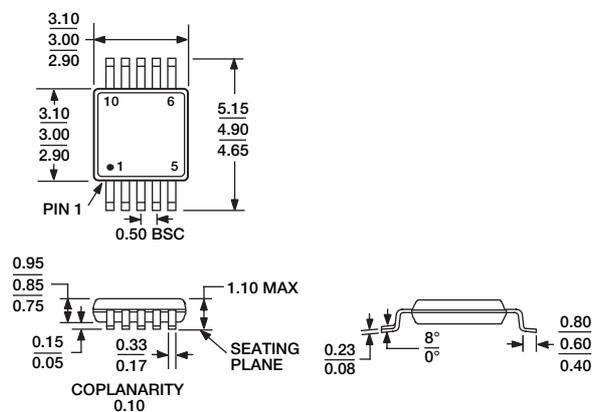


図45.  $V_{\text{DD}}$ に個別の電源を使用できない回路

このアプリケーションについての詳細は、『EDN』誌の2004年9月30日号に掲載された「Simple  $V_{\text{COM}}$  Adjustment uses any Logic Supply Voltage (任意のロジック電源電圧を使用した簡単な $V_{\text{COM}}$ 調整)」の記事を参照してください。

## 外形寸法



COMPLIANT TO JEDEC STANDARDS MO-187-BA  
 図46. 10ピンのミニ・スモール・アウトライン・パッケージ [MSOP]  
 (RM-10)  
 寸法単位：mm

## オーダー・ガイド

| Model                         | R <sub>AB</sub> (kΩ) | Temperature Range | Package Description | Package Option | Branding |
|-------------------------------|----------------------|-------------------|---------------------|----------------|----------|
| AD5258BRMZ1 <sup>1</sup>      | 1                    | -40°C to +85°C    | 10-Lead MSOP        | RM-10          | D4K      |
| AD5258BRMZ1-R7 <sup>1</sup>   | 1                    | -40°C to +85°C    | 10-Lead MSOP        | RM-10          | D4K      |
| AD5258BRMZ10 <sup>1</sup>     | 10                   | -40°C to +85°C    | 10-Lead MSOP        | RM-10          | D4L      |
| AD5258BRMZ10-R7 <sup>1</sup>  | 10                   | -40°C to +85°C    | 10-Lead MSOP        | RM-10          | D4L      |
| AD5258BRMZ50 <sup>1</sup>     | 50                   | -40°C to +85°C    | 10-Lead MSOP        | RM-10          | D4M      |
| AD5258BRMZ50-R7 <sup>1</sup>  | 50                   | -40°C to +85°C    | 10-Lead MSOP        | RM-10          | D4M      |
| AD5258BRMZ100 <sup>1</sup>    | 100                  | -40°C to +85°C    | 10-Lead MSOP        | RM-10          | D4N      |
| AD5258BRMZ100-R7 <sup>1</sup> | 100                  | -40°C to +85°C    | 10-Lead MSOP        | RM-10          | D4N      |
| AD5258EVAL <sup>2</sup>       |                      |                   | Evaluation Board    |                |          |

<sup>1</sup> Z=RoHS準拠製品

<sup>2</sup> 評価用ボードには10kΩバージョンの製品が実装されていますが、他の抵抗も使用できます。