

### 特長

- 256 ポジション
- 端子間抵抗: 5 kΩ、10 kΩ、50 kΩ、100 kΩ
- 小型 SOT-23-8 (2.9 mm × 3 mm) パッケージを採用
- 高速セトリング・タイム: パワーアップ時  $t_s = 5 \mu s$  (typ)
- ワイパー・レジスタのフル・リード/ライトが可能
- ミッドスケールへのパワーオン・プリセット
- パッケージ・アドレス・デコード・ピン AD0 を追加
- 工場書き込むアプリケーション向けに  $\mu C$  による置き換え用コンピュータ・ソフトウェアを提供
- 単電源動作: 2.7 V ~ 5.5 V
- 小さい温度係数: 45 ppm/°C
- 低消費電力:  $I_{DD} = 8 \mu A$
- 広い動作温度: -40°C ~ +125°C
- 評価ボードを提供

### アプリケーション

- 新しいデザインでのメカニカル・ポテンシオメータの置き換え
- LCD パネルの  $V_{COM}$  調整
- LCD パネルの輝度とコントラストの制御
- 圧力、温度、位置、化学的センサー、光学的センサーのトランスジューサ調整
- RF アンプのバイアス
- 車載エレクトロニクスの調整
- ゲイン制御とオフセット調整

### 概要

AD5245 は、256 ポジション調整アプリケーション向けに小型の 2.9 mm × 3 mm パッケージを採用したソリューションを提供します。これらのデバイスはメカニカル・ポテンシオメータや可変抵抗と同じ電子的調整機能を持ち、優れた分解能、固体素子の信頼性、非常に小さい温度係数性能を持っています。

ワイパー設定は I<sup>2</sup>C 互換デジタル・インターフェースを経由して制御することができ、このインターフェースはワイパー・レジスタ値のリードバックにも使用することができます。AD0 を使うと、同じバス上に 2 個までのデバイスを接続することができます。コマンド・ビットを使うと、ワイパー・ポジションをミッドスケール

ルへリセットするか、またはデバイスをゼロ消費電力の状態へシャットダウンすることができます。

2.7 ~ 5.5 V の電源で動作し、8  $\mu A$  以下の消費電流であるため、バッテリー駆動のポータブル・アプリケーションで使うことができます。

用語デジタル・ポテンシオメータ、VR、RDAC は、同じ意味で使います。

### 機能ブロック図

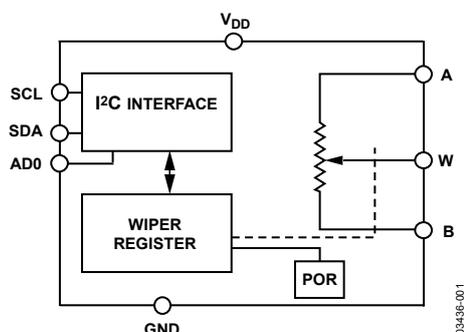


図1.

### ピン配置

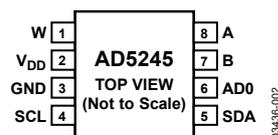


図2.

## 目次

特長	1	テスト回路	12
アプリケーション	1	動作原理	13
機能ブロック図	1	可変抵抗のプログラミング	13
ピン配置	1	ポテンショメータ分圧器のプログラミング	13
概要	1	ESD保護	14
改訂履歴	2	ピン電圧の動作範囲	14
電気的特性	3	パワーアップ・シーケンス	14
5 kΩバージョン	3	レイアウトと電源のバイパス	14
10 kΩ、50 kΩ、100 kΩバージョン	4	抵抗設定値を維持する一定バイアス	14
タイミング特性	5	評価ボード	15
5 kΩ、10 kΩ、50 kΩ、100 kΩバージョン	5	I <sup>2</sup> Cインターフェース	16
絶対最大定格	6	I <sup>2</sup> C互換2線式シリアル・バス	16
ESDに関する注意	6	外形寸法	19
ピン配置およびピン機能説明	7	オーダー・ガイド	19
代表的な性能特性	8		

## 改訂履歴

### 1/06—Rev. A to Rev. B

Changes to Table 3	5
Changes to Ordering Guide	19

### 3/04—Rev. 0 to Rev. A

Updated Format	Universal
Changes to Features	1
Changes to Applications	1
Changes to Figure 1	1
Changes to Electrical Characteristics—5 kΩ Version	3
Changes to Electrical Characteristics—10 kΩ, 50 kΩ, and 100 kΩ Versions	4
Changes to Timing Characteristics	5
Changes to Absolute Maximum Ratings	6
Moved ESD Caution to Page	6
Changes to Pin Configuration and Function Descriptions	7
Changes to Figures 22 and 23	11
Moved Figure 25 to Figure 26	11
Moved Figure 26 to Figure 27	11
Moved Figure 27 to Figure 25	11
Deleted Figures 31 and 32	12
Changes to Figure 32, Figure 33 and Figure 34	12
Changes to Rheostat Operation Section	13
Added Figure 35	13
Changes to Equation 1 and Equation 2	13
Changes to Table 6 and Table 7	13

Added Figure 37	14
Changes to Equation 4	14
Deleted Readback RDAC Value Section	14
Deleted Level Shifting for Bidirectional Interface Section	14
Moved ESD Protection Section to Page	14
Changes to Figure 38 and Figure 39	14
Moved Terminal Voltage Operating Range Section to Page	14
Changes to Figure 40	14
Moved Power-Up Sequence Section to Page	14
Moved Layout and Power Supply Bypassing Section to Page	15
Added Constant Bias to Retain Resistance Setting Section	15
Added Figure 42	15
Added Evaluation Board Section	15
Added Figure 43	15
Moved I <sup>2</sup> C Interface Section to Page	16
Changes to I2C Compatible 2-Wire Serial Bus Section	16
Moved Table 5 and Table 6 to Page	17
(Renumbered as Table 8 and Table 9)	
Moved Figure 36, Figure 37, and Figure 38 to Page	17
(Renumbered as Figure 44, Figure 45, and Figure 46)	
Moved Multiply Devices on One Bus Section to Page	18
Updated Ordering Guide	19
Updated Outline Dimensions	19
Moved I <sup>2</sup> C Disclaimer to Page	20

### 5/03—Revision 0: Initial Version

## 電気的特性

### 5 K $\Omega$ バージョン

特に指定がない限り、 $V_{DD} = 5\text{ V} \pm 10\%$ または $3\text{ V} \pm 10\%$ 、 $V_A = V_{DD}$ 、 $V_B = 0\text{ V}$ 、 $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表1.

Parameter	Symbol	Conditions	Min	Typ <sup>1</sup>	Max	Unit
<b>DC CHARACTERISTICS—RHEOSTAT MODE</b>						
Resistor Differential Nonlinearity <sup>2</sup>	R-DNL	$R_{WB}$ , $V_A = \text{no connect}$	-1.5	$\pm 0.1$	+1.5	LSB
Resistor Integral Nonlinearity <sup>2</sup>	R-INL	$R_{WB}$ , $V_A = \text{no connect}$	-4	$\pm 0.75$	+4	LSB
Nominal Resistor Tolerance <sup>3</sup>	$\Delta R_{AB}$	$T_A = 25^\circ\text{C}$	-30		+30	%
Resistance Temperature Coefficient	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	$V_{AB} = V_{DD}$ , wiper = no connect		45		ppm/ $^\circ\text{C}$
Wiper Resistance	$R_W$			50	120	$\Omega$
<b>DC CHARACTERISTICS—POTENTIOMETER DIVIDER MODE (Specifications Apply to All VRs)</b>						
Differential Nonlinearity <sup>4</sup>	DNL		-1.5	$\pm 0.1$	+1.5	LSB
Integral Nonlinearity <sup>4</sup>	INL		-1.5	$\pm 0.6$	+1.5	LSB
Voltage Divider Temperature Coefficient	$(\Delta V_W/V_W)/\Delta T \times 10^6$	Code = 0x80		15		ppm/ $^\circ\text{C}$
Full-Scale Error	$V_{WFSE}$	Code = 0xFF	-6	-2.5	0	LSB
Zero-Scale Error	$V_{WZSE}$	Code = 0x00	0	2	6	LSB
<b>RESISTOR TERMINALS</b>						
Voltage Range <sup>5</sup>	$V_A, V_B, V_W$		GND		$V_{DD}$	V
Capacitance A, B <sup>6</sup>	$C_A, C_B$	$f = 1\text{ MHz}$ , measured to GND, code = 0x80		90		pF
Capacitance W <sup>6</sup>	$C_W$	$f = 1\text{ MHz}$ , measured to GND, code = 0x80		95		pF
Shutdown Supply Current <sup>7</sup>	$I_{A\_SD}$	$V_{DD} = 5.5\text{ V}$		0.01	1	$\mu\text{A}$
Common-Mode Leakage	$I_{CM}$	$V_A = V_B = V_{DD}/2$		1		nA
<b>DIGITAL INPUTS AND OUTPUTS</b>						
Input Logic High	$V_{IH}$	$V_{DD} = 5\text{ V}$	2.4			V
Input Logic Low	$V_{IL}$	$V_{DD} = 5\text{ V}$			0.8	V
Input Logic High	$V_{IH}$	$V_{DD} = 3\text{ V}$	2.1			V
Input Logic Low	$V_{IL}$	$V_{DD} = 3\text{ V}$			0.6	V
Input Current	$I_{IL}$	$V_{IN} = 0\text{ V or } 5\text{ V}$			$\pm 1$	$\mu\text{A}$
Input Capacitance <sup>6</sup>	$C_{IL}$			5		pF
<b>POWER SUPPLIES</b>						
Power Supply Range	$V_{DD\text{ RANGE}}$		2.7		5.5	V
Supply Current	$I_{DD}$	$V_{IH} = 5\text{ V or } V_{IL} = 0\text{ V}$		3	8	$\mu\text{A}$
Power Dissipation <sup>8</sup>	$P_{DISS}$	$V_{IH} = 5\text{ V or } V_{IL} = 0\text{ V}, V_{DD} = 5\text{ V}$			44	$\mu\text{W}$
Power Supply Sensitivity	PSS	$V_{DD} = +5\text{ V} \pm 10\%$ , code = midscale		$\pm 0.02$	$\pm 0.05$	%/%
<b>DYNAMIC CHARACTERISTICS<sup>6,9</sup></b>						
Bandwidth -3 dB	BW_5K	$R_{AB} = 5\text{ k}\Omega$ , code = 0x80		1.2		MHz
Total Harmonic Distortion	THD <sub>w</sub>	$V_A = 1\text{ V rms}, V_B = 0\text{ V}, f = 1\text{ kHz}$		0.1		%
$V_W$ Settling Time	$t_s$	$V_A = 5\text{ V}, V_B = 0\text{ V}, \pm 1\text{ LSB error band}$		1		$\mu\text{s}$
Resistor Noise Voltage Density	$e_{N\_WB}$	$R_{WB} = 2.5\text{ k}\Omega, R_S = 0$		6		nV/ $\sqrt{\text{Hz}}$

<sup>1</sup> Typ 値は、 $25^\circ\text{C}$  および  $V_{DD} = 5\text{ V}$  での平均測定値。

<sup>2</sup> 抵抗ポジション非直線性誤差 R-INL は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変更を表します。部品の単調性は保証されています。

<sup>3</sup>  $V_{AB} = V_{DD}$ 、wiper ( $V_W$ ) = 接続なし。

<sup>4</sup> INL と DNL は、RDAC を電圧出力 D/A コンバータと同じポテンシオメータ分圧器として設定して、 $V_W$  で測定。 $V_A = V_{DD}$  かつ  $V_B = 0\text{ V}$ 。

最大 $\pm 1\text{ LSB}$  の DNL 仕様値により単調動作状態を保証します。

<sup>5</sup> 抵抗ピン A、B、W の極性は相互に制約されません

<sup>6</sup> 設計上保証しますが、出荷テストは行いません。

<sup>7</sup> A ピンで測定。A ピンは、シャットダウン・モードでオープン。

<sup>8</sup>  $P_{DISS}$  は  $(I_{DD} \times V_{DD})$  から計算。CMOS ロジック・レベル入力は、最小消費電力になります。

<sup>9</sup> すべてのダイナミック特性では  $V_{DD} = 5\text{ V}$  を使用。

## 10 kΩ、50 kΩ、100 kΩバージョン

$V_{DD} = 5\text{ V} \pm 10\%$  or  $3\text{ V} \pm 10\%$ ,  $V_A = V_{DD}$ ,  $V_B = 0\text{ V}$ ,  $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ , 特に指定がない限り、.

表2.

Parameter	Symbol	Conditions	Min	Typ <sup>1</sup>	Max	Unit
<b>DC CHARACTERISTICS—RHEOSTAT MODE</b>						
Resistor Differential Nonlinearity <sup>2</sup>	R-DNL	$R_{WB}$ , $V_A = \text{no connect}$	-1	±0.1	+1	LSB
Resistor Integral Nonlinearity <sup>2</sup>	R-INL	$R_{WB}$ , $V_A = \text{no connect}$	-2	±0.25	+2	LSB
Nominal Resistor Tolerance <sup>3</sup>	$\Delta R_{AB}$	$T_A = 25^\circ\text{C}$	-30		+30	%
Resistance Temperature Coefficient	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	$V_{AB} = V_{DD}$ , wiper = no connect		45		ppm/°C
Wiper Resistance	$R_W$	$V_{DD} = 5\text{ V}$		50	120	Ω
<b>DC CHARACTERISTICS—POTENTIOMETER DIVIDER MODE (Specifications Apply to All VRs)</b>						
Differential Nonlinearity <sup>4</sup>	DNL		-1	±0.1	+1	LSB
Integral Nonlinearity <sup>4</sup>	INL		-1	±0.3	+1	LSB
Voltage Divider Temperature Coefficient	$(\Delta V_W/V_W)/\Delta T \times 10^6$	Code = 0x80		15		ppm/°C
Full-Scale Error	$V_{WFSE}$	Code = 0xFF	-3	-1	0	LSB
Zero-Scale Error	$V_{WZSE}$	Code = 0x00	0	1	3	LSB
<b>RESISTOR TERMINALS</b>						
Voltage Range <sup>5</sup>	$V_A, V_B, V_W$		GND		$V_{DD}$	V
Capacitance A, B <sup>6</sup>	$C_A, C_B$	f = 1 MHz, measured to GND, code = 0x80		90		pF
Capacitance W <sup>6</sup>	$C_W$	f = 1 MHz, measured to GND, code = 0x80		95		pF
Shutdown Supply Current	$I_{A\_SD}$	$V_{DD} = 5.5\text{ V}$		0.01	1	μA
Common-Mode Leakage	$I_{CM}$	$V_A = V_B = V_{DD}/2$		1		nA
<b>DIGITAL INPUTS AND OUTPUTS</b>						
Input Logic High	$V_{IH}$	$V_{DD} = 5\text{ V}$	2.4			V
Input Logic Low	$V_{IL}$	$V_{DD} = 5\text{ V}$			0.8	V
Input Logic High	$V_{IH}$	$V_{DD} = 3\text{ V}$	2.1			V
Input Logic Low	$V_{IL}$	$V_{DD} = 3\text{ V}$			0.6	V
Input Current	$I_{IL}$	$V_{IN} = 0\text{ V}$ or $5\text{ V}$			±1	μA
Input Capacitance <sup>6</sup>	$C_{IL}$			5		pF
<b>POWER SUPPLIES</b>						
Power Supply Range	$V_{DD\text{ RANGE}}$		2.7		5.5	V
Supply Current	$I_{DD}$	$V_{IH} = 5\text{ V}$ or $V_{IL} = 0\text{ V}$		3	8	μA
Power Dissipation <sup>7</sup>	$P_{DISS}$	$V_{IH} = 5\text{ V}$ or $V_{IL} = 0\text{ V}$ , $V_{DD} = 5\text{ V}$			44	μW
Power Supply Sensitivity	PSS	$V_{DD} = 5\text{ V} \pm 10\%$ , code = midscale		±0.02	±0.05	%/%
<b>DYNAMIC CHARACTERISTICS<sup>6, 8</sup></b>						
Bandwidth -3 dB	BW	$R_{AB} = 10\text{ k}\Omega/50\text{ k}\Omega/100\text{ k}\Omega$ , code = 0x80		600/100/40		kHz
Total Harmonic Distortion	THD <sub>W</sub>	$V_A = 1\text{ V rms}$ , $V_B = 0\text{ V}$ , f = 1 kHz, $R_{AB} = 10\text{ k}\Omega$		0.1		%
$V_W$ Settling Time (10 kΩ/50 kΩ/100 kΩ)	$t_S$	$V_A = 5\text{ V}$ , $V_B = 0\text{ V}$ , ±1 LSB error band		2		μs
Resistor Noise Voltage Density	$e_{N\_WB}$	$R_{WB} = 5\text{ k}\Omega$ , $R_S = 0$		9		nV/√Hz

<sup>1</sup> Typ 値は、25°C および  $V_{DD} = 5\text{ V}$  での平均測定値。

<sup>2</sup> 抵抗ポジション非直線性誤差 R-INL は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変更を表します。部品の単調性は保証されています。

<sup>3</sup>  $V_{AB} = V_{DD}$ 、wiper ( $V_W$ ) = 接続なし。

<sup>4</sup> INL と DNL は、RDAC を電圧出力 D/A コンバータと同じポテンショメータ分圧器として設定して、 $V_W$  で測定。  $V_A = V_{DD}$  かつ  $V_B = 0\text{ V}$ 。最大±1 LSB の DNL 仕様規定値は単調動作状態を保証。

<sup>5</sup> 抵抗ピン A、B、W の極性は相互間で制約されません。

<sup>6</sup> 設計上保証しますが、出荷テストは行いません。

<sup>7</sup>  $P_{DISS}$  は ( $I_{DD} \times V_{DD}$ ) から計算。CMOS ロジック・レベル入力は、最小消費電力になります。

<sup>8</sup> すべてのダイナミック特性では  $V_{DD} = 5\text{ V}$  を使用。

## タイミング特性

### 5 kΩ、10 kΩ、50 kΩ、100 kΩバージョン

$V_{DD} = 5\text{ V} \pm 10\%$  or  $3\text{ V} \pm 10\%$ ,  $V_A = V_{DD}$ ,  $V_B = 0\text{ V}$ ,  $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ , 特に指定がない限り、.

表3.

Parameter	Symbol	Conditions	Min	Typ <sup>1</sup>	Max	Unit
<b>I<sup>2</sup>C INTERFACE TIMING CHARACTERISTICS<sup>2,3,4</sup> (Specifications Apply to All Parts)</b>						
SCL Clock Frequency	$f_{SCL}$				400	kHz
$t_{BUF}$ Bus Free Time Between STOP and START	$t_1$		1.3			μs
$t_{HD,STA}$ Hold Time (Repeated START)	$t_2$	After this period, the first clock pulse is generated.	0.6			μs
$t_{LOW}$ Low Period of SCL Clock	$t_3$		1.3			μs
$t_{HIGH}$ High Period of SCL Clock	$t_4$		0.6			μs
$t_{SU,STA}$ Setup Time for Repeated START Condition	$t_5$		0.6			μs
$t_{HD,DAT}$ Data Hold Time	$t_6$				0.9	μs
$t_{SU,DAT}$ Data Setup Time	$t_7$		100			ns
$t_F$ Fall Time of Both SDA and SCL Signals	$t_8$				300	ns
$t_R$ Rise Time of Both SDA and SCL Signals	$t_9$				300	ns
$t_{SU,STO}$ Setup Time for STOP Condition	$t_{10}$		0.6			μs

<sup>1</sup> Typ 値は、25°C および  $V_{DD} = 5\text{ V}$  での平均測定値。

<sup>2</sup> 設計上保証しますが、出荷テストは行いません。

<sup>3</sup> 測定値の場所についてはタイミング図 (図 44) を参照してください。

<sup>4</sup> 標準 I<sup>2</sup>C モード動作はデザインにより保証。

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表4.

Parameter	Value
$V_{DD}$ to GND	-0.3 V to +7 V
$V_A$ , $V_B$ , $V_W$ to GND	$V_{DD}$
Terminal Current, A to B, A to W, B to W <sup>1</sup>	
Pulsed	±20 mA
Continuous	±5 mA
Digital Inputs and Output Voltage to GND	0 V to 7 V
Operating Temperature Range	-40°C to +125°C
Maximum Junction Temperature ( $T_{JMAX}$ )	150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec)	245°C
Thermal Resistance <sup>2</sup> $\theta_{JA}$ : SOT-23-8	230°C/W

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

<sup>1</sup> 最大ピン電流は、スイッチの最大処理電流、パッケージ最大消費電力、A ピン、B ピン、W ピン内の任意の2ピン間の、設定された抵抗での最大入力電圧により制約されます。

<sup>2</sup> パッケージ消費電力 =  $(T_{JMAX} - T_A) / \theta_{JA}$ 。

## ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

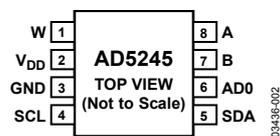


図3. ピン配置

表5. ピン機能の説明

ピン番号	記号	説明
1	W	W ピン。 $GND \leq V_W \leq V_{DD}$ 。
2	V <sub>DD</sub>	正の電源。
3	GND	デジタル・グラウンド。
4	SCL	シリアル・クロック入力。正のエッジ・トリガー。プルアップ抵抗が必要。
5	SDA	シリアル・データ入力/出力。プルアップ抵抗が必要。
6	AD0	2 個のデバイスをデコードするためのプログラマブルなアドレス・ビット 0。
7	B	B ピン。 $GND \leq V_B \leq V_{DD}$ 。
8	A	A ピン。 $GND \leq V_A \leq V_{DD}$ 。

## 代表的な性能特性

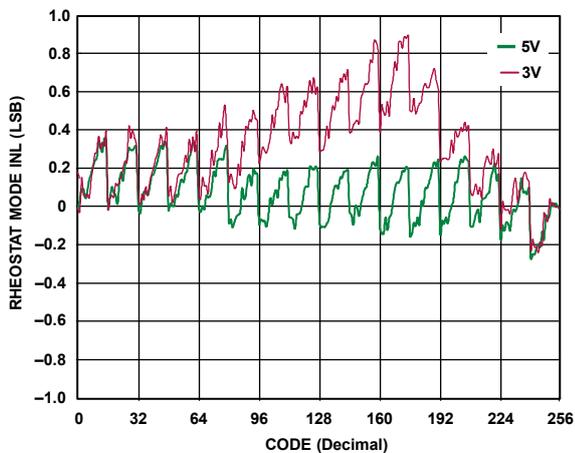


図4.コード対電源電圧対 R-INL

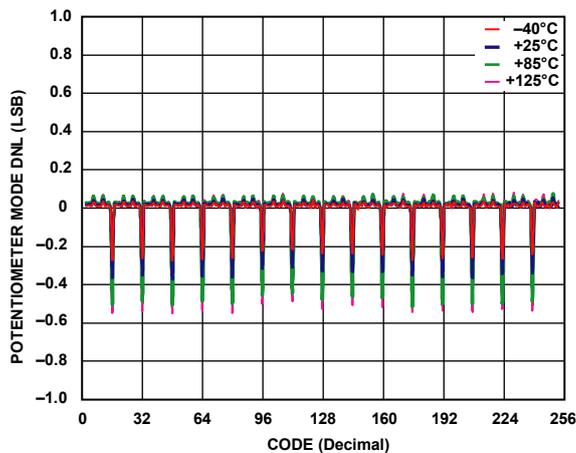


図7.コード対温度対 DNL、 $V_{DD} = 5V$

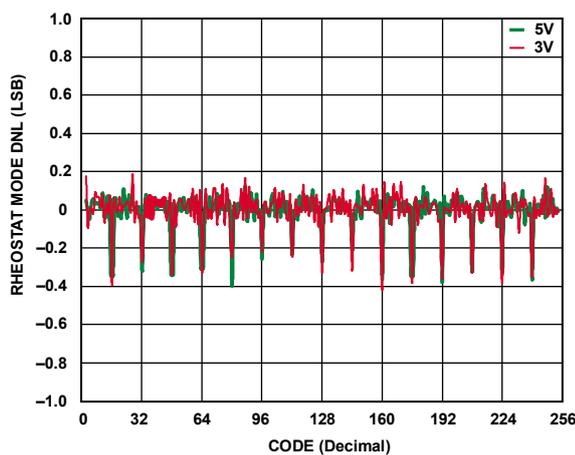


図5.コード対電源電圧対 R-DNL

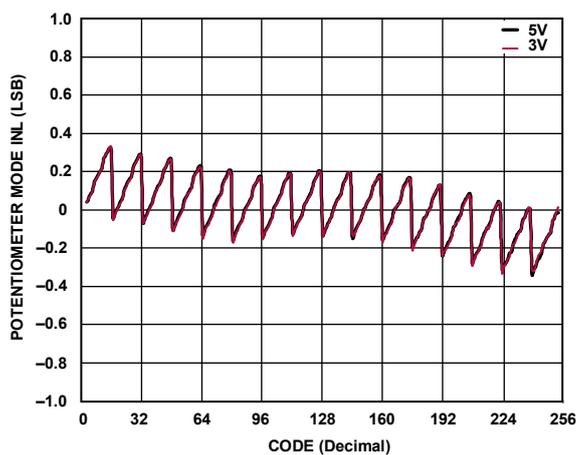


図8.コード対電源電圧対 INL

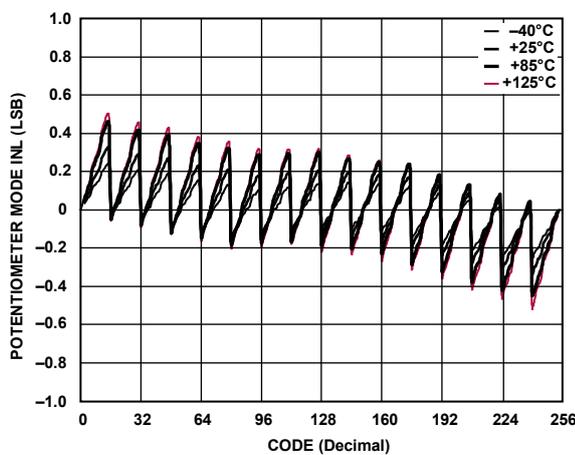


図6.コード対温度対 INL、 $V_{DD} = 5V$

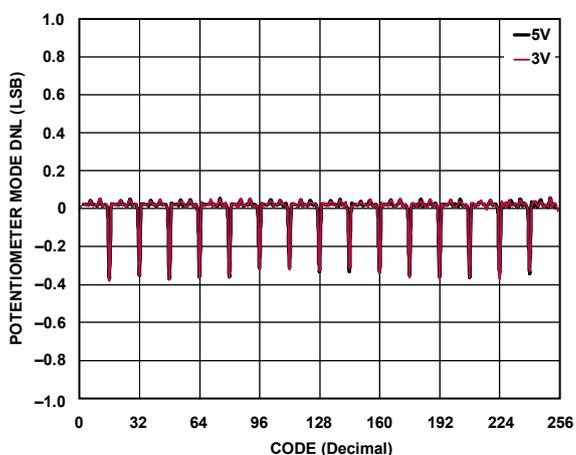


図9.コード対電源電圧対 DNL

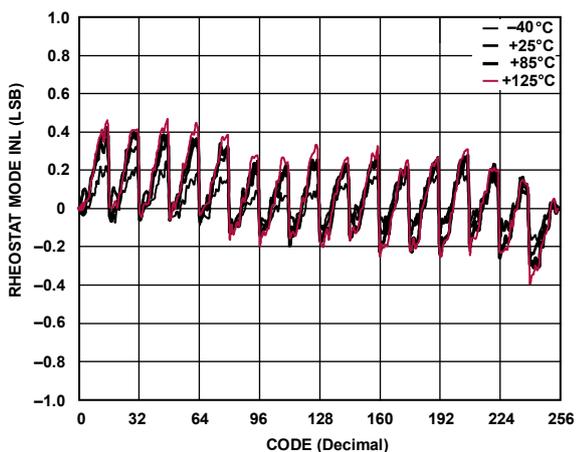


図10.コード対温度対 R-INL、 $V_{DD} = 5\text{ V}$

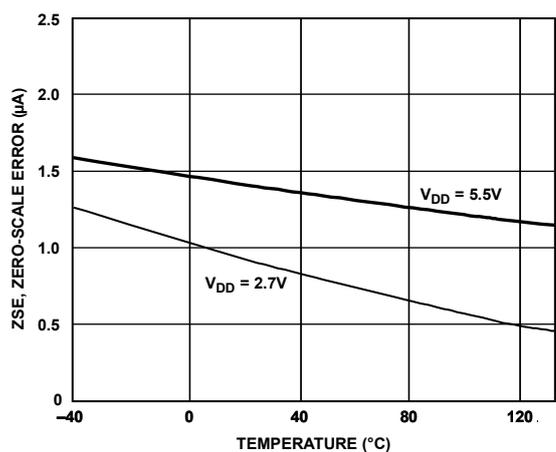


図13.ゼロ・スケール誤差の温度特性

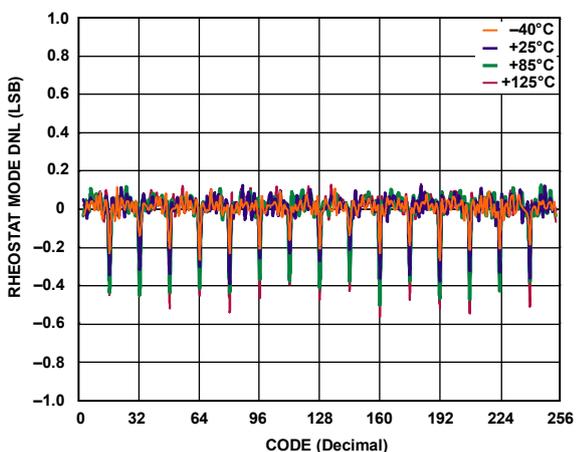


図11.コード対温度対 R-DNL、 $V_{DD} = 5\text{ V}$

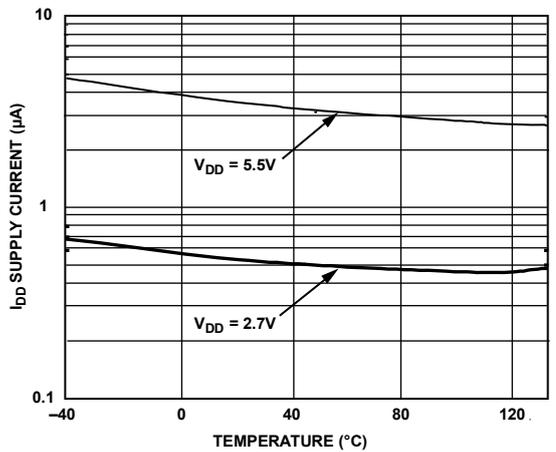


図14.電源電流の温度特性

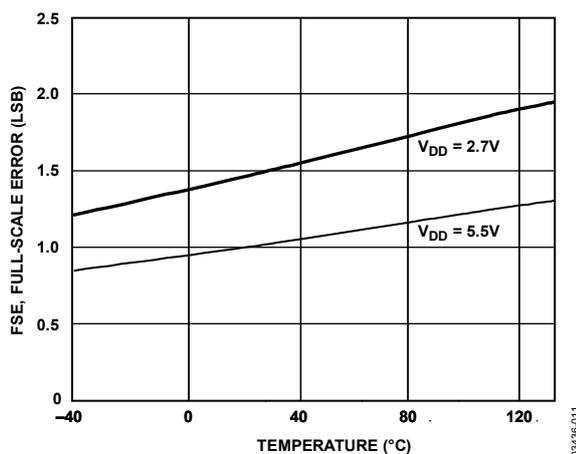


図12.フル・スケール誤差の温度特性

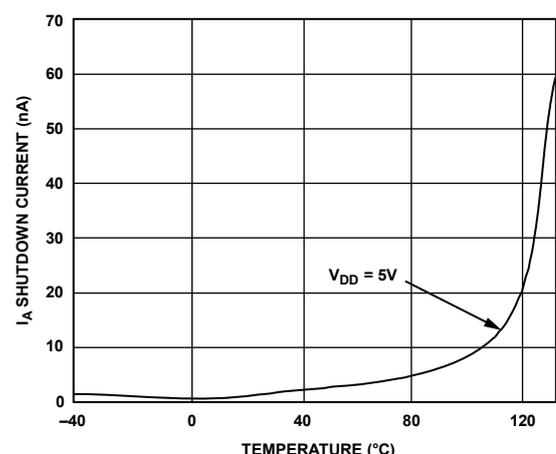


図15.シャットダウン電流の温度特性

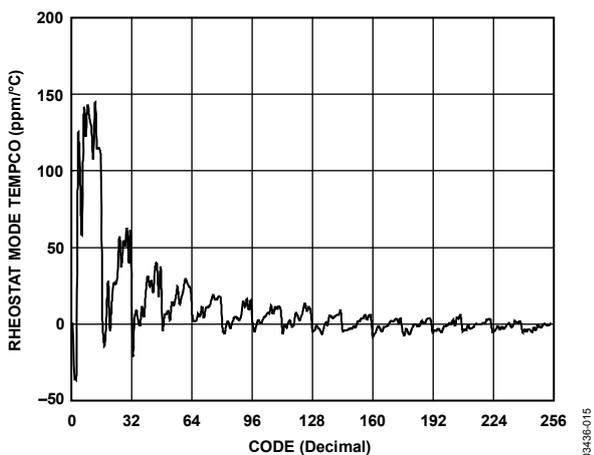


図16.コード対可変抵抗器モード温度係数 $\Delta R_{WB}/\Delta T$

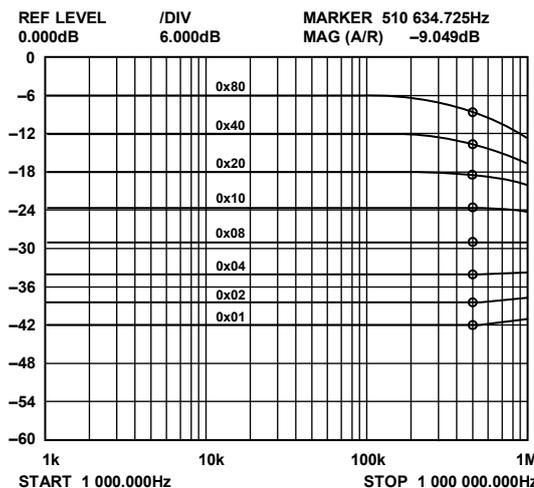


図19.周波数対コード対ゲイン、 $R_{AB} = 10 \text{ k}\Omega$

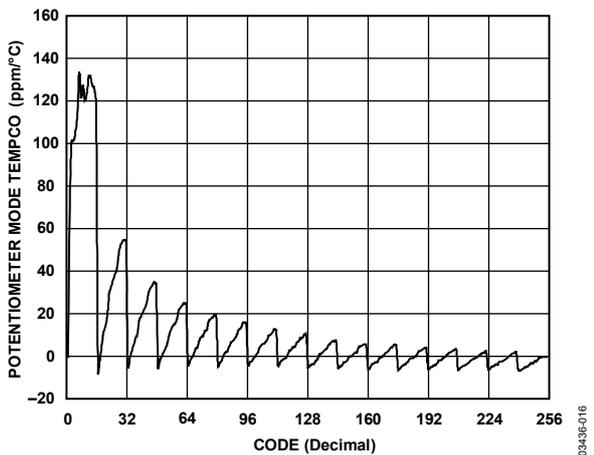


図17.コード対ポテンショメータ・モード温度係数 $\Delta V_{WB}/\Delta T$

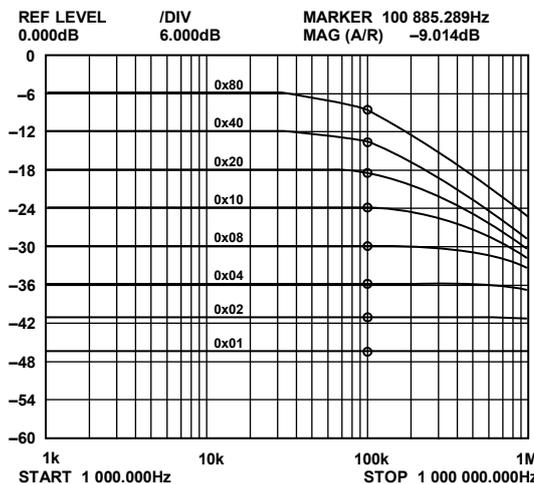


図20.周波数対コード対ゲイン、 $R_{AB} = 50 \text{ k}\Omega$

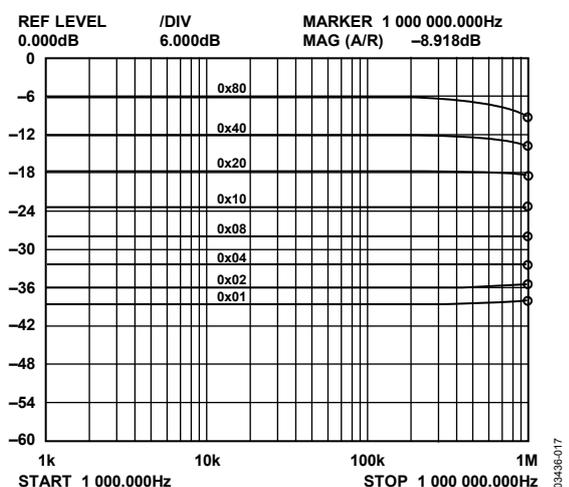


図18.周波数対コード対ゲイン、 $R_{AB} = 5 \text{ k}\Omega$

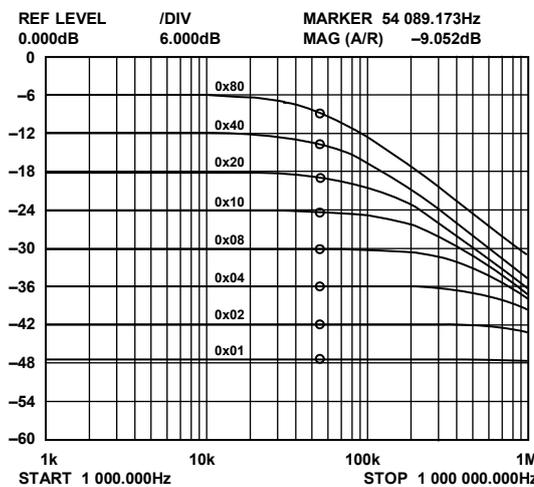


図21.周波数対コード対ゲイン、 $R_{AB} = 100 \text{ k}\Omega$

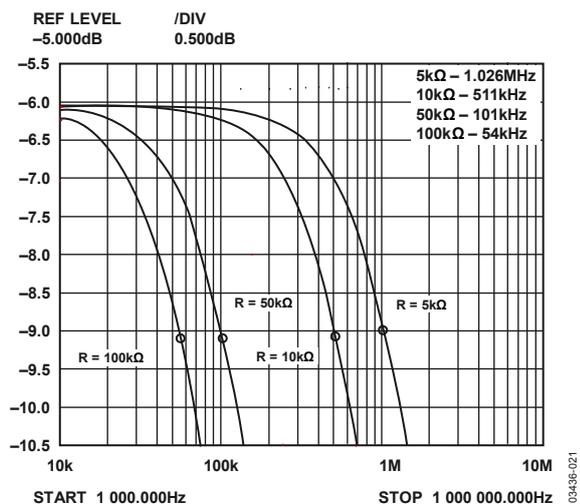


図22.-3 dB 帯域幅、コード = 0x80

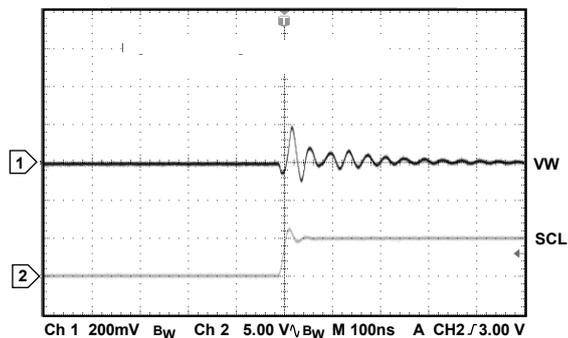


図25.大信号セトリング・タイム、コード 0xFF ≥ 0x00

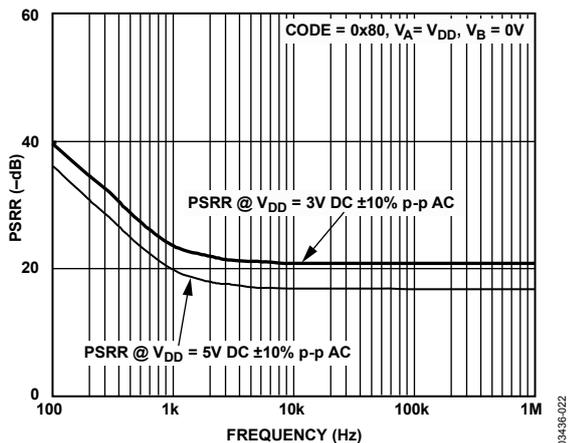


図23.PSRR の周波数特性

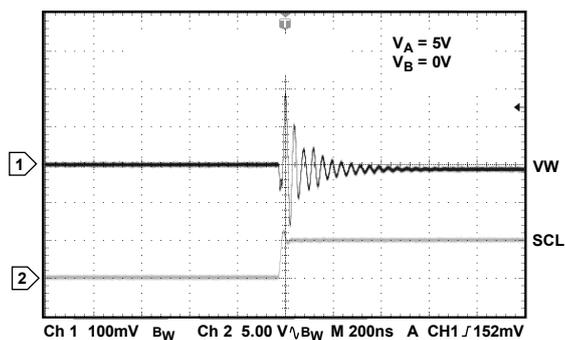


図26.デジタル・フィードスルー

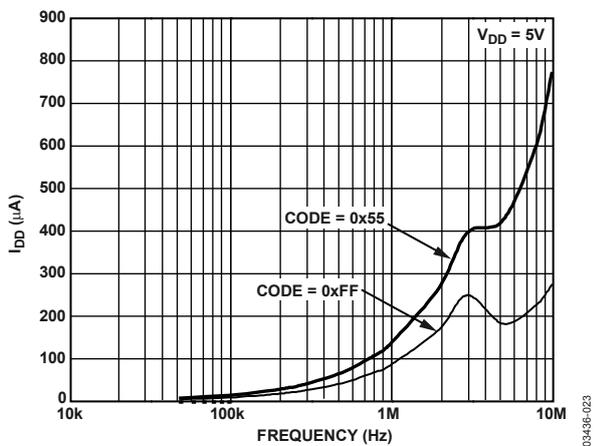


図24.I<sub>DD</sub> の周波数特性

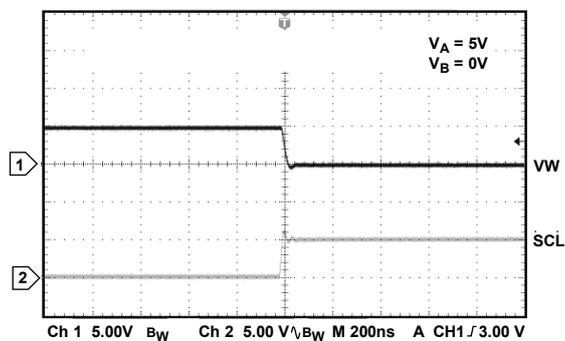


図27.ミッドスケール・グリッチ、コード 0x80 ≥ 0x7F

## テスト回路

図 28 ～図 34に、製品仕様表(表 1～表 3)で使用したテスト条件を決  
定するテスト回路を示します。

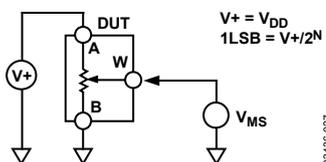


図28.ポテンショメータ分圧器非直線性誤差(INL、DNL)のテ  
スト回路

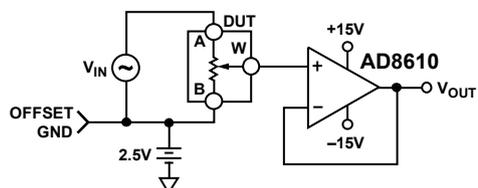


図32.ゲイン周波数特性のテスト回路

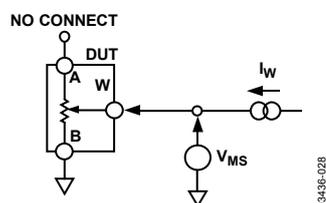


図29.抵抗ポジション非直線性誤差(可変抵抗器動作; R-INL、  
R-DNL)のテスト回路

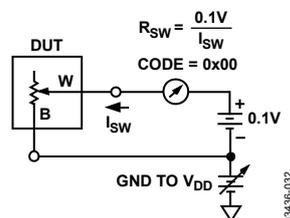


図33.インクリメンタル・オン抵抗のテスト回路

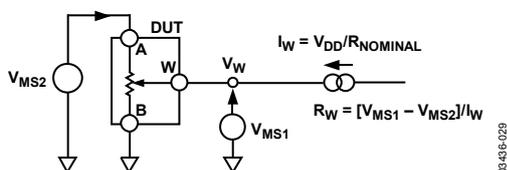


図30.ワイパー抵抗のテスト回路

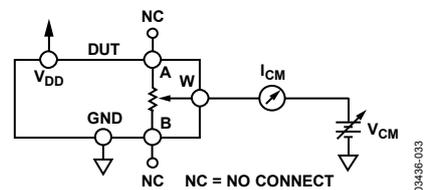


図34.コモン・モード・リーク電流のテスト回路

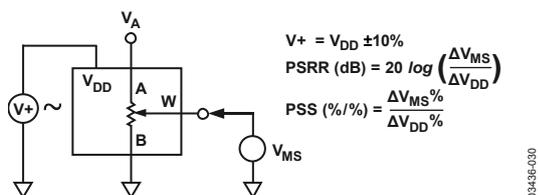


図31.電源感度(PSS、PSSR)のテスト回路

## 動作原理

AD5245 は、256 ポジション・デジタル制御型可変抵抗(VR)デバイスです。

パワーオン時に内部パワーオン・プリセット機能がワイパーをミッドスケールに設定するため、パワーアップ時の故障状態からの回復が簡素化されます。

## 可変抵抗のプログラミング

### 可変抵抗器動作

ピン A とピン B の間の RDAC の公称抵抗が 5 k $\Omega$ 、10 k $\Omega$ 、50 k $\Omega$ 、100 k $\Omega$  の製品を提供しています。VR の公称抵抗( $R_{AB}$ )は 256 個の接点を持ち、ワイパー・ピンと B ピン接点によりアクセスされます。RDAC ラッチ内の 8 ビット・データがデコードされて、256 通りの設定の内の 1 つを選択します。

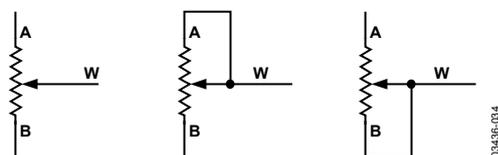


図35.可変抵抗器モードの構成

10k $\Omega$  の製品を使用する場合、ワイパーの最初の接続はデータ 0x00 に対して B ピンから開始されます。50  $\Omega$  のワイパー・コンタクト抵抗が存在するため、このような接続では W ピンと B ピンの間に最小 100  $\Omega$  ( $2 \times 50 \Omega$ )の抵抗が発生します。2 番目の接続は最初のタップ・ポイントであり、ここではデータ 0x01 に対して 139  $\Omega$  ( $R_{WB} = R_{AB}/256 + 2 \times R_W = 39 \Omega + 2 \times 50 \Omega$ )になります。3 番目の接続は次のタップ・ポイントで、データ 0x02 に対して 178  $\Omega$  ( $2 \times 39 \Omega + 2 \times 50 \Omega$ )となり、以後同様に続きます。LSB データ値の各増加により、ワイパーは抵抗ラダーを上を移動し、最後のタップ・ポイント 10,100  $\Omega$  ( $R_{AB} + 2 \times R_W$ )に到達するまで移動します。

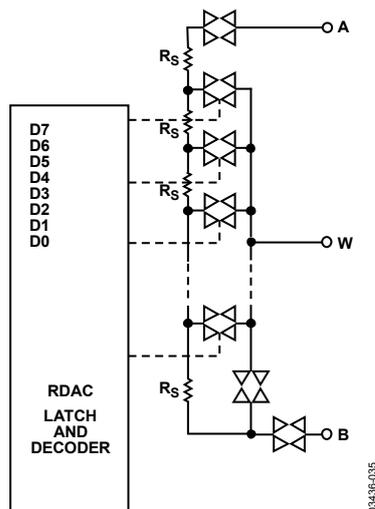


図36.AD5245 等価 RDAC 回路

デジタル的にプログラムした W と B の間の出力抵抗を決定する一般式は、次のようになります。

$$R_{WB}(D) = \frac{D}{256} \times R_{AB} + 2 \times R_W \quad (1)$$

ここで、  
D は、8 ビット RDAC レジスタにロードされるバイナリ・コード・データの 10 進数表示。

$R_{AB}$  はピン間抵抗。

$R_W$  は、内部スイッチのオン抵抗から発生するワイパー抵抗。

すなわち、 $R_{AB} = 10 \text{ k}\Omega$ 、かつ A ピンがオープンの場合は、次の出力抵抗  $R_{WB}$  が次に示す RDAC ラッチ・コードに対して設定されます。

表6.コードと対応する  $R_{WB}$  抵抗値

D (Dec.)	$R_{WB}$ ( $\Omega$ )	Output State
255	9,961	Full Scale ( $R_{AB} - 1 \text{ LSB} + R_W$ )
128	5,060	Midscale
1	139	1 LSB
0	100	Zero Scale (Wiper Contact Resistance)

ゼロ・スケール状態では、有限なワイパー抵抗 100 $\Omega$  があることに注意してください。この状態での W と B との間の電流レベルが、20 mA 以下の最大パルス電流となるように注意してください。そうしないと、内部スイッチ・コンタクトの性能低下または破壊が生ずる恐れがあります。

メカニカル・ポテンシオメータと同様に、ワイパー W とピン A との間の RDAC 抵抗も、デジタルに制御された相補的な抵抗  $R_{WA}$  を発生します。これらのピンを使うときは、B ピンをオープンのままにしておくことができます。 $R_{WA}$  抵抗値に対する設定は、最大値抵抗から開始されて、ラッチにロードされたデータの値が大きくなるとともに小さくなります。この動作の一般式は次のようになります。

$$R_{WA}(D) = \frac{256 - D}{256} \times R_{AB} + 2 \times R_W \quad (2)$$

$R_{AB} = 10 \text{ k}\Omega$ 、かつ B ピンがオープンの場合は、次の出力抵抗  $R_{WA}$  が次に示す RDAC ラッチ・コードに対して設定されます。

表7.コードと対応する  $R_{WA}$  抵抗値

D (Dec.)	$R_{WA}$ ( $\Omega$ )	Output State
255	139	Full Scale
128	5,060	Midscale
1	9,961	1 LSB
0	10,060	Zero Scale

デバイス間のマッチングは、プロセス・ロットに依存し、ワーストケースで  $\pm 30\%$  変動します。抵抗素子は薄膜技術を使ってプロセスされるため、 $R_{AB}$  の温度変化は非常に小さく、45 ppm/ $^{\circ}\text{C}$  の温度係数になります。

## ポテンシオメータ分圧器のプログラミング

### 電圧出力動作

デジタル・ポテンシオメータは、A—B間の入力電圧に比例した分圧電圧を W—B間および W—A間に容易に発生することができます。GND に対する  $V_{DD}$  の極性(これは正極性)とは異なり、B に対する A、A に対する W、B に対する W の各電圧にはいずれの極性も可能です。

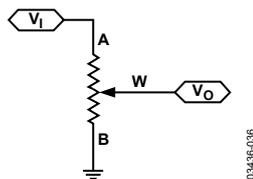


図37.ポテンシオメータ・モード構成

近似のためにワイパー抵抗の影響を無視する場合、Aピンを5Vに、Bピンをグラウンドにそれぞれ接続すると、W-B間に0Vから開始して5Vより1LSB低い値までの出力電圧が発生します。電圧の各LSBは、ピンAとピンBに加えた電圧をポテンシオメータ分圧器のポジション数256で除算した値に等しくなります。ピンAとピンBに与えられた任意の入力電圧に対して、グラウンドを基準とした $V_W$ の出力電圧を決める式は、次のように表されます。

$$V_W(D) = \frac{D}{256} V_A + \frac{256-D}{256} V_B \quad (3)$$

ワイパー抵抗の影響 $V_W$ を含む正確な計算は、次式を使います。

$$V_W(D) = \frac{R_{WB}(D)}{R_{AB}} V_A + \frac{R_{WA}(D)}{R_{AB}} V_B \quad (4)$$

分圧器モードでのデジタル・ポテンシオメータの動作は、温度に対して正確な動作になります。可変抵抗器モードと異なり、出力電圧は内部抵抗 $R_{WA}$ と $R_{WB}$ の比に依存し、絶対値ではありません。したがって、温度ドリフトは15ppm/°Cに減少します。

## ESD保護

すべてのデジタル入力は、直列入力抵抗と並列ツェナーESD構造で保護されています(図38と図39参照)。これは、デジタル入力ピンSDA、SCL、AD0にも適用されています。

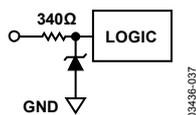


図38.デジタル・ピンのESD保護

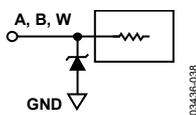
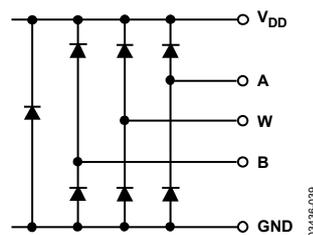


図39.抵抗ピンのESD保護

## ピン電圧の動作範囲

AD5245の $V_{DD}$ 電源とGNDにより、3端子デジタル・ポテンシオメータ動作の動作範囲が決定されます。 $V_{DD}$ またはGNDを超えてピンA、ピンB、ピンWに入力される電源信号は、内蔵の順方向バイアス・ダイオードによりクランプされます(図40参照)。

図40. $V_{DD}$ とGNDにより設定される最大ピン電圧

## パワーアップ・シーケンス

ピンA、B、Wでの電圧コンプライアンスを制限するESD保護ダイオードが内蔵されているため(図40)、ピンA、B、Wに電圧を加える前に $V_{DD}$ とGNDに先に電圧を加えることが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずに $V_{DD}$ に電源が接続されてしまうため、ユーザー回路の他の部分に影響を与えてしまいます。最適なパワーアップ・シーケンスは、GND、 $V_{DD}$ 、デジタル入力、 $V_A$ 、 $V_B$ 、 $V_W$ の順序です。 $V_A$ 、 $V_B$ 、 $V_W$ 、デジタル入力の電源投入の相対的順序は、 $V_{DD}$ とGNDの投入後であれば、重要ではありません。

## レイアウトと電源のバイパス

小型かつ最短の線によるレイアウト・デザインは重要です。入力までの線は、最小の導体長で可能な限り真っ直ぐにします。グラウンド・パスの抵抗とインダクタンスは小さくする必要があります。

同様に、高品質のコンデンサを使って電源をバイパスして最適な安定性を得ることも重要です。デバイスまでの電源線は、 $0.01\mu\text{F}$ ~ $0.1\mu\text{F}$ のディスク型またはチップ型セラミック・コンデンサを使ってバイパスする必要があります。小さいESRを持つ $1\mu\text{F}$ ~ $10\mu\text{F}$ のタンタル・コンデンサまたは電解コンデンサも電源に接続して、過渡電圧と低周波リップルを抑える必要があります(図41)。デジタル・グラウンドも、離れたところでアナログ・グラウンドに一点で接続して、グラウンド・バウンスを小さくする必要があります。ことに注意してください。

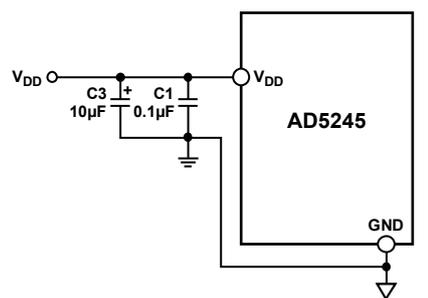


図41.電源のバイパス

## 抵抗設定値を維持する一定バイアス

揮発性が必要であるがEEMEM使用によるコスト増を許容できない場合には、一定バイアスでワイパー設定値を維持させることにより、AD5245を低価格の代替品として使うことを検討してください。AD5245は特に低消費電力を念頭にデザインされているため、バッテリー駆動のシステムでも低消費電力が可能です。図42に、AD5245に接続した3.4V、450mA-hrの携帯電話リチウム・イオン・バッテリーでの消費電力を示します。時間に対する測定では、デバイスの消費電流は約1.3μAで、消費電力は無視できることが

示されています。30日間のバッテリー低下は2%以下で、その大部分はバッテリー自体の固有なリーク電流に起因しています。

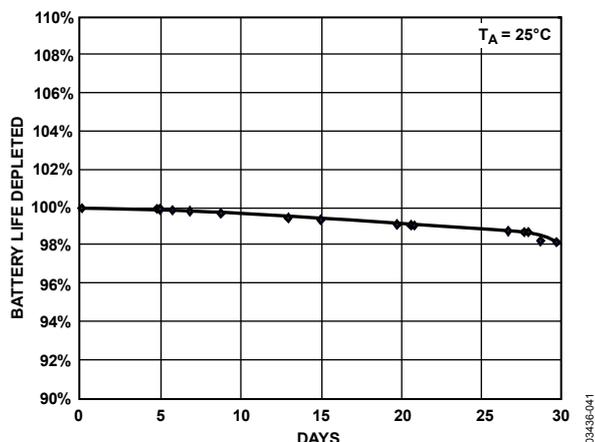


図42. バッテリー動作寿命低下

これは、ポテンショメータに一定バイアスを与える方法が実用的であることを示しています。大部分の携帯型機器では、充電のためにバッテリーを取り外す必要はありません。

バッテリー交換により AD5245 の抵抗設定値が失われたとしても、このようなことが発生する頻度が小さいため、このような不便は AD5245 の低価格と小型サイズの利点により補うことができます。電源が完全に失われる場合は、設定値を調節する方法を用意する必要があります。

## 評価ボード

Windows® 98/2000/XPが動作するPCからAD5245を設定するために、必要なすべてのソフトウェアが添付された評価ボードを提供しています。使い易いグラフィカル・ユーザ・インターフェース(図43)を採用しています。詳細については、ボードに添付されているユーザ・マニュアルをご覧ください。

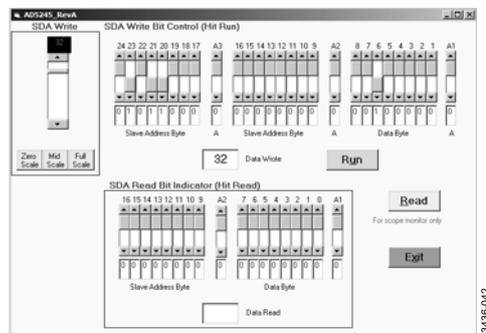


図43. AD5245 評価ボードのソフトウェア

AD5245 は、パワーアップ後ミッドスケールから動作を開始します。抵抗をインクリメントまたはデクリメントするときは、左側のスクロール・バーを移動するだけで済みます。特定の値を書き込むときは、スクリーン上部のビット・パターンを使って、Runボタンをクリックします。デバイスに対する書き込みデータのフォーマットを表8に示します。デバイスからデータを読み出すときは、Readボタンをクリックするだけで済みます。読み出しビットのフォーマットを表9に示します。

## I<sup>2</sup>Cインターフェース

### I<sup>2</sup>C互換 2 線式シリアル・バス

2 線式 I<sup>2</sup>C シリアル・バス・プロトコルは、次のように動作します。

1. マスターはスタート条件を設定してデータ転送を開始します。このスタート条件は、SCLがハイ・レベルの間にSDAラインがハイ・レベルからロー・レベルへ変化することと定義されます(図 45参照)。次のバイトはスレーブ・アドレス・バイトで、7 ビットのスレーブ・アドレス、それに続くR/Wビットから構成されます。R/Wビットは、スレーブ・デバイスに対するデータの読み出し/書き込みを指定します。AD5245には設定可能なアドレス・ビットAD0があります(表 8)。

送信対象アドレスに該当するアドレスを持つスレーブは9番目のクロック・パルスで、SDAラインをロー・レベルにして応答します(これはアクノリッジ・ビットと呼ばれます)。選択されたデバイスがシリアル・レジスタに読み書きするデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。R/Wビットがハイ・レベルの場合は、マスターがスレーブ・デバイスから読み出しを行います。R/Wビットがロー・レベルの場合は、マスターがスレーブ・デバイスに対して書き込みを行います。

2. 書き込みモードでは、2番目のバイトが命令バイトです。命令バイトの最初のビット(MSB)はdon't careです。

RS(2番目のMSB)は、ミッドスケール・リセットです。このビットがロジック・ハイになると、ワイパーがセンタ・タップに移動します( $R_{WA} = R_{WB}$ )。この機能が実質的にレジスタ値を上書きするため、リセット・モードから抜け出すとき、RDACはミッドスケールを維持します。

SD(3番目のMSB)は、シャットダウン・ビットです。ロジック・ハイになると、ピンAがオープンになり、ワイパーとピンBが短絡します。この動作により、可変抵抗器モードではほぼ0Ωが、またはポテンショメータ・モードでは0Vが、それぞれ発生されます。シャットダウン動作によりレジスタ値が影響を受けることがないことに注意することは重要です。シャットダウンから抜け出すとき、前の設定値がRDACに適用されます。シャットダウン中にも、新しい設定値を設定することができます。デバイスがシャットダウンから抜け出すとき、対応するVR設定値がRDACに適用されます。

命令バイトの残りのビットはdon't careです(表 8参照)。

3. 命令バイトをアクノリッジした後の、書き込みモードの最後のバイトはデータ・バイトになります。データは、9個のクロック・パルスで8ビットのデータとそれに続くアクノリッジ・ビットの順にシリアル・バス上を伝送します。SDAラインはSCLのロー・レベル区間で変化して、SCLのハイ・レベル区間で安定に維持されている必要があります(図 45参照)。
4. 読み出しモードでは、データ・バイトがスレーブ・アドレス・バイトのアクノリッジメントの直後に続きます。データは、9個のクロック・パルスでシリアル・バス上を伝送します(8ビットのデータの後ろにアクノリッジ・ビットが続く書き込みモードとは少し違います)。同様に、SDAラインはSCLのロー・レベル区間で変化して、SCLのハイ・レベル区間で安定に維持されている必要があります(図 46参照)。
5. 全データ・ビットの読み出しまたは書き込みが終わると、マスターによりストップ条件が設定されます。ストップ条件は、SCLのハイ・レベル中にSDAラインがロー・レベルからハイ・レベルへ変化することとして定義されます。書き込みモードでは、マスターが10番目のクロック・パルスでSDAラインをハイ・レベルにして、ストップ条件を設定します(図 45)。読み出しモードでは、マスターは9番目のクロック・パルスでアクノリッジを発行しません(SDAラインがハイ・レベルを維持)。その後、マスターはSDAラインをロー・レベルにして、10番目のクロック・パルスがハイ・レベルになるときストップ条件を設定します(図 46)。

繰り返し書き込み機能は、デバイスに対するアドレッシング指定と指示を1回行うだけで、RDAC出力を反復更新する柔軟性を提供します。例えば、書き込みモードでRDACがスレーブ・アドレスと命令バイトをアクノリッジした後、RDAC出力が各後続バイトごとに更新されます。別の命令が必要な場合は、新しいスレーブ・アドレス、命令、データ・バイトで書き込み/読み出しモードを再起動させる必要があります。同様に、RDACの繰り返し読み出し機能も使うことができます。

表8.書き込みモード

S	0	1	0	1	1	0	AD0	$\bar{W}$	A	X	RS	SD	X	X	X	X	X	A	D7	D6	D5	D4	D3	D2	D1	D0	A	P
Slave Address Byte									Instruction Byte									Data Byte										

表9.読み出しモード

S	0	1	0	1	1	0	AD0	R	A	D7	D6	D5	D4	D3	D2	D1	D0	A	P
Slave Address Byte									Data Byte										

S=スタート条件  
P=ストップ条件  
A=アクノリッジ  
X=Don't care  
 $\bar{W}$ =書き込み

R=読み出し  
RS=ワイパーをミッドスケールへリセット 0x80  
SD=シャットダウンにより、ワイパーが B ピンに接続され、A ピンがオープンになりますが、ワイパー・レジスタ値は変化しません  
D7、D6、D5、D4、D3、D2、D1、D0=データ・ビット

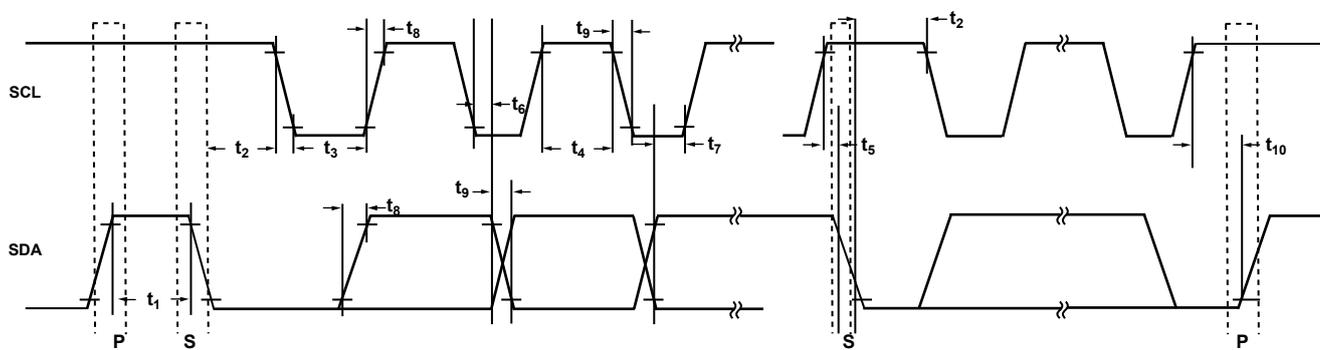


図44.I<sup>2</sup>C インターフェースの詳細タイミング図

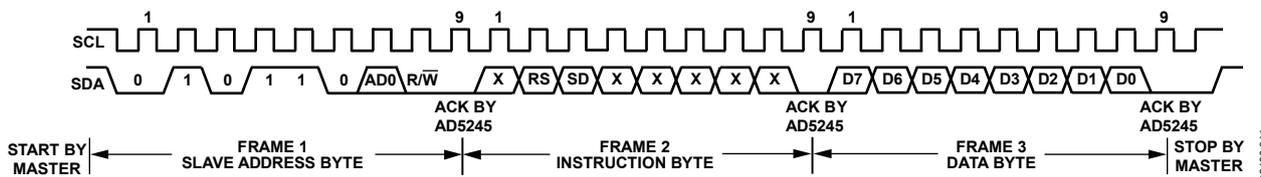


図45.RDAC レジスタへの書き込み

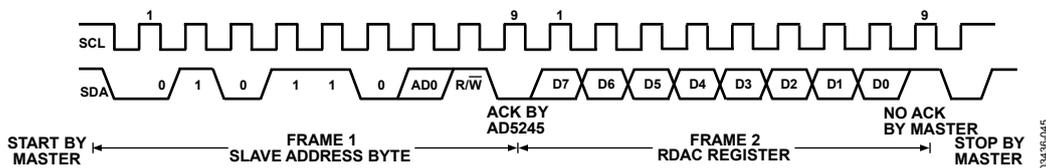


図46.書き込みモードで選択済みの RDAC レジスタからのデータの読み出し

### 1本のバスに複数デバイスを接続

図 47 に、同じシリアル・バス上での 2 個の AD5245 デバイスの接続を示します。AD0 ピンの状態が異なるため各々は異なるスレーブ・アドレスを持ちます。これため、各デバイスの RDAC の書き込みまたは読み出しを独立に行うことができます。マスター・デバイスの出力バス・ライン・ドライバは、I<sup>2</sup>C フル互換インターフェース内でオープン・ドレイン・プルダウンされます。

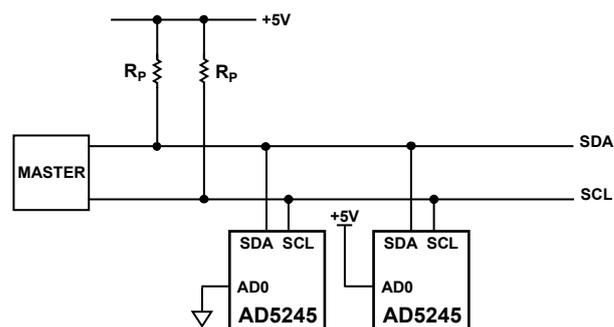


図47.1 本の I<sup>2</sup>C バスに接続した複数の AD5245

0338-046

外形寸法

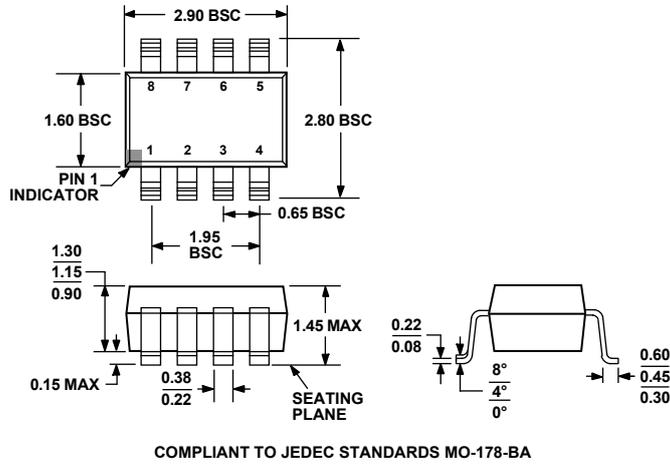


図48.8 ピン・スモール・アウトライン・トランジスタ・パッケージ[SOT-23]  
(RJ-8)  
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding	R <sub>AB</sub> (Ω)	Ordering Quantity
AD5245BRJ5-R2	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0G	5 k	250
AD5245BRJ5-RL7	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0G	5 k	3,000
AD5245BRJZ5-R2 <sup>1</sup>	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0G	5 k	250
AD5245BRJZ5-RL7 <sup>1</sup>	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0G	5 k	3,000
AD5245BRJ10-R2	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0H	10 k	250
AD5245BRJ10-RL7	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0H	10 k	3,000
AD5245BRJZ10-R2 <sup>1</sup>	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0H	10 k	250
AD5245BRJZ10-RL7 <sup>1</sup>	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0H	10 k	3,000
AD5245BRJ50-R2	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0J	50 k	250
AD5245BRJ50-RL7	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0J	50 k	3,000
AD5245BRJZ50-R2 <sup>1</sup>	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0J	50 k	250
AD5245BRJZ50-RL7 <sup>1</sup>	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0J	50 k	3,000
AD5245BRJ100-R2	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0K	100 k	250
AD5245BRJ100-RL7	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0K	100 k	3,000
AD5245BRJZ100-R2 <sup>1</sup>	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0K	100 k	250
AD5245BRJZ100-RL7 <sup>1</sup>	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0K	100 k	3,000
AD5245EVAL <sup>2</sup>		Evaluation Board				

<sup>1</sup> Z = 鉛フリー・デバイス。

<sup>2</sup> 評価ボードは R<sub>AB</sub> = 10 kΩ の抵抗オプションで出荷されますが、ボードは使用可能なすべての抵抗値オプションと互換性があります。

ライセンスを受けたアナログ・デバイスまたはサブライセンスを受けた関連会社の 1 つから I<sup>2</sup>C 部品を購入すると、Phillips 社の制定する I<sup>2</sup>C 標準仕様にシステムが準拠している場合、I<sup>2</sup>C システム内でこれらのデバイスを使うための Phillips 社の I<sup>2</sup>C 特許権のもとにライセンスが購入者に移転されます。