

### 特長

- 不揮発メモリーのプリセットによりワイパーの設定を維持
- デュアル・チャンネル、256ポジションの分解能
- 完全な単調動作、DNL<1LSB
- 端子間抵抗:10k、50k、100k
- リニアまたはログのテーパ設定
- プッシュ・ボタンによるインクリメント / デクリメントと互換性
- リードバック機能付きのSPIコンパチブルなシリアル・データ入力
- +3 ~ +5V単電源または±2.5V両電源動作
- 連続的に格納できる14バイトのユーザーEEMEM不揮発メモリー
- ライト・プロテクション付きパーマメント・メモリー
- T<sub>A</sub>=55 でのデータ保持の代表値:100年

### アプリケーション

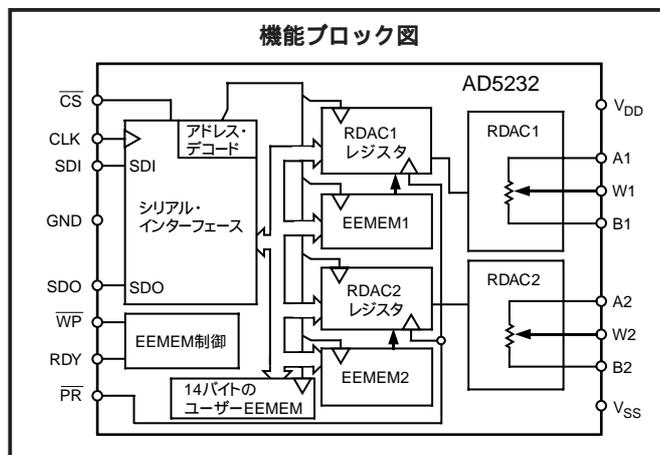
- 機械的ポテンシオメータの置換部品
- 計測機器:ゲイン、オフセット調整
- プログラマブルな電圧 / 電流変換
- プログラマブルなフィルタ、遅延、時定数
- ライン・インピーダンス・マッチング
- 電源調整
- DIPスイッチによる設定

### 概要

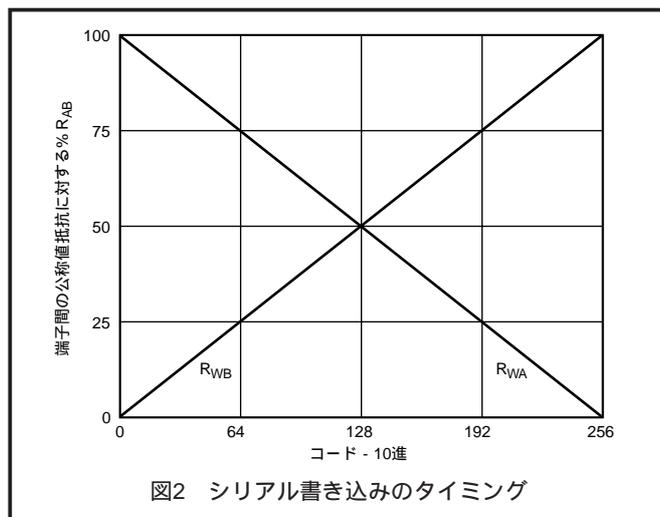
AD5232は、256ポジション分解能の、不揮発性デュアル・チャンネルのデジタル制御可変抵抗器です。ポテンシオメータ または可変抵抗器と同様の電子的調整機能を持っています。AD5232はマイクロコントローラを介して柔軟に制御でき、複数の動作モードおよび調整が可能です。ダイレクト・プログラミング・モードでは、マイクロコントローラから予め設定されたRDACレジスタの値を直接ロードできます。もう一つのキー・モード動作では、予め設定されたEEMEMレジスタの内容によって、RDACレジスタのリフレッシュを行えます。新しいワイパーのポジションを確定するためにRDACレジスタ値が変更されるときには、EEMEMのセーブ動作によって、設定値をEEMEMに書き込むことができます。EEMEMレジスタに設定がセーブされると、これらの値は自動的にRDACレジスタに転送されて、システムのパワーオン時におけるワイパー・ポジションが設定されます。このような動作は、内部のプリセット・ストローブにより行われ、プリセットされた値は外部からもアクセスが可能となります。

すべての内部レジスタの値は、シリアル・データ出力経由で読み出せます。これには、RDAC1およびRDAC2レジスタ 対応する不揮発のEEMEM1およびEEMEM2レジスタ、連続的な格納の

\*特許出願中



ための14の予備ユーザーEEMEMレジスタが含まれます。調整の基本モードは、ワイパー・ポジション設定(RDAC)レジスタの現行の設定をインクリメント / デクリメントして制御するためのコマンドです。内部スクラッチ・パッドのすべてのRDACレジスタは、端子AおよびBの間の公称端子間抵抗値の1ステップごとに増加 / 減少させることができます。これにより、デバイスの両端の間の抵抗値(R<sub>AB</sub>)の1ポジションごとに、ワイパーとB端子の間の抵抗(R<sub>WB</sub>)を直線的に変化させることができます。ワイパーの設定の指数的または対数的な変更については、left/rightのシフト・コマンドにより、電圧レベルを±6dBステップで調整でき、オーディオおよび光アラームのアプリケーションで有効に使用することができます。AD5232は、薄型16ピンTSSOPパッケージで提供されます。すべての部品は、拡張工業温度範囲 - 40 ~ + 85 で動作保証されています。評価ボード(D5232EVAL)も販売されています。



アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

# AD5232 仕様

## 電気的特性 (10k、50k、100k バージョン)

特に指定のない限り、 $V_{DD}=3V \pm 10\%$ または $5V \pm 10\%$ 、 $V_{SS}=0V$ 、 $V_A=+V_{DD}$ 、 $V_B=0V$ 、 $-40 < T_A < +85$  )

パラメータ	記号	条件	Min	Typ <sup>1</sup>	Max	単位
<b>DC特性</b>						
加減抵抗器モード - 全VRについての仕様						
抵抗器微分非直線性 <sup>2</sup>	R-DNL	$R_{WB}, V_A=NC$	- 1	+1/2	+1	LSB
抵抗器非直線性 <sup>2</sup>	R-INL	$R_{WB}, V_A=NC$	- 0.4		+0.4	%FS
公称抵抗値誤差	$R_{AB}$		- 40		+20	%
抵抗値温度係数	$R_{AB}/T$			600		ppm/
ワイパー抵抗値	$R_W$	$I_W=100 \mu A, V_{DD}=5.5V, Code=1E_H$		5	100	
	$R_W$	$I_W=100 \mu A, V_{DD}=3V, Code=1E_H$		200		
<b>ポテンショメータ分圧モード - 全VRについての仕様</b>						
分解能	N		8			ビット
微分非直線性 <sup>3</sup>	DNL		- 1	$\pm 1/2$	+1	LSB
積分非直線性 <sup>3</sup>	INL		- 0.4		+0.4	%FS
分圧器温度係数	$V_W/T$	Code=ハーフ・スケール		15		ppm/
フルスケール誤差	$V_{WFSE}$	Code=フル・スケール	- 3		0	%FS
ゼロスケール誤差	$V_{WZSE}$	Code=ゼロスケール	0		+3	%FS
<b>抵抗器端子</b>						
熱電圧範囲 <sup>4</sup>	$V_{A,B,W}$		$V_{SS}$		$V_{DD}$	V
容量 <sup>5</sup> AX,BX	$C_{A,B}$	f=1MHz、グラウンドに対して測定、Code=ハーフスケール		45		pF
容量 <sup>5</sup> WX	$C_W$	f=1MHz、グラウンドに対して測定、Code=ハーフスケール		60		pF
コモンモード・リーク電流 <sup>5,6</sup>	$I_{CM}$	$V_W=V_{DD}/2$		0.01	1	$\mu A$
<b>デジタル入 / 出力</b>						
入力ロジック・ハイ	$V_{IH}$	グラウンドに対して測定、 $V_{DD}=5V$	2.4			V
入力ロジック・ロー	$V_{IL}$	グラウンドに対して測定、 $V_{DD}=5V$			0.8	V
入力ロジック・ハイ	$V_{IH}$	グラウンドに対して測定、 $V_{DD}=3V$	2.1			V
入力ロジック・ロー	$V_{IL}$	グラウンドに対して測定、 $V_{DD}=3V$			0.6	V
入力ロジック・ハイ	$V_{IH}$	グラウンドに対して測定、 $V_{DD}=+2.5V, V_{SS}= - 2.5V$	2.0			V
入力ロジック・ロー	$V_{IL}$	グラウンドに対して測定、 $V_{DD}=+2.5V, V_{SS}= - 2.5V$		0.5		V
出力ロジック・ハイ (SDOおよびRDY)	$V_{OH}$	5Vに対し $R_{PULL-UP}=2.2k$	4.9			V
出力ロジック・ロー	$V_{OL}$	$I_{OL}=1.6mA, V_{LOGIC}=5V$			0.4	V
入力電流	$I_{IL}$	$V_{IN}=0V$ または $V_{DD}$			$\pm 2.5$	$\mu A$
入力容量 <sup>5</sup>	$C_{IL}$			4		pF
<b>電源</b>						
単電源電圧範囲	$V_{DD}$	$V_{SS}=0V$	2.7		5.5	V
両電源電圧範囲	$V_{DD}/V_{SS}$		$\pm 2.25$		$\pm 2.75$	V
正極性電源電流	$I_{DD}$	$V_{IH}=V_{DD}$ または $V_{IL}=GND$		3.5	10	$\mu A$
プログラミング・モード電流	$I_{DD}(PG)$	$V_{IH}=V_{DD}$ または $V_{IL}=GND$		35		mA
読み出しモード電流 <sup>7</sup>	$I_{DD}(XFR)$	$V_{IH}=V_{DD}$ または $V_{IL}=GND$	0.9	3	9	mA
負極性電源電流	$I_{SS}$	$V_{IH}=V_{DD}$ または $V_{IL}=GND, V_{DD}=+2.5V, V_{SS}= - 2.5V$		3.5	10	$\mu A$
消費電力 <sup>8</sup>	$P_{DISS}$	$V_{IH}=V_{DD}$ または $V_{IL}=GND$		0.018	0.05	mW
電源感度 <sup>5</sup>	PSS	$V_{DD}=5V \pm 10\%$		0.002	0.01	%/%

パラメータ	記号	条件	Min	Typ <sup>1</sup>	Max	単位
ダイナミック特性 <sup>5,9</sup>						
帯域幅		- 3dB, BW_10k, R=10k		500		kHz
全高調波歪み	THD <sub>W</sub>	V <sub>A</sub> =1Vrms, V <sub>B</sub> =0V, f=1kHz, R <sub>AB</sub> =10k		0.022		%
	THD <sub>W</sub>	V <sub>A</sub> =1Vrms, V <sub>B</sub> =0V, f=1kHz, R <sub>AB</sub> =50k, 100k		0.045		%
V <sub>W</sub> セットリング時間	t <sub>S</sub>	V <sub>DD</sub> =5V, V <sub>SS</sub> =0V, V <sub>A</sub> =V <sub>DD</sub> , V <sub>B</sub> =0V, V <sub>W</sub> =0.50%誤差帯域, R <sub>AB</sub> =10/50/100k に対し Code=00 <sub>H</sub> ~ 80 <sub>H</sub>		0.65/3/6		μs
抵抗器 ノイズ電圧	e <sub>N-WB</sub>	R <sub>WB</sub> =5k, f=1kHz、クロストーク C <sub>W1</sub> /C <sub>W2</sub> 、C <sub>T</sub> , V <sub>A</sub> =V <sub>DD</sub> , V <sub>B</sub> =0V、隣接するVRにおいて		9		nV/√Hz
		フルスケールのコード遷移を生じさせてV <sub>W</sub> を測定		- 5		nV- <sub>S</sub>
アナログ・クロストーク C <sub>W1</sub> /C <sub>W2</sub> )	C <sub>TA</sub>	V <sub>A1</sub> =V <sub>DD</sub> , V <sub>B1</sub> =0V, V <sub>W2</sub> =5Vp-p でV <sub>W1</sub> を測定 @ f=10kHz, Code <sub>1</sub> =80 <sub>H</sub> ; Code <sub>2</sub> =FF <sub>H</sub>		- 70		dB
インターフェース・タイミング特性 - 全パーツについて適用 <sup>5,10</sup>						
クロック・サイクル時間 (t <sub>CYC</sub> )	t <sub>1</sub>		20			ns
CSセットアップ時間	t <sub>2</sub>		10			ns
CLKのシャットダウンからCSの立ち上がりまでの時間	t <sub>3</sub>		1			t <sub>CYC</sub>
入力クロック・パルス幅	t <sub>4</sub> , t <sub>5</sub>	クロック・レベルはハイまたはロー	10			ns
データ・セットアップ時間	t <sub>6</sub>	CLKの正の遷移からの時間	5			ns
データ・ホールド時間	t <sub>7</sub>	CLKの正の遷移からの時間	5			ns
CSからSDO-SPIライン獲得までの時間	t <sub>8</sub>				40	ns
CSからSDO-SPIライン開放までの時間	t <sub>9</sub>				50	ns
CLKからSDOまでの伝播遅延時間 <sup>11</sup>	t <sub>10</sub>	R <sub>P</sub> =2.2k, C <sub>L</sub> <20pF			50	ns
CLKからSDOまでのデータ・ホールド時間	t <sub>11</sub>	R <sub>P</sub> =2.2k, C <sub>L</sub> <20pF	0			ns
CSハイ・パルス幅 <sup>12</sup>	t <sub>12</sub>		10			ns
CSハイからCSハイまで <sup>12</sup>	t <sub>13</sub>		4			t <sub>CYC</sub>
RDY立ち上がりからCS立ち下がりまで	t <sub>14</sub>		0			ns
CS立ち上がりからRDY立ち下りまでの時間	t <sub>15</sub>			0.1	0.15	ms
Read/Storeから不揮発EEMEMまで <sup>13</sup>	t <sub>16</sub>	コマンド <sub>2H</sub> , <sub>3H</sub> , <sub>9H</sub> に適用			25	ms
CS立ち上がりからクロック立ち上がり/立ち下りのセットアップ	t <sub>17</sub>		10			ns
プリセットのパルス幅 (非同期)	t <sub>PRW</sub>	タイミング図中になし	50			ns
RDYハイまでのプリセット応答時間	t <sub>PRESP</sub>	ワイパー・ポジションのリフレッシュまでPRパルスはロー		70		μs
Flash/EEメモリの信頼度特性						
耐久性 <sup>14</sup>			100			千サイクル
データ保持 <sup>15</sup>				100		年

### 注

- パラメータに対するTyp値は、25、V<sub>DD</sub>=5Vにおける平均値です。
- 抵抗位置の非直線性誤差であるR-INLは、ワイパー位置に対する最大抵抗値と最小抵抗値の間で測定された理想的な値からの偏差です。R-DNLは、隣接する理想的な2つのタップ位置の間の変化に対する相対的なステップ変化を測定したものです。製品は単調性が保証されています。R<sub>AB</sub>=10k のバージョンでは、V<sub>DD</sub>=2.7VにおいてI<sub>W</sub>は最大50 μAでありV<sub>DD</sub>=5VではI<sub>W</sub>は最大400 μAです。また、R<sub>AB</sub>=50k のバージョンでは最大50 μA、R<sub>AB</sub>が100k のバージョンでは最大25 μAです。図13を参照してください。
- INLおよびDNLは、RDACを電圧出力のD/Aコンバータに類似するポテンショメータ分圧器として設定した状態でV<sub>W</sub>を測定したものです。ここで、V<sub>A</sub>=V<sub>DD</sub>、V<sub>B</sub>=V<sub>SS</sub>です。DNLの最大±1LSBの仕様規定により保証された単調動作条件です。図14を参照してください。
- 抵抗の端子A,B,Wは相互の関係において極性の制限がありません。両電源での動作により、グラウンドをリファレンスとしたバイポーラ信号調整が可能となります。
- 設計によって保証されていますが、製造テストは行っていません。
- コモンモードにおけるリーク電流は、A,B,Cの任意の端子からのコモンモードのバイアス・レベルであるV<sub>DD</sub>/2へのDCのリークを測定したものです。
- トランスファアー (XFR) モードの電流は連続していません。EEMEMから読み出されたデータがRDACへ転送されている間に電流が消費されます。特性9を参照してください。
- P<sub>DISS</sub>は、(I<sub>DD</sub> × V<sub>DD</sub>) + (I<sub>SS</sub> × V<sub>SS</sub>) の式により算出されます。
- 特に指定のない限り、すべてのダイナミック特性は、V<sub>DD</sub>=+2.5V、V<sub>SS</sub>= - 2.5Vにおけるものです。
- 測定値の位置については、タイミング図を参照してください。すべての入力制御電圧はt<sub>tr</sub>=t<sub>f</sub>=2.5ns (3Vの10~90%) についての仕様であり、1.5Vの電圧レベルから計時されたものです。スイッチング特性は、V<sub>DD</sub>=3Vまたは5Vの両方について測定されたものです。
- 伝播遅延は、V<sub>DD</sub>, R<sub>PULL\_UP</sub>, C<sub>L</sub>に依存します。アプリケーションの項を参照してください。
- RDYピンを有効としないコマンドについてのものです。
- RDYピンは、インストラクション・コマンドの8,9,10,2,3およびPRハードウェア・パルス: CMD\_8 ~ 1ms, CMD\_9,10 ~ 0.12ms, CMD\_2,3 ~ 20msに対してのみローとなります。T<sub>A</sub>= - 40 でV<sub>DD</sub><3Vでデバイスが動作する場合には、セーブ時間は35msまで延長されます。
- 耐久性は、JEDEC Std.22のMethod A117にしたがって1VDD=2.7V、T<sub>A</sub>= - 40 ~ +8 で100,000サイクルが保証され、25 における耐久性のTyp値は700,000サイクルとなっています。
- 保持における寿命は、JEDEC Std.22のMethod A117に従った接合温度 (T<sub>J</sub>)=55 と同等です。アクティブにするためのエネルギーを0.6eVとした場合は、このデータシートのFlash/EEメモリの解説の項の図23に示すように接合温度の上昇とともに低下します。AD5232は9,646個のトランジスタにより構成されています。ダイの寸法は、69mm × 155mm=7,993mm<sup>2</sup>です。

仕様は予告なく変更されることがあります。

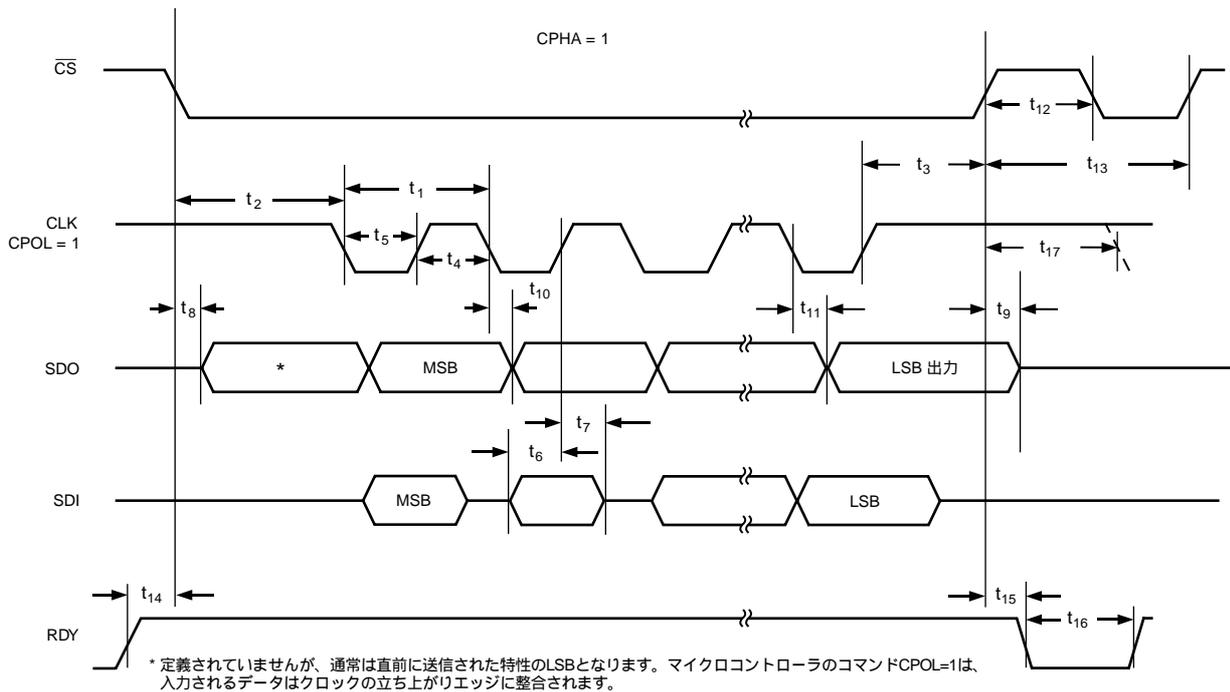


図2a CPHA=1の場合のタイミング図

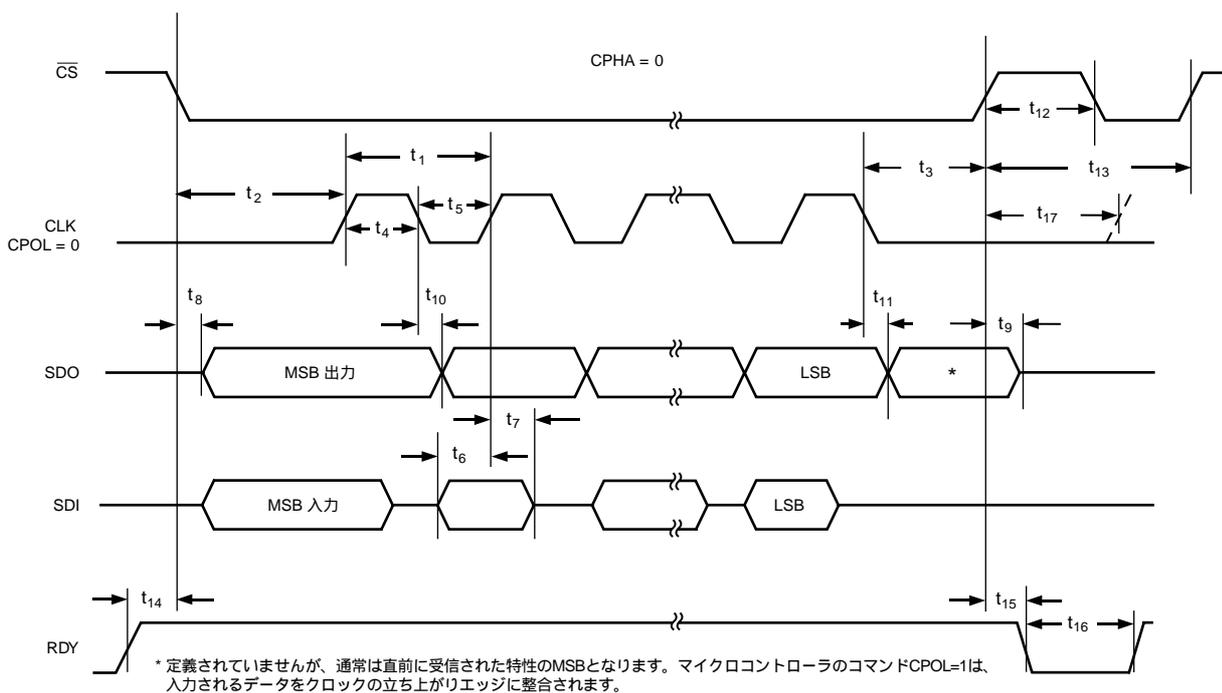


図2b CPHA=0の場合のタイミング図

## 絶対最大定格<sup>1</sup>

(特に指定のない限り、 $T_A=25$  )

$V_{DD} \sim GND$  ..... - 0.3 ~ +7V

$V_{SS} \sim GND$  ..... +0.3 ~ - 7V

$V_{DD} \sim V_{SS}$  ..... 7V

$V_A, V_B, V_W \sim GND$  .....  $V_{SS} - 0.3V \sim V_{DD} + 0.3V$

$A_X - B_X, A_X - W_X, B_X - W_X$

間欠動作<sup>2</sup> .....  $\pm 20mA$

連続動作 .....  $\pm 2mA$

デジタル入 / 出力電圧 ~ GND ..... - 0.3V ~  $V_{DD} + 0.3V$

動作温度範囲<sup>3</sup> ..... - 40 ~ +85

最大接合温度 ( $T_J Max$ ) ..... 150

保管温度 ..... - 65 ~ +150

## ピン温度、ハンダ付け

蒸着 (60秒) ..... +215

赤外線 (15秒) ..... +220

パッケージあたり消費電力 ..... ( $T_J Max - T_A$ ) /  $J_A$

接合部と周辺間の熱抵抗  $J_A$ ,

TSSOP16 ..... 150  $\text{ } \backslash \text{ } W$

接合部とケース間の熱抵抗 ( $J_C$ )

TSSOP16 ..... 28  $\text{ } \backslash \text{ } W$

## 注

1 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

2 端子の最大電流は、スイッチで取り扱可能な最大電流、パッケージの最大消費電力、パッケージの最大印加電圧は、ある抵抗値についてのA、B、WXの任意の2つの端子間に印加可能な最大の電圧により決定されます。

3 不揮発メモリのプログラミングを含みます。

## 注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



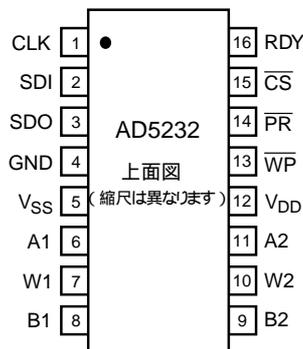
## オーダー・ガイド

モデル	チャンネル数	AB終端の間の $R_{AB}$ (k )	温度範囲( )	パッケージ の解説	パッケージ・ オプション	コンテナあたり の数量	ブランド情報*
AD5232BRU10	2	10	- 40 ~ +85	TSSOP-16	RU-16	96	5232B10
AD5232BRU10-REEL7	2	10	- 40 ~ +85	TSSOP-16	RU-16	1,000	5232B10
AD5232BRU50	2	50	- 40 ~ +85	TSSOP-16	RU-16	96	5232B50
AD5232BRU50-REEL7	2	50	- 40 ~ +85	TSSOP-16	RU-16	1,000	5232B50
AD5232BRU100	2	100	- 40 ~ +85	TSSOP-16	RU-16	96	5232BC
AD5232BRU100-REEL7	2	100	- 40 ~ +85	TSSOP-16	RU-16	1,000	5232BC

\*ライン1はADIのロゴ・シンボルとデータ・コードYYWWを表示し、ライン2はこの表に示す詳細なモデル番号を表示します。

# AD5232

## ピン配置



## ピン機能解説

ピン番号	ピン記号	解説
1	CLK	シリアル入力レジスタのクロックピン。クロックの立ち上がりエッジで1ビットずつシフトします。
2	SDI	シリアル・データ入力ピン。MSBからロードします。
3	SDO	シリアル・データ出力ピン。オープン・ドレイン出力であり、外部プルアップ抵抗が必要です。コマンド9および10によりSDO出力がアクティブとなります。表IIを参照してください。他のコマンドにより、直前にロードされたSDIビット・パターンを16クロック・パルスだけ遅延させてシフト出力します。これにより、複数のパッケージによるデジチェーン接続が可能となります。
4	GND	グラウンド・ピン。ロジック・グラウンドのリファレンスです。
5	V <sub>SS</sub>	負電源。単電源のアプリケーションでは、0Vに接続します。
6	A1	RDAC1のA端子です。
7	W1	RDAC1のワイパー・ターミナルであり、ADDR (RDAC1) =0 <sub>H</sub> です。
8	B1	RDAC1のB端子。
9	B2	RDAC2のB端子。
10	W2	RDAC2のワイパー・ターミナルであり、ADDR (RDAC2) =1 <sub>H</sub> です。
11	A2	RDAC2のA端子。
12	V <sub>DD</sub>	正電源ピン。
13	$\overline{WP}$	ライト・プロテクト・ピン。アクティブ・ローのときに、 $\overline{WP}$ は、 $\overline{PR}$ 、CMD1,8がEEMEMからRDACをリフレッシュする場合を除き、その時点でのレジスタの内容の全ての変更を防止します。 $\overline{WP}$ がロジック・ハイに戻る前にNOP命令を実行してください。
14	$\overline{PR}$	ハードウェア・オーバーライト・プロテクト・ピン。スクラッチ・パッド・レジスタの内容をEEMEMレジスタの内容にリフレッシュします。出荷時のデフォルト設定により、EEMEMにユーザーによって新しい値がロードされるまで、ミッドスケールの80 <sub>H</sub> をロードします ( $\overline{PR}$ はロジック・ハイへの遷移時にアクティブとなります。)
15	$\overline{CS}$	シリアル・レジスタのチップ・セレクト。アクティブ・ロー。 $\overline{CS}$ がロジック・ハイになるときにシリアル・レジスタが動作します。
16	RDY	レディ。アクティブ・ハイのオープン・ドレイン出力であり、プルアップ抵抗が必要です。コマンド2、3、8、9、10および $\overline{PR}$ の完了を確認します。

## 動作の概要

AD5232 デジタル・ポテンシオメータは、アナログ信号が端子電圧範囲である  $V_{SS} < V_{TERM} < V_{DD}$  であるときに可変抵抗器の置換部品として動作するよう設計されています。基本的な電圧範囲は、

$$V_{DD} - V_{SS} < 5.5V$$

に制限されます。デジタル・ポテンシオメータのワイパーのポジションは、RDACレジスタの内容によって決定されます。RDACレジスタはスクラッチ・パッドとして動作し、ポテンシオメータのワイパーを正確なポジションに設定するために必要な数のレジスタの数値を変更します。完全な代表的データ・ワードをロードして標準的なSPIシリアル・インターフェース・モードを用いることにより、スクラッチ・パッド・レジスタを任意のポジションの値にプログラムできます。目的とするポジションが見つかったら、その値が対応するEEMEMレジスタにセーブされます。これ以降、ワイパーのポジションは、その後の電源のON - OFF - ONのシーケンスにかかわらず、常に、このポジションに設定されます。EEMEMによるセーブのプロセスには約25msかかり、この期間内にシフト・レジスタは変更を防止するためロックされます。RDYピンは、このEEMEMへのセーブの完了を示します。

## スクラッチ・パッドおよびEEMEMプログラミング

スクラッチ・パッド・レジスタ (RDACレジスタ) は、デジタル・ポテンシオメータのワイパーのポジションを直接に制御します。スクラッチ・パッド・レジスタのビットが全てゼロにロードされると、ワイパーが可変抵抗器のB端子に接続されます。スクラッチ・パッド・レジスタがミッドスケールのコード (フルスケール・ポジションの1/2) にロードされたときには、ワイパーは可変抵抗器の中央に接続されます。また、スクラッチ・パッドがフルスケールのコードにロードされると、ワイパーはA端子に接続されます。スクラッチ・パッド・レジスタは、標準ロジックのレジスタであるため、変更回数における制限はありません。EEMEMレジスタでは、フラッシュ / EEMEMの信頼性の項で解説するようなプログラムの消去 / 書き込みサイクルにおける制約があります。

## 基本動作

可変抵抗器のワイパーのポジションを設定するための基本モード (スクラッチ・パッド・レジスタのプログラミング) は、目的とするワイパー・ポジションのデータを含むコマンド命令#11をシリアル・データ入力レジスタにロードすることにより行われます。目的とするワイパー・ポジションが見つかったら、ユーザーはシリアル・データ入力レジスタにコマンド命令#2をロードします。これにより、目的とするワイパー・ポジションのデータが、対応する不揮発EEMEMレジスタにコピーされます。25ms経過後に、このワイパー・ポジションは、対応する不揮発のEEMEMレジスタの位置に恒常的に格納されます。表1に、シリアル・データ入力 (SDI) ワードおよびSDOピンに16進のフォーマットで出力される対応するシリアル・データ出力のシーケンスをリストするアプリケーション・プログラミングの例を示します。

システムのパワーオン時に、スクラッチ・パッド・レジスタは、EEMEMレジスタに最後にセーブされた値にリフレッシュされます。出荷時にプリセットされたEEMEMの値はミッドスケールです。スクラッチ・パッド (ワイパー) レジスタは、ハードウェアの制御によりPRピンをローとすることにより不揮発のEEMEMレジスタの現行値でリフレッシュすることができます。

表1 2つのデジタルPOTを個別のデータ値に設定し、その後、ワイパー・ポジションに対応する不揮発EEMEMレジスタにセーブする。

SDI	SDO	動作
B040 <sub>H</sub>	XXXX <sub>H</sub>	RDAC1レジスタにデータ40 <sub>H</sub> をロードし、ワイパーWIをフルスケール・ポジションの1/4に移動します。
20XX <sub>H</sub>	B040 <sub>H</sub>	RDAC1レジスタの内容のコピーを対応するEEMEM0レジスタにセーブします。
B180 <sub>H</sub>	20XX <sub>H</sub>	データ80 <sub>H</sub> をRDAC2レジスタにロードし、ワイパーW2をフルスケール・ポジションの1/2に移動します。
21XX <sub>H</sub>	B180 <sub>H</sub>	RDAC2レジスタの内容のコピーを対応するEEMEM1レジスタにセーブします。

PRにロジック・ゼロのパルス入力があると、まず、ワイパーがミッドスケールに設定され、次に、ロジック・ハイへの正極性の遷移により、EEMEMの内容がDACワイパー・レジスタに再ロードされます。可変抵抗器の調整のプロセスを簡略化するために多くの先進的なプログラミング・コマンドを使用することができます。

例えば、ソフトウェア的に制御されるインクリメント / デクリメントの命令によりワイパー・ポジションを1ステップずつ変更することができます。また、シフト・レフト / ライトの命令コマンドにより6dBずつ変更することもできます。インクリメント / デクリメントのコマンドが、いったん、シフト・レジスタにロードされると、次のCSストロブにより、このコマンドが再度実行されます。これは、プッシュ・ボタンのアプリケーションで有用です。表1の先進的な制御モードの解説を参照してください。シリアル・データ出力であるSDOピンにより、デイズチェーン接続が可能であり、内部レジスタの内容の読み出しも可能です。シリアル入力データ・レジスタは、16ビット・ワードを使用します。

## EEMEMの保護

ライト・プロテクト ( $\overline{WP}$ ) により、ソフトウェア・コマンドにかかわらず、コマンド8およびPRによりEEMEMの設定がリフレッシュされる場合を除き、任意のスクラッチ・パッド・レジスタの内容の変更をデイスレーブルにできます。 $\overline{WP}$ ロジックをロジック・ハイに戻す前に、NOPコマンドを実行してください。

## デジタル入 / 出力の設定

すべてのデジタル入力は、ESD保護のために高い入力インピーダンスを持っており、ほとんどのデジタル・ソースから直接ドライブすることができます。アクティブ・ローのPRおよびWPを使用しない場合には、これらをV<sub>DD</sub>にバイアスする必要があります。どのデジタル・入力ピンについても、内部プルアップ抵抗は設置されていません。

SDOおよびRDYピンは、オープン・ドレインのデジタル出力であり、これらの機能を使用する場合にのみプルアップ抵抗が必要となります。1 ~ 10k 範囲にレジスタ値を調整することによって、消費電力とスイッチング・スピードのトレード・オフを最適化できます。

# AD5232

## シリアル・データ・インターフェース

AD5232は、4線式のSPIコンパチブルなデジタル・インターフェース (SDI、SDO、 $\overline{CS}$ 、CLK) を備えており、16ビットのシリアル・データ・ワードをMSB先頭として使用します。図IIIに、SPIコンパチブルなワードのフォーマットを示します。チップ・セレクト( $\overline{CS}$ )ピンは、全てのデータ・ワードがSDIピンにロードされるまで、ローとしておく必要があります。 $\overline{CS}$ がハイになるとシリアル・データ・ワードは表IIIに示す命令に従ってデコードされます。コマンド・ビット(CX)は、デジタル・ポテンショメータの動作を制御します。アドレス・ビット(AX)は、アクティブとすべきレジスタを決定します。データ・ビット(DX)は、デコードされたレジスタにロードされた値となります。表IVに、EEMEMの位置のアドレス・マップを示します。プログラミングのアクティビティの期間の前に最後に実行すべき命令は、ノー・オペレーション(NOP)命令です。これにより、内部ロジック回路の消費電力が最小限の状態になります。

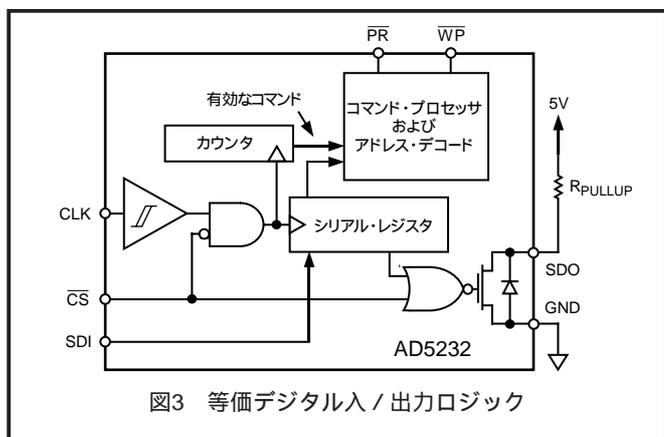


図3 等価デジタル入 / 出力ロジック

図3に、等価的なシリアル・データ入 / 出力回路を示します。オープン・ドレイン出力であるSDOは、チップ・セレクト $\overline{CS}$ がロジック・ハイのときには、常にディスエーブルにされます。SPIインターフェースは、CPHA=1、CPOL=1の場合とCPHA=0、CPOL=0の場合の2つのスレーブ・モードで使用することができます。CPHAおよびCPOLは、制御ビットを参照し、これらにより、MicroConverters®およびマイクロプロセッサADuC812/ADuC824、M68HC11、MC68HC16R1/916R1においてSPIタイミングを統括します。図4aおよび図4bに、デジタル入力のESD保護を示します。

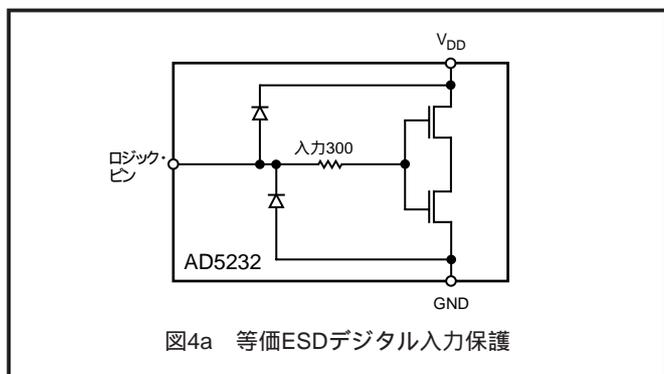


図4a 等価ESDデジタル入力保護

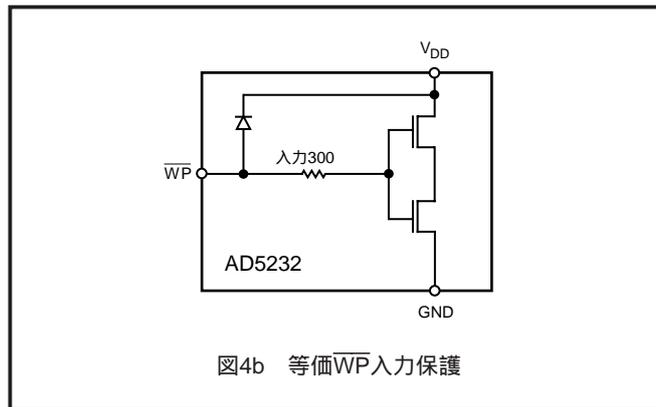


図4b 等価WP入力保護

## デジチェーン接続動作

シリアル・データ出力ピン(SDO)は、2つの目的に使用されます。これは、それぞれ命令10および命令9を用いて、ワイパーの設定の内容およびEEMEMの値を読み出すために用いられます。残りの命令(#0~8、#11~15)は、同時に動作する複数のデバイスをデジチェーン接続する場合に有効です。デジチェーン接続により、制御用のICで必要とされるポート・ピンの数が最小化されます(図5参照)。SDOピンは、この機能が使用される場合にプルアップ抵抗を必要とするオープン・ドレインのNチャンネルFETを1つ備えています。図5に示すように、ユーザーによって、1つのパッケージのSDOピンを次のパッケージのSDIピンに接続する必要があります。プルアップ抵抗とSDO~SDI間のインターフェースでの容量性の負荷により、次のパッケージとの間で遅延時間が必要になることがあるため、ユーザーにおいてクロック期間を長くする必要がある場合があります。2つのAD5232がデジチェーン接続される場合には、32ビットのデータが必要となります。最初の16ビットはU2に送出され、同じフォーマットの次の16ビットはU1に送出されます。この16ビットのフォーマットは、4ビットの命令、4ビットのアドレス、8ビットのデータの順序となっています。 $\overline{CS}$ は、32ビット全てが、それぞれのシリアル・レジスタにロックされるまで、ローとしておくます。次いで、 $\overline{CS}$ はハイにされて動作を終了します。

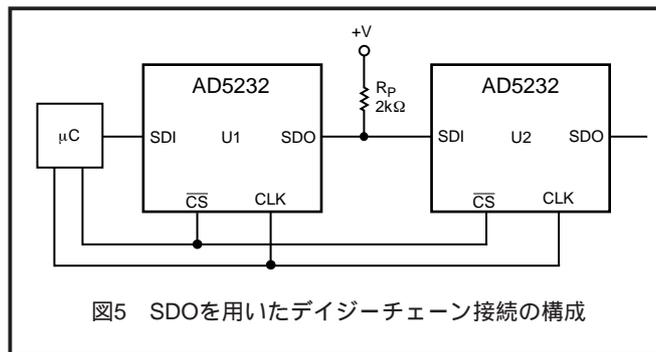


図5 SDOを用いたデジチェーン接続の構成

MicroConverter はアナログ・デバイスズの登録商標です。

表II 16ビットのシリアル・データ・ワード

	MSB	B 14	B 13	B 12	B 11	B 10	B 9	B 8	B 7	B 6	B 5	B 4	B 3	B 2	B 1	LSB
AD5232	C3	C2	C1	C0	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0

コマンド・ビットはCx、アドレス・ビットはAx、データ・ビットはDxと表示されています。表IIIにコマンド命令コードを示します。

表III 命令/動作 真理値表

命令 No.	命令バイト1								データ・バイト0								動作
	B15 C3	C2	C1	C0	A3	A2	A1	B8 A0	B7 D7	D6	D5	D4	D3	D2	D1	B0 D0	
0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	ノー・オペレーション(NOP)。動作なし。
1	0	0	0	1	0	0	0	A0	X	X	X	X	X	X	X	X	EEMEMの内容をRDAC(A0)レジスタに書き込みます。このコマンドにより、デバイスは、リード・プログラムのパワー状態となります。アイドル状態に戻すためには、NOP命令#0を実行します。
2	0	0	1	0	0	0	0	A0	X	X	X	X	X	X	X	X	ワイパーの設定をセーブ。RDAC(ADDR)の内容をEEMEM(A0)に書き込みます。
3	0	0	1	1	<<ADDR>>				D7	D6	D5	D4	D3	D2	D1	D0	シリアル・レジスタ・データ・バイト0の内容をEEMEM(ADDR)に書き込みます。
4	0	1	0	0	0	0	0	A0	X	X	X	X	X	X	X	X	RDAC(A0)の内容をデクリメントするため6dBだけ右シフトします。すべてのビットが「0」になると停止します。
5	0	1	0	1	X	X	X	X	X	X	X	X	X	X	X	X	すべてのRDACレジスタの内容をデクリメントするため、すべて6dBだけ右シフトします。すべてのビットが「0」になると停止します。
6	0	1	1	0	0	0	0	A0	X	X	X	X	X	X	X	X	RDAC(A0)の内容を「1」だけデクリメントします。すべてのビットが「0」になると停止します。
7	0	1	1	1	X	X	X	X	X	X	X	X	X	X	X	X	すべてのRDACレジスタの内容を「1」だけデクリメントします。すべてのビットが「0」になると停止します。
8	1	0	0	0	0	0	0	0	X	X	X	X	X	X	X	X	リセット。すべてのRDACに、対応するEEMEMが直前にセーブした値をロードします。
9	1	0	0	1	<<ADDR>>				X	X	X	X	X	X	X	X	EEMEM(ADDR)の内容をシリアル・レジスタのデータ・バイト0に書き込みます。
10	1	0	1	0	0	0	0	A0	X	X	X	X	X	X	X	X	RDAC(A0)の内容をシリアル・レジスタのデータ・バイト0に書き込みます。
11	1	0	1	1	0	0	0	A0	D7	D6	D5	D4	D3	D2	D1	D0	シリアル・レジスタのデータ・バイト0の内容をRDAC(A0)に書き込みます。
12	1	1	0	0	0	0	0	A0	X	X	X	X	X	X	X	X	RDAC(A0)の内容をインクリメントするため6dBだけ左シフトします。すべてのビットが「1」になると停止します。
13	1	1	0	1	X	X	X	X	X	X	X	X	X	X	X	X	すべてのRDACレジスタの内容をインクリメントするため、すべて6dBだけ左シフトします。すべてのビットが「1」になると停止します。
14	1	1	1	0	0	0	0	A0	X	X	X	X	X	X	X	X	RDAC(A0)の内容を「1」だけインクリメントします。すべてのビットが「1」になると停止します。
15	1	1	1	1	X	X	X	X	X	X	X	X	X	X	X	X	すべてのRDACレジスタの内容を「1」だけインクリメントします。すべてのビットが「1」になると停止します。

## 注

- SDOは、デジチェーン接続動作のためにシリアル・レジスタにクロック入力されたデータの最後の8ビットをシフト出力します。例外：命令#9または#10では、選択された内部レジスタのデータは、データ・バイト0に置かれます。#9および#10の次の命令は、シリアル・レジスタの内容を完全にクロック出力するような全16ビットのデータ・ワードにする必要があります。
- RDACレジスタは、パワーオン時に、対応する不揮発なEEMEMレジスタによってリフレッシュされる揮発スクラッチ・パッド・レジスタです。
- インクリメント/デクリメント/シフトのコマンドは、シフト・レジスタのデータ・バイト0の内容を無視します。
- 「動作」の欄に示す実行内容は、CSストロブがロジック・ハイに戻るときに実行されます。
- NOP命令の実行により消費電力を最小化できます。

# AD5232

## 先進的な制御モード

デジタル・ポテンショメータAD5232は、これらの汎用的な調整デバイスで利用可能な幅広いアプリケーションに対処するために、一連のユーザー・プログラミング機能を備えています。重要なプログラミング機能を以下に示します。

すべてのレジスタについてリード / ライトを独立してプログラムできます。

- すべてのRDACワイパー・レジスタは、それぞれ対応する内部EEMEMレジスタからの同時リフレッシュが可能です。
- 各RDACワイパー・レジスタについてのインクリメントおよびデクリメント命令が備えられています。
- すべてのRDACワイパー・レジスタに対して左右のビットシフトが可能であり、6dBのレベル変更が可能です。
- スクラッチ・パッドRDACレジスタの値を、随時、対応するEEMEMレジスタに書き込むことにより、不揮発な格納を実現しています。
- ユーザーによるアドレッシングが可能で電子的に消去可能なメモリーとして14バイトが追加されています。

## インクリメントおよびデクリメント・コマンド

インクリメントおよびデクリメントのコマンド( #14,#15,#6,#7 )は、基本的なサーボ調整のアプリケーションにおいて有効です。このコマンドは、現行のワイパー・ポジションをリードバックする必要性をなくすことにより、マイクロコントローラのソフトウェア・コーディングを簡略化し、さらに、マイクロコントローラの加算器によってレジスタの内容に1を加算します。マイクロコントローラは、単に、インクリメント・コマンド( #14 )をデジタルPOTに送出し、これにより、自動的にワイパーを次の抵抗器セグメント部に移動します。マスタ・インクリメント・コマンド( #15 )は、すべてのPOTワイパーを、その時点でのポジションから1ポジションだけ移動させ、次の抵抗器セグメント・ポジションに移動させます。この移動の向きは端子Bによって参照されます。このように、各インクリメント#15コマンドは、ワイパーのタップ・ポジションを端子Bから、さらに遠くに移動させます。

## 対数的テーパー・モード調整

命令をプログラムすることにより、両方のワイパー・ポジションが同時に変更される場合に、個々のPOTまたは組み合わせられたPOTの編成によって、ワイパー・ポジションのコントロールをデクリメントまたはインクリメントできます。これらの設定は、6dBのデクリメント命令である命令#4、#5、および、6dBのインクリメント・ポジションである#12、#13によって行われます。例えば、ワイパーがB端子に接続された状態から開始して、インクリメント命令( #12 )を9回実行すると、ワイパーは、8ビット・ポテンショメータであるAD5232のR<sub>BA</sub>( B端子 )の0%のポジションからR<sub>BA</sub>の100%のポジションまで、+6dBのステップで移動されます。6dBのインクリメント命令は、コマンドが実行されるたびに、RDACレジスタの値を2倍にします。ワイパー・ポジションがミッドスケールより大きい場合には、6dBのインクリメント命令によって、ワイパーはフルスケールである255コード・ポジションに移動されます。この後のインクリメント命令によっては、ワイパーのポジションはフルスケール( RDACレジスタ・コード = 255 )から変更されません。

図6に、8ビットのAD5232の各RDACレジスタのデータ・ビットが6dBのシフト機能によって変化する様子を示します。下向きの矢印は、連続するシフト動作によってステップ毎に変化する向きを示します。非常に重要なこととして、左シフトのコマンドである#12および#13のコマンドは、RDACレジスタのデータが0でありデータが左シフトされる場合にコード1にセットされるように修正されています。

さらに、左シフトのコマンドは、RDACレジスタのデータがミッドスケール以上で、データを左シフトする場合に、RDACレジスタの値がフルスケールとなるように修正されています。これにより、左シフトの機能は、可能な限り理想的な対数に近くなります。

右シフトのコマンドである#4および#5のコマンドは、LSBが0( 誤差がない理想的な対数 )の場合のみに理想的なものとなります。LSBが1である場合には、右シフトの機能は、直線的な1/2LSBの誤差が発生します。これは、コードに依存する対数的な誤差であり、図に示すように奇数のコードのときのみ発生します( 図5参照 )。図7は、AD5232において奇数のコードの誤差を示しています。

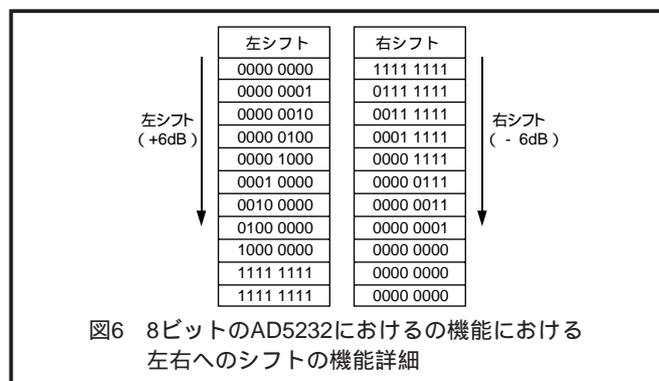


図6 8ビットのAD5232におけるの機能における左右へのシフトの機能詳細

RDACレジスタのデータ内容および各右シフト#4、#5のコマンドの実行結果間の対数曲線への実際の適合性は、奇数のコードのみについて誤差を発生します。偶数のコードは、0の右シフトまたは / およびハーフスケールを超える値の左シフトの場合を除いて理想的です。図7のグラフに、Log\_Error( 20 × log<sub>10</sub>( 誤差 / コード ) )の特性を示します。例えば、コード3では、Log\_Err=20 × log<sub>10</sub>( 0.5/3 ) = - 15.56dBとなり、これがワースト・ケースとなります。Log\_Errorの特性は、小さなコードでは誤差 / コードが大きくなります。

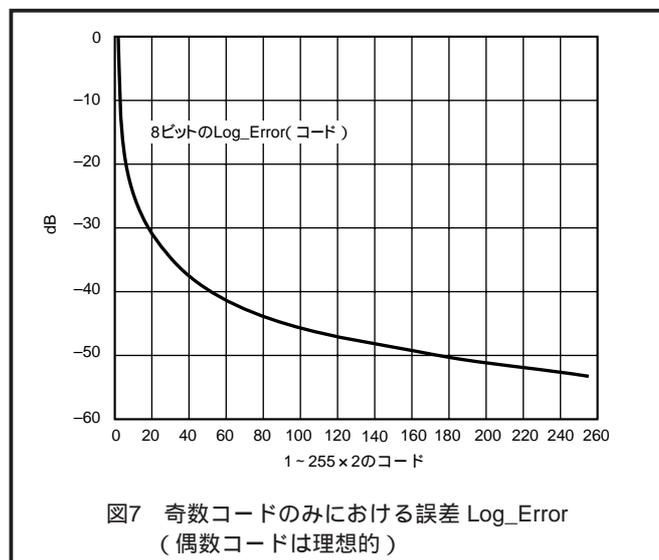


図7 奇数コードのみにおける誤差 Log\_Error ( 偶数コードは理想的 )



# AD5232

表 VI 公称単一セグメント抵抗値 ( )

デバイスの分解能	R <sub>AB</sub> の両端値に対するセグメント抵抗のサイズ		
	10k バージョン	50k バージョン	100k バージョン
8ビット	78.10	390.5	781.0

## 可変抵抗のプログラム

### 加減抵抗の動作

端子AとBの間のRDACの公称抵抗としては、10k、50k、100k が供給されています。部品番号の末尾の桁が公称抵抗値を表し、例えば、10の場合は10k、100の場合は100k となります。AD5232 VRの公称抵抗 (R<sub>AB</sub>) は、ワイパー端子によってアクセスされる256の接点とB端子の接点を備えています。RDACラッチの8ビットのデータ・ワードはデコードされ、256通りの設定から1つの設定を選択します。デジタル的にプログラムされたW<sub>x</sub>とB<sub>x</sub>の間の出力抵抗を決定する一般的な伝達式は次のとおりです。

$$R_{WB}(DX) = (DX) / 2^N \times R_{BA} + R_W \quad (1)$$

ここで、NはVRの分解能であり、D<sub>x</sub>はRDACXのラッチに格納されているデータであり、R<sub>BA</sub>は両端間の公称抵抗です。例えば、次のRDACラッチのコードに対し次に示す出力抵抗値が設定されます (8ビット、10k のポテンショメータの場合)。

表 VII R<sub>AB</sub>=10k において選択されたコードに対する公称抵抗値

D (DEC)	R <sub>WB</sub> (V)	出力状態
255	10011	フルスケール
128	5050	ミッドスケール
1	89	1 LSB
0	50	ゼロスケール*(ワイパー接点抵抗)

\* ゼロスケールの状態で50 の一定のワイパー抵抗が存在することに注意してください。この状態でWとBの間の連続電流の最大値を2mAとして、内部スイッチの金属被覆が劣化し、万の場合に破壊されることのないように注意する必要があります。断続的な電流による動作では、20mAまで許容されます。

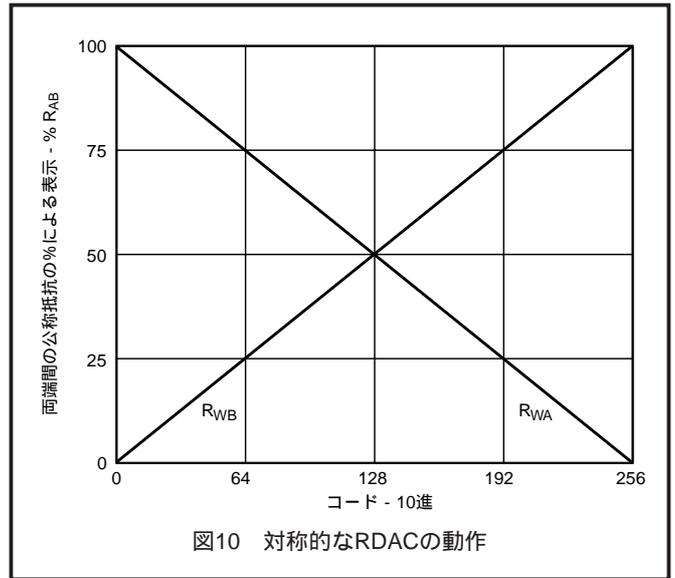


図10 対称的なRDACの動作

RDACによって置き換えられる機械的なポテンショメータと同様に、AD5232は完全に対称的です。ワイパーWと端子Aの間の抵抗によってもデジタル的に制御された抵抗R<sub>WA</sub>が得られます。図10に、さまざまな端子の接続による対称的なプログラムの例を示します。これらの端子を使用する場合には、B端子をワイパーに接続しておく必要があります。R<sub>WA</sub>の抵抗の設定値は、最大の抵抗値から開始し、ラッチにロードされるデータの増加とともに減少します。このような動作における一般的な伝達式を以下に示します。

$$R_{WA}(DX) = (2^N - DX) / 2^N \times R_{BA} + R_W \quad (2)$$

ここで、NはVRの分解能であり、D<sub>x</sub>はRDACXラッチに格納されているデータであり、R<sub>BA</sub>は両端間の公称抵抗です。例えば、次に示すRDACラッチのコードに対し次に示す出力抵抗値が設定されます (8ビット、10k のポテンショメータの場合)。

表 VIII R<sub>AB</sub>=10k において選択されたコードに対する公称抵抗値

D (DEC)	R <sub>WA</sub> (V)	出力状態
255	89	フルスケール
128	5050	ミッドスケール
1	10011	1 LSB
0	10050	ゼロスケール

マルチチャンネルのAD5232における内部チャンネル間のR<sub>BA</sub>のマッチングの分布の代表値は±0.2%です。デバイス間のマッチングは、プロセスのロットに依存し、-40%から+20%の間で変動します。R<sub>BA</sub>は600ppm/ の温度係数を持っています。

## ポテンショメータ・ディバイダのプログラミング

### 電圧出力動作

デジタル・ポテンショメータは、任意の端子に与えられる入力電圧に比例した出力電圧を容易に生成できます。例えば、A端子を5Vに、B端子をグラウンドに接続すると、ワイパーにおける出力電圧は0Vから5Vの範囲となります。電圧の各LSBは、端子AB間に印加される電圧をポテンショメータ・ディバイダの $2^N$ のポジションの解像度で除算した値となります。端子A～B間に任意の入力電圧が印加される場合のグラウンドを基準とした出力電圧の一般式は次のようになります。

$$V_W(Dx) = Dx/2^N \times V_{AB} + V_B \quad (3)$$

ディバイダ・モードにおけるデジタル・ポテンショメータの動作は、温度が変動する場合でも、さらに正確です。ここで、出力電圧は内部抵抗の比に依存し、その絶対値に依存するものではありません。このため、ドリフトは15ppm/まで改善されます。端子電圧 ( $V_{TERM}$ ) が、 $V_{SS} < V_{TERM} < V_{DD}$  の範囲にある限り、端子A、B、Wの間の電圧について極性の制約はありません。

### 両電源での動作

AD5232は両電源動作が可能なので、グラウンドを基準とするAC信号の制御が可能です。代表的な回路接続については図11を参照してください。

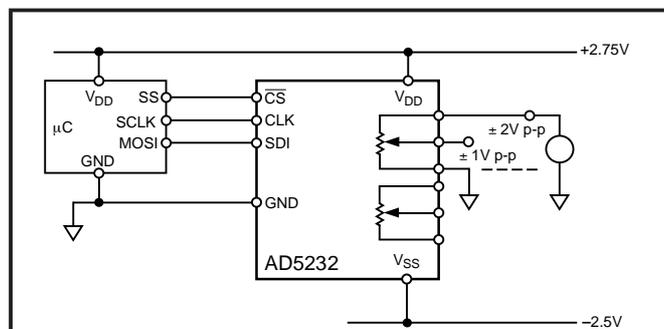


図11 両電源における動作

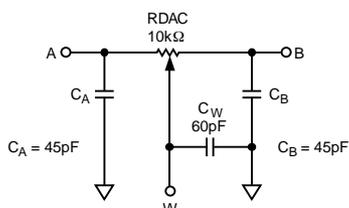


図12 RDAC=10k におけるRDAC回路のシミュレーション・モデル

内部の寄生容量および外部の容量性の負荷がRDACのAC特性において支配的となります。ポテンショメータ・ディバイダとして設定された場合には、AD5232BRU10 (抵抗値: 10k) の -3dB帯域幅は、ハーフスケールで500kHzとなります。特性10に、10k、50k、100kの3つの抵抗値のバージョンの大信号におけるボード線図の特性を示します。図12に示すような寄生容量のシミュレーション・モデルが開発されています。リストIに、10k RDACについてのマクロ・モデル・ネット・リストを示します。

### リスト RDACのマクロ・モデル・ネット・リスト

```
.PARAM DW=255, RDAC=10E3
*
.SUBCKT DPOT (A,W,B)
*
CA A 0 {45E-12}
RAW A W {(1-DW/256)*RDAC+50}
CW W 0 60E-12
RBW W B {DW/256*RDAC+50}
CB B 0 {45E-12}
*
.ENDS DPOT
```

### アプリケーション・プログラムの例

次のコマンド・シーケンスの例は、AD5232不揮発デジタル・ポテンショメータのさまざまな機能に対する代表的なイベントのシーケンスを解説するために作成されたものです。

[ PCBはAD523X部品を搭載するプリント基板 ]

命令番号 (コマンド)、アドレス、SDIおよびSDOにおけるアドレスおよびデータは16進で表記。

表 IX 2つのデジタルポテンショメータを別々のデータ値に設定

SDI	SDO	動作
B140 <sub>H</sub>	XXXX <sub>H</sub>	RDAC2レジスタにデータ40 <sub>H</sub> をロードし、ワイパーW2がフルスケールの1/4のポジションに移動。
B080 <sub>H</sub>	B140 <sub>H</sub>	RDAC1レジスタにデータ80 <sub>H</sub> をロードし、ワイパーW1がフルスケールの1/2のポジションに移動。

# AD5232

表 X 1つのPOTをアクティブにトリミングし、不揮発メモリーにセーブ(プリント基板のキャリブレーション)

SDI	SDO	アクション
B040 <sub>H</sub>	XXXX <sub>H</sub>	RDAC1レジスタにデータ40 <sub>H</sub> をロードし、ワイパーW1がフルスケールの1/4のポジションに移動。
E0XX <sub>H</sub>	B040 <sub>H</sub>	RDAC1レジスタを1つインクリメントして41 <sub>H</sub> とし、ワイパーW1が端子Bから1レジスタ・セグメントだけ移動。
E0XX <sub>H</sub>	E0XX <sub>H</sub>	RDAC1レジスタを1つインクリメントして42 <sub>H</sub> とし、ワイパーW1が端子Bからさらに1レジスタ・セグメントだけ移動。目的とするワイパー・ポジションに到達するまで繰り返す。
20XX <sub>H</sub>	E0XX <sub>H</sub>	RDAC1レジスタのデータを対応する不揮発EEMEM1(メモリーADDR=0 <sub>H</sub> )に移動。

プロテクトされた設定によりプリント基板がキャリブレーションされたユニットについての機器のカスタム・スタートアップ・シーケンス

PCBの設定: WPをGNDに接続[プリント基板のワイパーの設定ポジションの変更を禁止]  
 GNDを基準としてV<sub>DD</sub>およびV<sub>SS</sub>の電源を供給  
 オプション: PRピンにストロブ信号を印加[予測不能な電源シーケンス環境においてパワーオン時にワイパー・レジスタをEEMEMの内容によるプリセットを保証]

表 XI 回路のゲインを6dBのステップで変更するための1ビット左シフト

SDI	SDO	アクション
C1XX <sub>H</sub>	XXXX <sub>H</sub>	RDAC2に格納されている現データ値を2倍とした位置にワイパーW2をA端子の向きに移動。
C1XX <sub>H</sub>	XXXX <sub>H</sub>	RDAC2に格納されている現データ値を2倍とした位置にワイパーW2をA端子の向きに移動。

表 XII 不揮発メモリーに追加のデータを格納

SDI	SDO	アクション
3280 <sub>H</sub>	XXXX <sub>H</sub>	スベアEEMEMロケーションUSER1にデータ80 <sub>H</sub> を格納。
3340 <sub>H</sub>	XXXX <sub>H</sub>	スベアEEMEMロケーションUSER2にデータ40 <sub>H</sub> を格納。

表 XIII 種々のメモリー位置からデータを読み戻す

SDI	SDO	アクション
94XX <sub>H</sub>	XXXX <sub>H</sub>	USER3の位置からのデータ読み出しの準備。仮定: USER3に80 <sub>H</sub> がロードされている。
00XX <sub>H</sub>	XX80 <sub>H</sub>	NOP命令#0により、下位8ビットがUSER3の位置の内容を保持しているSDOから16ビット・ワードを送出。NOPコマンドによりデバイスがアイドル消費電力状態に戻ることを保証。

アナログデバイゼズ社は、これらのプログラマブルなデバイスをパーソナル・コンピュータのプリンタ・ポートを通じて制御することにより評価作業を簡略化するAD5232EVALボードを販売しています。

### テスト回路

図13から図22は、製品の仕様の表において使用されているテスト条件を規定します。

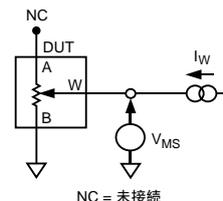


図13 抵抗ポジション非直線性誤差(加減抵抗動作、R-INL、R-DNL)

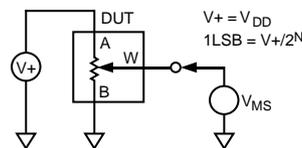


図14 ポテンショメータ・ディバイダ非直線性誤差テスト回路(INL、DNL)

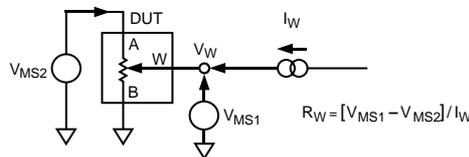


図15 ワイパー抵抗テスト回路

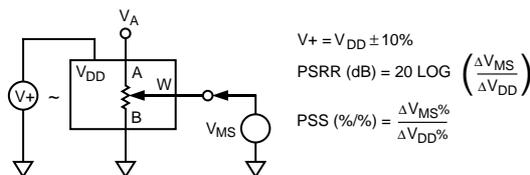


図16 電源感度テスト回路

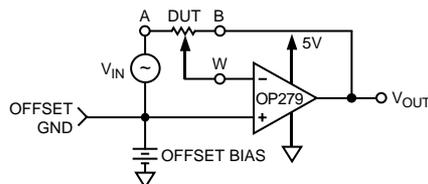


図17 反転ゲイン・テスト回路

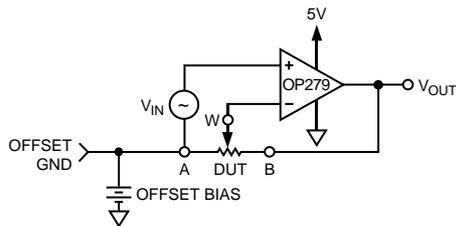


図18 非反転ゲイン・テスト回路

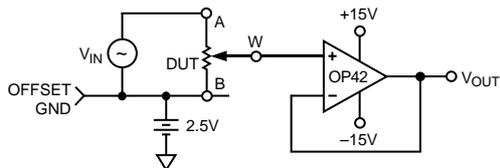


図19 ゲイン 対 周波数 テスト回路

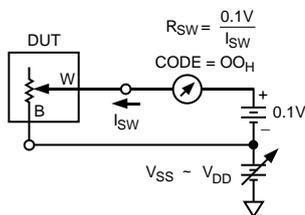


図20 インクリメンタルON抵抗テスト回路

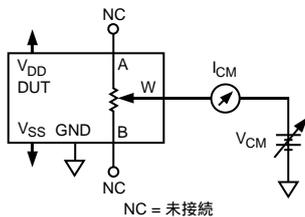


図21 コモンモード・リーク電流テスト回路

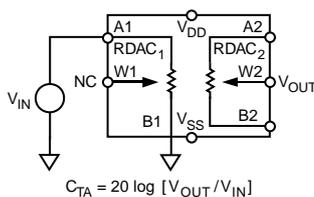


図22 アナログ・クロストーク・テスト回路

## Flash/EEMEMの信頼性

AD5232のFlash/EEメモリー・アレイは、2つの重要なFlash/EEメモリーの特性に完全に適合しています。具体的には、Flash/EEメモリーのサイクル耐久性およびFlash/EEメモリー・データの記憶保持です。

Flash/EEメモリーは耐久性を備えており、多くのプログラム、リードおよびイレースを繰り返すことができます。実際には、1つの耐久サイクルは、4つの独立したシーケンシャルなイベントにより構成されます。これらのイベントは以下のように定義されます。

- 初期化時ページ・イレース・シーケンス
- リード/ベリファイ・シーケンス
- バイト・プログラム・シーケンス
- セカンド・リード/ベリファイ・シーケンス

信頼性の適合性評価では、Flash/EEメモリーは、最初の欠陥が記録されるまで、00<sub>H</sub>からFF<sub>H</sub>までサイクルを繰り返し、オンチップのFlash/EEメモリーの耐久性の限度を確認します。

本データ・シートの仕様のページに示すように、AD5232のFlash/EEメモリーの耐久性の仕様規定は、JEDEC Specification A117にしたがって工業温度範囲である - 40 ~ +85 の範囲で行われています。この結果により、耐久性の値を25 動作での700,000サイクル数値とした場合に、電源および温度における最小の耐久性の値を100,000サイクルとした仕様を割り出せます。

記憶保持の性能は、Flash/EEメモリーがプログラムされたデータを維持できる時間を数値化したものです。ここでも、正式なJEDEC Retention Life Time Specification ( A117 ) にしたがって、特定の接合温度 ( T<sub>J</sub>=55 ) におけるAD5232の適合性が確認されています。この確認の手順の一環として、Flash/EEメモリーは、データ記憶保持の特性評価の前に、上記の特定の耐久性の限度において、サイクルされます。これは、Flash/EEメモリーが再度プログラムされる毎に、データを、仕様規定された最大限の記憶保持時間にわたって維持できることを保証するものです。また、記憶保持時間は、0.6eVの活性化エネルギーを前提とした場合に、図23に示すようにT<sub>J</sub>とともに劣化することに注意してください。

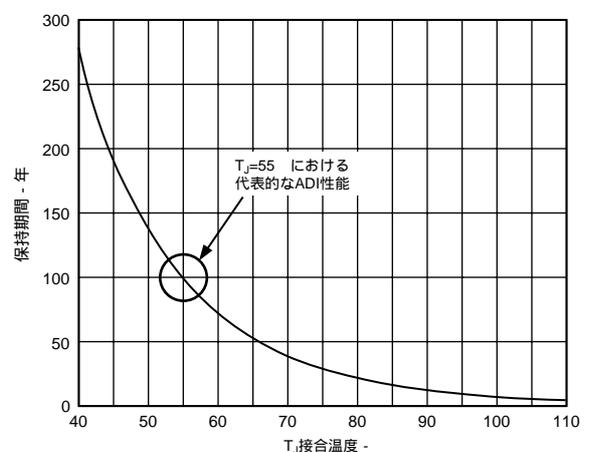
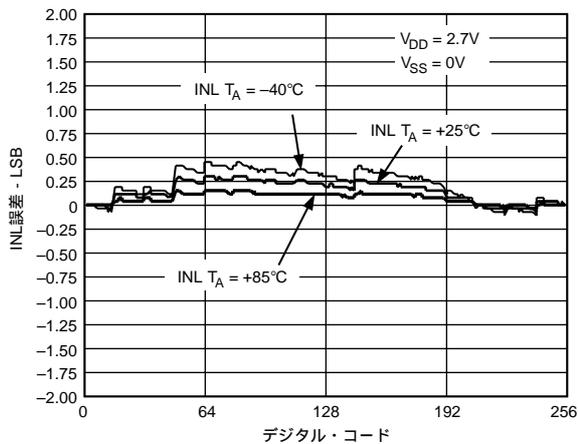
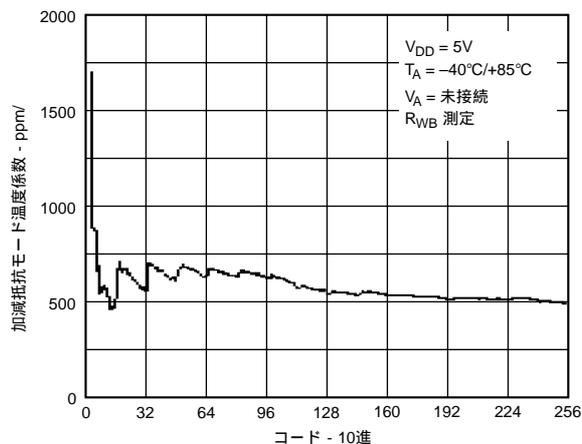


図23 Flash/EEメモリーによるデータ記憶保持

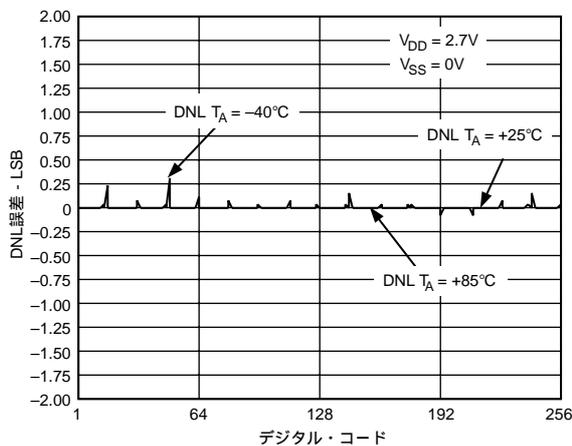
# AD5232 代表的な性能特性



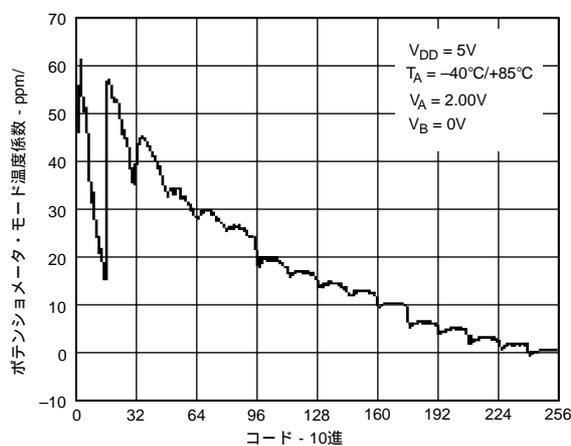
特性1 INL 対コード ( $T_A = -40$ 、 $+25$ 、 $+85$  オーバーレイ)



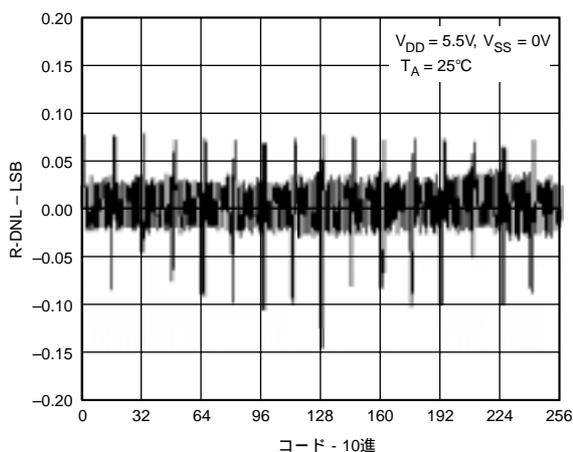
特性4  $R_{WB}/T$  対コード ( $R_{AB}=10k$ 、 $V_{DD}=5V$ )



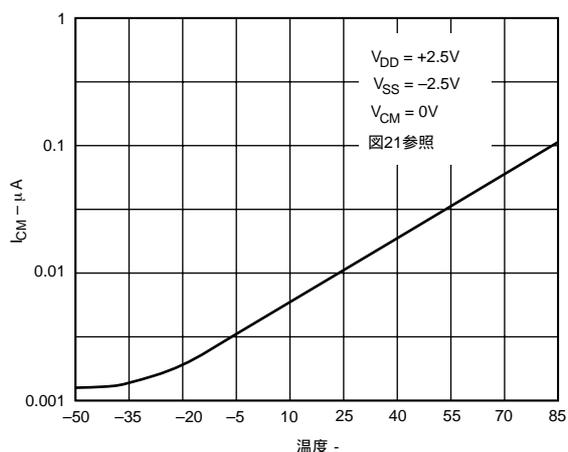
特性2 DNL 対コード ( $T_A = -40$ 、 $+25$ 、 $+85$  オーバーレイ)



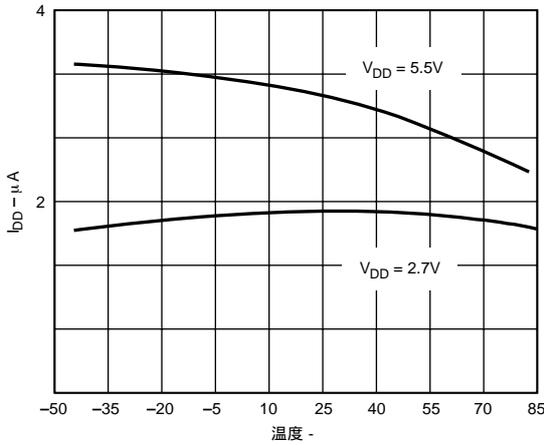
特性5  $V_{WB}/T$  対コード ( $R_{AB}=10k$ 、 $V_{DD}=5V$ )



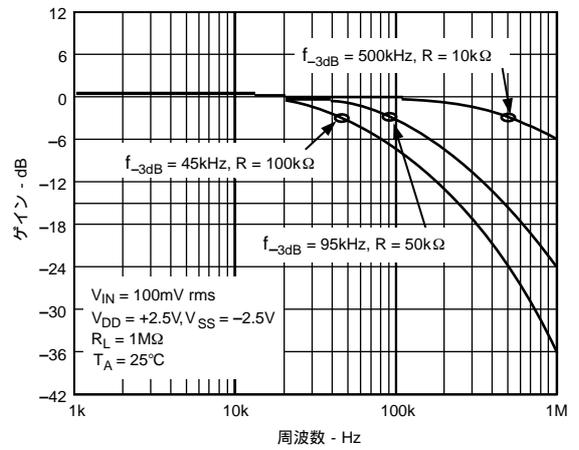
特性3 R-DNL 対コード ( $R_{AB}=10k$ 、 $50k$ 、 $100k$  オーバーレイ)



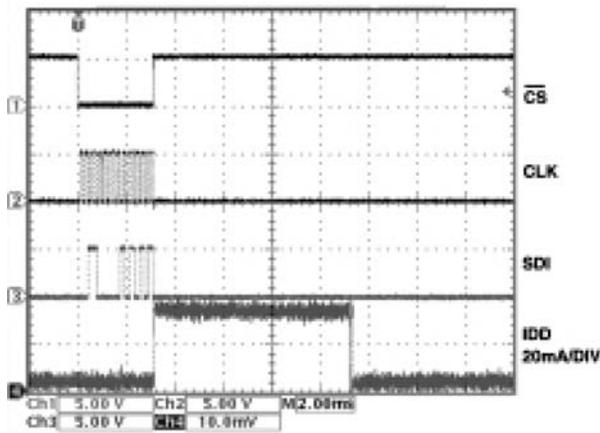
特性6  $I_{CM}$  対温度



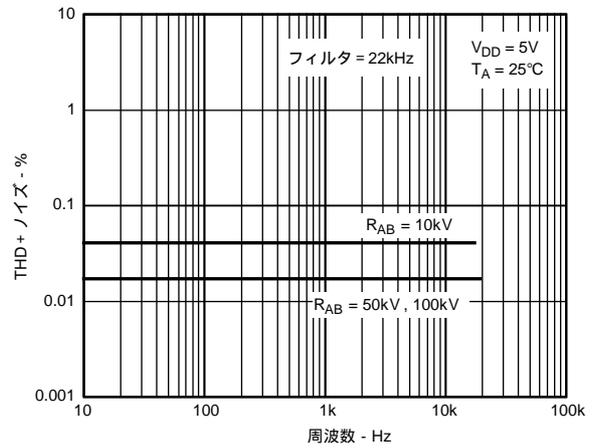
特性7  $I_{DD}$  対 温度



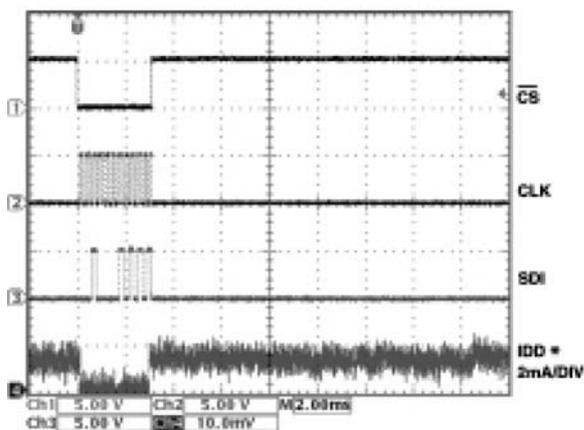
特性10 - 3dB帯域幅 対 抵抗



特性8  $I_{DD}$  対 時間 (セーブ) プログラム・モード

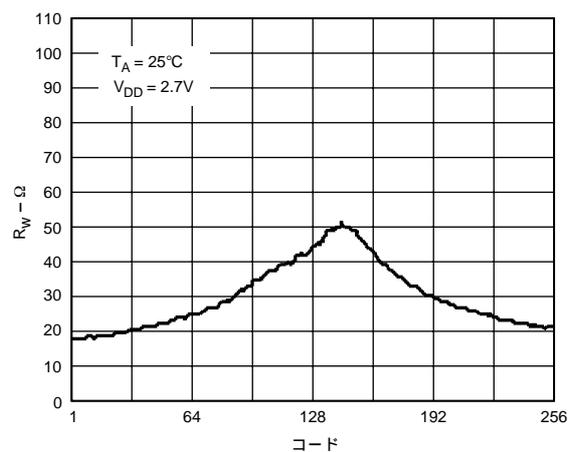


特性11 全高調波歪み 対 周波数



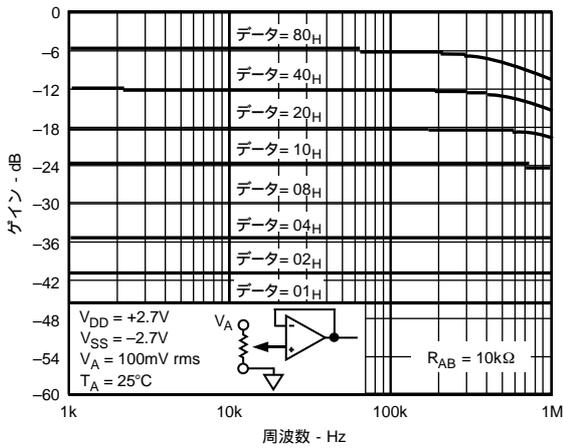
\*電源電流は、命令#0[NOPI]が命令#1[READ EEMEM]の直後に実行された場合には、消費電力が最小の状態となります。

特性9  $I_{DD}$  対 タイム・リード・モード

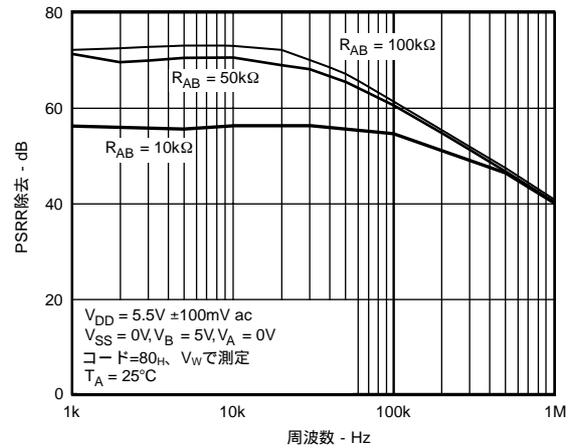


特性12 ワイパー・オン抵抗 対 コード

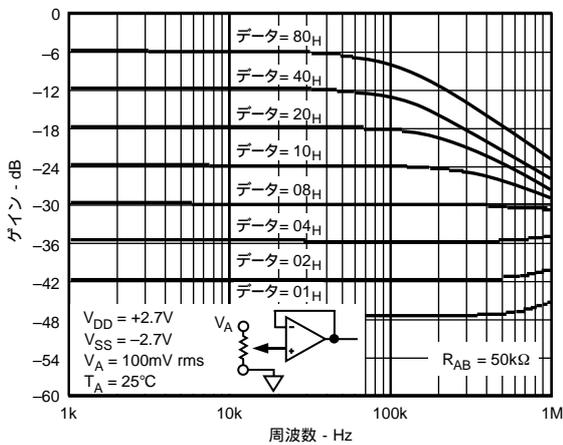
# AD5232



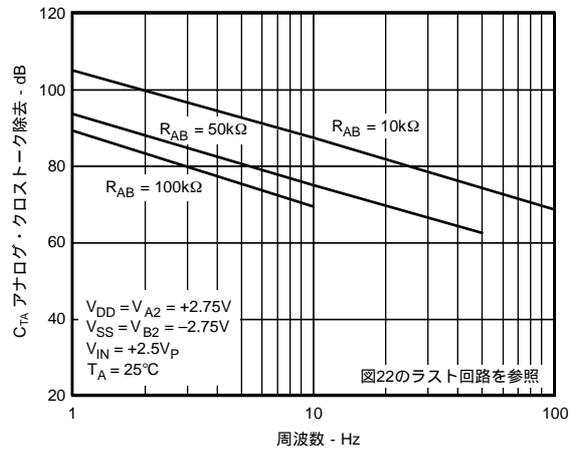
特性13 ゲイン対周波数対コード ( $R_{AB}=10k\Omega$ )



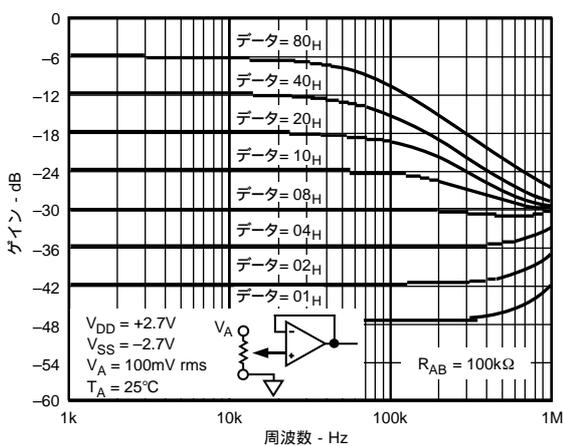
特性16 PSRR対周波数



特性14 ゲイン対周波数対コード ( $R_{AB}=50k\Omega$ )



特性17 アナログ・クロストーク対周波数



特性15 ゲイン対周波数対コード ( $R_{AB}=100k\Omega$ )

## デジタル・ポテンシオメータ・ファミリー・セレクション・ガイド

部品番号	パッケージ あたりの VR数	端子電圧 範囲(V)	インター フェース・ データ制御	公称 抵抗値 (k)	分解能 (ワイパー・ボ ジションの数)	電源電流 (IDD) ( $\mu$ A)	パッケージ	コメント
AD5201	1	$\pm 3,+5.5$	3線式	10,50	33	40	$\mu$ SOIC-10	完全AC仕様、両電源、パ ワーオン・リセット、ローコスト
AD5220	1	5.5	UP/ DOWN	10,50,100	128	40	PDIP,SO-8, $\mu$ SOIC-8	ロールオーバーなし、パワ ーオン・リセット
AD7376	1	$\pm 15,+28$	3線式	10,50,100, 1000	128	100	PDIP-14,SOL-16, TSSOP-14	単電源28V,両電源 $\pm 15V$ 動作
AD5200	1	$\pm 3,+5.5$	3線式	10,50	256	40	$\mu$ SOIC-10	完全AC仕様、両電源、パワ ーオン・リセット
AD8400	1	5.5	3線式	1,10,50,100	256	5	SO-8	完全AC仕様
AD5260	1	$\pm 5,+15$	3線式	20,50,200	256	60	TSSOP-14	+5 ~ +15Vまたは $\pm 15V$ 動 作、TC<50ppm/
AD5241	1	$\pm 3,+5.5$	2線式	10,100,1000	256	50	SO-14,TSSOP-14	I <sup>2</sup> Cコンパチブル、 TC<50ppm/
AD5231	1	$\pm 2.75,+5.5$	3線式	10,50,100	1024	10	TSSOP-16	不揮発メモリー、ダイレク ト・プログラム、I/D、 $\pm 6dB$ 設定可
AD5222	2	$\pm 3,+5.5$	UP/ DOWN	10,50,100, 1000	128	80	SO-14、TSSOP-14	ロールオーバーなし、ステレ オ、パワーオン・リセット、 TC<50ppm/
AD8402	2	5.5	3線式	1,10,50,100	256	5	PDIP,SO-14, TSSOP-14	完全AC仕様、nAシャット ダウン電流
AD5207	2	$\pm 3,+5.5$	3線式	10,50,100	256	40	TSSOP-14	完全AC仕様、両電源、 パワーオン・リセット、SDO
AD5232	2	$\pm 2.75,+5.5$	3線式	10,50,100	256	10	TSSOP-16	不揮発メモリー、ダイレク ト・プログラム、I/D、 $\pm 6dB$ 設定可
AD5235*	2	$\pm 2.75,+5.5$	3線式	25,250	1024	20	TSSOP-16	不揮発メモリー、ダイレクト・ プログラム、TC<50ppm/
AD5242	2	$\pm 3,+5.5$	2線式	10,100,1000	256	50	SO-16,TSSOP-16	I <sup>2</sup> Cコンパチブル、 TC<50ppm/
AD5262*	2	$\pm 5,+15$	3線式	20,50,200	256	60	TSSOP-16	+5 ~ +15Vまたは $\pm 5V$ 動作、 TC<50ppm/
AD5203	4	5.5	3線式	10,100	64	5	PDIP,SOL-24, TSSOP-24	完全AC仕様、nAシャットダ ウン電流
AD5233	4	$\pm 2.75,+5.5$	3線式	10,50,100	64	10	TSSOP-16	不揮発メモリー、ダイレクト・ プログラム、I/D、 $\pm 6dB$ 設定可
AD5204	4	$\pm 3,+5.5$	3線式	10,50,100	256	60	PDIP,SOL-24, TSSOP-24	完全AC仕様、両電源、 パワーオン・リセット
AD8403	4	5.5	3線式	1,10,50,100	256	5	PDIP,SOL-24, TSSOP-24	完全AC仕様、nAシャットダ ウン電流
AD5206	6	$\pm 3,+5.5$	3線式	10,50,100	256	60	PDIP,SOL-24, TSSOP-24	完全AC仕様、両電源、パワ ーオン・リセット

\*供給予定。お問い合わせください。

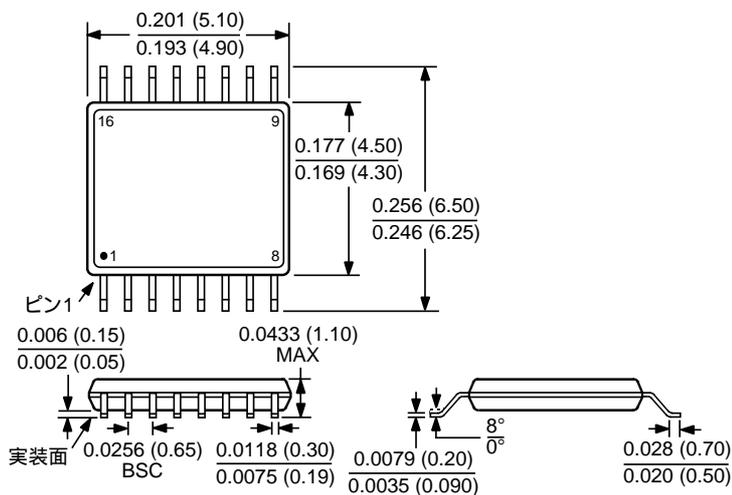
最新のデジタル・ポテンシオメータについての情報は、[www.analog.com/DigitalPotentiometers](http://www.analog.com/DigitalPotentiometers)でご覧いただけます。

# AD5232

## 外形寸法

サイズはインチと (mm) で示します。

16ピン TSSOP  
(RU-16)



TDS12/2001/1000

PRINTED IN JAPAN

