

**特長**

- 不揮発性メモリー<sup>1</sup>のプリセットによりワイパー設定を保持
- 分解能：1024ポジション
- フル単調動作
- ピン間抵抗10k、50k、100k が選択可能
- 永久的なメモリー書き込み保護
- ワイパー設定のリードバック可能
- 直線的なインクリメント/デクリメント
- 対数テーパのインクリメント/デクリメント
- プッシュ・ボタン・インクリメント/デクリメントと互換
- リードバック機能付きのSPI互換シリアル・インターフェースを内蔵
- +3 ~ +5V単電源または±2.5V両電源動作
- 定数保存用の28バイト・ユーザー不揮発性メモリーが使用可能
- データ保持：T<sub>A</sub> = 55 °Cで100年 (Typ値)

**アプリケーション**

- 機械的ポテンシオメータの置き換え
- 計装でのゲインやオフセットの調整
- プログラマブルな電圧/電流変換
- プログラマブルなフィルタ、遅延、時定数
- ライン・インピーダンス整合
- 電源電圧の調整
- 低分解能DACの置き換え

**概要**

AD5231は、1024ポジションの分解能を持つ、デジタル制御の不揮発性メモリー・ポテンシオメータ<sup>2</sup>を提供します。AD5231は、機械的ポテンシオメータと同じ電気的調整機能を実行します。標準3線式シリアル・インターフェースを経由してAD5231のさまざまなプログラミング機能を使うと、スクラッチ・パッド・プログラミング、メモリーへの保存および読み出し、インクリメント/デクリメント、対数テーパ調整、ワイパー設定のリードバック、さらにユーザー定義のEEMEMなどの16種類の動作モードと調整が可能になります。

スクラッチ・パッド・プログラミング・モードでは、特定の設定をWピン～Aピン間とWピン～Bピン間の抵抗を設定するRDAC<sup>2</sup>レジスタに直接プログラムできます。また、それまでEEMEM<sup>1</sup>レジスタに格納されていた値をRDACレジスタにロードすることもできます。EEMEMの値は変更することも、保護することもできます。RDACレジスタの値を変更したときは、新しい設定値をEEMEMに保存できます。その後、このような値はシステムのパワーオン時に自動的にRDACレジスタに転送されます。これは、内部プリセット・ストローブによりイネー

注  
1 用語“不揮発性メモリー”と“EEMEM”は同じ意味で使用しています。  
2 用語“デジタル・ポテンシオメータ”と“RDAC”は同じ意味で使用しています。  
\*特許申請中。

REV.0

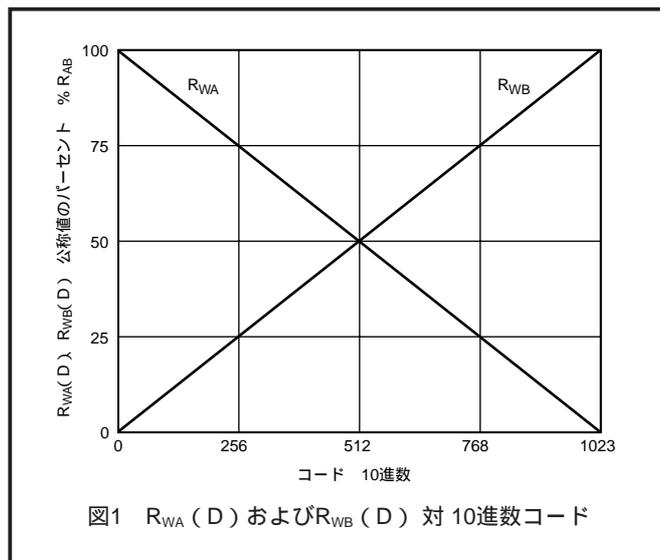
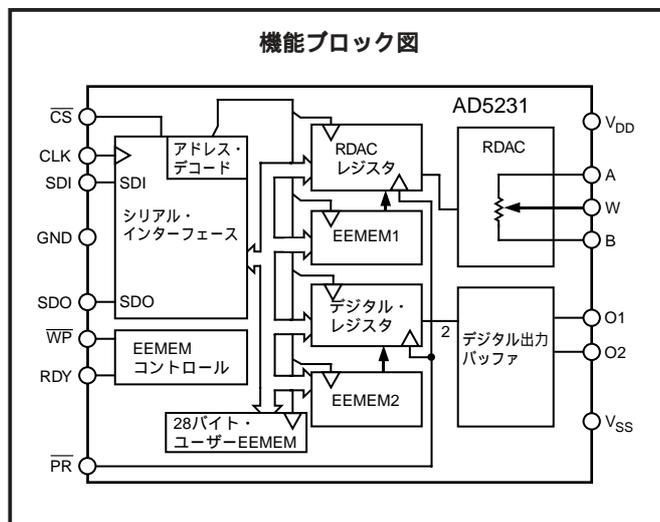


図1 R<sub>WA</sub>(D)およびR<sub>WB</sub>(D) 対 10進数コード

ブルにされます。また、EEMEM1は、直接プログラミング機能と外部プリセット・ピン制御機能を使って読み出すこともできます。

その他の動作としては、RDACレジスタ内の設定値を1度に1ステップずつ増減させる連続的なステップ・インクリメントとデクリメントのコマンドなどもあります。ワイパー設定値を対数変化させる場合は、左/右ビット・シフト・コマンドにより±6dBステップでレベルを調整します。

AD5231は薄型16ピンTSSOPパッケージを採用しています。全部品は、-40 ~ +85 °Cの拡張工業温度範囲で仕様規定されています。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

# AD5231 - 仕様

## 電気的特性 10k、50k、100k バージョン

(特に指定のない限り、 $V_{DD} = 3V \pm 10\%$  または  $5V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $V_A = +V_{DD}$ 、 $V_B = 0V$ 、 $-40 < T_A < +85$ )

パラメータ	記号	条件	Min	Typ <sup>1</sup>	Max	単位
<b>DC特性</b>						
可変抵抗器モード						
抵抗の微分非直線性 <sup>2</sup>	R-DNL	$R_{WB}$ 、 $V_A = NC$ 、単調	- 1	$\pm 1/2$	+ 1.8	LSB
抵抗の積分非直線性 <sup>2</sup>	R-INL	$R_{WB}$ 、 $V_A = NC$	- 0.2		+ 0.2	% FS
公称抵抗偏差	$R_{WB}$	$D = 3FF_H$	- 40		+ 20	%
抵抗温度係数	$R_{AB}/T$			600		ppm/
ワイパー抵抗	$R_W$	$I_W = 100 \mu A$ 、 $V_{DD} = 5.5V$ 、 コード = ハーフスケール $I_W = 100 \mu A$ 、 $V_{DD} = 3V$ 、 コード = ハーフスケール		15	100	
				50		
<b>DC特性</b>						
ポテンショメータ分割器モード						
分解能	N		10			ビット
微分非直線性 <sup>3</sup>	DNL	単調、 $T_A = 25$	- 1	$\pm 1/2$	+ 1	LSB
		単調、 $T_A = -40$ または $+85$	- 1		+ 1.25	LSB
積分非直線性 <sup>3</sup>	INL		- 0.4		+ 0.4	% FS
電圧分割器温度係数	$V_W/T$	コード = ハーフスケール		15		ppm/
フルスケール誤差	$V_{WFSE}$	コード = フルスケール	- 3		0	% FS
ゼロスケール誤差	$V_{WZSE}$	コード = ゼロスケール	0		+ 1.5	% FS
<b>抵抗ピン</b>						
ピン電圧範囲 <sup>4</sup>	$V_{A,B}$		$V_{SS}$		$V_{DD}$	V
容量 <sup>5A, B</sup>	$C_{A,B}$	$f = 1MHz$ 、GNDに対して測定、 コード = ハーフスケール		50		pF
容量 <sup>5W</sup>	$C_W$	$f = 1MHz$ 、GNDに対して測定、 コード = ハーフスケール		50		pF
コモン・モード・リーク電流 <sup>5, 6</sup>	$I_{CM}$	$V_W = V_{DD}/2$		0.01	1	$\mu A$
<b>デジタル入力および出力</b>						
入力ロジック・ハイレベル	$V_{IH}$	GND基準、 $V_{DD} = 5V$	2.4			V
入力ロジック・ローレベル	$V_{IL}$	GND基準、 $V_{DD} = 5V$			0.8	V
入力ロジック・ハイレベル	$V_{IH}$	GND基準、 $V_{DD} = 3V$	2.1			V
入力ロジック・ローレベル	$V_{IL}$	GND基準、 $V_{DD} = 3V$			0.6	V
入力ロジック・ハイレベル	$V_{IH}$	GND基準、 $V_{DD} = +2.5V$ 、 $V_{SS} = -2.5V$	2.0			V
入力ロジック・ローレベル	$V_{IL}$	GND基準、 $V_{DD} = +2.5V$ 、 $V_{SS} = -2.5V$			0.5	V
出力ロジック・ハイレベル (SDO、RDY)	$V_{OH}$	$R_{PULL-UP} = 2.2k \sim 5V$	4.9			V
出力ロジック・ローレベル	$V_{OL}$	$I_{OL} = 1.6mA$ 、 $V_{LOGIC} = 5V$			0.4	V
入力電流	$I_{IL}$	$V_{IN} = 0V$ または $V_{DD}$			$\pm 2.5$	$\mu A$
入力容量 <sup>5</sup>	$C_{IL}$			4		pF
出力電流 <sup>5</sup>	$I_{O1}$ 、 $I_{O2}$	$V_{DD} = 5V$ 、 $V_{SS} = 0V$ 、 $T_A = 25$ $V_{DD} = 2.5V$ 、 $V_{SS} = 0V$ 、 $T_A = 25$		50		mA
				7		mA
<b>電源</b>						
単電源電圧範囲	$V_{DD}$	$V_{SS} = 0V$	2.7		5.5	V
両電源電圧範囲	$V_{DD}/V_{SS}$		$\pm 2.25$		$\pm 2.75$	V
正電源電流	$I_{DD}$	$V_{IH} = V_{DD}$ または $V_{IL} = GND$		2.7	10	$\mu A$
プログラミング・モードでの電流	$I_{DD(PG)}$	$V_{IH} = V_{DD}$ または $V_{IL} = GND$		40		mA
リードバック・モード <sup>7</sup> での電流	$I_{DD(XFR)}$	$V_{IH} = V_{DD}$ または $V_{IL} = GND$	0.3	3	9	mA
負電源電流	$I_{SS}$	$V_{IH} = V_{DD}$ または $V_{IL} = GND$ 、 $V_{DD} = +2.5V$ 、 $V_{SS} = -2.5V$		0.5	10	$\mu A$
消費電力 <sup>8</sup>	$P_{DISS}$	$V_{IH} = V_{DD}$ または $V_{IL} = GND$		0.018	0.05	mW
電源感受性 <sup>5</sup> $I_O I_{OL}$	$P_{SS}$	$V_{DD} = 5V \pm 10\%$		0.002	0.01	%/%
<b>ダイナミック特性<sup>9</sup></b>						
帯域幅	BW	- 3dB、 $R = 10k / 50k / 100k$		370/85/44		kHz
総合高調波歪み	THD <sub>W</sub>	$V_A = V_{RMS}$ 、 $V_B = 0V$ 、 $f = 1kHz$ 、 $R_{AB} = 10k$		0.022		%
総合高調波歪み	THD <sub>W</sub>	$V_A = V_{RMS}$ 、 $V_B = 0V$ 、 $f = 1kHz$ 、 $R_{AB} = 50k$ 、 $100k$		0.045		%

パラメータ	記号	条件	Min	Typ <sup>1</sup>	Max	単位
V <sub>W</sub> セトリング・タイム	t <sub>s</sub>	V <sub>A</sub> = V <sub>DD</sub> 、V <sub>B</sub> = 0V、 V <sub>W</sub> = 0.50%誤差帯域、 コード000 <sub>H</sub> ~ 200 <sub>H</sub>		1.2/3.7/7		μs
抵抗ノイズ電圧	e <sub>N_WB</sub>	R <sub>AB</sub> = 10k /50k /100k の場合 R <sub>WB</sub> = 5k、f = 1kHz		9		nV/√Hz

## 注

- Typ値は、25 およびV<sub>DD</sub> = 5Vでの平均測定値。
  - 抵抗ポジション非直線性誤差R-INLは、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNLは、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。R<sub>AB</sub> = 10k パージョンの場合、V<sub>DD</sub> = +2.7VでI<sub>W</sub> = 50 μAおよびV<sub>DD</sub> = +5VでI<sub>W</sub> = 400 μA。R<sub>AB</sub> = 50k パージョンの場合I<sub>W</sub> = 50 μA。R<sub>AB</sub> = 100k パージョンの場合I<sub>W</sub> = 25 μA。テスト回路図12参照。
  - INLとDNLは、RDACを電圧出力D/Aコンバータと同じポテンショメータ分割器として設定して、V<sub>W</sub>で測定。V<sub>A</sub> = V<sub>DD</sub>かつV<sub>B</sub> = V<sub>SS</sub>。DNL仕様規定値の最小 -1LSBは、単調動作状態で保証。テスト回路図13参照。
  - 抵抗ピンA、B、Wの極性は相互間で制約されません。両電源動作では、グラウンドを基準としたバイポーラ信号の調整が可能です。
  - 設計上保証しますが、出荷テストは行いません。
  - コモン・モード・リーク電流は、任意のピンBとピンWからコモン・モード・バイアス・レベルV<sub>DD</sub>/2までのDCリークを測定。
  - 転送(XFR)モード電流は不連続。EEMEMロケーションを読み出してRDACレジスタへ転送するとき、電流が消費されます。特性19を参照。
  - P<sub>DISS</sub>は(I<sub>DD</sub> × V<sub>DD</sub>) + (I<sub>SS</sub> × V<sub>SS</sub>) から計算。
  - すべてのダイナミック特性では、V<sub>DD</sub> = +2.5VかつV<sub>SS</sub> = -2.5Vを使用。
- 仕様は予告なく変更されることがあります。

## 電気的特性10k、50k、100k パージョン

(特に指定のない限り、V<sub>DD</sub> = 3V ~ 5.5V、-40 <T<sub>A</sub>< +85 )

パラメータ	記号	条件	Min	Typ <sup>1</sup>	Max	単位
インターフェース・タイミング特性 <sup>2,3</sup>						
クロック・サイクル・タイム (t <sub>CYC</sub> )	t <sub>1</sub>		20			ns
CSセットアップ・タイム	t <sub>2</sub>		10			ns
CSの立ち上がりまでのCLKシャットダウン時間	t <sub>3</sub>		1			t <sub>CYC</sub>
入力クロック・パルス幅	t <sub>4</sub> 、t <sub>5</sub>	クロック・レベルのハイレベルまたはローレベル	10			ns
データ・セットアップ・タイム	t <sub>6</sub>	CLKの立ち上がり変化から	5			ns
データ・ホールド・タイム	t <sub>7</sub>	CLKの立ち上がり変化から	5			ns
CSからSDO-SPIライン取得まで	t <sub>8</sub>				40	ns
CSからSDO-SPIライン開放まで	t <sub>9</sub>				50	ns
CLKからのSDO伝搬遅延 <sup>4</sup>	t <sub>10</sub>	R <sub>P</sub> = 2.2k、C <sub>L</sub> < 20pF			50	ns
CLKからのSDOデータ・ホールド・タイム	t <sub>11</sub>	R <sub>P</sub> = 2.2k、C <sub>L</sub> < 20pF	0			ns
CSハイレベル・パルス幅 <sup>5</sup>	t <sub>12</sub>		10			ns
CSのハイレベルからCSのハイレベルまで <sup>5</sup>	t <sub>13</sub>		4			t <sub>CYC</sub>
RDYの立ち上がりからCSの立ち下がりまで	t <sub>14</sub>		0			ns
CSの立ち上がりからRDY立ち下がりまで	t <sub>15</sub>			0.1	0.15	ms
不揮発性EEMEMの読み出し/ストア <sup>6</sup>	t <sub>16</sub>	コマンド2 <sub>H</sub> 、3 <sub>H</sub> 、9 <sub>H</sub> に適用			25	ms
CSの立ち上がりからのクロック立ち上がり/立ち下がりのセットアップ・タイム	t <sub>17</sub>		10			ms
プリセット・パルス幅 (非同期)	t <sub>PRW</sub>	タイミング図には表示なし	50			ms
RDYのハイレベルまでのプリセット応答時間	t <sub>PRESP</sub>	PRパルスのローレベルからワイパー・ポジションのリフレッシュまで		70		μs
FLASH/EEメモリーの信頼性						
書き込み回数 <sup>7</sup>			100			Kサイクル
データ保持 <sup>8</sup>				100		年

## 注

- Typ値は、25 およびV<sub>DD</sub> = 5Vでの平均測定値。
  - 設計上保証しますが、出荷テストは行いません。
  - 測定場所についてはタイミング図を参照してください。すべての入力制御電圧はt<sub>R</sub> = t<sub>F</sub> = 2.5ns (3Vの10~90%)で規定し、1.5Vの電圧レベルからの時間とします。スイッチング特性は、V<sub>DD</sub> = 3Vと5Vの両方を使って測定。
  - 伝搬遅延は、V<sub>DD</sub>、R<sub>PULL\_UP</sub>、C<sub>L</sub>の値に依存します。アプリケーションの節を参照してください。
  - RDYピンをアクティブにしないコマンドに対して有効。
  - コマンド2、3、8、9、10、およびPRハードウェア・パルス：CMD\_8 ~ 1μs；CMD\_9、10 ~ 0.12μs；CMD\_2、3 ~ 20μsに対してのみRDYピンはローレベルになります。T<sub>A</sub> = -40 かつV<sub>DD</sub> < +3Vでのデバイス動作では、保存時間が35μsまで長くなります。
  - 書き込みサイクルは、JEDEC Std.22メソッドA117に基づき100、000サイクルで評価し、-40、+25、+85で測定。25での書き込み回数は700,000サイクル (typ値)。
  - JEDEC Std. 22、メソッドA117に基づく接合部温度 (T<sub>J</sub>) = 55 と等価なデータ保持寿命。活性化エネルギー0.66eVに基づくデータ保持寿命は、本データシートのFLASH/EEメモリー説明の節の図20に示すように接合部温度の上昇とともに短くなります。AD5231には9、646個のトランジスタが内蔵されています。  
チップ・サイズ：69ミル×115ミル、7、993平方ミル
- 仕様は予告なく変更されることがあります。

# AD5231

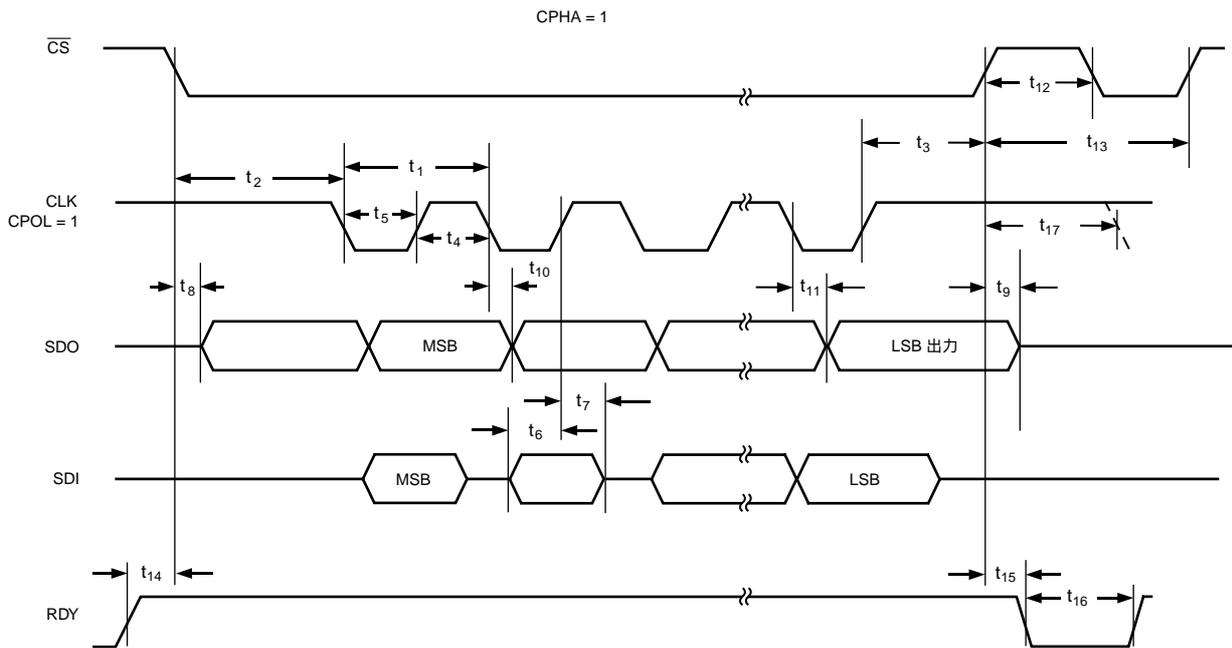


図2a CPHA = 1でのタイミング図

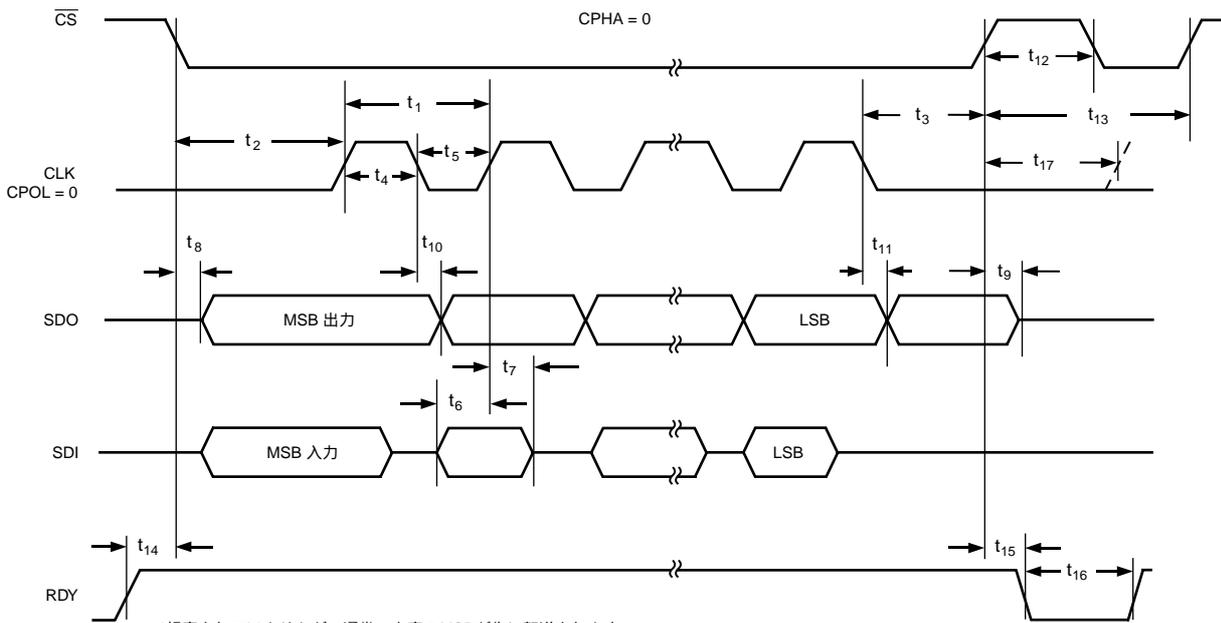


図2b CPHA = 0でのタイミング図

## 絶対最大定格<sup>1</sup>

(特に指定のない限り、 $T_A = 25$  )

$V_{DD} \sim GND$  - 0.3V、 + 7V

$V_{SS} \sim GND$  + 0.3V、 - 7V

$V_{DD} \sim V_{SS}$  7V

$V_A$ 、 $V_B$ 、 $V_W \sim GND$   $V_{SS} - 0.3V$ 、 $V_{DD} + 0.3V$

A-B、A-W、B-W

断続的<sup>2</sup>  $\pm 20mA$

連続  $\pm 2mA$

GNDを基準とするデジタル入力および出力電圧  
- 0.3V、 $V_{DD} + 0.3V$

動作温度範囲<sup>3</sup> - 40 ~ + 85

最大接合温度 ( $T_J \text{ Max}$ ) 150

保管温度 - 65 ~ + 150

ピン温度、ハンダ処理

蒸着 (60秒) 215

赤外線 (15秒) 220

接合部 ~ 周囲間熱抵抗  $J_A$ 、

TSSOP-16 150 /W

接合部 ~ ケース間熱抵抗  $J_C$ 、

TSSOP-16 28 /W

パッケージあたりのワット損 =  $(T_J \text{ Max} - T_A) / J_A$

## 注

1 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

2 最大ピン電流は、スイッチの最大処理電流、パッケージ最大消費電力、Aピン、Bピン、Wピン内の任意の2ピン間の、設定された抵抗での最大入力電圧により制約されます。

3 不揮発性メモリーのプログラミングを含みます。

## オーダー・ガイド

製品モデル	RAB (k )	温度範囲	パッケージ	パッケージ・オプション	注文単位	上面マーク*
AD5231BRU10	10	- 40 ~ + 85	TSSOP-16	RU-16	96	5231B10
AD5231BRU10-REEL7	10	- 40 ~ + 85	TSSOP-16	RU-16	1,000	5231B10
AD5231BRU50	50	- 40 ~ + 85	TSSOP-16	RU-16	96	5231B50
AD5231BRU50-REEL7	50	- 40 ~ + 85	TSSOP-16	RU-16	1,000	5231B50
AD5231BRU100	100	- 40 ~ + 85	TSSOP-16	RU-16	96	5231BC
AD5231BRU100-REEL7	100	- 40 ~ + 85	TSSOP-16	RU-16	1,000	5231BC

\*1行目はADIロゴ記号とデータ・コードYYWW；2行目は、この表に示す詳細モデル番号。

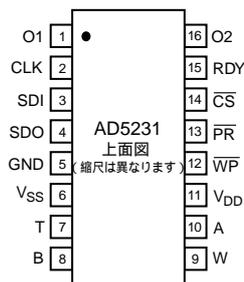
## 注意

ESD ( 静電放電 ) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



# AD5231

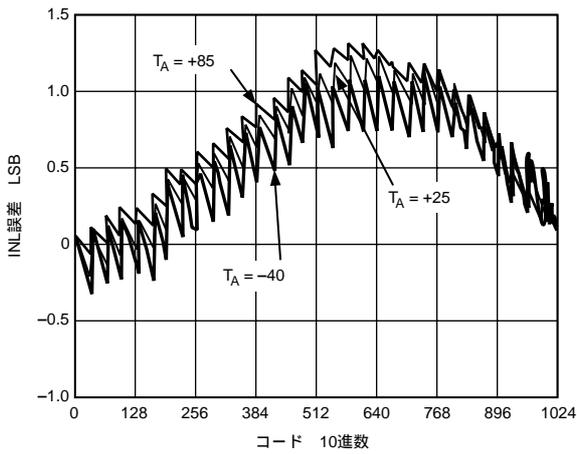
## ピン配置



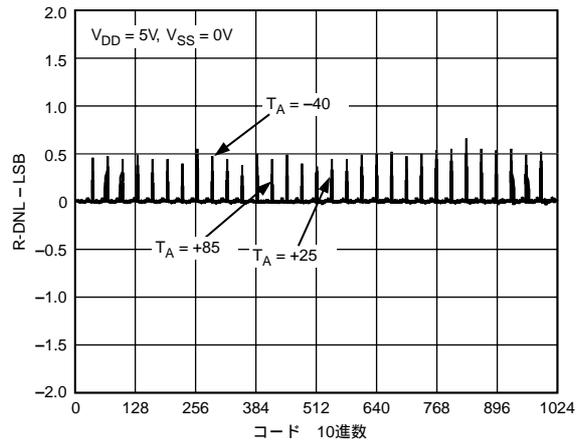
## ピン機能の説明

ピン番号	記号	説明
1	O1	不揮発性デジタル出力#1。ADDR (O1) = 1 <sub>H</sub> 、データ・ビット・ポジションD0
2	CLK	シリアル入力レジスタのクロック・ピン。クロックの立ち上がりエッジで1ビットずつシフト入力。
3	SDI	シリアル・データ入力ピン。CLKクロックの立ち上がりエッジで1ビットずつシフト入力。MSB先頭でロード。
4	SDO	シリアル・データ出力ピン。オープン・ドレイン出力で外部プルアップ抵抗が必要。コマンド9と10がSDO出力をアクティブにします (表III 命令動作の真理値表を参照)。他のコマンドは、前にロードされたSDIビット・パターンを24クロック・パルス分遅延してシフト出力。これにより、複数パッケージのデジチェーン動作が可能。
5	GND	グラウンド・ピン、ロジック・グラウンド基準。
6	V <sub>SS</sub>	負電源。単電源アプリケーションの場合は0Vに接続。
7	T	出荷テスト・モードでデジタル入力として使用。V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。
8	B	RDACのBピン。
9	W	RDACのワイパー・ピン。ADDR (RDAC1) = 0 <sub>H</sub> 。
10	A	RDAC1のAピン。
11	V <sub>DD</sub>	正電源ピン。
12	$\overline{WP}$	書き込み保護ピン。アクティブ・ローレベルにすると、 $\overline{WP}$ は $\overline{PR}$ 以外の現在の内容の変更を禁止します。コマンド1とコマンド8はEEMEMの値によりRDACレジスタをリフレッシュします。NOP命令時に実行した後、 $\overline{WP}$ はハイレベルに戻ります。
13	$\overline{PR}$	ハードウェア・オーバーライド・プリセット・ピン。EEMEMレジスタの現在の内容でスクラッチ・パッド・レジスタをリフレッシュします。ユーザーがEEMEMに新しい値をロードするまで、出荷時デフォルト値のミッドスケール512 <sub>10</sub> がロードされます ( $\overline{PR}$ はロジック・ハイレベルへの変化でアクティブになります)。
14	$\overline{CS}$	シリアル・レジスタ・チップ・セレクト、アクティブ・ロー。CSがロジック・ハイレベルに戻ると、シリアル・レジスタの動作が開始されます。
15	RDY	レディ。アクティブ・ハイのオープン・ドレイン出力。コマンド2、3、8、9、10、 $\overline{PR}$ の完了を表示します。
16	O2	不揮発性デジタル出力#2。ADDR (O2) = 1 <sub>H</sub> 、データ・ビット・ポジションD1。

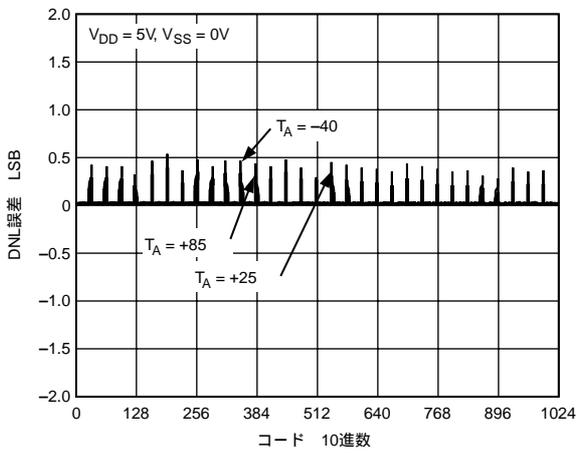
# 代表的な性能特性 - AD5231



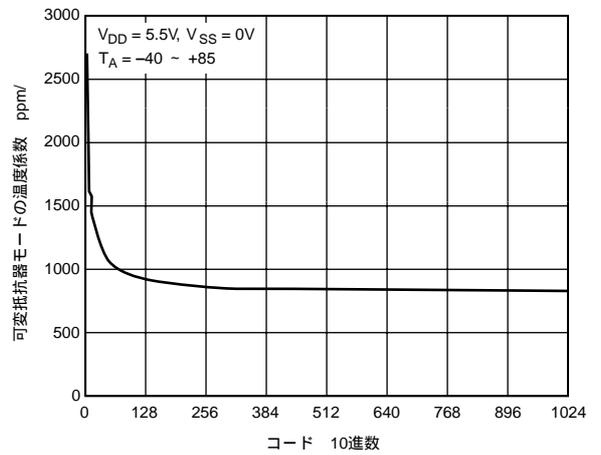
特性1 INL 対 コード、 $T_A = -40$ 、 $+25$ 、 $+85$  オーバーレイ、 $R_{AB} = 10k$



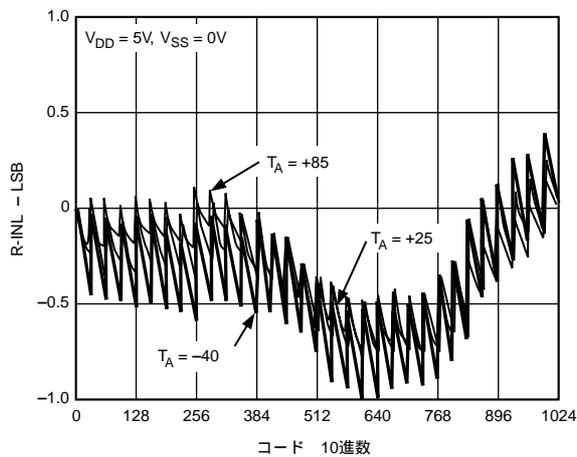
特性4 R-DNL 対 コード、 $T_A = -40$ 、 $+25$ 、 $+85$  オーバーレイ、 $R_{AB} = 10k$



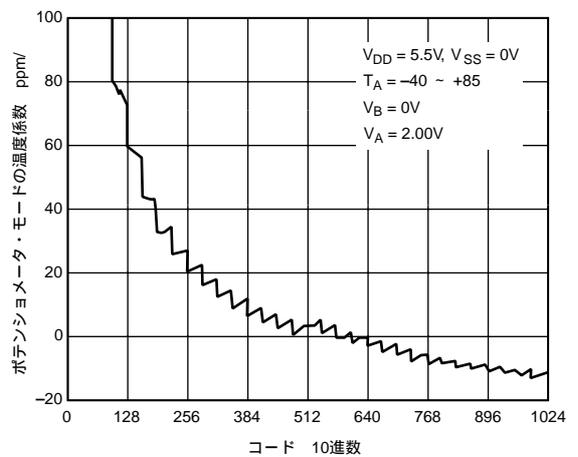
特性2 DNL 対 コード、 $T_A = -40$ 、 $+25$ 、 $+85$  オーバーレイ、 $R_{AB} = 10k$



特性5  $R_{WB}/T$  対 コード、 $R_{AB} = 10k$

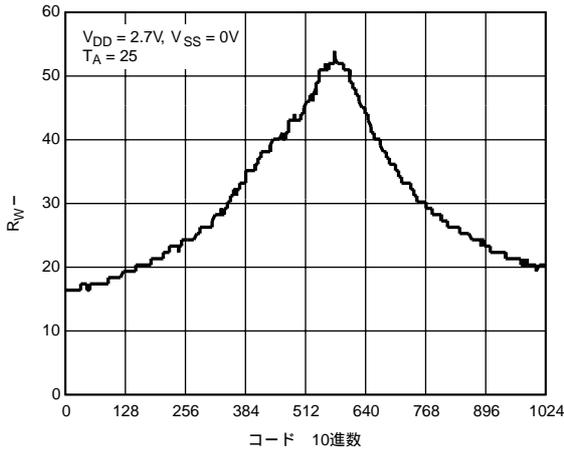


特性3 R-INL 対 コード、 $T_A = -40$ 、 $+25$ 、 $+85$  オーバーレイ、 $R_{AB} = 10k$

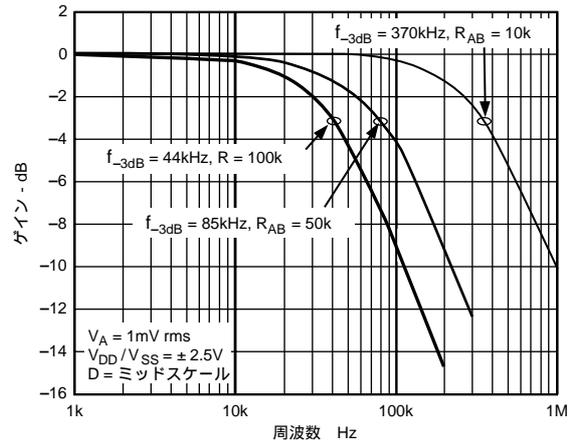


特性6  $R_{WB}/T$  対 コード、 $R_{AB} = 10k$

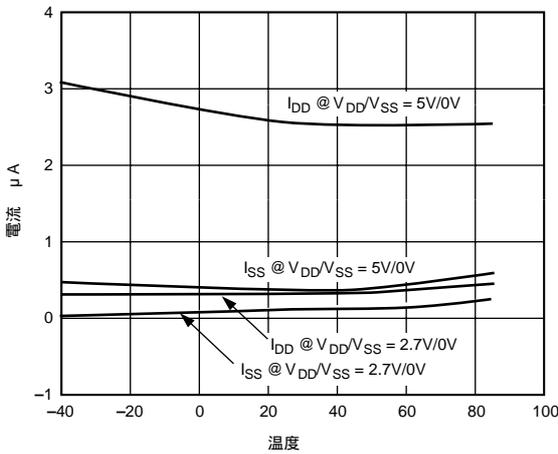
# AD5231



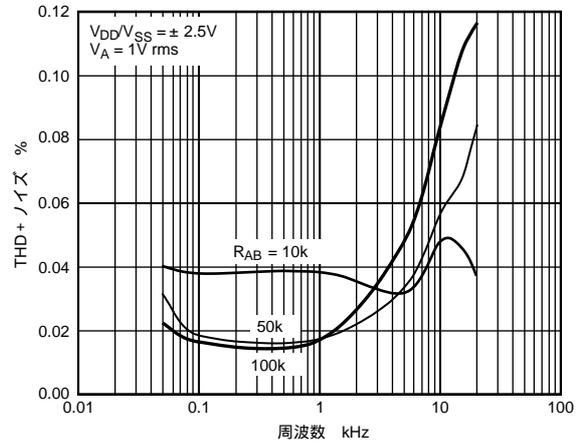
特性7 ワイパーのオン抵抗 対 コード



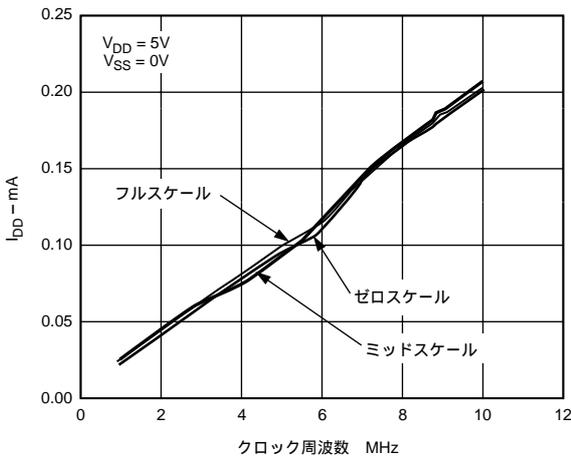
特性10 -3帯域幅 対 抵抗 (図16のテスト回路使用)



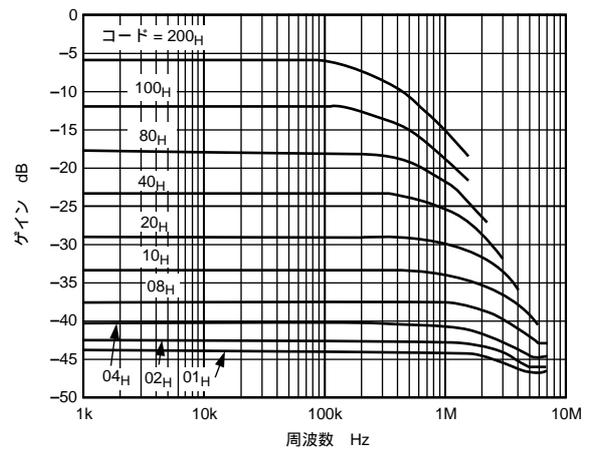
特性8  $I_{DD}$ の温度特性、 $R_{AB} = 10k$



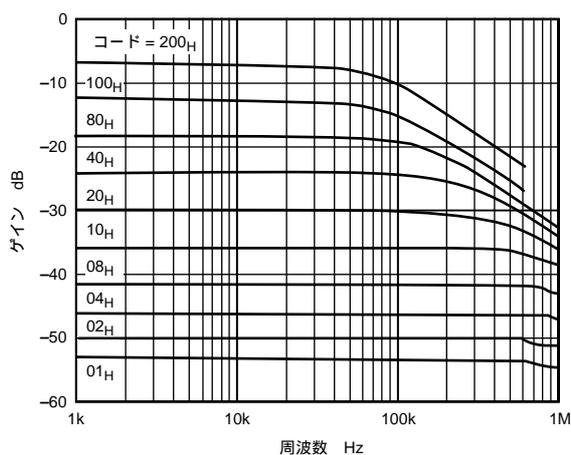
特性11 総合高調波歪み 対 周波数



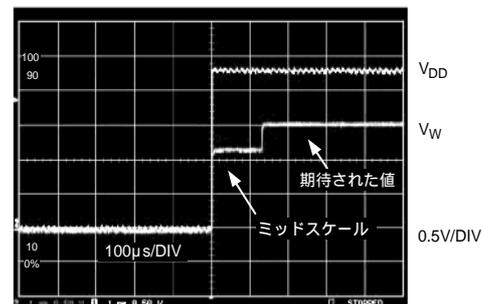
特性9  $I_{DD}$  対 クロック周波数、 $R_{AB} = 10k$



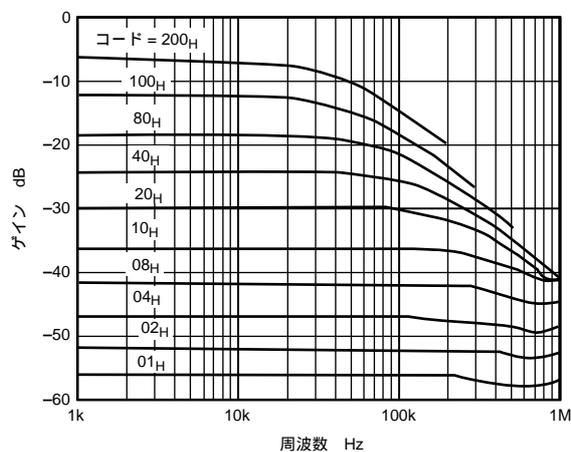
特性12 ゲイン 対 周波数 対 コード、 $R_{AB} = 10k$



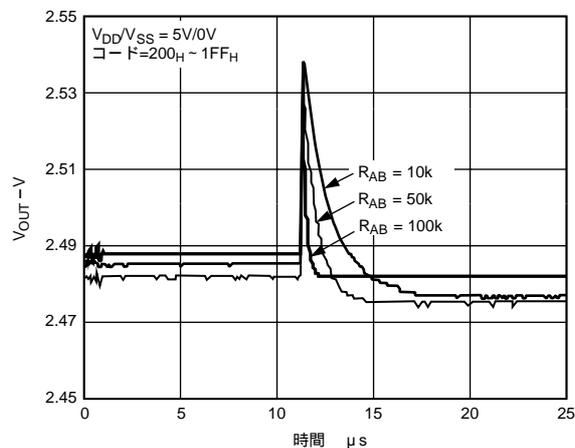
特性13 ゲイン対周波数対コード、 $R_{AB} = 50k$



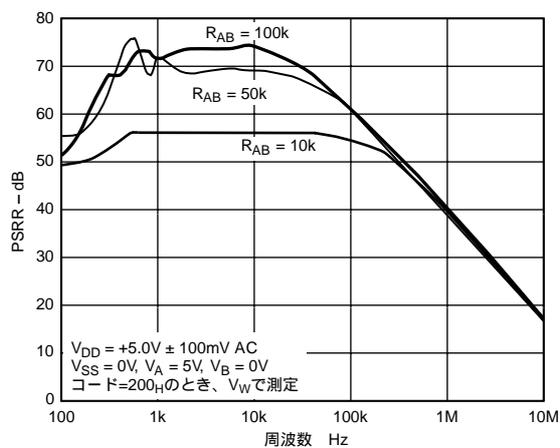
特性16 パワーオン・リセット、 $V_{DD} = 2.25V$ 、  
(コード = 1010101010<sub>B</sub>)



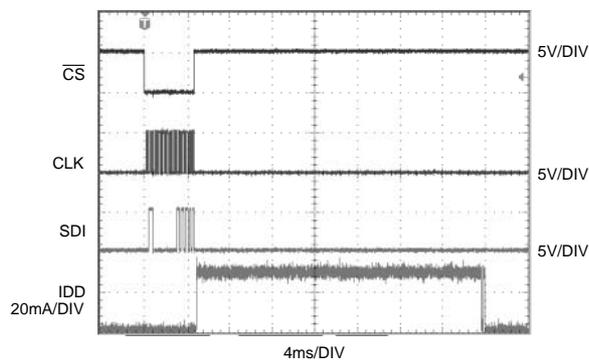
特性14 ゲイン対周波数対コード、 $R_{AB} = 100k$



特性17 ミッドスケール・グリッチ・エネルギー  
(コード200<sub>H</sub>から1FF<sub>H</sub>)

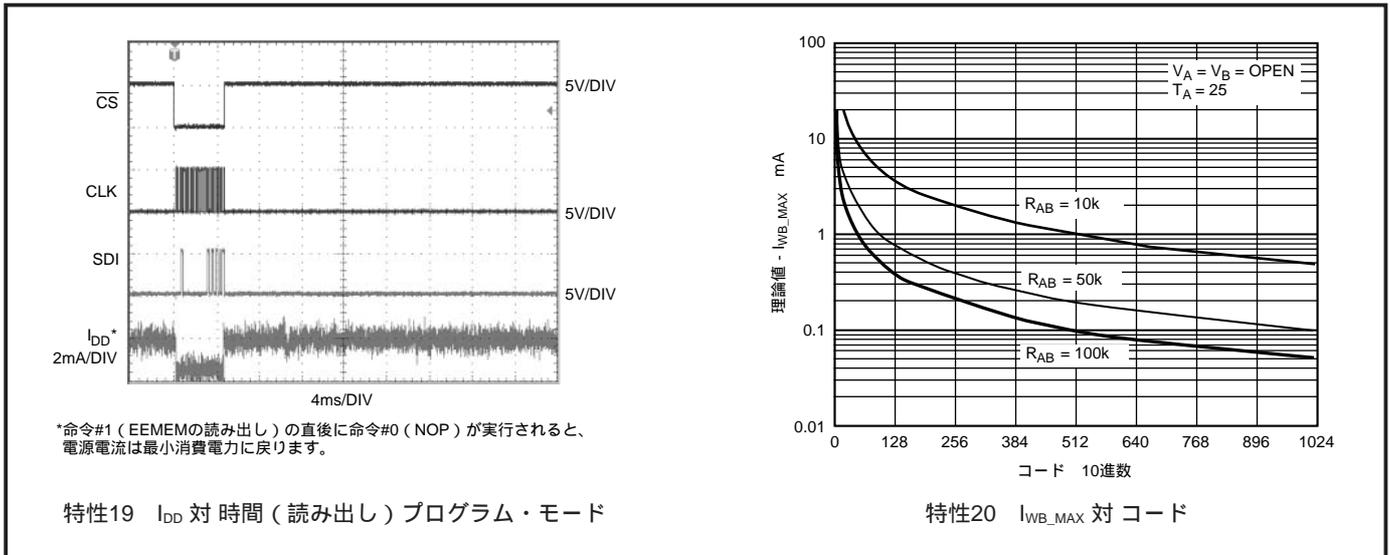


特性15 PSRRの周波数特性



特性18  $I_{DD}$  対時間 (保存) プログラム・モード

# AD5231



特性19 I<sub>DD</sub> 対 時間 (読み出し) プログラム・モード

特性20 I<sub>WB\_MAX</sub> 対 コード

## 動作概要

AD5231 デジタル・ポテンショメータは、ピン電圧範囲  $V_{SS} < V_{TERM} < V_{DD}$  内に留まるアナログ信号に対して、真の可変抵抗置き換えデバイスとして動作するように設計されています。基本電圧範囲は  $|V_{DD} - V_{SS}| < 5.5V$  に制限されています。デジタル・ポテンショメータのワイパー・ポジションは、RDACレジスタの値により決定されます。RDACレジスタは、ポテンショメータ・ワイパーを正しいポジションに位置させるために必要となる、多くの値変化を可能とするスクラッチ・パッド・レジスタとして機能します。スクラッチ・パッド・レジスタには、表示データ・ワードをロードすることにより標準のSPIシリアル・インターフェース・モードを使って、任意のポジション値をプログラムできます。目的のポジションが見つかったら、この値をEEMEMレジスタに保存できます。その後、ワイパー・ポジションは、その後のON-OFF-ON電源シーケンスに対してそのポジションに常に設定されます。EEMEM保存処理には約25ms要し、この間シフトレジスタがロックされて値の変化を防止します。RDYピンは、このEEMEM保存処理の完了を表示します。ユーザーによるプログラミングをサポートする命令は16種類あります。表IIIを参照してください。次の命令があります。

1. 無動作。
2. EEMEMの設定をRDACに設定します。
3. RDACの設定をEEMEMに保存します。
4. RDACの設定またはユーザー・データをEEMEMに保存します。
5. 6dBデクリメントさせます。
6. 6dBデクリメントさせます。
7. 1ステップ・デクリメントさせます。
8. 1ステップ・デクリメントさせます。
9. RDACに対するEEMEMの設定をリセットします。
10. EEMEMをSDOへリードバックします。
11. ワイパー設定をSDOへリードバックします。
12. RDACへのデータを書き込みます。
13. 6dBインクリメントさせます。
14. 6dBインクリメントさせます。
15. 1ステップ・インクリメントさせます。
16. 1ステップ・インクリメントさせます。

## スクラッチ・パッドとEEMEMのプログラミング

スクラッチ・パッド・レジスタ (RDACレジスタ) は、デジタル・ポテンショメータのワイパー・ポジションを直接制御します。スクラッチ・パッド・レジスタに全ビット“0”をロードすると、ワイパーは可変抵抗のBピンに接続されます。スクラッチ・パッド・レジスタにミッドスケール・コード (フルスケールポジションの1/2) をロードすると、ワイパーは可変抵抗の midpoint に接続されます。スクラッチ・パッドにフルスケール・コード (全ビット“1”) をロードすると、ワイパーはAピンに接続されます。スクラッチ・パッド・レジスタは標準のロジック・レジスタであるため、許容変更回数には制限がありません。EEMEMレジスタには、FLASH/EEMEMの信頼性の節で説明する消去/書き込みサイクルに制限があります。

## 基本動作

可変抵抗ワイパー・ポジション設定の基本モード (スクラッチ・パッド・レジスタのプログラミング) は、目的のワイパー・ポジション・データを含むコマンド命令#11を使ってシリアル・データ入力レジスタをロードすることにより実行されます。

目的のワイパー・ポジションが見つかったら、ユーザーはコマンド命令#2を使ってシリアル・データ入力レジスタにロードします。この命令は、目的のワイパー・ポジション・データを不揮発性EEMEMレジスタへコピーします。25ms後に、ワイパー・ポジションは不揮発性EEMEMロケーションに永久的に保存されます。表IIに、シリアル・データ入力 (SDI) ワード・シーケンスを示すアプリケーション・プログラミング例とSDOピン上のシリアル・データ出力を16進数フォーマットで示します。

表I EEMEMレジスタに対するRDACデータの設定と保存

SDI	SDO	動作
B00100 <sub>H</sub>	XXXXXX <sub>H</sub>	データ100HをRDACレジスタにロードし、ワイパーWは1/4フルスケール・ポジションへ移動。
20XXXX <sub>H</sub>	B00100 <sub>H</sub>	レジスタ値のコピーをEEMEMレジスタへ保存。

システムのパワーオン時、スクラッチ・パッド・レジスタはEEMEMレジスタに直前に保存された値により自動的にリフレッシュされます。出荷時のプリセットEEMEM値はミッドスケールになっていますが、ユーザーがEEMEM値を変更できます。

動作中、スクラッチ・パッド（ワイパー）レジスタも、命令1または命令8を起動せずにPRピンにパルスを入力するハードウェア制御により、不揮発性EEMEMレジスタの現在値によりリフレッシュできます。PRパルスはロジック・ゼロになったとき、まずワイパーをミッドスケールに設定し、次に立ち上がり変化でロジック・ハイレベルに設定し、EEMEMの値をRDACワイパー・レジスタに再ロードすることに注意してください。可変抵抗調整処理を簡単にする高度な多くの追加プログラミング・コマンドが使用可能です。表IIIを参照してください。例えば、ワイパー・ポジションは、インクリメント/デクリメント命令により1回に1ステップずつ、またはシフト左/右命令コマンドにより1回に6dBずつ、それぞれ変えることができます。一度インクリメント・コマンド、デクリメント・コマンド、またはシフト・コマンドをシフトレジスタにロードしたら、その後CSストロブによりこのコマンドを繰り返すことができます。この機能は、プッシュ・ボタン制御アプリケーションで役立ちます。命令動作の真理値表の後に記載する高度な制御モードの節を参照してください。シリアル・データ出力SDOピンは、デジチェーンと内部レジスタ値の読み出しに使用することができます。シリアル入力データ・レジスタは、24ビットの[命令/アドレス/データ]ワード・フォーマットを使用しています。

## EEMEMの保護

書き込み保護（WP）は、コマンド1、コマンド8、PRパルスを使ってEEMEM設定のリフレッシュが可能でWPが上書きされない限り、ソフトウェア・コマンドに無関係に、スクラッチ・パッド・レジスタ値の変更を不可能にします。したがって、書き込み保護（WP）ピンはハードウェアによるEEMEM保護機能を提供します。WPをディスエーブルにするときは、NOPコマンドを実行させた後に、WPをロジック・ハイレベルに戻すことを推奨します。

## デジタル入/出力の設定

すべてのデジタル入力はESD保護機能付きの高入力インピーダンスであるため、大部分のデジタル・ソースから直接駆動することができます。アクティブ・ローのPRとWPは、使用しない場合V<sub>DD</sub>にバイアスしておく必要があります。すべてのデジタル入力ピンには、プルアップ抵抗は内蔵されていません。SDOピンとRDYピンはオープン・ドレイン・デジタル出力であり、これらの機能を使うときはプルアップ抵抗が必要です。消費電力とスイッチング速度のトレードオフがバランスする1~10k $\Omega$ の範囲の抵抗値が適しています。シリアル・データ入力と出力の等価回路を図3に示します。チップ・セレクトCSがロジック・ハイレベルのとき、オープン・ドレイン出力SDOはディスエーブルにされます。デジタル入力のESD保護を図4aと図4bに示します。

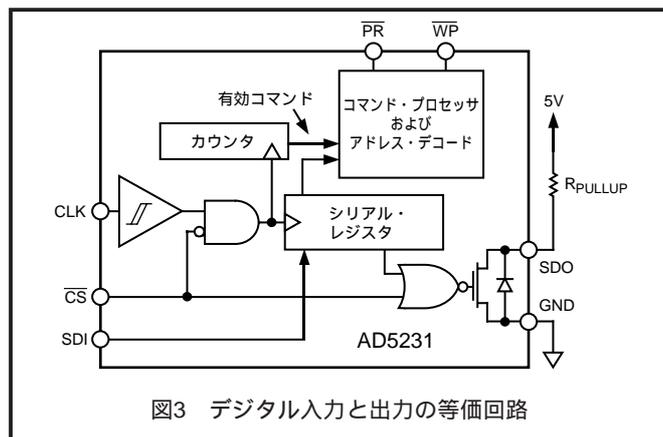


図3 デジタル入力と出力の等価回路

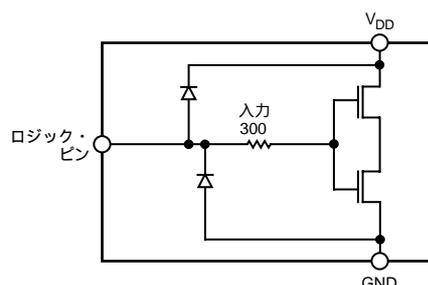


図4a デジタル入力ESD保護の等価回路

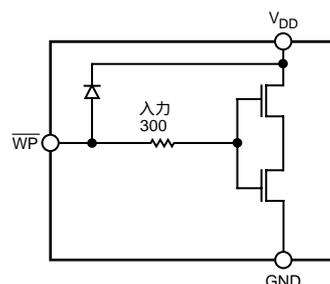


図4b WP入力保護の等価回路

## シリアル・データ・インターフェース

AD5231は4線式のSPI互換デジタル・インターフェース（SDI、SDO、CS、CLK）を内蔵しています。AD5231はMSB先頭でロードされる24ビットのシリアル・データ・ワードを使っています。SPI互換ワードのフォーマットを表IIに示します。データ・ワード全体がSDIピンに入力されるまで、チップ・セレクトCSピンをローレベルに維持する必要があります。CSがハイレベルに戻ると、シリアル・データ・ワードが表IIIの命令に従ってデコードされます。コマンド・ビット（Cx）が、デジタル・ポテンショメータの動作を制御します。アドレス・ビット（Ax）は、起動するレジスタを指定します。データ・ビット（Dx）は、デコードされたレジスタにロードされる値です。表VIに、EEMEMロケーションのアドレス・マップを示します。プログラミング動作がなかった後に最後に実行される命令は、NOP命令である必要があります。これにより、内部ロジック回路が最小消費電力状態におかれます。

SPIインターフェースはCPHA = 1、CPOL = 1およびCPHA = 0、CPOL = 0の2種類のスレーブ・モードで使用できます。CPHAとCPOLはコントロール・ビットと呼ばれ、ADuC812/ADuC824、M68HC11、MC68HC16R1/916R1などのMicroConverters<sup>®</sup>やマイクロプロセッサのSPIタイミングを制御します。

## デジチェーン動作

シリアル・データ出力ピン（SDO）は2つの機能を持っています。ワイパー設定値とEEMEM値を、それぞれ命令10と命令9を使って読み出すときに使用できます。残りの命令（#0~#8、#11~#15）は、複数のデバイスをデジチェーン接続して同時動作させた場合に有効です。デジチェーン接続は、最小のポート・ピン数でICの制御を可能にします（図5参照）。SDOピンにはオープン・ドレインのNチャンネルFETが内蔵されており、この機能を使う場合、プルアップ抵抗が必要です。図5に示すように、前のパッケージのSDOピンを次のパッケージのSDIピンに接続する必要があります。

# AD5231

SDO ~ SDI間インターフェースにプルアップ抵抗と容量負荷があると、隣接パッケージ間の遅延時間が大きくなるため、クロック周期を長くする必要が生ずることもあります。2個のAD5231をデジチェーン接続すると、48ビットのデータが必要になります。先頭の24ビットがU2に、次の24ビットがU1に行きます。24ビットには、4ビットの命令、4ビットのアドレス、6ビットの無視、10ビットのデータがこの順序で配置されます（無視の部分はユーザー情報の保存に使用できます。追加内部不揮発性EEMEMの使い方の節を参照してください）。48ビットがすべてそれぞれのシリアル・レジスタに入力されるまで、 $\overline{CS}$ をローレベルに維持しておく必要があります。動作が完了すると、 $\overline{CS}$ はハイレベルになります。

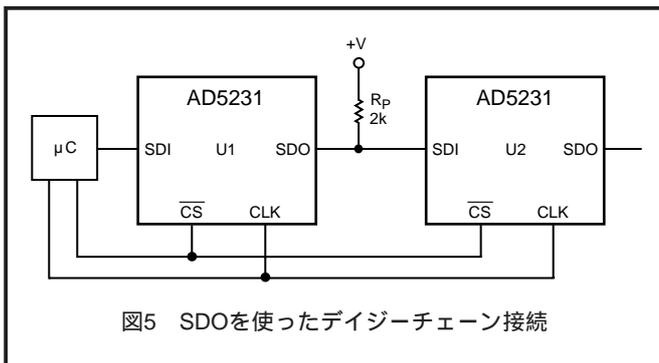


図5 SDOを使ったデジチェーン接続

## ピン電圧の動作範囲

AD5231の正側 $V_{DD}$ 電源と負側 $V_{SS}$ 電源により、3ピンデジタル・ポテンショメータ動作の動作範囲が決定されます。 $V_{DD}$ または $V_{SS}$ を超えてピンA、ピンB、ピンWに入力される電源信号は、内蔵の順方向バイアス・ダイオードによりクランプされます（図6参照）。

AD5231デバイスのグラウンド・ピンは主にデジタル・グラウンド基準として使用され、PCBの共通グラウンドに接続しておく必要があります。AD5231に対するデジタル入力コントロール信号はデバイス・グラウンド・ピン（GND）を基準として、本データシートの仕様表に規定するロジック・レベルを満たす必要があります。内蔵のレベル・シフト回路は、デジタル入力レベルに無関係に、3本のピンのコモン・モード電圧範囲を $V_{SS}$ から $V_{DD}$ へ確実に拡張します。

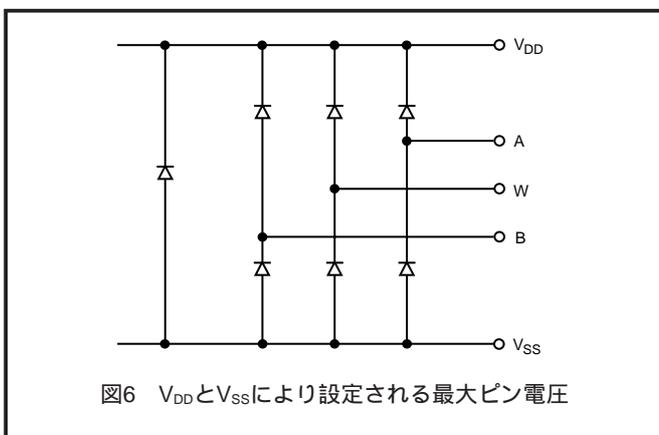


図6  $V_{DD}$ と $V_{SS}$ により設定される最大ピン電圧

## パワーアップ・シーケンス

ピンA、B、Wでの電圧適合性を制限するダイオードが内蔵されているため（図6）、ピンA、B、Wに電圧を加える前に $V_{DD}/V_{SS}$ に先に電圧を加えることが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずに $V_{DD}/V_{SS}$ に電源が接続されてしまうため、ユーザー回路の他の部分に影響を与えてしまいます。最適なパワーアップ・シーケンスは、GND、 $V_{DD}$ 、 $V_{SS}$ 、デジタル入力、 $V_A/B/W$ 順です。電源投入シーケンス $V_A$ 、 $V_B$ 、 $V_W$ 、デジタル入力の順は、 $V_{DD}/V_{SS}$ 投入後であれば、重要ではありません。

パワーアップ・シーケンスと電源のランプ・レートに無関係に、 $V_{DD}/V_{SS}$ 投入後、パワーオン・リセットは有効状態を維持し、EEMEMに保存された値をRDACレジスタに転送します。

## ラッチ・デジタル出力

AD5231には1対のデジタル出力O1とO2があり、不揮発性ロジック0とロジック1の設定を出力します。O1とO2は標準のCMOSロジック出力です（図7参照）。これらの出力は、DIPスイッチ機能の置き換えに最適です。さらに、これらは頻繁に設定の変更を必要とする他の標準CMOSロジック・コントローラ部品を駆動するときにも使用できます。

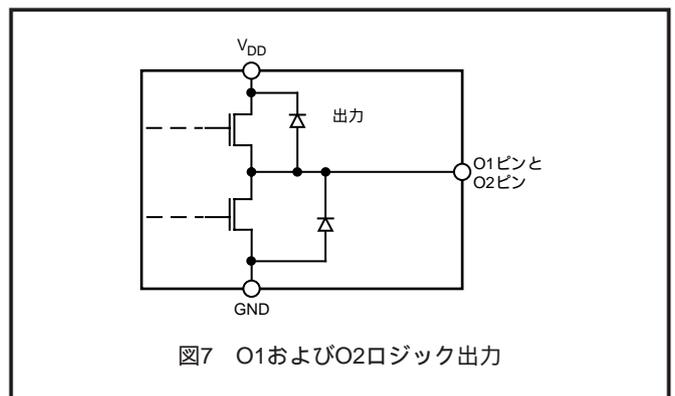


図7 O1およびO2ロジック出力



# AD5231

## 高度な制御モード

AD5231デジタル・ポテンショメータは、これらの汎用的な調整デバイスで使用可能な広範囲なアプリケーションに対応できるユーザー・プログラミング機能のセットを内蔵しています。主要なプログラミング機能としては次の内容が含まれます。

- ・スクラッチ・パッドを任意の値にプログラミング
- ・現在のスクラッチ・パッドRDACレジスタ値を不揮発性メモリーであるEEMEMレジスタへ保存
- ・RDACワイパー・レジスタに対するインクリメント/デクリメント・コマンド
- ・6dBのレベル変化を可能にするRDACワイパー・レジスタの左/右ビット・シフト
- ・28バイトのユーザー・アドレス指定可能な追加不揮発性メモリー

## 連続なインクリメントとデクリメントのコマンド

インクリメントおよびデクリメント・コマンド（#14、#15、#6、#7）は、連続なステップ調整アプリケーションに便利です。これらのコマンドは、デバイスに対してインクリメントまたはデクリメント・コマンドをコントローラから送信させるだけで済むため、マイクロコントローラのソフトウェア・コーディングが簡単になります。インクリメント・コマンドの場合、適切なアドレスを指定した命令#14を実行すると、ワイパーが自動的に次の抵抗セグメント・ポジションに移動します。命令#15は、アドレス指定が不要で同じ機能を実行します。

## 対数テーパ・モード調整（±6dB / ステップ）

4種類のプログラミング命令により、対数テーパ・インクリメント/デクリメント・ワイパーが可能です。これらの設定は、6dBインクリメント命令と6dBデクリメント命令#12、#13、#4、#5を使って行います。例えば、ゼロスケールから初めて、インクリメント命令#12を11回実行すると、ステップ当たり+6dBでワイパーが0%からフルスケール $R_{AB}$ まで移動します。+6dBインクリメント命令は、コマンドが実行される毎にRDACレジスタ値を2倍にします。ワイパー・ポジションが最大設定値に近づく、最後の+6dBインクリメント命令でワイパーがフルスケールの1023コード・ポジションに移動します。それ以上+6dBインクリメント命令を実行しても、ワイパー・ポジションはフルスケールを超えることはありません。

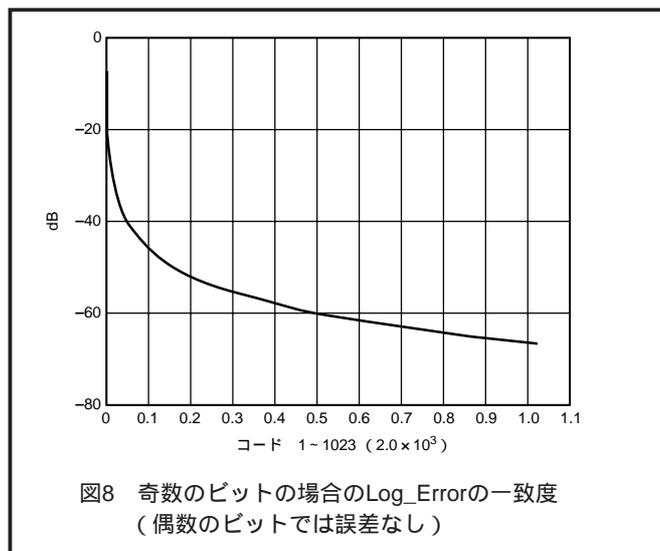
6dBステップのインクリメントとデクリメントは、ビットを内部でそれぞれ左および右にシフトすることにより実現されます。次に、一定条件下での非理想的な±6dBステップの調整について説明します。表IVに、RDACレジスタ・データ・ビットに対するシフト機能の動作を説明します。表内で下に続く各行は、一連のシフト動作を表しています。RDACレジスタ内のデータがゼロになり、さらにデータが左シフトされると、RDACレジスタがコード1に設定されるように、左シフトの#12コマンドと#13コマンドが変更されることに注意してください。同様に、RDACレジスタ内のデータがミッドスケール以上になると、データが左シフトされて、RDACレジスタ内のデータは自動的にフルスケールに設定されます。これにより、左シフト機能は可能な限り理想的な対数調整に近づきます。

LSBが“0”の場合（すなわち、誤差のない理想対数）、右シフトの#4コマンドと#5コマンドは理想的な動作になります。LSBが“1”の場合は、右シフト機能は1/2 LSBの誤差を発生し、図8に示す対数誤差に依存するビットの数に変換されます。このプロットは、AD5231に対する奇数ビットの誤差を表しています。

表IV 6dBステップ・インクリメント/デクリメントの詳細な左/右シフト機能

	左シフト	右シフト	
	00 0000 0000	11 1111 1111	
	00 0000 0001	01 1111 1111	
	00 0000 0010	00 1111 1111	
左シフト	00 0000 0100	00 0111 1111	右シフト
(+6dB / ステップ)	00 0000 1000	00 0011 1111	(-6dB / ステップ)
	00 0001 0000	00 0001 1111	
	00 0010 0000	00 0000 1111	
	00 0100 0000	00 0000 0111	
	00 1000 0000	00 0000 0011	
	01 0000 0000	00 0000 0001	
	10 0000 0000	00 0000 0000	
	11 1111 1111	00 0000 0000	
	11 1111 1111	00 0000 0000	

RDACレジスタ内のデータ値と、各右シフトの#4コマンド実行と#5コマンド実行に対するワイパー・ポジションとの間での、対数曲線との実際の対応には、奇数のビットでのみ誤差が発生します。偶数のビットでは誤差がなく理想的です。図8のグラフは、AD5231のLog\_Error [すなわち、 $20 \times \log_{10}$  (誤差 / コード)]のプロットを表しています。例えば、コード3に対しては $\text{Log\_Error} = 20 \times \log_{10} (0.5/3) = -15.56\text{dB}$ であり、これはワースト・ケースになります。Log\_Errorのプロットは、コードが小さくなると、大きくなります。



## 内蔵追加不揮発性EEMEMの使い方

AD5231は、定数やその他の16ビット・データを保存するための余分なユーザー用メモリー・レジスタ（EEMEM）を内蔵しています。表Vに、機能ブロック図でEEMEM1、EEMEM2、28バイトのユーザーEEMEM（14アドレス×2バイト）と表示されている内部メモリー・レジスタのアドレス・マップを示します。

表V EEMEMのアドレス・マップ

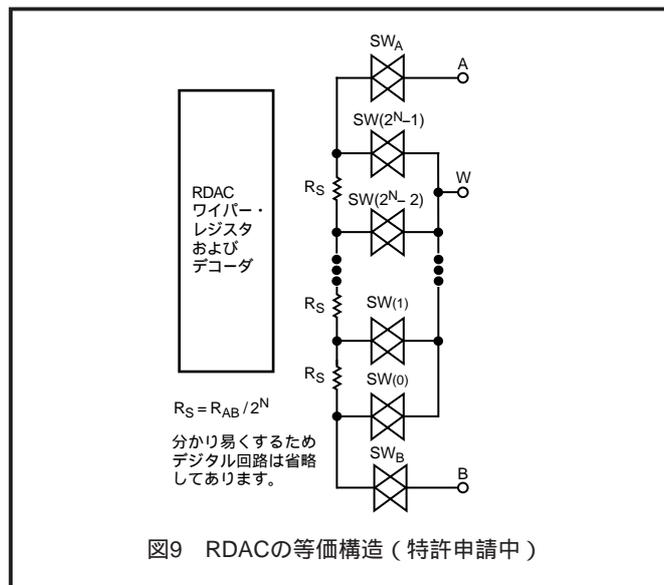
アドレス	EEMEMの用途
0000	RDAC <sup>1, 2</sup>
0001	O1とO2 <sup>3</sup>
0010	USER1 <sup>4</sup>
0011	USER2
:	:
1110	USER13
1111	USER14

## 注

- EEMEMロケーション内に保存されたRDACデータは、パワーオン時、または命令#1、#8、PRの実行時に、RDACレジスタに転送されます。
- 命令#1を実行すると、デバイスは読み出しモード消費電力状態に維持されます。最後の命令#1が実行された後、ユーザーはNOP（命令#0）を実行して、デバイスを低消費電力のアイドル状態に戻す必要があります。
- EEMEMロケーション内に保存されたO1とO2データは、パワーオン時、または命令#1と#8の実行時に、対応するデジタル・レジスタに転送されます。
- USER <data>は内蔵不揮発性EEMEMレジスタであり、#3と#9を使って値やその他の16ビット情報を、それぞれ保存および読み出すことができます。

## RDACの構造

特許申請中のRDACには、ワイパー接続として機能するアナログ・スイッチのアレイが付いた、等しい抵抗セグメントの複数の連鎖が内蔵されています。ポジション数がデバイスの分解能になります。AD5231は1024個の接続ポイントを持ち、0.1%より精度の高い設定可能な分解能を提供します。図9に、RDACの3本のピン（A、W、B）の間の接続の等価な構造を示します。SW<sub>A</sub>とSW<sub>B</sub>は常にONで、一方、スイッチSW(0)～SW(2<sup>N</sup>-1)の内の1つだけが、データ・ビットからデコードされた抵抗ポジションに応じて、ONになります。スイッチは理想的でないため、15のワイパー抵抗（R<sub>W</sub>）を持っています。ワイパー抵抗は、電源電圧と温度の関数です。電源電圧が低くなると、または温度が高くなると、ワイパー抵抗は大きくなります。出力抵抗の正確な予測が必要な場合は、ワイパー抵抗の動作を知る必要があります。



表VI 各セグメントの公称抵抗（R<sub>S</sub>）

デバイスの分解能	10kバージョン	50kバージョン	100kバージョン
10ビット	9.8	48.8	97.6

## 可変抵抗のプログラミング

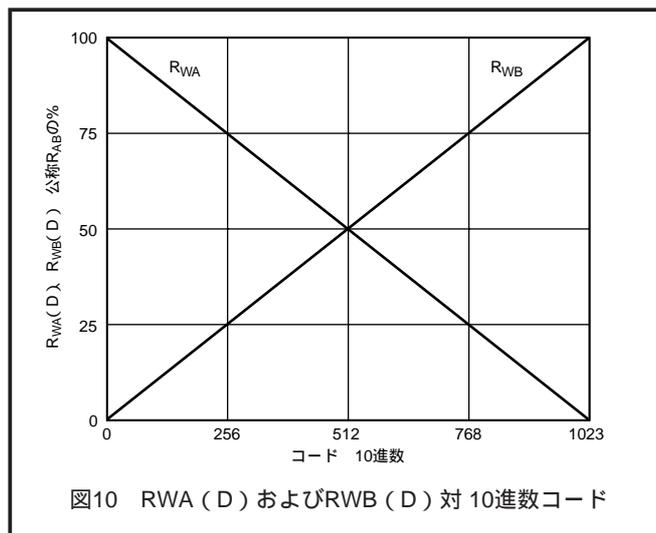
### 可変抵抗器動作

ピンAとピンBの間のRDACの公称抵抗（R<sub>AB</sub>）は、1024ポジション（10ビット分解能）で10k、50k、100kのものがあります。製品番号の最後の桁が、公称抵抗値（例えば10k = 10、50k = 50、100k = C）を表しています。RDACラッチ内の10ビット・データ・ワードがデコードされて、1024通りの設定の内の1つを選択します。以下の節では、10k製品の種々のコードにおける抵抗R<sub>WB</sub>の計算について説明します。V<sub>DD</sub> = 5Vの場合、ワイパーの最初の接続はデータ000<sub>H</sub>に対してBピンから開始されます。ワイパー抵抗があるためR<sub>WB</sub>(0)は15です。これは公称抵抗とは無関係です。2番目の接続は最初のタップ・ポイントであり、

ここではデータ001<sub>H</sub>に対してR<sub>WB</sub>(1)は9.7 + 15 = 27.4 になります。

3番目の接続は次のタップ・ポイントで、データ002<sub>H</sub>に対してR<sub>WB</sub>(2) = 19.4 + 15 = 34.4 となり、以後同様に続きます。LSBデータ値の各増加により、ワイパーは抵抗ラダーを上を移動し、最後のタップ・ポイントR<sub>WB</sub>(1023) = 10005 に到達するまで移動します。図9に示す等価回路の簡略化した図を参照してください。

R<sub>WB</sub>を使用する場合、Aピンはフローティングにするか、またはワイパーに接続してください。



WとBの間のプログラム出力抵抗を決定する一般式は、次のようになります。

$$R_{WB}(D) = \frac{D}{1024} \times R_{AB} + R_W \quad (1)$$

ここで、DはRDACレジスタのデータと等価な10進数、R<sub>AB</sub>はピンAとピンBの間の公称抵抗、R<sub>W</sub>はワイパー抵抗です。例えば、次の出力抵抗値はV<sub>DD</sub> = 5Vでの次のRDACラッチ・コードに対して設定されます（R<sub>AB</sub> = 10k デジタル・ポテンシオメータに適用）。

表VII 選択されたコードに対するR<sub>WB</sub>（R<sub>AB</sub> = 10k の場合）

D(DEC)	R <sub>WB</sub> (D) (Ω)	出力状態
1023	10,005	フルスケール
512	50015	ミッドスケール
1	24.7	1 LSB
0	15	ゼロスケール（ワイパー接触抵抗）

ゼロスケール状態では、有限なワイパー抵抗15Ωがあることに注意してください。性能低下または内部スイッチの破壊を防止するため、この状態でのWとBとの間の電流レベルが20mAを超えないように注意してください。

機械的ポテンシオメータと同様に、RDACの置き換え品であるAD5231は全体として対称構造を持っています。ワイパーWとピンAとの間の抵抗も、デジタルに制御された相補的な抵抗R<sub>WA</sub>を発生します。図10に、あらゆるピン接続の対称的なプログラミングを示します。R<sub>WA</sub>を使用する場合、Bピンはフローティングにするか、またはワイパーに接続してください。R<sub>WA</sub>抵抗値に対する設定は、最大値抵抗から開始されて、ラッチにロードされたデータの値が大きくなると、小さくなります。この動作の一般的な変換式は次のようになります。

# AD5231

$$R_{WA}(D) = \frac{1024 - D}{1024} \times R_{AB} + R_W \quad (2)$$

例えば、次の出力抵抗値は $V_{DD} = 5V$ での次のRDACラッチ・コードに対して設定されます ( $R_{AB} = 10k$  デジタル・ポテンシオメータに適用)

表VIII 選択されたコードに対する $R_{WA}(D)$  ( $R_{AB} = 10k$  の場合)

D (DEC)	$R_{WA}(D)$ (Ω)	出力状態
1023	24.7	フルスケール
512	5015	ミッドスケール
1	10005	1 LSB
0	10015	ゼロスケール

デバイス間での $R_{AB}$ の代表的な分布は、デバイスが同じバッチでプロセスされたとき良く一致します。デバイスのプロセス時期が異なるときは、デバイス間の一致はプロセス・ロットに依存し、 $-40 \sim +20\%$ 変化します。温度による $R_{AB}$ の変化は、温度係数600ppm/°Cで発生します。

## ポテンシオメータ分割器のプログラミング

### 電圧出力動作

デジタル・ポテンシオメータは、ピンAとピンBの間に加えた入力電圧に比例した出力電圧をワイパー・ピンから発生するように構成できます。例えば、Aピンを5Vに、Bピンをグラウンドにそれぞれ接続すると、0Vから開始して5Vまでの任意の値を持つワイパーピンの出力電圧を発生します。電圧の各LSBは、ピンAとピンBに加えた電圧をポテンシオメータ分割器のポジション分解能 $2^N$ で除算した値に等しくなります。AD5231は両電源でも動作するため、ピンAとピンBに与えられた任意の入力電圧に対して、グラウンドを基準とした $V_W$ の出力電圧を決める式は、次のように表されます。

$$V_W(D) = \frac{D}{1024} \times V_{AB} + V_B \quad (3)$$

式3では、 $V_W$ がバッファされていて、ワイパー抵抗の影響は無視できると仮定しています。分割器モードでのデジタル・ポテンシオメータの動作は、温度に対して正確な動作になります。ここで、出力電圧は絶対値ではなく、内部抵抗間の比に依存するため、ドリフトは15ppm/°Cに改善されます。ピン電圧 ( $V_{TERM}$ ) が $V_{SS} < V_{TERM} < V_{DD}$ である限り、ピンA、ピンB、ピンW間には電圧極性の制約がありません。

### プログラミング例

次のプログラミング例では、AD5231のあらゆる機能に対するイベントの代表的なシーケンスを示します。命令フォーマットとデータ・ワード・フォーマットについては表IIIを参照してください。次の例では、SDIピンとSDOピン上の命令番号、アドレス、データは、16進数を使って表しています。

表IX スクラッチ・パッドのプログラミング

SDI	SDO	動作
B00100 <sub>H</sub>	XXXXXX <sub>H</sub>	データ100 <sub>H</sub> をRDACレジスタにロードし、ワイパーWを1/4フルスケール・ポジションに移動させます。

表X RDACをインクリメントして、ワイパー設定をEEMEMへ保存

SDI	SDO	動作
B00100 <sub>H</sub>	XXXXXX <sub>H</sub>	データ100 <sub>H</sub> をRDACレジスタにロードして、ワイパーWを1/4フルスケール・ポジションに移動させます。
E0XXXX <sub>H</sub>	B00100 <sub>H</sub>	RDACレジスタを1インクリメントして101 <sub>H</sub> にします。
E0XXXX <sub>H</sub>	E0XXXX <sub>H</sub>	RDACレジスタを1インクリメントして102 <sub>H</sub> にします。
目的のワイパー・ポジションに到達するまで繰り返します。		
20XXXX <sub>H</sub>	XXXXXX <sub>H</sub>	RDACレジスタ・データをEEMEMへ保存します。
WPをGND接続してEEMEM値を保護します (オプション)。		

表XI EEMEM値のRDACレジスタへの回復

RDACのEEMEM値は、パワーオン、またはPRピンへのパルス入力、または次に示すプログラミングにより、読み出すことができます。

SDI	SDO	動作
10XXXX <sub>H</sub>	XXXXXX <sub>H</sub>	EEMEM値をRDACレジスタへ読み出します。
00XXXX <sub>H</sub>	10XXXX <sub>H</sub>	NOP.消費電力を小さくするためにこのステップが推奨されます。
8XXXXX <sub>H</sub>	00XXXX <sub>H</sub>	EEMEM値をRDACレジスタに再設定します。

表XII 1ビット左シフトによる+6dBステップのインクリメント

SDI	SDO	動作
C0XXXX <sub>H</sub>	XXXXXX <sub>H</sub>	ワイパーをRDACレジスタの現在値の2倍の値に移動します。

表XIII ユーザー・データのEEMEMへの保存

SDI	SDO	動作
32AAAA <sub>H</sub>	XXXXXX <sub>H</sub>	データAAAA <sub>H</sub> を予備EEMEMロケーションUSER1に保存します。(最大16ビット・データで14ロケーションのアドレス指定が可能)
335555 <sub>H</sub>	32AAAA <sub>H</sub>	データ5555 <sub>H</sub> を予備EEMEMロケーションUSER2へ保存します。(最大16ビット・データで14ロケーションのアドレス指定が可能)

表XIV あらゆるメモリー・ロケーションからのデータのリードバック

SDI	SDO	動作
92XXXX <sub>H</sub>	XXXXXX <sub>H</sub>	USER1ロケーションからのデータ読み出しを準備します。
00XXXX <sub>H</sub>	92AAAA <sub>H</sub>	NOP命令#0が24ビット・ワードをSDOが送信し、最後の16ビットにUSER1ロケーションの内容が含まれています。NOPコマンドは、デバイスをアイドル消費電力状態に戻します。

表XV ワイパー設定のリードバック

SDI	SDO	動作
B00200 <sub>H</sub>	XXXXXX <sub>H</sub>	RDACをミッドスケールに設定します。
C0XXXX <sub>H</sub>	B00200 <sub>H</sub>	RDACを2倍にしてミッドスケールからフルスケールにします。(左シフト命令)
A0XXXX <sub>H</sub>	C0XXXX <sub>H</sub>	RDACレジスタからのワイパー設定の読み出しを準備します。
XXXXXX <sub>H</sub>	A003FF <sub>H</sub>	RDACレジスタからフルスケール値をリードバックします。

## テスト回路

図11～図19に、製品仕様表で使ったテスト条件を示します。

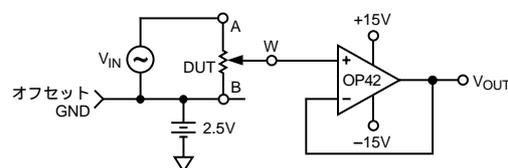
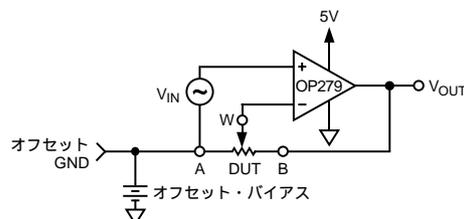
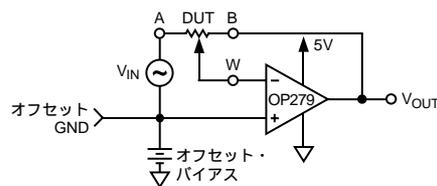
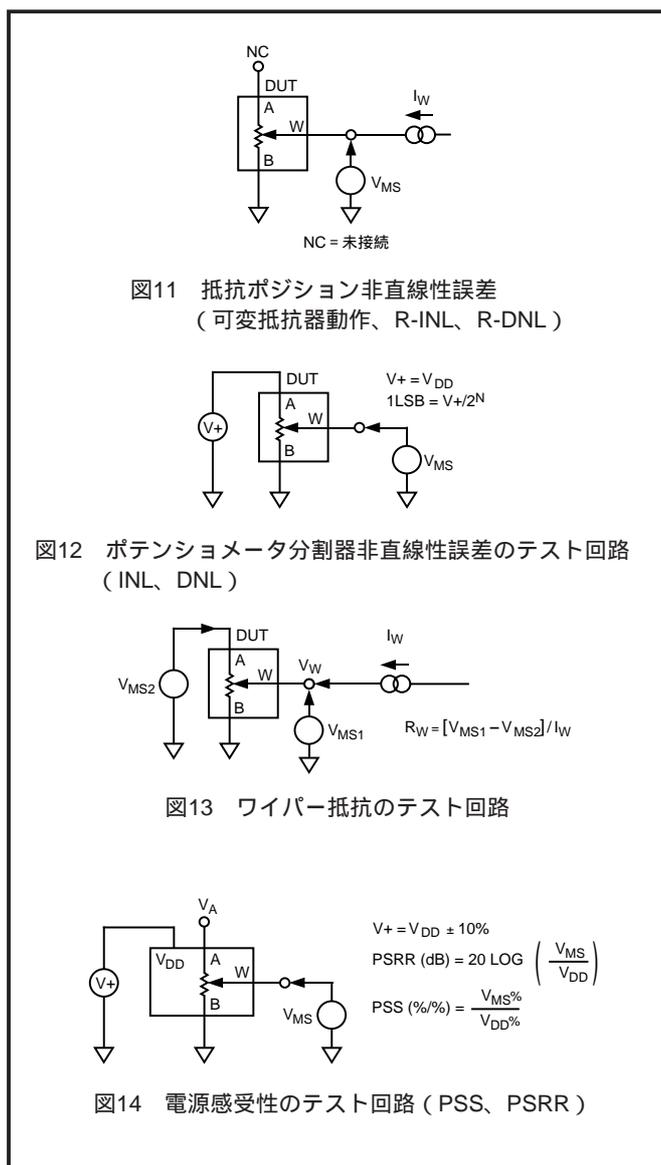


図17 ゲイン 対 周波数のテスト回路

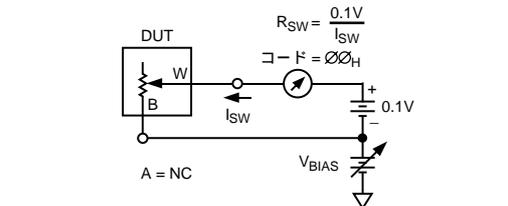


図18 インクリメンタル・オン抵抗のテスト回路

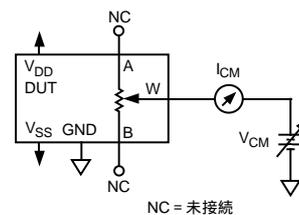


図19 コモン・モード・リーク電流のテスト回路

# AD5231

## FLASH/EEPROMの信頼性

AD5231のFLASH/EEPROMプログラム・メモリー・アレイとFLASH/EEPROMデータ・メモリー・アレイは、2つの重要なFLASH/EEPROMメモリー特性すなわちFLASH/EEPROMメモリー書き換え回数とFLASH/EEPROMメモリー・データ保持時間について全性能を検証しています。

書き換え回数は、FLASH/EEPROMメモリーが多くの書き込み、読み出し、消去のサイクル数に耐える能力です。実用的には、シングル書き換えサイクルは、次の4つのシーケンシャルなイベントから構成されています。イベントは次のように定義されています。

- ・初期ページ消去シーケンス
- ・読み出し/検証シーケンス
- ・バイト・プログラム・シーケンス
- ・2回目の読み出し/検証シーケンス

信頼性評価では、FLASH/EEPROMメモリーの000<sub>H</sub>から3FF<sub>H</sub>まで各バイトが、最初のエラーが検出されてオンチップFLASH/EEPROMメモリーの書き換え回数限界値が求められるまで繰り返されます。

本データシートの仕様のページに記載したように、AD5231のFLASH/EEPROMメモリー書き換え性能テストは、工業用温度範囲 -40 ~ +85 についてJEDEC仕様A117に準拠して実施されました。その結果は、電源範囲と温度範囲に対して最小書き換え回数仕様は100,000回、25 での代表的動作では700,000回の書き換え回数値を示しています。

データ保持時間は、FLASH/EEPROMメモリーが書き込まれたデータを保持する能力です。この場合も、AD5231は規定の接合部温度 ( $T_j = 55$ ) における正式なJEDECデータ保持時間仕様 (A117) に準拠して評価されています。このクオリフィケーション手順の一部として、FLASH/EEPROMメモリーを前述の規定書き換え回数までサイクル・テストした後に、データ保持時間をキャラクタライゼーションしています。これは、FLASH/EEPROMメモリーでは、書き換えられる毎に規定のデータ保持時間データを保持することが保証されていることを意味します。0.6 eVの活性化エネルギーに基づくデータ保持時間は、 $T_j$ の上昇とともに短くなることに注意してください (図20参照)。例えば、データは55 動作では100年間保持されますが、85 動作では15年間に短縮されます。このような限界値を超えて、デバイスの書き換えを行っても、データを保持することができます。

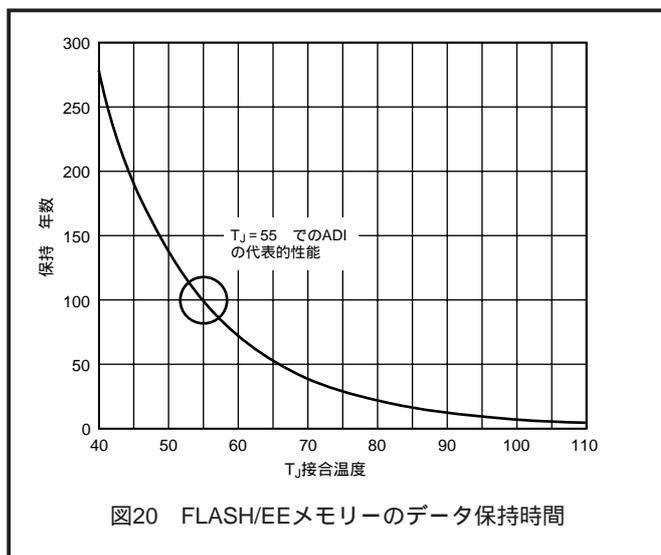


図20 FLASH/EEPROMメモリーのデータ保持時間

## アプリケーション

### 両電源によるバイポーラ動作

AD5231は両電源  $\pm 2.5V$  で動作できるため、グラウンド基準のAC信号またはバイポーラ動作の制御が可能です。  $V_{DD}/V_{SS}$  までのAC信号を直接ピンAとピンBの間に入力して、ピンWから出力を得ることができます (代表的な回路接続については図21を参照してください)。

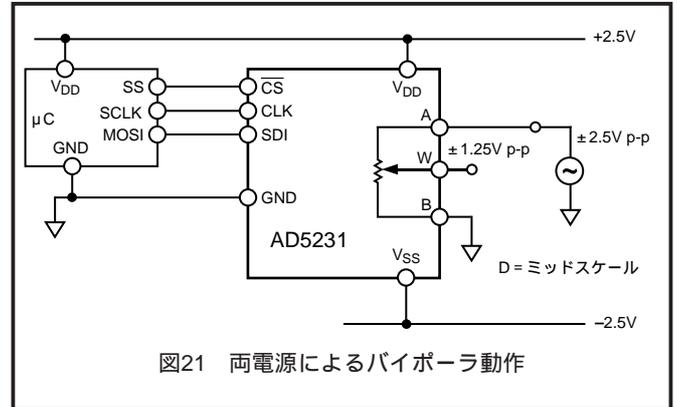


図21 両電源によるバイポーラ動作

### 高電圧動作

デジタル・ポテンショメータはオペアンプの帰還パスまたは入力パスに直接挿入してゲイン制御を行います。ただし、ピンAとピンB間、WピンとAピン間、WピンとBピン間の各電圧は5Vを超えないものとします。高電圧ゲインが必要な場合は、+15Vで動作するオペアンプ内で固定ゲインを設定し、デジタル・ポテンショメータに入力調整を制御させます。図22に、簡単な構成を示します。

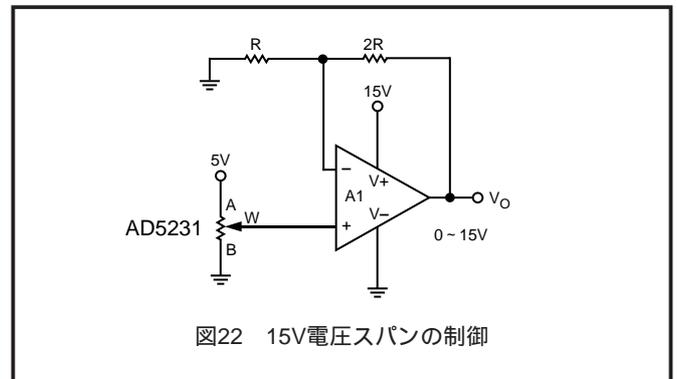


図22 15V電圧スパンの制御

### バイポーラ・プログラマブル・ゲイン・アンプ

バイポーラ・ゲインを得る方法は幾つかあります。図23に、融通性のある例を示します。デジタル・ポテンショメータU1が調整範囲を設定し、U2の設定に対して、ワイパー電圧  $V_{W2}$  を  $V_i \sim -KV_i$  の範囲で調整します。連続的な調整の場合は、A2を非反転アンプで構成すると、伝達関数は次のようになります。

$$\frac{V_o}{V_i} = \left(1 + \frac{R_2}{R_1}\right) \times \left(\frac{D_2}{1024} \times (1 + K) - K\right) \quad (4)$$

ここで、Kは比  $R_{WB}/R_{WA}$  で、U1を使って設定します。D = 入力コードの等価な10進数

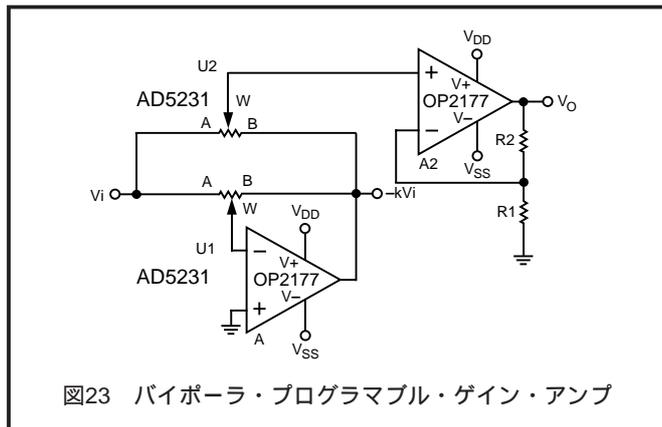


図23 バイポーラ・プログラマブル・ゲイン・アンプ

簡単な（さらに役立つ）ケースでは、 $K=1$ であり、1対の特性の合った抵抗でU1を置き換えることができます。式4は次のように簡略化できます。

$$\frac{V_o}{V_i} = \left(1 + \frac{R_2}{R_1}\right) \times \left(\frac{2D_2}{1024} - 1\right) \quad (5)$$

表XVIIに、A2をゲイン=1、ゲイン=2、ゲイン=10とした場合にDを調整した結果を示します。連続的にプログラマブルなゲインと1024ステップの分解能を持つバイポーラ・アンプが得られます。

表XVI バイポーラ・ゲイン・アンプの結果

D	R1 = , R2 = 0	R1 = R2	R2 = 9 R1
0	-1	-2	-10
256	-0.5	-1	-5
512	0	0	0
768	0.5	1	5
1023	0.992	1.984	9.92

### 10ビット・バイポーラDAC

図23の回路を変更して、電圧リファレンスから入力を取り、A2をバッファにすると、10ビットのバイポーラDACが得られます。従来型のDACに比べると、この回路は同等の分解能を提供しますが、ワイパー抵抗の影響で精度は劣ります。非直線性と温度係数の劣化は、調整範囲の両端で大きくなります。一方、この回路は独自の不揮発性メモリー機能を提供するため、ケースによっては低精度の欠点を補うことができます。

この回路の出力は次のようになります。

$$V_o = \left(\frac{2D_2}{1024} - 1\right) \times V_{REF} \quad (6)$$

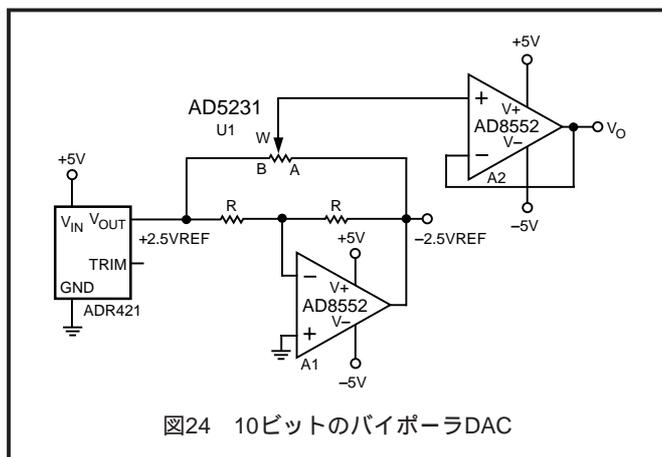


図24 10ビットのバイポーラDAC

### プログラマブルな電圧リファレンス

プログラマブルな電圧分割器モード動作（図25）の場合、負荷がソース抵抗 $R_{WB}$ より遥かに大きくない限り、デジタル・ポテンシオメータの出力をバッファすることが一般的です。さらに、デジタル・ポテンシオメータの電流処理能力は、最大動作電圧、消費電力、与えられた抵抗における内部スイッチの最大許容電流により制限されます（特性20参照）。そのため、バッファを追加して、電流処理能力内にある限り、負荷に必要な電流を供給することができます。

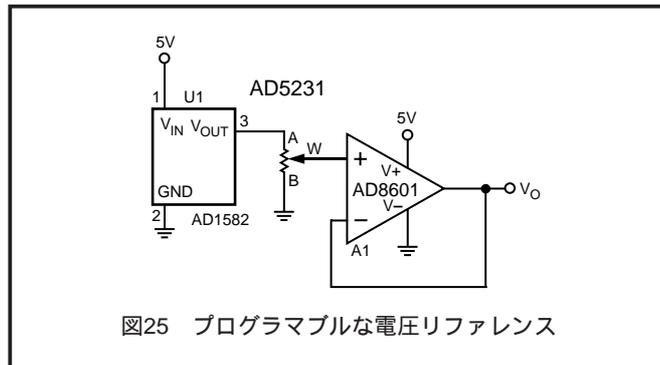


図25 プログラマブルな電圧リファレンス

### 出力ブースタ付きのプログラマブルな電圧ソース

大電流の調整が必要となるレーザー・ダイオード・ドライバまたはターナブル・レーザーのようなアプリケーションの場合、ブースト電圧ソースの使用を検討することができます（図26参照）。

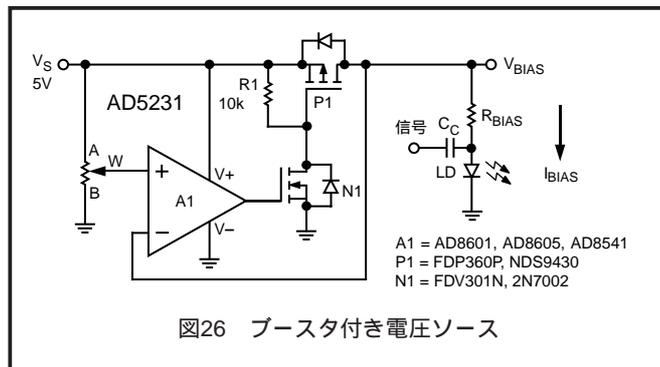


図26 ブースタ付き電圧ソース

この回路では、オペアンプの反転入力が $V_{BIAS}$ をデジタル・ポテンシオメータで設定されたワイパー電圧に等しく維持します。PチャンネルFET P1を介して電源から負荷電流が流れます。NチャンネルFET N1は、オペアンプの駆動条件を簡単にします。抵抗R1は、P1がオンした後にターンオフしないという事態を防止するために必要です。R1の選択は、この抵抗の電力損失と出力ターンオフ時間のバランスから行います。N1には汎用の信号用FETを使えますが、P1は飽和状態で駆動されるため、 $(V_s - V_{BIAS}) \times I_{BIAS}$ の消費電力に耐える必要があります。この回路は5V電源で最大100mAを出力することができます。大きなパッケージのP1を使うと、これより大きな電流も可能です。1個のNチャンネルFETで、P1、N1、R1を置き換え可能なことに注意してください。ただし、別の電源を使用しない限り、出力振幅は制限されます。高精度なアプリケーションに対しては、ADR423、ADR292、AD1584のような電圧リファレンス、デジタル・ポテンシオメータの入力に使用できます。

# AD5231

4 ~ 20mAのプログラマブルな電流ソース  
 図27に示す回路を使って、4 ~ 20mAのプログラマブルな電流ソースを実現することができます。

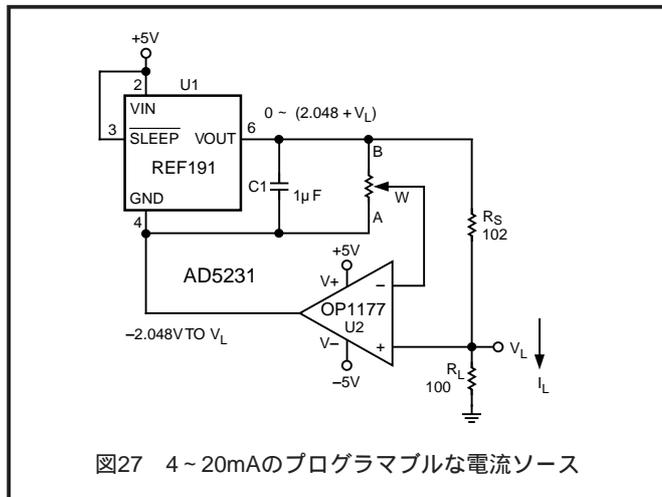


図27 4 ~ 20mAのプログラマブルな電流ソース

REF191は低電源ヘッドルーム高精度リファレンスで、2.048Vで20mAを供給することができます。負荷電流は、単純にデジタル・ポテンショメータのピンBとピンWの間の電圧をR<sub>S</sub>で除算した値に等しくなります。

$$I_L = \left( \frac{V_{REF} \times D}{R_S} \right) \quad (7)$$

回路は単純ですが、2つの問題に注意する必要があります。まず、REF191のグラウンド電位は -2.048V (ポテンショメータ設定のゼロスケール) からV<sub>L</sub> (ポテンショメータ設定のフルスケール) まで変化できるため、両電源オペアンプが最適です。回路は単電源でも動作しますが、システムのプログラマブルな分解能は低下します。2つ目は、V<sub>L</sub>での電圧適合性が2.5V、すなわち等価負荷125 に制限されることです。高い電圧適合性が必要な場合は、デジタル・ポテンショメータAD5260、AD5280、AD7376の使用を検討することができます。図28に、高電圧に適合する別の回路を示します。

## プログラマブルな双方向性電流ソース

双方向性電流制御は高電圧適合性が必要なアプリケーションに対しては、Howland社の電流ポンプが1つのソリューションになります。抵抗が一致している場合、負荷電流は次式で与えられます。

$$I_L = \frac{(R_2 A + R_2 B)}{R_1} \times V_W \quad (8)$$

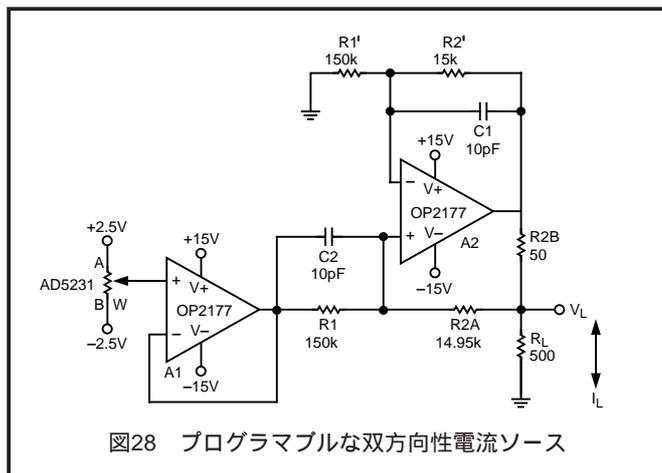


図28 プログラマブルな双方向性電流ソース

理論的にはR2Bを必要なだけ小さくして、A2内部での出力電流駆動能力に必要な電流を得ることができます。この回路で、OP2177は両方向に±5mAを供給し、電圧適合性は15Vに近づきます。出力インピーダンスは次式で表されます。

$$Z_o = \frac{R_1}{\left( \frac{R_1 \times R_2'}{R_1' \times R_2} - 1 \right)} \quad (9)$$

抵抗R1とR2がそれぞれR1とR2A + R2Bに正確に一致すると、Z<sub>o</sub>は無限大になります。一方、抵抗が一致しない場合、Z<sub>o</sub>が負になることがあります。そのため、発信を防止するために、C1とC2には1 ~ 10pFの範囲が必要になります。

## 抵抗スケール

AD5231は、10k、50k、100kの公称抵抗を提供しています。低い抵抗を持つ調整ステップ数を維持したい場合は、複数のデバイスを並列接続することができます。例えば、図29に2個のAD5231を並列接続する簡単な回路を示します。ステップ毎に1/2にした抵抗値を連続調整するためには、両デバイスを同じ設定にプログラムして、ピンを図のように接続する必要があります。

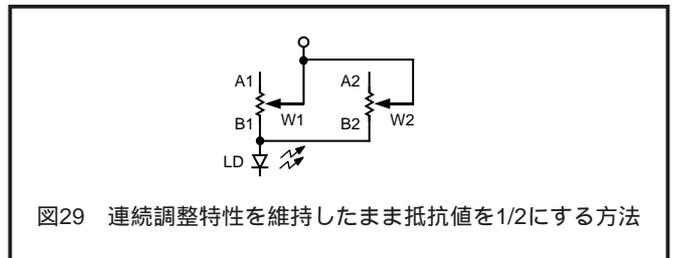


図29 連続調整特性を維持したまま抵抗値を1/2にする方法

電圧分割器モードでは、図30に示すようにディスクリート抵抗を並列接続することにより、さらに低い抵抗を実現することができます。等価抵抗値は次のようになります。

$$R_{WB_{eq}} = \frac{D}{1024} (R_1 // R_2) + R_W \quad (10)$$

$$R_{WA_{eq}} = \left( 1 - \frac{D}{1024} \right) (R_1 // R_2) + R_W \quad (11)$$

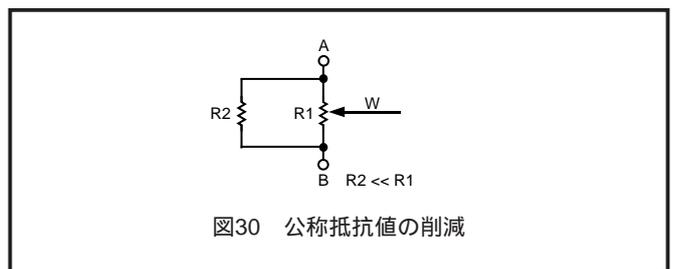


図30 公称抵抗値の削減

図29と図30は、デジタル・ポテンショメータが各ステップを直線の変化させることを示しています。一方、オーディオ制御のようなアプリケーションでは、対数テーパ調整が好まれます。図31に、抵抗を調整するもう一つの方法を示します。この設定では、R1に比べてR2が小さい程、擬似対数テーパ特性が強くなります。

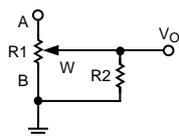


図31 擬似対数特性による抵抗調整

### RDAC回路のシミュレート・モデル

RDACのAC特性は、内部パラシチック・コンデンサと外部負荷により支配されます。ポテンショメータ分割器として構成すると、AD5231BRU10（10k 抵抗）の -3dB帯域幅測定値は、ハーフスケールで370kHzです。特性10に、大信号周波数特性を示します。図32に、寄生のシミュレート・モードを示します。リストIに、10k RDACのマクロ・モデル・ネットリストを示します。

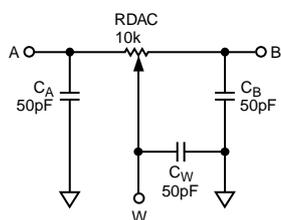


図32 RDAC回路 (RDAC = 10k ) のシミュレート・モデル

### リストI RDACのマクロ・モデル・ネットリスト

```
.PARAM D = 1024, RDAC = 10E3
*
.SUBCKT DPOT (A, W, B)
*
CA      A      0      50E-12
RAW     A      W      {(1-D/1024)*RDAC+15}
CW      W      0      50E-12
RBW     W      B      {D/1024*RDAC+15}
CB      B      0      50E-12
*
.ENDS DPOT
```

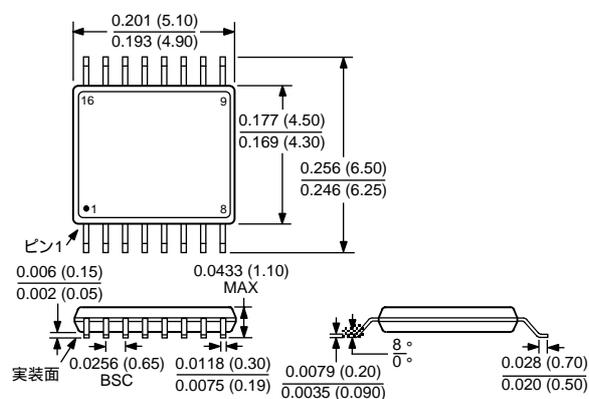
# AD5231

## デジタル・ポテンショメータ・ファミリーのセレクション・ガイド

製品番号	VR数/ パッケージ	ピン電圧 範囲 (V)	インター フェースの データ制御	公称抵抗値 (k)	分解能 (ワイパー・ ポジション 数)	電源電流 (I <sub>DD</sub> ) ( $\mu$ A)	パッケージ	コメント
AD5201	1	$\pm 3, +5.5$	3線式	10, 50	33	40	$\mu$ SOIC-10	フルAC仕様、両電源、パワーオン・リセット、低価格
AD5220	1	5.5	UP/ DOWN	10, 50, 100	128	40	PDIP, SO-8, $\mu$ SOIC-8	ロールオーバーなし、パワーオン・リセット
AD7376	1	$\pm 15, +28$	3線式	10, 50, 100, 1000	128	100	PDIP-14, SOL-16, TSSOP-14	28V単電源または $\pm 15V$ 両電源動作
AD5200	1	$\pm 3, +5.5$	3線式	10, 50	256	40	$\mu$ SOIC-10	フルAC仕様、両電源、パワーオン・リセット
AD8400	1	5.5	3線式	1, 10, 50, 100	256	5	SO-8	フルAC仕様
AD5260	1	$\pm 5, +15$	3線式	20, 50, 200	256	60	TSSOP-14	5V ~ 15Vまたは $\pm 5V$ 動作、TC<50ppm/
AD5241	1	$\pm 3, +5.5$	2線式	10, 100, 1000	256	50	SO-14, TSSOP-14	I <sup>2</sup> C互換、TC<50ppm/
AD5231	1	$\pm 2.75, +5.5$	3線式	10, 50, 100	1024	20	TSSOP-16	不揮発性メモリー、直接プログラム、I/D、 $\pm 6dB$ 設定可能
AD5222	2	$\pm 3, +5.5$	UP/ DOWN	10, 50, 100, 1000	128	80	SO-14, TSSOP-14	ロールオーバーなし、ステレオ・パワーオン・リセット、TC<50ppm/
AD8402	2	5.5	3線式	1, 10, 50, 100	256	5	PDIP, SO-14, TSSOP-14	フルAC仕様、nAのシャットダウン電流
AD5207	2	$\pm 3, +5.5$	3線式	10, 50, 100	256	40	TSSOP-14	フルAC仕様、両電源、パワーオン・リセット、SDO
AD5232	2	$\pm 2.75, +5.5$	3線式	10, 50, 100	256	20	TSSOP-16	不揮発性メモリー、直接プログラム、I/D、 $\pm 6dB$ 設定可能
AD5235	2	$\pm 2.75, +5.5$	3線式	25, 250	1024	20	TSSOP-16	不揮発性メモリー、直接プログラム、TC<50ppm/
AD5242	2	$\pm 3, +5.5$	2線式	10, 100, 1000	256	50	SO-16, TSSOP-16	I <sup>2</sup> C互換、TC<50ppm/
AD5262	2	$\pm 5, +15$	3線式	20, 50, 200	256	60	TSSOP-16	5V ~ 15Vまたは $\pm 5V$ 動作、TC<50ppm/
AD5203	4	5.5	3線式	10, 100	64	5	PDIP, SOL-24, TSSOP-24	フルAC仕様、nAのシャットダウン電流
AD5233	4	$\pm 2.75, +5.5$	3線式	10, 50, 100	64	20	TSSOP-24	不揮発性メモリー、直接プログラム、I/D、 $\pm 6dB$ 設定可能
AD5204	4	$\pm 3, +5.5$	3線式	10, 50, 100	256	60	PDIP, SOL-24, TSSOP-24	フルAC仕様、両電源、パワーオン・リセット
AD8403	4	5.5	3線式	1, 10, 50, 100	256	5	PDIP, SOL-24, TSSOP-24	フルAC仕様、nAのシャットダウン電流
AD5206	6	$\pm 3, +5.5$	3線式	10, 50, 100	256	60	PDIP, SOL-24, TSSOP-24	フルAC仕様、両電源、パワーオン・リセット

外形寸法  
サイズはインチと (mm) で示します。

## 16ピンTSSOP (RU-16)



# AD5231

TDS01/2002/1000

PRINTED IN JAPAN

