

AD5200/AD5201

特長

- AD5200 - 256ポジション
- AD5201 - 33ポジション
- 10k、50k
- 3線式SPIコンパチブル・シリアル・データ入力
- 単電源2.7~5.5Vまたは
- ACおよびバイポーラ動作の両電源 $\pm 2.7V$
- 内部パワーオン・ミッドスケール・プリセット

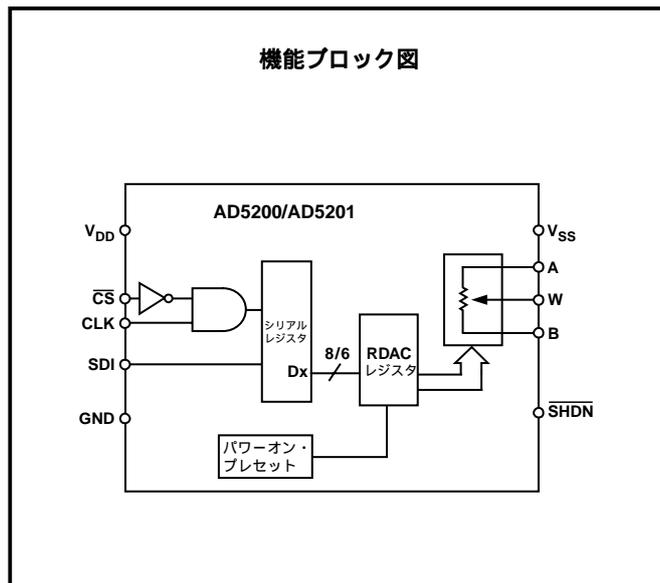
アプリケーション

- 機械的ポテンシオメータの置換部品
- 計装機器：ゲイン、オフセット調節
- プログラマブルな電圧/電流変換
- プログラマブルなフィルタ、遅延、時定数
- ライン・インピーダンス整合

概要

AD5200 (256ポジション) AD5201 (33ポジション) は、3線式SPIシリアル・インターフェースによりデジタル的に制御される、プログラマブルなレジスタ・デバイスです。プログラマブル・レジスタ、可変レジスタ (VR) RDACは、デジタル・ポテンシオメータを表す、互換的に使用される用語です。これらのデバイスは、ポテンシオメータまたは可変レジスタとしての同様な電子的調節機能を実現します。AD5200/AD5201は、小型の10ピン μ SOICパッケージにシングルの変可変レジスタを1つ内蔵しています。各デバイスは、デジタル・コードによってタップされるプログラマブルな抵抗による、ワイパー接点における固定ワイパー抵抗を持っています。このコードは、シリアル入力レジスタにロードされます。ワイパーとプログラマブル・レジスタ両端との間の抵抗は、VRラッチに転送されるデジタル・コードに従って直線的に変化します。各可変レジスタは、A端子とワイパー、またはB端子とワイパーの間で、完全にプログラマブルな抵抗値を提供します。A端子とB端子の間の固定抵抗値である10k または50k は、500ppm/ の公称温度係数を持っています。VRには、プログラムされた抵抗値を保持するVRラッチがあります。このVRラッチは、標準的な

機能ブロック図



3線式デジタル・インターフェースによってロードされるSPIコンパチブルのシリアル/パラレル・シフト・レジスタによって更新されます。AD5200の8つのデータ・ビットおよびAD5201の6つのデータ・ビットは、シリアル入力レジスタにクロック入力されるデータ・ワードを構成します。内蔵のプリセット機能によってワイパーがAD5200/AD5201のVRラッチのそれぞれに80Hおよび10Hをロードしてミッドスケールに設定します。SHDNピンは、レジスタによってA端子の両端を開放状態としてワイパーをB端子に対して短絡状態として、 μW の電力シャットダウン状態にします。SHDNがロジック・ハイの状態に戻ると、それまでのラッチの設定に従い、ワイパーはシャットダウン前と同じ抵抗値に設定されます。デジタル・インターフェースは、シャットダウンの間でも、デバイスがシャットダウンの状態から戻ったときにコードを変更して新しいワイパーのポジションを設定するためにアクティブです。全部品は、拡張工業温度範囲 - 40 ~ + 85 の範囲での動作が保証されています。

AD5200/AD5201 - 仕様

AD5200の電気的特性 (特に指定のない限り、 $V_{DD} = 5V \pm 10\%$ 、または $3V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $V_A = +V_{DD}$ 、 $V_B = 0V$ 、 $-40 < T_A < +85$)

パラメータ	記号	条件	Min	Typ ¹	Max	単位
加減抵抗器モードでのDC特性						
抵抗器微分非直線性 ²	R-DNL	R_{WB} 、 $V_A =$ 無接続	-1	± 0.25	+1	LSB
抵抗器積分非直線性 ²	R-INL	R_{WB} 、 $V_A =$ 無接続	-2	± 0.5	+2	LSB
公称抵抗許容範囲 ³	R_{AB}	$T_A = 25$	-30		+30	%
抵抗器温度係数	R_{AB}/T	$V_{AB} = V_{DD}$ 、ワイパー = 無接続		500		ppm/
ワイパー抵抗	R_W	$V_{DD} = 5V$		50	100	
ポテンシオメータ分圧器モードでのDC特性 (仕様は、すべてのVRについて適用)						
分解能	N		8			ビット
微分非直線性 ⁴	DNL		-1	$\pm 1/4$	+1	LSB
積分非直線性 ⁴	INL		-2	$\pm 1/2$	+2	LSB
分圧器温度係数	V_W/T	コード = 80 _H		5		ppm/
フルスケール誤差	V_{WFSE}	コード = FF _H	-1.5	-0.5	0	LSB
ゼロスケール誤差	V_{WZSE}	コード = 00 _H	0	+0.5	+1.5	LSB
抵抗端子						
電圧範囲 ⁵	V_A, B, W		V_{SS}		V_{DD}	V
容量 ⁶ A、B	C_A, B	$f = 1MHz$ 、GNDに対する測定値、コード = 80 _H		45		pF
容量 ⁶ W	C_W	$f = 1MHz$ 、GNDに対する測定値、コード = 80 _H		60		pF
シャットダウン供給電流 ⁷	I_{DD_SD}	$V_{DD} = 5.5V$	0.01	5		μA
コモン・モード・リーク電流	I_{CM}	$V_A = V_B = V_{DD}/2$	1			nA
デジタル入/出力						
入力ロジック・ハイ	V_{IH}		2.4			V
入力ロジック・ロー	V_{IL}				0.8	V
入力ロジック・ハイ	V_{IH}	$V_{DD} = 3V$ 、 $V_{SS} = 0V$	2.1			V
入力ロジック・ロー	V_{IL}	$V_{DD} = 3V$ 、 $V_{SS} = 0V$			0.6	V
入力電流	I_{IL}	$V_{IN} = 0V$ または $5V$			± 1	μA
入力容量 ⁶	C_{IL}			5		pF
電源						
ロジック電源	V_{LOGIC}		2.7		5.5	V
単電源電圧範囲	$V_{DD\ RANGE}$	$V_{SS} = 0V$	-0.3		5.5	V
両電源電圧範囲	$V_{DD/SS\ RANGE}$		± 2.3		± 2.7	V
正極性供給電流	I_{DD}	$V_{IH} = +5V$ または $V_{IL} = 0V$		15	40	μA
負極性供給電流	I_{SS}	$V_{SS} = -5V$		15	40	μA
消費電力 ⁸	P_{DISS}	$V_{IH} = +5V$ または $V_{IL} = 0V$ 、 $V_{DD} = +5V$ 、 $V_{SS} = 0V$			0.2	mW
電源感度	PSS	$V_{DD} = +5V \pm 10\%$ 、コード = ミッドスケール	-0.01	0.001	+0.01	%/%
ダイナミック特性 ^{6,9}						
-3dB帯域幅	BW_10k	$R_{AB} = 10k$ 、コード = 80 _H		600		kHz
	BW_50k	$R_{AB} = 50k$ 、コード = 80 _H		100		kHz
合計高調波歪み	THD _W	$V_A = 1V_{rms}$ 、 $V_B = 0V$ 、 $f = 1kHz$ 、 $R_{AB} = 10k$		0.003		%
V_W セトリング時間 (10k /50k)	ts	$V_A = 5V$ 、 $V_B = 0V$ 、 $\pm 1LSB$ 誤差帯域		2/9		μs
抵抗器ノイズ電圧密度	e_{N_WB}	$R_{WB} = 5k$ 、 $R_S = 0$		9		nV \sqrt{Hz}

注

- Typ値は25および $V_{DD} = 5V$ 、 $V_{SS} = 0V$ における平均的な値を示すものです。
 - 抵抗器ポジション非直線性誤差R-DNLは、ワイパー・ポジションの最大抵抗と最小抵抗の間で測定した理想的な値からの偏差を示します。R-DNLは連続するタップ・ポジションの間での相対的なステップ変化を測定したものです。部品については単調性が保証されています。 $V_{DD} = +2.7V$ および $V_{SS} = -2.7V$ の双方について $I_W = V_{DD}/R$ となります。
 - $V_{AB} = V_{DD}$ 、ワイパー (V_W) = 無接続。
 - INLおよびDNLは、RDACを電圧出力のD/Aコンバータに類似した状態にポテンシオメータ分圧器に設定した状態で、 V_W において測定したものです。 $V_A = V_{DD}$ および $V_B = 0V$ です。DNLの仕様である最大 $\pm 1LSB$ の限界は、保証された単調動作条件になります。
 - 抵抗器の端子A、B、Wは、互いの関係において極性についての制限がありません。
 - 設計により保証されていますが、製造テストは行なっていません。
 - A端子において測定したものです。シャットダウン・モードでは、A端子は開放となります。
 - P_{DISS} は ($I_{DD} \times V_{DD}$) により算出されます。CMOSロジック・レベル入力により消費電力が最小化されます。
 - すべてのダイナミック特性は、 $V_{DD} = 5V$ 、 $V_{SS} = 0V$ でのものです。
- 仕様は予告なく変更されることがあります。

AD5200/AD5201

AD5201の電気的特性 (特に指定のない限り、 $V_{DD} = 5V \pm 10\%$ または $3V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $V_A = +V_{DD}$ 、 $V_B = 0V$ 、 $-40 < T_A < +85$)

パラメータ	記号	条件	Min	Typ ¹	Max	単位
加減抵抗器モードでのDC特性						
抵抗器微分非直線性 ²	R-DNL	R_{WB} 、 $V_A =$ 無接続	- 0.5	± 0.05	+ 0.5	LSB
抵抗器積分非直線性 ²	R-INL	R_{WB} 、 $V_A =$ 無接続	- 1	± 0.1	+ 1	LSB
公称抵抗許容範囲 ³	R_{AB}	$T_A = 25$	- 30		+ 30	%
抵抗器温度係数	R_{AB}/T	$V_{AB} = V_{DD}$ 、ワイパー = 無接続		500		ppm/
ワイパー抵抗	R_W	$V_{DD} = 5V$		50	100	
ポテンショメーター分圧器モードでのDC特性 (仕様は、すべてのVRについて適用)						
分解能 ⁴	N		6			ビット
微分非直線性 ⁵	DNL		- 0.5	± 0.01	+ 0.5	LSB
積分非直線性 ⁵	INL		- 1	± 0.02	+ 1	LSB
分圧器温度係数	V_W/T	コード = 10_H		5		ppm/
フルスケール誤差	V_{WFSE}	コード = 20_H	- 1/2	- 1/4	0	LSB
ゼロスケール誤差	V_{WZSE}	コード = 00_H	0	+ 1/4	+ 1/2	LSB
抵抗端子						
電圧範囲 ⁶	$V_{A, B, W}$		V_{SS}		V_{DD}	V
容量 ^{7A, B}	$C_{A, B}$	$f = 1MHz$ 、GNDに対する測定値、コード = 10_H		45		pF
容量 ^{7W}	C_W	$f = 1MHz$ 、GNDに対する測定値、コード = 10_H		60		pF
シャットダウン供給電流 ⁸	I_{DD_SD}	$V_{DD} = 5.5V$		0.01	5	μA
コモン・モード・リーク電流	I_{CM}	$V_A = V_B = V_{DD}/2$		1		nA
デジタル入 / 出力						
入力ロジック・ハイ	V_{IH}		2.4			V
入力ロジック・ロー	V_{IL}				0.8	V
入力ロジック・ハイ	V_{IH}	$V_{DD} = 3V$ 、 $V_{SS} = 0V$	2.1			V
入力ロジック・ロー	V_{IL}	$V_{DD} = 3V$ 、 $V_{SS} = 0V$			0.6	V
入力電流	I_{IL}	$V_{IN} = 0V$ または $5V$			± 1	μA
入力容量 ⁷	C_{IL}			5		pF
電源						
ロジック電源	V_{LOGIC}		2.7		5.5	V
単電源電圧範囲	$V_{DD\ RANGE}$	$V_{SS} = 0V$	- 0.3		5.5	V
両電源電圧範囲	$V_{DD/SS\ RANGE}$		± 2.3		± 2.7	V
正極性供給電流	I_{DD}	$V_{IH} = +5V$ または $V_{IL} = 0V$		15	40	μA
負極性供給電流	I_{SS}	$V_{SS} = -5V$		15	40	μA
消費電力 ⁹	P_{DISS}	$V_{IH} = +5V$ または $V_{IL} = 0V$ 、 $V_{DD} = +5V$ 、 $V_{SS} = -5V$			0.2	mW
電源感度	PSS	$V_{DD} = +5V \pm 10\%$	- 0.01	0.001	+ 0.01	%/%
ダイナミック特性^{7,10}						
- 3dB帯域幅	B_{W_10k}	$R_{AB} = 10k$ 、コード = 10_H		600		kHz
	B_{W_50k}	$R_{AB} = 50k$ 、コード = 10_H		100		kHz
合計高調波歪み	THD_W	$V_A = 1V_{rms}$ 、 $V_B = 0V$ 、 $f = 1kHz$ 、 $R_{AB} = 10k$		0.003		%
V_W セトリング時間 (10k /50k)	t_s	$V_A = 5V$ 、 $V_B = 0V$ 、 $\pm 1LSB$ 誤差帯域		2/9		μs
抵抗器ノイズ電圧密度	e_{N_WB}	$R_{WB} = 5k$ 、 $RS = 0$		9		$nV\sqrt{Hz}$

- 注
- Typ値は25 および $V_{DD} = 5V$ 、 $V_{SS} = 0V$ における平均的な値を示すものです。
 - 抵抗器ポジション非直線性誤差R-DNLは、ワイパー・ポジションの最大抵抗と最小抵抗の間で測定した理想的な値からの偏差を示します。R-DNLは連続するタップ・ポジションの間での相対的なステップ変化を測定したものです。部品については単調性が保証されています。 $V_{DD} = +2.7V$ および $V_{SS} = -2.7V$ の双方について $I_W = V_{DD}/R$ となります。
 - $V_{AB} = V_{DD}$ 、ワイパー (V_W) = 無接続。
 - 64ポジションのデバイスでない場合にも33ポジションのために6ビットを必要とします。
 - INLおよびDNLは、電圧出力のD/Aコンバータに類似した状態にRDACをポテンショメーター分圧器に設定した状態で V_W において測定したもになります。
 - 抵抗器の端子A、B、Wは、互いの関係において極性についての制限がありません。
 - 設計により保証されていますが、製造テストは行っていません。
 - A端子において測定したものです。シャットダウン・モードでは、A端子は開放となります。
 - P_{DISS} は ($I_{DD} \times V_{DD}$) により算出されます。CMOSロジック・レベル入力により消費電力が最小化されます。
 - すべてのダイナミック特性は、 $V_{DD} = 5V$ 、 $V_{SS} = 0V$ でのものです。
- 仕様は予告なく変更されることがあります。

AD5200/AD5201 - 仕様

電気的特性 (特に指定のない限り、 $V_{DD} = 5V \pm 10\%$ 、または $3V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $V_A = +V_{DD}$ 、 $V_B = 0V$ 、 $-40 < T_A < +85$)

パラメータ	記号	条件	Min	Typ ¹	Max	単位
インターフェース・タイミング特性 (すべての部品に適用[注2、3])						
入力クロック・パルス幅	t_{CH} 、 t_{CL}	クロック・レベルはハイまたはロー	20			ns
データ・セットアップ時間	t_{DS}		5			ns
データ・ホールド時間	t_{DH}		5			ns
\overline{CS} セットアップ時間	t_{CSS}		15			ns
\overline{CS} ハイ・パルス幅	t_{CSW}		40			ns
CLKの立ち下がりから \overline{CS} の立ち下がりまでのホールド時間	t_{CSH0}		0			ns
CLKの立ち下がりから \overline{CS} の立ち上がりまでのホールド時間	t_{CSH1}		0			ns
\overline{CS} の立ち上がりからクロックの立ち上がりセットアップ	t_{CS1}		10			ns

注

- Typ値は25 および $V_{DD} = 5V$ 、 $V_{SS} = 0V$ における平均的な値を示すものです。
 - 設計により保証されていますが、製造テストはお子案っていません。
 - 測定された値の位置についてはタイミング図を参照してください。すべての入力制御の電圧は、 $t_r = t_f = 2ns$ (3Vの10 - 90%) に対するものであり、1.5Vの電圧レベルから測定されたものです。スイッチング特性は、 $V_{Logic} = 5V$ で測定されています。
- 仕様は予告なく変更されることがあります。

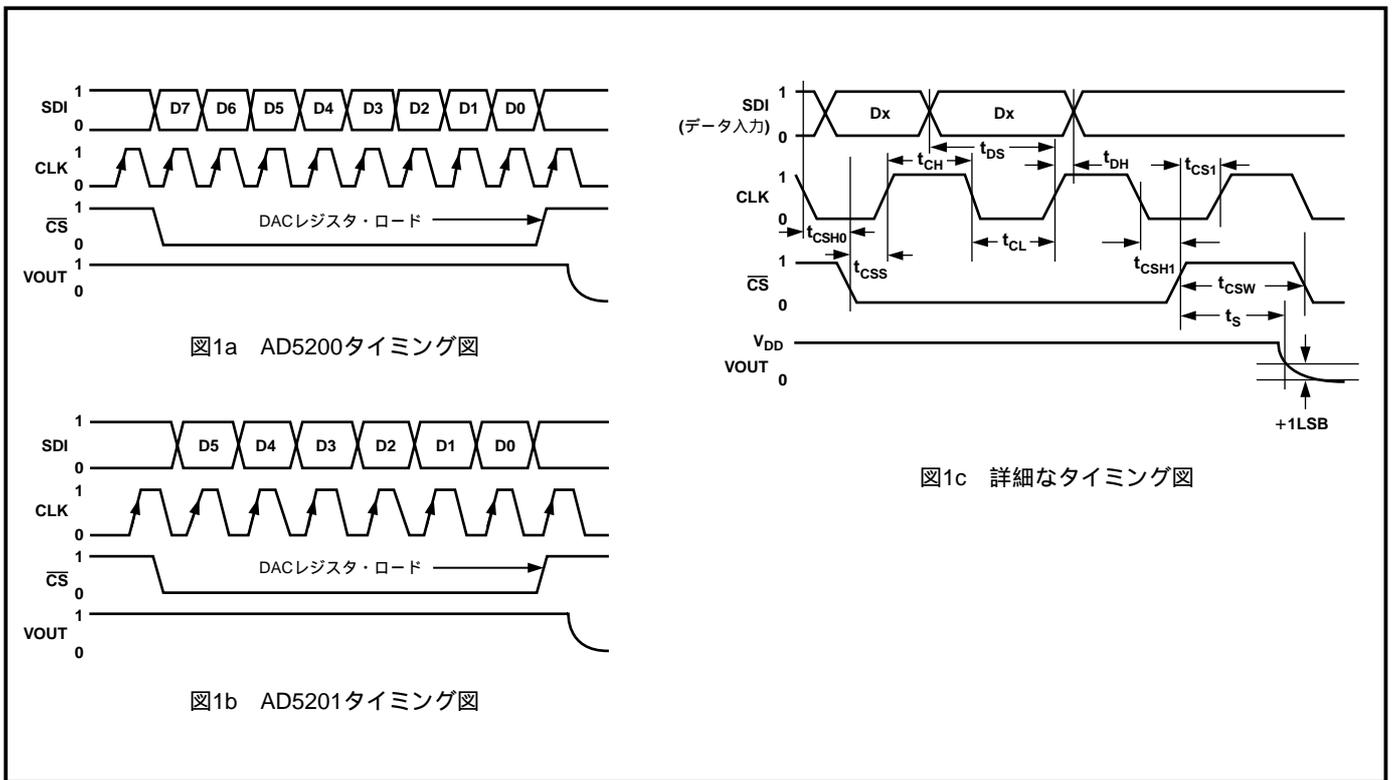


図1a AD5200タイミング図

図1b AD5201タイミング図

図1c 詳細なタイミング図

AD5200/AD5201

絶対最大定格¹

(特に指示のない限り、 $T_A = 25$)

$V_{DD} \sim V_{SS}$	7V
$V_{DD} \sim GND$	- 0.3、+ 7V
$V_{SS} \sim GND$	0V、- 7V
V_A 、 V_B 、 $V_W \sim GND$	V_{SS} 、 V_{DD}
10k でのA-B、A-W、B-W	$\pm 5mA^2$
50k でのA-B、A-W、B-W	$\pm 2.5mA^2$
デジタル入 / 出力電圧 $\sim GND$	0V、7V
動作温度範囲	- 40 ~ + 85
最大接合温度 ($T_J \text{ Max}$)	150
保管温度	- 65 ~ + 150
ピン温度 (ハンダ付け、10秒)	300
熱抵抗 J_A 、10ピン μ SOIC	200 $^{\circ}C/W$
パッケージ消費電力	($T_J \text{ Max} - T_A$) J_A

注

¹ 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

² 低い抵抗値では最大電流が増加します。

ピン機能説明

ピン	記号	説明
1	B	B端子。
2	V_{SS}	負極性の電源であり、0 ~ - 2.7V動作で仕様規定されています。
3	GND	グラウンド。
4	\overline{CS}	アクティブ・ローのチップ・セレクト入力です。 \overline{CS} がハイの状態に戻ると、データはDACレジスタにロードされます。
5	SDI	シリアル・データ入力。
6	CLK	シリアル・クロック入力であり、正極性のエッジによりトリガーされます。
7	\overline{SHDN}	アクティブ・ローの入力です。端子Aの開放回路です。シャットダウンは、RDACの可変レジスタが一時的に不定の状態になるように制御します。
8	V_{DD}	正極性電源です。($V_{DD} + V_{SS}$ の合計は5.5V以下です。)
9	W	ワイバー端子。
10	A	A端子。

ピン配置



オーダー・ガイド

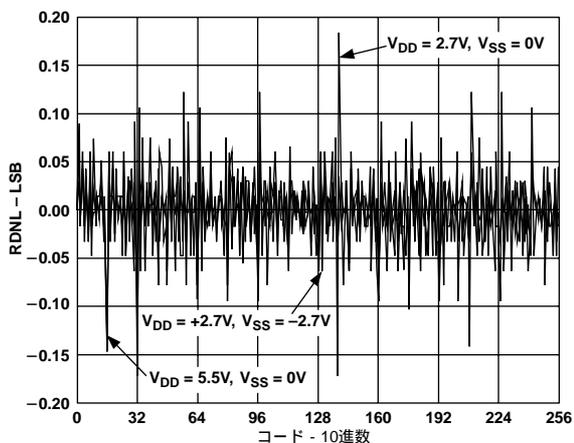
モデル	分解能	k	温度範囲	パッケージ	パッケージ・オプション	リールあたり総数	ブランド情報
AD5200BRM10-REEL7	256	10	- 40 ~ + 85	10ピン μ SOIC	RM-10	5000	DLA
AD5200BRM50-REEL7	256	50	- 40 ~ + 85	10ピン μ SOIC	RM-10	5000	DLB
AD5201BRM10-REEL7	33	10	- 40 ~ + 85	10ピン μ SOIC	RM-10	5000	DUA
AD5201BRM50-REEL7	33	50	- 40 ~ + 85	10ピン μ SOIC	RM-10	5000	DUB

注意

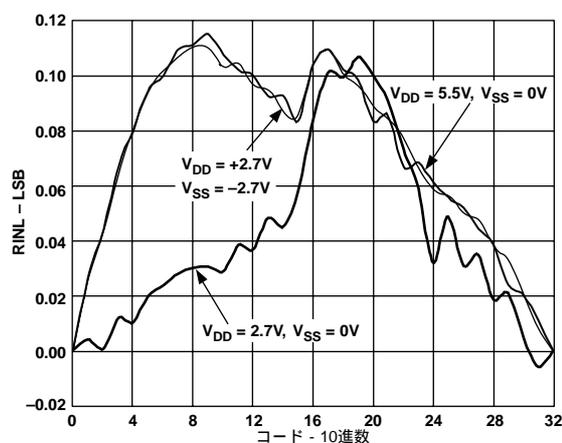
ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



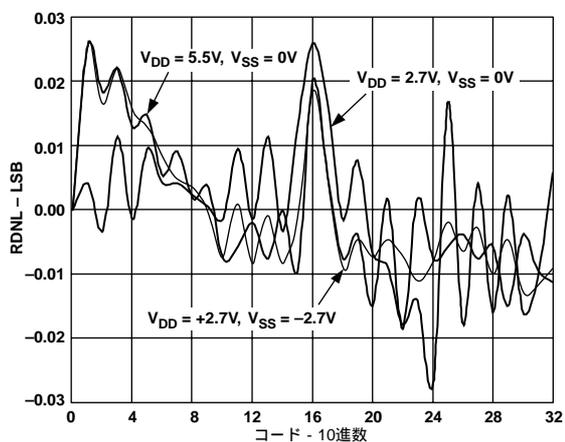
AD5200/AD5201 - 代表的な性能特性



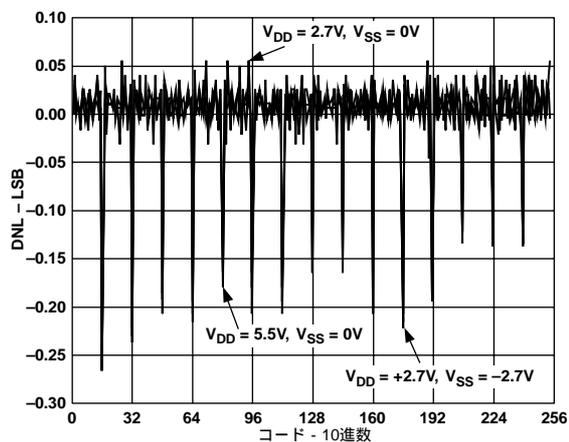
特性1 AD5200 10k RDNL 対コード



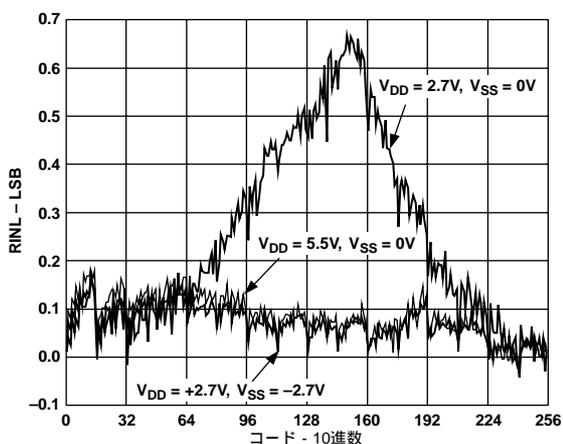
特性4 AD5201 10k RINL 対コード



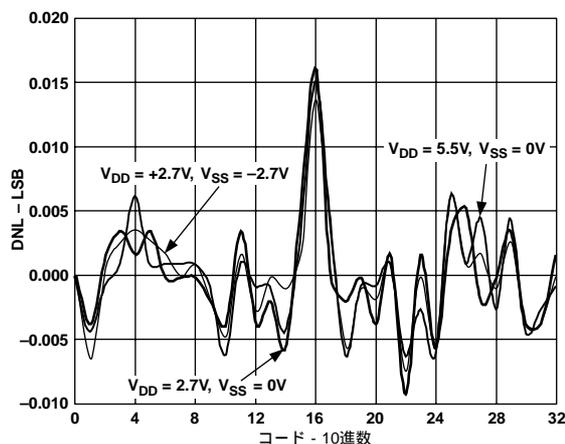
特性2 AD5201 10k RDNL 対コード



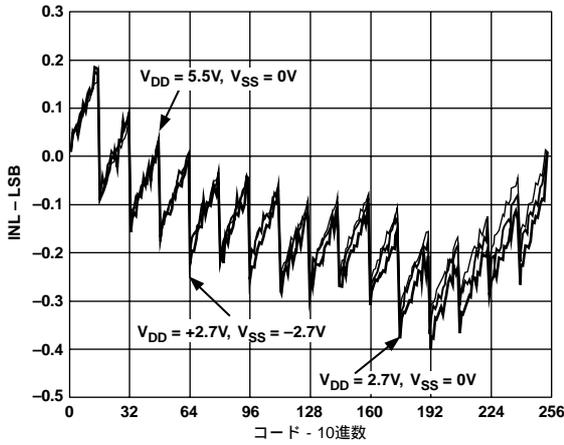
特性5 AD5200 10k DNL 対コード



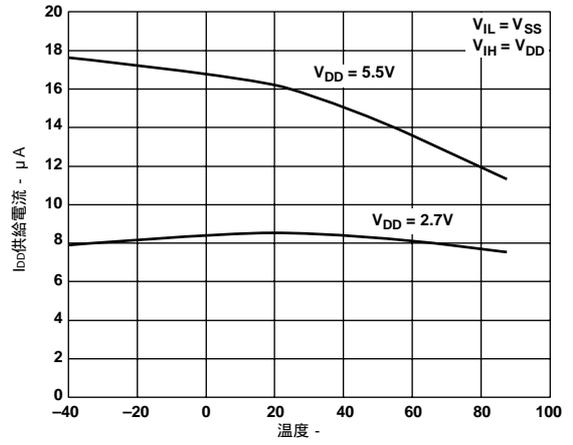
特性3 AD5200 10k RINL 対コード



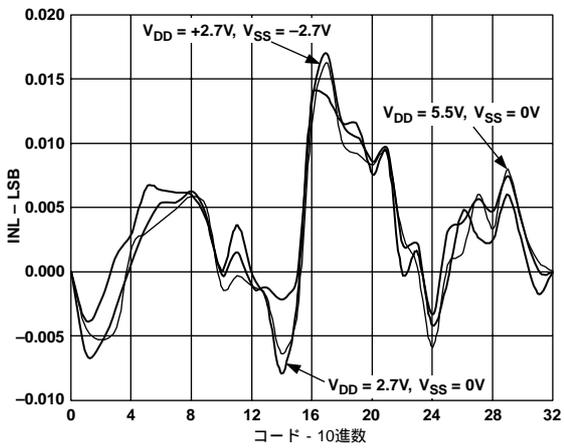
特性6 AD5201 10k DNL 対コード



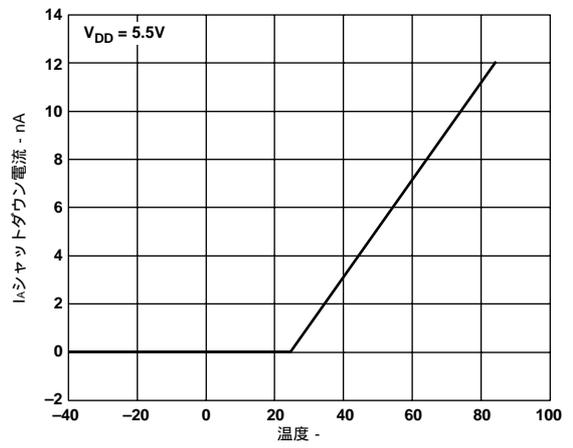
特性7 AD5200 10k INL 対 コード



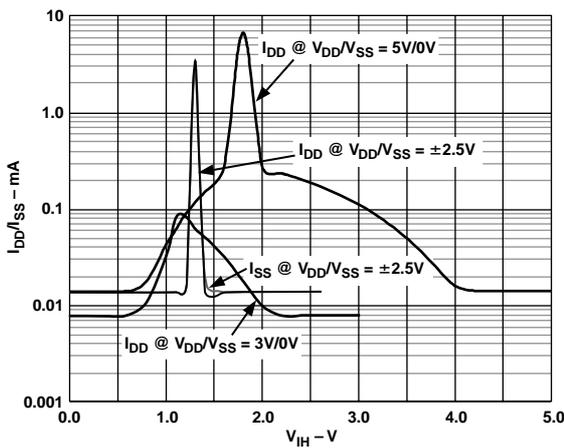
特性10 供給電流 対 温度



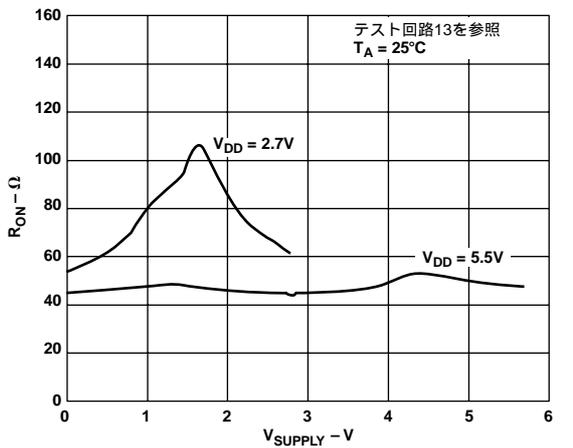
特性8 AD5201 10k INL 対 コード



特性11 シャットダウン電流 対 温度

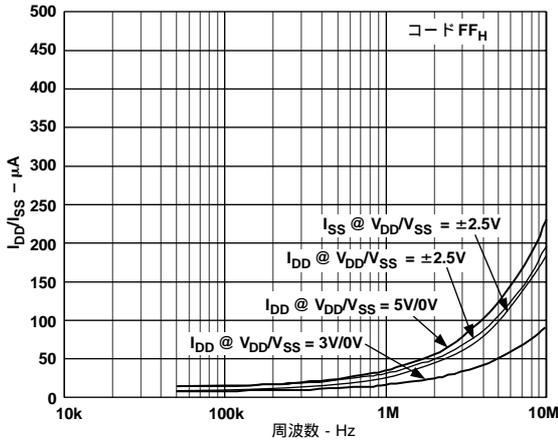


特性9 供給電流 対 ロジック入力電圧

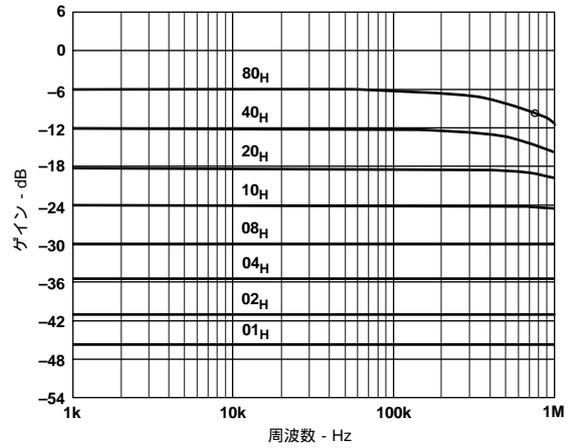


特性12 ワイパー・オン抵抗 対 VSUPPLY

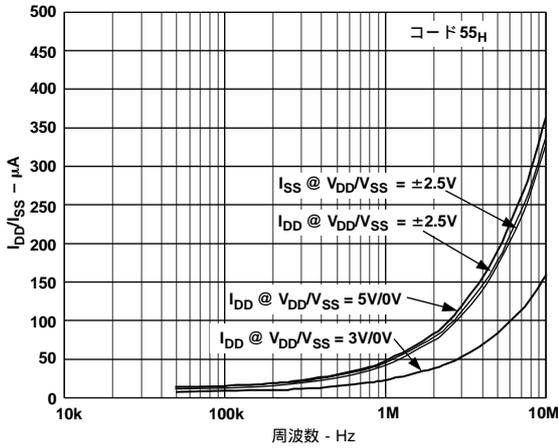
AD5200/AD5201



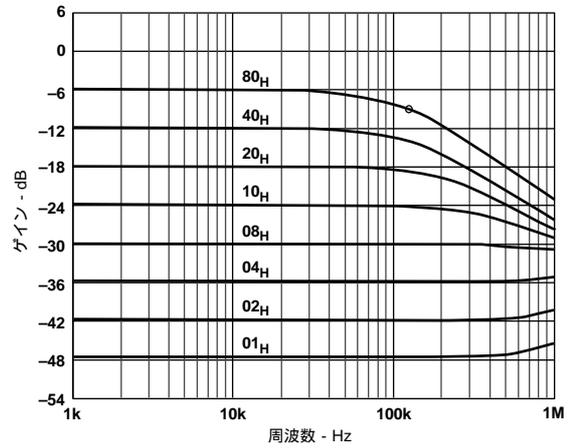
特性13 AD5200 10k 供給電流 対 クロック周波数



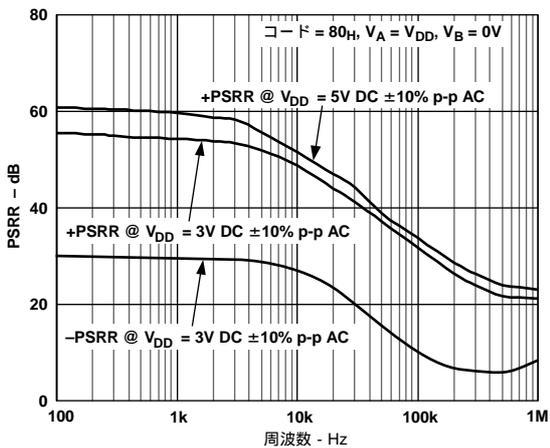
特性16 AD5200 10k ゲイン 対 周波数 対 コード



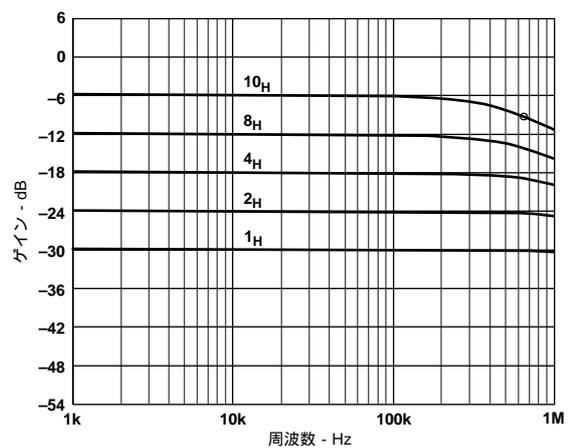
特性14 AD5200 10k 供給電流 対 クロック周波数



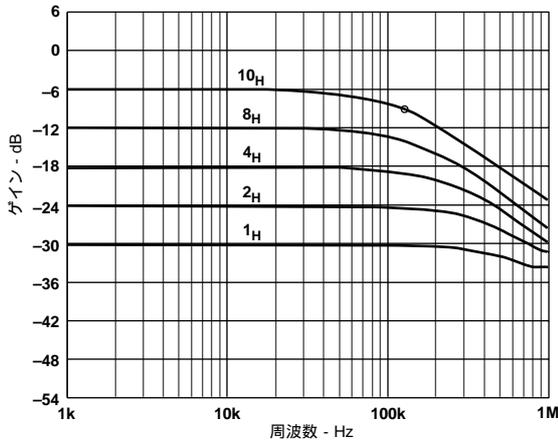
特性17 AD5200 50k ゲイン 対 周波数 対 コード



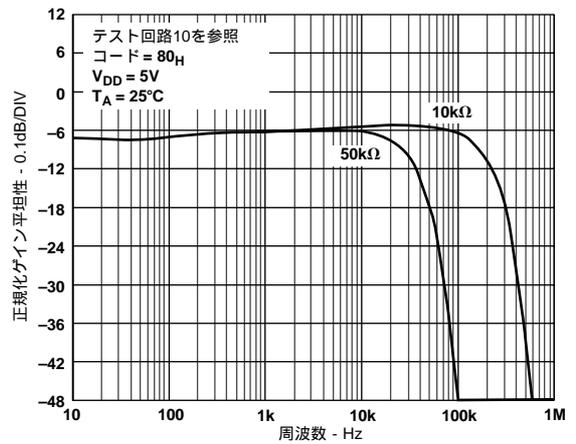
特性15 電源除去比 対 周波数



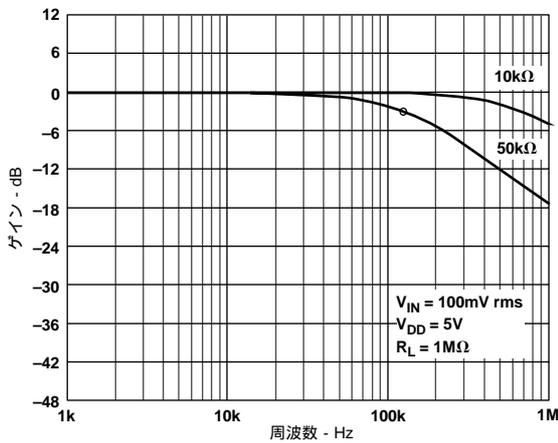
特性18 AD5201 10k ゲイン 対 周波数 対 コード



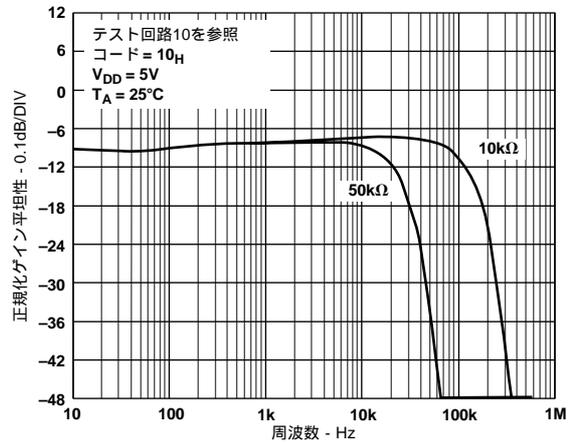
特性19 AD5201 50k ゲイン 対 周波数 対 コード



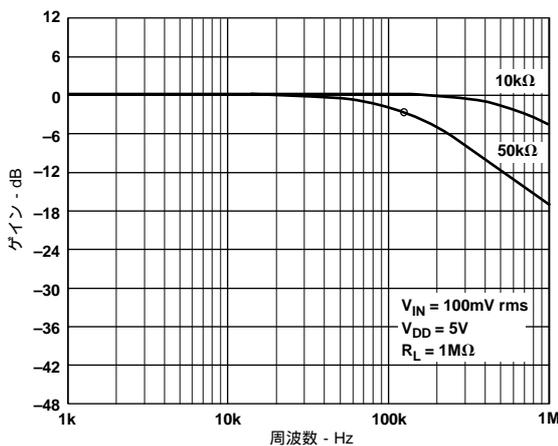
特性22 正規化ゲイン平坦性 対 周波数



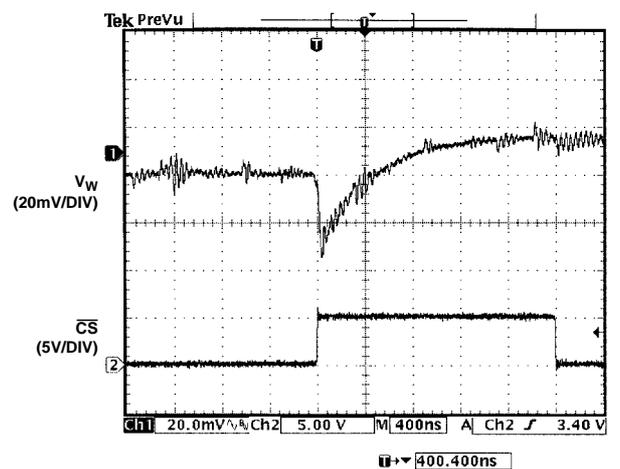
特性20 AD5200の -3dB帯域幅



特性23 AD5201 正規化ゲイン平坦性 対 周波数

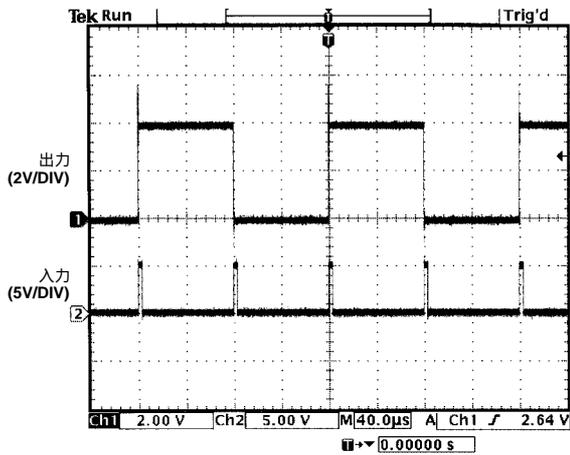


特性21 AD5201の -3dB帯域幅

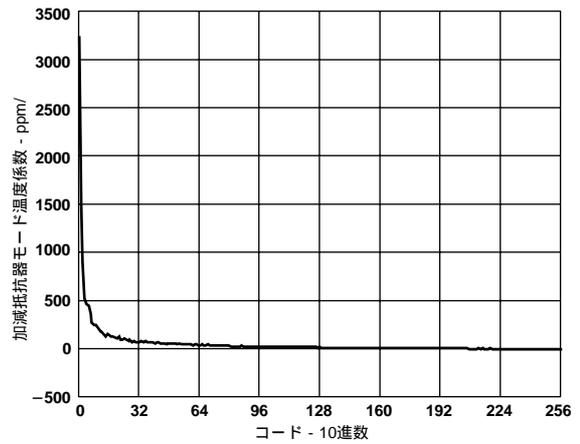


特性24 ハーフスケールにおけるワン・ステップ変化

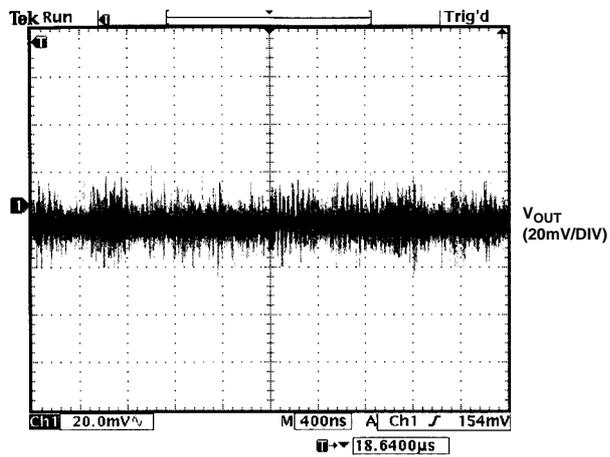
AD5200/AD5201



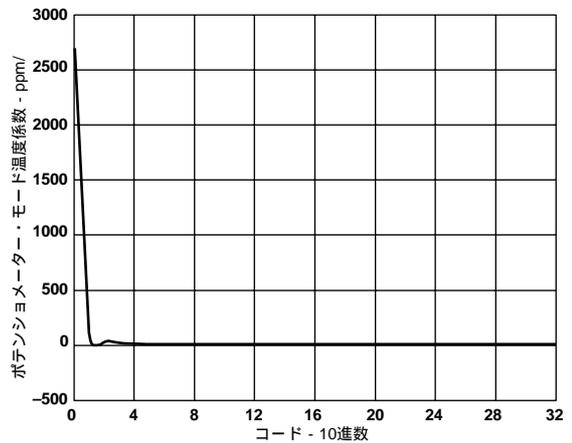
特性25 大信号セトリング時間



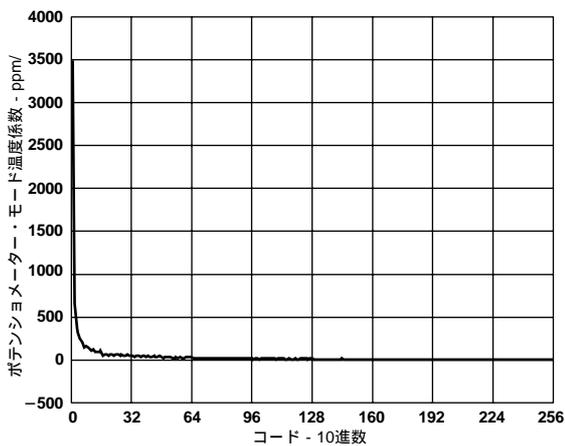
特性28 AD5200 R_{WB}/T 加減抵抗器
モード温度係数



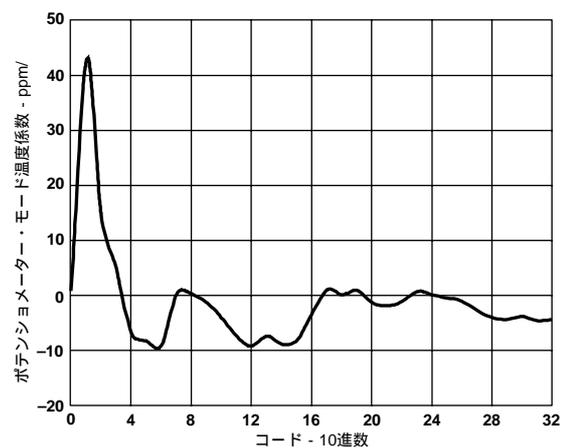
特性26 デジタル・フィードスルー 対 時間



特性29 AD5201 ポテンショメーター・
モード温度係数



特性27 AD5200 V_{WB}/T ポテンショメーター・
モード温度係数



特性30 AD5201 V_{WB}/T ポテンショメーター・
モード温度係数

動作

AD5200 (255ポジション)、AD5201 (33ポジション)は、デジタル制御の可変抵抗器 (VR) デバイスです。プログラムされたVRの設定の変更は、AD5200には8ビットのシリアル・データ・ワードを、AD5201には6ビットのシリアル・データ・ワードを、SDI (Serial Data Input) ピンにクロック入力して行います。表Iにシリアル・レジスタのデータ・フォーマットを示します。AD5200/AD5201は、パワーオン状態の時に、内部的にミッドスケールにプリセットされます。さらに、AD5200/AD5201は、RDACをゼロ消費電力状態にするSHDNピンを備えており、端子AおよびBの隣の高速度スイッチを即座に開放状態にします。一方、ワイパーWはB端子に接続されており、VR構造のなかでリーク電流を消費するのはここだけです。シャットダウンの間、RDACがアクティブの状態にないときもVRラッチの内容は保持されます。部品がシャットダウンから復帰すると、格納されたVRの設定がRDACに与えられます。

表I AD5200シリアル・データ・ワード・フォーマット

B7	B6	B5	B4	B3	B2	B1	B0
D7	D6	D5	D4	D3	D2	D1	D0
MSB							LSB
2^7							2^0

表II AD5201シリアル・データ・ワード・フォーマット

B5*	B4	B3	B2	B1	B0
D5*	D4	D3	D2	D1	D0
MSB					LSB
2^5					2^0

可変レジスタのプログラミング

加減抵抗器の動作

端子A、Bの間の公称抵抗は、10k および50k に設定できます。部品番号の最後の2桁が公称抵抗の値を表します。つまり部品番号末尾が10なら10k、50なら50k です。AD5200の公称抵抗 (R_{AB}) には、ワイパーによってアクセスされる256の接点があります。AD5200のRDACの8ビットのデータ・ワードはデコードされて、可能な256の設定のうちの1つを選択します。両製品とも、ワイパーの最初の接続はデータ00_HでB端子から開始します。B端子接続のワイパー接触抵抗は、有効な V_{DD}/V_{SS} が与えられる限り、公称抵抗に関係なく50 Ω となります。10k の製品の場合、AD5200の2番目の接続は最初のタップ・ポイントで、データ01_Hにたいして $89 [R_{WB} = R_{AB}/255 + R_W = 39 + 50]$ となります。3番目の接続は次のタップ・ポイントで、データ02_Hに対して $78 + 50 = 128$ となります。AD5201は、そのユニークな構造により、5ビット+1の分解能をもっていますが、すべての33ステップの分解能を得るためには6ビットのデータ・ワードが必要となります。RDACラッチの中の6ビットのデータ・ワードはデコードされて、可能な33の設定のうちの1つを選択します。データ34から63は、自動的にポジション33と等しくなります。AD5201のワイパーの00_Hにおける接続は50 Ω となります。同様に、10k の部品では、AD5201の最初のタップ・ポイントでは、データ01_Hに対し363 Ω、データ02_Hに対し675 Ω となります。AD5200

およびAD5201では、各LSBデータの値の増加により、ワイパーは梯子状の抵抗を最後のタップ・ポイントまで上方に移動させます。図2aおよび2bにRDACの等価回路の簡略化した図を示します。の設定がRDACに与えられます。

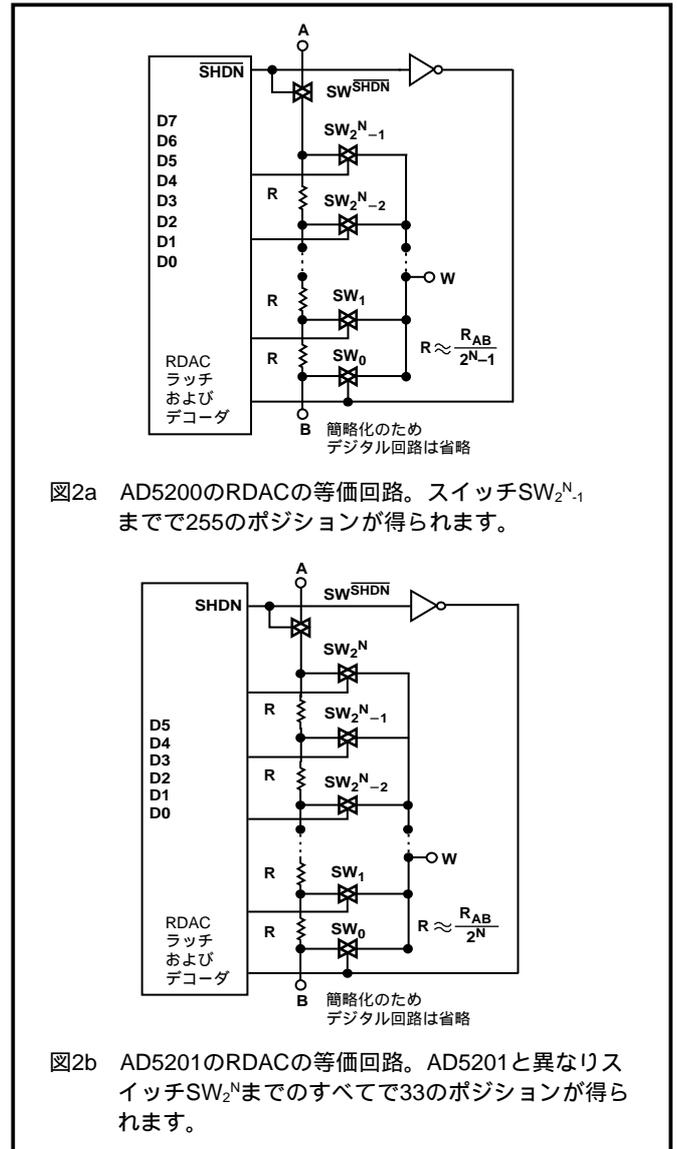


図2a AD5200のRDACの等価回路。スイッチ SW_2^{N-1} までで255のポジションが得られます。

図2b AD5201のRDACの等価回路。AD5201と異なりスイッチ SW_2^N までのすべてで33のポジションが得られます。

WおよびBの間でデジタル的にプログラムされる出力抵抗の、一般的な等式は以下のとおりです。

$$R_{WB}(D) = \frac{D}{255} R_{AB} + 50 \Omega \quad (\text{AD5200}) \quad (1)$$

$$R_{WB}(D) = \frac{D}{32} R_{AB} + 50 \Omega \quad (\text{AD5201}) \quad (2)$$

ここで、

Dは、RDACラッチの中のデータを10進数で表したものです。

R_{AB} は、両端の間の抵抗の公称値です。

R_W は、内部スイッチのオン抵抗によるワイパー抵抗です。

AD5200におけるDは、256のポジションに対して0~255の間となることに注意してください。一方、AD5201におけるDは、図2bに示すように内部構造のわずかな相違により、33のポジションに対して0~32の間となります。

AD5200/AD5201

また、 $R_{AB} = 10k$ およびA端子は開放状態とするかWに接続することができ、次のRDACラッチ・コードによってWとBの間の出力抵抗は次のように設定されます。

AD5200 ワイパーからBの抵抗

D (10進)	R_{WB} 条件 (V)	出力状態
255	10050	フルスケール ($R_{AB} + R_W$)
128	5070	ミッドスケール
1	89	1LSB
0	50	ゼロスケール (ワイパー接触抵抗)

AD5201 ワイパーからBの抵抗

D (10進)	R_{WB} 条件 (V)	出力状態
32	10050	フルスケール ($R_{AB} + R_W$)
16	5050	ミッドスケール
1	363	1LSB
0	50	ゼロスケール (ワイパー接触抵抗)

ゼロスケールの状態でも50 の有限のワイパー抵抗が存在することに注意してください。この状態では、内部スイッチの劣化または破壊の可能性を避けるために電流値を $\pm 20mA$ 以内に制限してください。

RDACによって置き換えられる機械式のポテンショメータのように、完全に対称な構造となっています。ワイパーWと端子Aの間の抵抗もデジタル的に制御される抵抗 R_{WA} を生成します。これらの端子が使用される際には、B端子をワイパーに接続する必要があります。 R_{WA} の抵抗値を設定すると最大の抵抗値から開始され、ラッチにロードされたデータの値が増加するにつれ抵抗値は減少します。この動作の一般的な式は以下のとおりです。

$$R_{WA}(D) = \frac{(255 - D)}{255} R_{AB} + 50 \Omega \quad (\text{AD5200}) \quad (3)$$

$$R_{WA}(D) = \frac{(32 - D)}{32} R_{AB} + 50 \Omega \quad (\text{AD5201}) \quad (4)$$

同様に、AD5200のDは0 ~ 255の間であり、これに対し、AD5201のDは0 ~ 32の間です。

$R_{AB} = 10k$ とB端子は開放状態とするかワイパーWと接続され、次のRDACラッチ・コードにより、WとAの間の出力抵抗は次のように設定されます。

AD5200 ワイパーからAの抵抗

D (10進)	R_{WA} 条件 (V)	出力状態
255	50	フルスケール (R_W)
128	5030	ミッドスケール
1	10011	1LSB
0	10050	ゼロスケール ($R_{AB} + R_W$)

AD5201 ワイパーからAの抵抗

D (10進)	R_{WA} 条件 (V)	出力状態
32	50	フルスケール (R_W)
16	5050	ミッドスケール
1	9738	1LSB
0	10050	ゼロスケール ($R_{AB} + R_W$)

公称抵抗の許容範囲は、プロセスのロットに依存し、 $\pm 30\%$ の範囲となる場合があります。ユーザー設定でRDACを加減抵抗器 (可変抵抗) モードで使用する場合には、このような許容範囲の仕様に気を付けてください。温度による R_{AB} の変化は、500ppm/ の温度係数を持っています。

ポテンショメータ分圧器のプログラミング

電圧出力動作

デジタル・ポテンショメータによって、ワイパーとB抵抗の間、およびワイパーとA抵抗の間の出力電圧を、簡単にAからBの電圧に比例するように生成できます。

正極性とする必要がある $V_{DD} - V_{SS}$ の極性とは異なり、A-B、W-A、W-Bの極性に制限はありません。

近似であるため、ワイパーの抵抗の影響を無視しても、A端子を5Vに、B端子をグラウンドに接続することにより、ワイパーにおいて、ほぼゼロから開始してほぼフルスケールまで達する範囲の任意の出力電圧が生成され、ワイパーの抵抗によって生じる偏差はわずかです。電圧の各LSBは、AD5200とAD5201のそれぞれについて、端子AB間に印加される電圧をポテンショメータ分圧器の $2^N - 1$ および 2^N の位置での分解能で除算した電圧に等しくなります。端子AおよびBに印加される、任意のグラウンドに対する電圧出力を定義する一般的な式は、以下のようになります。

$$V_W(D) = \frac{D}{255} V_{AB} + V_B \quad (\text{AD5200}) \quad (5)$$

$$V_W(D) = \frac{D}{32} V_{AB} + V_B \quad (\text{AD5201}) \quad (6)$$

ここで、AD5200のDは0 ~ 255の間であり、AD5201のDは0 ~ 32の間となります。

ワイパーの抵抗の影響を考慮したさらに正確な計算では、 V_W は以下のように求められます。

$$V_W(D) = \frac{R_{WB}(D)}{R_{AB}} V_A + \frac{R_{WA}(D)}{R_{AB}} V_B \quad (7)$$

ここで $R_{WB}(D)$ および $R_{WA}(D)$ は、1から4の式により求められます。

分圧器モードにおけるデジタル・ポテンショメータの動作により、全温度範囲にわたってより正確な動作が得られます。ここで、出力電圧は内部抵抗の比に依存し、絶対的な値には依存しないため、ドリフトは15ppm/ まで減少します。

デジタル・インターフェース

AD5200/AD5201は、標準的な3線式シリアル入力制御インターフェースを備えています。3つの入力、クロック(CLK)、 \overline{CS} 、シリアル・データ入力(Serial Data Input、SDI)です。正極性のエッジが有効なCLK入力は、不正確なデータのシリアル入力レジスタへのクロック入力を避けるために、クリーンな遷移が必要です。標準的なロジック・ファミリーで良好に動作します。製品の評価に機械式のスイッチを使用する場合には、フリップ・フロップまたは他の適当な手段によりバウンスを除去する必要があります。図3に、内部デジタル回路をさらに詳細に示します。 \overline{CS} がローのときには、クロックが各正極性のエッジによってシリアル・レジスタにデータをロードします。

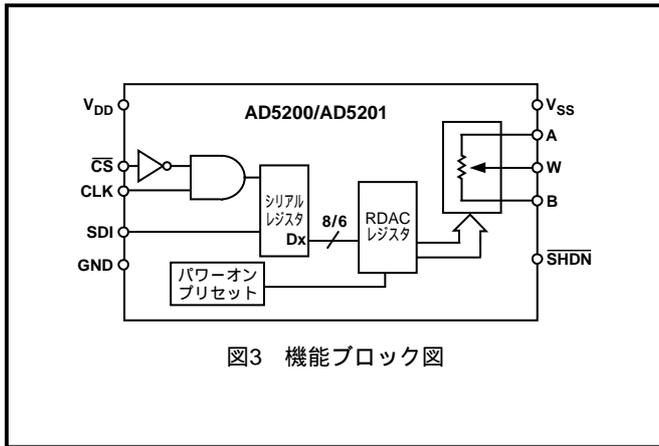


図3 機能ブロック図

すべてのデジタル入力は、図4に示すようにシリーズの入力レジスタとパラレルのツェナーESD構造により保護されています。これは、デジタル入力ピンである \overline{CS} 、SDI、SHDN、CLKに適用されています。

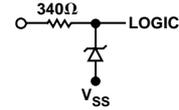


図4 デジタル・ピンのESD保護

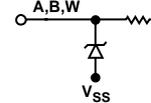


図5 レジスタ端子のESD保護

表III 入力ロジック制御真理値

CLK	\overline{CS}	SHDN	レジスタの働き
L	L	H	SRの影響なし。
P	L	H	SDIピン入力から1ビットをシフト。
X	P	H	SRデータをRDACラッチにロード。
X	H	H	動作なし。
X	H	L	A端子のオープン・サーキット、またワイヤからB端子へのショート・サーキット。

AD5200/AD5201

テスト回路

図6～14に製品仕様の表で用いられたテスト条件を示します。

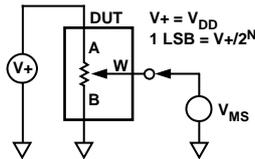


図6 ポテンショメータ分圧器非直線性誤差テスト回路 (INL、DNL)

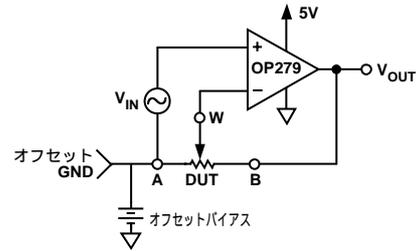


図11 非反転ゲイン・テスト回路

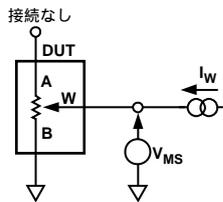


図7 抵抗器ポジション非直線性誤差 (加減抵抗器動作、R-INL、R-DNL) 接続なし

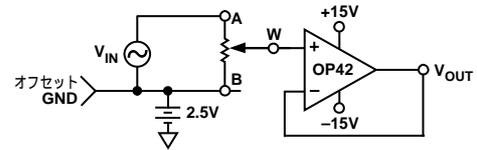


図12 ゲイン 対 周波数テスト回路

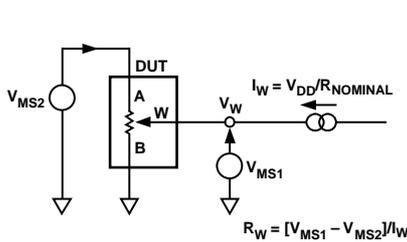


図8 ワイバー抵抗テスト回路

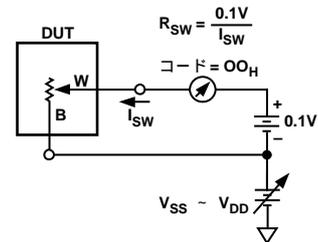


図13 インクリメンタル・オン抵抗テスト回路

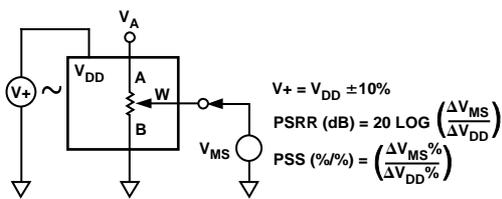


図9 電源回路テスト回路 (PSS、PSRR)

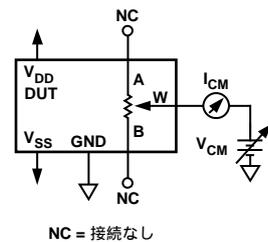


図14 コモン・モード・リーク電流テスト回路

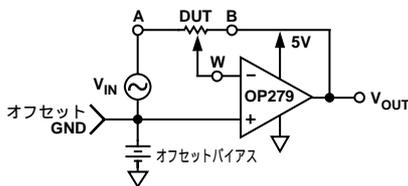


図10 反転ゲイン・テスト回路

AD5200/AD5201

デジタル・ポテンショメーター・セレクション・ガイド

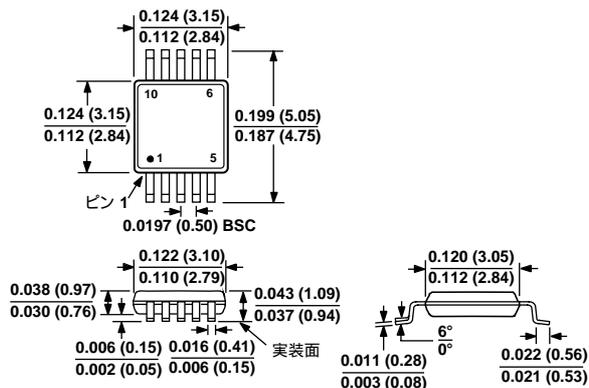
製品番号	パッケージ あたり VR数	端子電圧 範囲	インター フェース・ データ制御	公称抵抗値 (k)	分解能 (ワイパー・ ポジション の数)	供給 電流 (I _{DD})	パッケージ	備考
AD5201	1	±3V、+5.5V	3線式	10、50	33	60 μA	10ピンμSOIC	フルAC仕様、両電源、パワーオン・リセット、ローコスト
AD5220	1	5.5V	アップ/ダウン	10、50、100	128	40 μA	PDIP、8ピンSO、8ピンμSOIC	ロールオーバーなし、パワーオン・リセット
AD7376	1	±15V、+28V	3線式	10、50、100、1000	128	100 μA	14ピンPDIP、16ピンSOL、 ピンTSSOP	単電源28Vまたは両電源 14 ±15V動作
AD5200	1	±3V、+5.5V	3線式	10、50	256	60 μA	10ピンμSOIC	フルAC仕様、両電源、パワー オン・リセット
AD8400	1	5.5V	3線式	1、10、50、100	256	5 μA	8ピンSO	フルAC仕様
AD5241*	1	±3V、+5.5V	2線式	10、100、1000	256	5 μA	14ピンSO、14ピンTSSOP	I2Cコンパチブル、TC <50ppm/
AD5231*	1	±3V、+5.5V	3線式	10、50、100	1024	10 μA	16ピンTSSOP	不揮発メモリー、直接プログ ラム、I/D、±6dB安定性
AD5222	2	±3V、+5.5V	アップ/ダウン	10、50、100、1000	128	80 μA	14ピンSO、14ピンTSSOP	ロールオーバーなし、ステレオ、パワ ーオン・リセット、TC<50ppm/
AD8402	2	5.5V	3線式	1、10、50、100	256	5 μA	PDIP、14ピンSO、 T14ピンSSOP	フルAC仕様、nAシャットダ ウン電流
AD5232*	2	±3V、+5.5V	3線式	10、50、100	256	10 μA	16ピンTSSOP	不揮発メモリー、直接プログ ラム、±6dB安定性
AD5242*	2	±3V、+5.5V	2線式	10、100、1000	256	5 μA	16ピンSO、16ピンTSSOP	I2Cコンパチブル、TC< 50ppm/
AD5262*	2	±5V、+12V	3線式	10、50、100	256	60 μA	16ピンTSSOP	中間電圧動作、TC< 50ppm/
AD5203	4	5.5V	3線式	10、100	64	5 μA	PDIP、24ピンSOL、 24ピンTSSOP	フルAC仕様、nAシャットダ ウン電流
AD5233*	4	±3V、+5.5V	3線式	10、50、100	64	10 μA	16ピンTSSOP	不揮発メモリー、直接プログ ラム、I/D、±6dB安定性
AD5204	4	±3V、+5.5V	3線式	1、10、50、100	256	5 μA	PDIP、24ピンSOL、 24ピンTSSOP	フルAC仕様、nAシャットダ ウン電流
AD8403	4	5.5V	3線式	1、10、50、100	256	5 μA	PDIP、24ピンSOL、 24ピンTSSOP	フルAC仕様、nAシャットダ ウン電流
AD5206	6	±3V、+5.5V	3線式	10、50、100	256	5 μA	PDIP、24ピンSOL、 24ピンTSSOP	フルAC仕様、両電源、パワー オン・リセット

*製品化予定。最新の出荷状況はお問い合わせください。

AD5200/AD5201

外形寸法 サイズはインチと (mm) で示します。

10ピン μ SOIC
(RM-10)



データシート 変更履歴

05/3/28

アナログ・デバイス株式会社

型番: **AD5200**

以下の箇所が間違っておりましたので変更いたしました。

P5 オーダー・ガイドのモデル名の欄

変更前

AD5200ARM10-REEL7

AD5200ARM50-REEL7

AD5201ARM10-REEL7

AD5201ARM50-REEL7

変更後

AD5200BRM10-REEL7

AD5200BRM50-REEL7

AD5201BRM10-REEL7

AD5201BRM50-REEL7