

### 特長

256 ポジション

端子間抵抗: 5 k $\Omega$ 、10 k $\Omega$ 、50 k $\Omega$ 、100 k $\Omega$

小型 SOT-23-8 (2.9 mm  $\times$  3 mm) パッケージを採用

SPI 互換インターフェース付き

ミッドスケールへのパワーオン・プリセット

単電源動作: 2.7 V $\sim$ 5.5 V

小さい温度係数: 45 ppm/ $^{\circ}$ C

低消費電力:  $I_{DD} = 8 \mu A$

広い動作温度:  $-40^{\circ}$ C $\sim$ +125 $^{\circ}$ C

評価用ボードを提供

### アプリケーション

新しいデザインでの機械的ポテンシオメータの置き換え

圧力、温度、位置、化学的センサー、光学的センサーのトランス  
ジューサ調整

RF アンプのバイアス

車載エレクトロニクスの調整

ゲイン制御とオフセット調整

### 機能ブロック図

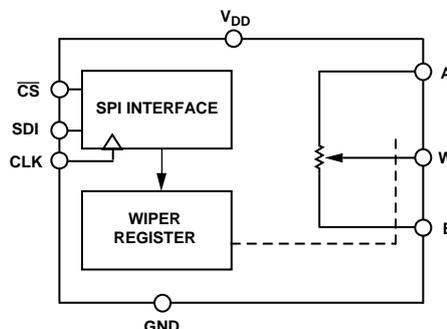


図 1.

### ピン配置

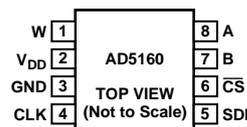


図 2.

### 概要

AD5160 は、256 ポジション調整アプリケーション向けに小型の 2.9 mm  $\times$  3 mm パッケージを採用したソリューションを提供します。これらのデバイスは機械的ポテンシオメータ<sup>1</sup>や可変抵抗と同じ電子的調整機能を持っていますが、優れた分解能、固体素子の信頼性、非常に小さい温度係数性能を持っています。

ワイパーの設定は、SPI 互換デジタル・インターフェースを介して制御することができます。ワイパーと固定抵抗の片側ピンとの

間の抵抗は、RDAC ラッチに転送されたデジタル・コードに比例して変化します。

2.7 $\sim$ 5.5 V の電源で動作し、5  $\mu A$  以下の消費電流であるため、バッテリー駆動のポータブル・アプリケーションで使うことができます。

<sup>1</sup>用語デジタル・ポテンシオメータ、VR、RDAC は同じ意味で使用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2003–2009 Analog Devices, Inc. All rights reserved.

## 目次

特長.....	1	代表的な性能特性 .....	8
アプリケーション .....	1	テスト回路 .....	12
機能ブロック図 .....	1	SPIインターフェース .....	13
ピン配置.....	1	動作原理.....	14
概要.....	1	可変抵抗のプログラミング .....	14
改訂履歴.....	2	ポテンショメータ分圧器のプログラミング .....	15
仕様.....	3	SPI互換 3 線式シリアル・バス .....	15
電気的特性—5 kΩバージョン .....	3	ESD保護.....	15
10 kΩ、50 kΩ、100 kΩバージョン.....	4	パワーアップ・シーケンス.....	15
タイミング特性—全バージョン.....	5	レイアウトと電源のバイパス.....	15
絶対最大定格 .....	6	外形寸法.....	16
ESDの注意 .....	6	オーダー・ガイド .....	16
ピン配置およびピン機能説明 .....	7		

## 改訂履歴

5/09—Rev. A to Rev. B	
Changes to Ordering Guide .....	16
1/09—Rev. 0 to Rev. A	
Deleted Shutdown Supply Current Parameter and Endnote 7, Table 1 .....	3
Changes to Resistor Noise Voltage Density Parameter, Table 1 .....	3
Deleted Shutdown Supply Current Parameter and Endnote 7, Table 2 .....	4
Changes to Resistor Noise Voltage Density Parameter, Table 2 .....	4
Added Endnote to Table 3 .....	5
Changes to Table 4 .....	6
Changes to the Rheostat Operation Section .....	14
Deleted Terminal Voltage Operating Range Section and Figure 41, Renumbered Figures Sequentially .....	13
Changes to Figure 40 and Figure 41 .....	15
Changes to Ordering Guide .....	16
5/03—Revision 0: Initial Version	

## 仕様

## 電気的特性—5 kΩバージョン

特に指定がない限り、 $V_{DD} = 5\text{ V} \pm 10\%$ または $3\text{ V} \pm 10\%$ ;  $V_A = +V_{DD}$ ;  $V_B = 0\text{ V}$ ;  $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Conditions	Min	Typ <sup>1</sup>	Max	Unit
<b>DC CHARACTERISTICS</b>						
Rheostat Mode						
Resistor Differential Nonlinearity <sup>2</sup>	R-DNL	$R_{WB}$ , $V_A = \text{no connect}$	-1.5	$\pm 0.1$	+1.5	LSB
Resistor Integral Nonlinearity <sup>2</sup>	R-INL	$R_{WB}$ , $V_A = \text{no connect}$	-4	$\pm 0.75$	+4	LSB
Nominal Resistor Tolerance <sup>3</sup>	$\Delta R_{AB}$	$T_A = 25^\circ\text{C}$	-20		+20	%
Resistance Temperature Coefficient	$\Delta R_{AB}/\Delta T$	$V_{AB} = V_{DD}$ , wiper = no connect		45		ppm/ $^\circ\text{C}$
Wiper Resistance	$R_W$			50	120	$\Omega$
Potentiometer Divider Mode						
Resolution	N	Specifications apply to all VRs			8	Bits
Differential Nonlinearity <sup>4</sup>	DNL		-1.5	$\pm 0.1$	+1.5	LSB
Integral Nonlinearity <sup>4</sup>	INL		-1.5	$\pm 0.6$	+1.5	LSB
Voltage Divider Temperature Coefficient	$\Delta V_W/\Delta T$	Code = 0x80		15		ppm/ $^\circ\text{C}$
Full-Scale Error	$V_{WFSE}$	Code = 0xFF	-6	-2.5	0	LSB
Zero-Scale Error	$V_{WZSE}$	Code = 0x00	0	+2	+6	LSB
<b>RESISTOR TERMINALS</b>						
Voltage Range <sup>5</sup>	$V_A$ , $V_B$ , $V_W$		GND		$V_{DD}$	V
Capacitance A, Capacitance B <sup>6</sup>	$C_{A,B}$	$f = 1\text{ MHz}$ , measured to GND, code = 0x80		45		pF
Capacitance W <sup>6</sup>	$C_W$	$f = 1\text{ MHz}$ , measured to GND, code = 0x80		60		pF
Common-Mode Leakage	$I_{CM}$	$V_A = V_B = V_{DD}/2$		1		nA
<b>DIGITAL INPUTS</b>						
Input Logic High	$V_{IH}$		2.4			V
Input Logic Low	$V_{IL}$				0.8	V
Input Logic High	$V_{IH}$	$V_{DD} = 3\text{ V}$	2.1			V
Input Logic Low	$V_{IL}$	$V_{DD} = 3\text{ V}$			0.6	V
Input Current	$I_{IL}$	$V_{IN} = 0\text{ V}$ or $5\text{ V}$			$\pm 1$	$\mu\text{A}$
Input Capacitance <sup>6</sup>	$C_{IL}$			5		pF
<b>POWER SUPPLIES</b>						
Power Supply Range	$V_{DD\text{ RANGE}}$		2.7		5.5	V
Supply Current	$I_{DD}$	$V_{IH} = 5\text{ V}$ or $V_{IL} = 0\text{ V}$		3	8	$\mu\text{A}$
Power Dissipation <sup>7</sup>	$P_{DISS}$	$V_{IH} = 5\text{ V}$ or $V_{IL} = 0\text{ V}$ , $V_{DD} = 5\text{ V}$			0.2	mW
Power Supply Sensitivity	PSS	$\Delta V_{DD} = +5\text{ V} \pm 10\%$ , code = midscale		$\pm 0.02$	$\pm 0.05$	%/%
<b>DYNAMIC CHARACTERISTICS<sup>6, 8</sup></b>						
Bandwidth -3 dB	BW_5K	$R_{AB} = 5\text{ k}\Omega$ , code = 0x80		1.2		MHz
Total Harmonic Distortion	THD <sub>W</sub>	$V_A = 1\text{ V rms}$ , $V_B = 0\text{ V}$ , $f = 1\text{ kHz}$		0.05		%
$V_W$ Settling Time	$t_S$	$V_A = 5\text{ V}$ , $V_B = 0\text{ V}$ , $\pm 1\text{ LSB}$ error band		1		$\mu\text{s}$
Resistor Noise Voltage Density	$e_{N\_WB}$	$R_{WB} = 2.5\text{ k}\Omega$		6		nV/ $\sqrt{\text{Hz}}$

<sup>1</sup> Typ 値は、 $+25^\circ\text{C}$  および  $V_{DD} = 5\text{ V}$  での平均測定値。

<sup>2</sup> 抵抗ポジション非直線性誤差 R-INL は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。部品の単調性は保証されています。

<sup>3</sup>  $V_{AB} = V_{DD}$ 、wiper ( $V_W$ ) = 接続なし。

<sup>4</sup> INL と DNL は、RDAC を電圧出力 D/A コンバータと同様のポテンショメータ分圧器として設定して、 $V_W$  で測定。 $V_A = V_{DD}$  かつ  $V_B = 0\text{ V}$ 。最大 $\pm 1\text{ LSB}$  の DNL 仕様規定値は単調動作状態を保証。

<sup>5</sup> 抵抗ピン A、抵抗ピン B、抵抗ピン W の極性は相対的に制約されません。

<sup>6</sup> 設計上保証しますが、出荷テストは行いません。

<sup>7</sup>  $P_{DISS}$  は ( $I_{DD} \times V_{DD}$ ) から計算。CMOS ロジック・レベル入力は、最小消費電力になります。

<sup>8</sup> すべてのダイナミック特性では  $V_{DD} = 5\text{ V}$  を使用。

## 10 kΩ、50 kΩ、100 kΩバージョン

特に指定がない限り、 $V_{DD} = 5\text{ V} \pm 10\%$  または  $3\text{ V} \pm 10\%$ ;  $V_A = V_{DD}$ ;  $V_B = 0\text{ V}$ ;  $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Conditions	Min	Typ <sup>1</sup>	Max	Unit
<b>DC CHARACTERISTICS</b>						
Rheostat Mode						
Resistor Differential Nonlinearity <sup>2</sup>	R-DNL	$R_{WB}$ , $V_A = \text{no connect}$	-1	$\pm 0.1$	+1	LSB
Resistor Integral Nonlinearity <sup>2</sup>	R-INL	$R_{WB}$ , $V_A = \text{no connect}$	-2	$\pm 0.25$	+2	LSB
Nominal Resistor Tolerance <sup>3</sup>	$\Delta R_{AB}$	$T_A = 25^\circ\text{C}$	-15		+15	%
Resistance Temperature Coefficient	$\Delta R_{AB}/\Delta T$	$V_{AB} = V_{DD}$ , Wiper = no connect		45		ppm/ $^\circ\text{C}$
Wiper Resistance	$R_W$	$V_{DD} = 5\text{ V}$		50	120	$\Omega$
Potentiometer Divider Mode						
Resolution	N	Specifications apply to all VRs			8	Bits
Differential Nonlinearity <sup>4</sup>	DNL		-1	$\pm 0.1$	+1	LSB
Integral Nonlinearity <sup>4</sup>	INL		-1	$\pm 0.3$	+1	LSB
Voltage Divider Temperature Coefficient	$\Delta V_W/\Delta T$	Code = 0x80		15		ppm/ $^\circ\text{C}$
Full-Scale Error	$V_{WFSE}$	Code = 0xFF	-3	-1	0	LSB
Zero-Scale Error	$V_{WZSE}$	Code = 0x00	0	1	3	LSB
<b>RESISTOR TERMINALS</b>						
Voltage Range <sup>5</sup>	$V_{A,B,W}$		GND		$V_{DD}$	V
Capacitance A, Capacitance B <sup>6</sup>	$C_{A,B}$	$f = 1\text{ MHz}$ , measured to GND, code = 0x80		45		pF
Capacitance W <sup>6</sup>	$C_W$	$f = 1\text{ MHz}$ , measured to GND, code = 0x80		60		pF
Common-Mode Leakage	$I_{CM}$	$V_A = V_B = V_{DD}/2$		1		nA
<b>DIGITAL INPUTS</b>						
Input Logic High	$V_{IH}$		2.4			V
Input Logic Low	$V_{IL}$				0.8	V
Input Logic High	$V_{IH}$	$V_{DD} = 3\text{ V}$	2.1			V
Input Logic Low	$V_{IL}$	$V_{DD} = 3\text{ V}$			0.6	V
Input Current	$I_{IL}$	$V_{IN} = 0\text{ V}$ or $5\text{ V}$			$\pm 1$	$\mu\text{A}$
Input Capacitance <sup>6</sup>	$C_{IL}$			5		pF
<b>POWER SUPPLIES</b>						
Power Supply Range	$V_{DD}$ RANGE		2.7		5.5	V
Supply Current	$I_{DD}$	$V_{IH} = 5\text{ V}$ or $V_{IL} = 0\text{ V}$		3	8	$\mu\text{A}$
Power Dissipation <sup>7</sup>	$P_{DISS}$	$V_{IH} = 5\text{ V}$ or $V_{IL} = 0\text{ V}$ , $V_{DD} = 5\text{ V}$			0.2	mW
Power Supply Sensitivity	PSS	$\Delta V_{DD} = +5\text{ V} \pm 10\%$ , code = midscale		$\pm 0.02$	$\pm 0.05$	%/%
<b>DYNAMIC CHARACTERISTICS<sup>6,8</sup></b>						
Bandwidth -3 dB	BW	$R_{AB} = 10\text{ k}\Omega/50\text{ k}\Omega/100\text{ k}\Omega$ , Code = 0x80		600/100/40		kHz
Total Harmonic Distortion	THD <sub>W</sub>	$V_A = 1\text{ V rms}$ , $V_B = 0\text{ V}$ , $f = 1\text{ kHz}$ , $R_{AB} = 10\text{ k}\Omega$		0.05		%
$V_W$ Settling Time (10 kΩ/50 kΩ/100 kΩ)	$t_s$	$V_A = 5\text{ V}$ , $V_B = 0\text{ V}$ , $\pm 1\text{ LSB}$ error band		2		$\mu\text{s}$
Resistor Noise Voltage Density	$e_{N,WB}$	$R_{WB} = 5\text{ k}\Omega$		9		nV/ $\sqrt{\text{Hz}}$

<sup>1</sup> Typ 値は、 $+25^\circ\text{C}$  および  $V_{DD} = 5\text{ V}$  での平均測定値。

<sup>2</sup> 抵抗ポジション非直線性誤差 R-INL は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。部品の単調性は保証されています。

<sup>3</sup>  $V_{AB} = V_{DD}$ 、wiper ( $V_W$ ) = 接続なし。

<sup>4</sup> INL と DNL は、RDAC を電圧出力 D/A コンバータと同様のポテンショメータ分圧器として設定して、 $V_W$  で測定。 $V_A = V_{DD}$  かつ  $V_B = 0\text{ V}$ 。最大  $\pm 1\text{ LSB}$  の DNL 仕様規定値は単調動作状態を保証。

<sup>5</sup> 抵抗ピン A、抵抗ピン B、抵抗ピン W の極性は相対的に制約されません。

<sup>6</sup> 設計上保証しますが、出荷テストは行いません。

<sup>7</sup>  $P_{DISS}$  は ( $I_{DD} \times V_{DD}$ ) から計算。CMOS ロジック・レベル入力は、最小消費電力になります。

<sup>8</sup> すべてのダイナミック特性では  $V_{DD} = 5\text{ V}$  を使用。

## タイミング特性—全バージョン

特に指定がない限り、 $V_{DD} = +5V \pm 10\%$  または  $+3V \pm 10\%$ ;  $V_A = V_{DD}$ ;  $V_B = 0V$ ;  $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表 3.

Parameter	Symbol	Conditions	Min	Typ <sup>1</sup>	Max	Unit
SPI INTERFACE TIMING CHARACTERISTICS <sup>1,2</sup>						
Clock Frequency	$f_{\text{CLK}}$	Specifications apply to all parts			25	MHz
Input Clock Pulse Width	$t_{\text{CH}}, t_{\text{CL}}$	Clock level high or low	20			ns
Data Setup Time	$t_{\text{DS}}$		5			ns
Data Hold Time	$t_{\text{DH}}$		5			ns
$\overline{\text{CS}}$ Setup Time	$t_{\text{CSS}}$		15			ns
$\overline{\text{CS}}$ High Pulse Width	$t_{\text{CSW}}$		40			ns
CLK Fall to $\overline{\text{CS}}$ Fall Hold Time	$t_{\text{CSH0}}$		0			ns
CLK Fall to $\overline{\text{CS}}$ Rise Hold Time	$t_{\text{CSH1}}$		0			ns

<sup>1</sup> 測定場所についてはタイミング図(図 38)を参照してください。すべての入力制御電圧は  $t_{\text{R}} = t_{\text{F}} = 2\text{ ns}$  (3 V の 10% から 90%) で規定し、1.5 V の電圧レベルからの時間とします。

<sup>2</sup> 設計上保証しますが、出荷テストは行いません。

## 絶対最大定格

特に指定のない限り、 $T_A = +25\text{ }^\circ\text{C}$ 。

表 4.

Parameter	Rating
$V_{DD}$ to GND	-0.3 V to +7 V
$V_A$ , $V_B$ , $V_W$ to GND	$V_{DD}$
Maximum Current $I_{MAX}$ <sup>1</sup>	
$I_{WB}$ , $I_{WA}$ Pulsed	$\pm 20\text{ mA}$
$I_{WB}$ , $I_{WA}$ Continuous	
5 k $\Omega$ , 10 k $\Omega$	4.7 mA
50 k $\Omega$	0.95 mA
100 k $\Omega$	0.48 mA
Digital Inputs and Output Voltage to GND	0 V to +7 V
Temperature	
Operating Temperature Range	-40 $^\circ\text{C}$ to +125 $^\circ\text{C}$
Maximum Junction Temperature ( $T_{JMAX}$ )	150 $^\circ\text{C}$
Storage Temperature	-65 $^\circ\text{C}$ to +150 $^\circ\text{C}$
Thermal Resistance (SOT-23 Package) <sup>2</sup>	
$\theta_{JA}$ Thermal Impedance	206 $^\circ\text{C}/\text{W}$
$\theta_{JC}$ Thermal Impedance	91 $^\circ\text{C}/\text{W}$
Reflow Soldering (Pb-Free)	
Peak Temperature	260 $^\circ\text{C}$
Time at Peak Temperature	10 sec to 40 sec

<sup>1</sup> 最大ピン電流は、スイッチの最大処理電流、パッケージ最大消費電力、A ピン、B ピン、W ピン内の任意の 2 ピン間の、設定された抵抗での入力電圧により制約されます。

<sup>2</sup> パッケージ消費電力 =  $(T_{JMAX} - T_A)/\theta_{JA}$ 。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されずにそのまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

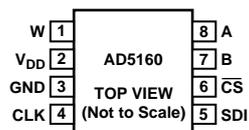


図 3. ピン配置

表 5. ピン機能の説明

ピン	記号	説明
1	W	W ピン。
2	V <sub>DD</sub>	正の電源。
3	GND	デジタル・グラウンド。
4	CLK	シリアル・クロック入力。正のエッジ・トリガ。
5	SDI	シリアル・データ入力。
6	$\overline{\text{CS}}$	チップ・セレクト入力、アクティブ・ロー。 $\overline{\text{CS}}$ がハイ・レベルに戻るとき、データが DAC レジスタにロードされます。
7	B	B ピン。
8	A	A ピン。

## 代表的な性能特性

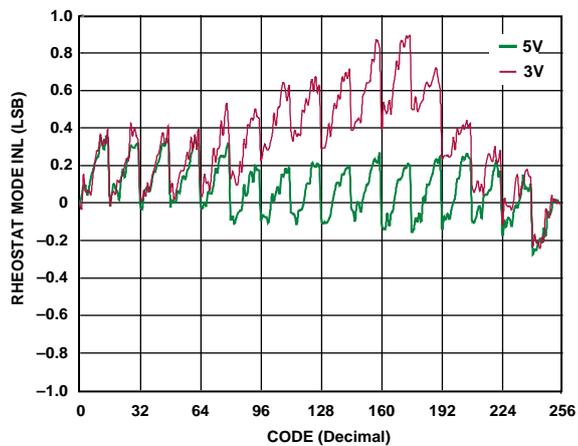


図 4.コード対 R-INL 対電源電圧

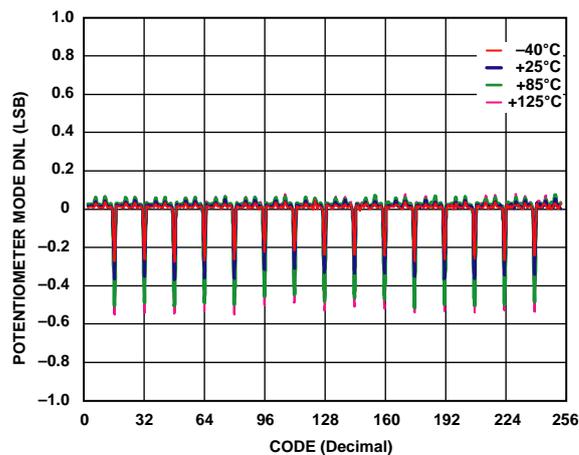


図 7.コード対 DNL、 $V_{DD} = 5V$

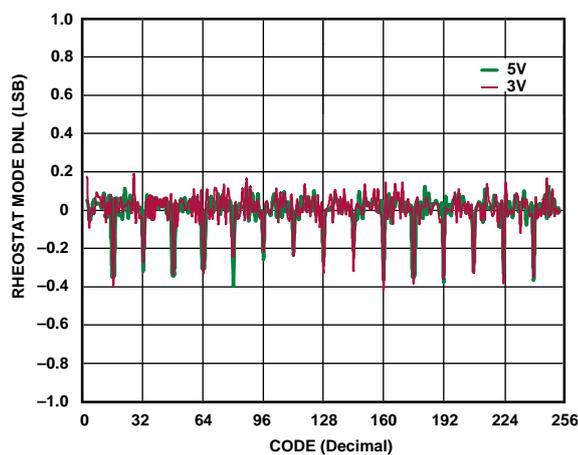


図 5.コード対 R-DNL 対電源電圧

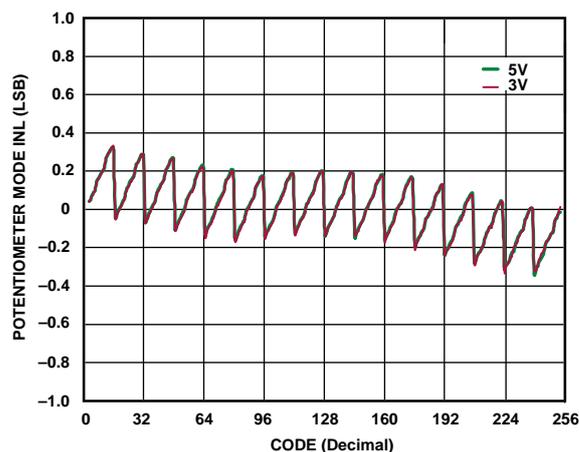


図 8.コード対 INL 対電源電圧

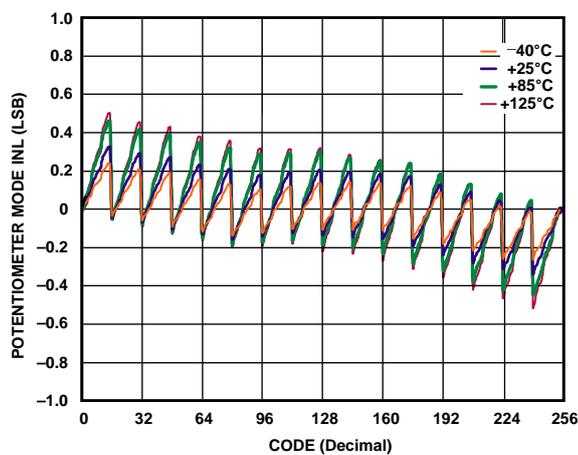


図 6.コード対 INL、 $V_{DD} = 5V$

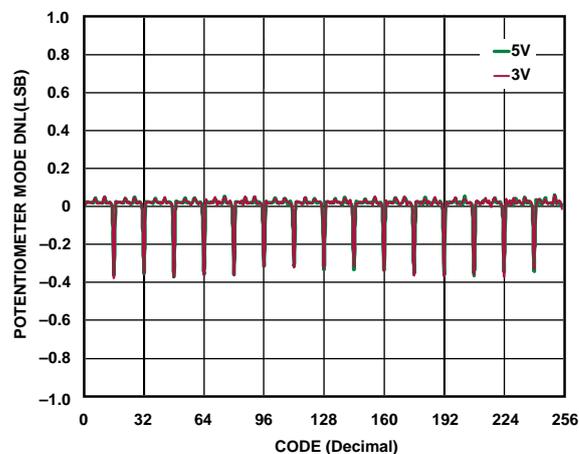


図 9.コード対 DNL 対電源電圧

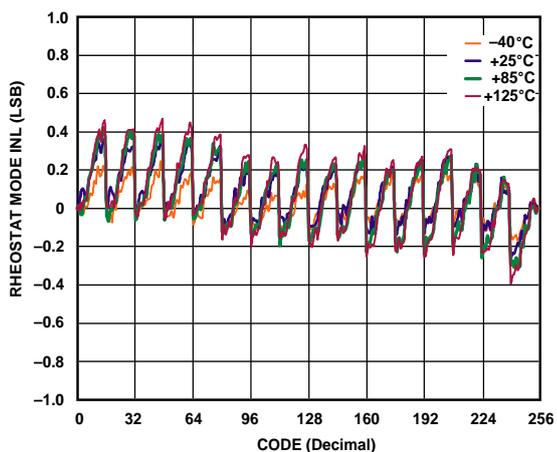


図 10.コード対 R-INL、 $V_{DD} = 5V$

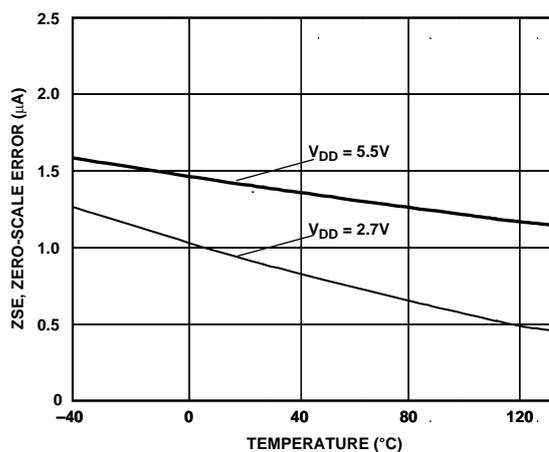


図 13.ゼロスケール誤差の温度特性

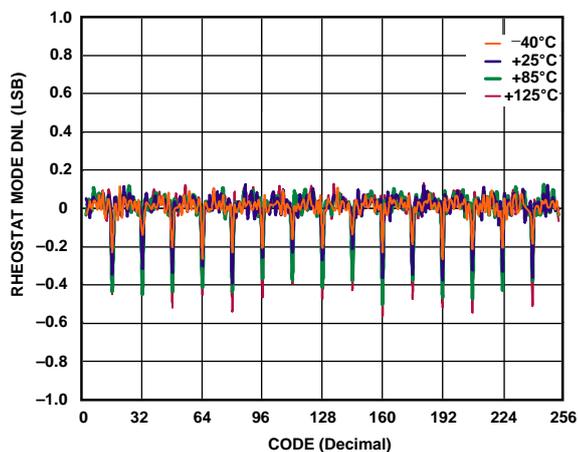


図 11.コード対 R-DNL、 $V_{DD} = 5V$

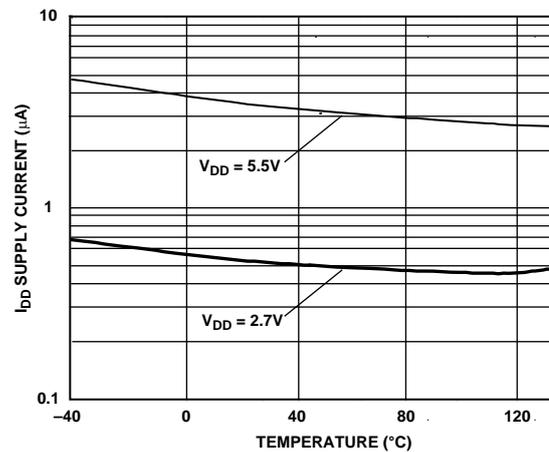


図 14.電源電流の温度特性

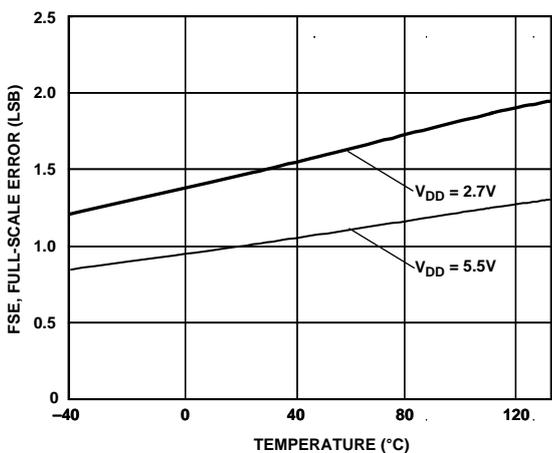


図 12.フルスケール誤差の温度特性

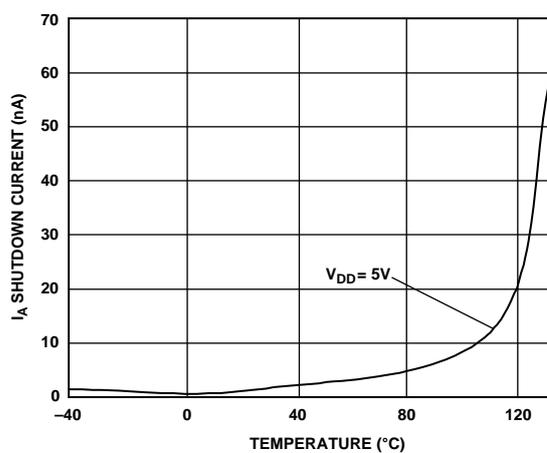


図 15.シャットダウン電流の温度特性

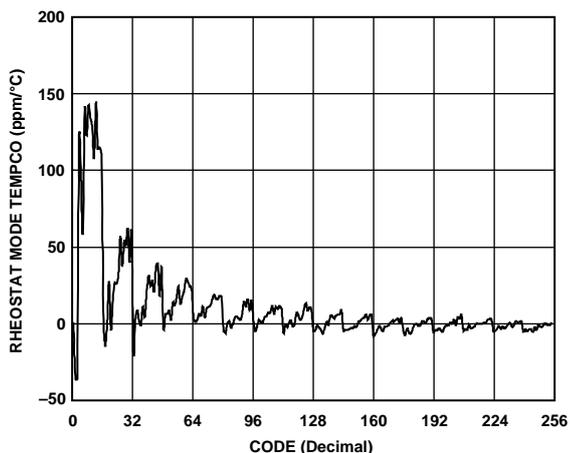


図 16.コード対可変抵抗器モード温度係数 $\Delta R_{WB}/\Delta T$

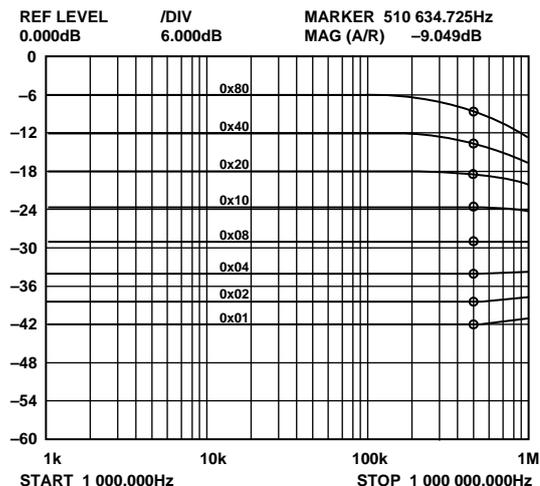


図 19.コード対ゲイン対周波数、 $R_{AB} = 10 \text{ k}\Omega$

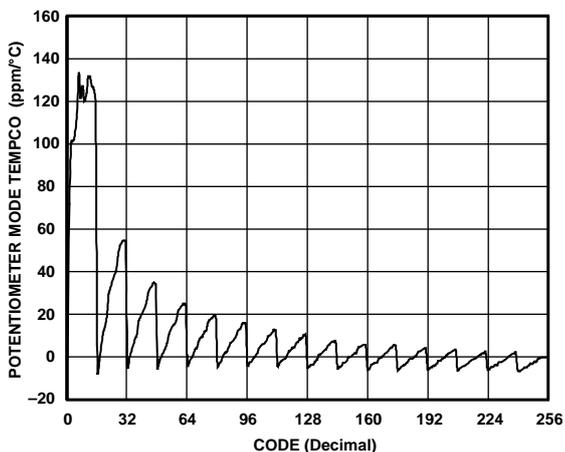


図 17.コード対ポテンショメータ・モード温度係数 $\Delta V_{WB}/\Delta T$

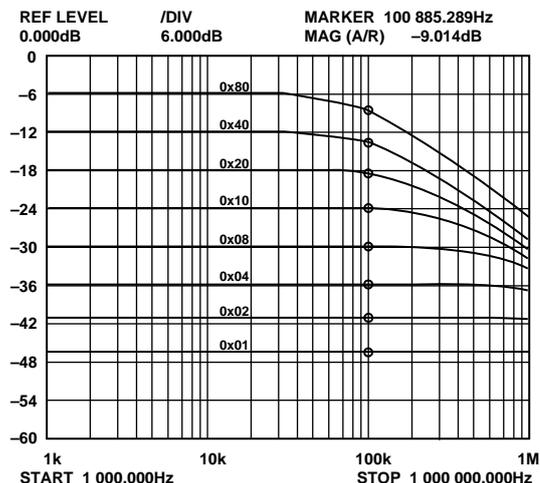


図 20.コード対ゲイン対周波数、 $R_{AB} = 50 \text{ k}\Omega$

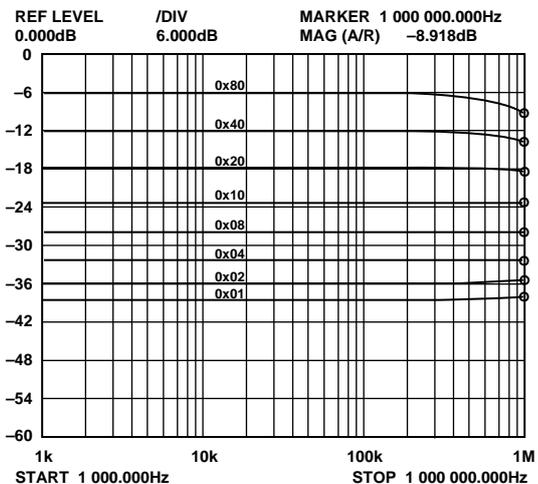


図 18.コード対ゲイン対周波数、 $R_{AB} = 5 \text{ k}\Omega$

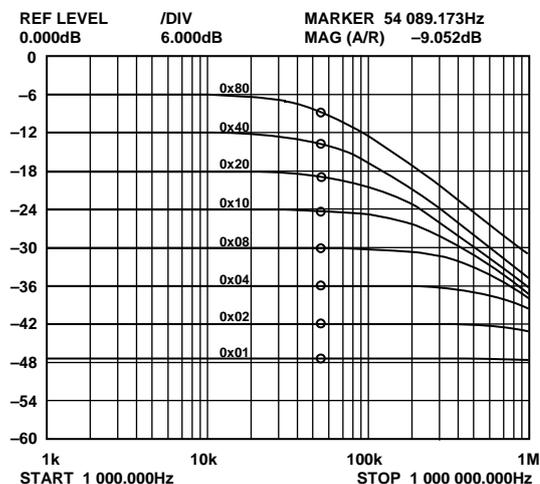


図 21.コード対ゲイン対周波数、 $R_{AB} = 100 \text{ k}\Omega$

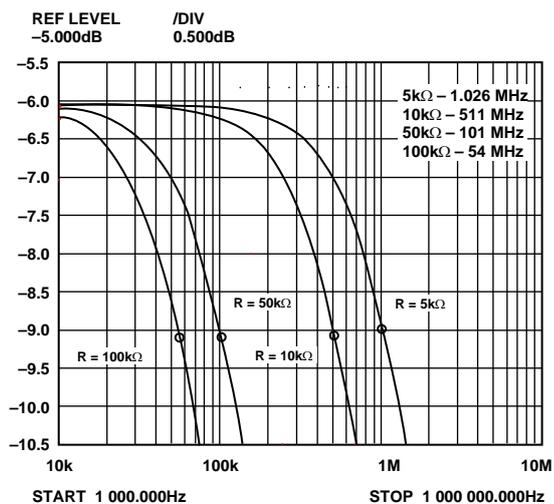


図 22. -3 dB 帯域幅、コード = 0x80

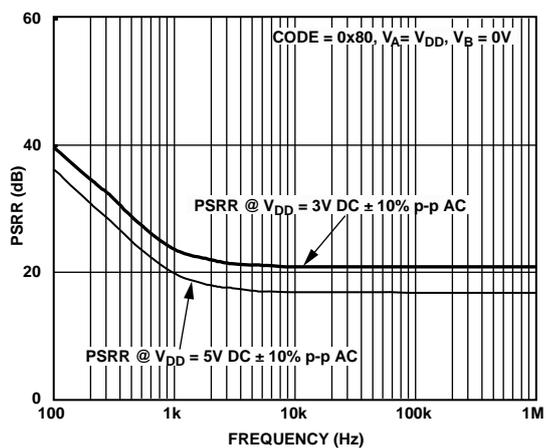


図 23. PSRR の周波数特性

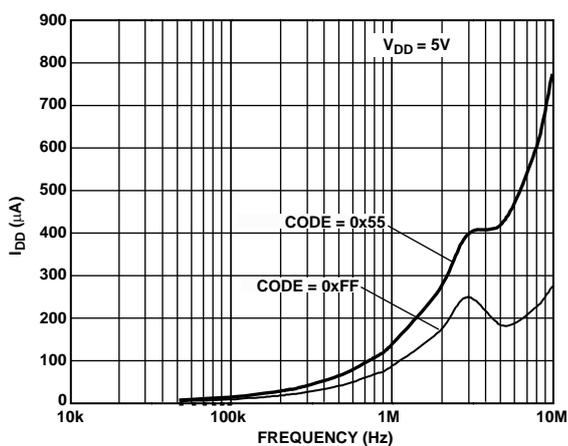


図 24.  $I_{DD}$  の周波数特性

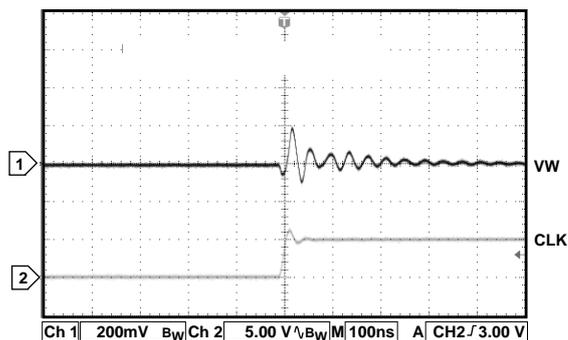


図 25. デジタル・フィードスルー

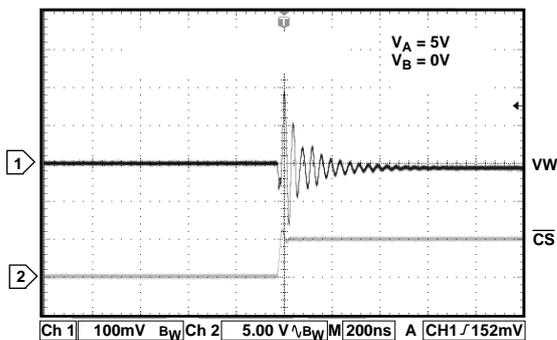


図 26. ミッドスケール・グリッチ、コード 0x80 → コード 0x7F

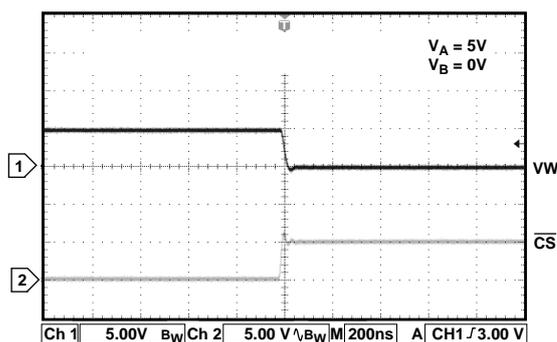


図 27. 大信号セトリング・タイム、コード 0xFF → コード 0x00

## テスト回路

図 28 ～ 図 36 に、製品仕様表で使用したテスト条件を規定するテスト回路を示します。

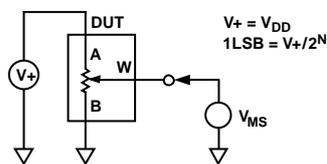


図 28.ポテンショメータ分圧器非直線性誤差 (INL、DNL)のテスト回路

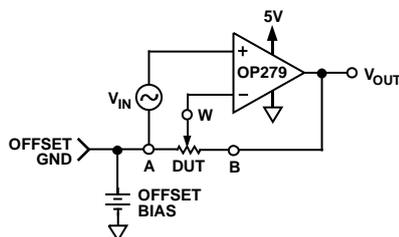


図 33.非反転ゲインのテスト回路

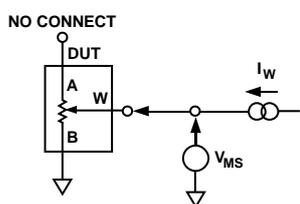


図 29.抵抗ポジション非直線性誤差 (可変抵抗器動作; R-INL、R-DNL)のテスト回路

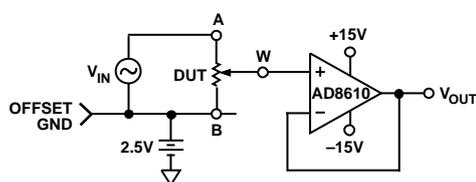


図 34.ゲイン周波数特性のテスト回路

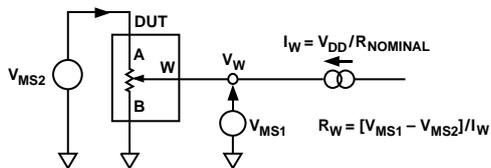


図 30.ワイヤ抵抗のテスト回路

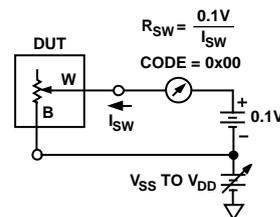


図 35.インクリメンタル・オン抵抗のテスト回路

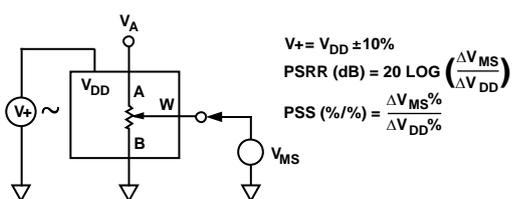


図 31.電源感度(PSS、PSSR)のテスト回路

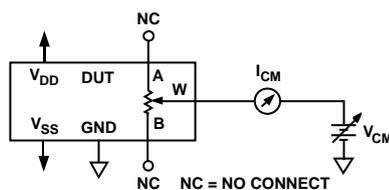


図 36.コモン・モード・リーク電流のテスト回路

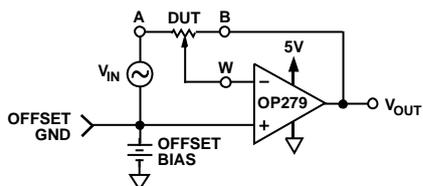


図 32.反転ゲインのテスト回路

## SPIインターフェース

表 6. シリアル・データのフォーマット

B7	B6	B5	B4	B3	B2	B1	B0
D7	D6	D5	D4	D3	D2	D1	D0
MSB							LSB
$2^7$							$2^0$

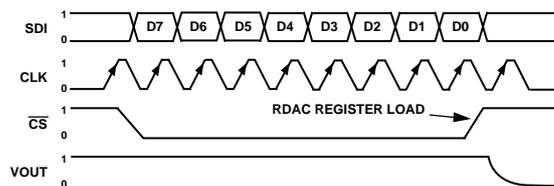


図 37. SPI インターフェースのタイミング図  
( $V_A = 5\text{ V}$ 、 $V_B = 0\text{ V}$ 、 $V_W = V_{OUT}$ )

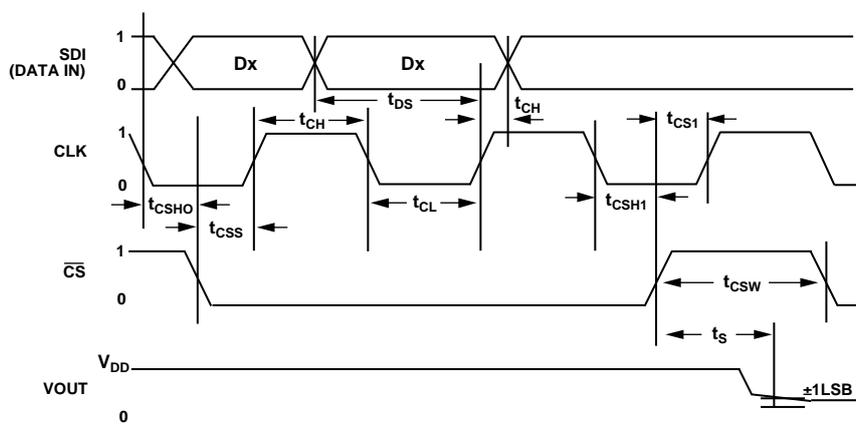


図 38. SPI インターフェースの詳細タイミング図 ( $V_A = 5\text{ V}$ 、 $V_B = 0\text{ V}$ 、 $V_W = V_{OUT}$ )

## 動作原理

AD5160 は、256 ポジション・デジタル制御型可変抵抗(VR)デバイスです。

パワーオン時に内部パワーオン・プリセット機能がワイパーをミッドスケールに設定するため、パワーアップ時の故障状態からの回復が簡素化されます。

## 可変抵抗のプログラミング

### 可変抵抗器動作

ピンAとピンBの間のRDACの公称抵抗が 5 kΩ、10 kΩ、50 kΩ、100 kΩの製品を提供しています。オーダー・ガイドのセクションに示すように、モデル番号の最後の 2 桁または 3 桁で、公称抵抗値を表します。たとえば、モデル AD5160BRJZ10 では 10 が 10 kΩを、AD5160BRJZ50 では 50 が 50 kΩを、それぞれ表します。

VR の公称抵抗( $R_{AB}$ )は 256 個の接点を持ち、ワイパー・ピンと B ピン接点によりアクセスされます。RDAC ラッチ内の 8 ビット・データがデコードされて、256 通りの設定の内の 1 つを選択します。

10kΩ の製品を使用する場合、ワイパーの最初の接続はデータ 0x00 に対して B ピンから開始されます。60 Ω のワイパー・コンタクト抵抗が存在するため、このような接続では W ピンと B ピンの間に最小 60 Ω の抵抗が発生します。

2 番目の接続は最初のタップ・ポイントであり、これはデータ 0x01 に対して 99 Ω ( $R_{WB} = R_{AB}/256 + R_W = 39 \Omega + 60 \Omega$ )に対応します。

3 番目の接続は次のタップ・ポイントで、データ 0x02 に対して 138 Ω ( $2 \times 39 \Omega + 60 \Omega$ )となり、以後同様に続きます。LSBデータ値の各増加により、ワイパーは抵抗ラダーを上を移動し、最後のタップ・ポイント 9961 Ω ( $R_{AB} - 1 \text{ LSB} + R_W$ )に到達するまで移動します。図 39 に、RDACの簡略化した等価回路を示します。この回路では最後の抵抗ストリングがアクセスされないため、ワイパー抵抗に加えてフルスケールでの公称抵抗値より 1 LSB小さくなります。

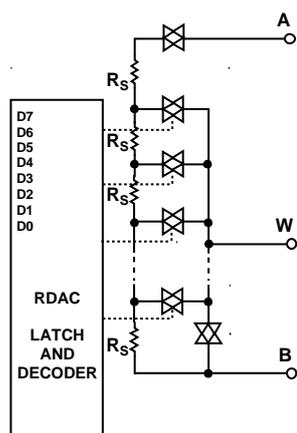


図 39.等価 RDAC 回路

デジタル的にプログラムした W と B の間の出力抵抗を決定する一般式は、次のようになります。

$$R_{WB}(D) = \frac{D}{256} \times R_{AB} + R_W \quad (1)$$

ここで、

$D$  は、8 ビット RDAC レジスタにロードされるバイナリ・コード・データの 10 進数表示。

$R_{AB}$  はピン間抵抗。

$R_W$  は、内部スイッチのオン抵抗から発生するワイパー抵抗。

ようするに、 $R_{AB} = 10 \text{ k}\Omega$ 、かつ A ピンがオープンの場合は、次の出力抵抗  $R_{WB}$  が次に示す RDAC ラッチ・コードに対して設定されます。

表 7.コードと対応する  $R_{WB}$  抵抗値

D (Dec.)	$R_{WB}$ (Ω)	Output State
255	9961	Full Scale ( $R_{AB} - 1 \text{ LSB} + R_W$ )
128	5060	Midscale
1	99	1 LSB
0	60	Zero Scale (Wiper Contact Resistance)

ゼロスケール状態では、有限なワイパー抵抗 60Ω があることに注意してください。この状態での W と B との間の電流レベルが、20 mA 以下の最大パルス電流となるように注意してください。そうしないと、内部スイッチ・コンタクトの性能低下または破壊が生ずる恐れがあります。

機械的ポテンシオメータと同様に、ワイパーWとピンAとの間の抵抗も、デジタルに制御された相補的な抵抗 ( $R_{WA}$ ) を発生します。これらのピンを使うときは、B ピンをオープンのままにしておくことができます。 $R_{WA}$  抵抗値に対する設定は、最大値抵抗から開始されて、ラッチにロードされたデータの値が大きくなると、小さくなります。この動作の一般式は次のようになります。

$$R_{WA}(D) = \frac{256 - D}{256} \times R_{AB} + R_W \quad (2)$$

$R_{AB} = 10 \text{ k}\Omega$ 、かつ B ピンがオープンの場合は、次の出力抵抗  $R_{WA}$  が次に示す RDAC ラッチ・コードに対して設定されます。

表 8.コードと対応する  $R_{WA}$  抵抗値

D (Dec.)	$R_{WA}$ (Ω)	Output State
255	99	Full Scale
128	5060	Midscale
1	9961	1 LSB
0	10,060	Zero Scale

デバイス間のマッチングはプロセス・ロットに依存し、最大±30% 変動します。抵抗素子は薄膜技術を使ってプロセスされるため、 $R_{AB}$  の温度変化は非常に小さく、45 ppm/°C の温度係数になります。

## ポテンショメータ分圧器のプログラミング

### 電圧出力動作

デジタル・ポテンショメータは、A—B 間の入力電圧に比例した分圧電圧を W—B 間および W—A 間に容易に発生することができます。GND に対する  $V_{DD}$  の極性(これは正極性)とは異なり、B に対する A、A に対する W、B に対する W の各電圧にはいずれの極性も可能です。

近似のためにワイパー抵抗の影響を無視する場合、A ピンを 5 V に、B ピンをグラウンドにそれぞれ接続すると、W—B 間に 0 V から開始して 5 V より 1 LSB 低い値までの出力電圧が発生します。電圧の各 LSB は、ピン A とピン B に加えた電圧をポテンショメータ分圧器のポジション数 256 で除算した値に等しくなります。ピン A とピン B に与えられた任意の入力電圧に対して、グラウンドを基準とした  $V_W$  の出力電圧を決める式は、次のように表されます。

$$V_W(D) = \frac{D}{256} V_A + \frac{256-D}{256} V_B \quad (3)$$

ワイパー抵抗の影響  $V_W$  を含む正確な計算は、次式を使います。

$$V_W(D) = \frac{R_{WB}(D)}{256} V_A + \frac{R_{WA}(D)}{256} V_B \quad (4)$$

分圧器モードでのデジタル・ポテンショメータの動作は、温度に対して正確な動作になります。可変抵抗器モードと異なり、出力電圧は内部抵抗  $R_{WA}$  と  $R_{WB}$  の比に依存し、絶対値ではありません。したがって、温度ドリフトは 15 ppm/°C に減少します。

## SPI 互換 3 線式シリアル・バス

AD5160 は、3 線式の SPI 互換デジタル・インターフェース(SDI、CS、CLK)を内蔵しています。8 ビットのシリアル・ワードは MSB ファーストでロードされる必要があります。ワードのフォーマットを表 6 に示します。

立上がりエッジを検出する CLK 入力では、不正なデータをシリアル入力レジスタに入力してしまわないようにクリーンなクロック変化が必要です。標準ロジック・ファミリはこの条件を満たします。製品評価で機械式スイッチを使用する場合、フリップフロップまたは他の適切な方法を使ってこれらから発生する波形歪みを除去する必要があります。CS がロー・レベルのとき、クロックの各立上がりエッジでデータがシリアル・レジスタにロードされます(図 37 参照)。

仕様表のデータ・セットアップ・タイムとデータ・ホールド・タイムが有効タイミング条件を規定します。AD5160 では 8 ビットのシリアル入力データ・レジスタ・ワードを使用し、このワードは CS ラインがロジック・ハイ・レベルに戻るとき、内部 RDAC レジスタに転送されます。余分な MSB ビットは無視されます。

## ESD 保護

すべてのデジタル入力は、直列入力抵抗と並列ツェナーESD構造で保護されています(図 40 と 図 41 参照)。この構造は、デジタル入力ピン SDI、CLK、CS でも使用されています。

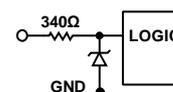


図 40. デジタル・ピンの ESD 保護

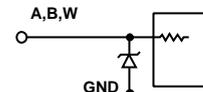


図 41. 抵抗ピンの ESD 保護

## パワーアップ・シーケンス

ピン A、B、W での電圧コンプライアンスを制限する ESD 保護ダイオードが内蔵されているため、ピン A、B、W に電圧を加える前に  $V_{DD}/GND$  に先に電圧を加えることが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずに  $V_{DD}$  に電源が接続されてしまうため、ユーザ回路の他の部分に影響を与えてしまいます。理想的なパワーアップ・シーケンスは、GND、 $V_{DD}$ 、デジタル入力、 $V_{A/B/W}$  の順です。 $V_{DD}/GND$  のパワーアップ後であるかぎり  $V_A$ 、 $V_B$ 、 $V_W$ 、デジタル入力の相対的パワーアップ順序は重要ではありません。

## レイアウトと電源のバイパス

小型で最小リード長によるレイアウト・デザインは重要です。入力までの線は、最小の導体長で可能な限り真っ直ぐにします。グラウンド・パスの抵抗とインダクタンスは小さくする必要があります。

同様に、高品質のコンデンサを使って電源をバイパスして最適な安定性を得ることも重要です。デバイスまでの電源線は、 $0.01\mu\text{F}$  ~  $0.1\mu\text{F}$  のディスク型またはチップ型セラミック・コンデンサを使ってバイパスしてください。過渡電圧と低周波リップルを小さくするために、ESR の小さい  $1\mu\text{F}$  ~  $10\mu\text{F}$  のタンタル・コンデンサまたは電解コンデンサを電源に接続してください(図 42)。グラウンド・バウンズを小さくするため、デジタル・グラウンドはアナログ・グラウンドから離れた 1 箇所接続する必要があります。

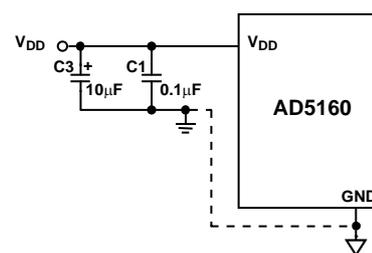
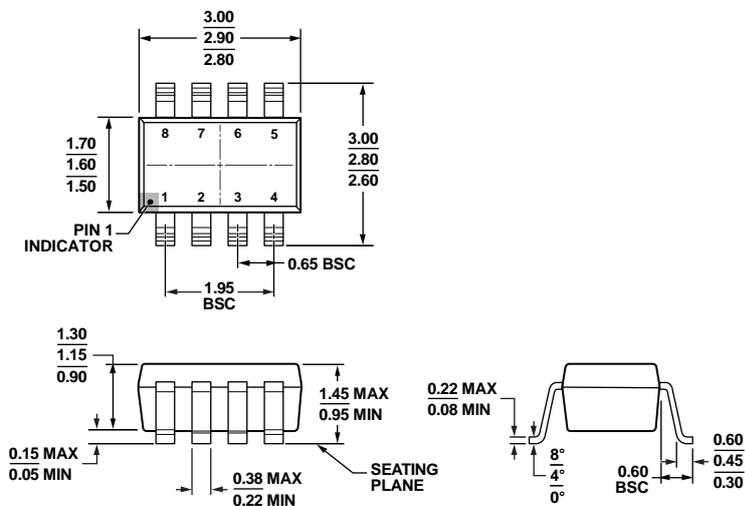


図 42. 電源のバイパス

## 外形寸法



COMPLIANT TO JEDEC STANDARDS MO-178-BA

121608-A

図 43.8 ピン・スモール・アウトライン・トランジスタ・パッケージ[SOT-23](RJ-8)寸法: mm

## オーダー・ガイド

Model <sup>1</sup>	R <sub>AB</sub> (Ω)	Temperature	Package Description	Package Option	Branding
AD5160BRJZ5-R <sup>2</sup>	5 k	-40°C to +125°C	8-Lead SOT-23	RJ-8	D6Q
AD5160BRJZ5-RL <sup>7</sup>	5 k	-40°C to +125°C	8-Lead SOT-23	RJ-8	D6Q
AD5160BRJZ10-R <sup>2</sup>	10 k	-40°C to +125°C	8-Lead SOT-23	RJ-8	D09
AD5160BRJZ10-RL <sup>7</sup>	10 k	-40°C to +125°C	8-Lead SOT-23	RJ-8	D09
AD5160BRJZ50-R <sup>2</sup>	50 k	-40°C to +125°C	8-Lead SOT-23	RJ-8	D8J
AD5160BRJZ50-RL <sup>7</sup>	50 k	-40°C to +125°C	8-Lead SOT-23	RJ-8	D8J
AD5160BRJZ100-R <sup>2</sup>	100 k	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0B
AD5160BRJZ100-RL <sup>7</sup>	100 k	-40°C to +125°C	8-Lead SOT-23	RJ-8	D0B
AD5160EVAL <sup>3</sup>			Evaluation Board		

<sup>1</sup> AD5160には2532個のトランジスタが内蔵されています。チップ・サイズ: 30.7ミル×76.8ミル=2358平方ミル<sup>2</sup> Z = RoHS 準拠製品。<sup>3</sup> 評価用ボードは 10 kΩ R<sub>AB</sub> の抵抗オプションで出荷されますが、ボードは使用可能なすべての抵抗値オプションと互換性があります。