



±10V および 0mA~20mA 入力の 低消費電力、24 ビット シグマ・デルタ (Σ - Δ) ADC

データシート

AD4112

特長

- 内蔵アナログ・フロント・エンドを備えた 24 ビット ADC
 - チャンネルあたり最大 6.2kSPS (チャンネルあたり 161 μ s)
 - ノイズ・フリー・ビット数: チャンネルあたり 1kSPS で 16 ビット
 - 50Hz と 60Hz の除去比: チャンネルあたり 20SPS で 85dB
- ±10V の入力、4 つの差動および 8 つのシングルエンド
 - オーバーレンジ: 最大±20V
 - インピーダンス: $\geq 1M\Omega$
 - 精度: 25°C で±0.06%
- 0mA~20mA の入力、4 つのシングルエンド
 - オーバーレンジ: -0.5mA~+24mA
 - インピーダンス: 60 Ω
 - 精度: 25°C で±0.08%
- 2.5V のリファレンスを内蔵
 - 精度: 25°C で±0.12%、ドリフト: ±5ppm/°C (代表値)
- 内部または外部クロック
- 電源
 - AVDD = 3.0V~5.5V
 - IOVDD = 2V~5.5V
 - 合計 I_{DD} = 3.9mA
- 温度範囲: -40°C~+105°C
- 3 線式または 4 線式のシリアル・デジタル・インターフェース (シュミット・トリガ付き SCLK)
 - SPI、QSPI、MICROWIRE、DSP 互換
- アプリケーション
- プロセス制御
 - PLC/DCS モジュール

概要

AD4112 は、低消費電力、低ノイズ、24 ビットのシグマ・デルタ (Σ - Δ) A/D コンバータ (ADC) で、完全差動またはシングルエンド用のアナログ・フロント・エンド (AFE)、高インピーダンス ($\geq 1M\Omega$) バイポーラ、±10V の電圧入力、0mA~20mA の電流入力を内蔵しています。

このデバイスはアナログおよびデジタルの主要なシグナル・コンディショニング・ブロックを内蔵しており、使用するアナログ入力チャンネルごとに 8 つの個別の設定が可能です。AD4112 の完全にセトリグされたデータの最大チャンネル・スキューン・レートは 6.2kSPS (161 μ s) です。

低ドリフト (5ppm/°C) の 2.5V 埋め込み内部バンドギャップ・リファレンス (出力リファレンス・バッファ付き) によって、外付け部品数を低減できます。

デジタル・フィルタにより柔軟な設定が可能で、27.27SPS の出力データ・レートで 50Hz と 60Hz の同時除去が可能です。アプリケーションごとに異なる各チャンネルの要求に合わせて、異なるフィルタ設定を選択できます。ADC は、自動チャンネル・シーケンサにより、イネーブルされた各チャンネルの切替えを行います。

AD4112 の高精度性能は、アナログ・デバイセズが独自に開発した *iPassives*TM 技術の実装により実現しています。また、AD4112 は、仕様規定されている精度が得られるように出荷時に補正されています。

AD4112 は単電源で動作し、絶縁アプリケーション向けに容易に導入可能です。仕様規定されている動作温度範囲は -40°C~+105°C です。6mm × 6mm の 40 ピン LFCSP パッケージが採用されています。

目次

特長	1	チェックサム保護	38
アプリケーション	1	CRC の計算	39
概要	1	内蔵機能	41
改訂履歴	3	汎用出力	41
機能ブロック図	4	遅延	41
仕様	5	16 ビット/24 ビット変換	41
タイミング特性	8	DOUT_RESET	41
絶対最大定格	10	同期	41
熱抵抗	10	エラー・フラグ	42
ESD に関する注意	10	DATA_STAT	42
ピン配置およびピン機能の説明	11	IOSTRENGTH	42
代表的な性能特性	13	内部温度センサー	42
ノイズ性能と分解能	18	アプリケーション情報	43
動作原理	20	グラウンディングとレイアウト	43
電源	21	レジスタの一覧	44
デジタル・コミュニケーション	21	レジスタの詳細	46
AD4112 のリセット	22	コミュニケーション・レジスタ	46
設定の概要	23	ステータス・レジスタ	47
回路の説明	26	ADC モード・レジスタ	48
マルチプレクサ	26	インターフェース・モード・レジスタ	49
電流入力	27	レジスタ・チェック	50
電圧入力	27	データ・レジスタ	50
AD4112 のリファレンス	27	GPIO 設定レジスタ	51
バッファ付きリファレンス入力	29	ID レジスタ	52
クロック源	29	チャンネル・レジスタ 0	52
デジタル・フィルタ	30	チャンネル・レジスタ 1~チャンネル・レジスタ 15	53
sinc5 + sinc1 フィルタ	30	セットアップ設定レジスタ 0	54
sinc3 フィルタ	30	セットアップ設定レジスタ 1~セットアップ設定レジスタ 754	54
シングル・サイクル・セトリング	31	フィルタ設定レジスタ 0	55
50Hz と 60Hz を除去するエンハンスド・フィルタ	31	フィルタ設定レジスタ 1~フィルタ設定レジスタ 7	56
動作モード	34	オフセット・レジスタ 0	56
連続変換モード	34	オフセット・レジスタ 1~オフセット・レジスタ 7	56
連続読出しモード	35	ゲイン・レジスタ 0	57
シングル変換モード	36	ゲイン・レジスタ 1~ゲイン・レジスタ 7	57
スタンバイ・モードとパワーダウン・モード	37	外形寸法	58
キャリブレーション	37	オーダー・ガイド	58
デジタル・インターフェース	38		

改訂履歴

8/2018—Revision 0: Initial Version

仕様

特に指定のない限り、AVDD = 3.0V~5.5V、IOVDD = 2V~5.5V、AVSS = 0V、DGND = 0V、VBIAS- = 0V、REF+ = 2.5V、REF- = AVSS、内部マスタ・クロック (MCLK) = 2MHz、T_A = T_{MIN}~T_{MAX} (-40°C~+105°C)。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
VOLTAGE INPUTS					
Differential Input Voltage Range ¹	Specified performance	-10		+10	V
	Functional	-V _{REF} × 10		+V _{REF} × 10	V
Absolute (Pin) Input Voltage	AVDD ≥ 4.75 V	-20		+20	V
	AVDD = 3.0 V	-12		+12	V
Input Impedance		1			MΩ
Offset Error ²	25°C		±1.5		mV
Offset Drift			±7		μV/°C
Gain Error	Internal full-scale calibration ³ , 25°C		±0.05		% of FS
Gain Drift			±1		ppm/°C
Integral Nonlinearity (INL)			±0.01		% of FSR
Total Unadjusted Error (TUE) ⁴	25°C, internal V _{REF}			±0.06	% of FSR
	-40°C to +105°C, internal V _{REF}			±0.1	% of FSR
	25°C, external V _{REF}			±0.06	% of FSR
	-40°C to +105°C, external V _{REF}			±0.08	% of FSR
Power Supply Rejection	AVDD for V _{IN} = 1 V		70		dB
Common-Mode Rejection	V _{IN} = 1 V				
At DC			85		dB
At 50 Hz, 60 Hz	20 Hz output data rate (postfilter), 50 Hz ± 1 Hz and 60 Hz ± 1 Hz		120		dB
Normal Mode Rejection ⁴	50 Hz ± 1 Hz and 60 Hz ± 1 Hz				
	Internal clock, 20 SPS ODR (postfilter)	71	90		dB
	External clock, 20 SPS ODR (postfilter)	85	90		dB
Resolution	See Table 6 and Table 8				
Noise	See Table 6 and Table 8				
CURRENT INPUTS					
Input Current Range		-0.5		+24	mA
Absolute (Pin) Input Voltage		AVSS -0.05		AVDD +0.05 ⁵	V
Input Impedance ⁶		54	60	75	Ω
Offset Error ²			±2		μA
Offset Drift			±3		nA/°C
Gain Error	Factory calibrated gain, 25°C		±0.02		% of FS
Gain Drift			±10		ppm/°C
INL			±0.01		% of FSR
TUE ⁴	25°C, internal V _{REF}			±0.08	% of FSR
	-40°C to +105°C, internal V _{REF}			±0.2	% of FSR
	25°C, external V _{REF}			±0.08	% of FSR
	-40°C to +105°C, external V _{REF}			±0.2	% of FSR
Power Supply Rejection	AVDD for I _{IN} = 10 mA		0.5		μA/V
Normal Mode Rejection ⁴	50 Hz ± 1 Hz and 60 Hz ± 1 Hz				
	Internal clock, 20 SPS ODR (postfilter)	71	90		dB
	External clock, 20 SPS ODR (postfilter)	85	90		dB
Resolution	See Table 7 and Table 9				
Noise	See Table 7 and Table 9				
ADC SPEED AND PERFORMANCE					
ADC Output Data Rate (ODR)	One channel, see Table 6	1.25		31,250	SPS
No Missing Codes ⁴	Excluding sinc3 filter ≥ 15 kHz notch	24			Bits

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
INTERNAL REFERENCE					
Output Voltage	100 nF external capacitor to AVSS REFOUT with respect to AVSS		2.5		V
Initial Accuracy ^{4,7}	REFOUT, T _A = 25°C	-0.12		+0.12	% of V
Temperature Coefficient			±5	+12	ppm/°C
Reference Load Current, I _{LOAD}		-10		+10	mA
Power Supply Rejection	AVDD (line regulation)		95		dB
Load Regulation	$\Delta V_{OUT}/\Delta I_{LOAD}$		32		ppm/mA
Voltage Noise	e _N , 0.1 Hz to 10 Hz, 2.5 V reference		4.5		μV rms
Voltage Noise Density	e _N , 1 kHz, 2.5 V reference		215		nV/√Hz
Turn On Settling Time	100 nF REFOUT capacitor		200		μs
Short-Circuit Current, I _{SC}			25		mA
EXTERNAL REFERENCE INPUTS					
Differential Input Range	V _{REF} = (REF+) - (REF-)	1	2.5	AVDD	V
Absolute Voltage Limits					
Buffers Disabled		AVSS - 0.05		AVDD + 0.05	V
Buffers Enabled		AVSS		AVDD	V
REF± Input Current					
Buffers Disabled					
Input Current			±9		μA/V
Input Current Drift	External clock		±0.75		nA/V/°C
	Internal clock		±2		nA/V/°C
Buffers Enabled					
Input Current			±100		nA
Input Current Drift			0.25		nA/°C
Normal Mode Rejection	See the rejection parameter				
Common-Mode Rejection			95		dB
TEMPERATURE SENSOR					
Accuracy	After user calibration at 25°C		±2		°C
Sensitivity			477		μV/K
GENERAL-PURPOSE OUTPUTS (GPO0, GPO1)					
Floating State Output Capacitance	With respect to AVSS		5		pF
Output Voltage ^d					
High, V _{OH}	Source current (I _{SOURCE}) = 200 μA	AVDD - 1			V
Low, V _{OL}	Sink current (I _{SINK}) = 800 μA			AVSS + 0.4	V
CLOCK					
Internal Clock					
Frequency			2		MHz
Accuracy		-2.5%		+2.5%	%
Duty Cycle			50		%
Output Voltage					
Low, V _{OL}				0.4	V
High, V _{OH}		0.8 × IOVDD			V
Crystal					
Frequency		14	16	16.384	MHz
Start-Up Time			10		μs
External Clock (CLKIO)					
Duty Cycle		30	50	70	%

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
LOGIC INPUTS					
Input Voltage ⁴ High, V_{INH}	$2\text{ V} \leq \text{IOVDD} < 2.3\text{ V}$	$0.65 \times \text{IOVDD}$			V
	$2.3\text{ V} \leq \text{IOVDD} \leq 5.5\text{ V}$	$0.7 \times \text{IOVDD}$			V
Low, V_{INL}	$2\text{ V} \leq \text{IOVDD} < 2.3\text{ V}$			$0.35 \times \text{IOVDD}$	V
	$2.3\text{ V} \leq \text{IOVDD} \leq 5.5\text{ V}$			0.7	V
Hysteresis	$\text{IOVDD} \geq 2.7\text{ V}$	0.08		0.25	V
	$\text{IOVDD} < 2.7\text{ V}$	0.04		0.2	V
Leakage Current		-10		+10	μA
LOGIC OUTPUT (DOUT/RDY)					
Output Voltage ⁴ High, V_{OH}	$\text{IOVDD} \geq 4.5\text{ V}$, $I_{\text{SOURCE}} = 1\text{ mA}$	$0.8 \times \text{IOVDD}$			V
	$2.7\text{ V} \leq \text{IOVDD} < 4.5\text{ V}$, $I_{\text{SOURCE}} = 500\text{ }\mu\text{A}$	$0.8 \times \text{IOVDD}$			V
	$\text{IOVDD} < 2.7\text{ V}$, $I_{\text{SOURCE}} = 200\text{ }\mu\text{A}$	$0.8 \times \text{IOVDD}$			V
Low, V_{OL}	$\text{IOVDD} \geq 4.5\text{ V}$, $I_{\text{SINK}} = 2\text{ mA}$			0.4	V
	$2.7\text{ V} \leq \text{IOVDD} < 4.5\text{ V}$, $I_{\text{SINK}} = 1\text{ mA}$			0.4	V
	$\text{IOVDD} < 2.7\text{ V}$, $I_{\text{SINK}} = 400\text{ }\mu\text{A}$			0.4	V
Leakage Current ⁴	Floating state	-10		+10	μA
Output Capacitance	Floating state		10		pF
POWER REQUIREMENTS					
Power Supply Voltage					
AVDD to AVSS		3.0		5.5	V
AVSS to DGND		-2.75		0	V
IOVDD to DGND		2		5.5	V
IOVDD to AVSS	For AVSS < DGND			6.35	V
POWER SUPPLY CURRENTS⁸					
	All outputs unloaded, digital inputs connected to IOVDD or DGND				
Full Operating Mode	Including internal reference		3.3	3.7	mA
		IOVDD Current	Internal clock	0.6	0.8
Standby Mode	All $V_{IN} = 0\text{ V}$		120		μA
Power-Down Mode	All $V_{IN} = 0\text{ V}$		90		μA
POWER DISSIPATION					
Full Operating Mode			19.5		mW
Standby Mode			600		μW
Power-Down Mode			450		μW

- ¹ 全仕様は $\pm 10\text{V}$ の差動入力信号に対して確保されていますが、このデバイスは、最大 $\pm V_{\text{REF}} \times 10$ の差動入力信号まで機能します。ただし、正常に機能するためには、仕様規定されている絶対（ピン）電圧を超えてはいけません。
- ² システムのゼロスケール・キャリブレーションを実行した後、オフセット誤差は、選択したプログラム済み出力データ・レートのノイズ・レベルとほぼ同等になります。
- ³ 内部フルスケール・キャリブレーションを実行すると、ゲイン・キャリブレーション・レジスタが上書きされます。あるいは、システム・フルスケール・キャリブレーションにより、補正されているチャンネルのプログラム済み出力データ・レートのノイズ・レベルと同等レベルにまでゲイン誤差が減少します。
- ⁴ これらの値に対する出荷テストは行われていませんが、量産開始時の特性評価データにより確認されています。
- ⁵ この最大仕様は、IINx-がバイアスされて、抵抗を流れる電流が24mA未満になる場合にのみ可能です。IINx-を0Vに接続することはできません。
- ⁶ この仕様は、電流入力ピン間のインピーダンスを示しています。電流は50 Ω の検出抵抗で測定されます。
- ⁷ この仕様には、MSL (Moisture Level) プリコンディショニングの影響が含まれています。
- ⁸ これらは、REFOUTピンと、デジタル出力ピンに負荷が接続されていないときの仕様です。

タイミング特性

特に指定のない限り、IOVDD = 2V~5.5V、DGND = 0V、入力ロジック 0 = 0V、入力ロジック 1 = IOVDD、容量性負荷 (C_{LOAD}) = 20pF。

表 2.

Parameter	Limit at T _{MIN} , T _{MAX}	Unit	Description ^{1,2}
SCLK			
t ₃	25	ns min	SCLK high pulse width
t ₄	25	ns min	SCLK low pulse width
READ OPERATION			
t ₁	0	ns min	$\overline{\text{CS}}$ falling edge to DOUT/ $\overline{\text{RDY}}$ active time
	15	ns max	IOVDD = 4.75 V to 5.5 V
	40	ns max	IOVDD = 2 V to 3.6 V
t ₂ ³	0	ns min	SCLK active edge to data valid delay ⁴
	12.5	ns max	IOVDD = 4.75 V to 5.5 V
	25	ns max	IOVDD = 2 V to 3.6 V
t ₅ ⁵	2.5	ns min	Bus relinquish time after $\overline{\text{CS}}$ inactive edge
	20	ns max	
t ₆	0	ns min	SCLK inactive edge to $\overline{\text{CS}}$ inactive edge
t ₇	10	ns min	SCLK inactive edge to DOUT/ $\overline{\text{RDY}}$ high/low
WRITE OPERATION			
t ₈	0	ns min	$\overline{\text{CS}}$ falling edge to SCLK active edge setup time ⁴
t ₉	8	ns min	Data valid to SCLK edge setup time
t ₁₀	8	ns min	Data valid to SCLK edge hold time
t ₁₁	5	ns min	$\overline{\text{CS}}$ rising edge to SCLK edge hold time

¹ 初期リリース時のサンプル・テストにより、適合性が確保されています。

² 図 2 と図 3 参照。

³ このパラメータは、出力が V_{OL}リミットもしくは V_{OH}リミットを横切るために要する時間で定義されています。

⁴ SCLK のアクティブ・エッジとは、SCLK の立下がりエッジを意味します。

⁵ データ・レジスタを読み出した後、DOUT/ $\overline{\text{RDY}}$ はハイ・レベルに戻ります。シングル変換モードと連続変換モードでは、必要に応じて DOUT/ $\overline{\text{RDY}}$ がハイの間、同じデータを再度読み出すことができます。ただし、後続の読出し動作は次の出力更新付近では行わないように注意する必要があります。連続読出し機能を有効化すると、デジタル・ワードは 1 回しか読み出すことができません。

タイミング図

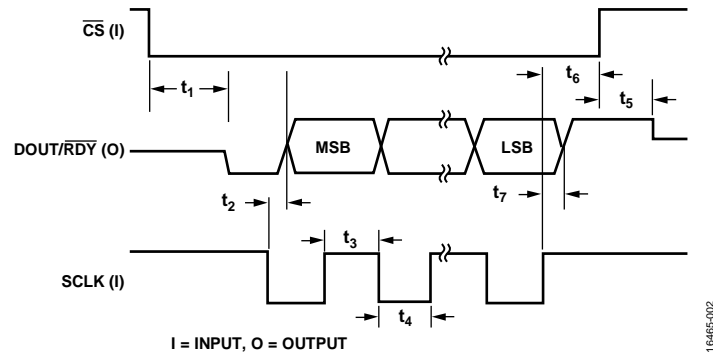


図 2. 読み出しサイクルのタイミング図

16485-002

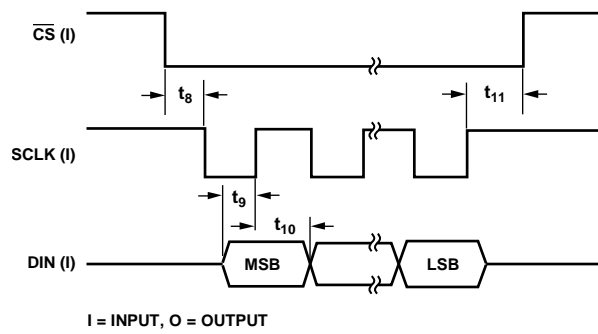


図 3. 書き込みサイクルのタイミング図

16485-003

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
AVDD to AVSS	-0.3 V to +6.5 V
AVDD to DGND	-0.3 V to +6.5 V
IOVDD to DGND	-0.3 V to +6.5 V
IOVDD to AVSS	-0.3 V to +7.5 V
AVSS to DGND	-3.25 V to +0.3 V
VINx to AVSS	-50 V to +50 V
IINx+ to AVSS	-0.3 V to AVDD + 0.3 V
IINx- to AVSS	-0.3 V to AVDD + 0.3 V
Current Input Current ¹	-50 mA to +50 mA
Reference Input Voltage to AVSS	-0.3 V to AVDD + 0.3 V
Digital Input Voltage to DGND	-0.3 V to IOVDD + 0.3 V
Digital Output Voltage to DGND	-0.3 V to IOVDD + 0.3 V
Digital Input Current	10 mA
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature	150°C
Lead Soldering, Reflow Temperature	260°C

¹ 絶対最大電流入力電流、電流入力電圧、および IINx-電圧はすべて、仕様規定されている範囲内になければなりません。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、表面実装パッケージ用の JEDEC テスト・ボードにハンダ付けされたデバイスで仕様規定されています。

表 4. 熱抵抗

Package Type	θ_{JA}	Unit
CP-40-15 ¹		
4-Layer JEDEC Board	34	°C/W

¹ 熱抵抗のシミュレーション値は、16 個のサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照してください。

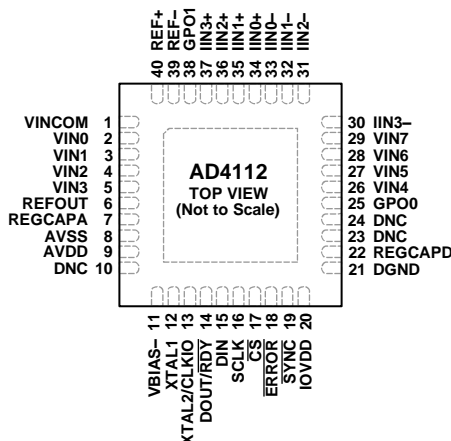
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. DNC = DO NOT CONNECT. DO NOT CONNECT ANYTHING TO THIS PIN. PIN 24 IS INTERNALLY CONNECTED TO AVSS.
 2. SOLDER THE EXPOSED PAD TO A SIMILAR PAD ON THE PCB UNDER THE EXPOSED PAD TO CONFER MECHANICAL STRENGTH AND FOR HEAT DISSIPATION. THE EXPOSED PAD MUST BE CONNECTED TO AVSS THROUGH THIS PAD ON THE PCB.

16465-004

図 4. ピン配置

表 5 ピン機能の説明

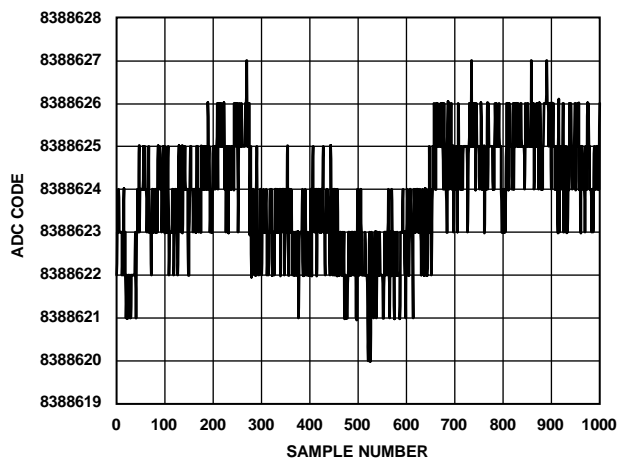
ピン番号	記号 ¹	種類 ²	説明
1	VINCOM	AI	電圧入力コモン。シングルエンドとして構成している場合、電圧入力はこのピンを基準とします。このピンはアナログ・グラウンドに接続します。
2	VIN0	AI	電圧入力 0。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN1 との入力ペアの正入力。
3	VIN1	AI	電圧入力 1。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN0 との入力ペアの負入力。
4	VIN2	AI	電圧入力 2。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN3 との入力ペアの正入力。
5	VIN3	AI	電圧入力 3。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN2 との入力ペアの負入力。
6	REFOUT	AO	内部リファレンスのバッファ付き出力。出力は、AVSS を基準として 2.5V です。0.1μF のコンデンサを使用して、このピンを AVSS ヘドキャップリングします。
7	REGCAPA	AO	アナログ低ドロップアウト (LDO) レギュレータの出力。1μF のコンデンサと 0.1μF のコンデンサを使用して、このピンを AVSS ヘドキャップリングします。
8	AVSS	P	負のアナログ電源。この電源電圧範囲は -2.75V ~ 0V で、公称 0V に設定されています。
9	AVDD	P	アナログ電源電圧。この電圧範囲は、AVSS を基準として 3.0V ~ 5.5V です。
10	DNC	N/A	接続なし。このピンには接続しないでください。
11	VBIAS-	AI	負の電圧バイアス。このピンは、電圧入力アナログ・フロントエンドのバイアス電圧を設定します。このピンは AVSS に接続します。
12	XTAL1	AI	水晶発振器用の入力 1。
13	XTAL2/CLKIO	AI/DI	水晶発振器用の入力 2 / クロック入出力。詳細については、ADCMODE レジスタの CLOCKSEL ビットの設定を参照してください。
14	DOUT/RDY	DO	シリアル・データ出力 / データ・レディ出力。このピンには 2 つの機能があります。ADC の出力シフト・レジスタにアクセスするときは、シリアル・データ出力ピンとして機能します。出力シフト・レジスタには、内蔵するどのデータ・レジスタまたはコントロール・レジスタからのデータでも格納できます。データワード / コントロール・ワード情報は SCLK の立下がりエッジで DOUT/RDY ピンに与えられ、SCLK の立上がりエッジで有効となります。CS がハイ・レベルのとき、DOUT/RDY 出力はスリーステートになります。CS がロー・レベルで、レジスタが読み出し中でない場合、DOUT/RDY は、データ・レディ・ピンとして機能し、ロー・レベルに下がると変換完了を示します。変換後にデータが読み出されない場合、次の更新が行われる前にこのピンはハイ・レベルになります。DOUT/RDY の立下がりエッジは、プロセッサに対する割込みとして使用可能で、有効なデータが準備できていることを示します。
15	DIN	DI	ADC の入力シフト・レジスタへのシリアル・データ入力。このシフト・レジスタのデータは、ADC 内のコントロール・レジスタに転送されます。該当するレジスタは、コミュニケーション・レジスタのレジスタ・アドレス (RA) ビットにより指定されます。データは、SCLK の立上がりエッジでクロックインされます。

ピン番号	記号 ¹	種類 ²	説明
16	SCLK	DI	シリアル・クロック入力。このシリアル・クロック入力、ADC とのデータ転送に使用します。SCLK にはシュミット・トリガ入力があります。
17	$\overline{\text{CS}}$	DI	チップ・セレクト入力。このピンはアクティブ・ローのロジック入力、ADC の選択に使用します。 $\overline{\text{CS}}$ は、シリアル・バスに複数のデバイスが接続されているシステムで ADC を選択するときに使います。 $\overline{\text{CS}}$ をロー・レベルにハードワイヤ接続することにより、デバイスとのインターフェースに SCLK、DIN、DOUT/RDY を使った 3 線式モードで ADC を動作させることができます。 $\overline{\text{CS}}$ がハイ・レベルのとき、DOUT/RDY 出力はスリーステートになります。
18	$\overline{\text{ERROR}}$	DI/O	エラー入出力または汎用出力。このピンは、以下の 3 つのモードのいずれかで使うことができます。アクティブ・ローのエラー入力モード。このモードでは、ステータス・レジスタの ADC_ERROR ビットがセットされます。 アクティブ・ローのオープンドレイン・エラー出力モード。ステータス・レジスタのエラー・ビットは $\overline{\text{ERROR}}$ ピンにマップされます。複数のデバイスのどのエラーも検知できるように、それらのデバイスの $\overline{\text{ERROR}}$ ピンを、共通のプルアップ抵抗に接続することができます。 汎用出力モード。このピンのステータスは、GPIOCON レジスタの ERR_DAT ビットによって制御されます。このピンは、IOVDD と DGND の間の基準になります。
19	SYNC	DI	同期入力。複数の AD4112 を使うときに、デジタル・フィルタとアナログ変調器の同期を可能にします。
20	IOVDD	P	デジタル I/O 電源電圧。IOVDD の電圧範囲は、2V~5.5V (公称値) です。IOVDD は AVDD とは無関係です。例えば、AVDD に 5V を与えた状態で、IOVDD に 3.3V を与えて動作させることができます。その逆も可能です。AVSS を -2.5V に設定した場合、IOVDD の電圧は 3.6V を超えてはなりません。
21	DGND	P	デジタル・グラウンド。
22	REGCAPD	AO	デジタル LDO レギュレータ出力。このピンはデカップリング専用です。1 μ F のコンデンサを使用して、このピンを DGND ヘドカップリングします。
23	DNC	N/A	接続なし。このピンには接続しないでください。
24	DNC	N/A	接続なし。このピンには接続しないでください。このピンは内部で AVSS に接続されています。
25	GPO0	DO	汎用出力。このピンのロジック出力は、AVDD 電源と AVSS 電源を基準としています。
26	VIN4	AI	電圧入力 4。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN5 との入力ペアの正入力。
27	VIN5	AI	電圧入力 5。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN4 との入力ペアの負入力。
28	VIN6	AI	電圧入力 6。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN7 との入力ペアの正入力。
29	VIN7	AI	電圧入力 7。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN6 との入力ペアの負入力。
30	IIN3-	AI	電流入力リターン 3。このピンはアナログ・グラウンドに接続します。
31	IIN2-	AI	電流入力リターン 2。このピンはアナログ・グラウンドに接続します。
32	IIN1-	AI	電流入力リターン 1。このピンはアナログ・グラウンドに接続します。
33	IIN0-	AI	電流入力リターン 0。このピンはアナログ・グラウンドに接続します。
34	IIN0+	AI	電流入力 0。
35	IIN1+	AI	電流入力 1。
36	IIN2+	AI	電流入力 2。
37	IIN3+	AI	電流入力 3。
38	GPO1	DO	汎用出力。このピンのロジック出力は、AVDD 電源と AVSS 電源を基準としています。
39	REF-	AI	リファレンス入力負端子。REF- の範囲は、AVSS ~ AVDD - 1V です。リファレンスは、セットアップ設定レジスタの REF_SELx ビットを介して選択できます。
40	REF+	AI	リファレンス入力正端子。外部リファレンスを REF+ と REF- の間に与えることができます。REF+ の範囲は AVDD ~ AVSS + 1V です。リファレンスは、セットアップ設定レジスタの REF_SELx ビットを介して選択できます。
	EP	P	露出パッド。露出パッドは、パッケージの機械的強度と放熱効果を高めるため、露出パッドの下の PCB 上の同様のパッドにハンダ付けします。露出パッドは、PCB 上のこのパッドを介して AVSS に接続する必要があります。

¹ このデータシートでは、2 つの機能を持つピンの記号は、そのいずれかのみを用いて該当する機能を説明していることにご注意ください。

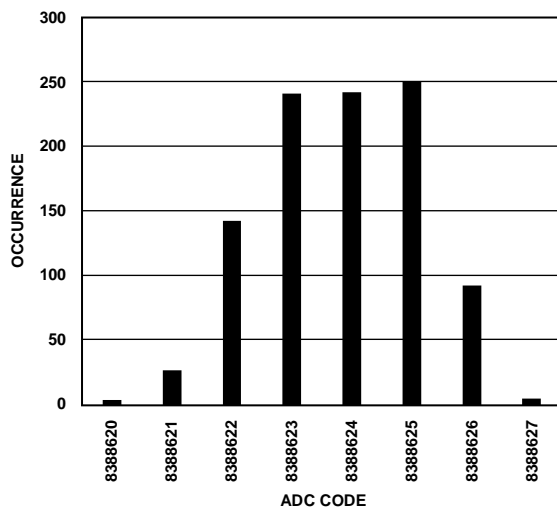
² AI はアナログ入力、AO はアナログ出力、P は電源、N/A は該当なし、DI はデジタル入力、DO はデジタル出力、DI/O は双方向デジタル入出力をそれぞれ意味します。

代表的な性能特性



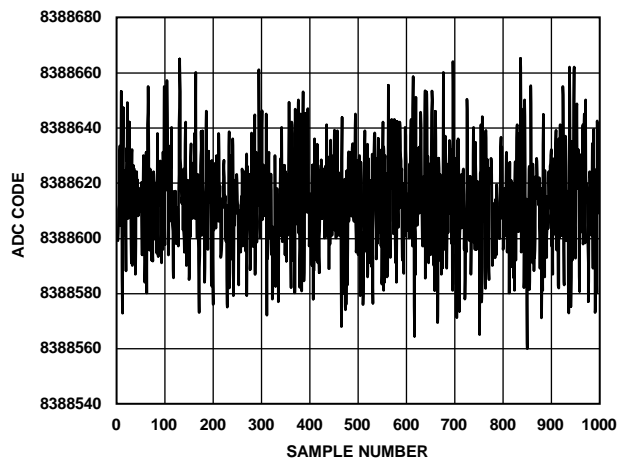
16465-105

図 5. ノイズ (電圧入力、出力データ・レート = 1.25SPS)



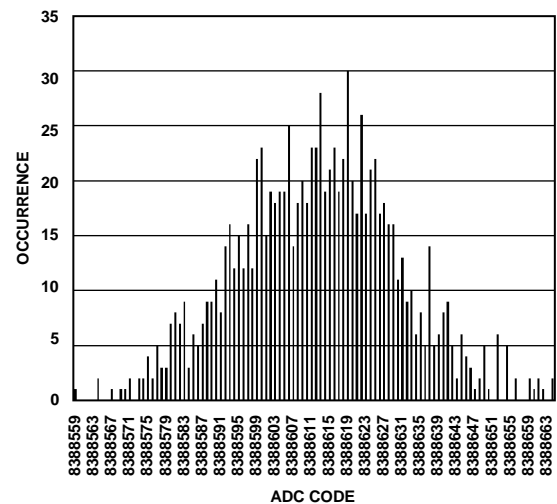
16465-108

図 8. ヒストグラム
(電圧入力、出力データ・レート = 1.25SPS)



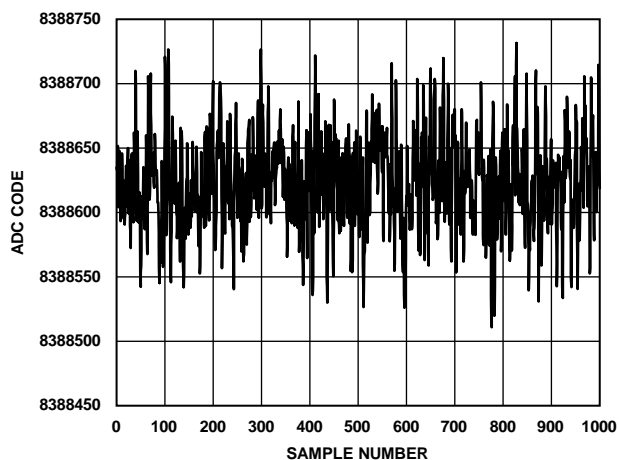
16465-106

図 6. ノイズ (電圧入力、出力データ・レート = 2.5kSPS)



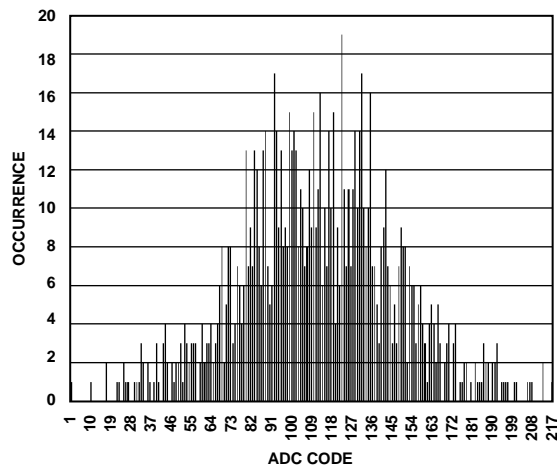
16465-109

図 9. ヒストグラム
(電圧入力、出力データ・レート = 2.5kSPS)



16465-107

図 7. ノイズ (電圧入力、出力データ・レート = 31.25kSPS)



16465-110

図 10. ヒストグラム
(電圧入力、出力データ・レート = 31.25kSPS)

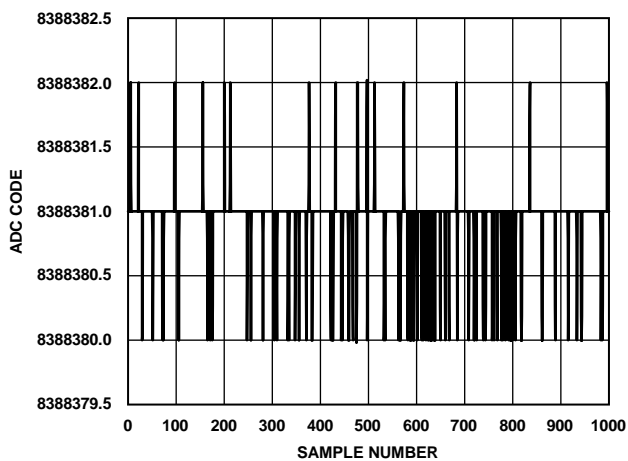


図 11. ノイズ (電流入力、出力データ・レート = 1.25SPS)

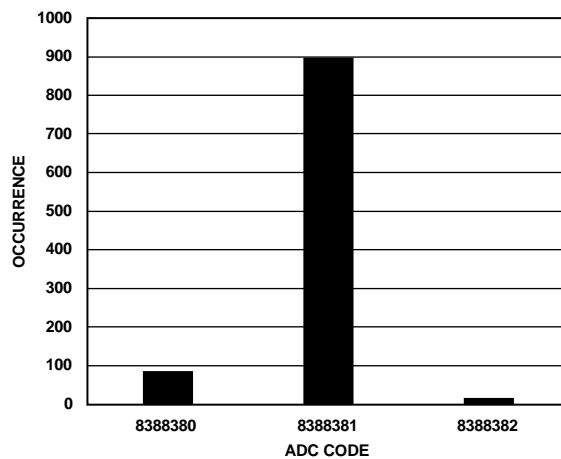


図 14. ヒストグラム
(電流入力、出力データ・レート = 1.25SPS)

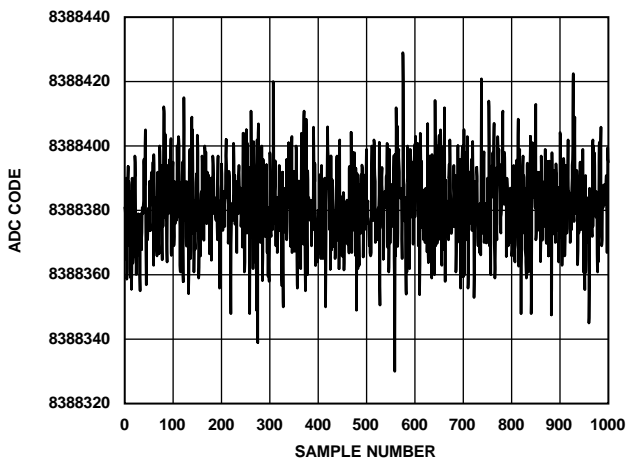


図 12. ノイズ (電流入力、出力データ・レート = 2.5kSPS)

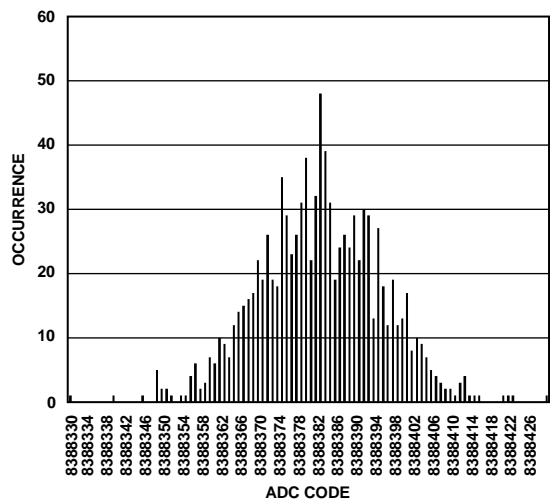


図 15. ヒストグラム
(電流入力、出力データ・レート = 31.25SPS)

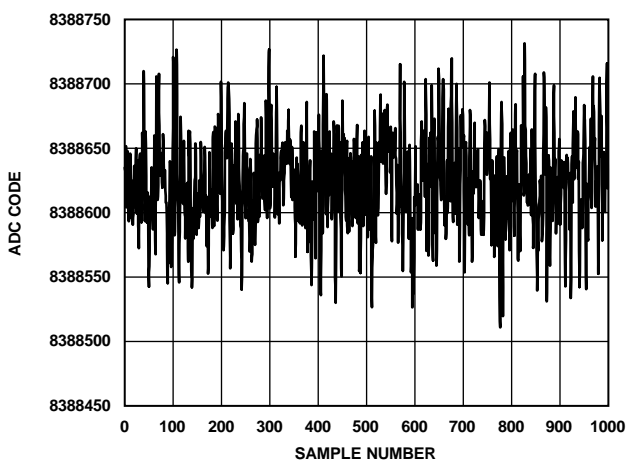


図 13. ノイズ (電流入力、出力データ・レート = 31.25kSPS)

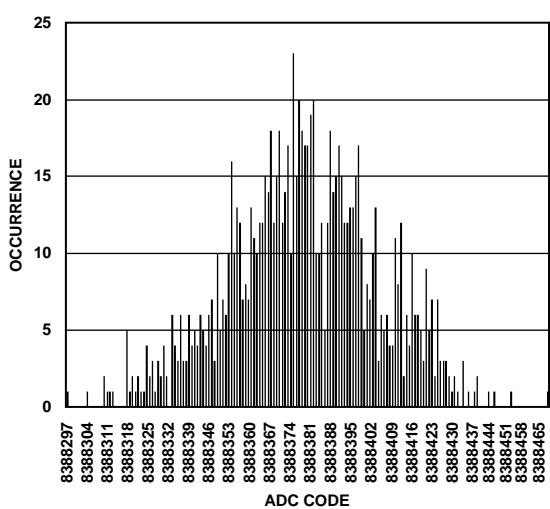


図 16. ヒストグラム
(電流入力、出力データ・レート = 31.25kSPS)

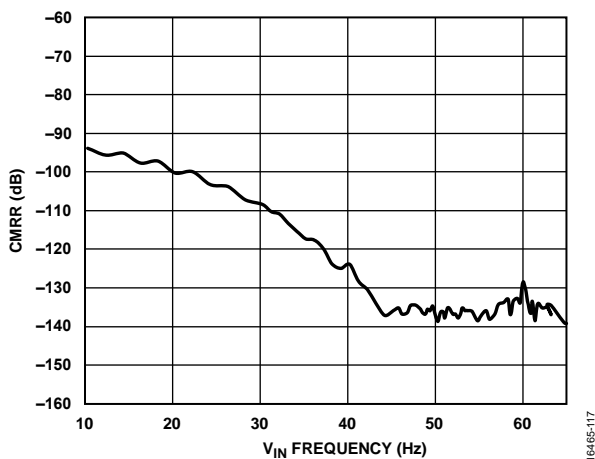


図 17. 同相ノイズ除去比 (CMRR) と V_{IN} 周波数の関係 ($V_{IN} = 0.1V$ 、10Hz~70Hz、出力)

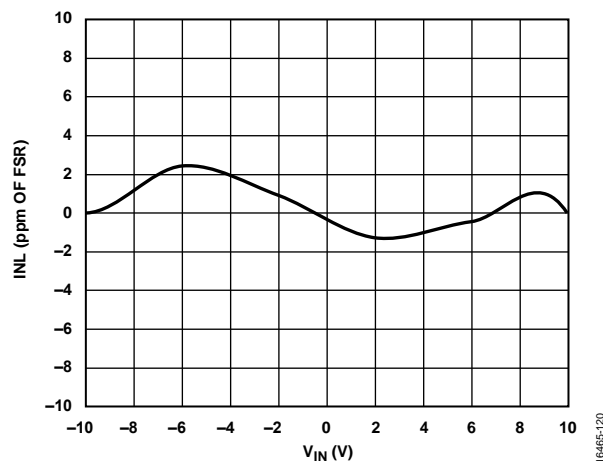


図 20. 積分非直線性 (INL) と入力範囲の関係 (電圧入力)

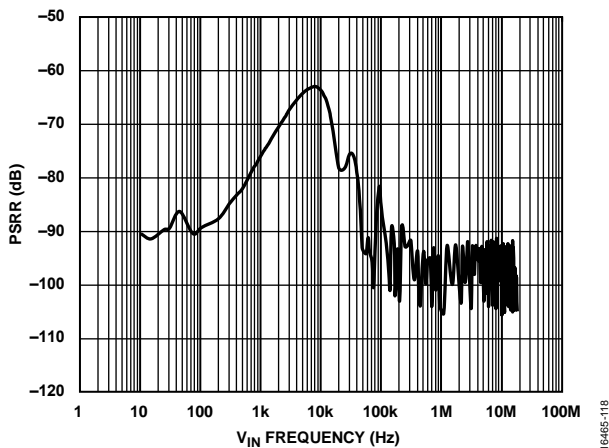


図 18. 電源電圧変動除去比 (PSRR) と V_{IN} 周波数の関係

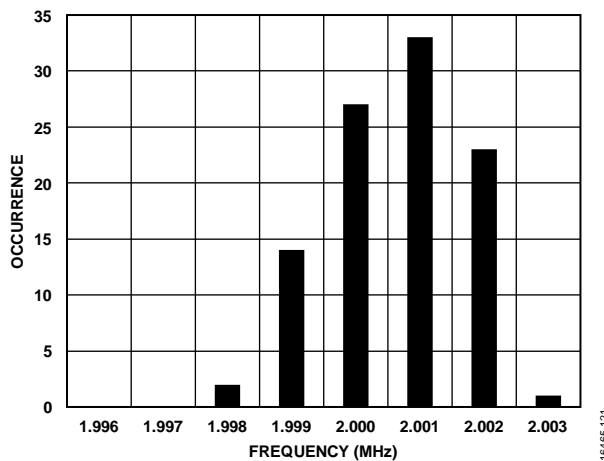


図 21. 内部発振器の周波数/精度分布ヒストグラム

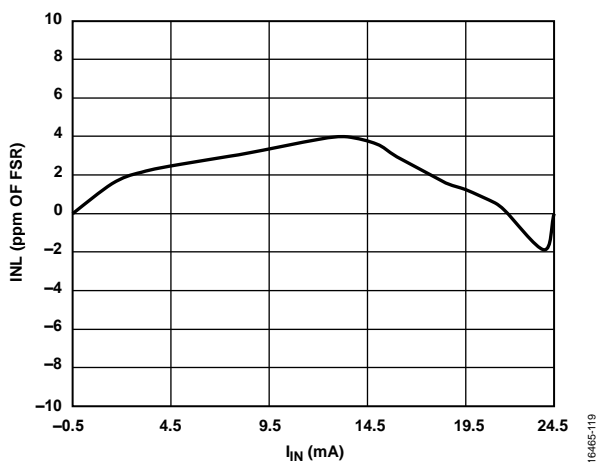


図 19. 積分非直線性 (INL) と入力の関係 (電流入力)

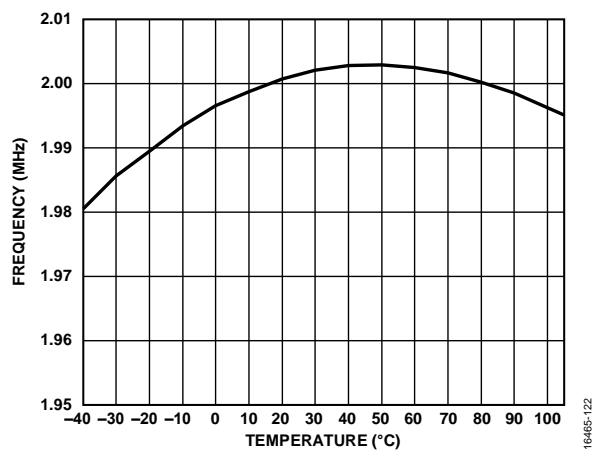


図 22. 内部発振器周波数の温度特性

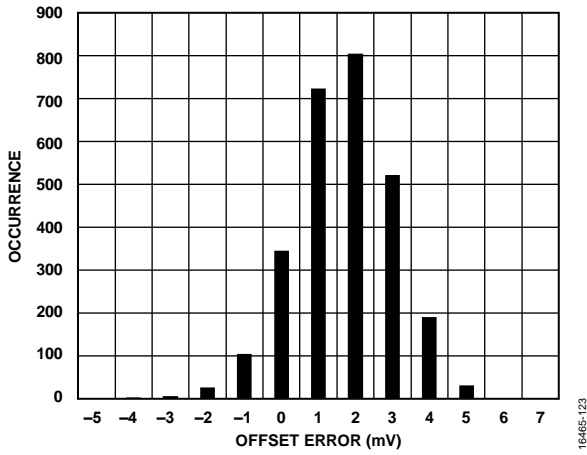


図 23. オフセット誤差分布ヒストグラム (電圧入力)

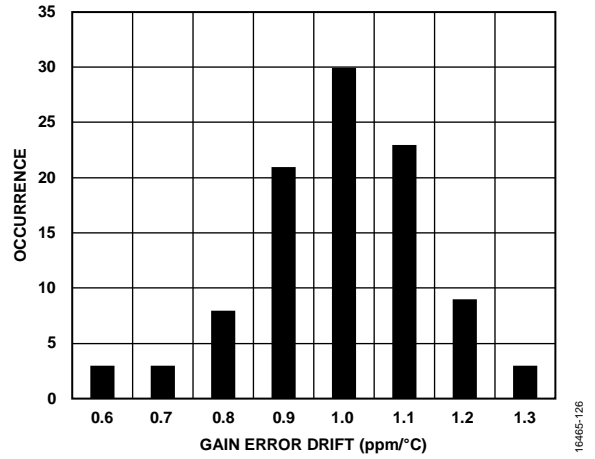


図 26. ゲイン誤差ドリフト分布ヒストグラム (電圧入力)

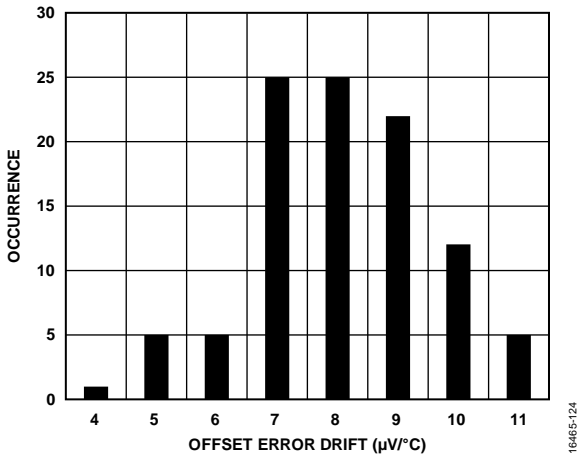


図 24. オフセット誤差ドリフト分布ヒストグラム (電圧入力)

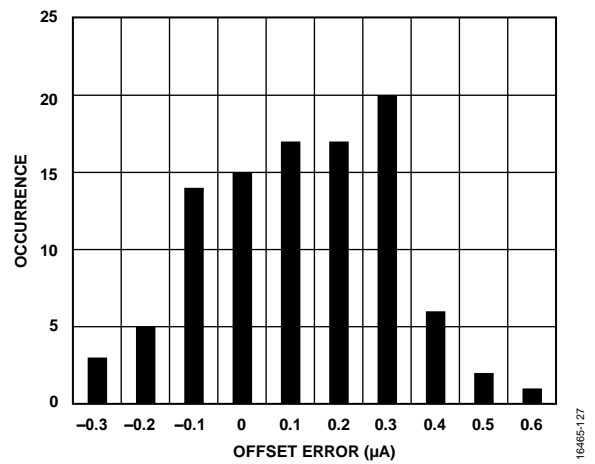


図 27. オフセット誤差分布ヒストグラム (電流入力)

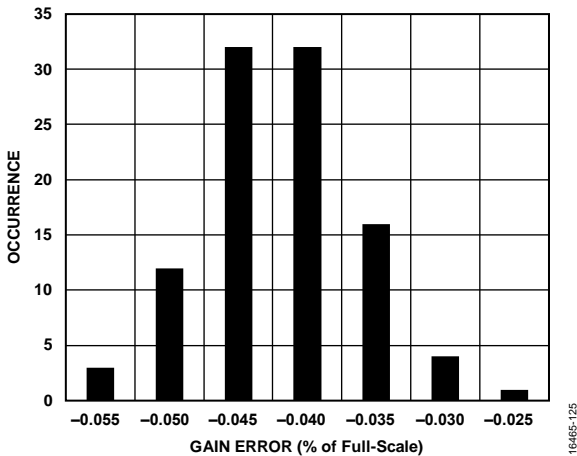


図 25. ゲイン誤差分布ヒストグラム (電圧入力)

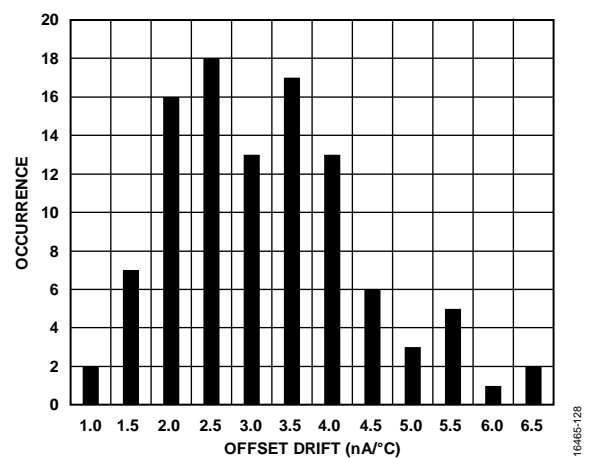


図 28. オフセット誤差ドリフト分布ヒストグラム (電流入力)

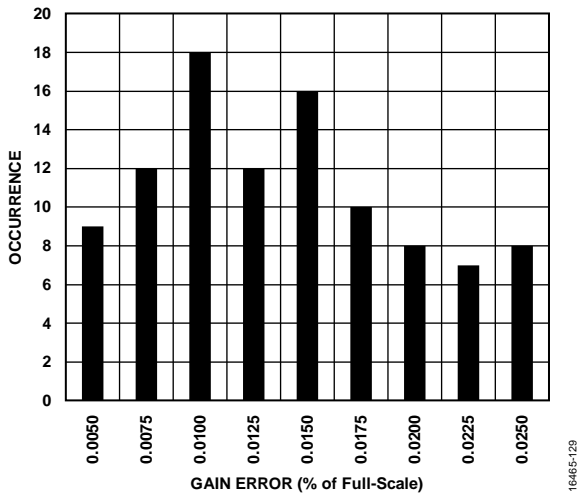


図 29. ゲイン誤差分布ヒストグラム (電流入力)

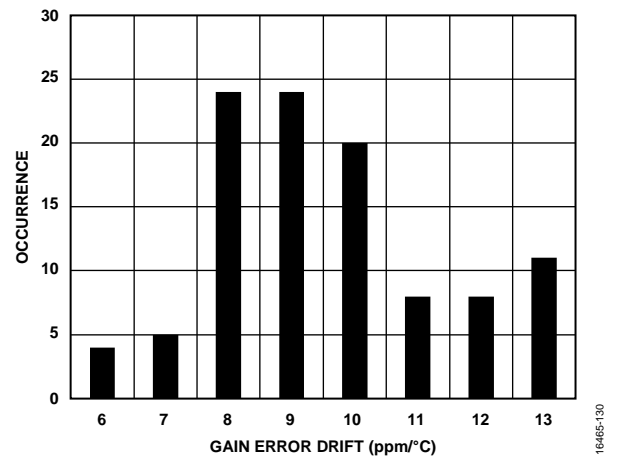


図 30. ゲイン誤差ドリフト分布ヒストグラム (電流入力)

ノイズ性能と分解能

各種 ODR に対する、AD4112 の実効値ノイズ、ピーク to ピーク・ノイズ、実効分解能、およびノイズ・フリー（ピーク to ピーク）分解能を表 6～表 9 に示します。これらの値は代表値であり、2.5V の外部リファレンスを使用し、ADC が複数チャンネルで連続変換を実行している場合の測定値です。表 6 と表 8 の値は、±10V の電圧入力範囲用に生成され、差動入力電圧は 0V で

す。表 7 と表 9 の値は、0mA～20mA の入力範囲用に生成され、入力電流は 0mA です。ピーク to ピーク分解能は、ピーク to ピーク・ノイズを基に計算された値であることに注意してください。このピーク to ピーク分解能は、コード・フリッカが生じない分解能を表します。

表 6. ±10V 電圧入力 RMS でのノイズおよび分解能と Sinc5 + Sinc1 フィルタを使用した ODR の関係

Default Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled	Output Data Rate (SPS per Channel); SING_CYC = 1 or Multiple Channels Enabled	Settling Time ¹	Notch Frequency (Hz)	Noise (μV rms) ²	Effective Resolution (Bits)	Noise (μV p-p)	Peak-to-Peak Resolution (Bits)
31,250	6211	161 μs	31,250	106	17.5	750	14.7
15,625	5181	193 μs	15,625	94	17.7	580	15.1
10,417	4444	225 μs	10,417	82	17.9	512	15.3
5208	3115	321 μs	5208	62	18.3	372	15.7
2597	2597	385 μs	3906	47	18.7	312	16.0
1007	1007	993 μs	1157	27	19.5	190	16.7
504	504	1.99 ms	539	21	19.9	140	17.1
381	381	2.63 ms	401	17	20.2	92	17.7
200.3	200.3	4.99 ms	206	13	20.6	62	18.3
100.2	100.2	9.99 ms	102	8	21.3	45	18.8
59.52	59.52	16.8 ms	59.98	7	21.4	33	19.2
49.68	49.68	20.13 ms	50	7	21.4	33	19.2
20	20.01	49.98 ms	20	4	22.3	22	19.8
16.67	16.63	60.13 ms	16.67	4	22.3	21	19.9
10	10	100 ms	10	3.7	22.4	18	20.1
5	5	200 ms	5	3.4	22.5	17	20.2
2.5	2.5	400 ms	2.5	2.4	23	12	20.7
1.25	1.25	800 ms	1.25	2.3	23.1	11	20.8

¹ セットリング時間は最も近いマイクロ秒に丸められ、出力データ・レートとチャンネル・スイッチング・レートに反映されます。
チャンネル・スイッチング・レート = 1 ÷ セットリング時間

² チャンネルあたりデータ・レートが 381 以上のデータ・レートの場合は 1000 サンプル、チャンネルあたりデータ・レートが 200.3 未満のデータ・レートの場合は 100 サンプルを使用します。

表 7. 0mA～20mA 電流入力でのノイズおよび分解能と Sinc5 + Sinc1 フィルタを使用した出力データ・レートの関係

Default Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled	Output Data Rate (SPS per Channel); SING_CYC = 1 or Multiple Channels Enabled	Settling Time ¹	Notch Frequency (Hz)	Noise (nA rms) ²	Effective Resolution (Bits)	Noise (nA p-p)	Peak-to-Peak Resolution (Bits)
31,250	6211	161 μs	31,250	155	17.0	1100	14.2
15,625	5181	193 μs	15,625	136	17.2	920	14.4
10,417	4444	225 μs	10,417	113	17.4	720	14.8
5208	3115	321 μs	5208	84	17.9	580	15.1
2597	2597	385 μs	3906	75	18.0	480	15.3
1007	1007	993 μs	1157	43	18.8	220	16.5
504	503.8	1.99 ms	539	29	19.4	150	17.0
381	381	2.63 ms	401	21	19.9	125	17.3
200.3	200.3	4.99 ms	206	18	20.1	95	17.7
100.2	100.2	9.99 ms	102	13	20.6	71	18.1
59.52	59.52	16.8 ms	59.98	10	20.9	48	18.7
49.68	49.68	20.13 ms	50	9	21.1	41	18.9
20	20.01	49.98 ms	20	6	21.7	30	19.3
16.67	16.63	60.13 ms	16.67	5.3	21.8	23	19.7
10	10	100 ms	10	4.6	22.1	18	20.1
5	5	200 ms	5	3	22.7	12	20.7
2.5	2.5	400 ms	2.5	2.8	22.8	12	20.7
1.25	1.25	800 ms	1.25	2.7	22.8	6	21.7

¹ セットリング時間は最も近いマイクロ秒に丸められ、出力データ・レートとチャンネル・スイッチング・レートに反映されます。
チャンネル・スイッチング・レート = 1 ÷ セットリング時間

² チャンネルあたりデータ・レートが 381 以上のデータ・レートの場合は 1000 サンプル、チャンネルあたりデータ・レートが 200.3 未満のデータ・レートの場合は 100 サンプルを使用します。

表 8. ±10V 電圧入力 RMS でのノイズおよび分解能と sinc3 フィルタを使用した ODR の関係

Default Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled	Output Data Rate (SPS per Channel); SING_CYC = 1 or Multiple Channels Enabled	Settling Time ¹	Notch Frequency (Hz)	Noise (μV rms) ²	Effective Resolution (Bits)	Noise (μV p-p)	Peak-to-Peak Resolution (Bits)
31,250	6211	96 μs	31,250	1035	14.2	6037	11.7
15,625	5181	192 μs	15,625	158	16.9	954	14.4
10,417	4444	288 μs	10,417	77	18	536	15.2
5208	3115	576 μs	5208	50	18.6	334	15.9
3906	2597	1.15 ms	3906	34	19.2	205	16.6
1157	1007	2.98 ms	1157	22	19.8	137	17.2
539	504	5.95 ms	539	15	20.3	15	17.5
401	381	7.49 ms	401	13	20.5	13	17.9
206	200.3	14.99 ms	206	10	20.9	10	18.2
102	100.2	29.85 ms	102	7.3	21.4	39	18.9
59.98	59.52	50.02 ms	59.98	6.2	21.6	35	19.1
50	49.68	60 ms	50	5.3	21.8	36	19.1
20	20.01	149.93 ms	20	4.9	22	33	19.2
16.67	16.63	179.96 ms	16.67	4.2	22.1	29.8	19.35
10	10	300 ms	10	3.7	22.4	20.9	19.9
5	5	600 ms	5	3.5	22.4	17.8	20.1
2.5	2.5	1.2 sec	2.5	3	22.7	17.8	20.1
1.25	1.25	2.4 sec	1.25	2.9	22.7	14.9	20.4

¹セトリング時間は最も近いマイクロ秒に丸められ、出力データ・レートとチャンネル・スイッチング・レートに反映されます。

チャンネル・スイッチング・レート = 1 ÷ セトリング時間

²チャンネルあたりデータ・レートが 381 以上のデータ・レートの場合は 1000 サンプル、チャンネルあたりデータ・レートが 200.3 未満のデータ・レートの場合は 100 サンプルを使用します。

表 9. 0mA~20mA 電流入力でのノイズおよび分解能と sinc3 フィルタを使用した出力データ・レートの関係

Default Output Data Rate (SPS); SING_CYC = 0 and Single Channel Enabled	Output Data Rate (SPS per Channel); SING_CYC = 1 or Multiple Channels Enabled	Settling Time ¹	Notch Frequency (Hz)	Noise (nA rms) ²	Effective Resolution (Bits)	Noise (nA p-p)	Peak-to-Peak Resolution (Bits)
31,250	6211	96 μs	31,250	2177	15.5	13315	12.9
15,625	5181	192 μs	15,625	309	18.3	1830	15.8
10,417	4444	288 μs	10,417	121	19.7	781	17
5208	3115	576 μs	5208	72	20.4	452	17.8
3906	2597	1.15 ms	3906	49	20.9	339	18.2
1157	1007	2.98 ms	1157	30	21.6	214	18.8
539	503.8	5.95 ms	539	22	22.1	149	19.4
401	381	7.49 ms	401	19	2.3	125	19.6
206	200.3	14.99 ms	206	14	22.8	77	20.3
102	100.2	29.85 ms	102	10	23.2	71	20.4
59.98	59.52	50.02 ms	59.98	7.6	23.6	53	20.8
50	49.68	60 ms	50	7.2	23.7	41	21.2
20	20.01	149.93 ms	20	4.8	24	29.8	21.7
16.67	16.63	179.96 ms	16.67	4.4	24	29.8	21.7
10	10	300 ms	10	3.8	24	23.8	22
5	5	600 ms	5	3.1	24	17.9	22.4
2.5	2.5	1.2 sec	2.5	2.6	24	11.9	23
1.25	1.25	2.4 sec	1.25	2.4	24	11.9	23

¹セトリング時間は最も近いマイクロ秒に丸められ、出力データ・レートとチャンネル・スイッチング・レートに反映されます。

チャンネル・スイッチング・レート = 1 ÷ セトリング時間

²チャンネルあたりデータ・レートが 381 以上のデータ・レートの場合は 1000 サンプル、チャンネルあたりデータ・レートが 200.3 未満のデータ・レートの場合は 100 サンプルを使用します。

動作原理

AD4112は、設定機能の優れた、高速セトリングおよび高分解能のマルチプレクス型ADCで、次の機能を備えています。

- 4つの完全差動入力、または8つのシングルエンド入力。
- 高精度整合抵抗を内蔵した高インピーダンス分圧器。
- 電流検出抵抗を内蔵した4つの電流入力。
- 非常に小さいデバイス・フットプリントに組み込まれた独自の*iPassives™*テクノロジー。
- チャンネルごとに最大8つの異なるセットアップを定義でき、柔軟な設定が可能。個別のセットアップをチャンネルごとにマップすることができます。各セットアップでは、バッファのイネーブル/ディスエーブル、ゲインおよびオフセット補正、フィルタ・タイプ、ODR、リファレンス源の選択が設定できます。

AD4112は高精度で低ドリフト (5ppm/°C) の2.5Vバンド・ギャップ・リファレンスを内蔵しています。このリファレンスをADC変換に使用するように選択できるので、外部部品数を減らせます。イネーブルすると、内部リファレンスがREFOUTピンに出力されます。外部回路用の低ノイズ・バイアス電圧として使用することが可能で、0.1μFデカップリング・コンデンサに接続する必要があります。

AD4112は、アナログ回路とデジタル回路の両方に個別のリニア・レギュレータ・ブロックを内蔵しています。アナログLDOレギュレータは、AVDD電源を1.8Vに調整します。

デジタルIOVDD電源用のリニア・レギュレータも同様の機能を実行し、IOVDDピンに印加された入力電圧を1.8Vに調整します。シリアル・インターフェース信号は、常にこのIOVDD電源で動作します。つまり、IOVDDピンに3.3Vが印加されると、インターフェース・ロジックの入力と出力はそのレベルで動作します。

AD4112は、プログラマブル・ロジック・コントローラ (PLC) や分散制御システム (DCS) モジュールなど、多くのファクトリ・オートメーションやプロセス制御アプリケーション向けに設計されており、非常に高い精度を維持しながら全体的なシステム・コストと設計負担を軽減します。AD4112は以下に示すシステム機能を備えています。

- 5Vまたは3.3Vの単電源。
- 最低1MΩの入カインピーダンスを確保。
- ±10Vを超えるオーバーレンジ電圧。
- 直流入力測定用の内蔵検出抵抗。
- キャリブレーション・コストの軽減。

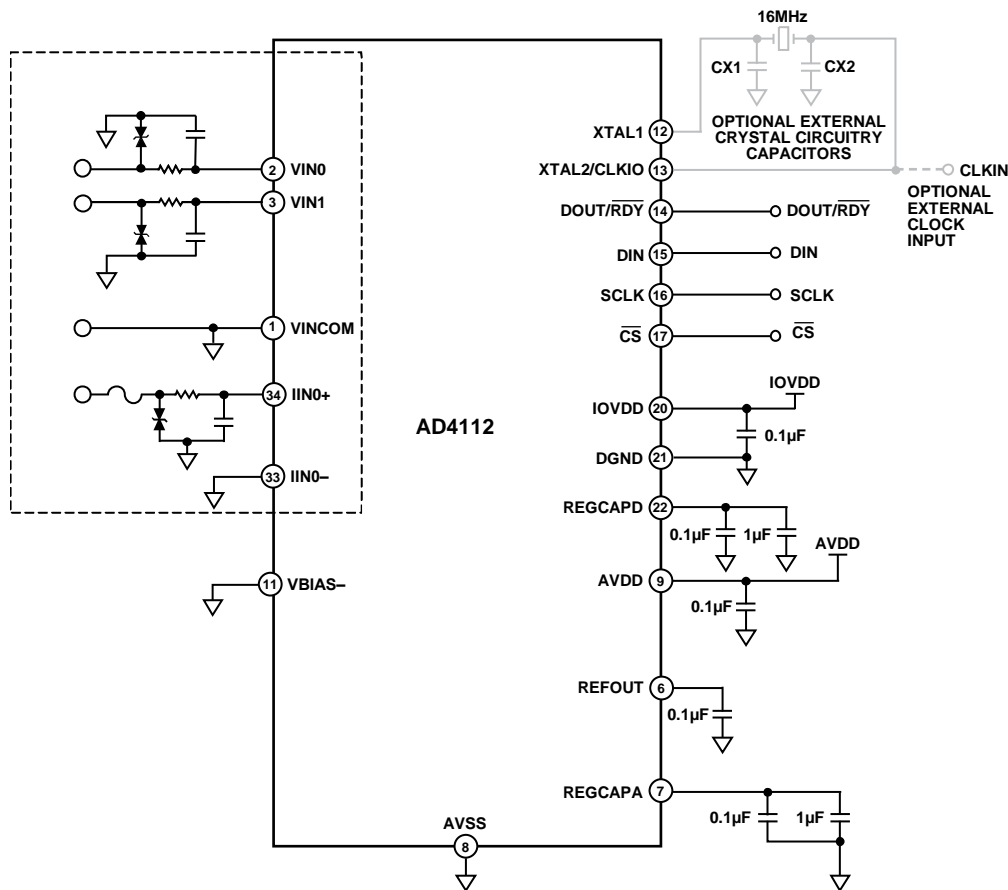


図 31. 代表的な接続図

16465-010

電源

AD4112には、AVDDとIOVDDの2つの独立した電源ピンがあります。AD4112には、電源シーケンスに関する特定の条件はありません。ただし、すべての電源が安定したら、デバイスをリセットする必要があります。デバイスをリセットする方法の詳細については、AD4112のリセットのセクションを参照してください。

AVDDは内蔵の1.8VアナログLDOレギュレータに電力を供給し、このレギュレータはADCコアに電力を供給します。AVDDはクロスポイント・マルチプレクサと内蔵入力バッファにも電源を供給します。AVDDはAVSSを基準としており、AVDD - AVSS = 3.3Vまたは5Vです。AVDDとAVSSには、3.3Vまたは5Vの単電源、あるいは±1.65Vまたは±2.5Vの分離電源を使用できます。分離電源で動作させるときは、絶対最大定格に注意してください（絶対最大定格のセクションを参照）。

IOVDDは内部の1.8VデジタルLDOレギュレータに電力を供給し、このレギュレータはADCのデジタル・ロジックに電力を供給します。IOVDDにより、ADCのシリアル・ペリフェラル・インターフェース（SPI）の電圧レベルが設定されます。IOVDDはDGNDを基準とし、IOVDD - DGNDの範囲は2V（最小値）～5.5V（最大値）が可能です。

単電源動作（AVSS = DGND）

AD4112がAVDDに接続された単電源から給電される場合、電源は3.3Vまたは5Vのいずれかになります。この構成では、AVSSとDGNDを1つのグラウンド・プレーンで短絡することができます。

このユニポーラ入力構成では、IOVDDの範囲は2V～5.5Vです。

デジタル・コミュニケーション

AD4112は、QSPI™、MICROWIRE®、およびDSPと互換性のある3線式または4線式のSPIインターフェースを備えています。このインターフェースはSPIモード3で動作し、CSをロー・レベルに接続した状態で動作させることができます。SPIモード3の場合、SCLKはアイドル・ハイになり、SCLKの立下がりエッジが駆動エッジ、立上がりエッジがサンプル・エッジです。データは立下がりの駆動エッジに同期して出力され、立上がりのサンプル・エッジに同期して入力されます。

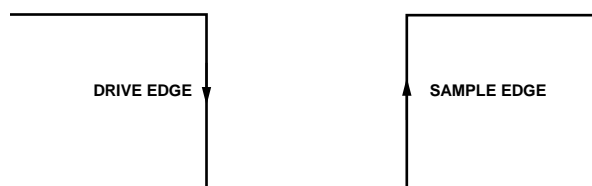


図 32. SPI モード 3 の SCLK のエッジ

ADCのレジスタ・マップへのアクセス

コミュニケーション・レジスタは、ADC内のレジスタ・マップ全体へのアクセスを制御しています。このレジスタは8ビットの書き込み専用レジスタです。パワーアップ時またはリセット後、デジタル・インターフェースはデフォルトでコミュニケーション・レジスタへの書き込み待ちの状態になります。したがって、すべての通信はコミュニケーション・レジスタへの書き込みによって開始されます。

コミュニケーション・レジスタに書き込まれたデータにより、アクセス先のレジスタと、次の動作が書き込みまたは読出しのどちらであるかが決まります。RAビット（レジスタ0x00のビット[5:0]）により、どのレジスタに対して読出しまたは書き込みが実行されるかが決まります。

選択されたレジスタの読出し動作または書き込み動作が完了すると、インターフェースはデフォルト状態、すなわち、コミュニケーション・レジスタへの書き込み動作待ちの状態に戻ります。

インターフェースの同期が失われた場合、DINがハイ・レベルの状態でも少なくとも64シリアル・クロック・サイクルの書き込み動作が実行されると、レジスタの内容を含むデバイスのすべての設定がリセットされ、ADCがデフォルト状態に戻ります。代わりに、CSをデジタル・インターフェースと一緒に使用し、CSをハイ・レベルに戻すと、デジタル・インターフェースがデフォルト状態にリセットされ、実行中のすべての動作がアポートされます。

レジスタへの書き込み動作とレジスタからの読出し動作を図33と図34に示します。まず、8ビット・コマンドをコミュニケーション・レジスタに書き込んだ後、アドレス指定されたレジスタのデータを書き込みます。

このデバイスが正常に通信していることを確認するには、IDレジスタの読出しをお勧めします。IDレジスタは読出し専用のレジスタで、AD4112の値0x30DXが格納されています。コミュニケーション・レジスタとIDレジスタの詳細については、表10と表11を参照してください。

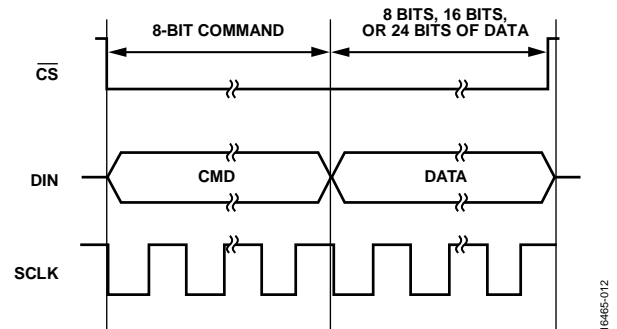


図 33. レジスタへの書き込み（レジスタ・アドレスを含む8ビット・コマンドを送信してから、8ビット、16ビット、または24ビットのデータを書き込む。データ長は選択されたレジスタによって異なる）

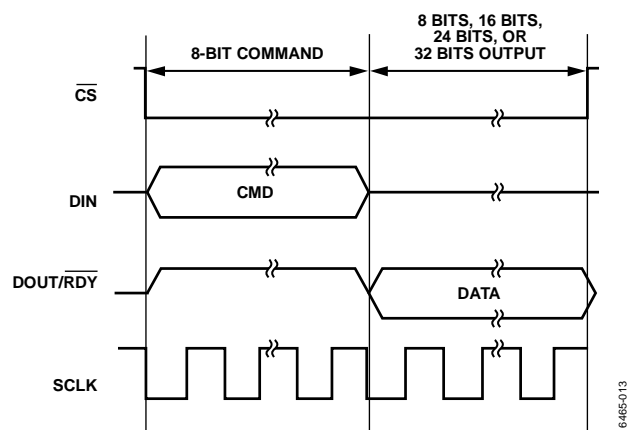


図 34. レジスタからの読出し（レジスタ・アドレスを含む8ビット・コマンドを送信してから、8ビット、16ビット、24ビット、または32ビットのデータを読み出す。DOUTのデータ長は選択されたレジスタによって異なる）

AD4112のリセット

パワーアップ・サイクル後に電源が安定したら、デバイスをリセットする必要があります。インターフェースの同期が失われた場合も、デバイスをリセットする必要があります。DIN がハイ・レベルの状態、少なくとも 64 シリアル・クロック・サイクルの書込み動作が実行されると、レジスタの内容を含むデバ

イスのすべての設定がリセットされ、ADC がデフォルト状態に戻ります。あるいは、CS をデジタル・インターフェースと一緒に使用し、CS をハイ・レベルに戻すと、デジタル・インターフェースがデフォルト状態に設定され、すべてのシリアル・インターフェース動作が停止します。

表 10. コミュニケーション・レジスタのビット・マップ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W

表 11. ID レジスタのビット・マップ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x07	ID	[15:8]	ID[15:8]								0x30DX ¹	R
		[7:0]	ID[7:0]									

¹X はドント・ケア。

設定の概要

パワーオンまたはリセット後の AD4112 のデフォルト設定は、次のとおりです。

- チャンネル設定：チャンネル 0 がイネーブルされ、VIN0 と VIN1 のペアが入力として選択されます。セットアップ 0 が選択されます。
- セットアップ設定：アナログ入力バッファとリファレンス入力バッファがディスエーブル。REF±ピンがリファレンス源として選択されます。この設定では、VIN 入力に対して入力バッファをイネーブルする必要があるため、デフォルトのチャンネルが正常に動作しないことに注意してください。
- フィルタ設定：sinc5 + sinc1 フィルタが選択されており、31.25kSPS の最大出力データ・レートが選択されています。
- ADC モード：連続変換モードと内部発振器がイネーブル。内部リファレンスがディスエーブル。
- インターフェース・モード：CRC、データとステータスの出力がディスエーブル。

上に挙げたレジスタ設定オプションはほんの一部であることに留意してください。このリストは一例にすぎません。すべてのレジスタの情報については、レジスタの詳細のセクションを参照してください。

ADC の設定を変更するときの推奨フローの概要を図 35 に示します。このフローは 3 つのブロックに分かれています。

- チャンネル設定 (図 35 のボックス A を参照)
- セットアップ設定 (図 35 のボックス B を参照)
- ADC モードとインターフェース・モードの設定 (図 35 のボックス C を参照)

チャンネル設定

AD4112 は 16 の独立したチャンネルと 8 つの独立したセットアップを備えています。あらゆるチャンネルで任意の入力ペアを選択でき、あらゆるチャンネルで 8 つのセットアップのうちどれでも選択できるため、チャンネル設定に関する完全な柔軟性が与えられます。また、この柔軟性により各チャンネル独自の専用セットアップを適用できるため、差動入力およびシングルエンド入力を使用している際はチャンネルごとの構成も可能です。

チャンネル・レジスタ

チャンネル・レジスタは、そのチャンネルに使用する電圧入力または電流入力を選択します。このレジスタには、チャンネル・イネーブル/ディスエーブル・ビットや、このチャンネルで使用するセットアップ (8 個のセットアップのいずれか) を選択するためのセットアップ選択ビットも含まれています。

複数のチャンネルがイネーブルされている状態で AD4112 が動作している場合、チャンネル・シーケンサはチャンネル 0 からチャンネル 15 までイネーブルされているチャンネルを順番に処理します。あるチャンネルがディスエーブルされている場合、このチャンネルはシーケンサによってスキップされます。チャンネル 0 のチャンネル・レジスタの詳細を表 12 に示します。

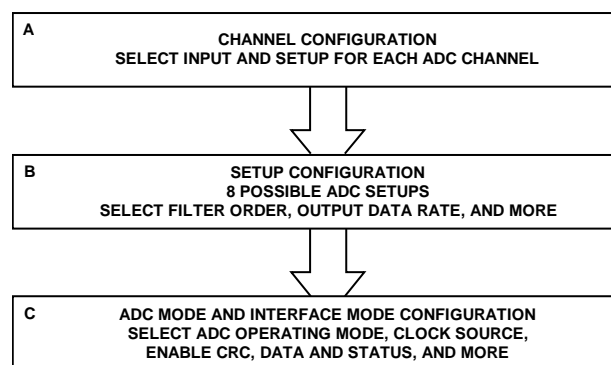


図 35. 推奨する ADC 設定のフロー

表 12. チャンネル・レジスタ 0

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x10	CH0	[15:8]	CH_EN0	SETUP_SEL0			Reserved		INPUT[9:8]		0x8001	RW
		[7:0]	INPUT[7:0]									

ADC セットアップ

AD4112には8つの独立したセットアップがあります。各セットアップは以下の4つのレジスタから構成されています。

- セットアップ設定レジスタ
- フィルタ設定レジスタ
- ゲイン・レジスタ
- オフセット・レジスタ

例えば、セットアップ0は、セットアップ設定レジスタ0、フィルタ設定レジスタ0、ゲイン・レジスタ0、およびオフセット・レジスタ0で構成されています。図36に、これらのレジスタのグループを示します。セットアップは、チャンネル・レジスタ（チャンネル設定のセクションを参照）で選択することができます。これにより、各チャンネルを8つの独立したセットアップの1つに割り当てることが可能になります。表13～表16にセットアップ0に関連する4つのレジスタを示します。なお、セットアップ1～セットアップ7も、セットアップ0と同じ構成です。

セットアップ設定レジスタ

セットアップ設定レジスタにより、バイポーラ・モードまたはユニポーラ・モードを選択してADCの出力コーディングを選択できます。また、これらのレジスタを使用してリファレンス・ソースを選択できます。REF+ピンとREF-ピンの間に接続されたリファレンス、内部リファレンス、またはAVDD - AVSS電圧が使用可能です。これらのレジスタを使用して、入力バッファとリファレンス電圧バッファをイネーブルまたはディスエーブルにすることもできます。

フィルタ設定レジスタ

フィルタ設定レジスタは、ADC変調器の出力で使用するデジタル・フィルタを選択します。フィルタの次数と出力データ・レートは、これらのレジスタのビットをセットして選択します。詳細については、デジタル・フィルタのセクションを参照してください。

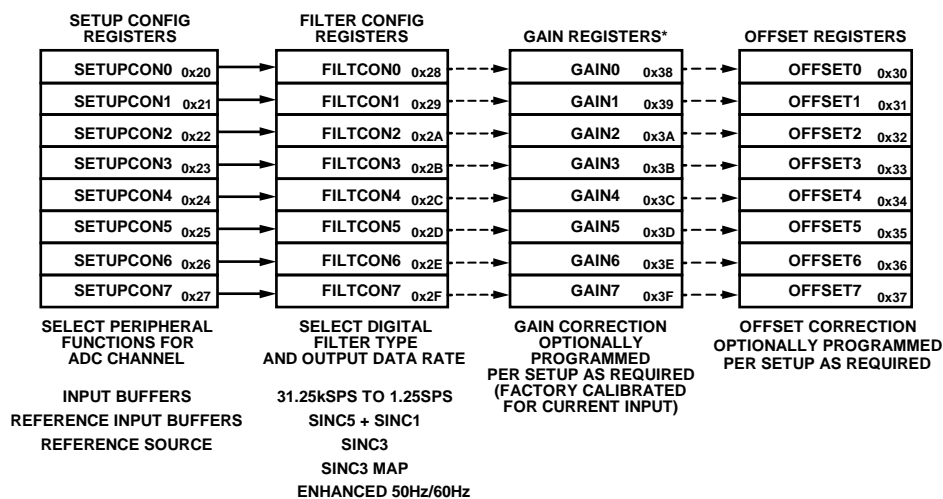


図 36. ADC セットアップ・レジスタのグループ

表 13. セットアップ設定レジスタ 0

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x20	SETUPCON0	[15:8]	Reserved			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	INBUF0		0x1000	RW
		[7:0]	Reserved	Reserved	REF_SEL0		Reserved					

表 14. フィルタ設定レジスタ 0

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x28	FILTCO0	[15:8]	SINC3_MAP0	Reserved			ENHFILTEN0	ENHFILTO			0x0500	RW
		[7:0]	Reserved	ORDER0		ODR0						

表 15. ゲイン・レジスタ 0

Reg.	Name	Bits	Bits[23:0]							Reset	RW
0x38	GAIN0	[23:0]	GAIN0[23:0]							0x5XXXX0	RW

表 16. オフセット・レジスタ 0

Reg.	Name	Bits	Bits[23:0]							Reset	RW
0x30	OFFSET0	[23:0]	OFFSET0[23:0]							0x800000	RW

ゲイン・レジスタ

ゲイン・レジスタは、ADC のゲイン・キャリブレーション係数を保持する 24 ビット・レジスタです。ゲイン・レジスタはリード/ライト・レジスタです。パワーオン時、これらのレジスタには出荷時に電流入力に対してキャリブレーション係数が設定されます。したがって、各デバイスは個別のデフォルト係数を持っています。チャンネル・レジスタ（チャンネル・レジスタのセクションを参照）で電圧入力を有効にする場合、対応する設定のゲイン・レジスタも更新する必要があります。詳細は、電圧入力ゲインの調整のセクションを参照してください。

オフセット・レジスタ

オフセット・レジスタは、ADC のオフセット・キャリブレーション係数を保持します。オフセット・レジスタのパワーオン・リセット値は 0x800000 です。オフセット・レジスタは 24 ビットのリード/ライト・レジスタです。

ADC モードとインターフェース・モードの設定

ADC モード・レジスタとインターフェース・モード・レジスタは、AD4112 によって使用されるコア・ペリフェラルと、デジタル・インターフェースのモードを設定します。

表 17. ADC モード・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x01	ADCMODE	[15:8]	REF_EN	Reserved	SING_CYC	Reserved		Delay			0x2000	RW
		[7:0]	Reserved	Mode			CLOCKSEL		Reserved			

表 18. インターフェース・モード・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x02	IFMODE	[15:8]	Reserved			ALT_SYNC	IOSTRENGTH	Reserved		DOUT_RESET	0x0000	RW
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	Reserved	CRC_EN		Reserved	WL16		

ADC モード・レジスタ

ADC モード・レジスタは、主に ADC の変換モードを、連続変換モードまたはシングル変換モードに設定します。スタンバイ・モードやパワーダウン・モードだけでなく、どのキャリブレーション・モードも選択することができます。更に、このレジスタには、クロック源の選択ビットと内部リファレンスのイネーブル・ビットが含まれています。リファレンス選択ビットはセットアップ設定レジスタに含まれています（詳細については、ADC セットアップのセクションを参照）。このレジスタの詳細を表 17 に示します。

インターフェース・モード・レジスタ

インターフェース・モード・レジスタはデジタル・インターフェースの動作を設定します。このレジスタにより、データワード長、CRC イネーブル、データとステータスの読出し、および連続読出しモードを制御できます。このレジスタの詳細を表 18 に示します。詳細については、デジタル・インターフェースのセクションを参照してください。

回路の説明

マルチプレクサ

VIN0~VIN7、VINCOM、IIN0+~IIN3+、IIN0-~IIN3-の9本の電圧ピンと8本の電流入力があります。これらのピンは、それぞれ内部のマルチプレクサに接続されています。マルチプレクサを使用すると、これらの入力を入力ペアとして設定することができます（これらの入力の設定方法の詳細については、電圧入力のセクションと電流入力のセクションを参照してください）。AD4112は、最大16のアクティブ・チャンネルを持つことができます。複数のチャンネルがイネーブルされているとき、イネーブルされている最も小さい番号のチャンネルから、イネーブルされている最も大きい番号のチャンネルまで自動的にシーケンス処理されます。マルチプレクサの出力は、内蔵の真のレール to レール・バッファの入力に接続されます。これらのバッファをバイパスして、マルチプレクサの出力をADCのスイッチド・キャパシタ入力に直接接続できます。簡略化した入力回路を図37と図38に示します。

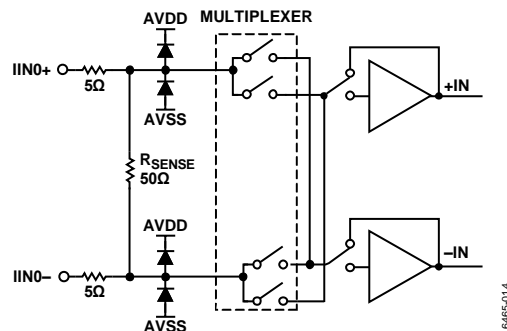


図 37. 簡略化した電流入力回路

16465-014

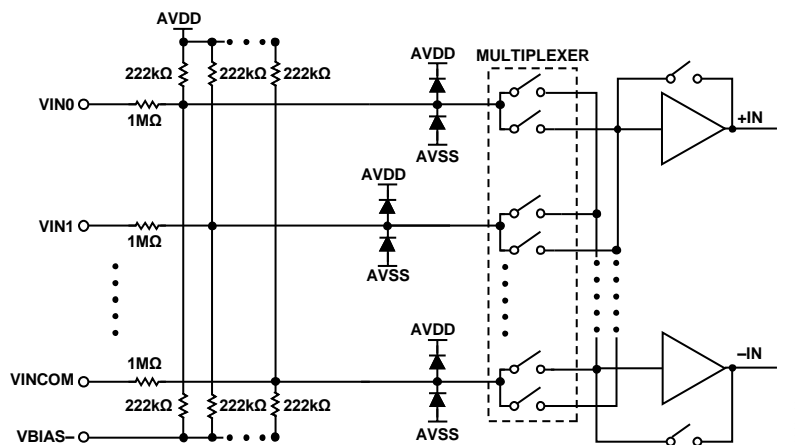


図 38. 簡略化した電圧入力回路

16465-015

電流入力

4本の電流入力ピン (IIN0+~IIN3+) と4本の電流リターン・ピン (IIN0-~IIN3-) があります。これらのピンは、同じ番号のペア同士 (例えば、IIN0+と IIN0-) で接続します。

電流入力では入力バッファをディスエーブルしてください。

仕様規定された精度を達成するために、電流チャンネルは出荷時に補正されます。このキャリブレーション値は内蔵不揮発性メモリに保存され、パワーアップまたはリセット後にすべてのゲイン・レジスタにコピーされます。

電圧入力

AD4112は、8つのシングルエンド入力または4つの完全差動入力を持つように設定できます。アナログ・フロント・エンドの分圧器は分圧比が10で、5V単電源から±20Vの入力範囲を可能にする高精度整合抵抗で構成されています。

電圧入力チャンネルのセットアップ・レジスタの入力バッファをイネーブルしてください。

完全差動入力

アナログ・フロント・エンドの整合抵抗により、差動入力はVIN0とVIN1、VIN2とVIN3、VIN4とVIN5、VIN6とVIN7のペアで組み合わせる必要があります。このデータシートに記載されている以外の構成で2つの電圧入力をペアにした場合、デバイスの精度は確保されません。

シングルエンド入力

最大8個の異なるシングルエンド電圧入力を測定することもできます。この場合、各電圧入力はVINCOMとペアになっていなければなりません。VINCOMを外部でAVSSに接続してください。

電圧入力ゲインの調整

パワーアップまたはリセット後、すべてのゲイン・レジスタには、電流入力に対する出荷時のキャリブレーション係数がロードされます。電圧入力を使用する場合は、デバイスのパワーアップまたはリセット後に対応するゲイン・レジスタを変更する必要があります。内部のフルスケール・キャリブレーションを実行してこの変更を行います (詳細については、キャリブレーションのセクションを参照)。あるいは、ゲイン・レジスタを公称値0x55567Cで上書きすることもできます。ただし、理想的な値はデバイスによって異なるため、キャリブレーションが推奨されます。

AD4112のリファレンス

AD4112は、AVDD - AVSS を使用して REF+および REF-ピンに外部リファレンス電圧を接続するか、内蔵の低ノイズ、低ドリフトの2.5Vリファレンス電圧を使用するかのどちらかを選択できるようにになっています。セットアップ設定レジスタの REF_SELx ビット (ビット [5 : 4]) を適切に設定することにより、アナログ入力で使用するリファレンス源を選択します。セットアップ設定0レジスタの構成を表19に示します。デフォルトでは、AD4112はパワーアップ時に外部リファレンスを使用します。

内部リファレンス

AD4112は低ノイズで低ドリフトの電圧リファレンスを内蔵しています。この内部リファレンスは2.5Vの出力を備えています。ADCモード・レジスタの REF_EN ビットがセットされた後、内部リファレンスが REFOUT ピンに出力されます。このピンは AVSS に 0.1μF のコンデンサでデカップリングします。AD4112の内部リファレンスは、デフォルトでパワーアップ時にディスエーブルされます。

外部リファレンス

AD4112は、完全差動のリファレンス電圧入力を備えています。ADR4525などの標準的な低ノイズで低ドリフトの電圧リファレンスを使用することをお勧めします。外部リファレンスは、図39に示すように、AD4112のリファレンス・ピンに接続します。外部リファレンスの出力は AVSS にデカップリングします。図39に示すように、ADR4525の出力は、安定化するために0.1μFのコンデンサを使ってこの出力のところでデカップリングされています。また、この出力には4.7μFのコンデンサが接続されていますが、このコンデンサはADCによるダイナミックな電荷変動に対する電荷供給源として機能します。続いて、0.1μFのデカップリング・コンデンサがREF+入力に接続されています。このコンデンサは、REF+ピンとREF-ピンのできるだけ近くに配置してください。

REF-ピンは、AVSSの電位に直接接続してください。内部リファレンスの代わりに外部リファレンスを使ってAD4112に供給するときは、REFOUTピンの出力に注意する必要があります。内部リファレンスは、ADCモード・レジスタの REF_EN ビット (ビット15) で制御されます (表20参照)。内部リファレンスがアプリケーションの他の場所で使用されていない場合は、REF_EN ビットがディスエーブルになっていることを確認してください。

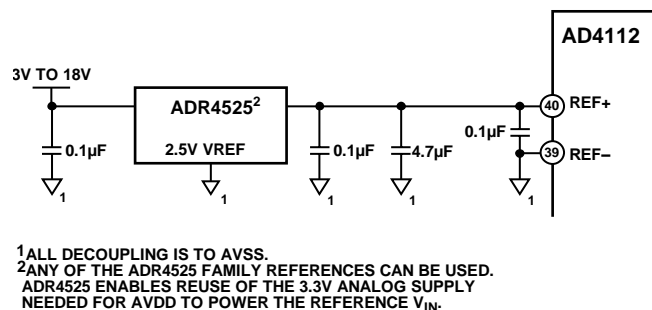


図 39. AD4112 REF±ピンに接続された ADR4525

表 19. セットアップ設定 0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x20	SETUPCON0	[15:8]	Reserved			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	INBUF0		0x1000	RW
		[7:0]	Reserved	Reserved	REF_SEL0		Reserved					

表 20. ADC モード・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x01	ADCMODE	[15:8]	REF_EN	Reserved	SING_CYC	Reserved		Delay		0x2000	RW	
		[7:0]	Reserved	Mode			CLOCKSEL		Reserved			

バッファ付きリファレンス入力

AD4112は、両方のADCリファレンス入力に、真のレールtoレール高精度ユニティ・ゲイン・バッファを備えています。このバッファによって高い入力インピーダンスが実現され、高い出力インピーダンスを持つ信号源をリファレンス入力に直接接続できます。内蔵リファレンス・バッファは、内部リファレンス・スイッチド・キャパシタ・サンプリング・ネットワークを十分に駆動できるため、リファレンス回路の条件が緩和されます。各リファレンス入力バッファ・アンプは、完全にチョッピング方式で動作しています。これは、オフセット誤差ドリフトと1/fノイズを最小限に抑えるためです。ADR4525などのリファレンスを使用する場合、これらのバッファは必要ありません。これは、適切にデカップリングすれば、これらのリファレンスはリファレンス入力を直接駆動できるためです。

クロック源

AD4112は公称2MHzのマスタ・クロックを使用します。AD4112は、以下に示す3つのうち1つをサンプリング・クロックとして用いることができます。

- 内部発振器
- 外部水晶発振器 (2MHzクロックを設定するように内部で自動的に分周される、16MHzの水晶発振器を使用)
- 外部クロック源

このデータシートに記載されている出力データ・レートはすべて、2MHzのマスタ・クロック・レートを基準にしています。より低いクロック周波数を使う場合、例えば外部クロック源から信号を供給する場合は、データシートに記載されている出力データ・レートと比例関係にある周波数を持つクロック源を使ってください。指定された出力データ・レートを実現し、特に50Hzと60Hzの影響を除去するには、2MHzのクロックを使用してください。マスタ・クロック源は、ADCモード・レジスタのCLOCKSELビット(ビット[3:2])を設定して選択します(表20参照)。パワーアップおよびリセット時のデフォルト動作では、AD4112は内部発振器で動作します。低い出力データ・レートの場合、SINC3_MAPxビットを使って、出力データ・レートとフィルタ・ノッチを微調整することができます。

内部発振器

内部発振器は16MHzで動作し、変調器用に内部で2MHzに分周され、ADCのマスタ・クロックとして使用できます。AD4112のデフォルトのクロック源は内部発振器で、その精度は-2.5%~+2.5%に仕様規定されています。

オプションで、この内部クロック発振器の出力をXTAL2/CLKIOピンに出力することができます。クロック出力は、IOVDDのロジック・レベルで動作します。このオプションは、出力ドライバによって生じる外乱により、AD4112のDC特性に影響を与える可能性があります。DC性能に与える影響の程度はIOVDD電源に依存します。IOVDD電圧が高いほど、ドライバからのロジック出力の電圧振幅が大きくなり、DC特性に与える影響がより深刻になります。IOSTRENGTHビットが高いIOVDDレベルに設定されていると、更に大きな影響を与えます(詳細については、表27を参照)。

外部水晶振動子

更に精度が高くジッタの小さいクロック源が必要な場合は、AD4112が外部水晶振動子を使ってマスタ・クロックを生成できます。水晶振動子はXTAL1ピンとXTAL2/CLKIOピンに接続します。推奨される水晶発振器はFA-20Hです。これはエプソントヨコム製の16MHz、10ppm、9pFの水晶発振器で、表面実装パッケージが採用されています。図40に示すように、水晶発振器とXTAL1ピンおよびXTAL2/CLKIOピンの間に2つのコンデンサ(CX1とCX2)を取り付けます。2つのコンデンサにより回路を調整可能で、コンデンサはDGNDピンに接続します。これらのコンデンサの容量値は、水晶振動子をXTAL1ピンおよびXTAL2/CLKIOピンに接続しているパターンの長さや容量に依存します。したがって、これらの容量値は、PCBレイアウトと使用した水晶振動子によって異なります。

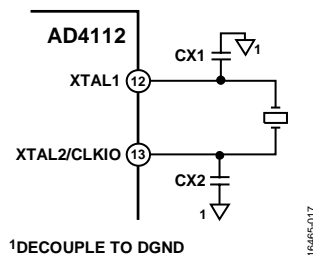


図 40. 外付け水晶振動子の接続方法

SCLK周波数、IOVDD電圧、水晶発振器の回路レイアウト、および使用する水晶発振器によっては、外部水晶発振器回路はSCLKエッジの影響を受けやすくなることがあります。水晶振動子の起動時、SCLKエッジによって引き起こされる外乱によって水晶発振器にダブル・エッジが入力される可能性があります。その結果、水晶発振器の出力電圧が十分に高くなりSCLKエッジからの干渉がダブル・クロッキングを引き起こさなくなるまでは、有効ではない変換が行われます。起動後、SCLKを与える前に、水晶発振回路の出力レベルが十分に高い値になるようにしておけば、このダブル・クロッキングを避けることができます。

水晶発振回路の性質により、最終的なPCBレイアウトと水晶振動子を使用して、要求される条件下で回路の実証テストを行って、正常に動作することを確認することをお勧めします。

外部クロック

AD4112は、外部から供給されるクロックを使うこともできます。外部供給クロックを使用するシステムの場合、外部クロックはXTAL2/CLKIOピンに配線します。この構成では、XTAL2/CLKIOピンは外部からのクロックを受け入れて、変調器に送ります。このクロック入力のロジック・レベルは、IOVDDピンに与えられる電圧によって決まります。

デジタル・フィルタ

AD4112は、柔軟性に富む以下の3つのフィルタ・オプションを備えており、ノイズ特性、セトリング時間、ノイズ除去性能の最適化が可能です。

- sinc5 + sinc1 フィルタ
- sinc3 フィルタ
- 50Hz と 60Hz を除去するエンハンスト・フィルタ

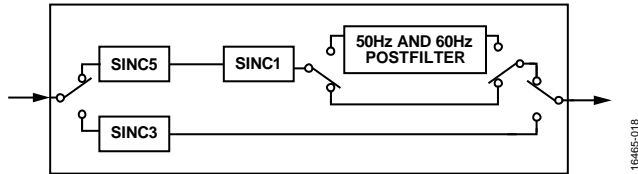


図 41. デジタル・フィルタ・ブロック図

フィルタと出力データ・レートは、選択されたセットアップのフィルタ設定レジスタの適切なビットを設定することで設定されます。各チャンネルは異なるセットアップを使うことができます。したがって、異なるフィルタと出力データ・レートを使うことができます。詳細については、レジスタの詳細のセクションを参照してください。

sinc5 + sinc1 フィルタ

sinc5 + sinc1 フィルタは、マルチプレクス・アプリケーションを対象としており、2.6kSPS 以下の出力データ・レートでシングル・サイクル・セトリングを実現します。sinc5 ブロックの出力は 31.25kSPS の最大レートで固定されており、一方、sinc1 ブロックの出力データ・レートは変更可能で、最終の ADC 出力データ・レートを制御することができます。図 42 に、50SPS 出力データ・レートでの sinc5 + sinc1 フィルタの周波数領域応答を示します。sinc5 + sinc1 フィルタは、広い周波数にわたって緩やかにロールオフし、狭いノッチを持っています。

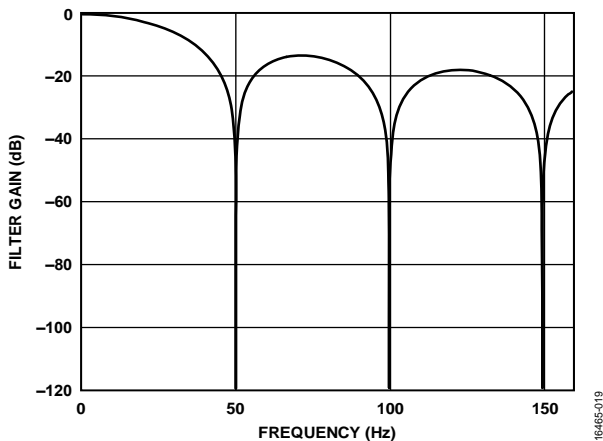


図 42. 出力データ・レート 50SPS における sinc5 + sinc1 フィルタの応答

sinc5 + sinc1 フィルタの出力データ・レート、対応するセトリング時間および実効値ノイズを表 6 と表 7 に示します。

sinc3 フィルタ

sinc3 フィルタは低い出力レートで最良のシングルチャンネル・ノイズ性能を実現するので、シングルチャンネル・アプリケーションに最適です。sinc3 フィルタのセトリング時間は、常に以下の式と等しくなります。

$$t_{SETTLE} = 3 / \text{出力データ・レート}$$

sinc3 フィルタの周波数領域フィルタ応答を図 43 に示します。sinc3 フィルタは、周波数に対して優れたロールオフ特性を持ち、ノッチの幅が広く、ノッチ周波数の除去に適しています。

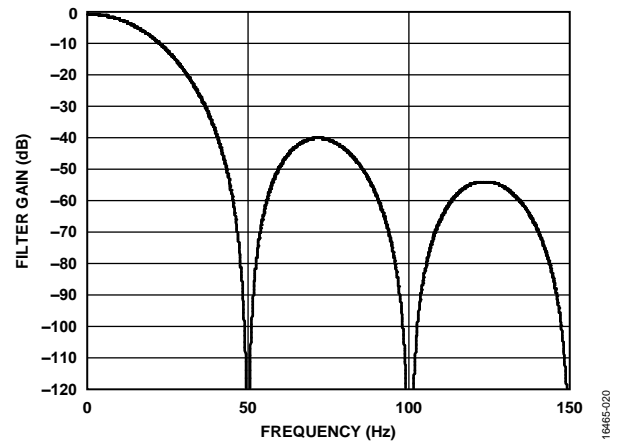


図 43. sinc3 フィルタの応答

sinc3 フィルタの出力データ・レート、対応するセトリング時間および実効値ノイズを表 8 と表 9 に示します。フィルタ設定レジスタの SINC3_MAPx ビットをセットして、sinc3 フィルタの出力データ・レートを微調整できます。このビットをセットすると、このフィルタ・レジスタのマッピングが変化し、sinc3 フィルタのデシメーション・レートが直接設定されます。他のオプションはすべて無効になります。シングルチャンネルのデータ・レートは、次式で計算できます。

$$\text{出力データ・レート} = f_{MOD} / (32 \times FILTCONx [14 : 0])$$

ここで、 f_{MOD} は、変調器のレート (MCLK/2) で、1MHz です。FILTCONx [14 : 0] は、MSB を除いたフィルタ設定レジスタの内容です。

例えば、FILTCONx [14 : 0] ビットの値を 625 に設定し、SINC3_MAPx をイネーブルすれば、50SPS の出力データ・レートが得られます。

シングル・サイクル・セトリング

AD4112 は、ADC モード・レジスタの SING_CYC ビットをセットすることにより、完全にセトリングされたデータのみが出力され、ADC が効果的にシングル・サイクル・セトリング・モードになるように設定できます。このモードは、選択された出力データ・レートにおける ADC のセトリング時間に等しくなるように出力データ・レートを下げて、シングル・サイクルでのセトリングを実現しています。出力データ・レートが 2.6kSPS 未満で sinc5 + sinc1 フィルタを使用している場合、または複数のチャンネルがイネーブルされている場合、このビットは無視されます。

図 44 に、シングル・サイクル・セトリング・モードが無効で、sinc3 フィルタを選択した場合のアナログ入力のステップを示します。ステップ変化の後、出力が最終セトリング値に到達するまでに、アナログ入力は少なくとも 3 サイクル必要です。

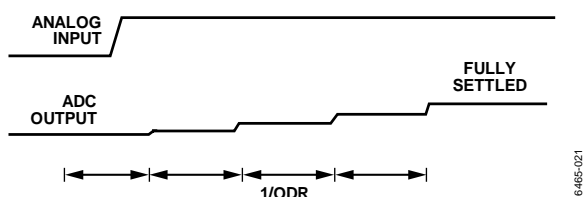


図 44. シングル・サイクル・セトリングを使わないときのステップ入力

シングル・サイクル・セトリングをイネーブルしたときのアナログ入力の同じステップを図 45 に示します。出力が完全にセトリングするまでに、アナログ入力は少なくとも 1 サイクル必要

です。RDY 信号が示す出力データ・レートは減少し、選択した出力データ・レートでのフィルタのセトリング時間に等しくなります。

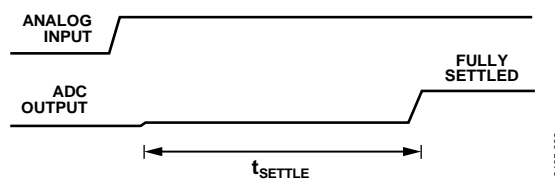


図 45. シングル・サイクル・セトリングでのステップ入力

50Hz と 60Hz を除去するエンハンスド・フィルタ

エンハンスド・フィルタは 50Hz と 60Hz を同時に除去することができ、セトリング時間と除去比のトレード・オフを可能にします。これらのフィルタは 27.27SPS まで動作可能で、50Hz ± 1Hz と 60Hz ± 1Hz における干渉信号を最大 90dB 除去することができます。これらのフィルタは、sinc5 + sinc1 フィルタの出力をポスト・フィルタすることで動作します。このため、エンハンスド・フィルタを使って規定されたセトリング時間とノイズ性能を実現するには、sinc5 + sinc1 フィルタを選択する必要があります。出力データ・レートおよび対応するセトリング時間、除去比、実効値ノイズを表 21 と表 22 に示します。エンハンスド・フィルタの周波数領域応答のプロットを図 46 ~ 図 53 に示します。

表 21. エンハンスド・フィルタを使ったときの出力データ・レート、電圧入力ノイズ、セトリング時間、および除去比

Output Data Rate (SPS)	Settling Time (ms)	Simultaneous Rejection of 50 Hz ± 1 Hz and 60 Hz ± 1 Hz (dB) ¹	Noise (μV rms)	Peak-to-Peak Resolution (Bits)	Comments
27.27	36.67	47	6.44	19.1	See Figure 46 and Figure 49
25	40.0	62	6.09	19.2	See Figure 47 and Figure 50
20	50.0	85	5.54	19.35	See Figure 48 and Figure 51
16.667	60.0	90	5.38	19.51	See Figure 52 and Figure 53

¹ マスタ・クロック = 2.00MHz

表 22. エンハンスド・フィルタを使ったときの出力データ・レート、電流入力ノイズ、セトリング時間、および除去比

Output Data Rate (SPS)	Settling Time (ms)	Simultaneous Rejection of 50 Hz ± 1 Hz and 60 Hz ± 1 Hz (dB) ¹	Noise (nA rms)	Peak-to-Peak Resolution (Bits)	Comments
27.27	36.67	47	7.69	21.4	See Figure 46 and Figure 49
25	40.0	62	7.68	21.2	See Figure 47 and Figure 50
20	50.0	85	7.26	21.7	See Figure 48 and Figure 51
16.667	60.0	90	7.25	21.7	See Figure 52 and Figure 53

¹ マスタ・クロック = 2.00MHz

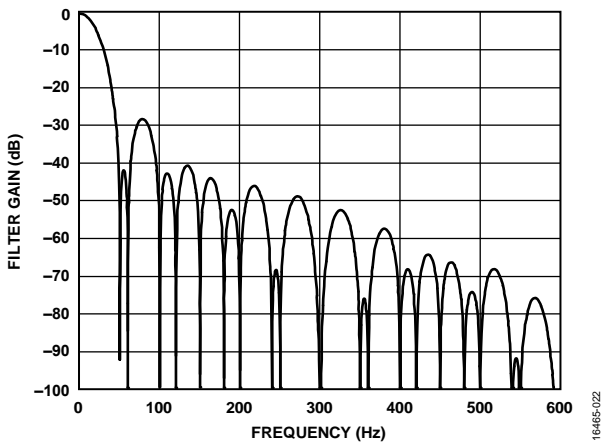


図 46. 27.27SPS の ODR、36.67ms のセトリング時間

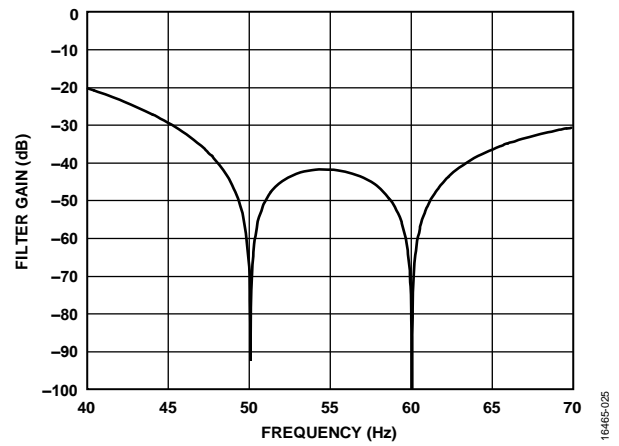


図 49. 27.27SPS の ODR、36.67ms のセトリング時間 (40Hz~70Hz)

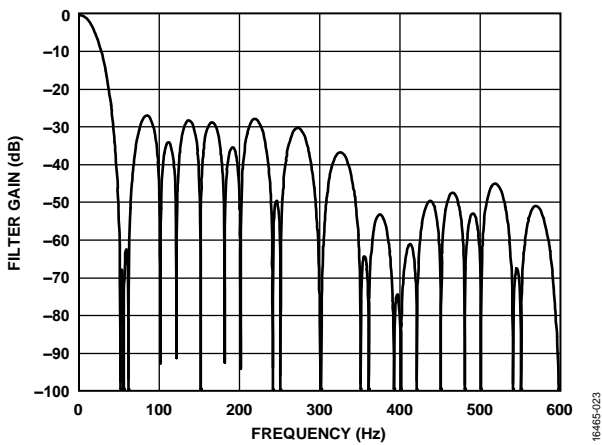


図 47. 25SPS の ODR、40ms のセトリング時間

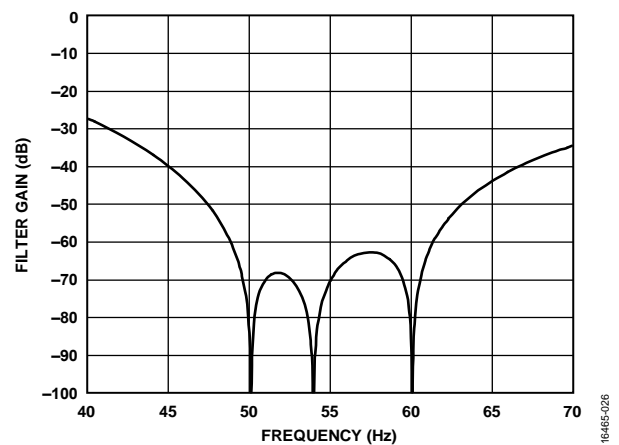


図 50. 25SPS の ODR、40ms のセトリング時間 (40Hz~70Hz)

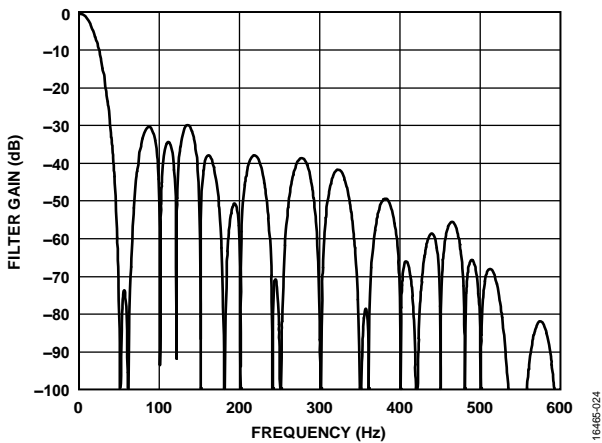


図 48. 20SPS の ODR、50ms のセトリング時間

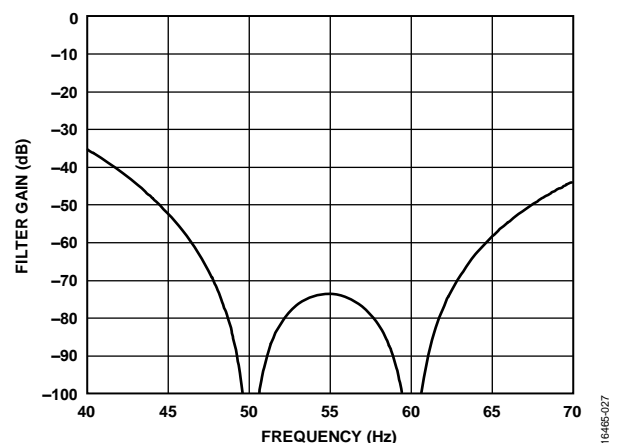


図 51. 20SPS の ODR、50ms のセトリング時間 (40Hz~70Hz)

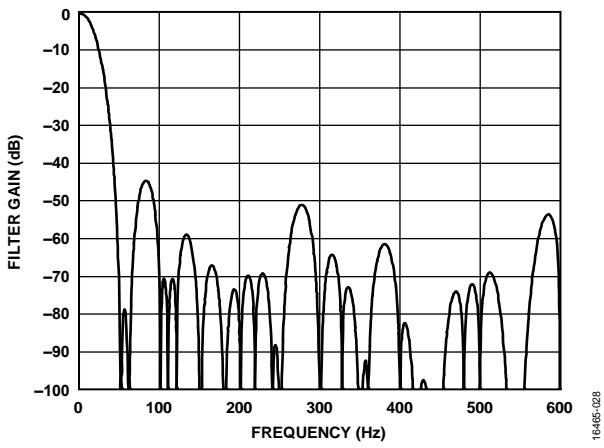


図 52. 16.667SPS の ODR、60ms のセトリング時間

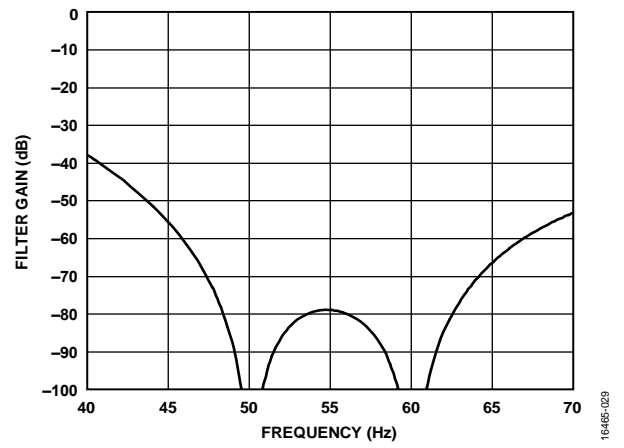


図 53. 16.667SPS の ODR、60ms のセトリング時間
(40Hz~70Hz)

動作モード

AD4112 は ADC モード・レジスタとインターフェース・モード・レジスタで設定可能な多くの動作モードを備えています（表 26 と表 27 を参照）。これらのモードは次のとおりです。

- 連続変換モード
- 連続読出しモード
- シングル変換モード
- スタンバイ・モード
- パワーダウン・モード
- 4 種類のキャリブレーション・モード

連続変換モード

連続変換モードは、パワーアップ時のデフォルト・モードです。AD4112 は連続的に変換を行い、変換が完了するたびにステータス・レジスタの RDY ビットがロー・レベルになります。CS がロー・レベルの場合、変換が完了すると、RDY 出力もロー・レベルになります。変換結果を読み出すには、コミュニケーション・レジスタに書き込みを行って、次の動作がデータ・レジスタからの読出しであることを示します。データ・レジスタからデータワードを読み出すと、DOUT/RDY ピンがハイ・レベルになります。このレジスタの内容は、必要に応じて何回も読み出す

ことが可能です。ただし、次の変換の完了時に、データ・レジスタへのアクセスを防止する必要があります。そうしないと、新しい変換ワードが失われます。

複数のチャンネルがイネーブルされた場合、ADC はイネーブルされたチャンネルを自動的にシーケンス処理し、各チャンネルで 1 回の変換を行います。全チャンネルの変換が完了すると、最初のチャンネルに戻って、シーケンスが再度開始されます。チャンネルのデータ変換は、最も番号の小さいチャンネルから、最も番号の大きいチャンネルへ順番に行われます。データ・レジスタは、変換結果が読出し可能になると、直ちに更新されます。RDY は、変換結果が読出し可能になるたびに、ロー・レベルのパルスを出力します。次いで、ADC がイネーブルされた次のチャンネルの変換を行っている間に、変換結果を読み出すことができます。

インターフェース・モード・レジスタの DATA_STAT ビットが 1 に設定されていると、データ・レジスタを読み出すたびに、変換データと一緒にステータス・レジスタの内容が出力されます。ステータス・レジスタの下位 4 ビットに、変換結果に対応するチャンネルが示されます。

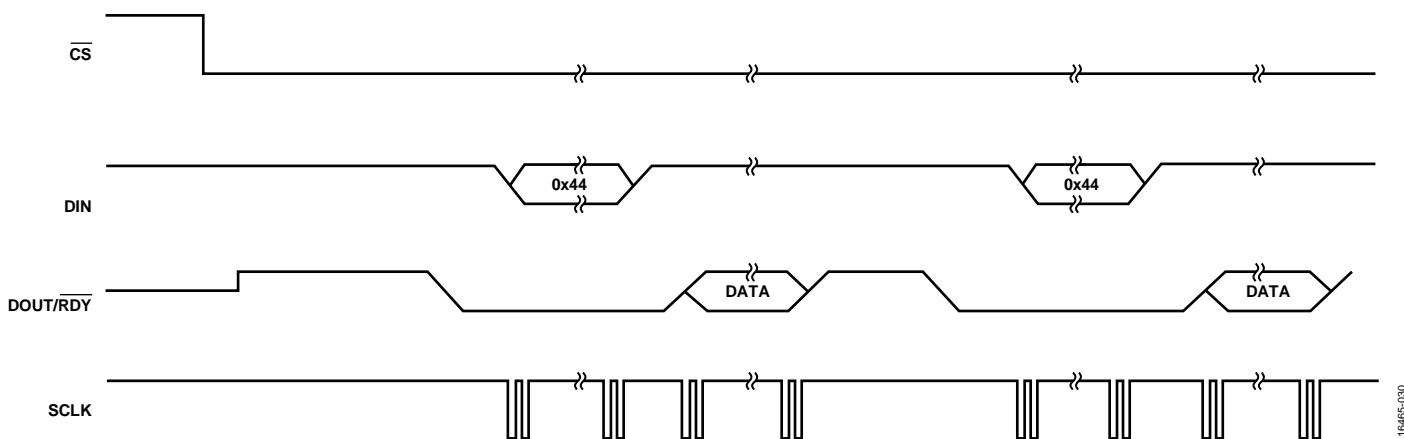


図 54. 連続変換モード

16465-030

連続読出しモード

連続読出しモードでは、ADC データの読出し前に コミュニケーション・レジスタ に書き込む必要はありません。RDY の出力がロー・レベルになって変換終了を示した後、必要な数の SCLK だけを印加します。変換結果を読み出すと、RDY 出力はハイ・レベルに戻り、次の変換結果が得られるまでハイ・レベルを維持します。このモードでは、データは 1 回しか読み出すことができません。次の変換が完了する前に、必ずデータワードを読み出してください。次回の変換完了前に変換結果を読み出さなかった場合、または AD4112 に与えるシリアル・クロック数がデータを読み出すのに十分でなかった場合には、シリアル出力レジスタは次の変換が完了する直前にリセットされ、新たな変換データがシリアル出力レジスタに格納されます。連続読出しモードを使うためには、ADC は連続変換モードに設定しなければなりません。連続読出しモードを有効化するには、インターフェース・モード・レジスタの CONTREAD ビットをセットします。このビットが設定されると、シリアル・インターフェー

スができるのは、データ・レジスタからのデータを読み出すことのみになります。連続読出しモードを終了するには、RDY 出力がロー・レベルのときにダミーの ADC データ・レジスタ読出しコマンド (0x44) を実行します。もしくは、ソフトウェア・リセットを行って (すなわち、CS = 0 かつ DIN = 1 として 64 個の SCLK を送って)、ADC および全レジスタの内容をリセットします。ダミー読出しおよびソフトウェア・リセットだけが、インターフェースが連続読出しモードになった後にインターフェースが認識できるコマンドです。命令をデバイスに書き込もうとするときまで、連続読出しモードでは DIN をロー・レベルに保ちます。

複数の ADC チャンネルがイネーブルで、インターフェース・モード・レジスタの DATA_STAT ビットがセットされている場合、データにステータス・ビットが付加された状態で各チャンネルが順番に出力されます。ステータス・レジスタの下位 4 ビットに、変換結果に対応するチャンネルが示されます。

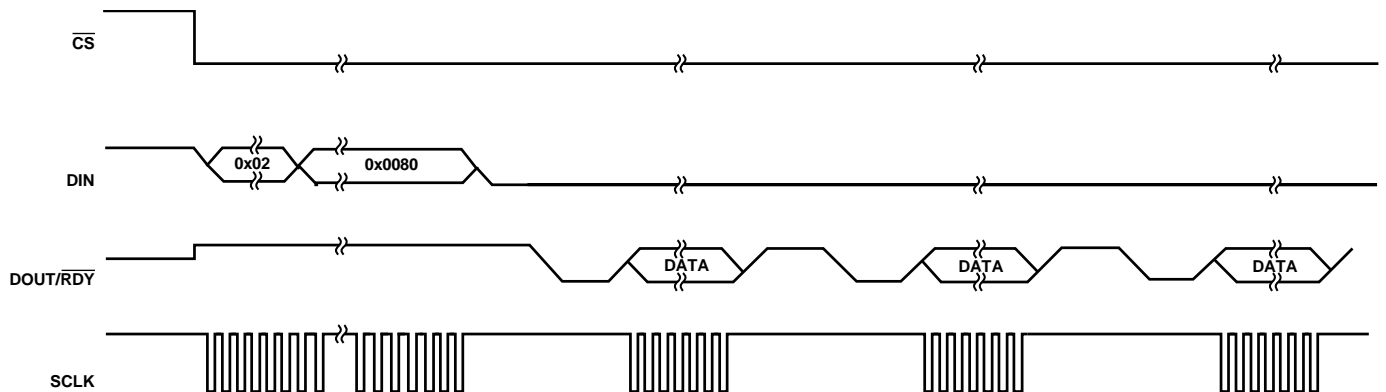


図 55. 連続読出しモード

16465-031

シングル変換モード

シングル変換モードでは、AD4112は、一度だけ変換を行い、変換が終了するとスタンバイ・モードに移行します。 $\overline{\text{RDY}}$ 出力がロー・レベルになって変換が完了したことを示します。データ・レジスタからデータワードを読み出すと、 $\overline{\text{RDY}}$ 出力がハイ・レベルに移行します。 $\overline{\text{RDY}}$ 出力がハイ・レベルに移行しても、必要に応じてデータ・レジスタを複数回読み出すことができます。

複数のチャンネルがイネーブルされていると、ADC はイネーブルされたチャンネルを自動的にシーケンス処理し、各チャンネルの変換を行います。最初の変換が開始されると、 $\overline{\text{RDY}}$ 出力はハイ・レベルに移行し、有効な変換結果が得られてCSがロー・レベルになるまでハイ・レベルを維持します。変換結果が得ら

れると、 $\overline{\text{RDY}}$ 出力がロー・レベルに移行します。続いてADCは次のチャンネルを選択して変換を開始します。次の変換を実行している間に、現在の変換結果を読み出すことができます。次の変換が完了すると、データ・レジスタが更新されます。したがって、変換データを読み出せる期間は限られています。ADCは、選択した各チャンネルのシングル変換を完了すると、スタンバイ・モードに戻ります。

インターフェース・モード・レジスタの `DATA_STAT` ビットが1に設定されていると、データ・レジスタが読み出されるたびに、変換結果と一緒にステータス・レジスタの内容が出力されます。ステータス・レジスタの下位4ビットに、変換結果に対応するチャンネルが示されます。

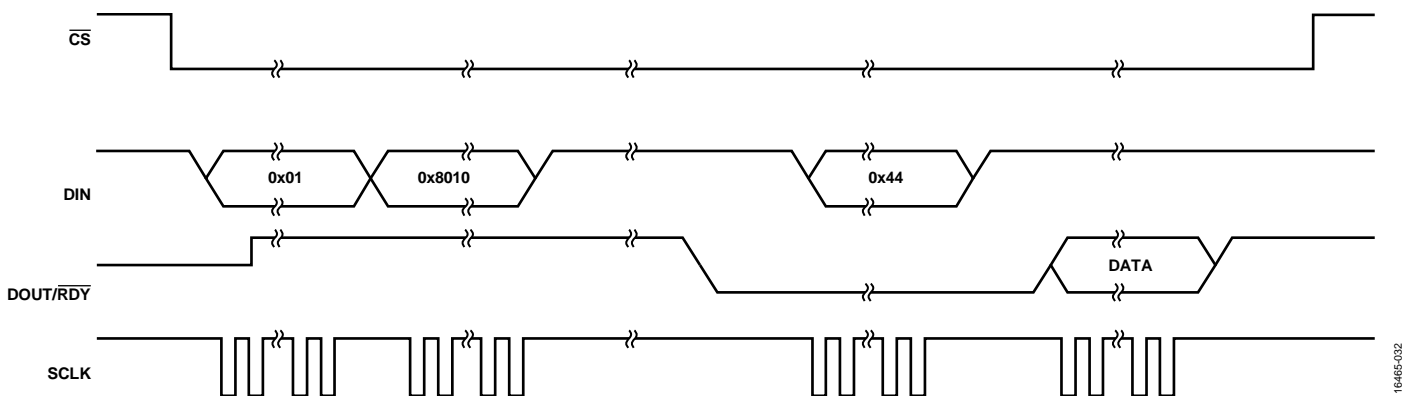


図 56. シングル変換モード

16465-032

スタンバイ・モードとパワーダウン・モード

スタンバイ・モードでは、ほとんどのブロックがパワーダウンします。しかし、レジスタの内容が保持されるよう、LDO レギュレータは動作状態を維持します。水晶発振器は、選択されている場合はアクティブのままになります。スタンバイ・モードでクロックをパワーダウンするには、ADC モード・レジスタの **CLOCKSEL** ビットを 00 (内蔵発振器モード) に設定します。

パワーダウン・モードでは、LDO レギュレータを含むすべてのブロックへの電力供給が停止します。このとき、すべてのレジスタの内容が失われ、GPIO 出力はスリーステートになります。偶発的にパワーダウン・モードになるのを防ぐため、最初に ADC をスタンバイ・モードにする必要があります。パワーダウン・モードを終了するには、 $\overline{CS} = 0$ 、 $DIN = 1$ (シリアル・インターフェース・リセット) の状態で 64SCLK が必要です。LDO レギュレータがパワーアップするまでの待機時間として、後続のシリアル・インターフェース・コマンドの送信を 500 μ s 遅延させることをお勧めします。

キャリブレーション

AD4112 では、2 ポイント・キャリブレーションを行って、オフセット誤差とゲイン誤差を除去できます。セットアップごとのオフセットとゲイン誤差を除去するため、以下の 4 つのキャリブレーション・モードが提供されています。

- 内部ゼロスケール・キャリブレーション
- 内部フルスケール・キャリブレーション・モード
- システム・ゼロスケール・キャリブレーション
- システム・フルスケール・キャリブレーション

キャリブレーション時は、1 チャンネルのみアクティブにすることができます。各変換後、ADC 変換結果は、データ・レジスタに書き込まれる前に ADC キャリブレーション・レジスタのデータを使って補正されます。

オフセット・レジスタのデフォルト値は 0x800000 で、ゲイン・レジスタの公称値は電流チャンネルに対して出荷時に補正されます。したがって、この値は 0x500000 から 0x5FFFFFFF まで変化します。電圧チャンネルをイネーブルする場合は、内部フルスケール・キャリブレーションを実行します。以下の式が、その計算に使われます。ユニポーラ・モードの場合、理想的な関係式 (すなわち、ADC ゲイン誤差とオフセット誤差を考慮しない式) は次のようになります。

$$\text{データ} = \left((0.075 \times V_{IN}/V_{REF}) \times 2^{23} - (\text{オフセット} - 0x800000) \right) \times (\text{ゲイン}/0x400000) \times 2$$

電流入力の場合、理想的な関係式は次のとおりです。

$$\text{データ} = \left((0.75 \times (I_{IN} \times 50) / V_{REF}) \times 2^{123} - (\text{オフセット} - 0x800000) \right) \times (\text{ゲイン}/0x400000) \times 2$$

バイポーラ・モードの場合、ADC ゲイン誤差とオフセット誤差を考慮しない理想的な関係式は次のようになります。

$$\text{データ} = \left((0.075 \times V_{IN}/V_{REF}) \times 2^{23} - (\text{オフセット} - 0x800000) \right) \times (\text{ゲイン}/0x400000) + 0x800000$$

電流入力の場合、理想的な関係式は次のとおりです。

$$\text{データ} = \left((0.75 \times (I_{IN} \times 50) / V_{REF}) \times 2^{23} - (\text{オフセット} - 0x800000) \right) \times (\text{ゲイン}/0x400000) + 0x800000$$

キャリブレーションを開始するには、ADC モード・レジスタのモード・ビットに対応する値を書き込みます。キャリブレーション

が開始されると、 $\overline{DOUT}/\overline{RDY}$ ピンと、ステータス・レジスタの **RDY** ビットがハイ・レベルになります。キャリブレーションが完了すると、対応するオフセットまたはゲイン設定レジスタの内容が更新され、ステータス・レジスタの **RDY** ビットがリセットされます。また、**RDY** 出力ピンがロー・レベルに戻り (\overline{CS} がロー・レベルの場合)、AD4112 がスタンバイ・モードに復帰します。

内部オフセット・キャリブレーションの間、変調器の両入力を選択した負アナログ入力ピンに内部で接続されます。このため、選択した負のアナログ入力ピンの電圧が許容値を超えず、過度なノイズや干渉がないことを確認する必要があります。内部フルスケール・キャリブレーションを実行するため、フルスケール入力電圧がこのキャリブレーション用の ADC 入力に自動的に接続されます。内部フルスケール・キャリブレーションは、電圧入力でのみ実行する必要があります。電流入力に対しては、内部フルスケール・キャリブレーションを実行しないでください。

ただし、システム・キャリブレーションでは、キャリブレーション・モードを開始する前に、システム・ゼロスケール電圧 (オフセット) とシステム・フルスケール電圧 (ゲイン) を入力ピンに入力する必要があります。この結果、AD4112 の外部誤差が除去されます。電圧入力の内部フルスケール・キャリブレーションでの ADC ゲインのキャリブレーション範囲は、 $3.75 \times V_{REF} \sim 10.5 \times V_{REF}$ です。ただし、 $10.5 \times V_{REF}$ が印加された **AVDD** の絶対入力電圧仕様よりも大きい場合は、 $10.5 \times V_{REF}$ の代わりに上限値を指定してください (仕様を参照)。

電流入力は出荷時に補正されます。したがって、システム・キャリブレーションを行う必要はありません。ただし、システム・キャリブレーションが必要な場合は、 $V_{REF} = 2.5 \text{ V}$ では 24mA のフルスケール値を印加します。

内部ゼロスケール・キャリブレーションでは、ADC コアのオフセット誤差のみが除去されます。抵抗フロント・エンドからの誤差は除去されません。システム・ゼロスケール・キャリブレーションにより、オフセット誤差はそのチャンネルのノイズ・レベルまで軽減されます。

動作の観点からは、キャリブレーションはもう 1 つの ADC 変換として扱う必要があります。オフセット・キャリブレーションが必要な場合は、常にフルスケール・キャリブレーションの前に行う必要があります。ステータス・レジスタの **RDY** ビットまたは **RDY** 出力をモニタするようにシステム・ソフトウェアを設定して、ポーリング・シーケンスまたは割り込みによるルーチンによってキャリブレーションが終了したことを確認します。どのキャリブレーションも、完了するのに、選択されたフィルタと出力データ・レートのセトリング時間に等しい時間を必要とします。

低い出力データ・レートを使うほど、精度の高いキャリブレーション結果を得ることができ、すべての出力データ・レートに対して高精度になります。あるチャンネルのリファレンス・ソースを変更した場合、そのチャンネルのために新たなオフセット・キャリブレーションが必要です。

AD4112 では内蔵キャリブレーション・レジスタにアクセスできるため、マイクロプロセッサがデバイスのキャリブレーション係数を読み出したり、独自のキャリブレーション係数を書き込みたりすることができます。内部キャリブレーションまたはセルフキャリブレーション時以外は、オフセット・レジスタとゲイン・レジスタの読出しまたは書込みはいつでも行えます。

デジタル・インターフェース

AD4112 のプログラマブルな機能は、SPI シリアル・インターフェースを使ってアクセスできます。AD4112 のシリアル・インターフェースは、 \overline{CS} 、DIN、SCLK、DOUT/RDY の 4 つの信号で構成されています。DIN ラインはデータをオンチップ・レジスタに転送します。DOUT 出力はオンチップ・レジスタからのデータにアクセスします。SCLK は、デバイスのシリアル・クロック入力です。すべてのデータ転送（DIN または DOUT 上での転送）は、この SCLK 信号を基準として行われます。

DOUT/RDY ピンはデータ・レディ信号としても機能し、データ・レジスタ内で新しいデータワードが利用可能になったとき \overline{CS} がロー・レベルであれば、このラインはロー・レベルになります。データ・レジスタからの読出し動作が完了すると、このピンはハイ・レベルにリセットされます。RDY 出力はデータ・レジスタの更新前にもハイ・レベルになり、デバイスからの読出しが不可であることを示し、レジスタの更新中にデータの読出しが試みられないようにします。RDY がロー・レベルになる間にデータ・レジスタから読み出さないように注意してください。常に RDY 出力を監視するのが、データ読出しを防止するのに最良の方法です。RDY がロー・レベルになったら直ちにデータ・レジスタの読出しを開始し、SCLK レートが、次の変換結果の前に読出しが完了するのに十分であることを確認します。CS はデバイスを選択するのに使用します。CS を使用して、シリアル・バスに複数のデバイスが接続されているシステムで、AD4112 を選択することができます。

デバイスのデコードに CS を使った AD4112 のインターフェースのタイミング図を図 2 と図 3 に示します。図 2 は AD4111 からの読出し動作のタイミングを、図 3 は AD4112 への書込み動作のタイミングを示しています。最初の読出し動作の後、出力がハイ・レベルに戻った後でも、データ・レジスタからの読出しを複数回行うことができます。ただし、次の出力更新が開始される前に、読出し動作が完了するようにしてください。連続読出しモードでは、データ・レジスタは 1 回しか読み出すことができません。

シリアル・インターフェースは、 \overline{CS} をロー・レベルに固定して、3 線式モードで動作させることもできます。この場合、SCLK、DIN、DOUT/RDY の各ラインを使って AD4112 との通信を行います。変換の終了は、ステータス・レジスタの RDY ビットを使用して監視することもできます。

シリアル・インターフェースは、 $\overline{CS} = 0$ かつ $DIN = 1$ の状態で 64 個の SCLK を書き込むことでリセットできます。リセットにより、インターフェースがコミュニケーション・レジスタへの書込み動作待ちの状態に戻ります。この動作により、すべてのレジスタ値がそれぞれのパワーオン時の値にリセットされます。リセット後、シリアル・インターフェースのアドレス指定をする前に、500 μ s の待ち時間が必要です。

チェックサム保護

AD4112 にはチェックサム・モードがあり、これを使用してインターフェースを更に堅牢にすることができます。チェックサムを使用すると、レジスタには有効なデータのみが書き込まれ、検証済みのレジスタからのデータ読出しが可能になります。レジスタへの書込み時にエラーが発生すると、ステータス・レジ

スタの CRC_ERROR ビットがセットされます。ただし、それを確認するために、レジスタ書込みは完了します。レジスタを読み出し、チェックサムを確認することが重要です。

書込み動作時の CRC チェックサムの計算では、次の多項式が使用されます。

$$x^8 + x^2 + x + 1$$

読出し動作時は、この多項式か、同様の排他的論理和 (XOR) 関数を選択することができます。XOR 関数を使ったチェックサムは、多項式ベースのチェックサムに比べると、ホスト・マイクロコントローラを短時間で処理できます。インターフェース・モード・レジスタの CRC_EN ビットにより、チェックサムのイネーブル/ディスエーブル、および、多項式チェックまたはシンプルな XOR チェックを選択することができます。

チェックサムは、読出しと書込みの各トランザクションの最後に付加されます。書込みトランザクションのチェックサム計算は、8 ビット・コマンド・ワードと 8~24 ビットのデータを使用して計算されます。読出しトランザクションでは、コマンド・ワードと 8~32 ビットのデータ出力を使って計算されます。SPI の書込みトランザクションと読出しトランザクションをそれぞれ図 57 と図 58 に示します。

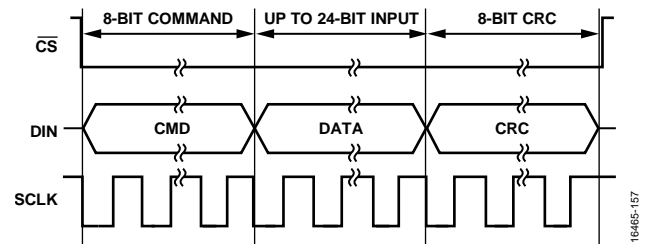


図 57. CRC 付き SPI 書込みトランザクション

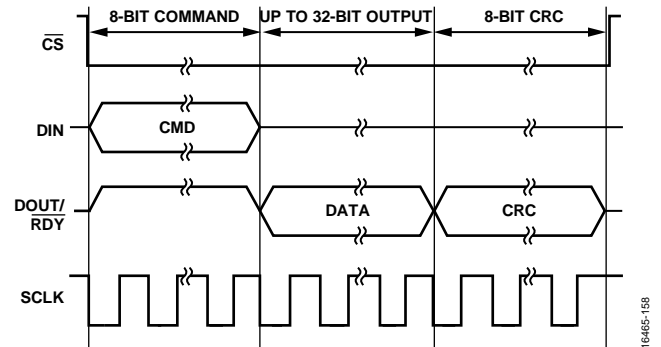


図 58. CRC 付き SPI 読出しトランザクション

連続読出しモードがアクティブのときにチェックサム保護がイネーブルになっている場合、チェックサム値を計算する際に考慮する必要がある暗黙的なデータ読出しコマンド 0x44 がすべてのデータ転送の前に実行されます。このチェックサム保護により、ADC データが 0x000000 であっても、チェックサム値はゼロになりません。

CRC の計算

多項式

8ビット幅のチェックサムは、次の多項式で生成します。

$$x^8 + x^2 + x + 1$$

チェックサムを生成するには、データを 8 ビット左にシフトし、8 個のロジック 0 で終わる値を発生させます。多項式の MSB がデータの最も左にあるロジック 1 と揃うように、多項式の位置を合わせます。排他的論理和 (XOR) 関数をデータに適用して、短い数値を新規生成します。再度、多項式の MSB が、得られた

データの最も左にあるロジック 1 と合うように、多項式の値の位置決めをします。このプロセスを、元のデータが多項式の値よりも小さくなるまで繰り返します。この値が 8 ビットのチェックサムになります。

多項式 CRC 計算の例 - 24 ビット・ワード : 0x654321 (8 ビット・コマンドと 16 ビット・データ)

多項式ベースのチェックサムを使用した 8 ビット・チェックサムの生成例を以下に示します。

初期値	011001010100001100100001	
	01100101010000110010000100000000	8 ビット左にシフト
$x^8 + x^2 + x + 1 =$	100000111	初期値
100100100000110010000100000000		XOR の結果
100000111		多項式
1000110001100100001000000000		XOR の結果
100000111		多項式
111111100100001000000000		XOR の結果
100000111		多項式の値
111110111000010000000000		XOR の結果
100000111		多項式の値
1111000000010000000000		XOR の結果
100000111		多項式の値
1110011100010000000000		XOR の結果
100000111		多項式の値
11001001001000000000		XOR の結果
100000111		多項式の値
100101010100000000		XOR の結果
100000111		多項式の値
1011011000000000		XOR の結果
100000111		多項式の値
11010110000000		XOR の結果
100000111		多項式の値
1010001000		XOR の結果
100000111		多項式の値
10000110		チェックサム = 0x86。

排他的論理和 (XOR) の計算

データをバイトに分割し、それぞれのバイトに XOR 演算を行うことにより、8 ビット幅のチェックサムを生成します。

**XOR 計算の例 - 24 ビット・ワード : 0x654321
(8 ビット・コマンドと 16 ビット・データ)**

多項式のセクションに示す例を使用して、チェックサムを 0x65、0x43、0x21 の 3 バイトに分割します。

XOR 計算式は以下のとおりです。

01100101	0x65
01000011	0x43
00100110	XOR の結果
00100001	0x21
00000111	CRC

内蔵機能

AD4112 は多くの機能を内蔵しています。

汎用出力

AD4112 は 2 本の汎用デジタル入出力ピン (GPO0 と GPO1) を備えています。GPO ピンは、GPIOCON レジスタの OP_EN0_1 ビットを使用してイネーブルします。

GP_DATA0 ビットと GP_DATA1 ビットは、これらのピンで出力されるロジック・レベルをそれぞれ決定します。これらのピンのロジック・レベルは、AVDD と AVSS を基準としています。したがって、出力は AVDD – AVSS 電圧に応じて振幅が 5V または 3.3V になります。

GPIOCON レジスタの ERR_EN ビットを 11 に設定した場合、ピンは汎用出力としても使用できます。この設定では、GPIOCON レジスタの ERR_DAT ビットにより、ERROR ピンのロジック・レベル出力が決まります。このピンのロジック・レベルは IOVDD と DGND を基準にしており、ERROR ピンにはアクティブ・プルアップ抵抗が備わっています。

遅延

AD4112 がサンプリングを始める前に、プログラマブルな遅延を挿入することが可能です。この遅延により、外部アンプやマルチプレクサの出力がセトリングするまで待つことができ、外部アンプやマルチプレクサの仕様条件を緩和することもできます。0 μ s~8ms の範囲で 8 つのプログラマブルな遅延を設定できます。この設定には、ADC モード・レジスタ (レジスタ 0x01、ビット [10 : 8]) を使用します。

16 ビット/24 ビット変換

デフォルトでは、AD4112 は 24 ビットのデータ変換を行います。しかし、データ幅を 16 ビットに減らして出力させることもできます。インターフェース・モード・レジスタの WL16 ビットを 1 に設定すると、すべてのデータ変換は 16 ビットに丸められます。このビットをクリアすると、データ変換幅は 24 ビットに設定されます。

DOUT_RESET

シリアル・インターフェースでは、共有の DOUT/RDY ピンを使用します。デフォルトでは、このピンは RDY 信号を出力します。データ読出し時、このピンは読出し対象のレジスタからのデータを出力します。読出し完了後、一定の短い時間 (t_r) が経過したら、このピンは、RDY 信号の出力に戻ります。ただし、この時間は一部のマイクロコントローラにとって短すぎる場合があります。このため、インターフェース・モード・レジスタの DOUT_RESET ビットを 1 に設定して、CS ピンがハイ・レベルになるまで時間を延長することができます。この設定は、CS が各読出し動作をフレームして、シリアル・インターフェースのトランザクションを完了する必要があることを意味します。

同期

ノーマル同期

GPIOCON レジスタの SYNC_EN ビットを 1 に設定すると、SYNC ピンが同期入力として機能します。SYNC 入力により、デバイス内のセットアップ状態に一切影響を与えることなく、変調器とデジタル・フィルタをリセットできます。リセットにより、既知の時点、すなわち SYNC の立上がりエッジから、アナログ入力のサンプル取得を開始できます。確実に同期させるには、このピンを少なくとも 1 マスタ・クロック・サイクルの間ロー・レベルに維持する必要があります。複数のチャンネルが

イネーブルの場合、シーケンサは最初にイネーブルされたチャンネルにリセットされます。

複数の AD4112 が共通のマスタ・クロックで動作する場合、データ・レジスタが同時に更新されるようにこれらのデバイスを同期させることができます。通常、各 AD4112 がキャリブレーションを実行した後、またはキャリブレーション係数をキャリブレーション・レジスタへロードした後に同期が行われます。SYNC ピンの立下がりエッジで、デジタル・フィルタとアナログ変調器がリセットされ、AD4112 は一貫した既知の状態になります。SYNC ピンがロー・レベルの間、AD4112 はこの状態を維持します。SYNC の立上がりエッジで変調器とフィルタはリセット状態を抜け出し、次のマスタ・クロックのエッジでデバイスは再び入力サンプルの収集を開始します。

このデバイスは、SYNC がロー・レベルからハイ・レベルに遷移した後のマスタ・クロックの立下がりエッジでリセット状態から抜け出します。このため、複数のデバイスを同期する場合、マスタ・クロックの立上がりエッジで SYNC ピンをハイ・レベルに設定し、すべてのデバイスがマスタ・クロックの立上がりエッジでサンプリングを開始するように設定する必要があります。SYNC ピンを十分な時間にわたりハイ・レベルにしないと、デバイス間で 1 マスタ・クロック・サイクルの差が生じることがあります。つまり、変換結果が得られるタイミングが、デバイスによって最大で 1 マスタ・クロック・サイクル異なる場合があります。

SYNC 入力は、ノーマル同期モードで、1 つのチャンネルの変換開始コマンドとして使用することもできます。このモードでは、SYNC 入力の立上がりエッジにより変換が開始され、RDY 出力の立下がりエッジにより変換が完了したタイミングが示されます。フィルタのセトリング時間は、各データ・レジスタの更新ごとに必要です。変換完了後、SYNC をロー・レベルにして次の変換開始信号の準備をします。

オルタネート同期

オルタネート同期モードでは、AD4112 の複数のチャンネルがイネーブルされている場合、SYNC 入力は変換開始コマンドとして機能します。インターフェース・モード・レジスタの ALT_SYNC ビットを 1 に設定すると、オルタネート同期方式がイネーブルされます。SYNC 入力がロー・レベルになると、ADC はイネーブルされているチャンネルでの変換を完了し、シーケンス内の次のチャンネルを選択して、SYNC 入力がハイ・レベルになって変換が開始されるまで待機します。現在のチャンネルでの変換が完了し、対応する変換結果でデータ・レジスタが更新されると、RDY 出力がロー・レベルになります。このため、SYNC 入力は、現在選択されているチャンネルのサンプリングには干渉しませんが、シーケンス内の次のチャンネルで変換が行われるタイミングを制御できます。

オルタネート同期モードは、複数のチャンネルをイネーブルする場合のみ使用できます。1 つのチャンネルのみをイネーブルする場合は、このモードの使用はお勧めしません。

エラー・フラグ

ステータス・レジスタには、ADC 変換エラー、CRC チェック・エラー、レジスタの変更によって発生したエラーをフラグする 3 つのエラー・ビット（`ADC_ERROR`、`CRC_ERROR`、`REG_ERROR`）があります。更に、`ERROR`出力でエラーが発生したことを示すことができます。

ADC_ERROR

ステータス・レジスタの `ADC_ERROR` ビットは、変換プロセス中に何らかのエラーが発生したことを示します。このフラグは、ADC からオーバーレンジまたはアンダーレンジが出力されるとセットされます。また、低電圧や過電圧が発生すると、ADC の出力はオール 0 またはオール 1 になります。このフラグは、過電圧または低電圧が解消されたときにのみリセットされます。このフラグは、データ・レジスタの読出しによってリセットされません。

CRC_ERROR

書き込み動作時に付加された CRC の値が送られた情報と一致しないと、`CRC_ERROR` フラグがセットされます。このフラグは、ステータス・レジスタが読み出されると、直ちにリセットされます。

REG_ERROR

`REG_ERROR` フラグはインターフェース・モード・レジスタの `REG_CHECK` ビットと組み合わせて使用します。`REG_CHECK` ビットがセットされると、AD4112 は内部レジスタの値をモニタします。ビットが変化すると、`REG_ERROR` ビットに 1 がセットされます。このため、内蔵レジスタへの書き込みを行うには、`REG_CHECK` ビットを 0 にセットします。レジスタの更新が完了したら、`REG_CHECK` ビットを 1 に設定することができます。AD4112 は内部レジスタのチェックサムを計算します。いずれかのレジスタ値が変化すると、`REG_ERROR` ビットが 1 にセットされます。エラーが検出されたら、ステータス・レジスタの `REG_ERROR` ビットをクリアするため、`REG_CHECK` ビットを必ず 0 にセットしてください。このレジスタ・チェック機能では、データ・レジスタ、ステータス・レジスタ、インターフェース・モード・レジスタはモニタしません。

ERROR 入出力

`ERROR`ピンは、エラー入出力ピンまたは汎用出力ピンとして機能します。`GPIOCON` レジスタの `ERR_EN` ビットにより、このピンの機能が決まります。

`ERR_EN` を 10 にセットした場合、`ERROR`ピンはオープンドレイン・エラー出力として機能します。ステータス・レジスタの 3 つのエラー・ビット（`ADC_ERROR`、`CRC_ERROR`、`REG_ERROR`）は、論理和（OR）がとられ、反転され、出力にマッピングされます。これにより、`ERROR`出力はエラーが発生したことを示します。エラーの原因を特定するには、ステータス・レジスタを読み出す必要があります。

`ERR_EN` を 01 にセットした場合、ピンはエラー入力として機能します。別の部品のエラー出力を AD4112 の `ERROR`入力に接続すると、AD4112 または外部の部品でエラーが発生したときにエラーを示すことができます。`ERROR`入力の値が反転され、ADC 変換からのエラーとの論理和がとられ、ステータス・レジスタの `ADC_ERROR` ビットを介してその結果が示されます。`ERROR`入力の値は、GPIO 設定レジスタの `ERR_DAT` ビットに反映されます。

`ERR_EN` を 00 に設定すると、`ERROR`入出力はディスイネーブルされます。`ERR_EN` ビットを 11 に設定すると、`ERROR`ピンは汎用出力として動作し、`ERR_DAT` ビットを使用してピンのロジック・レベルを決定します。

DATA_STAT

`IFMODE` レジスタの `DATA_STAT` ビットを使用して、ステータス・レジスタの内容を AD4112 の各変換結果に付加できます。これは、複数のチャンネルがイネーブルされる場合に便利な機能です。変換結果が出力されるごとに、ステータス・レジスタの内容が付加されます。ステータス・レジスタの下位 4 ビットには、変換を実行したチャンネルが表示されます。更に、エラー・ビットによって何らかのエラーが示されているかを判断できます。

IOSTRENGTH

シリアル・インターフェースは、電源電圧が 2V に低下しても動作します。ただし、基板に中程度の寄生容量が存在する場合、または `SCLK` 周波数が高い場合、この低電圧では `DOUT/RDY`ピンの駆動能力が十分ではないことがあります。インターフェース・モード・レジスタの `IOSTRENGTH` ビットは `DOUT/RDY`ピンの駆動能力を高めめます。

内部温度センサー

AD4112 は温度センサーを内蔵しています。温度センサーは、デバイスが動作する周囲温度の目安として使用することができます。周囲温度は、診断目的に使うこともできますし、動作温度の変化を考慮して、アプリケーション回路がキャリブレーション・ルーチンを再実行する必要があるかを示す指標として用いることもできます。温度センサーは、入力チャンネルの選択と同様、マルチプレクサを使って選択されます。

温度センサーでは、両方の入力が入力バッファをイネーブルし、内部リファレンスをイネーブルする必要があります。

温度センサーを使うには、最初に既知の温度（25°C）でデバイスをキャリブレーションし、変換結果を基準点として取ります。温度センサーの公称感度は 477 μ V/K です。この理想的な傾きと測定された傾きの差により、温度センサーを補正できます。温度センサーは、25°Cでのキャリブレーション後の精度が $\pm 2^{\circ}$ C（代表値）と仕様規定されています。温度は次のように計算できます。

$$\text{温度 (}^{\circ}\text{C)} = (\text{変換結果} \div 477\mu\text{V}) - 273.15$$

アプリケーション情報

グラウンディングとレイアウト

入力とリファレンス入力は差動なので、アナログ変調器内の電圧の大半はコモンモード電圧です。このデバイスの優れたコモンモード除去比により、これらの入力のコモンモード・ノイズが除去されます。AD4112のアナログ電源とデジタル電源は独立しており、デバイスのアナログ部とデジタル部のカップリングを最小限に抑えるように個別のピンが採用されています。デジタル・フィルタは、マスタ・クロック周波数の整数倍の周波数以外の広帯域電源ノイズを除去します。

また、アナログ入力とリファレンス入力アナログ変調器を飽和させない限り、デジタル・フィルタはこれらのノイズ源のノイズも除去します。そのため、従来の高分解能コンバータに比べて AD4112 のノイズ干渉耐性は向上しています。ただし、AD4112は分解能が高く、コンバータのノイズ・レベルが非常に低いため、グラウンディングとレイアウトについては注意が必要です。

ADC を実装する基板は、アナログ部とデジタル部を分離し、ボードの特定の領域に収納するように設計する必要があります。一般に、エッチング部分を最小限に抑えると、最良のシールド効果が得られるので、この方法はグラウンド・プレーンに最適です。

どのようなレイアウトを使用する場合も、システム内における電流の流れには十分注意を払い、すべてのリターン電流用の経路と目的の場所まで電流を流す経路を、できるだけ近づけて配置するよう心がけてください。

チップにノイズが混入しないよう、デバイスの下にはデジタル・ラインを配置しないでください。そうすれば、AD4112の下にアナログ・グラウンド・プレーンを配置することができ、ノイ

ズの混入が防止されます。AD4112への電源ラインには可能な限り幅広いパターンを使用して低インピーダンス経路を確保し、電源ラインのグリッチを軽減します。クロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分へのノイズの放射を防止します。また、クロック信号が入力の近くを決して通らないようにします。デジタル信号とアナログ信号が交差してはいけません。ボードの反対側のパターンは、互いに直角になるように配置します。このレイアウトにより、ボード上でフィードスルーの影響を小さくすることができます。マイクロストリップ技術の使用が最善ですが、両面ボードでは常に使用できるとは限りません。この技法を使用する場合、ボードの部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

高分解能 ADC を使用する場合は、適切なデカップリングが重要です。AD4112には、AVDD と IOVDD の 2 本の電源ピンがあります。AVDD ピンは AVSS を基準とし、IOVDD ピンは DGND を基準としています。10 μ F のタンタル・コンデンサと 0.1 μ F のコンデンサを並列に接続して、AVDD を各ピンの AVSS へデカップリングします。0.1 μ F のコンデンサはデバイスの各電源ピンのできるだけ近くに配置します。理想的には、デバイスに隣接させます。IOVDD は、10 μ F のタンタル・コンデンサと 0.1 μ F のコンデンサを並列に DGND に接続してデカップリングします。すべての入力は AVSS へデカップリングします。外部リファレンスを使用する場合、REF+ピンと REF-ピンを AVSS にデカップリングします。

AD4112 は 2 つの LDO レギュレータも内蔵しており、それぞれ AVDD 電源と IOVDD 電源を安定化します。REGCAPA ピンには、AVSS に接続した 1 μ F と 0.1 μ F のコンデンサを使用することをお勧めします。同様に、REGCAPD ピンには、DGND に接続した 1 μ F と 0.1 μ F のコンデンサを使用することをお勧めします。

レジスタの一覧

表 23. レジスタの一覧

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W	
0x00	Status	[7:0]	RDY	ADC_ERROR	CRC_ERROR	REG_ERROR	Channel					0x80	R
0x01	ADCMODE	[15:8]	REF_EN	Reserved	SING_CYC	Reserved			Delay			0x2000	RW
		[7:0]	Reserved	Mode			CLOCKSEL		Reserved				
0x02	IFMODE	[15:8]	Reserved			ALT_SYNC	IOSTRENGTH	Reserved		DOUT_RESET		0x0000	RW
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	Reserved		CRC_EN	Reserved		WL16		
0x03	REGCHECK	[23:16]	REGISTER_CHECK[23:16]									0x000000	R
		[15:8]	REGISTER_CHECK[15:8]										
		[7:0]	REGISTER_CHECK[7:0]										
0x04	Data	[23:16]	Data [23:16]									0x000000	R
		[15:8]	Data [15:8]										
		[7:0]	Data [7:0]										
0x06	GPIOCON	[15:8]	Reserved	Reserved	OP_EN0_1	Reserved	SYNC_EN	ERR_EN		ERR_DAT	0x0800	RW	
		[7:0]	GP_DATA1	GP_DATA0	Reserved								
0x07	ID	[15:8]	ID[15:8]									0x30Dx	R
		[7:0]	ID[7:0]										
0x10	CH0	[15:8]	CH_EN0	SETUP_SEL0			Reserved		INPUT0[9:8]			0x8001	RW
		[7:0]	INPUT0 [7:0]										
0x11	CH1	[15:8]	CH_EN1	SETUP_SEL1			Reserved		INPUT1[9:8]			0x0001	RW
		[7:0]	INPUT1 [7:0]										
0x12	CH2	[15:8]	CH_EN2	SETUP_SEL2			Reserved		INPUT2[9:8]			0x0001	RW
		[7:0]	INPUT2 [7:0]										
0x13	CH3	[15:8]	CH_EN3	SETUP_SEL3			Reserved		INPUT3[9:8]			0x0001	RW
		[7:0]	INPUT3 [7:0]										
0x14	CH4	[15:8]	CH_EN4	SETUP_SEL4			Reserved		INPUT4[9:8]			0x0001	RW
		[7:0]	INPUT4 [7:0]										
0x15	CH5	[15:8]	CH_EN5	SETUP_SEL5			Reserved		INPUT5[9:8]			0x0001	RW
		[7:0]	INPUT5 [7:0]										
0x16	CH6	[15:8]	CH_EN6	SETUP_SEL6			Reserved		INPUT6[9:8]			0x0001	RW
		[7:0]	INPUT6 [7:0]										
0x17	CH7	[15:8]	CH_EN7	SETUP_SEL7			Reserved		INPUT7[9:8]			0x0001	RW
		[7:0]	INPUT7 [7:0]										
0x18	CH8	[15:8]	CH_EN8	SETUP_SEL8			Reserved		INPUT8[9:8]			0x0001	RW
		[7:0]	INPUT8 [7:0]										
0x19	CH9	[15:8]	CH_EN9	SETUP_SEL9			Reserved		INPUT9[9:8]			0x0001	RW
		[7:0]	INPUT9 [7:0]										
0x1A	CH10	[15:8]	CH_EN10	SETUP_SEL10			Reserved		INPUT10[9:8]			0x0001	RW
		[7:0]	Input10 [7:0]										
0x1B	CH11	[15:8]	CH_EN11	SETUP_SEL11			Reserved		INPUT11[9:8]			0x0001	RW
		[7:0]	INPUT11 [7:0]										
0x1C	CH12	[15:8]	CH_EN12	SETUP_SEL12			Reserved		INPUT12[9:8]			0x0001	RW
		[7:0]	INPUT12 [7:0]										
0x1D	CH13	[15:8]	CH_EN13	SETUP_SEL13			Reserved		INPUT13[9:8]			0x0001	RW
		[7:0]	INPUT13 [7:0]										
0x1E	CH14	[15:8]	CH_EN14	SETUP_SEL14			Reserved		INPUT14[9:8]			0x0001	RW
		[7:0]	INPUT14 [7:0]										
0x1F	CH15	[15:8]	CH_EN15	SETUP_SEL15			Reserved		INPUT15[9:8]			0x0001	RW
		[7:0]	INPUT15 [7:0]										
0x20	SETUPCON0	[15:8]	Reserved			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	INBUF0			0x1000	RW
		[7:0]	Reserved	Reserved	REF_SEL0		Reserved						
0x21	SETUPCON1	[15:8]	Reserved			BI_UNIPOLAR1	REFBUF1+	REFBUF1-	INBUF1			0x1000	RW
		[7:0]	Reserved	Reserved	REF_SEL1		Reserved						

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x22	SETUPCON2	[15:8]	Reserved			BI_UNIPOLAR2	REFBUF2+	REFBUF2-	INBUF2			0x1000	RW
		[7:0]	Reserved	Reserved	REF_SEL2		Reserved						
0x23	SETUPCON3	[15:8]	Reserved			BI_UNIPOLAR3	REFBUF3+	REFBUF3-	INBUF3			0x1000	RW
		[7:0]	Reserved	Reserved	REF_SEL3		Reserved						
0x24	SETUPCON4	[15:8]	Reserved			BI_UNIPOLAR4	REFBUF4+	REFBUF4-	INBUF4			0x1000	RW
		[7:0]	Reserved	Reserved	REF_SEL4		Reserved						
0x25	SETUPCON5	[15:8]	Reserved			BI_UNIPOLAR5	REFBUF5+	REFBUF5-	INBUF5			0x1000	RW
		[7:0]	Reserved	Reserved	REF_SEL5		Reserved						
0x26	SETUPCON6	[15:8]	Reserved			BI_UNIPOLAR6	REFBUF6+	REFBUF6-	INBUF6			0x1000	RW
		[7:0]	Reserved	Reserved	REF_SEL6		Reserved						
0x27	SETUPCON7	[15:8]	Reserved			BI_UNIPOLAR7	REFBUF7+	REFBUF7-	INBUF7			0x1000	RW
		[7:0]	Reserved	Reserved	REF_SEL7		Reserved						
0x28	FILTCON0	[15:8]	SINC3_MAP0	Reserved			ENHFILTEN0	ENHFILT0			0x0500	RW	
		[7:0]	Reserved	ORDER0		ODR0							
0x29	FILTCON1	[15:8]	SINC3_MAP1	Reserved			ENHFILTEN1	ENHFILT1			0x0500	RW	
		[7:0]	Reserved	ORDER1		ODR1							
0x2A	FILTCON2	[15:8]	SINC3_MAP2	Reserved			ENHFILTEN2	ENHFILT2			0x0500	RW	
		[7:0]	Reserved	ORDER2		ODR2							
0x2B	FILTCON3	[15:8]	SINC3_MAP3	Reserved			ENHFILTEN3	ENHFILT3			0x0500	RW	
		[7:0]	Reserved	ORDER3		ODR3							
0x2C	FILTCON4	[15:8]	SINC3_MAP4	Reserved			ENHFILTEN4	ENHFILT4			0x0500	RW	
		[7:0]	Reserved	ORDER4		ODR4							
0x2D	FILTCON5	[15:8]	SINC3_MAP5	Reserved			ENHFILTEN5	ENHFILT5			0x0500	RW	
		[7:0]	Reserved	ORDER5		ODR5							
0x2E	FILTCON6	[15:8]	SINC3_MAP6	Reserved			ENHFILTEN6	ENHFILT6			0x0500	RW	
		[7:0]	Reserved	ORDER6		ODR6							
0x2F	FILTCON7	[15:8]	SINC3_MAP7	Reserved			ENHFILTEN7	ENHFILT7			0x0500	RW	
		[7:0]	Reserved	ORDER7		ODR7							
0x30	OFFSET0	[23:0]	OFFSET0[23:0]									0x800000	RW
0x31	OFFSET1	[23:0]	OFFSET1[23:0]									0x800000	RW
0x32	OFFSET2	[23:0]	OFFSET2[23:0]									0x800000	RW
0x33	OFFSET3	[23:0]	OFFSET3[23:0]									0x800000	RW
0x34	OFFSET4	[23:0]	OFFSET4[23:0]									0x800000	RW
0x35	OFFSET5	[23:0]	OFFSET5[23:0]									0x800000	RW
0x36	OFFSET6	[23:0]	OFFSET6[23:0]									0x800000	RW
0x37	OFFSET7	[23:0]	OFFSET7[23:0]									0x800000	RW
0x38	GAIN0	[23:0]	GAIN0[23:0]									0x5XXXX0	RW
0x39	GAIN1	[23:0]	GAIN1[23:0]									0x5XXXX0	RW
0x3A	GAIN2	[23:0]	GAIN2[23:0]									0x5XXXX0	RW
0x3B	GAIN3	[23:0]	GAIN3[23:0]									0x5XXXX0	RW
0x3C	GAIN4	[23:0]	GAIN4[23:0]									0x5XXXX0	RW
0x3D	GAIN5	[23:0]	GAIN5[23:0]									0x5XXXX0	RW
0x3E	GAIN6	[23:0]	GAIN6[23:0]									0x5XXXX0	RW
0x3F	GAIN7	[23:0]	GAIN7[23:0]									0x5XXXX0	RW

レジスタの詳細

コミュニケーション・レジスタ

アドレス：0x00、リセット：0x00、レジスタ名：COMMS

内蔵レジスタに対するすべてのアクセスは、このコミュニケーション・レジスタへの書込みで開始する必要があります。この書込みにより、次にアクセスするレジスタと、動作が書込みと読出しのいずれであるかを指定します。

表 24. COMMS のビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	WEN		ADC との通信を開始するには、このビットをロー・レベルにする必要があります。	0x0	W
6	R/W	0 1	このビットで、コマンドの動作が読出しか書込みかを指定します。 書込みコマンド 読出しコマンド	0x0	W
[5:0]	RA	000000 000001 000010 000011 000100 000110 000111 010000 010001 010010 010011 010100 010101 010110 010111 011000 011001 011010 011011 011100 011101 011110 011111 100000 100001 100010 100011 100100 100101 100110 100111 101000 101001 101010 101011 101100 101101 101110 101111	このレジスタ・アドレス・ビットで、現在の通信でどのレジスタを読出しましたか書込みの対象とするかを指定します。 ステータス・レジスタ ADC モード・レジスタ インターフェース・モード・レジスタ レジスタ・チェックサム・レジスタ データ・レジスタ GPIO 設定レジスタ ID レジスタ チャンネル 0 レジスタ チャンネル 1 レジスタ チャンネル 2 レジスタ チャンネル 3 レジスタ チャンネル 4 レジスタ チャンネル 5 レジスタ チャンネル 6 レジスタ チャンネル 7 レジスタ チャンネル 8 レジスタ チャンネル 9 レジスタ チャンネル 10 レジスタ チャンネル 11 レジスタ チャンネル 12 レジスタ チャンネル 13 レジスタ チャンネル 14 レジスタ チャンネル 15 レジスタ セットアップ設定 0 レジスタ セットアップ設定 1 レジスタ セットアップ設定 2 レジスタ セットアップ設定 3 レジスタ セットアップ設定 4 レジスタ セットアップ設定 5 レジスタ セットアップ設定 6 レジスタ セットアップ設定 7 レジスタ フィルタ設定 0 レジスタ フィルタ設定 1 レジスタ フィルタ設定 2 レジスタ フィルタ設定 3 レジスタ フィルタ設定 4 レジスタ フィルタ設定 5 レジスタ フィルタ設定 6 レジスタ フィルタ設定 7 レジスタ	0x00	W

ビット	ビット名	設定値	説明	リセット	読書き
		110000	オフセット 0 レジスタ		
		110001	オフセット 1 レジスタ		
		110010	オフセット 2 レジスタ		
		110011	オフセット 3 レジスタ		
		110100	オフセット 4 レジスタ		
		110101	オフセット 5 レジスタ		
		110110	オフセット 6 レジスタ		
		110111	オフセット 7 レジスタ		
		111000	ゲイン 0 レジスタ		
		111001	ゲイン 1 レジスタ		
		111010	ゲイン 2 レジスタ		
		111011	ゲイン 3 レジスタ		
		111100	ゲイン 4 レジスタ		
		111101	ゲイン 5 レジスタ		
		111110	ゲイン 6 レジスタ		
		111111	ゲイン 7 レジスタ		

ステータス・レジスタ

アドレス：0x00、リセット：0x80、レジスタ名：Status

ステータス・レジスタは 8 ビットのレジスタで、ADC とシリアル・インターフェースのステータスに関する情報が格納されています。インターフェース・モード・レジスタの DATA_STAT ビットをセットすることで、オプションとして、このレジスタの内容をデータ・レジスタへ付加することができます。

表 25. STATUS のビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	RDY	0 1	CSがロー・レベルで、レジスタが読出し中でない場合は、RDYのステータスが DOUT/RDYピンに出力されます。このビットは、ADC がデータ・レジスタに新しい結果を書き込むとロー・レベルになります。ADC のキャリブレーション・モードでは、ADC がキャリブレーション結果を書き込むと、このビットはロー・レベルになります。RDYは、データ・レジスタの読出しによって自動的にハイ・レベルになります。 新しいデータが読出し可能。 新しいデータ結果の待ち状態。	0x1	R
6	ADC_ERROR	0 1	このビットは、デフォルトでは、ADC がオーバーレンジまたはアンダーレンジになったことを示します。ADC の変換結果は、オーバーレンジ・エラーの場合は 0xFFFFFFFF にクランプされ、アンダーレンジ・エラーの場合は 0x000000 にクランプされます。このビットは、ADC の変換結果を書き込むと更新され、オーバーレンジまたはアンダーレンジ状態が解消された後、次の更新時にクリアされます。 エラーなし。 エラー。	0x0	R
5	CRC_ERROR	0 1	このビットは、レジスタ書き込み時に CRC エラーが発生したかどうかを示します。レジスタ読出しの場合、ホスト・マイクロコントローラが、CRC エラーが発生したかどうかを判断します。このレジスタを読み出すと、このビットはクリアされます。 エラーなし。 CRC エラー。	0x0	R
4	REG_ERROR	0 1	このビットは、内部レジスタのいずれかの値が、レジスタの整合性チェックを実行したときの計算値から変化したかどうかを示します。インターフェース・モード・レジスタの REG_CHECK ビットをセットすると、チェックが実行されます。このビットをクリアするには、REG_CHECK ビットをクリアします。 エラーなし。 エラー。	0x0	R

ビット	ビット名	設定値	説明	リセット	読書き
[3:0]	Channel		これらのビットは、現在データ・レジスタに ADC 変換結果が格納されているその変換を行ったのがどのチャンネルかを示します。このチャンネルは、現在変換を行っているチャンネルとは異なる場合があります。マッピングは、チャンネル・レジスタからの直接マップです。したがって、チャンネル 0 は 0x0 になり、チャンネル 15 は 0xF になります。	0x0	R
		0000	チャンネル 0。		
		0001	チャンネル 1。		
		0010	チャンネル 2。		
		0011	チャンネル 3。		
		0100	チャンネル 4。		
		0101	チャンネル 5。		
		0110	チャンネル 6。		
		0111	チャンネル 7。		
		1000	チャンネル 8。		
		1001	チャンネル 9。		
		1010	チャンネル 10。		
		1011	チャンネル 11。		
		1100	チャンネル 12。		
		1101	チャンネル 13。		
		1110	チャンネル 14。		
		1111	チャンネル 15。		

ADC モード・レジスタ

アドレス：0x01、リセット：0x2000、レジスタ名：ADCMODE

ADC モード・レジスタは ADC の動作モードとマスタ・クロックの選択を制御します。ADC モード・レジスタへの書込みによって、フィルタとRDYビットがリセットされ、新しい変換またはキャリブレーションが開始されます。

表 26. ADCMODE のビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
15	REF_EN		内部リファレンスをイネーブルし、バッファされた 2.5V を REFOUT ピンに出力します。	0x0	RW
		0	ディスエーブル。		
		1	イネーブル。		
14	Reserved		このビットは予備で、0 に設定します。	0x0	RW
13	SING_CYC		1 チャンネルのみがアクティブなとき、このビットを使用して、固定のフィルタ・データ・レートのみで出力するように ADC を設定することができます。	0x1	RW
		0	ディスエーブル。		
		1	イネーブル。		
[12:11]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
[10:8]	Delay		これらのビットにより、チャンネルが切り替わった後、プログラマブルな遅延を追加することができるので、外部回路がセトリングしてから ADC がその入力の処理を開始するようにすることができます。	0x0	RW
		000	0 μ s。		
		001	32 μ s。		
		010	128 μ s。		
		011	320 μ s。		
		100	800 μ s。		
		101	1.6ms。		
		110	4ms。		
		111	8ms。		
7	Reserved		このビットは予備で、0 に設定します。	0x0	R

ビット	ビット名	設定値	説明	リセット	読書き
[6:4]	Mode	000 001 010 011 100 101 110 111	これらのビットは ADC の動作モードを制御します。詳細については、動作モードのセクションを参照してください。 連続変換モード。 シングル変換モード。 スタンバイ・モード。 パワーダウン・モード。 内部オフセットのキャリブレーション。 内部ゲインのキャリブレーション。 システム・オフセットのキャリブレーション。 システム・ゲインのキャリブレーション。	0x0	RW
[3:2]	CLOCKSEL	00 01 10 11	これらのビットは ADC のクロック源を選択します。内部発振器を選択すると、同時に内部発振器がイネーブルされます。 内部発振器。 内部発振器の出力 (XTAL2/CLKIO ピン)。 外部クロックの入力 (XTAL2/CLKIO ピン)。 外部水晶発振器 (XTAL1 および XTAL2/CLKIO ピン)。	0x0	RW
[1:0]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R

インターフェース・モード・レジスタ

アドレス：0x02、リセット：0x0000、レジスタ名：IFMODE

インターフェース・モード・レジスタは様々なシリアル・インターフェース・オプションを設定します。

表 27. IFMODE のビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[15:13]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
12	ALT_SYNC	0 1	このビットにより、SYNC ピンの動作を変更して、チャンネル切替え時の変換制御に SYNC を使用できます。 無効。 有効。	0x0	RW
11	IOSTRENGTH	0 1	このビットは DOUT/RDY ピンの駆動能力を制御します。低電圧の IOVDD 電源を使い、容量が中程度のシリアル・インターフェースから高速で読み出す場合、このビットをセットします。 無効 (デフォルト)。 有効。	0x0	RW
[10:9]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
8	DOUT_RESET	0 1	DOUT_RESET のセクションを参照してください。 無効。 有効。	0x0	RW
7	CONTREAD	0 1	このビットは、ADC データ・レジスタの連続読出しモードを有効にします。連続読出しモードを使うには、ADC を連続変換モードに設定する必要があります。詳細については、動作モードのセクションを参照してください。 無効。 有効。	0x0	RW
6	DATA_STAT	0 1	このビットは、読出し時にステータス・レジスタの内容をデータ・レジスタの内容に付加する機能を有効にし、チャンネルとステータスの情報がデータと共に送信されるようにします。これは、ステータス・レジスタから読み出したチャンネル・ビットを確実にデータ・レジスタのデータに対応させる唯一の方法です。 無効。 有効。	0x0	RW

ビット	ビット名	設定値	説明	リセット	読書き
5	REG_CHECK	0 1	このビットはレジスタの整合性チェック機能を有効にします。この機能を使って、ユーザ・レジスタ内の値の変化をすべて監視することができます。この機能を使用するには、このビットをクリアした状態で、必要なレジスタをすべて設定します。このレジスタに書き込んで、REG_CHECK ビットを1に設定します。あるレジスタの内容が変化すると、ステータス・レジスタの REG_ERROR ビットがセットされます。このエラーをクリアするには、REG_CHECK ビットを0に設定します。ただし、インターフェース・モード・レジスタ、ADC データ・レジスタ、ステータス・レジスタのいずれも、チェック対象のレジスタには含まれていません。レジスタに新しい値を書き込む必要がある場合、最初にこのビットをクリアします。そうしないと、新しいレジスタ内容を書き込むときに、エラー・フラグが表示されます。	0x0	RW
4	Reserved		このビットは予備で、0に設定します。	0x0	R
[3:2]	CRC_EN	00 01 10	これらのビットは、レジスタの読出し／書込みの CRC 保護を有効にします。CRC により、シリアル・インターフェース転送のバイト数が1だけ増加します。 00 無効化。 01 レジスタの読み込みトランザクションで、XOR のチェックサムを有効にします。これらのビットの設定では、レジスタの書込み時に CRC が使用されます。 10 レジスタの読み書きトランザクションで、CRC チェックサムを有効にします。	0x00	RW
1	Reserved		このビットは予備で、0に設定します。	0x0	R
0	WL16	0 1	ADC データ・レジスタを16ビットに変更します。インターフェース・モード・レジスタへの書込みでは ADC はリセットされないため、これらのビットへの書込み直後に ADC の変換結果が正しいワード長に丸められることはありません。最初の新しい ADC 変換結果が正しい値です。 0 24 ビット・データ。 1 16 ビット・データ。	0x0	RW

レジスタ・チェック

アドレス：0x03、リセット：0x000000、レジスタ名：REGCHECK

レジスタ・チェック・レジスタは、ユーザ・レジスタの排他的論理和 (XOR) 計算で得られた 24 ビット長のチェックサムです。この機能が動作するには、インターフェース・モード・レジスタの REG_CHECK ビットをセットする必要があります。そうしないと、レジスタの読出し値は0となります。

表 28. REGCHECK のビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[23:0]	REGISTER_CHECK		インターフェース・モード・レジスタの REG_CHECK ビットをセットすると、ユーザ・レジスタの 24 ビットのチェックサムがこのレジスタに格納されます。	0x000000	R

データ・レジスタ

アドレス：0x04、リセット：0x000000、レジスタ名：Data

データ・レジスタには、ADC の変換結果が格納されます。エンコーディングはオフセット・バイナリですが、セットアップ設定レジスタの BI_UNIPOLARx ビットによってユニポーラに変更できます。RDY ビットと RDY 出力がロー・レベルの場合、データ・レジスタを読み出すと、これらのビットはハイ・レベルになります。ADC の変換結果は複数回読み出すことができます。ただし、RDY 出力がハイ・レベルになっているため、ADC の次の変換結果が差し迫っているかどうかを知ることはできません。ADC のレジスタを読み出すコマンドを受け取った後、ADC は新しい変換結果をレジスタに書き込みません。

表 29. Data のビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[23:0]	Data		タには、ADC の変換結果が格納されます。インターフェース・モード・レジスタの DATA_STAT ビットをセットすると、読出し時にステータス・レジスタのデータが付加され、32 ビット・レジスタになります。インターフェース・モード・レジスタの WL16 を設定すると、このレジスタは16ビット長に短縮されます。	0x000000	R

GPIO 設定レジスタ

アドレス：0x06、リセット：0x0800、レジスタ名：GPIOCON

GPIO 設定レジスタは、ADC の汎用 I/O ピンを制御します。

表 30. GPIOCON のビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[15:14]	Reserved		予備。	0x0	R
13	OP_EN0_1	0 1	GPO0/GPO1 出力イネーブル。このビットは GPO0 ピンと GPO1 ピンをイネーブルします。出力は、AVDD と AVSS の間の電圧を基準にしています。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
12	Reserved		予備。	0x0	R
11	SYNC_EN	0 1	0 ディスエーブル。 1 イネーブル。 1 SYNC 入力イネーブル。このビットにより、 $\overline{\text{SYNC}}$ ピンを同期入力として使用できるようになります。ローに設定すると、 $\overline{\text{SYNC}}$ ピンによって、 $\overline{\text{SYNC}}$ がハイ・レベルになるまで ADC とフィルタのリセット状態が保持されます。インターフェース・モード・レジスタの ALT_SYNC ビットをセットすると、 $\overline{\text{SYNC}}$ ピンの動作を変更できます。このモードは、複数チャンネルがイネーブルされている場合にのみ機能します。この場合、 $\overline{\text{SYNC}}$ ピンがロー・レベルになっても、フィルタと変調器は直ちにリセットされません。代わりに、チャンネルが切り替わろうとするときに $\overline{\text{SYNC}}$ ピンがロー・レベルであると、変換器とフィルタは新しい変換を開始できなくなります。 $\overline{\text{SYNC}}$ をハイ・レベルにすると次の変換が開始されます。このオルタネート同期モードにより、チャンネルのサイクリング時に $\overline{\text{SYNC}}$ を使用できるようになります。	0x1	R/W
[10:9]	ERR_EN	00 01 10 11	00 ディスエーブル。 01 イネーブル。 01 エラー・ピン・モード。これらのビットにより、 $\overline{\text{ERROR}}$ ピンをエラー入出力として使用できるようになります。 10 ディスエーブル。 11 エラー入力イネーブル（アクティブ・ロー）。 $\overline{\text{ERROR}}$ はエラー入力です。（反転された）リードバックの状態は、他のエラー・ソースとの論理和がとられ、ステータス・レジスタの ADC_ERROR ビットになります。ERROR ピンの状態は、このレジスタの ERR_DAT ビットから読み出すこともできます。	0x0	R/W
8	ERR_DAT	0 1	0 オープンドレイン・エラー出力イネーブル（アクティブ・ロー）。 $\overline{\text{ERROR}}$ はオープンンドレインのエラー出力です。ステータス・レジスタのエラー・ビットは、論理和がとられ、反転されて、 $\overline{\text{ERROR}}$ ピンにマッピングされます。複数のデバイスのどのエラーも検知できるように、それらのデバイスの $\overline{\text{ERROR}}$ ピンを、共通のプルアップ抵抗に接続することができます。 0 汎用出力（アクティブ・ロー）。 $\overline{\text{ERROR}}$ は汎用出力です。このピンのステータスは、このレジスタの ERR_DAT ビットによって制御されます。この出力は、GPIOx ピンで使用される AVDD1 および AVSS レベルとは異なり、IOVDD と DGND 間の電圧を基準にしています。この場合、出力にはアクティブ・プルアップ抵抗を接続します。 1 エラー・ピン・データ。 $\overline{\text{ERROR}}$ ピンが汎用出力としてイネーブルされる場合、このビットがこのピンのロジック・レベルを決定します。このピンが入力としてイネーブルされていると、このビットは、このピンのリードバック・ステータスを反映します。	0x0	R/W
7	GP_DATA1	0 1	0 ロジック 0。 1 ロジック 1。 1 GPO1 データ。このビットは GPO1 の書込みデータです。	0x0	R/W
6	GP_DATA0	0 1	0 GPO1 = 0。 1 GPO1 = 1。 1 GPO0 データ。このビットは GPO0 の書込みデータです。	0x0	R/W
[5:0]	Reserved		予備。	0x0	R

ID レジスタ

アドレス：0x07、リセット：0x30DX、レジスタ名：ID

ID レジスタは 16 ビットの ID を返します。AD4112 の場合、この値は 0x30DX です。

表 31. ID のビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[15:0]	ID		製品 ID。ID レジスタは、この ADC 固有の 16 ビットの ID コードを返します。	0x30DX	R

チャンネル・レジスタ 0

アドレス：0x10、リセット：0x8001、レジスタ名：CH0

チャンネル・レジスタは 16 ビットのレジスタです。現在アクティブなチャンネル、各チャンネルの入力、チャンネル用の ADC の設定に使用するセットアップを選択するには、このレジスタを使用します。

表 32. CH0 のビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
15	CH_EN0	0 1	このビットはチャンネル 0 をイネーブルします。複数のチャンネルをイネーブルすると、ADC はこれらのチャンネルを自動的にシーケンス処理します。 0 ディスエーブル。 1 イネーブル。	0x1	R/W
[14:12]	SETUP_SEL0	000 001 010 011 100 101 110 111	これらのビットは、このチャンネル用に ADC を設定するための 8 種類のセットアップのうち、どれを使用するかを指定します。各セットアップは、セットアップ設定レジスタ、フィルタ設定レジスタ、オフセット・レジスタ、ゲイン・レジスタの 4 つのレジスタで構成されています。すべてのチャンネルが同じセットアップを使用することができます。この場合、すべてのアクティブ・チャンネルのこれらのビットに同じ 3 ビット値を書き込む必要があります。または、最大 8 チャンネルを異なる設定にすることができます。 000 セットアップ 0。 001 セットアップ 1。 010 セットアップ 2。 011 セットアップ 3。 100 セットアップ 4。 101 セットアップ 5。 110 セットアップ 6。 111 セットアップ 7。	0x0	R/W
[11:10]	Reserved		予備。	0x0	R
[9:0]	INPUT0	000000001 000001000 000010000 000011000 000100001 000101000 000110001 000111000 001000010 001001000 001010000 001011000 001100011 001101000 001110010 001111000 011000101 011010100 011011000 011100101 011101010 011100100	これらのビットは、このチャンネルの ADC の入力に接続する入力ペアを選択します。 VIN0、VIN1 VIN0、VINCOM。 VIN1、VIN0 VIN1、VINCOM。 VIN2、VIN3 VIN2、VINCOM。 VIN3、VIN2 VIN3、VINCOM。 VIN4、VIN5 VIN4、VINCOM。 VIN5、VIN4 VIN5、VINCOM。 VIN6、VIN7 VIN6、VINCOM。 VIN7、VIN6 VIN7、VINCOM。 IIN3+、IIN3-。 IIN2+、IIN2-。 IIN1+、IIN1-。	0x1	R/W

ビット	ビット名	設定値	説明	リセット	読書き
		0111101000	IIN0+, IIN0-。		
		1000110010	温度センサー。		
		1010110110	リファレンス。		

チャンネル・レジスタ 1～チャンネル・レジスタ 15

アドレス：0x11～0x1F、リセット：0x0001、レジスタ名：CH1～CH7

残り 15 のチャンネル・レジスタは、チャンネル・レジスタ 0 と同じレイアウトです。

表 33. CH1～CH15 のレジスタ・マップ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x11	CH1	[15:8]	CH_EN1		SETUP_SEL1			Reserved	INPUT1[9:8]		0x0001	RW
		[7:0]	INPUT1[7:0]									
0x12	CH2	[15:8]	CH_EN2		SETUP_SEL2			Reserved	INPUT2[9:8]		0x0001	RW
		[7:0]	INPUT2[7:0]									
0x13	CH3	[15:8]	CH_EN3		SETUP_SEL3			Reserved	INPUT3[9:8]		0x0001	RW
		[7:0]	INPUT3[7:0]									
0x14	CH4	[15:8]	CH_EN4		SETUP_SEL4			Reserved	INPUT4[9:8]		0x0001	RW
		[7:0]	INPUT4[7:0]									
0x15	CH5	[15:8]	CH_EN5		SETUP_SEL5			Reserved	INPUT5[9:8]		0x0001	RW
		[7:0]	INPUT5[7:0]									
0x16	CH6	[15:8]	CH_EN6		SETUP_SEL6			Reserved	INPUT6[9:8]		0x0001	RW
		[7:0]	INPUT6[7:0]									
0x17	CH7	[15:8]	CH_EN7		SETUP_SEL7			Reserved	INPUT7[9:8]		0x0001	RW
		[7:0]	INPUT7[7:0]									
0x18	CH8	[15:8]	CH_EN8		SETUP_SEL8			Reserved	INPUT8[9:8]		0x0001	RW
		[7:0]	INPUT8[7:0]									
0x19	CH9	[15:8]	CH_EN9		SETUP_SEL9			Reserved	INPUT9[9:8]		0x0001	RW
		[7:0]	INPUT9[7:0]									
0x1A	CH10	[15:8]	CH_EN10		SETUP_SEL10			Reserved	INPUT10[9:8]		0x0001	RW
		[7:0]	INPUT10[7:0]									
0x1B	CH11	[15:8]	CH_EN11		SETUP_SEL11			Reserved	INPUT11[9:8]		0x0001	RW
		[7:0]	INPUT11[7:0]									
0x1C	CH12	[15:8]	CH_EN12		SETUP_SEL12			Reserved	INPUT12[9:8]		0x0001	RW
		[7:0]	INPUT12[7:0]									
0x1D	CH13	[15:8]	CH_EN13		SETUP_SEL13			Reserved	INPUT13[9:8]		0x0001	RW
		[7:0]	INPUT13[7:0]									
0x1E	CH14	[15:8]	CH_EN14		SETUP_SEL14			Reserved	INPUT14[9:8]		0x0001	RW
		[7:0]	INPUT14[7:0]									
0x1F	CH15	[15:8]	CH_EN15		SETUP_SEL15			Reserved	INPUT15[9:8]		0x0001	RW
		[7:0]	INPUT15[7:0]									

セットアップ設定レジスタ 0

アドレス：0x20、リセット：0x1000、レジスタ名：SETUPCON0

セットアップ設定レジスタは 16 ビットのレジスタで、リファレンスの選択、入力バッファ、および ADC の出力コーディングを設定します。

表 34. SETUPCON0 のビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[15:13]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
12	BI_UNIPOLAR0	0 1	バイポーラ/ユニポーラ。このビットはセットアップ 0 の ADC の出力コーディングを設定します。 ユニポーラ・コーディング出力。 バイポーラ・コーディング出力。	0x1	R/W
11	REFBUF0+	0 1	REF+バッファ。このビットは REF+入力バッファをイネーブルまたはディスエーブルします。 ディスエーブル。 イネーブル。	0x0	R/W
10	REFBUF0-	0 1	REF-バッファ。このビットは REF-入力バッファをイネーブルまたはディスエーブルします。 ディスエーブル。 イネーブル。	0x0	R/W
[9:8]	INBUF0	00 01 10 11	入力バッファ。このビットは入力バッファをイネーブルまたはディスエーブルします。 ディスエーブル。 予備。 予備。 イネーブル。	0x0	R/W
7	Reserved		このビットは予備で、0 に設定します。	0x0	R
6	Reserved		このビットは予備で、0 に設定します。	0x0	R
[5:4]	REF_SEL0	00 10 11	これらのビットにより、セットアップ 0 の ADC 変換のリファレンス・ソースを選択できます。 外部リファレンス - REF±。 内部 2.5V リファレンス。ADCMODE を介してイネーブルする必要があります (表 26 を参照)。 AVDD - AVSS。	0x0	R/W
[3:0]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R

セットアップ設定レジスタ 1~セットアップ設定レジスタ 7

アドレス：0x21~0x27、リセット値：0x1000、レジスタ名：SETUPCON1~SETUPCON7

残り 7 つのセットアップ設定レジスタは、セットアップ設定レジスタ 0 と同じレイアウトです。

表 35. SETUPCON1~SETUPCON7 のレジスタ・マップ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x21	SETUPCON1	[15:8]	Reserved			BI_UNIPOLAR1	REFBUF1+	REFBUF1-	INBUF1	0x1000	RW	
		[7:0]	Reserved	Reserved		REF_SEL1	Reserved					
0x22	SETUPCON2	[15:8]	Reserved			BI_UNIPOLAR2	REFBUF2+	REFBUF2-	INBUF2	0x1000	RW	
		[7:0]	Reserved	Reserved		REF_SEL2	Reserved					
0x23	SETUPCON3	[15:8]	Reserved			BI_UNIPOLAR3	REFBUF3+	REFBUF3-	INBUF3	0x1000	RW	
		[7:0]	Reserved	Reserved		REF_SEL3	Reserved					
0x24	SETUPCON4	[15:8]	Reserved			BI_UNIPOLAR4	REFBUF4+	REFBUF4-	INBUF4	0x1000	RW	
		[7:0]	Reserved	Reserved		REF_SEL4	Reserved					
0x25	SETUPCON5	[15:8]	Reserved			BI_UNIPOLAR5	REFBUF5+	REFBUF5-	INBUF5	0x1000	RW	
		[7:0]	Reserved	Reserved		REF_SEL5	Reserved					
0x26	SETUPCON6	[15:8]	Reserved			BI_UNIPOLAR6	REFBUF6+	REFBUF6-	INBUF6	0x1000	RW	
		[7:0]	Reserved	Reserved		REF_SEL6	Reserved					
0x27	SETUPCON7	[15:8]	Reserved			BI_UNIPOLAR7	REFBUF7+	REFBUF7-	INBUF7	0x1000	RW	
		[7:0]	Reserved	Reserved		REF_SEL7	Reserved					

フィルタ設定レジスタ 0

アドレス：0x28、リセット：0x0500、レジスタ名：FILTCON0

フィルタ設定レジスタは 16 ビットのレジスタで、ADC のデータ・レートとフィルタ・オプションを設定します。これらのレジスタに書き込むと、アクティブな ADC 変換はすべてリセットされ、シーケンス内の最初のチャンネルから変換が再開されます。

表 36. FILTCON0 のビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
15	SINC3_MAP0		このビットをセットすると、フィルタ・レジスタのマッピングが変化して、セットアップ 0 の sinc3 フィルタのデシメーション・レートが直接設定されます。他のオプションはすべて無効になります。このビットにより、出力データ・レートおよび特定の周波数成分を除去するフィルタ・ノッチの微調整が可能になります。1 つのチャンネルのデータ・レートは $f_{\text{Mod}} / (32 \times \text{FILTCON0} [14 : 0])$ に等しくなります。	0x0	RW
[14:12]	Reserved		これらのビットは予約済みで、0 に設定します。	0x0	R
11	ENHFILTEN0	0 1	このビットは、セットアップ 0 の 50Hz/60Hz 除去用に強化された各種ポスト・フィルタをイネーブルします。この機能を有効にするには、ORDER0 ビットを 00 に設定し、sinc5 + sinc1 フィルタを選択する必要があります。 0 ディスエーブル。 1 イネーブル。	0x0	RW
[10:8]	ENHFILT0	010 011 101 110	これらのビットは、セットアップ 0 の 50Hz/60Hz 除去用に強化された各種ポスト・フィルタを選択します。 010 27SPS、除去比：47dB、セトリング時間：36.7ms 011 25SPS、除去比：62dB、セトリング時間：40ms 101 20SPS、除去比：86dB、セトリング時間：50ms 110 16.67SPS、除去比：92dB、セトリング時間：60ms	0x5	RW
7	Reserved		このビットは予備です。このビットは 0 に設定します。	0x0	R
[6:5]	ORDER0	00 11	これらのビットは、セットアップ 0 の変調器データを処理するデジタル・フィルタの次数を制御します。 00 Sinc5 + sinc1 (デフォルト)。 11 Sinc3	0x0	RW
[4:0]	ODR0	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100 10101 10110	これらのビットは ADC の出力データ・レートを制御します。したがって、セットアップ 0 のセトリング時間とノイズの値も制御します。単一チャンネルで sinc5 + sinc1 フィルタをイネーブルした場合のレートを以下に示します。複数チャンネルについては、表 6 と表 9 を参照してください。 00000 31,250SPS。 00001 31,250SPS。 00010 31,250SPS。 00011 31,250SPS。 00100 31,250SPS。 00101 31,250SPS。 00110 15,625SPS。 00111 10,417SPS。 01000 5208SPS。 01001 2597SPS (sinc3 では 3906SPS)。 01010 1007SPS (sinc3 では 1157SPS)。 01011 503.8SPS (sinc3 では 539SPS)。 01100 381SPS (sinc3 では 401SPS)。 01101 200.3SPS (sinc3 では 206SPS)。 01110 100.2SPS (sinc3 では 102SPS)。 01111 59.52 SPS (sinc3 では 59.98SPS)。 10000 49.68SPS (sinc3 では 50SPS)。 10001 20.01SPS。 10010 16.63SPS (sinc3 では 16.67SPS)。 10011 10SPS。 10100 5SPS。 10101 2.5SPS。 10110 1.25SPS。	0x0	RW

フィルタ設定レジスタ 1～フィルタ設定レジスタ 7

アドレス：0x29～0x2F、リセット：0x0500、レジスタ名：FILTCON1～FILTCON7

残り7つのフィルタ設定レジスタは、フィルタ設定レジスタ0と同じレイアウトです。

表 37. FILTCON1～FILTCON7 のレジスタ・マップ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x29	FILTCON1	[15:8]	SINC3_MAP1	Reserved			ENHFILTEN1	ENHFILT1			0x0500	RW
		[7:0]	Reserved	ORDER1	ODR1							
0x2A	FILTCON2	[15:8]	SINC3_MAP2	Reserved			ENHFILTEN2	ENHFILT2			0x0500	RW
		[7:0]	Reserved	ORDER2	ODR2							
0x2B	FILTCON3	[15:8]	SINC3_MAP3	Reserved			ENHFILTEN3	ENHFILT3			0x0500	RW
		[7:0]	Reserved	ORDER3	ODR3							
0x2C	FILTCON4	[15:8]	SINC3_MAP4	Reserved			ENHFILTEN4	ENHFILT4			0x0500	RW
		[7:0]	Reserved	ORDER4	ODR4							
0x2D	FILTCON5	[15:8]	SINC3_MAP5	Reserved			ENHFILTEN5	ENHFILT5			0x0500	RW
		[7:0]	Reserved	ORDER5	ODR5							
0x2E	FILTCON6	[15:8]	SINC3_MAP6	Reserved			ENHFILTEN6	ENHFILT6			0x0500	RW
		[7:0]	Reserved	ORDER6	ODR6							
0x2F	FILTCON7	[15:8]	SINC3_MAP7	Reserved			ENHFILTEN7	ENHFILT7			0x0500	RW
		[7:0]	Reserved	ORDER7	ODR7							

オフセット・レジスタ 0

アドレス：0x30、リセット：0x800000、レジスタ名：OFFSET0

オフセット（ゼロスケール）レジスタは 24 ビットのレジスタで、ADC またはシステムのオフセット誤差の補正に使用することができます。

表 38. OFFSET0 のビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[23:0]	OFFSET0		セットアップ0用のオフセット・キャリブレーション係数。	0x800000	RW

オフセット・レジスタ 1～オフセット・レジスタ 7

アドレス：0x31～0x37、リセット：0x800000、レジスタ名：OFFSET1～OFFSET7

残り7つのオフセット・レジスタは、オフセット・レジスタ0と同じレイアウトです。

表 39. OFFSET1～OFFSET7 のレジスタ・マップ

Reg.	Name	Bits	Bits[23:0]	Reset	RW
0x31	OFFSET1	[23:0]	OFFSET1[23:0]	0x800000	RW
0x32	OFFSET2	[23:0]	OFFSET2[23:0]	0x800000	RW
0x33	OFFSET3	[23:0]	OFFSET3[23:0]	0x800000	RW
0x34	OFFSET4	[23:0]	OFFSET4[23:0]	0x800000	RW
0x35	OFFSET5	[23:0]	OFFSET5[23:0]	0x800000	RW
0x36	OFFSET6	[23:0]	OFFSET6[23:0]	0x800000	RW
0x37	OFFSET7	[23:0]	OFFSET7[23:0]	0x800000	RW

ゲイン・レジスタ 0

アドレス：0x38、リセット：0x5XXXX0、レジスタ名：GAIN0

ゲイン（フルスケール）レジスタは 24 ビットのレジスタで、ADC またはシステムのゲイン誤差の補正に使用することができます。

表 40. GAIN0 のビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[23:0]	GAIN0		セットアップ 0 のゲイン・キャリブレーション係数。	0x5XXXX0	RW

ゲイン・レジスタ 1～ゲイン・レジスタ 7

アドレス：0x39～0x3F リセット値：0x5XXXX0、レジスタ名：GAIN1～GAIN7

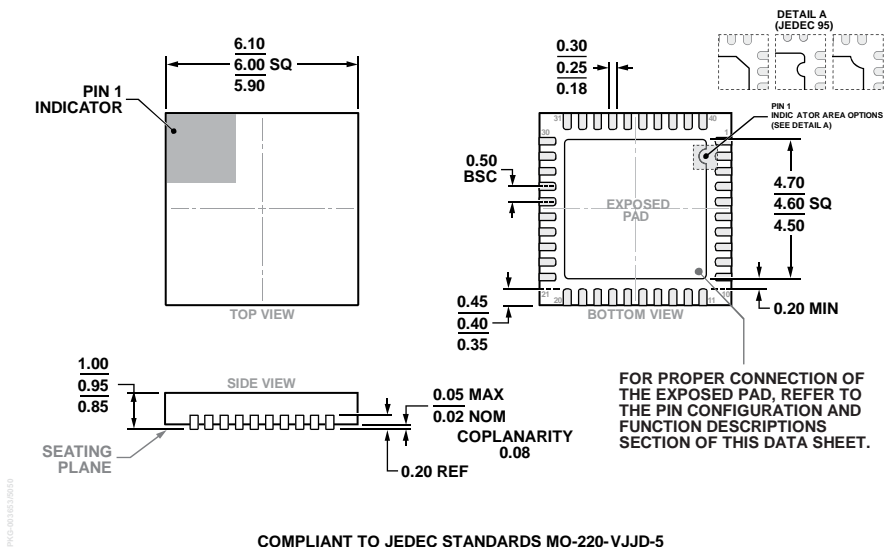
残り 7 つのゲイン・レジスタは、ゲイン・レジスタ 0 と同じレイアウトです。

表 41. GAIN1～GAIN7 のレジスタ・マップ

Reg.	Name	Bits	Bits[23:0]	Reset ¹	RW
0x39	GAIN1	[23:0]	GAIN1[23:0]	0x5XXXX0	RW
0x3A	GAIN2	[23:0]	GAIN2[23:0]	0x5XXXX0	RW
0x3B	GAIN3	[23:0]	GAIN3[23:0]	0x5XXXX0	RW
0x3C	GAIN4	[23:0]	GAIN4[23:0]	0x5XXXX0	RW
0x3D	GAIN5	[23:0]	GAIN5[23:0]	0x5XXXX0	RW
0x3E	GAIN6	[23:0]	GAIN6[23:0]	0x5XXXX0	RW
0x3F	GAIN7	[23:0]	GAIN7[23:0]	0x5XXXX0	RW

¹ X はドント・ケア。

外形寸法



PKG-040303020

10-25-2017-C

COMPLIANT TO JEDEC STANDARDS MO-220-VJJD-5

図 59. 40 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
 6 mm × 6 mm ボディ、0.95 mm パッケージ高
 (CP-40-15)
 寸法 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD4112BCPZ	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-15
AD4112BCPZ-RL7	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-15
EVAL-AD4112SDZ		Evaluation Board	
EVAL-SDP-CB1Z		Evaluation Controller Board	

¹ Z = RoHS 準拠製品