



20 ビット、1.8 MSPS の高精度 SAR 差動 ADC

データシート

AD4020

特長

- スループット: 1.8 MSPS (最大)
- INL: 最大 ± 3.1 ppm
- 20 ビットのノー・ミッシング・コードを確保
- 低消費電力
 - 1.8 MSPS で 9.0 mW (VDD のみ)
 - 10 kSPS で 83 μ W、1.8 MSPS で 15 mW (合計)
- S/N 比: 1 kHz で 100.5 dB (代表値)
- 100 kHz で 99 dB (代表値)
- THD: 1 kHz で -123 dB (代表値)
- 100 kHz で -100 dB (代表値)
- 使いやすい機能でシステムの消費電力と複雑さを低減
 - 入力過電圧クランプ回路
 - 非直線性入力チャージ・キックバックを削減
 - 高インピーダンス・モード
 - 長いアキュジション・フェーズ
 - 入力スパンの圧縮
 - 高速変換で低 SPI クロック・レートを実現
 - SPI プログラマブル・モード、読み出し/書き込み機能、ステータス・ワード
- 差動アナログ入力範囲: $\pm V_{REF}$
 - 0 V \sim V_{REF} (V_{REF} は 2.4 V \sim 5.1 V)
- 1.71 V \sim 5.5 V のロジック・インターフェースで 1.8 V の単電源動作
- SAR アーキテクチャ: 遅延/パイプライン遅延なし
- 起動後、最初から正確な変換が可能
- 保証動作: -40 $^{\circ}$ C \sim +125 $^{\circ}$ C
- シリアル・インターフェース: SPI/QSPI/MICROWIRE/DSP 互換
- 複数の ADC をデジチェーン接続可能、ビジー・インジケータ搭載
- 10 ピン・パッケージ: 3 mm \times 3 mm LFCSP および 3 mm \times 4.90 mm MSOP

アプリケーション

- 自動試験装置
- マシン・オートメーション
- 医療機器
- バッテリー駆動装置
- 高精度のデータ・アキュジション・システム

概要

AD4020 は、低ノイズ、低消費電力、高速の 20 ビット 1.8 MSPS 高精度逐次比較型 (SAR) A/D コンバータ (ADC) です。この製品には、シグナル・チェーンの消費電力を減らし、複雑さを軽減して高いチャンネル密度を実現できる、利便性の高い機能が組み込まれています。高インピーダンス・モードと長いアキュジション・フェーズを組み合わせることで、高出力で高速の専用 ADC ドライバが不要になり、この ADC を直接駆動できる低消費電力の高精度アンプの選択肢が広がると同時に、最適な性能を実現します。入力スパン圧縮機能により、負電源なしで ADC ドライバ・アンプと ADC を共通の電源で動作させながら、ADC コードの全範囲を維持できます。シリアル・ペリフェラル・インターフェース (SPI) の低クロック・レート要件により、デジタル入出力の消費電力量が低減され、プロセッサの選択肢が広がり、デジタル・アイソレーションを介したデータ伝送のタスクが簡素化されます。

AD4020 は 1.8 V の電源で動作し、完全差動入力の範囲は $\pm V_{REF}$ です (V_{REF} は 2.4 V \sim 5.1 V)。消費電力は、ターボ・モードで 71 MHz の最小 SCK レートの場合 1.8 MSPS でわずか 15 mW です。また、 ± 3.1 ppm の積分非直線性 (INL) を実現し、100.5 dB (代表値) の S/N 比 (SNR) で 20 ビットのノー・ミッシング・コードを達成します。リファレンス電圧は外付けで供給され、電源電圧とは独立して設定できます。

SPI 互換の多用途シリアル・インターフェースには、7 種類のモードがあります。このモードには、SDI 入力を使用して 1 本の 3 線式バスで複数の ADC をデジチェーン接続する機能も含まれています。また、オプションでビジー・インジケータも用意されています。AD4020 は別個の VIO 電源を使用することにより、1.8 V、2.5 V、3 V、5 V のロジックに対応します。

AD4020 は、10 ピン MSOP または 10 ピン LFCSP パッケージで供給され、-40 $^{\circ}$ C \sim +125 $^{\circ}$ C で動作が仕様規定されています。また、18 ビット、2 MSPS の AD4003 とピン互換です。

機能ブロック図

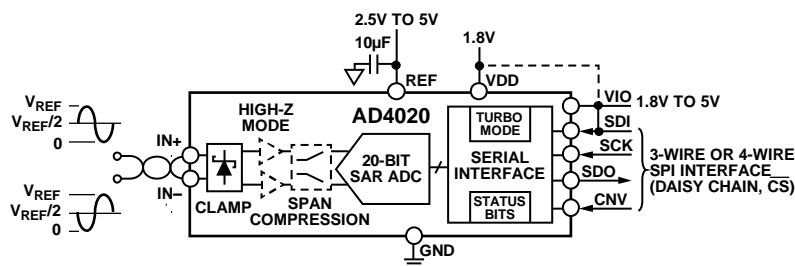


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	ドライバ・アンプの選択.....	20
アプリケーション.....	1	ドライブ補助機能.....	22
概要.....	1	電圧リファレンス入力.....	23
機能ブロック図.....	1	電源.....	24
改訂履歴.....	2	デジタル・インターフェース.....	24
仕様.....	3	レジスタ読出し/書込み機能.....	25
タイミング仕様.....	6	ステータス・ワード.....	27
絶対最大定格.....	8	$\overline{\text{CS}}$ モード、3 線式ターボ・モード.....	28
熱抵抗.....	8	$\overline{\text{CS}}$ モード、3 線式、ビジー・インジケータなし.....	29
ESD に関する注意事項.....	8	$\overline{\text{CS}}$ モード、3 線式、ビジー・インジケータあり.....	30
ピン配置およびピン機能の説明.....	9	$\overline{\text{CS}}$ モード、4 線式ターボ・モード.....	31
代表的な性能特性.....	10	$\overline{\text{CS}}$ モード、4 線式、ビジー・インジケータなし.....	32
用語の定義.....	14	$\overline{\text{CS}}$ モード、4 線式、ビジー・インジケータあり.....	33
動作原理.....	15	デイジーチェーン・モード.....	34
回路説明.....	15	レイアウトのガイドライン.....	35
コンバータの動作.....	15	AD4020 の性能評価.....	35
伝達関数.....	16	外形寸法.....	36
アプリケーション情報.....	17	オーダー・ガイド.....	36
代表的なアプリケーション図.....	17		
アナログ入力.....	19		

改訂履歴

7/2017—Rev. 0 to Rev. A

Change to Integral Nonlinearity Error (INL) Parameter, Table 1.....	3
--	---

7/2017—Revision 0: Initial Version

仕様

特に指定がない限り、VDD = 1.71 V ~ 1.89 V、VIO = 1.71 V ~ 5.5 V、VREF = 5 V、すべての仕様でTMIN ~ TMAX、高インピーダンス・モードは無効、スパン圧縮は無効、ターボ・モードは有効 (fS = 1.8 MSPS)。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		20			Bits
ANALOG INPUT					
Voltage Range	VIN+ - VIN- Span compression enabled	-VREF -VREF × 0.8		+VREF +VREF × 0.8	V V
Operating Input Voltage	VIN+, VIN- to GND Span compression enabled	-0.1 0.1 × VREF		+VREF + 0.1 0.9 × VREF	V V
Common-Mode Input Range		VREF/2 - 0.125	VREF/2	VREF/2 + 0.125	V
Common-Mode Rejection Ratio (CMRR)	fIN = 500 kHz		68		dB
Analog Input Current	Acquisition phase, TA = 25°C High-Z mode enabled, converting dc input at 1.8 MSPS		0.3		nA
			1		µA
THROUGHPUT					
Complete Cycle		555			ns
Conversion Time		300	320	350	ns
Acquisition Phase ¹		325			ns
Throughput Rate ² (fS)		0		1.8	MSPS
Transient Response ³			325		ns
DC ACCURACY					
No Missing Codes		20			Bits
Integral Nonlinearity Error (INL)	T = 0°C to 70°C	-3.1	±1	+3.1	ppm
Differential Nonlinearity Error (DNL)		-2	±1	+2	ppm
Transition Noise		-0.5	±0.3	+0.5	LSB
Zero Error			3.3		LSB
Zero Error Drift ⁴		-35		+35	LSB
Gain Error		-0.3		+0.3	ppm/°C
Gain Error Drift ⁴		-88	±12	+88	LSB
Power Supply Sensitivity	VDD = 1.8 V ± 5%	-1.2		+1.2	ppm/°C
1/f Noise ⁵	Bandwidth = 0.1 Hz to 10 Hz		6		µV p-p
AC ACCURACY					
Dynamic Range			101		dB
Total RMS Noise			31.5		µV rms
fIN = 1 kHz, -0.5 dBFS, VREF = 5 V					
Signal-to-Noise Ratio (SNR)		99	100.5		dB
Spurious-Free Dynamic Range (SFDR)			122		dB
Total Harmonic Distortion (THD)			-123		dB
Signal-to-Noise-and-Distortion Ratio (SINAD)		98.5	100		dB
Oversampled Dynamic Range	Oversampling ratio (OSR) = 256, VREF = 5 V		122		dB
fIN = 1 kHz, -0.5 dBFS, VREF = 2.5 V					
SNR		93.3	94.7		dB
SFDR			122		dB
THD			-119		dB
SINAD		93	94.5		dB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
$f_{IN} = 100 \text{ kHz}$, -0.5 dBFS , $V_{REF} = 5 \text{ V}$					
SNR			99		dB
THD			-100		dB
SINAD			96.5		dB
$f_{IN} = 400 \text{ kHz}$, -0.5 dBFS , $V_{REF} = 5 \text{ V}$					
SNR			92.5		dB
THD			-94		dB
SINAD			90		dB
-3 dB Input Bandwidth			10		MHz
Aperture Delay			1		ns
Aperture Jitter			1		ps rms
REFERENCE					
Voltage Range (V_{REF})		2.4		5.1	V
Current	1.8 MSPS, $V_{REF} = 5 \text{ V}$		1.1		mA
OVERVOLTAGE CLAMP					
I_{IN+}/I_{IN-}	$V_{REF} = 5 \text{ V}$			50	mA
	$V_{REF} = 2.5 \text{ V}$			50	mA
V_{IN+}/V_{IN-} at Maximum I_{IN+}/I_{IN-}	$V_{REF} = 5 \text{ V}$		5.4		V
	$V_{REF} = 2.5 \text{ V}$		3.1		V
V_{IN+}/V_{IN-} Clamp On/Off Threshold	$V_{REF} = 5 \text{ V}$	5.25	5.4		V
	$V_{REF} = 2.5 \text{ V}$	2.68	2.8		V
Deactivation Time			360		ns
REF Current at Maximum I_{IN+}/I_{IN-}	$V_{IN+}/V_{IN-} > V_{REF}$		100		μA
DIGITAL INPUTS					
Logic Levels					
Input Voltage Low (V_{IL})	$V_{IO} > 2.7 \text{ V}$	-0.3		$+0.3 \times V_{IO}$	V
	$V_{IO} \leq 2.7 \text{ V}$	-0.3		$+0.2 \times V_{IO}$	V
Input Voltage High (V_{IH})	$V_{IO} > 2.7 \text{ V}$	$0.7 \times V_{IO}$		$V_{IO} + 0.3$	V
	$V_{IO} \leq 2.7 \text{ V}$	$0.8 \times V_{IO}$		$V_{IO} + 0.3$	V
Input Current Low (I_{IL})		-1		+1	μA
Input Current High (I_{IH})		-1		+1	μA
Input Pin Capacitance			6		pF
DIGITAL OUTPUTS					
Data Format		Serial, 20 bits, twos complement			
Pipeline Delay		Conversion results available immediately after completed conversion			
Output Voltage Low (V_{OL})	$I_{SINK} = 500 \mu\text{A}$			0.4	V
Output Voltage High (V_{OH})	$I_{SOURCE} = -500 \mu\text{A}$	$V_{IO} - 0.3$			V
POWER SUPPLIES					
VDD		1.71	1.8	1.89	V
VIO		1.71		5.5	V
Standby Current	$V_{DD} = 1.8 \text{ V}$, $V_{IO} = 1.8 \text{ V}$, $T_A = 25^\circ\text{C}$		1.6		μA
Power Dissipation	$V_{DD} = 1.8 \text{ V}$, $V_{IO} = 1.8 \text{ V}$, $V_{REF} = 5 \text{ V}$				
	10 kSPS, high-Z mode disabled		83		μW
	1 MSPS, high-Z mode disabled		8.3		mW
	1.8 MSPS, high-Z mode disabled		15	19	mW
	1 MSPS, high-Z mode enabled		10.8		mW
	1.8 MSPS, high-Z mode enabled		19	25	mW
VDD Only	1.8 MSPS, high-Z mode disabled		9.0		mW
REF Only	1.8 MSPS, high-Z mode disabled		5.0		mW

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
VIO Only Energy per Conversion	1.8 MSPS, high-Z mode disabled		1.0 8.3		mW nJ/sample
TEMPERATURE RANGE Specified Performance	T _{MIN} to T _{MAX}	-40		+125	°C

¹ アクイジション・フェーズとは、ADC が 1.8 MSPS のスループット・レートで動作している場合に、入力サンプリング・コンデンサが新規の入力値を取得するために使用できる時間です。

² ターボ・モードを有効にして、最小 SCK レートである 71 MHz を使用した場合のみ、1.8 MSPS のスループット・レートが実現します。さまざまな動作モードで可能な最大スループットについては、表 4 を参照してください。

³ 過渡応答とは、ADC が ± 2 LSB の精度でフルスケール入力ステップを実現するために必要な時間です。

⁴ 最小値と最大値は特性評価によって確保されていますが、出荷テストの対象外です。

⁵ 図 18 の 1/f ノイズ・プロットを参照してください。

タイミング仕様

特に指定がない限り、VDD = 1.71 V ~ 1.89 V、VIO = 1.71 V ~ 5.5 V、VREF = 5 V、すべての仕様で TMIN ~ TMAX、高インピーダンス・モードは無効、スパン圧縮は無効、ターボ・モードは有効 (fs = 1.8 MSPS)。タイミング電圧レベルについては、図 2 を参照してください。

表 2. デジタル・インターフェースのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
CONVERSION TIME—CNV RISING EDGE TO DATA AVAILABLE	tCONV	300	320	350	ns
ACQUISITION PHASE ¹	tACQ	325			ns
TIME BETWEEN CONVERSIONS	tCYC	555			ns
CNV PULSE WIDTH (CS MODE) ²	tCNVH	10			ns
SCK PERIOD	tSCK				
CS Mode ³					
VIO > 2.7 V		9.8			ns
VIO > 1.7 V		12.3			ns
Daisy-Chain Mode ⁴					
VIO > 2.7 V		20			ns
VIO > 1.7 V		25			ns
SCK LOW TIME	tSCKL	3			ns
SCK HIGH TIME	tSCKH	3			ns
SCK FALLING EDGE TO DATA REMAINS VALID DELAY	tHSDO	1.5			ns
SCK FALLING EDGE TO DATA VALID DELAY	tDSDO			7.5	ns
VIO > 2.7 V				10.5	ns
VIO > 1.7 V					
CNV OR SDI LOW TO SDO D17 MSB VALID DELAY (CS MODE)	tEN			10	ns
VIO > 2.7 V				13	ns
VIO > 1.7 V					
CNV RISING EDGE TO FIRST SCK RISING EDGE DELAY	tQUIET1	200			ns
LAST SCK FALLING EDGE TO CNV RISING EDGE DELAY ⁵	tQUIET2	60			ns
CNV OR SDI HIGH OR LAST SCK FALLING EDGE TO SDO HIGH IMPEDANCE (CS MODE)	tDIS			20	ns
SDI VALID SETUP TIME FROM CNV RISING EDGE	tSSDICNV	2			ns
SDI VALID HOLD TIME FROM CNV RISING EDGE					
CS Mode	tHSDICNV	2			ns
Daisy-Chain Mode	tHSDCKNV	12			ns
SDI VALID SETUP TIME FROM SCK RISING EDGE (DAISY-CHAIN MODE)	tSSDISCK	2			ns
SDI VALID HOLD TIME FROM SCK RISING EDGE (DAISY-CHAIN MODE)	tHSDISCK	2			ns

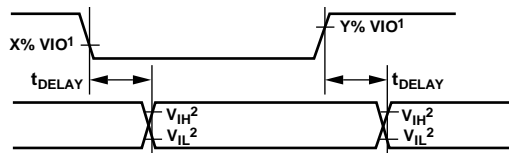
¹ アクイジション・フェーズとは、ADC が 1.8 MSPS のスループット・レートで動作している場合に、入力サンプリング・コンデンサが新規の入力値を取得するために使用できる時間です。

² ターボ・モードでは、tCNVH と最小 tQUIET1 が一致する必要があります。

³ ターボ・モードを有効にして、最小 SCK レートである 71 MHz を使用した場合のみ、1.8 MSPS のスループット・レートが実現します。

⁴ SCK では、50% のデューティ・サイクルを想定しています。

⁵ SINAD と tQUIET2 の関係については、図 22 を参照してください。



¹FOR VIO ≤ 2.7V, X = 80, AND Y = 20; FOR VIO > 2.7V, X = 70, AND Y = 30.
²MINIMUM VIH2 AND MAXIMUM VIL2 USED. SEE THE DIGITAL INPUTS SPECIFICATIONS IN TABLE 1.

15369-002

図 2. タイミングの電圧レベル

表 3. レジスタ読出し／書き込みのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
READ/WRITE OPERATION					
CNV Pulse Width ¹	t_{CNVH}	10			ns
SCK Period	t_{SCK}				
VIO > 2.7 V		9.8			ns
VIO > 1.7 V		12.3			ns
SCK Time					
Low	t_{SCKL}	3			ns
High	t_{SCKH}	3			ns
READ OPERATION					
CNV Low to SDO D17 MSB Valid Delay	t_{EN}				
VIO > 2.7 V				10	ns
VIO > 1.7 V				13	ns
SCK Falling Edge to Data Remains Valid	t_{HSDO}	1.5			ns
SCK Falling Edge to Data Valid Delay	t_{DSDO}				
VIO > 2.7 V				7.5	ns
VIO > 1.7 V				10.5	ns
CNV Rising Edge to SDO High Impedance	t_{DIS}			20	ns
WRITE OPERATION					
SDI Valid Setup Time from SCK Rising Edge	$t_{SSDISCK}$	2			ns
SDI Valid Hold Time from SCK Rising Edge	$t_{HSDISCK}$	2			ns
CNV Rising Edge to SCK Edge Hold Time	$t_{HCNVSCK}$	0			ns
CNV Falling Edge to SCK Active Edge Setup Time	$t_{SCNVSCK}$	6			ns

¹ ターボ・モードでは、 t_{CNVH} と最小 t_{QUIET1} が一致する必要があります。

表 4. 各動作モードで可能なスループット

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
THROUGHPUT, CS MODE					
3-Wire and 4-Wire Turbo Mode	$f_{SCK} = 100 \text{ MHz}, VIO \geq 2.7 \text{ V}$			1.80	MSPS
	$f_{SCK} = 80 \text{ MHz}, VIO < 2.7 \text{ V}$			1.80	MSPS
3-Wire and 4-Wire Turbo Mode and Six Status Bits	$f_{SCK} = 100 \text{ MHz}, VIO \geq 2.7 \text{ V}$			1.80	MSPS
	$f_{SCK} = 80 \text{ MHz}, VIO < 2.7 \text{ V}$			1.67	MSPS
3-Wire and 4-Wire Mode	$f_{SCK} = 100 \text{ MHz}, VIO \geq 2.7 \text{ V}$			1.61	MSPS
	$f_{SCK} = 80 \text{ MHz}, VIO < 2.7 \text{ V}$			1.49	MSPS
3-Wire and 4-Wire Mode and Six Status Bits	$f_{SCK} = 100 \text{ MHz}, VIO \geq 2.7 \text{ V}$			1.47	MSPS
	$f_{SCK} = 80 \text{ MHz}, VIO < 2.7 \text{ V}$			1.34	MSPS

絶対最大定格

表 5.

Parameter	Rating
Analog Inputs IN+, IN- to GND ¹	-0.3 V to $V_{REF} + 0.4$ V, or ± 50 mA
Supply Voltage	
REF, VIO to GND	-0.3 V to +6.0 V
VDD to GND	-0.3 V to +2.1 V
VDD to VIO	-6 V to +2.4 V
Digital Inputs to GND	-0.3 V to VIO + 0.3 V
Digital Outputs to GND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Lead Temperature Soldering	260°C reflow as per JEDEC J-STD-020
ESD Ratings	
Human Body Model	4 kV
Machine Model	200 V
Field Induced Charged Device Model	1.25 kV

¹ IN+ および IN- の説明については、アナログ入力のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

クランプで過電圧状態を無期限に保つことはできません。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 6. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
RM-10 ¹	147	38	°C/W
CP-10-9 ¹	114	33	°C/W

¹ テスト条件 1: 熱抵抗のシミュレーション値は、2S2P JEDEC PCB の使用によって決定します。オーダー・ガイドを参照してください。

ESD に関する注意事項



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

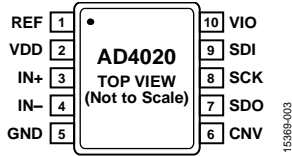
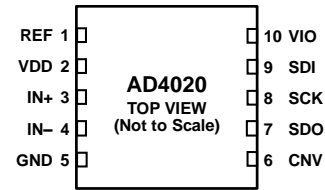


図 3. 10 ピン MSOP のピン配置



NOTES
1. CONNECT THE EXPOSED PAD TO GND. THIS CONNECTION IS NOT REQUIRED TO MEET THE SPECIFIED PERFORMANCE.

図 4. 10 ピン LFCSP のピン配置

表 7. ピン機能の説明

Pin No.	Mnemonic	Type ¹	Description
1	REF	AI	リファレンス入力電圧。V _{REF} 範囲は 2.4 V ~ 5.1 V です。このピンは GND ピンと呼ばれ、10 μF の X7R セラミック・コンデンサで GND ピンの近くにデカップリングする必要があります。
2	VDD	P	±1.8 V 電源。VDD の範囲は 1.71 V ~ 1.89 V です。0.1 μF のセラミック・コンデンサを使用して、VDD を GND にバイパスします。
3	IN+	AI	差動正アナログ入力。
4	IN-	AI	差動負アナログ入力。
5	GND	P	電源グラウンド。
6	CNV	DI	入力変換。この入力には、複数の機能があります。立上がりエッジで変換を開始して、デバイスのインターフェース・モードをデジチェーン・モードまたは $\overline{\text{CS}}$ モードから選択します。 $\overline{\text{CS}}$ モードでは、CNV がローの場合に SDO ピンがイネーブルになります。デジチェーン・モードでは、CNV がハイの場合にデータの読出しが実行されます。
7	SDO	DO	シリアル・データ出力。変換結果はこのピンに出力されます。SCK に同期されます。
8	SCK	DI	シリアル・データ・クロック入力。デバイスを選択すると、変換結果はこのクロックによってシフト出力されます。
9	SDI	DI	シリアル・データ入力。この入力には、複数の機能があります。ADC のインターフェース・モードを次のように選択します。 CNV 立上がりエッジの発生時に SDI がローの場合、チェーン・モードが選択されます。このモードでは、SDI がデータ入力として使用され、2 つ以上の ADC の変換結果が 1 本の SDO ラインでデジチェーン接続されます。SDI のデジタル・データ・レベルは、20 SCK サイクルの遅延で SDO に出力されます。 $\overline{\text{CS}}$ モードは、CNV 立上がりエッジ中に、SDI がハイの場合に選択されます。このモードでは、SDI または CNV がローの場合に、シリアル出力信号を有効にできます。SDI または CNV がローの場合、変換が完了すると、ビジー・インジケータ機能が有効になります。CNV がローの場合は、SCK の立上がりエッジの発生時に、SDI で 16 ビット・ワードをクロック入力してデバイスをプログラムできます。
10	VIO	P	入出力インターフェース・デジタル電源。通常このピンは、ホスト・インターフェースと同じ電源 (1.8 V、2.5 V、3 V、または 5 V) を使用します。0.1 μF のセラミック・コンデンサで VIO を GND へバイパスします。
N/A ²	EPAD	P	露出パッド (LFCSP のみ)。露出パッドは GND に接続します。この接続がなくても、仕様規定されている性能を満たすことができます。

¹ AI はアナログ入力、P は電源、DI はデジタル入力、DO はデジタル出力です。

² N/A は該当なしを意味します。

代表的な性能特性

特に指定がない限り、 $V_{DD} = 1.8\text{ V}$ 、 $V_{IO} = 3.3\text{ V}$ 、 $V_{REF} = 5\text{ V}$ 、 $T = 25\text{ }^{\circ}\text{C}$ 、高インピーダンス・モードは無効、スパン圧縮は無効、ターボ・モードは有効 ($f_s = 1.8\text{ MSPS}$)。

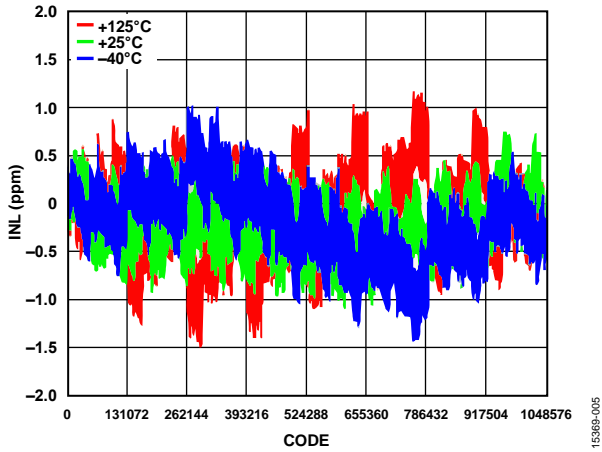


図 5. 多様な温度での INL とコードの関係、 $V_{REF} = 5\text{ V}$

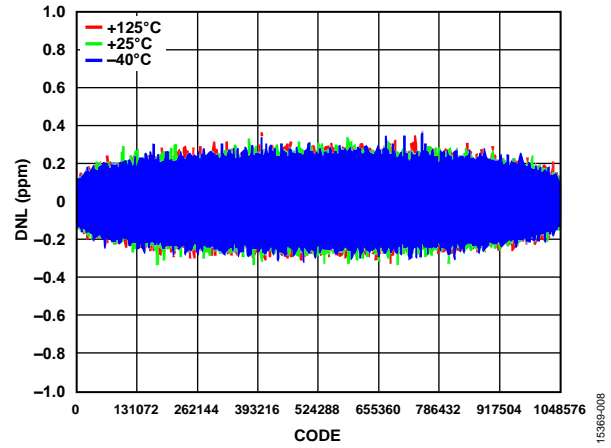


図 8. 多様な温度での DNL とコードの関係、 $V_{REF} = 5\text{ V}$

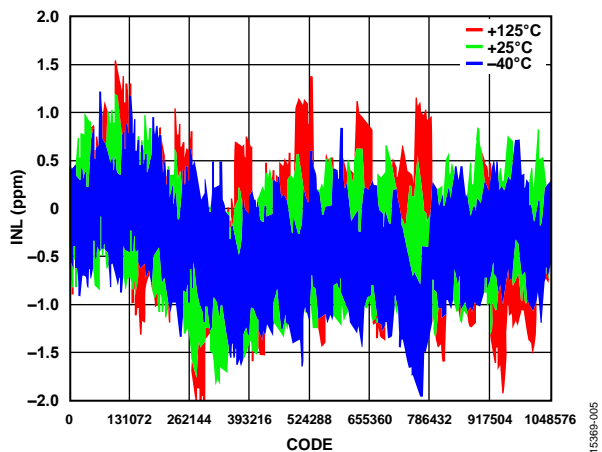


図 6. 多様な温度での INL とコードの関係、 $V_{REF} = 2.5\text{ V}$

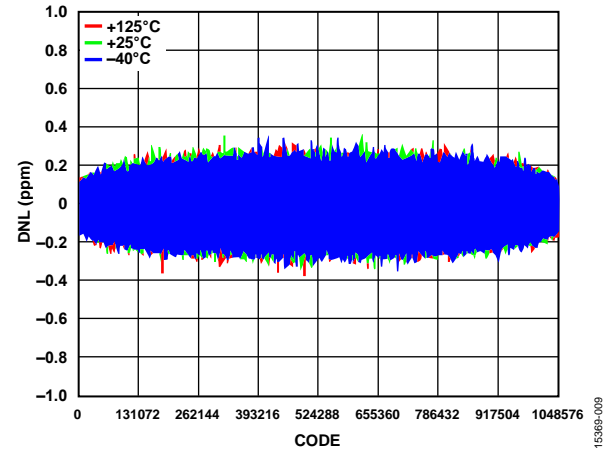


図 9. 多様な温度での DNL とコードの関係、 $V_{REF} = 2.5\text{ V}$

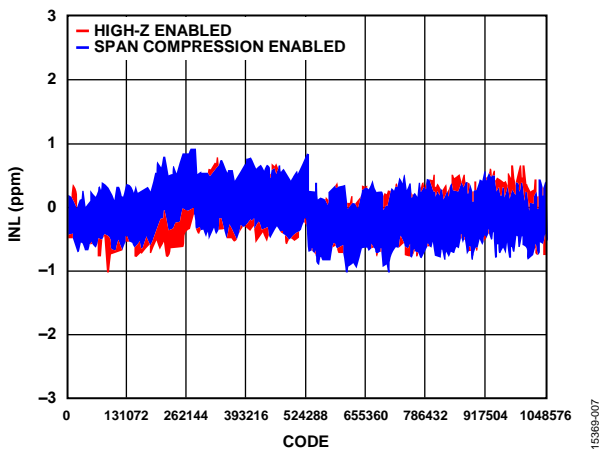


図 7. INL とコードの関係、高インピーダンス・モードとスパン圧縮モードを有効、 $V_{REF} = 5\text{ V}$

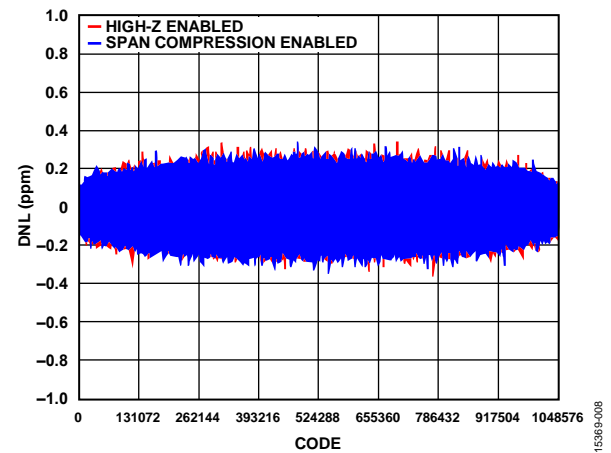


図 10. DNL とコードの関係、高インピーダンス・モードおよびスパン圧縮モードを有効、 $V_{REF} = 5\text{ V}$

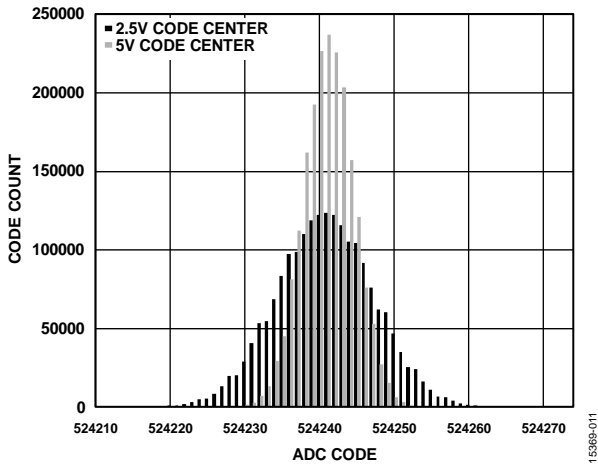


図 11. コード中央での DC 入力 histograms, $V_{REF} = 2.5\text{ V}$ および $V_{REF} = 5\text{ V}$

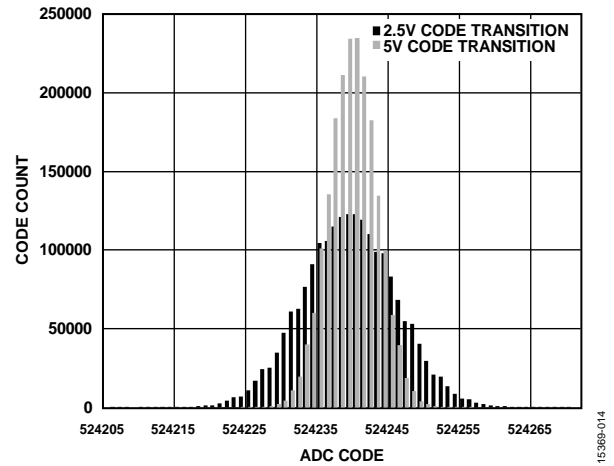


図 14. コード遷移での DC 入力 histograms, $V_{REF} = 2.5\text{ V}$ および $V_{REF} = 5\text{ V}$

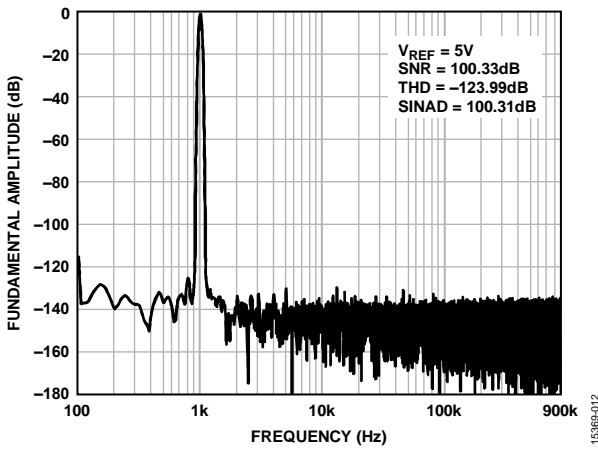


図 12. 1 kHz、-0.5 dBFS 入力トーン FFT、広視野、 $V_{REF} = 5\text{ V}$

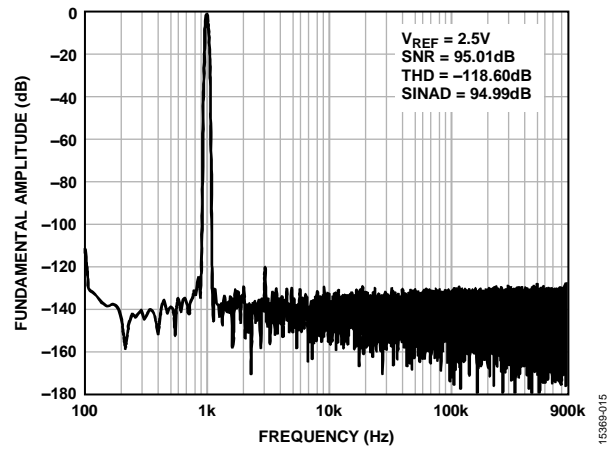


図 15. 1 kHz、-0.5 dBFS 入力トーン FFT、広視野、 $V_{REF} = 2.5\text{ V}$

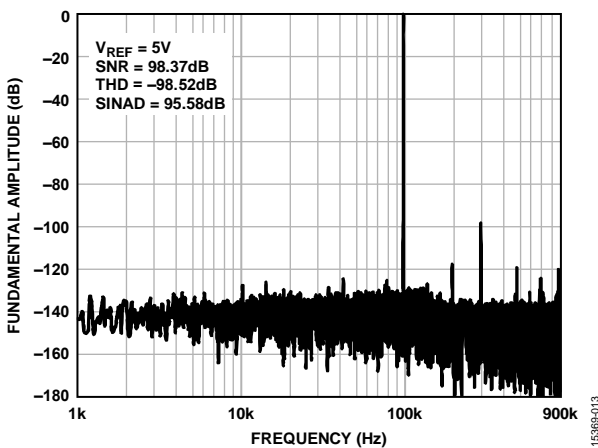


図 13. 100 kHz、-0.5 dBFS 入力トーン FFT、広視野

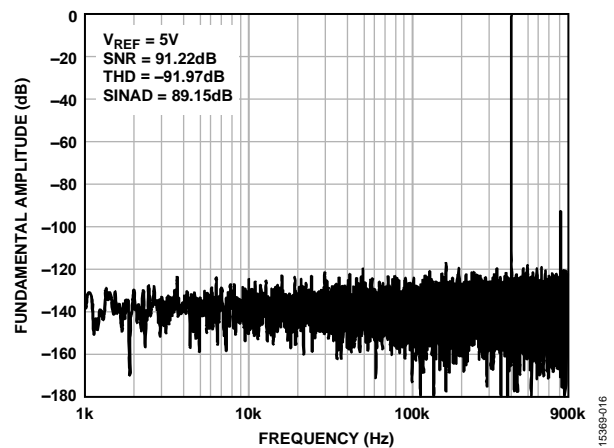


図 16. 400 kHz、-0.5 dBFS 入力トーン FFT、広視野

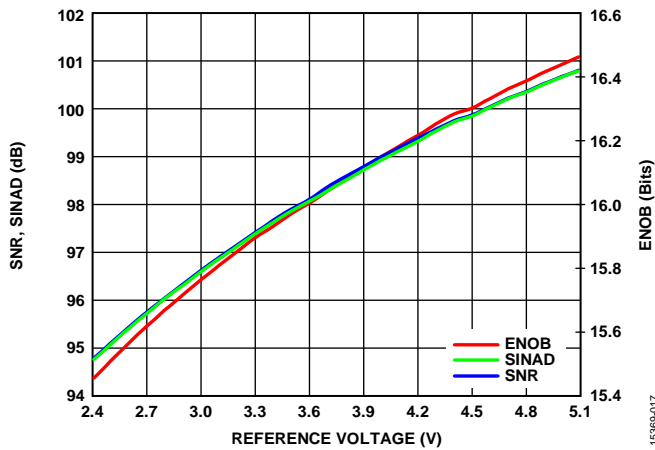


図 17. SNR、SINAD、ENOB とリファレンス電圧の関係

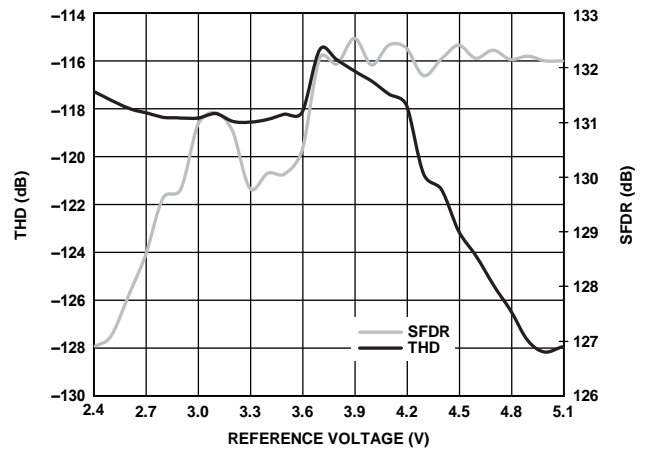


図 20. THD、SFDR とリファレンス電圧の関係

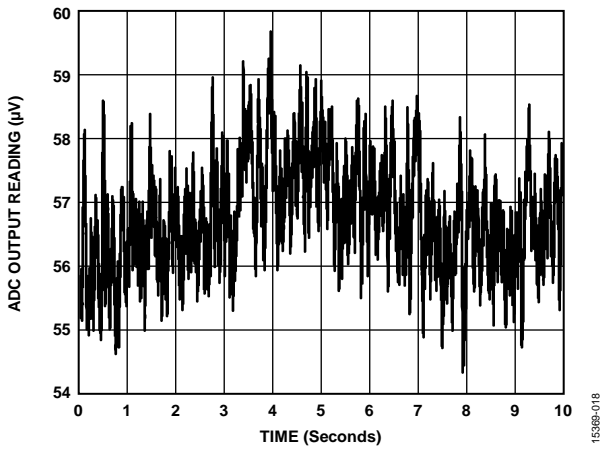


図 18. 0.1 Hz ~ 10 Hz 帯域幅の 1/f ノイズ、50 kSPS、1 回の読み出しで 2500 個のサンプルを平均化

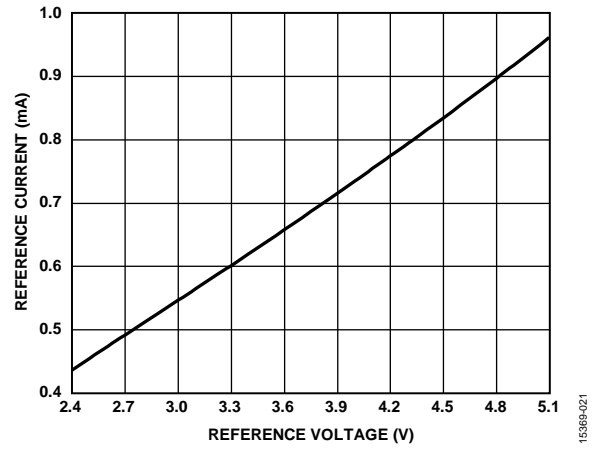


図 21. リファレンス電流とリファレンス電圧の関係

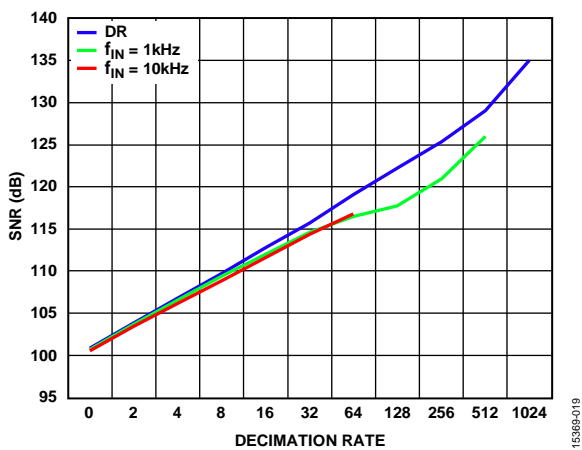


図 19. 多様な入力周波数でのデシメーション・レシオと SNR の関係

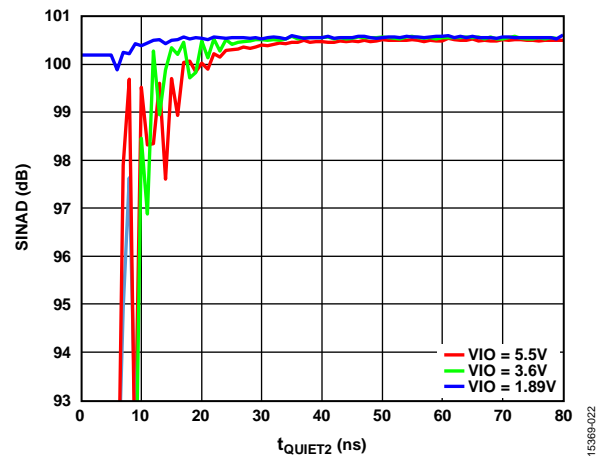


図 22. SINAD と t_{QUIET2} の関係

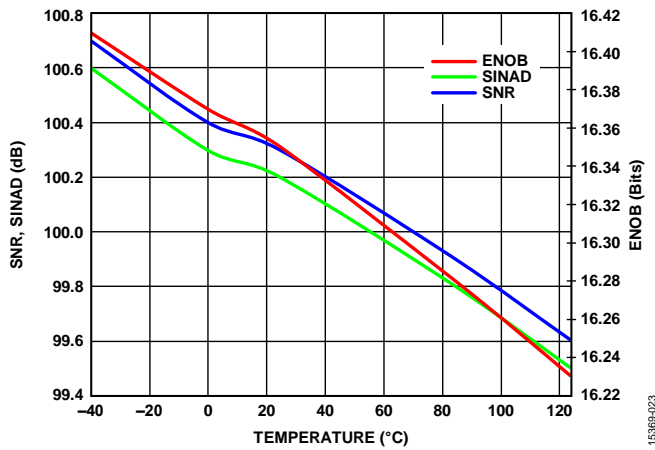


図 23. SNR、SINAD、ENOB と温度の関係、 $f_{IN} = 1 \text{ kHz}$

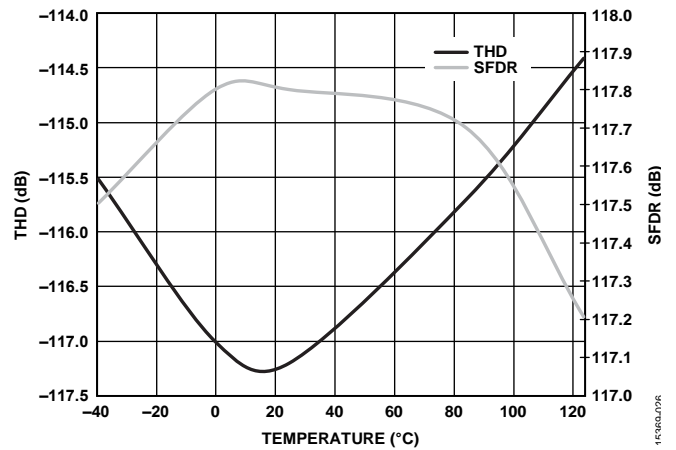


図 26. THD、SFDR と温度の関係、 $f_{IN} = 1 \text{ kHz}$

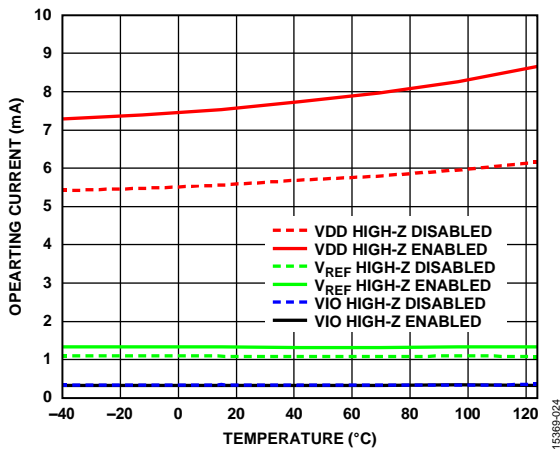


図 24. 動作電流と温度の関係

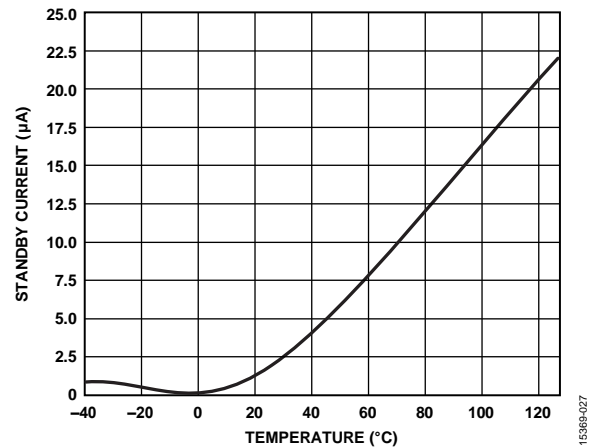


図 27. スタンバイ電流と温度の関係

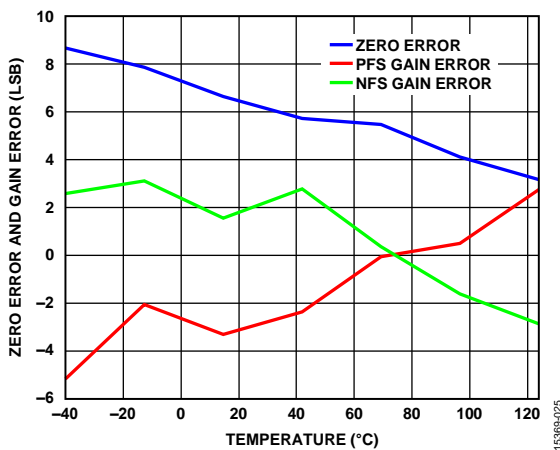


図 25. ゼロ誤差、ゲイン誤差と温度の関係
(PFS は正のフルスケール、NFS は負のフルスケール)

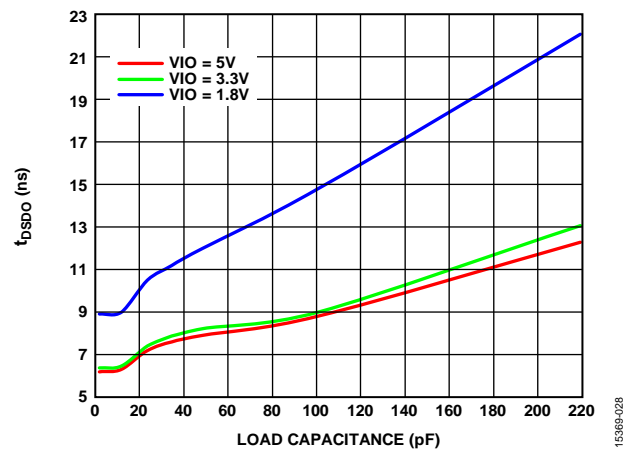


図 28. t_{bSDO} と負荷容量の関係

用語の定義

積分非直線性誤差 (INL)

INL は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より 1/2 LSB だけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を 1/2 LSB 上回ったレベルとして定義されます。偏差は各コードの中央から真の直線までの距離として測定されます (図 30 参照)。

微分非直線性誤差 (DNL)

理想的な ADC では、コード遷移は 1 LSB だけ離れた位置で発生します。DNL とは、この理想値からの最大偏差のことです。ノー・ミッシング・コードの分解能で仕様規定されます。

ゼロ誤差

ゼロ誤差は、ミッドスケール出力コードを生成する実際の電圧 (0 LSB) と理想的なミッドスケール電圧 (0 V) との差です。

ゲイン誤差

最初の遷移 (100 …00 から 100 …01) は負の公称フルスケールより 1/2 LSB 上のレベル (± 5 V の範囲では -4.999995 V) で発生します。最後の遷移 (011 …10 から 011 …11) は、公称フルスケールより 1/2 LSB 低いアナログ電圧 (± 5 V の範囲では +4.999986 V) で発生します。ゲイン誤差とは、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差が、理論値レベルの差とどれだけ異なるかを示すものです。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の rms 振幅とピーク・スプリアス信号との差で、単位はデシベル (dB) です。

有効ビット数 (ENOB)

ENOB は、サイン波入力による分解能の測定値です。次のように SINAD を使用して計算します。

$$ENOB = (SINAD_{dB} - 1.76) / 6.02$$

ENOB の単位はビットです。

ノイズ・フリー・コードの分解能

ノイズ・フリー・コードの分解能は、個別のコードをさらに分解できない場合のビット数です。次式で計算できます。

$$\text{ノイズ・フリー・コードの分解能} = \log_2 (2^N / \text{ピーク } to \text{ ピーク・ノイズ})$$

ノイズ・フリー・コードの分解能の単位はビットです。

実効分解能

実効分解能は、次のように計算されます。

$$\text{実効分解能} = \log_2 (2^N / \text{RMS 入力ノイズ})$$

実効分解能の単位はビットです。

全高調波歪み (THD)

THD は、フルスケール入力信号の rms 値に対する 2 ~ 6 次の高調波成分の rms 総和の比率で、単位はデシベルです。

ダイナミック・レンジ

ダイナミック・レンジは、測定した合計 rms ノイズに対するフルスケールの rms 値の比率です。ダイナミック・レンジの単位はデシベルです。すべてのノイズ・ソースと DNL アーティファクトが含まれるように、-60 dBFS の信号で測定されます。

S/N 比 (SNR)

SNR は、ナイキスト周波数を下回るすべてのスペクトル成分 (高調波と DC を除く) の rms 総和に対する実際の入力信号の rms 値の比率です。SNR の単位はデシベルです。

信号/ノイズ+歪み (SINAD)

SINAD は、ナイキスト周波数未満のすべてのスペクトル成分の rms 総和 (高調波成分を含み、直流成分と入力信号は除く) に対する実際の入力信号の rms 値の比です。SINAD の単位はデシベルです。

アパーチャ遅延

アパーチャ遅延は、アキュジション性能の測定値です。CNV 入力の立上がりエッジと入力信号が変換のために保持される間の時間です。

過渡応答

過渡応答とは、ADC が ± 1 LSB の精度でフルスケール入力ステップを実現するために必要な時間です。

同相ノイズ除去比 (CMRR)

CMRR は、IN+ と IN- のコモンモード電圧に印加された周波数 f_s の 200 mV p-p サイン波の電力に対するフルスケール周波数 f の ADC 出力の比です。

$$CMRR \text{ (dB)} = 10 \log(P_{ADC_IN} / P_{ADC_OUT})$$

ここで、

P_{ADC_IN} は IN+ および IN- 入力に印加される周波数 f のコモンモード電力。

P_{ADC_OUT} は、周波数 f での ADC の出力電力。

電源電圧変動除去比 (PSRR)

PSRR は、周波数 f での ADC VDD 電源に加えられた 200 mV p-p サイン波の電力に対する周波数 f での ADC 出力電力の比です。

$$PSRR \text{ (dB)} = 10 \log(P_{VDD_IN} / P_{ADC_OUT})$$

ここで、

P_{VDD_IN} は、周波数 f での VDD ピンの電力。

P_{ADC_OUT} は、周波数 f での ADC の出力電力。

動作原理

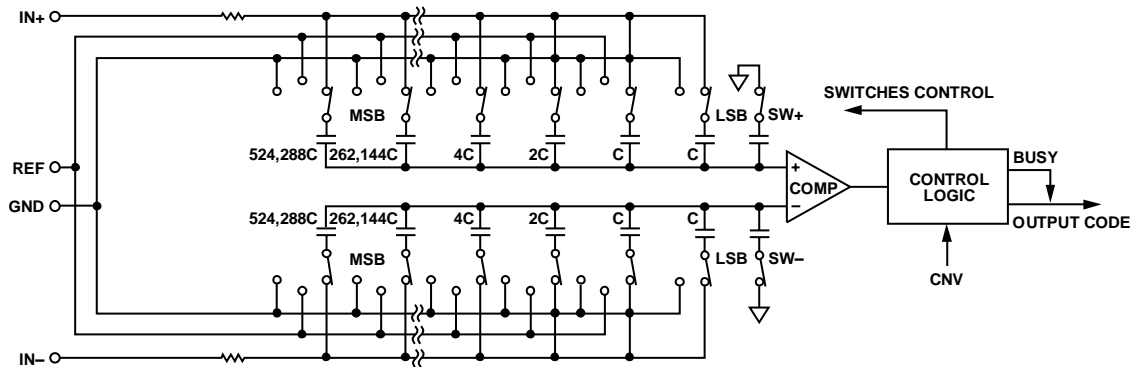


図 29. ADC の簡略化した回路図

回路説明

AD4020 は、SAR アーキテクチャに基づいた、高速、低消費電力、単電源、高精度の 20 ビット ADC です。

AD4020 は、1 秒あたり 1,800,000 サンプルを変換でき (1.8 MSPS)、変換を行っていない時 (変換と変換の間) はパワーダウンします。例えば、10 kSPS で動作する場合は、通常 83 μ W の電力が消費されます。消費電力がスループットに比例するので、バッテリー駆動アプリケーションに最適です。AD4020 では、長時間にわたるパワーダウン後の最初の変換でも、有効な結果が得られます。

AD4020 は、オンチップ・トラック&ホールド機能を備えているので、パイプライン遅延などの遅延がないため、マルチプレクス・アプリケーションに最適です。

AD4020 では、利便性の高い独自機能を多数実装することで、システムの消費電力とフットプリントを低減しています。

AD4020 は、アナログ入力の過電圧による損傷からデバイスを保護する内部電圧クランプを備えています。

アナログ入力には、代表的なスイッチド・キャパシタ SAR 入力に見られる非直線性のチャージ・キックバックを減らす回路を実装しています。このキックバックの削減と長いアクイジション・フェーズを組み合わせると、駆動アンプでのセトリング条件が緩和されます。この組み合わせにより、帯域幅が狭く、消費電力が小さいアンプをドライバとして使用できます。さらに、入力 RC フィルタの大きな抵抗値とそれに対応する小さなコンデンサを利用できるという利点もあります。この結果、アンプの RC 負荷が小さくなり、安定性と消費電力が改善されます。

レジスタ・ビットをプログラミングすることで、SPI インターフェースを高インピーダンス・モードで有効にできます (表 14 を参照)。高インピーダンス・モードを有効にすると、ADC 入力の充電電流と信号周波数が低くなり、最大 100 kHz という広い周波数範囲にわたり歪みが改善されます。100 kHz を超える周波数とマルチプレクスでは、高インピーダンス・モードを無効にしてください。

単電源アプリケーションでは、スパン圧縮機能により、駆動アンプが ADC の全範囲にアクセスするため、ヘッドルームとフットルームが余分に形成されます。

AD4020 の高速変換とターボ・モードにより、1.8 MSPS のフル・スループット・レートで動作する場合でも、低いクロック・レートで変換をリードバックできます。ただし、1.8 MSPS のスループット・レートは、ターボ・モードを有効にして、最小 SCK レートである 71 MHz を使用した場合のみ実現します。

AD4020 は、任意の 1.8 V ~ 5 V デジタル・ロジック・ファミリに接続できます。10 ピン MSOP またはスペースの節約と柔軟な設定が可能な小型の 10 ピン LFCSP を用意しています。

AD4020 は、表 8 にある 14/16/18 ビットの高精度 SAR ADC の一部とピン互換です。

表 8. MSOP、LFCSP 14/16/18/20 ビットの高精度 SAR ADC

Bits	100 kSPS	250 kSPS	400 kSPS to 500 kSPS	≥ 1000 kSPS
20 ¹	Not applicable	Not applicable	Not applicable	AD4020 ²
18 ¹	AD7989-1 ²	AD7691 ²	AD7690 ² , AD7989-5 ² , AD4011 ²	AD4003 ² , AD4007 ² , AD7982 ² , AD7984 ²
16 ¹	AD7684	AD7687	AD7688 ² , AD7693 ²	AD4001 ² , AD4005 ² , AD7915 ²
16 ³	AD7680, AD7683, AD7988-1 ²	AD7685, ² AD7694 ²	AD7686 ² , AD7988-5 ²	AD4000 ² , AD4004 ² , AD7980 ² , AD7983 ²
14 ³	AD7940	AD7942 ²	AD7946 ²	Not applicable

¹ 真の差動。

² ピン互換。

³ 疑似差動。

コンバータの動作

AD4020 は、電荷再配分式サンプリング D/A コンバータ (DAC) を使用した SAR ベースの ADC です。図 29 に、この ADC の簡略化した回路図を示します。容量性 DAC には、20 個のバイナリ重み付けされたコンデンサからなる 2 つの同一のアレイがあり、これらのアレイがコンパレータの入力に接続されています。

アクイジション・フェーズ中、コンパレータの入力に接続されたアレイの端子は、SW+ と SW- スイッチ経由で GND に接続されます。独立したスイッチを使用して、各コンデンサの他の端子をアナログ入力に接続します。このため、コンデンサのアレイをサンプリング・コンデンサとして使用して、IN+ と IN- 入力のアナログ信号を取得できます。

アキュイジション・フェーズが完了し、CNV 入力が高になると、変換フェーズが開始します。変換フェーズが始まると、SW+ と SW- が最初にオープンになります。次に、2つのコンデンサ・アレイが入力から切断され、GND 入力に接続されます。アキュイジション・フェーズの最後に収集される IN+ と IN- の間の差動電圧がコンパレータの入力に印加され、コンパレータが不均衡状態になります。GND と V_{REF} 間にあるコンデンサ・アレイの各要素を切り替えることで、コンパレータの入力値はバイナリ重み付けされた電圧ステップ (V_{REF}/2、V_{REF}/4、…、V_{REF}/1,048,576) によって変化します。コントロール・ロジックはこれらのスイッチを切り替え、MSB からコンパレータを均衡状態に戻します。このプロセスの完了後、コントロール・ロジックは ADC 出力コードとビジー信号インジケータを生成します。

AD4020 には変換クロックが内蔵されているので、変換プロセスでシリアル・クロック SCK は必要ありません。

伝達関数

AD4020 の理想伝達特性を図 30 と表 9 に示します。

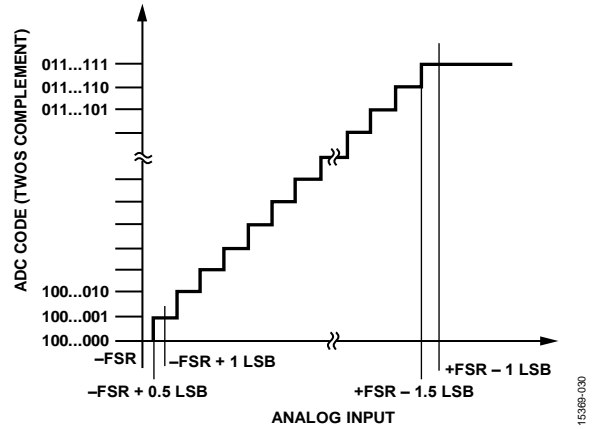


図 30. ADC の理想的な伝達関数 (FSR はフルスケール範囲)

表 9. 出力コードと入力電圧の理論値

Description	Analog Input, V _{REF} = 5 V	V _{REF} = 5 V with Span Compression Enabled	Digital Output Code (Hex)
FSR - 1 LSB	+4.99999046 V	+3.99999237 V	0x7FFFF ¹
Midscale + 1 LSB	+9.54 μV	+7.63 μV	0x00001
Midscale	0 V	0 V	0x00000
Midscale - 1 LSB	-9.54 μV	-7.63 μV	0xFFFFF
-FSR + 1 LSB	-4.99999046 V	-3.99999237 V	0x80001
-FSR	-5 V	-4 V	0x80000 ²

¹ この出力コードは、(V_{REF} を V_{IN+} -V_{IN-} だけ上回る) オーバーレンジ・アナログ入力のコードです。

² この出力コードは、(V_{REF} を V_{IN+} -V_{IN-} だけ下回る) アンダーレンジ・アナログ入力のコードです。

アプリケーション情報

代表的なアプリケーション図

図 31 に、複数の電源を使用できる場合の AD4020 のアプリケーション図の代表例を示します。この構成を使用すると、アンプへの供給電力を選択することで最大信号範囲を実現できるので、性能の最適化が可能となります。

図 32 に、単電源システムを使用する場合の代表的なアプリケーション図を示します。これは、限られた数のレールのみがシステムで使用でき、消費電力が非常に重要になる場合に、望ましいセットアップです。

図 33 に、完全差動アンプを使用する場合の代表的なアプリケーション図を示します。

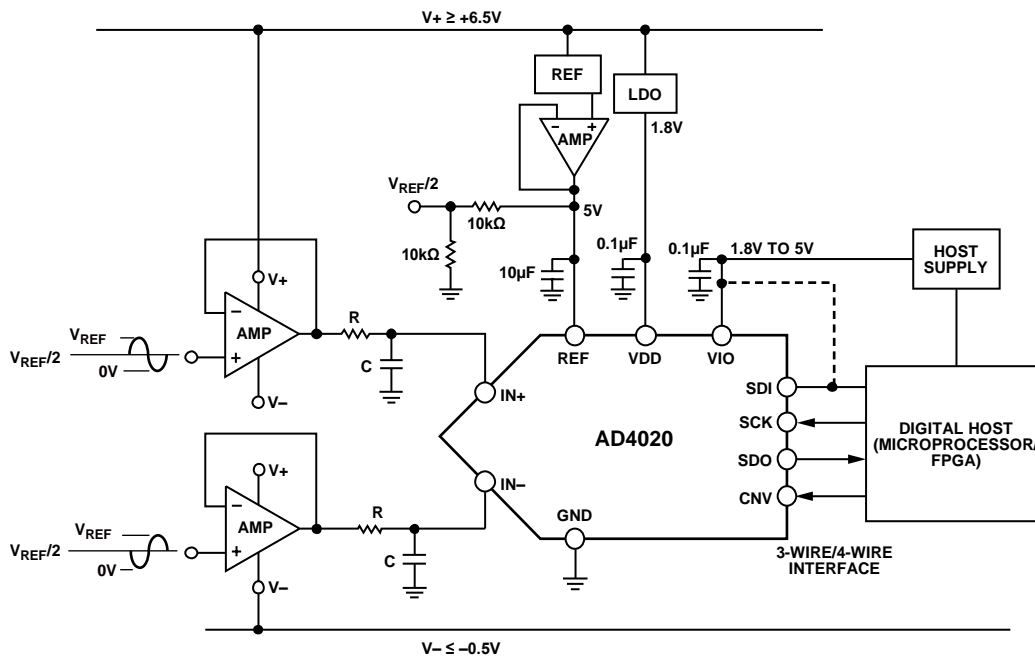
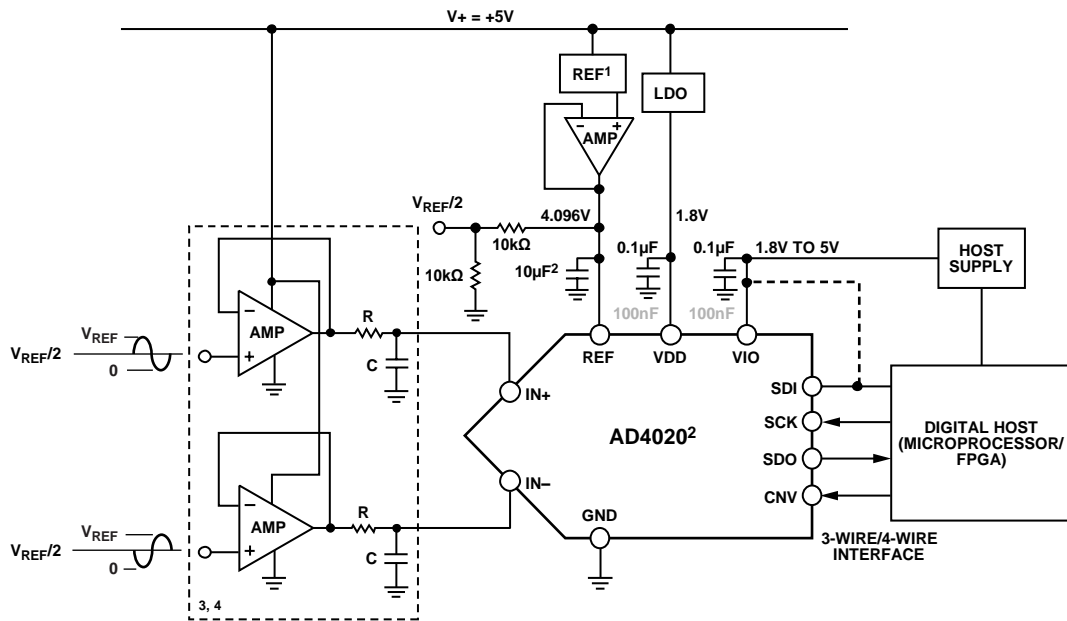


図 31. 複数の電源を使用する場合の代表的なアプリケーション図

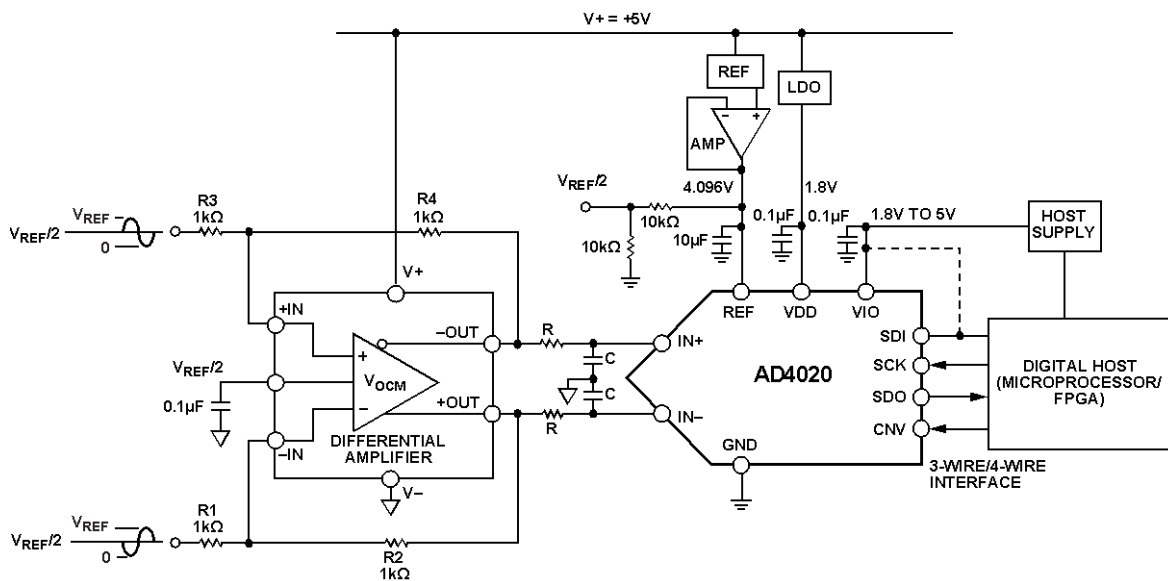
153984-031



- ¹SEE THE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.
- ²C_{REF} IS USUALLY A 10µF CERAMIC CAPACITOR (X7R).
- ³SEE THE DRIVER AMPLIFIER CHOICE SECTION.
- ⁴SEE THE ANALOG INPUTS SECTION.

15389-032

図 32. 単電源を使用する場合の代表的なアプリケーション図



15389-033

図 33. 完全差動アンプを使用する場合の代表的なアプリケーション図

アナログ入力

図 34 に、AD4020 の過電圧クランプを含むアナログ入力構造の等価回路を示します。

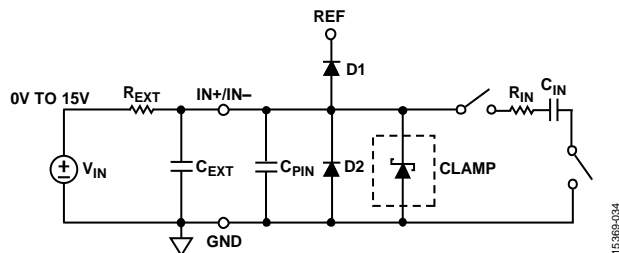


図 34. アナログ入力の等価回路

入力過電圧クランプ回路

ほとんどの ADC アナログ入力 IN+ と IN- には、ESD 保護ダイオードの他に、過電圧保護回路はありません。過電圧が発生すると、アナログ入力 (IN+ または IN-) から REF 順方向バイアスへの ESD 保護ダイオードは REF に短絡されるので、リファレンスの過電圧やデバイスの損傷が発生する可能性があります。AD4020 は、内部過電圧クランプ回路と大きな外部抵抗 ($R_{EXT} = 200 \Omega$) を備えているので、外部保護ダイオードが不要になり、ADC 入力を DC 過電圧から保護します。

アンプ・レールが V_{REF} よりも大きく、グラウンドよりも小さいアプリケーションでは、出力がデバイスの入力電圧を超える場合があります。この場合、AD4020 の内部電圧クランプ回路は、入力電圧を安全な動作範囲にクランプし、リファレンスの外乱を防ぐことで、入力ピンの電圧が $V_{REF} + 0.4 \text{ V}$ を超えないようにしてデバイスの損傷を防ぎます。この機能は、複数の ADC でリファレンスを共有するシステムで特に重要です。

アナログ入力のリファレンス電圧を 0.4 V 超えると、内部クランプ回路がオンになり、電流がクランプからグラウンドに流れるので、入力の上昇によるデバイスの損傷を防止できます。クランプは D1 の前でオンになり (図 34 を参照)、最大 50 mA の電流をシンクできます。

クランプがアクティブになるとリードバックできるレジスタに過電圧 (OV) クランプ・フラグ・ビットが設定されます (表 14 を参照)。これは読み出してクリアする必要のあるスティッキー・ビットです。過電圧 (OV) クランプ・フラグを使用すれば、ステータス・ビットでもクランプのステータスを確認できます (表 15 を参照)。クランプ回路は、オフの状態では静的電力を消費しません。ただし、クランプで過電圧状態を無期限に保つことはできません。

通常、ADC 入力には外部 RC フィルタが適用され、入力信号の帯域が制限されます。過電圧時、超過電圧は R_{EXT} で降下し、 R_{EXT} は保護回路の一部になります。 R_{EXT} 値は 15 V の保護のために $200 \Omega \sim 20 \text{ k}\Omega$ の間で変化します。クランプを正常に動作させるため、 C_{EXT} 値を 100 pF まで下げることができます。入力過電圧クランプの仕様については、表 1 を参照してください。

差動入力の考慮事項

アナログ入力構造により、IN+ と IN- の間の真の差動信号のサンプリングが可能になります。これらの差動入力を使用すると、両方の入力に共通する信号が除去されます。図 35 に、全周波数にわたる AD4020 の同相ノイズ除去性能を示します。差動入力信号は、完全に逆相 (位相差が 180°) である必要があります。これは表 1 に示す $V_{REF}/2$ 程度の指定された範囲内で入力信号の共通モード電圧を維持するために必要です。

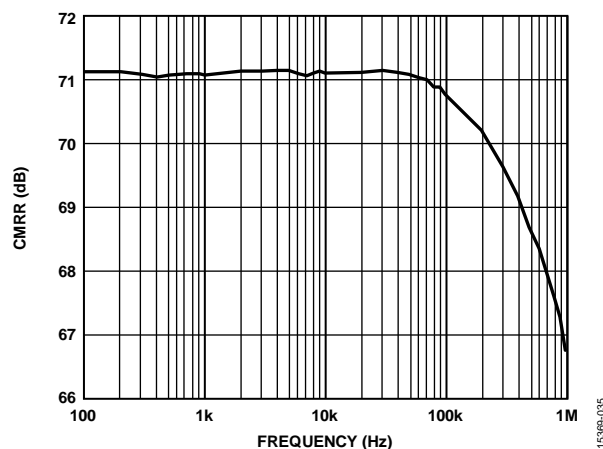


図 35. 同相ノイズ除去比 (CMRR) と周波数の関係、 $V_{IO} = 3.3 \text{ V}$ 、 $V_{REF} = 5 \text{ V}$ 、 $T_A = 25^\circ \text{C}$

スイッチド・キャパシタ入力

アクイジション・フェーズ中、アナログ入力 (IN+ または IN-) のインピーダンスは、 R_{IN} と C_{IN} の直列接続によって形成されるネットワークおよびコンデンサ C_{PIN} の並列組み合わせとしてモデリングできます。 C_{PIN} の大部分はピン容量です。 R_{IN} の代表値は 400Ω で、直列抵抗とスイッチのオン抵抗で構成される集中定数コンポーネントです。 C_{IN} の代表値は 40 pF で、ADC のサンプリング・コンデンサです。

スイッチがオープンになる変換フェーズ中、入力インピーダンスは C_{PIN} に制限されます。 R_{IN} と C_{IN} は、不要なエイリアシング効果を削減してノイズを抑える単極のローパス・フィルタを生成します。

RC フィルタ値

RC フィルタの値 (図 31 ~ 33 および図 36 では R と C で表されています) と駆動アンプは、1.8 MSPS のフル・スループット時に目的とする入力信号の帯域幅によって選択できます。入力信号の帯域幅を狭くすると、RC カットオフを減らすことができ、コンバータに混入するノイズを低減できます。さまざまなスループットで最適な性能を発揮するには、推奨される RC 値 (200 Ω、180 pF) と [ADA4807-1](#) を使用します。

表 10 の RC 値を選択してドライブに関する考慮事項を減らし、ADC の入力保護を向上できます。大きな R 値 (200 Ω) と小さな C 値を組み合わせると、駆動するアンプの動的負荷が減少します。C の値を小さくすると、アンプの安定性/位相マージンに関する懸念が少なくなります。R の値を大きくすると、アンプの出力が ADC の入力範囲を超えた場合に ADC 入力に流れ込む電流が制限されます。

ドライバ・アンプの選択

AD4020 は簡単に駆動できますが、ドライバ・アンプは次の条件を満たす必要があります。

- AD4020 の S/N 比と遷移ノイズの性能を維持するには、ドライバ・アンプによって生成されるノイズを低く抑える必要があります。ドライバから発生するノイズは、AD4020 のアナログ入力回路の R_{IN} と C_{IN} で構成される単極ローパス・フィルタ、または外付けフィルタ (使用した場合) によって除去されます。AD4020 のノイズは 31.5 μV rms (typ) であるため、アンプに起因する S/N 比の性能低下は、次式で与えられます。

$$SNR_{Loss} = 20 \log \left(\frac{31.5}{\sqrt{31.5^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

ここで、
 f_{-3dB} は AD4020 (10 MHz) の入力帯域幅 (MHz)、または入力フィルタのカットオフ周波数 (使用する場合)。
 N はアンプのノイズ・ゲイン (例えば、バッファ構成では 1)。
 e_N はオペ・アンプの等価入力ノイズ電圧 (nV/√Hz)。

- AC アプリケーションの場合、ドライバは AD4020 に見合う THD 性能を有する必要があります。
- マルチチャンネルのマルチプレクサ・アプリケーションの場合、ドライバ・アンプと AD4020 のアナログ入力回路は、コンデンサ・アレイへのフルスケール・ステップに対して 20 ビット・レベル (0.00001 %、1 ppm) でセトリングする必要があります。一般に、アンプのデータシートでは、0.1 % ~ 0.01 % の設定が仕様規定されます。この値は、20 ビット・レベルではセトリング・タイムと大きく異なる場合があります、ドライバの選択前に検証する必要があります。

表 10. さまざまな入力帯域幅に対する RC フィルタとアンプの選択

Input Signal Bandwidth (kHz)	R (Ω)	C (pF)	Recommended Amplifier	Recommended Fully Differential Amplifier
<10	See the High-Z Mode section	See the High-Z Mode section	See the High-Z Mode section	ADA4940-1
<200	200	180	ADA4807-1	ADA4940-1
>200	200	120	ADA4897-1	ADA4932-1
Multiplexed	200	120	ADA4897-1	ADA4932-1

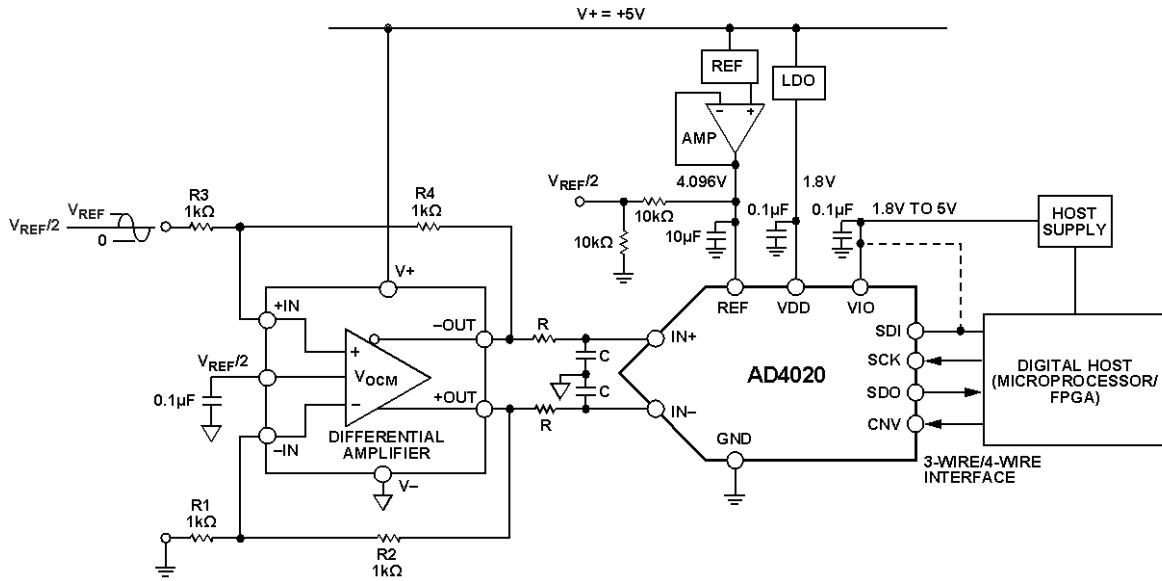


図 36. 完全差動アンプを使用するシングルエンド - 差動変換の代表的なアプリケーション図

シングル - 差動ドライバ

バイポーラでもユニポーラでも、シングルエンドのアナログ信号を使用するアプリケーションでは、ADA4940-1 シングルエンド - 差動ドライバを使用することで、デバイスの差動入力が可能です。図 36 に回路図を示します。

高周波の入力信号

AD4020 の広い入力周波数範囲での AC 性能を図 37 と図 38 に示します。従来の SAR ADC とは異なり、AD4020 ではナイキスト周波数までの入力周波数に対して非常に優れた AC 性能を発揮し、性能の低下は最小限に抑えられています。

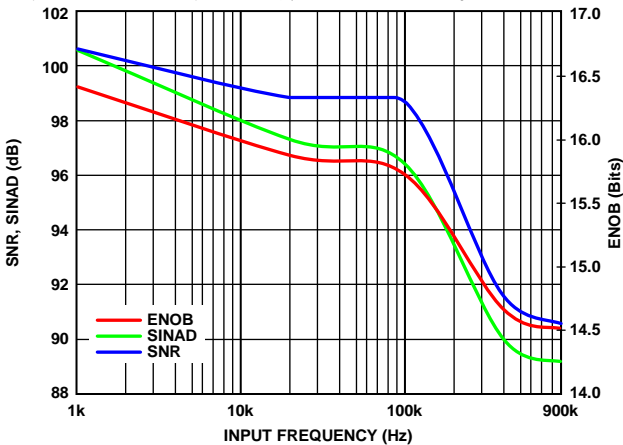


図 37. SNR、SINAD、ENOB と入力電圧の関係

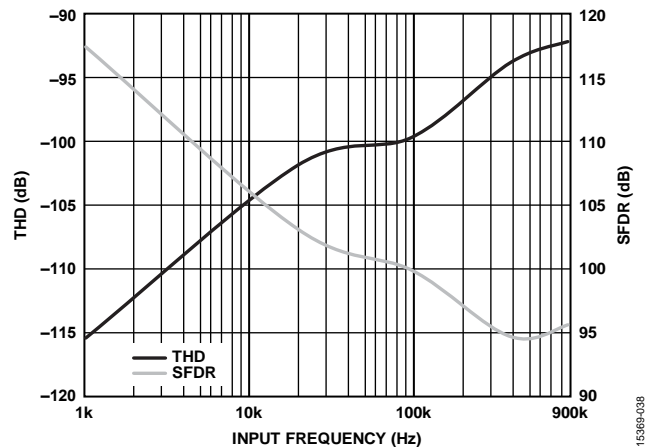


図 38. THD、SFDR と入力周波数の関係

マルチプレクス・アプリケーション

マルチプレクス・アプリケーションには、ノイズ、消費電力、スループットの面で優れた性能が求められますが、AD4020はそのシステムの複雑さを大きく緩和し、コストも大幅に削減します。マルチプレクサ、ADC ドライバ、高精度 SAR ADC を含むマルチプレクス・データ・アキュイジション・システムの簡略化したブロック図を、図 39 に示します。

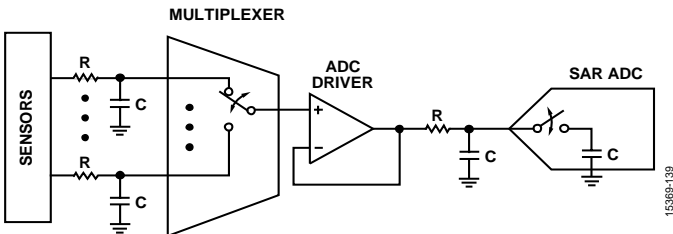


図 39. AD4020 を使用したマルチプレクス・データ・アキュイジション・シグナル・チェーン

通常、マルチプレクサのチャンネルを切り替えると、ADC の入力に大きな電圧ステップが生じます。正確な変換結果が得られるようにするには、ADC が (CNV の立上がりエッジで) 入力をサンプリングする前に、このステップに十分なセトリング・タイムを割り当てる必要があります。セトリング・タイム誤差は、駆動回路 (マルチプレクサと ADC のドライバ)、RC フィルタの値、マルチプレクサ・チャンネルの切り替え時間によって異なります。変換結果の破損を防ぐ一方で最大限のセトリング・タイムを確保するためには、マルチプレクサ・チャンネルは変換開始から t_{QUIET1} が経過した直後に切り替える必要があります。ただし、変換結果が破損するのを防ぐために、時間 t_{QUIET1} の経過前にチャンネルを切り替えることはしないでください。アナログ入力が無変換時間 (t_{QUIET1}) 中にマルチプレクスされると、実行中の変換が破損する可能性があります。

ドライブ補助機能

入カスパン圧縮

単電源アプリケーションでは、ADC の全範囲を使用することが望ましいのですが、アンプにはヘッドルームとフットルームの条件があり、レール to レールの入出力アンプでも、問題が発生する可能性があります。スパン圧縮を使用すると、範囲の上下から入力範囲を 10% 削減することで、アンプが使用できるヘッドルームとフットルームを増やしなが、すべての ADC コードに引き続きアクセスできます (図 40 を参照)。スパン圧縮を有効にすると、削減された入力範囲で SNR は約 1.9 dB ($20 \times \log(8/10)$) 減少します。デフォルトではスパン圧縮は無効になっていますが、関連するレジスタ・ビットに書込みを実行することで有効になります (デジタル・インターフェースのセクションを参照)。

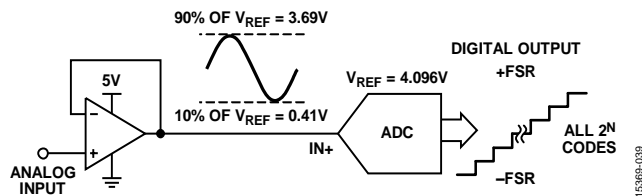


図 40. スパン圧縮

高インピーダンス・モード

AD4020 には、高インピーダンス・モードが組み込まれています。これにより、アキュイジションの開始時にコンデンサの DAC が入力に切り替わるとき、非直線性のチャージ・キックバックが削減されます。図 41 に、高インピーダンス・モードを有効にした場合と無効にした場合の AD4020 の入力電流を示します。入力電流が低く、高インピーダンス・モードが無効な場合でも、市場で入手できる従来型の SAR ADC よりも簡単に ADC を駆動できます。さらに、高インピーダンス・モードを有効にすると、入力電流はサブマイクロアンペアまで減少します。高インピーダンス・モードはデフォルトで無効ですが、レジスタに書込みを実行することで有効になります (表 14 を参照)。100 kHz を超える周波数やマルチプレクスでは、高インピーダンス・モードを無効にしてください。

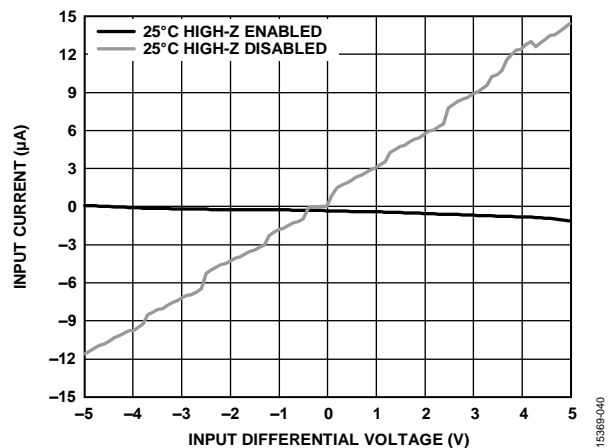


図 41. 入力電流と入力差動電圧の関係、VIO = 3.3 V、VREF = 5 V

高精度と高分解能の SAR ADC の最大データシート性能を実現するようなアプリケーションを設計するには、高出力で高速の専用アンプを使用して、従来型のスイッチド・キャパシタ SAR ADC 入力を駆動する必要があります。これは正確なデータ・アキュイジション・シグナル・チェーンの設計で発生する一般的な欠点の 1 つです。低速 (<10 kHz) または DC タイプの信号では入力電流が低くなり、最大 100 kHz にわたる周波数範囲で歪み (THD) 性能が改善することが、高インピーダンス・モードの利点です。高インピーダンス・モードを使用すると、低い RC フィルタ・カットオフで消費電力と帯域幅の低い高精度アンプを選択でき、専用の高速 ADC ドライバが不要になるので、高精度、低帯域幅のアプリケーションにおけるシステムの消費電力、サイズ、コストを節約できます。高インピーダンス・モードでは、スイッチド・キャパシタ SAR ADC 入力のセトリング条件ではなく、対象となる信号帯域幅に基づいて、ADC の前段にあるアンプと RC フィルタを選択できます。

さらに、AD4020は、従来型のSARよりも高いソース・インピーダンスで駆動できます。つまり、RCフィルタ内の抵抗を、以前のSAR設計よりも10倍大きい値にすることができます。ここで、高インピーダンス・モードを有効にすると、さらに大きなインピーダンスに耐えることができます。図42に、高インピーダンス・モードが有効な場合と無効な場合の、さまざまなソース・インピーダンスでのTHD性能を示します。

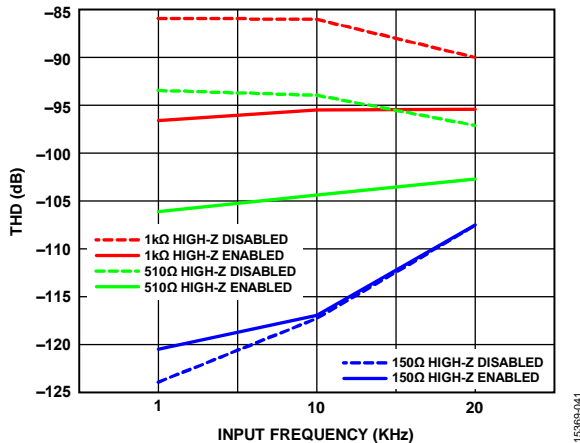


図 42. 各ソース・インピーダンスの THD と入力周波数の関係、 $V_{REF} = 5V$

図 43 と図 44 に、ADA4077-1 ($I_{QUIESCENT} = 400 \mu A/\text{アンプ}$) および ADA4610-1 ($I_{QUIESCENT} = 1.5 \text{ mA}/\text{アンプ}$) 高精度アンプを使用して 1.8 MSPS のフル・スループットで AD4020 を駆動するときの、高インピーダンス・モードが有効の場合と無効の場合の AD4020 の S/N 比と THD 性能を、さまざまな RC フィルタ値について示します。ハイ Z を有効にすると、これらのアンプで +96 dB ~ +99 dB (代表値) の S/N 比と -110 dB より優れた THD を実現できます。高インピーダンス・モードを有効にすると、R の値が大きい場合でも、THD が約 10 dB 向上します。RF 帯域幅カットオフが非常に低い場合でも、SNR は 99 dB 付近の値を維持します。

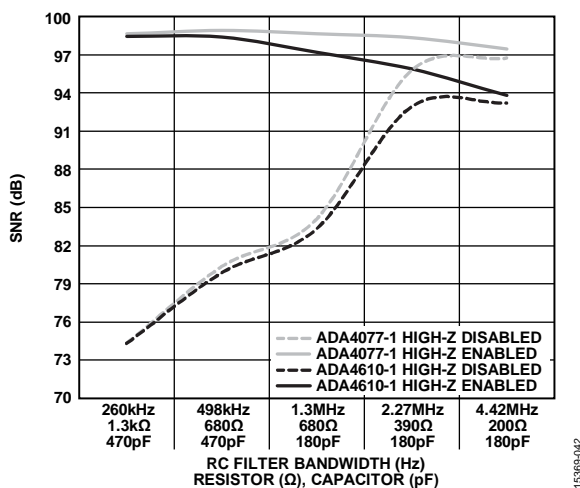


図 43. 各種の高精度 ADC ドライバの SNR と RC フィルタ帯域幅の関係、 $V_{REF} = 5V$ 、 $f_{IN} = 1 \text{ kHz}$
(ターボ・モードをオン、ハイ Z を有効/無効)

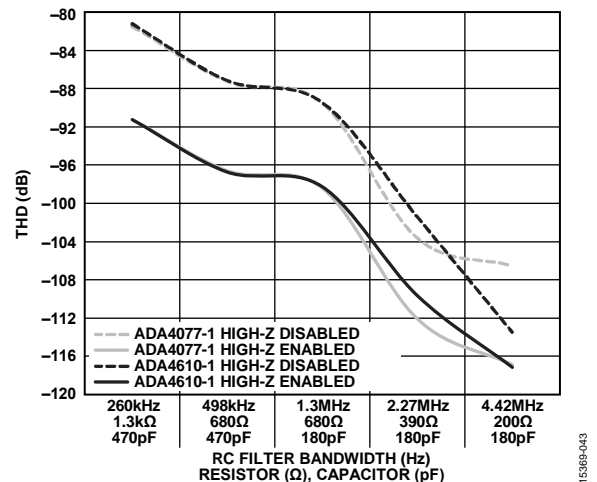


図 44. 各種の高精度 ADC ドライバの THD と RC フィルタ帯域幅の関係、 $V_{REF} = 5V$ 、 $f_{IN} = 1 \text{ kHz}$
(ターボ・モードをオン、ハイ Z を有効/無効)

高インピーダンス・モードを有効にすると、ADC は約 2.0 mW/MSPS の余分な電力を消費しますが、この消費量は ADA4807-1 などの専用の ADC ドライバを使用する場合より大幅に低い値です。システムの種類に関係なく、フロント・エンドは、シグナル・チェーンの全体的な AC/DC 性能を制限します。図 43 および図 44 に記載された高精度アンプのデータシートから、デバイス自体が発生するノイズと歪みの性能が特定の入力周波数で S/N 比と THD の仕様に影響を与えることが明らかです。

長いアキュイジション・フェーズ

AD4020 の変換時間は 320 ns と非常に短いため、アキュイジション・フェーズが長くなります。アキュイジションは、AD4020 のある主要機能によってさらに拡張されます。ADC は、変換が終わる 100 ns (代表値) 前にアキュイジション・フェーズに戻るのです。この機能により、ADC が新しい入力電圧を取得する時間が長くなります。アキュイジション・フェーズが長くなると、駆動アンプのセトリング条件が緩和されるので、消費電力/帯域幅の小さいアンプを選択できます。アキュイジション・フェーズが長くなると、RC フィルタ (図 31 ~ 33 および図 36 では R と C で表されています) のカットオフが低くなります。つまり、ノイズの大きなアンプも許容されます。RC フィルタで大きな R 値とそれに対応する小さな C 値を使用できると、歪みの性能に大きな影響を与えずに、アンプの安定性についての懸念事項を減らすことができます。R の値が大きくなると、アンプの動的消費電力も減ります。

RC フィルタの設定と適切なアンプ選択の詳細については、表 10 を参照してください。

電圧リファレンス入力

リファレンス入力の性能を最適に発揮するには、10 μF (X7R、0805 サイズ) のセラミック・チップ・コンデンサが適しています。

高性能と低ドリフトを実現するには、ADR4550 などのリファレンスを使用します。ADR3450 などのロー・パワー・リファレンスを使用できますが、ノイズ性能がわずかに低下します。リファレンスと ADC リファレンス入力に ADA4807-1 などのリファレンス・バッファを配置することが推奨されます。

このセクションで既述した ADC の最低要件を満たすとともに、リファレンス・バッファの安定性を維持するのに必要な、コンデンサの最適容量を考慮することが重要です。

電源

AD4020 は、コア電源 (VDD) とデジタル入出力インターフェース電源 (VIO) の 2 つの電源ピンを使用します。VIO では、1.8 V ~ 5.5 V のあらゆるロジックと直接インターフェースを形成できます。1.8 V 動作では、システムのロジック・レベルに応じて VIO と VDD を接続することで、必要に応じて電源の数を削減できます。VDD ピンと VIO ピンに電力を供給するには、ADP7118 の低ノイズ、CMOS、低ドロップアウト (LDO) リニア電圧レギュレータが推奨されます。AD4020 は、VIO と VDD 間の電源シーケンスには依存しません。さらに、AD4020 は、広い周波数範囲にわたって、電源の変動による影響を受けません (図 45 を参照)。

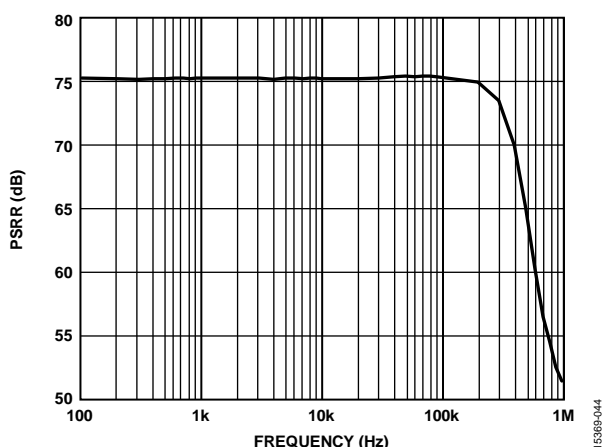


図 45. PSRR と周波数の関係、VIO = 3.3 V、VREF = 5 V

AD4020 は各変換フェーズの終わりに自動的にパワーダウンします。このため、消費電力はサンプリング・レートに比例します。この機能により、低サンプリング・レートのアプリケーション (数 Hz のものを含む) や、バッテリー駆動のアプリケーションに最適なデバイスとなっています。図 46 に、AD4020 の合計消費電力と各レールの消費電力を示します。

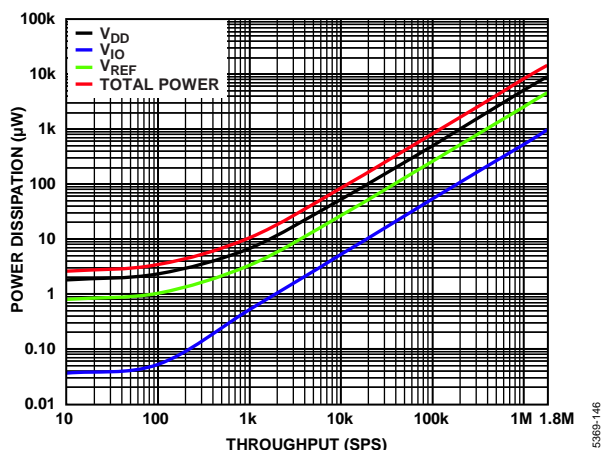


図 46. 消費電力とスループットの関係、VIO = 1.8 V、VREF = 5 V

デジタル・インターフェース

AD4020 はピン数が少ないにも関わらず、シリアル・インターフェース・モードで柔軟に対応できます。また、AD4020 は、設定レジスタへの 16 ビット SPI 書込みでもプログラムできます。

CS モードにおいて、AD4020 は SPI、QSPI[™]、デジタル・ホスト、DSP と互換性があります。このモードでは、AD4020 は 3 線式または 4 線式のインターフェースを使用できます。CNV、SCK、SDO の信号を使用する 3 線式インターフェースは、最小限の配線で機能するので、絶縁アプリケーションなどに便利です。SDI、CNV、SCK、SDO の信号を使用する 4 線式インターフェースでは、リードバック・タイミングに依存せずに CNV で変換を開始できます (SDI)。このインターフェースは、低ジッタ・サンプリングまたは同時サンプリング・アプリケーションで便利です。

AD4020 には、SDI 入力を使用して、シフト・レジスタと同様に 1 つのデータ・ラインで、複数の ADC をカスケード接続するためのデジチェーン機能が備わっています。

デバイスの動作モードは、CNV の立上がりエッジが発生したときの CNV レベルによって決定されます。CS SDI がハイの場合は CS モードが選択され、SDI がローの場合はデジチェーン・モードが選択されます。SDI と CNV が同時に接続される場合の SDI ホールド時間には、常にデジチェーン・モードが選択されます。

AD4020 を 3 線式または 4 線式のモードで使用する場合、データ・ビットの前にスタート・ビットを強制的に挿入するオプションがあります。このスタート・ビットをビジー信号インジケータとして使用すれば、デジタル・ホストに割り込んで、データ読出しをトリガすることができます。ビジー・インジケータとして使用しない場合は、リードバック前に最大変換時間をタイムアウトさせる必要があります。

CS モードでは、CNV または SDI がローの場合に ADC 変換が終了すると、ビジー・インジケータ機能が有効になります。

表 11 に示すように、電源投入時の SDO の状態は数ミリ秒間ハイ Z となり、その後は CNV と SDI の状態に応じて、ロー Z またはハイ Z のいずれかになります。

表 11. 電源投入時の SDO の状態

CNV	SDI	SDO
0	0	Low
0	1	Low
1	0	Low
1	1	High-Z

AD4020 は、3 線式モードまたは 4 線式モードの両方でターボ・モード機能を備えています。ターボ・モードは、設定レジスタへの書出しによって有効になります。このモードは、ビジー・インジケータ機能を置き換えます。ターボ・モードを使用すると、SPI クロック・レートが遅くなるので、インターフェースがシンプルになります。1.8 MSPS のスループット・レートは、ターボ・モードを有効にして、最小 SCK レートである 71 MHz を使用した場合のみ実現します。

設定レジスタでステータス・ビットが有効な場合、変換データの最後でステータス・ビットをクロック出力できます。表 12 に示すように、合計 6 つのステータス・ビットがあります。

AD4020 は、目的の設定レジスタへの 16 ビット SPI の書込みによって設定されます。16 ビット・ワードは、CNV がローの間に SDI ラインから書き込めます。16 ビット・ワードは、8 ビットのヘッダーと 8 ビットのレジスタ・データで構成されます。絶縁システムには、ADuM141D が推奨されます。最大クロック・レートは 75 MHz で、AD4020 を 1.8 MSPS で動作させることができます。

レジスタ読出し／書込み機能

AD4020 のレジスタ・ビットはプログラマブルで、デフォルトのステータスは表 12 のようになります。レジスタ・マップを表 14 に示します。過電圧クランプ・フラグは、読出し専用のステイキッキー・ビットで、過電圧状態が解消された後にレジスタの読出しが実行された場合のみクリアされます。過電圧状態の場合、このフラグが 0 になります。

表 12. レジスタ・ビット

Register Bits	Default Status
Overvoltage (OV) Clamp Flag	1 bit (default 1: inactive)
Turbo Mode	1 bit (default 0: disabled)
High-Z Mode	1 bit (default 0: disabled)
Span Compression	1 bit (default 0: disabled)
Enable Six Status Bits	1 bit (default 0: disabled)

レジスタ・マップへのアクセスを開始するには、SPI インターフェース・ブロックの 8 ビット・コマンド・レジスタへの書込みを実行する必要があります。AD4020 は、最初の 0 がクロック入力されるまで、すべての 1 を無視します。コマンド・レジスタに読み込まれる値は常に 0 で、7 つのコマンド・ビットが続きます。このコマンドによって、動作が書込みか読出しかどうか決定されます。AD4020 コマンド・レジスタを表 13 に示します。

表 14. レジスタ・マップ

ADDR[1:0]	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset
0x0	Reserved	Reserved	Reserved	Enable six status bits	Span compression	High-Z mode	Turbo mode	Overvoltage (OV) clamp flag (read only sticky bit)	0xE1

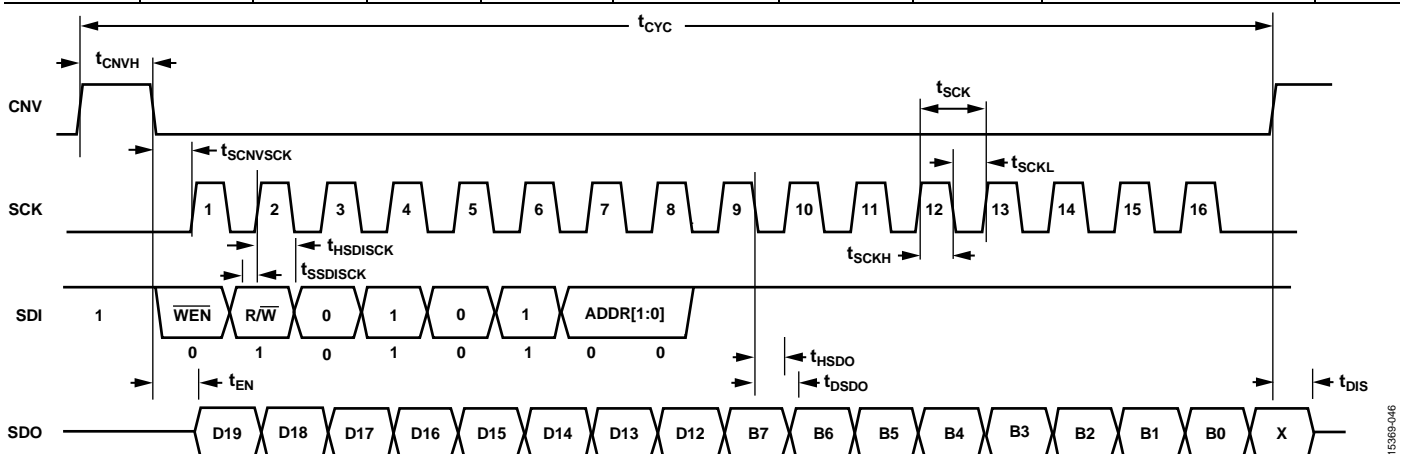


図 47. レジスタ読出しのタイミング図

表 13. コマンド・レジスタ

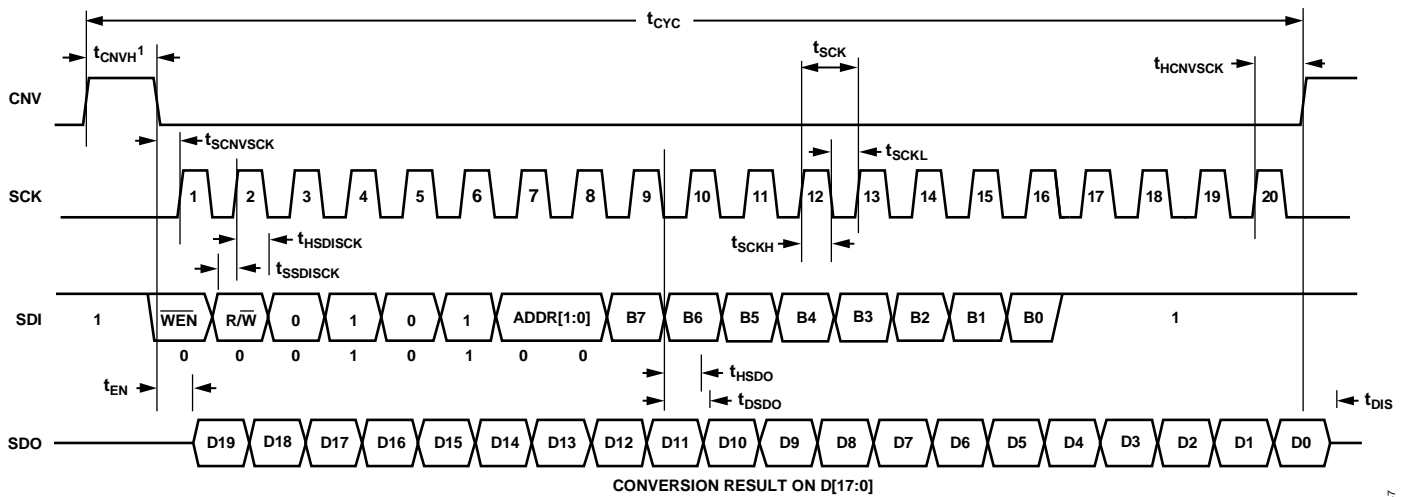
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WEN	R/W	0	1	0	1	0	0

レジスタの読出し／書込みは、CNV がローの間に発生します。SDI のデータは、SCK の立上がりエッジでクロック入力されます。SDO のデータは SCK の立下がりエッジでクロック出力されます。デジチェーン・モードが有効でない場合、データ転送の最後に、CNV の立上がりエッジで SDO は高インピーダンス状態になります。デジチェーン・モードが有効な場合、SDO は、CNV の立上がりエッジでローになります。デジチェーン・モードでは、レジスタの読出しを実行できません。

レジスタの読出しには、SCK、CNV、SDI の 3 つの信号ラインが必要です。レジスタの書込み中に SDO の変換結果を読み出すには、変換を完了した後に CNV ピンをローにする必要があります。そうしないと、SDO で間違った変換結果が出力される可能性があります。ただし、レジスタの書込みは CNV ピンの状態に関係なく発生します。

16 ビット変換データの読出しは 16 ビット SPI フレームに制限される可能性があるため、各設定レジスタの LSB は予約済みになります。SDI フレームの最終ビットの SDI の状態は、CNV 立上がりで持続する場合があります。CNV の立上がり発生時の SDI の状態がインターフェース・モードを設定する方法の一部なので、このシナリオでは、最後の SDI の状態を設定する必要があります。

図 47～図 49 のタイミング図に、レジスタの読出し、書出し、デジチェーン・モードで AD4020 を構成する場合にデータの読出し／書出しを実行する方法を示します。



¹THE USER MUST WAIT t_{CONV} TIME WHEN READING BACK THE CONVERSION RESULT, WHILE PERFORMING A REGISTER WRITE AT THE SAME TIME.

図 48. レジスタ書き込みのタイミング図

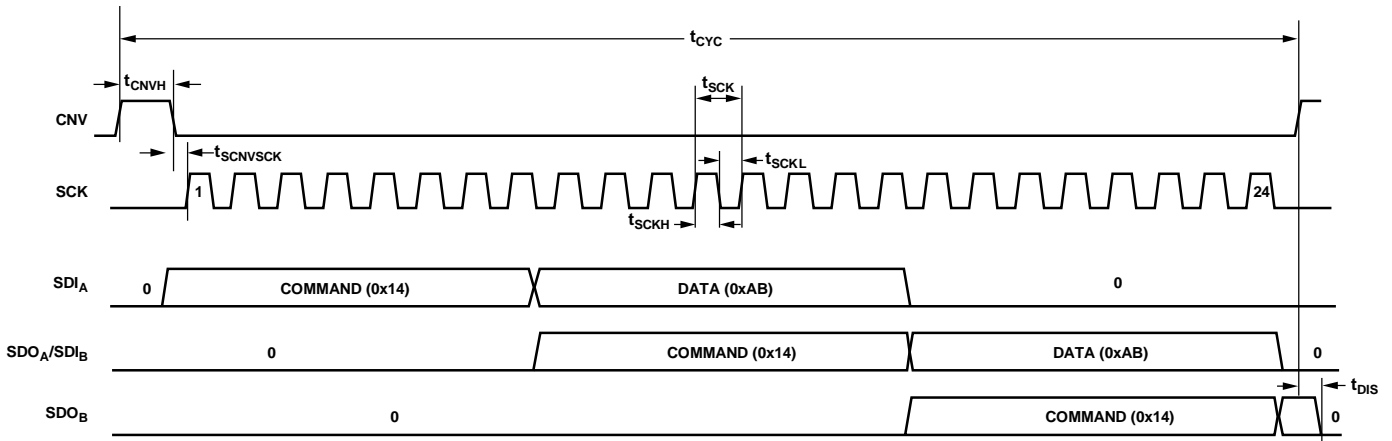


図 49. レジスタ書き込みのタイミング図、デジチェーン・モード

ステータス・ワード

変換結果の最後に 6 ビットのステータス・ワードを追加できます。これらのビットのデフォルト状態は、表 15 に示すとおりです。レジスタ設定でステータス・ビットを有効にする必要があります。過電圧クランプ・フラグが 0 の場合、過電圧状態となっていることを示しています。過電圧クランプ・フラグのステータス・ビットは、変換ごとに更新されます。

SDO ラインは、6 番目のステータス・ビットがクロック出力された後にハイ Z になります（デジチェーン・モードを除く）。次の変換を開始するため、すべてのステータスをクロック出力する必要はありません。 \overline{CS} モードのシリアル・インターフェース（ビジー・インジケータなしの 3 線式）のタイミングを、ステータス・ビットを含め、図 50 に示します。

表 15. ステータス・ビット（デフォルト条件）

Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Overvoltage (OV) clamp flag	Span compression	High-Z mode	Turbo mode	Reserved	Reserved

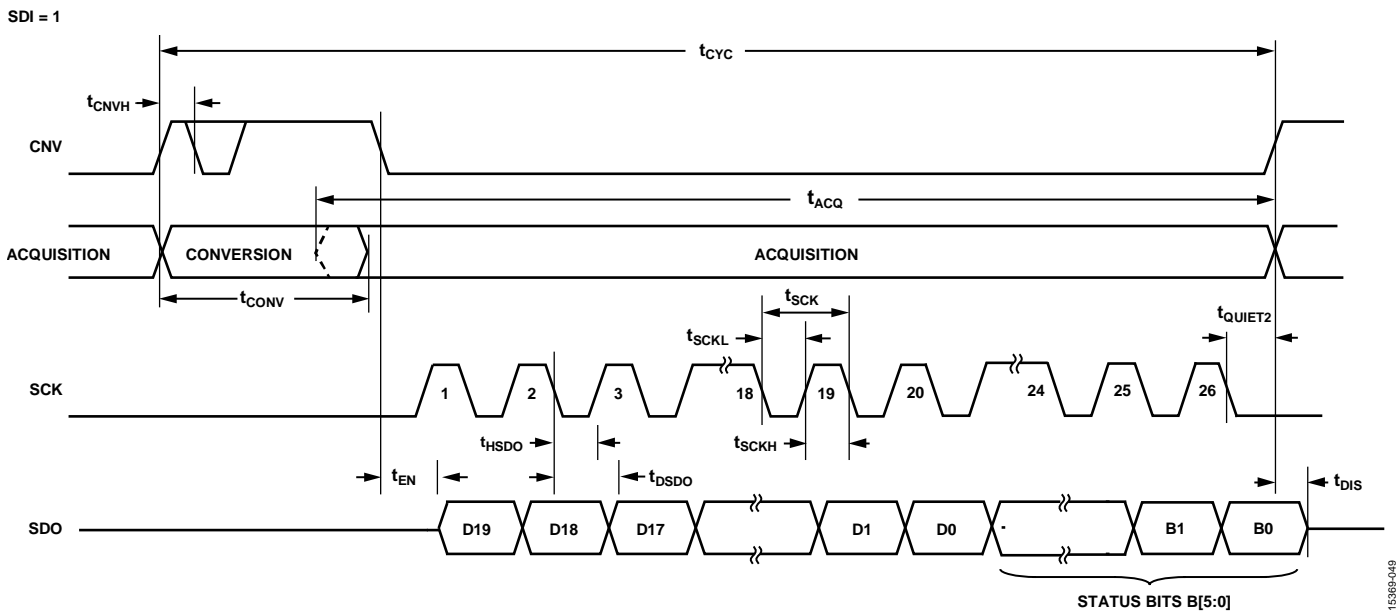


図 50. \overline{CS} モード、ビジー・インジケータなしの 3 線式シリアル・インターフェースのステータス・ビットを含むタイミング図（SDI ハイ）

CS モード、3 線式ターボ・モード

通常、このモードは、1 台の AD4020 を SPI 互換のデジタル・ホストに接続する場合に使用されます。前回の変換結果をクロック出力する ADC 変換プロセスの最後に時間が追加されるので、SCK レートが低下します。AD4020 では、ターボ・モードを有効にして、71 MHz の最小 SCK レートを使用した場合のみ、1.8 MSPS のスループット・レートを実現できます。接続図を図 51 に示します。対応するタイミング図は図 52 に示します。

ターボ・モードのビット 1 をプログラムすることで、ビジー・インジケータ付きの 3 線式モードがターボ・モードに変わります (表 14 を参照)。

SDI が強制的にハイになると、CNV の立上がりエッジで変換が開始されます。前回の変換データは、CNV の立上がりエッジ後

の読出しで使用できます。CNV がハイになった後、CNV がローになる前に、前回の変換結果をクロック出力するには、 t_{QUIET1} 時間だけ待機する必要があります。また、CNV がハイの場合、SCK の最後の立下がりエッジの後、 t_{QUIET2} 時間だけ待機する必要があります。

変換が完了すると、AD4020 はアクイジション・フェーズに移行し、パワーダウンします。CNV がローになると、MSB が SDO に出力されます。残りのデータ・ビットは、後続の SCK の立下がりエッジで記録されます。両方の SCK エッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、読出しレートが速くなります。ただし、ホールド時間を許容できることを前提とします。20 番目の SCK の立下がりエッジの発生後または CNV がハイになった後 (どちらか先に発生した方)、SDO は高インピーダンスに戻ります。

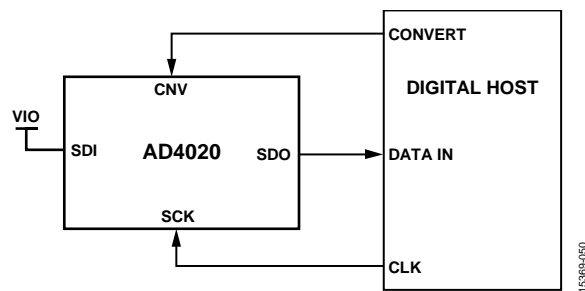


図 51. CS モード、3 線式ターボ・モード 接続図 (SDI はハイ)

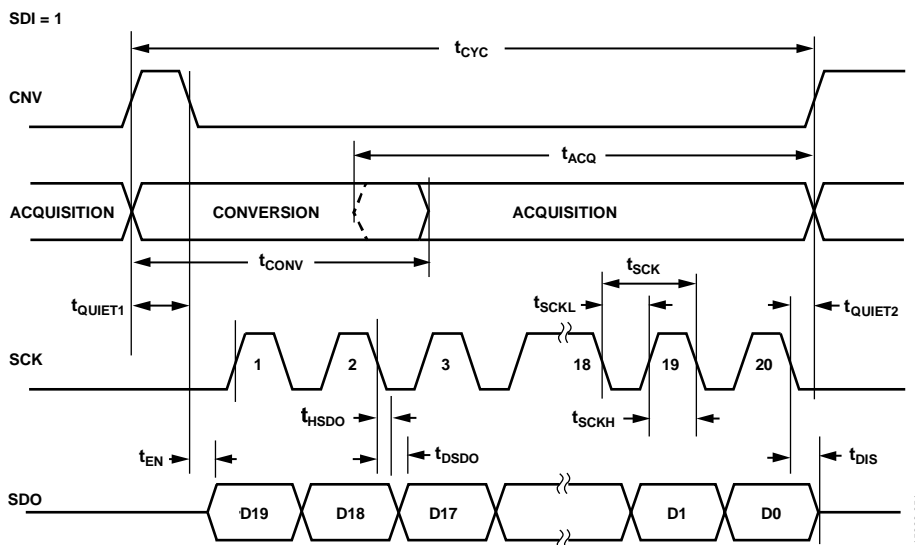


図 52. CS モード、3 線式ターボ・モードのシリアル・インターフェースのタイミング図 (SDI はハイ)

CS モード、3 線式、ビジー・インジケータなし

通常、このモードは、1 台の AD4020 を SPI 互換のデジタル・ホストに接続する場合に使用されます。接続図を図 53 に示します。対応するタイミング図は図 54 に示します。

SDI を $\overline{\text{VIO}}$ に接続すると、CNV の立上がりエッジで変換が開始され、CS モードが選択されて、SDO が強制的に高インピーダンスに移行します。変換開始後は、CNV の状態に関係なく、完了するまで変換が継続されます。この機能は、CNV をローにして、アナログ・マルチプレクサなどの SPI デバイスを選択する場合に便利です。ただし、ビジー信号インジケータの生成を防ぐため、最小変換時間が経過する前に CNV をハイに戻し、最大変換時間にわたりハイに保つ必要があります。

変換が完了すると、AD4020 はアキュイジション・フェーズに移行し、パワーダウンします。CNV がローになると、MSB が

SDO に出力されます。残りのデータ・ビットは、後続の SCK の立下がりエッジで記録されます。両方の SCK エッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、読出しレートが速くなります。ただし、ホールド時間を許容できることを前提とします。20 番目の SCK の立下がりエッジの発生後または CNV がハイになった後（どちらか先に発生した方）、SDO は高インピーダンスに戻ります。

変換中に SCK のデジタル動作が発生してはいけません。

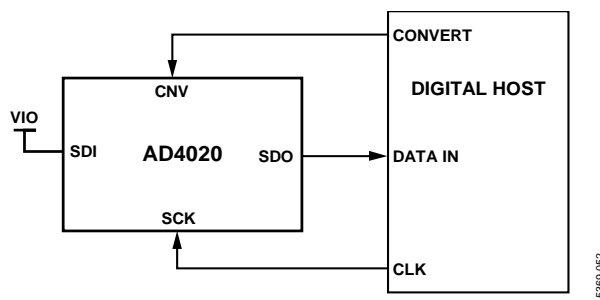


図 53. $\overline{\text{CS}}$ モード、3 線式（ビジー・インジケータなし）の接続図（SDI はハイ）

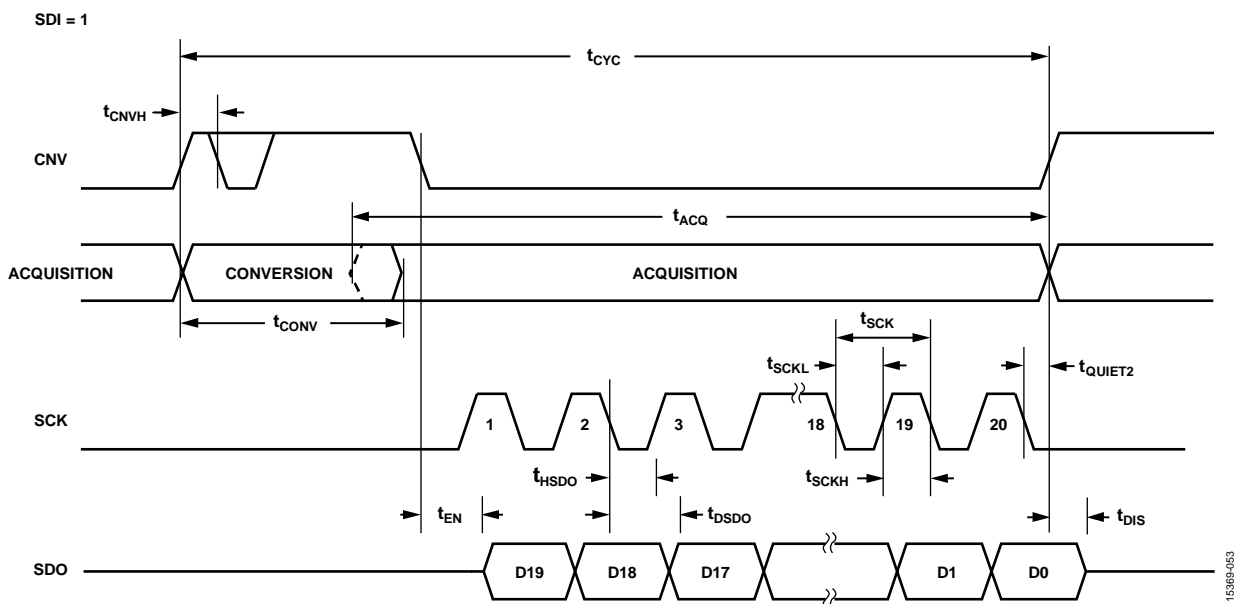


図 54. $\overline{\text{CS}}$ モード、3 線式シリアル・インターフェース（ビジー・インジケータなし）のタイミング図（SDI ハイ）

CS モード、3 線式、ビジー・インジケータあり

通常、このモードは、割込み入力 (IRQ) を備えた SPI 互換のデジタル・ホストに 1 台の AD4020 を接続する場合に使用されます。

接続図を図 55 に示します。対応するタイミング図は図 56 に示します。

SDI を VIO に接続すると、CNV の立上がりエッジで変換が開始され、CS モードが選択されて、SDO が強制的に高インピーダンスに移行します。SDO は CNV の状態に関係なく、変換が完了するまで高インピーダンスに保たれます。最小変換時間が経過する前に、CNV でアナログ・マルチプレクサなどの SPI デバイスを選択できます。ただし、ビジー信号インジケータが確実に生成されるように、最小変換時間が経過する前に CNV をローに戻し、最大変換時間にわたりローに保つ必要があります。

変換が完了すると、SDO は高インピーダンスから低インピーダンスになります。SDO ラインの 1 kΩ のプルアップ抵抗とこの

遷移を組み合わせ、割込み信号として使用すれば、デジタル・ホストによって制御されるデータ読出しを開始できます。その後、AD4020 はアキュイジション・フェーズに移行し、パワーダウンします。後続の SCK の立下がりエッジで、データ・ビットが MSB ファーストでクロック出力されます。両方の SCK エッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、読出しレートが速くなります。ただし、ホールド時間を許容できることを前提とします。オプションの 21 番目の SCK の立下がりエッジの発生後、または CNV がハイになった後 (どちらか先に発生した方)、SDO は高インピーダンスに戻ります。

複数の AD4020 デバイスを同時に選択すると、SDO 出力ピンは、損傷や誘導ラッチアップせずに、この競合を処理します。その一方で、余分な消費電力を制限するため、この競合は可能な限り短くすることが推奨されます。

変換中に SCK のデジタル動作が発生してはいけません。

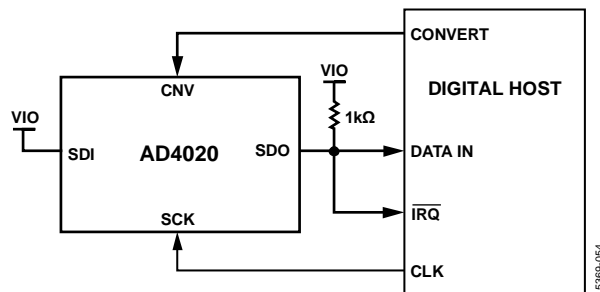


図 55. CS モード、3 線式 (ビジー・インジケータあり) の接続図 (SDI はハイ)

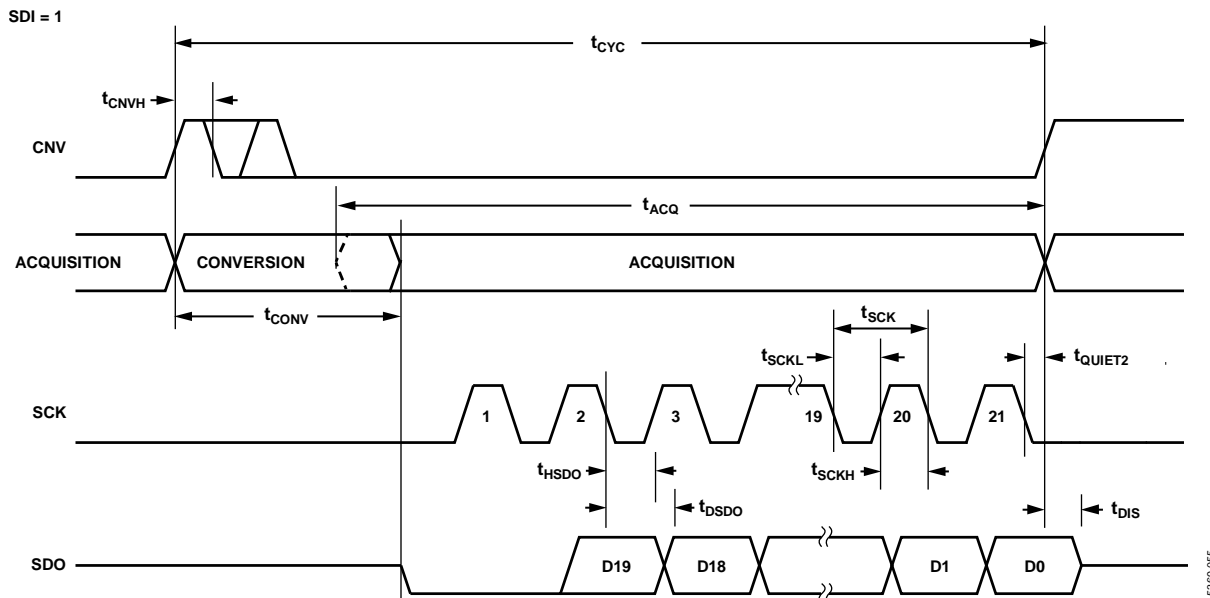


図 56. CS モード、3 線式シリアル・インターフェース (ビジー・インジケータあり) のタイミング図 (SDI はハイ)

CS モード、4 線式ターボ・モード

通常、このモードは、1 台の AD4020 を SPI 互換のデジタル・ホストに接続する場合に使用されます。前回の変換結果をクロック出力する ADC 変換プロセスの最後に追加の時間が消費されるので、SCK レートが低くなります。AD4020 では、ターボ・モードを有効にして、71 MHz の最小 SCK レートを使用した場合のみ、1.8 MSPS のスループット・レートを実現できます。接続図を図 57 に示します。対応するタイミング図は図 58 に示します。

ターボ・モードのビット 1 をプログラムすることで、ビジー・インジケータ付きの 4 線式モードがターボ・モードに変わります (表 14 を参照)。

前回の変換データは、CNV の立上がりエッジ後の読出しで使用できます。CNV がハイになった後、SDI がローになる前に、前回の変換結果をクロック出力するため、 t_{QUIET1} 時間だけ待機する必要があります。また、CNV がハイの場合、SCK の最後の立上がりエッジの後、 t_{QUIET2} 時間だけ待機する必要があります。

変換が完了すると、AD4020 はアクイジション・フェーズに移行し、パワーダウンします。SDI 入力をローにすると、ADC 結果の読出しを実行できます。その結果、MSB が SDO 出力されます。SDO ラインには、1 k Ω ~ 100 k Ω のプルアップ抵抗を取り付けることを推奨します。残りのデータ・ビットは、後続の SCK の立上がりエッジで記録されます。両方の SCK エッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、SCK の立上がりエッジを使用するデジタル・ホストでは、読出しレートが速くなります。ただし、ホールド時間を許容できることを前提とします。20 番目の SCK の立上がりエッジの発生後、または SDI がハイになった後 (どちらか先に発生した方)、SDO は高インピーダンスに戻ります。

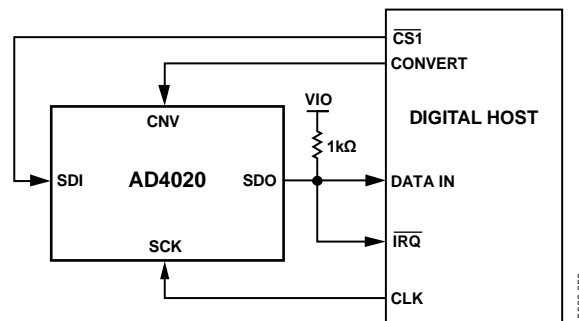


図 57. CS モード、4 線式ターボ・モードの接続図

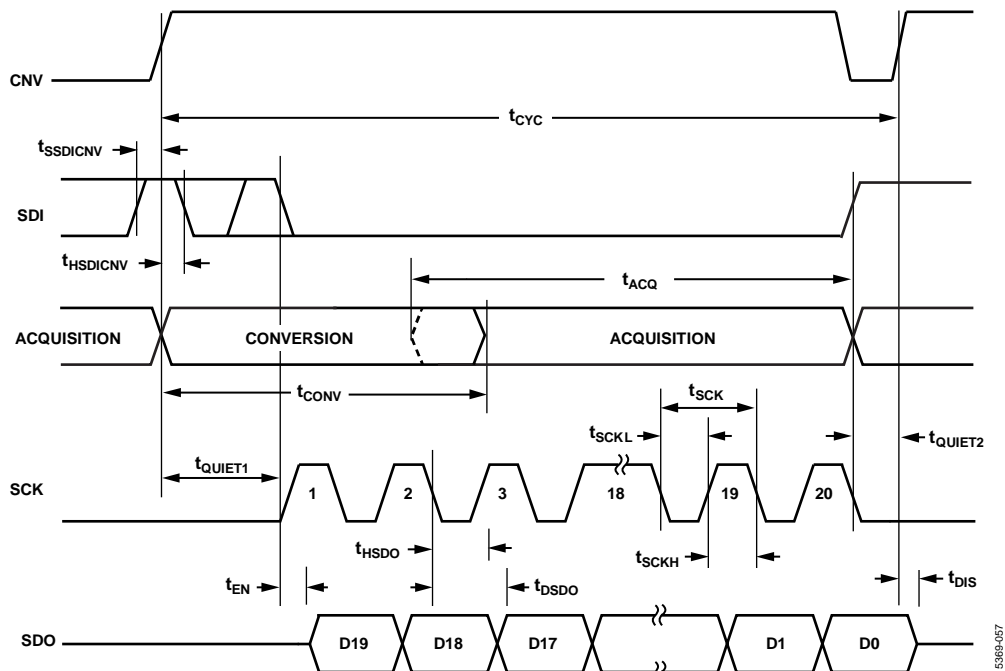


図 58. CS モード、4 線式ターボ・モードのタイミング図

CSモード、4線式、ビジー・インジケータなし

通常、このモードは、複数の AD4020 デバイスを SPI 互換のデジタル・ホストに接続する場合に使用されます。

2 台の AD4020 デバイスを使用する接続図の例を図 59 に示します。対応するタイミングは図 60 に示します。

SDI がハイの場合、CNV の立上がりエッジで変換が開始され、CSモードが選択され、SDO が強制的に高インピーダンスに移行します。このモードでは、変換フェーズと後続のデータ・リードバックの間、CNV をハイに保つ必要があります。SDI と CNV がローの場合、SDO はローになります。最小変換時間が経過する前に、SDI でアナログ・マルチプレクサなどの SPI デバイスを選択できます。ただし、ビジー信号インジケータの生成を防ぐため、最小変換時間が経過する前に SDI をハイに戻し、最大変換時間にわたりハイに保つ必要があります。

変換が完了すると、AD4020 はアクイジション・フェーズに移行し、パワーダウンします。SDI 入力をローにすると、ADC 結果の読出しを実行できます。その後、MSB が SDO に出力されます。残りのデータ・ビットは、後続の SCK の立下がりエッジで記録されます。両方の SCK エッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、読出しレートが速くなります。ただし、ホールド時間を許容できることを前提とします。20 番目の SCK の立下がりエッジの発生後、または CNV がハイになった後（どちらか先に発生した方）、SDO は高インピーダンスに戻り、別の AD4020 の読出しを実行できます。

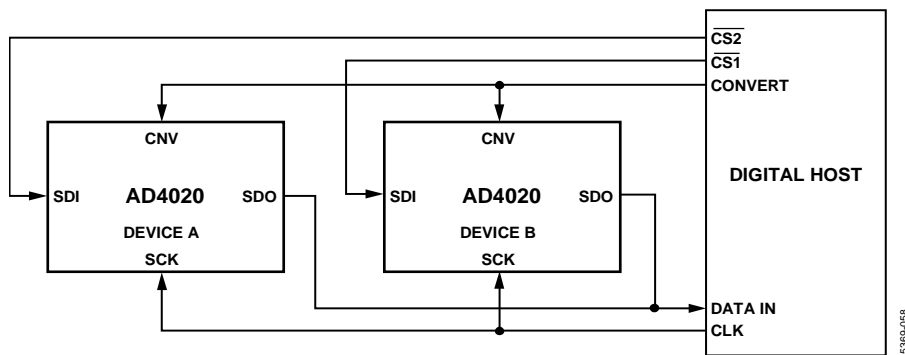


図 59. CSモード、4線式（ビジー・インジケータなし）の接続図

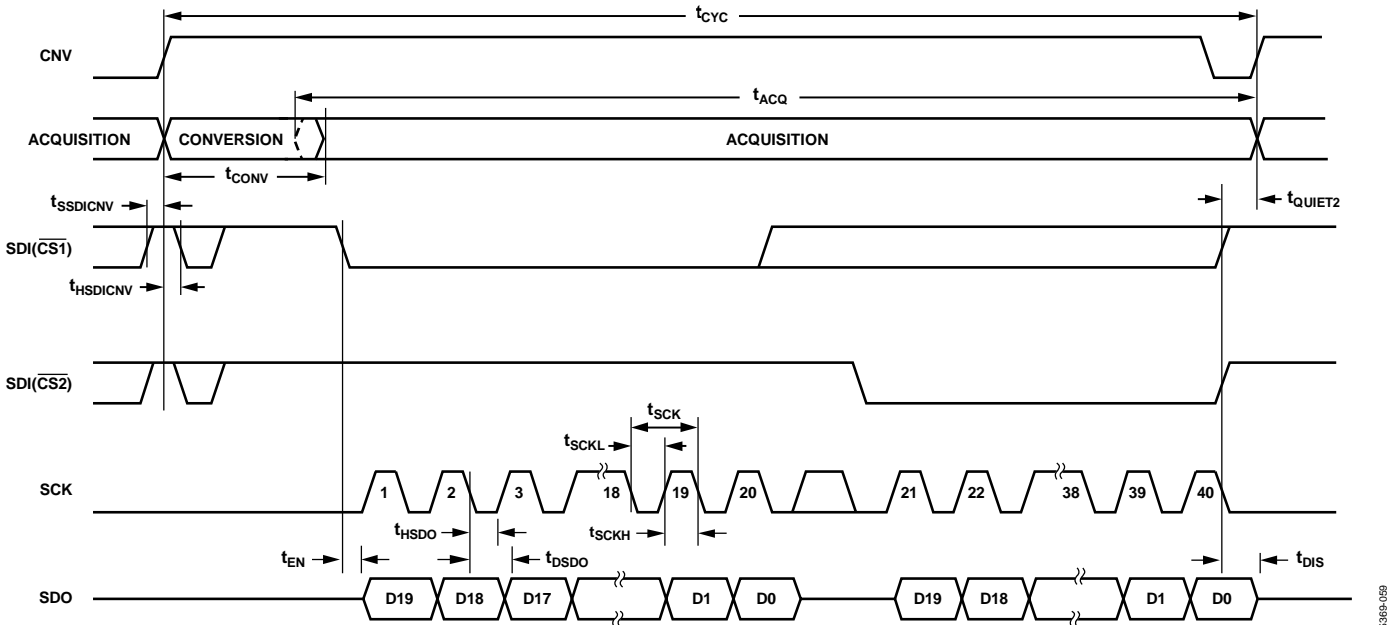


図 60. CSモード、4線式シリアル・インターフェース（ビジー・インジケータなし）のタイミング図

$\overline{\text{CS}}$ モード、4 線式、ビジー・インジケータあり

通常、このモードは、割込み入力を使用して SPI 互換のデジタル・ホストに 1 台の AD4020 を接続し、データの読出しに使用される信号に関係なく、CNV を維持してアナログ入力をサンプリングする場合に使用されます。この独立性は、CNV で低ジッタが必要なアプリケーションで特に重要になります。

接続図を図 61 に示します。対応するタイミングは図 62 に示します。

SDI がハイの場合、CNV の立上がりエッジで変換が開始され、 $\overline{\text{CS}}$ モードが選択され、SDO が強制的に高インピーダンスに移行します。このモードでは、変換フェーズと後続のデータ・リードバックの間、CNV をハイに保つ必要があります。SDI と CNV がローの場合、SDO はローになります。最小変換時間が経過する前に、SDI でアナログ・マルチプレクサなどの SPI デバイスを選択できます。ただし、ビジー信号インジケータが確

実に生成されるように、最小変換時間が経過する前に SDI をローに戻し、最大変換時間にわたりローに保つ必要があります。変換が完了すると、SDO は高インピーダンスから低インピーダンスになります。SDO ラインの 1 k Ω のプルアップ抵抗とこの遷移を組み合わせると、割込み信号として使用することで、デジタル・ホストによって制御されるデータのリードバックを開始できます。その後、AD4020 はアキュイジション・フェーズに移行し、パワーダウンします。後続の SCK の立下がりエッジで、データ・ビットが MSB ファーストでクロック出力されます。両方の SCK エッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、読出しレートが速くなります。ただし、ホールド時間を許容できることを前提とします。オプションの 21 番目の SCK 立下がりエッジの発生後、または SDI がハイになった後（どちらか先に発生した方）、SDO は高インピーダンスに戻ります。

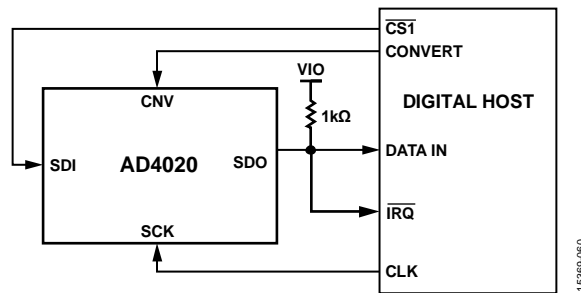


図 61. $\overline{\text{CS}}$ モード、4 線式（ビジー・インジケータあり）の接続図

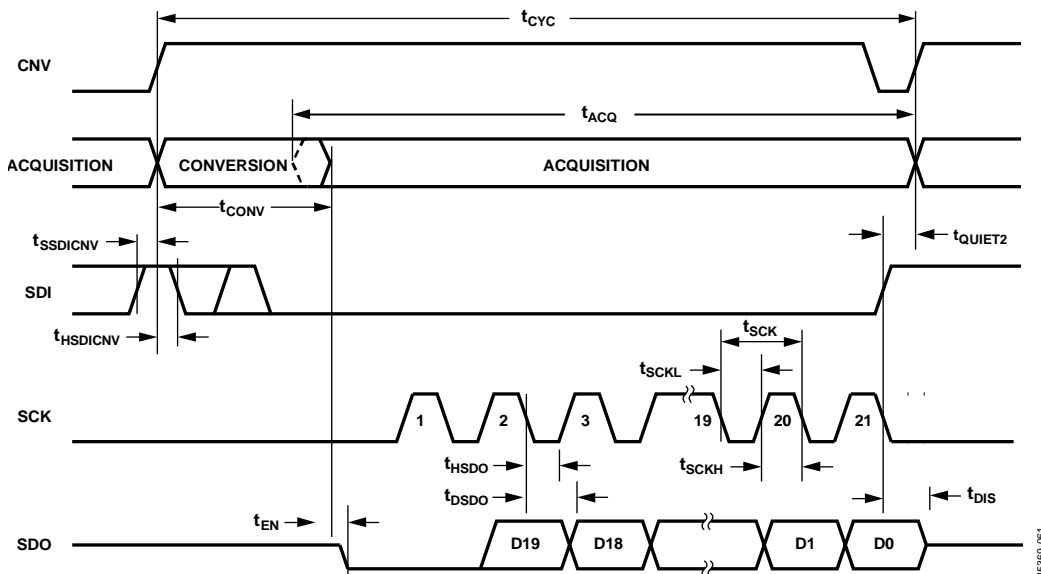


図 62. $\overline{\text{CS}}$ モード、4 線式シリアル・インターフェース（ビジー・インジケータあり）のタイミング図

デジチェーン・モード

3線式または4線式のシリアル・インターフェースに複数のAD4020デバイスをデジチェーン接続するには、このモードを使用します。この機能は、絶縁された複数のコンバータを使用するアプリケーションやインターフェース能力が制限されているシステムなどで、部品数と配線数を削減するうえで役立ちます。データのリードバックは、シフト・レジスタの記録と似ています。

2台のAD4020デバイスを使用する接続図の例を図63に示します。対応するタイミングは図64に示します。

SDIとCNVがローの場合、SDOはローになります。SCKがローの場合、CNVの立上がりエッジで変換が開始され、デジチェーン・モードが選択され、ビジー・インジケータが無効になります。このモードでは、変換フェーズと後続のデータ・リードバックの間、CNVがハイに維持されます。変換が完了すると、MSBがSDOに出力され、AD4020はアクイジション・フェーズに移行して、パワーダウンします。残りのデータ・ビットは、内部シフト・レジスタに保存され、後続のSCK立下がりエッジでSDOからクロック出力されます。各ADCで、SDIは内部シフト・レジスタの入力を供給し、SCK立上がりエッジで記録します。デジチェーン出力の各ADCは、MSBファーストでデータを出力します。N個のADCにリードバックするに

は、 $20 \times N$ 個のクロックが必要です。両方のSCKエッジでデータは有効です。最大変換レートは、合計リードバック時間によって減少します。

デジチェーン・モードでは、各ADCレジスタに書き込みを実行できます。タイミング図を図49に示します。このモードでは、CNVをローに維持してSDIラインでデータがクロック入力されるため、4線式動作が必要です。同じコマンド・バイトとレジスタ・データをチェーン全体でシフトして、同じレジスタ値ですべてのADCをプログラムできます。ここで、N個のADCを使用する場合、 $8 \times (N+1)$ 個のクロックが必要です。最初に、チェーン内の $8 \times (N+1)$ 個のクロックを使用して最後のADCに書き込みを実行します。次に、 $8 \times N$ 個のクロックを使用して最後から2番目のADCに書き込みを実行します。その後、チェーン内の最も近いADCに到達するまでこの動作を繰り返し、各ADCにレジスタ値を書き込みます。この場合、コマンドとレジスタ・データ用に16個のクロックが必要です。デジチェーン・モードでは、レジスタ値の読出しを実行できません。ただし、ADCの設定を確認する場合は、6つのステータス・ビットを有効にできます。ステータス・ビットを有効にするには、ADCの結果とチェーン内のADCごとのステータス・ビットをクロック出力するため、6つのクロックが余分に必要です。デジチェーン・モードでは、ターボ・モードを使用できません。

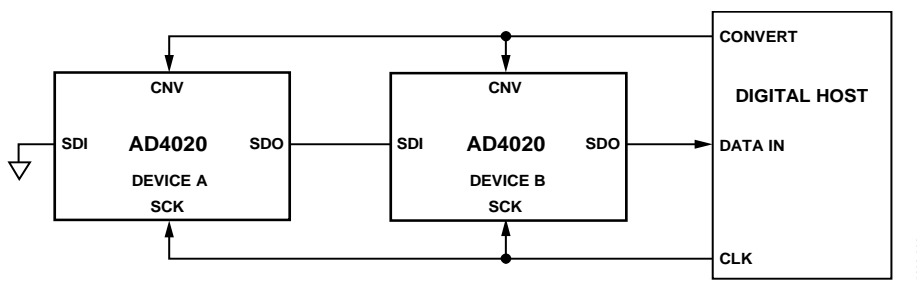


図 63. デジチェーン・モード、接続図

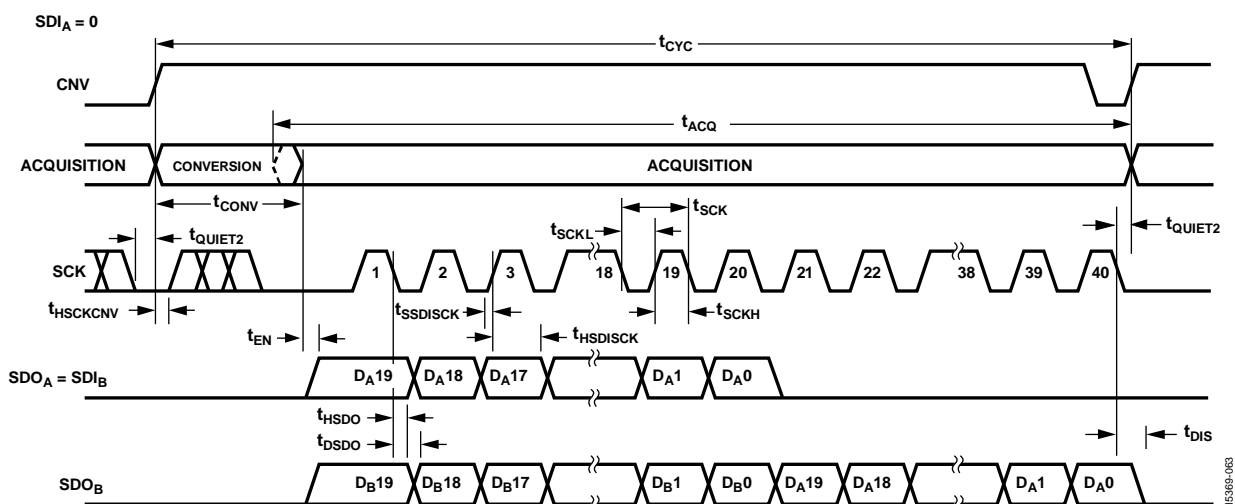


図 64. デジチェーン・モード、シリアル・インターフェースのタイミング図

レイアウトのガイドライン

AD4020 を実装する基板では、アナログ・セクションとデジタル・セクションを分離し、ボードの特定の領域に収納するように設計する必要があります。AD4020 のピン配置では、左側にアナログ信号を配置し、右側にデジタル信号を配置することで、このタスクが容易になります。

AD4020 の下にグラウンド・プレーンをシールドとして配置する場合を除き、チップにノイズが混入しないよう、デバイスの下にはデジタル・ラインを配置しないでください。CNV やクロックなど、高速のスイッチング信号をアナログ信号経路の近くで伝送させないでください。デジタル信号とアナログ信号が交差してはいけません。

グラウンド・プレーンを 1 つ以上使用する必要があります。デジタル・セクションとアナログ・セクションの間で共通のプレーンとして使用するか、別々に分割できます。後者の場合、AD4020 デバイスの下でプレーンを結合します。

AD4020 電圧リファレンス入力 (REF) には、動の入力インピーダンスが含まれます。リファレンス・デカップリング・セラミック・コンデンサを REF ピンと GND ピンの近く (理想的には真上) に配置し、幅の広い低インピーダンスのパターンに接続することで、最小限の寄生インダクタンスで REF ピンをデカップリングできます。

最後に、AD4020 の VDD 電源と VIO 電源をデカップリングします。通常、100 nF のセラミック・コンデンサを AD4020 の近くに配置し、短く広いパターンで接続して、低インピーダンス経路を作成し、電源ラインでグリッチの影響を減らします。

これらのルールに従うレイアウトの例を図 65 と図 66 に示します。

AD4020 の性能評価

AD4020 に推奨されるその他のレイアウトは、AD4020 評価用ボード (EVAL-AD4020FMCZ) のユーザー・ガイドに記載されています。評価用ボード・パッケージには、組み立てが完了したテスト済みの評価用ボード、ユーザー・ガイド、ボードを EVAL-SDP-CH1Z 経由で PC 制御するためのソフトウェアが含まれます。

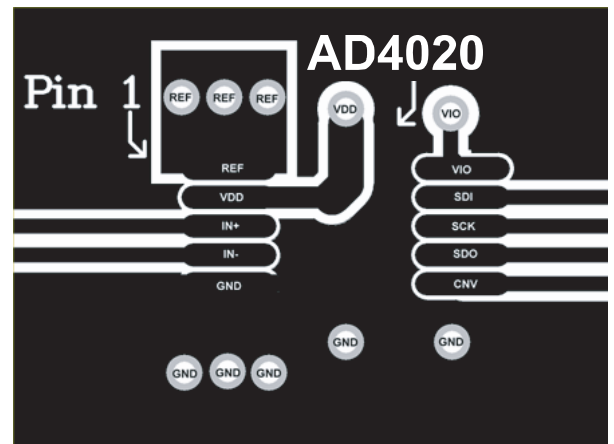


図 65. AD4020 (表面層) のレイアウト例

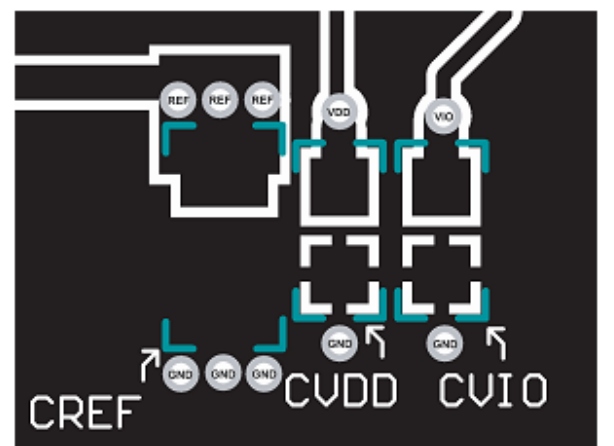


図 66. AD4020 (裏面層) のレイアウト例

外形寸法

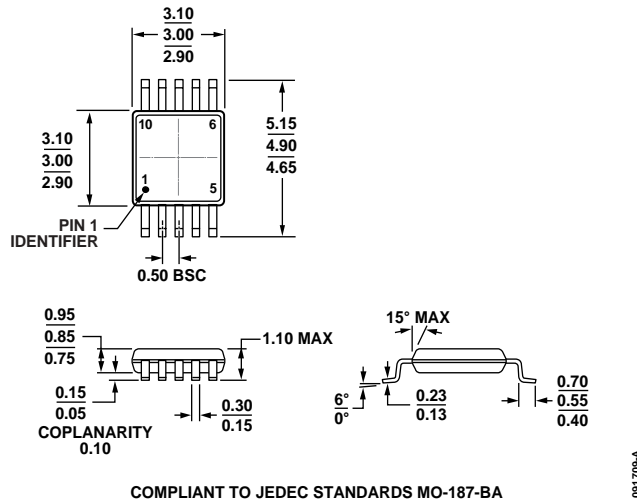


図 67. 10 ピン・ミニ・スモール・アウトライン・パッケージ [MSOP] (RM-10) 寸法: mm

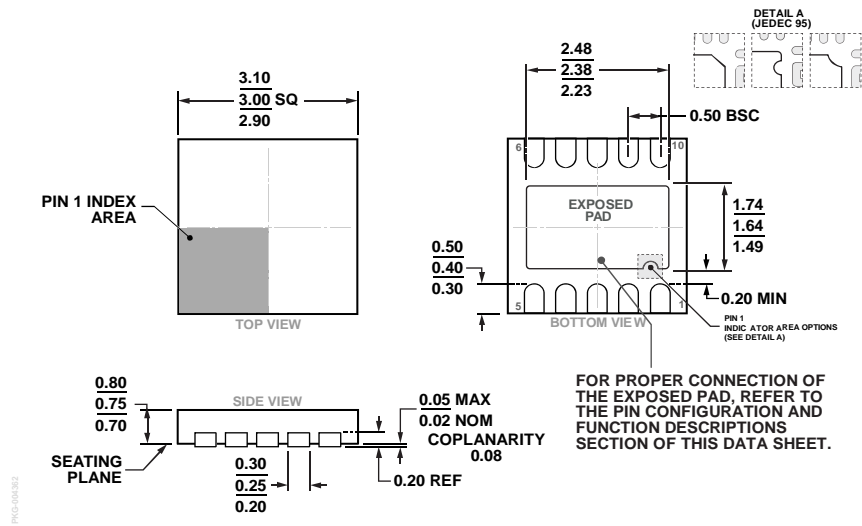


図 68. 10 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP] 3 mm x 3 mm ボディ、0.75 mm パッケージ高 (CP-10-9) 寸法: mm

オーダー・ガイド

Model ¹	Integral Nonlinearity (INL)	Temperature Range	Ordering Quantity	Package Description	Package Option	Branding
AD4020BRMZ	±3.1 ppm	-40°C to +125°C	Tube, 50	10-Lead MSOP	RM-10	C8L
AD4020BRMZ-RL7	±3.1 ppm	-40°C to +125°C	Reel, 1000	10-Lead MSOP	RM-10	C8L
AD4020BCPZ-RL7	±3.1 ppm	-40°C to +125°C	Reel, 1500	10-Lead LFCSP	CP-10-9	C8L
EVAL-AD4020FMCZ				AD4020 Evaluation Board Compatible with EVAL-SDP-CH1Z		

¹ Z = RoHS 準拠製品