



18 ビット 2 MSPS/1 MSPS/500 kSPS 高精度 SAR 差動 ADC

データシート

AD4003/AD4007/AD4011

特長

- スループット: 2 MSPS/1 MSPS/500 kSPS から選択可能
 - INL: 最大 ± 1.0 LSB (± 3.8 ppm)
 - 18 ビットのノー・ミッシング・コードを確保
 - 低消費電力
 - 2 MSPS で 9.5 mW、1 MSPS で 4.9 mW、500 kSPS で 2.4 mW (VDD のみ)
 - 10 kSPS で 80 μ W、2 MSPS で 16 mW (合計)
 - S/N 比: 1 kHz で 100.5 dB (代表値) ($V_{REF} = 5$ V)、100 kHz で 99 dB (代表値)
 - THD: 1 kHz で -123 dB (代表値) ($V_{REF} = 5$ V)、100 kHz で -100 dB (代表値)
 - 簡単に使用できる機能でシステムの消費電力と複雑さを低減
 - 入力過電圧クランプ回路
 - 非直線性入力チャージ・キックバックを低減
 - 高インピーダンス・モード
 - 長いアクイジション・フェーズ
 - 入カスパンの圧縮
 - 高速変換時間により低 SPI クロック・レートが可能
 - SPI プログラマブル・モード、読出し/書込み機能、ステータス・ワード
 - 差動アナログ入力範囲: $\pm V_{REF}$
 - 0 V ~ V_{REF} (V_{REF} は 2.4 V ~ 5.1 V)
 - 1.8 V の単電源動作、1.71 V ~ 5.5 V のロジック・インターフェースに対応
 - SAR アーキテクチャ: 遅延/パイプライン遅延なし、最初の変換から有効
 - 最初から精密な変換が可能
 - 保証動作: -40 °C ~ +125 °C
 - SPI/QSPI/MICROWIRE/DSP 互換シリアル・インターフェース
 - 複数の ADC をデジタイズチェーン接続可能、ビジー・インジケータ搭載
 - 10 ピン・パッケージ: 3 mm x 3 mm の LFCSP、3 mm x 4.90 mm の MSOP
- ### アプリケーション
- ATE (自動試験装置)
 - マシン・オートメーション
 - 医療機器
 - バッテリー駆動装置
 - 高精度のデータ・アクイジション・システム

概要

AD4003/AD4007/AD4011 は低ノイズ、低消費電力、高速の 18 ビット、高精度逐次比較型 (SAR) A/D コンバータ (ADC) です。AD4003、AD4007、AD4011 はそれぞれ、2 MSPS、1 MSPS、500 kSPS のスループットを提供します。これらの製品は、シグナル・チェーンの消費電力と複雑さを減らし、高いチャンネル密度を実現する使いやすい機能を内蔵しています。高インピーダンス・モードと長いアクイジション・フェーズの組み合わせにより、高速で高出力の専用 ADC ドライバが不要となり、これらの ADC を直接駆動できる低消費電力の高精度アンプの選択肢が広がると同時に、最適な性能を実現します。入力スパン圧縮機能により、負電源なしで ADC ドライバ・アンプと ADC を共通の電源で動作させながら、ADC コードの全範囲を維持することができます。シリアル・ペリフェラル・インターフェース (SPI) の低クロック・レート要件により、デジタル入出力の消費電力量が低減され、プロセッサの選択肢が広がり、デジタル・アイソレーションを介したデータ伝送のタスクが簡素化されます。

AD4003/AD4007/AD4011 は 1.8 V 電源で動作し、完全差動入力の範囲は $\pm V_{REF}$ で、 V_{REF} は 2.4 V ~ 5.1 V です。ターボ・モードでは、AD4003 は 75 MHz の最小 SCK レートで 2 MSPS 時に 16 mW、AD4007 は 25 MHz の最小 SCK レートで 1 MSPS 時に 8 mW、AD4011 は 11 MHz の最小 SCK レートで 500 kSPS 時に 4 mW しか消費しません。AD4003/AD4007/AD4011 はすべて、最大 ± 1.0 LSB の積分非直線性誤差 (INL) を達成し、1 kHz の入力で 100.5 dB (代表値) の S/N 比、18 ビットのノー・ミッシング・コードを確保しています。リファレンス電圧は外部から供給され、電源電圧とは独立して設定できます。

SPI 互換の多機能シリアル・インターフェースは 7 種類のモードを備えており、SDI 入力を使用して 1 つの 3 線式バスで複数の ADC をデジタイズチェーン接続する機能も含まれています。また、オプションのビジー・インジケータも備えています。AD4003/AD4007/AD4011 は別個の VIO 電源を使用することにより、1.8 V、2.5 V、3 V、5 V のロジックに対応します。

AD4003/AD4007 は 10 ピン MSOP または 10 ピン LFCSP パッケージ、AD4011 は 10 ピン LFCSP パッケージを採用しており、-40 °C ~ +125 °C で動作が仕様規定されています。これらのデバイスは 16 ビット、2 MSPS の AD4000 とピン互換です (表 8 参照)。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	ドライバ・アンプの選択.....	21
アプリケーション.....	1	ドライブ補助機能.....	23
概要.....	1	電圧リファレンス入力.....	24
改訂履歴.....	2	電源.....	24
機能ブロック図.....	3	デジタル・インターフェース.....	25
仕様.....	4	レジスタ読出し/書込み機能.....	26
タイミング仕様.....	7	ステータス・ワード.....	28
絶対最大定格.....	9	\overline{CS} モード、3 線式ターボ・モード.....	29
熱抵抗.....	9	\overline{CS} モード、3 線式、ビジー・インジケータなし.....	30
ESD に関する注意.....	9	\overline{CS} モード、3 線式、ビジー・インジケータあり.....	31
ピン配置およびピン機能の説明.....	10	\overline{CS} モード、4 線式ターボ・モード.....	32
代表的な性能特性.....	11	\overline{CS} モード、4 線式、ビジー・インジケータなし.....	33
用語の定義.....	16	\overline{CS} モード、4 線式、ビジー・インジケータあり.....	34
動作原理.....	17	デイジーチェーン・モード.....	35
回路説明.....	17	レイアウトのガイドライン.....	36
コンバータの動作.....	18	AD4003/AD4007/AD4011 の性能評価.....	36
伝達関数.....	18	外形寸法.....	37
アプリケーション情報.....	19	オーダー・ガイド.....	38
代表的なアプリケーション図.....	19		
アナログ入力.....	20		

改訂履歴

7/2017—Rev. 0 to Rev. A

Added AD4007 and AD4011.....	Universal
Changes to Features Section and General Description.....	1
Moved Figure 1.....	3
Changes to Specifications Section.....	4
Changes to Table 1.....	4
Changes to Timing Specifications Section.....	7
Changes to Table 2.....	7
Changes to Absolute Maximum Ratings Section.....	9
Added Endnote 2 and Endnote 3, Table 6.....	9
Changes to Typical Performance Characteristics Section.....	11
Changes to Figure 11 and Figure 14.....	12
Changes to Figure 19 and Figure 21.....	13
Added Figure 25 and Figure 26; Renumbered Sequentially.....	14
Moved Terminology Section.....	16
Changes to Terminology Section.....	16
Changes to Circuit Information Section and Table 8.....	17
Moved Figure 38.....	22

Changes to High Frequency Input Signals Section.....	22
Added Multiplexed Applications Section.....	22
Added Figure 41.....	23
Moved Figure 42.....	23
Changes to High-Z Mode Section and Figure 43.....	23
Changes to Voltage Reference Input Section.....	24
Changes to Figure 48, Digital Interface Section, and Table 11.....	25
Changes to CS Mode, 3-Wire Turbo Mode Section.....	29
Added Figure 53.....	29
Changes to CS Mode, 4-Wire Turbo Mode Section.....	32
Added Figure 59.....	32
Change to CS Mode, 4-Wire with Busy Signal Indicator Section.....	34
Changes to Layout Guidelines Section and Evaluating the AD4003/AD4007/AD4011 Performance Section.....	36
Updated Outline Dimensions.....	37
Changes to Ordering Guide.....	38

10/2016—Revision 0: Initial Version

機能ブロック図

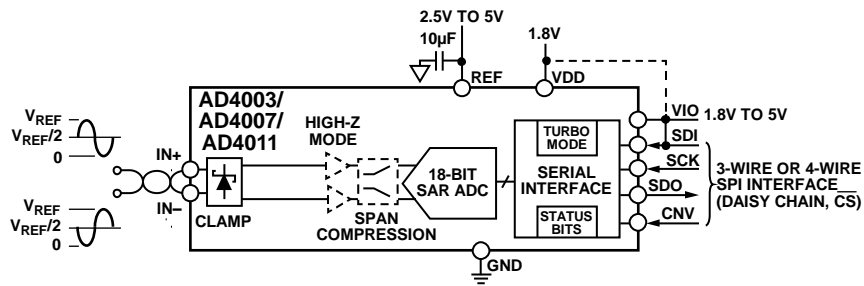


図 1.

14957-001

仕様

VDD = 1.71 V ~ 1.89 V、VIO = 1.71 V ~ 5.5 V、VREF = 5 V、すべての仕様で TMIN ~ TMAX、高インピーダンス・モードは無効、スパン圧縮は無効、ターボ・モードは有効、サンプリング周波数 fs は AD4003 が 2 MSPS、AD4007 が 1 MSPS、AD4011 が 500 kSPS。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		18			Bits
ANALOG INPUT					
Voltage Range	VIN+ - VIN- Span compression enabled	-VREF -VREF × 0.8		+VREF +VREF × 0.8	V V
Operating Input Voltage	VIN+, VIN- to GND Span compression enabled	-0.1 0.1 × VREF		VREF + 0.1 0.9 × VREF	V V
Common-Mode Input Range		VREF/2 - 0.125	VREF/2	VREF/2 + 0.125	V
Common-Mode Rejection Ratio (CMRR)	fIN = 500 kHz		68		dB
Analog Input Current	Acquisition phase, T = 25°C High-Z mode enabled, converting dc input at 2 MSPS		0.3 1		nA μA
THROUGHPUT					
Complete Cycle					
AD4003		500			ns
AD4007		1000			ns
AD4011		2000			ns
Conversion Time		270	290	320	ns
Acquisition Phase ¹					
AD4003		290			ns
AD4007		790			ns
AD4011		1790			ns
Throughput Rate ²					
AD4003		0		2	MSPS
AD4007		0		1	MSPS
AD4011		0		500	kSPS
Transient Response ³			250		ns
DC ACCURACY					
No Missing Codes		18			Bits
Integral Linearity Error		-1.0 -3.8	±0.4 ±1.52	+1.0 +3.8	LSB ppm
Differential Linearity Error		-0.75	±0.3	+0.75	LSB
Transition Noise			0.8		LSB
Zero Error		-7		+7	LSB
Zero Error Drift ⁴		-0.21		+0.21	ppm/°C
Gain Error		-26	±3	+26	LSB
Gain Error Drift ⁴		-1.23		+1.23	ppm/°C
Power Supply Sensitivity	VDD = 1.8 V ± 5%		1.5		LSB
1/f Noise ⁵	Bandwidth = 0.1 Hz to 10 Hz		6		μV p-p

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
AC ACCURACY					
Dynamic Range			101		dB
Total RMS Noise			31.5		$\mu\text{V rms}$
$f_{\text{IN}} = 1 \text{ kHz}$, -0.5 dBFS , $V_{\text{REF}} = 5 \text{ V}$					
Signal-to-Noise Ratio (SNR)		99	100.5		dB
Spurious-Free Dynamic Range (SFDR)			122		dB
Total Harmonic Distortion (THD)			-123		dB
Signal-to-Noise-and-Distortion Ratio (SINAD)		98.5	100		dB
Oversampled Dynamic Range	Oversampling ratio (OSR) = 256, $V_{\text{REF}} = 5 \text{ V}$		122		dB
$f_{\text{IN}} = 1 \text{ kHz}$, -0.5 dBFS , $V_{\text{REF}} = 2.5 \text{ V}$					
SNR		93.5	94.5		dB
SFDR			122		dB
THD			-119		dB
SINAD		93	94		dB
$f_{\text{IN}} = 100 \text{ kHz}$, -0.5 dBFS , $V_{\text{REF}} = 5 \text{ V}$					
SNR			99		dB
THD			-100		dB
SINAD			96.5		dB
$f_{\text{IN}} = 400 \text{ kHz}$, -0.5 dBFS , $V_{\text{REF}} = 5 \text{ V}$					
SNR			91.5		dB
THD			-94		dB
SINAD			90		dB
-3 dB Input Bandwidth			10		MHz
Aperture Delay			1		ns
Aperture Jitter			1		ps rms
REFERENCE					
Voltage Range, V_{REF}		2.4		5.1	V
Current					
AD4003	2 MSPS		1.1		mA
AD4007	1 MSPS		0.5		mA
AD4011	500 kSPS		0.26		mA
INPUT OVERVOLTAGE CLAMP					
$I_{\text{IN+}}/I_{\text{IN-}}$ Current, $I_{\text{IN+}}/I_{\text{IN-}}$	$V_{\text{REF}} = 5 \text{ V}$			50	mA
	$V_{\text{REF}} = 2.5 \text{ V}$			50	mA
$V_{\text{IN+}}/V_{\text{IN-}}$ at Maximum $I_{\text{IN+}}/I_{\text{IN-}}$	$V_{\text{REF}} = 5 \text{ V}$		5.4		V
	$V_{\text{REF}} = 2.5 \text{ V}$		3.1		V
$V_{\text{IN+}}/V_{\text{IN-}}$ Clamp On/Off Threshold	$V_{\text{REF}} = 5 \text{ V}$	5.25	5.4		V
	$V_{\text{REF}} = 2.5 \text{ V}$	2.68	2.8		V
Deactivation Time			360		ns
REF Current at Maximum $I_{\text{IN+}}/I_{\text{IN-}}$	$V_{\text{IN+}}/V_{\text{IN-}} > V_{\text{REF}}$		100		μA
DIGITAL INPUTS					
Logic Levels					
Input Low Voltage, V_{IL}	$V_{\text{IO}} > 2.7 \text{ V}$	-0.3		$+0.3 \times V_{\text{IO}}$	V
	$V_{\text{IO}} \leq 2.7 \text{ V}$	-0.3		$+0.2 \times V_{\text{IO}}$	V
Input High Voltage, V_{IH}	$V_{\text{IO}} > 2.7 \text{ V}$	$0.7 \times V_{\text{IO}}$		$V_{\text{IO}} + 0.3$	V
	$V_{\text{IO}} \leq 2.7 \text{ V}$	$0.8 \times V_{\text{IO}}$		$V_{\text{IO}} + 0.3$	V
Input Low Current, I_{IL}		-1		+1	μA
Input High Current, I_{IH}		-1		+1	μA
Input Pin Capacitance			6		pF

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DIGITAL OUTPUTS					
Data Format		Serial 18 bits, twos complement			
Pipeline Delay		Conversion results available immediately after completed conversion			
Output Low Voltage, V_{OL}	$I_{SINK} = 500 \mu A$			0.4	V
Output High Voltage, V_{OH}	$I_{SOURCE} = -500 \mu A$	$V_{IO} - 0.3$			V
POWER SUPPLIES					
VDD		1.71	1.8	1.89	V
VIO		1.71		5.5	V
Standby Current	VDD = 1.8 V, VIO = 1.8 V, T = 25°C		1.6		μA
Power Dissipation	VDD = 1.8 V, VIO = 1.8 V, $V_{REF} = 5 V$				
	10 kSPS, high-Z mode disabled		80		μW
	500 kSPS, high-Z mode disabled		4	4.7	mW
	1 MSPS, high-Z mode disabled		8	9.3	mW
	2 MSPS, high-Z mode disabled		16	18.5	mW
	500 kSPS, high-Z mode enabled		5	6.2	mW
	1 MSPS, high-Z mode enabled		10	12.3	mW
	2 MSPS, high-Z mode enabled		20	24.5	mW
VDD Only	500 kSPS, high-Z mode disabled		2.4		mW
	1 MSPS, high-Z mode disabled		4.9		mW
	2 MSPS, high-Z mode disabled		9.5		mW
REF Only	500 kSPS, high-Z mode disabled		1.4		mW
	1 MSPS, high-Z mode disabled		2.8		mW
	2 MSPS, high-Z mode disabled		5.5		mW
VIO Only	500 kSPS, high-Z mode disabled		0.1		mW
	1 MSPS, high-Z mode disabled		0.4		mW
	2 MSPS, high-Z mode disabled		1.0		mW
Energy per Conversion			8		nJ/sample
TEMPERATURE RANGE					
Specified Performance	T_{MIN} to T_{MAX}	-40		+125	°C

¹ アクイジション・フェーズとは、AD4003 では 2 MSPS、AD4007 では 1 MSPS のスループット・レートで動作しているときに、入力サンプリング・コンデンサが新規の入力値を取得するために使用できる時間です。

² ターボ・モードを有効にして、最小 SCK レートである 75 MHz を使用した場合のみ、2 MSPS のスループット・レートが実現します。1 MSPS の動作に必要な最小 SCK レートは、ターボ・モード有効時で 25 MHz です。500 kSPS の動作に必要な最小 SCK レートは、ターボ・モード有効時で 11 MHz です。各種の動作モードで可能な最大スループットについては、表 4 を参照してください。

³ 過渡応答は、ADC が ± 1 LSB の精度でフルスケール入力ステップを実現するために必要な時間です。

⁴ 最小値と最大値は特性評価によって確保されていますが、出荷テストの対象外です。

⁵ 図 18 の $1/f$ ノイズ・プロットを参照してください。

タイミング仕様

VDD = 1.71 V ~ 1.89 V、VIO = 1.71 V ~ 5.5 V、VREF = 5 V、すべての仕様で TMIN ~ TMAX、高インピーダンス・モードは無効、スパン圧縮は無効、ターボ・モードは有効、サンプリング周波数 fs は AD4003 が 2 MSPS、AD4007 が 1 MSPS、AD4011 が 500 kSPS。タイミング電圧レベルについては、図 2 を参照してください。

表 2. デジタル・インターフェースのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
CONVERSION TIME—CNV RISING EDGE TO DATA AVAILABLE	t _{CONV}	270	290	320	ns
ACQUISITION PHASE ¹	t _{ACQ}				
AD4003		290			ns
AD4007		790			ns
AD4011		1790			ns
TIME BETWEEN CONVERSIONS	t _{CYC}				
AD4003		500			ns
AD4007		1000			ns
AD4011		2000			ns
CNV PULSE WIDTH (CS MODE) ²	t _{CNVH}	10			ns
SCK PERIOD (CS MODE) ³	t _{SCK}				
VIO > 2.7 V		9.8			ns
VIO > 1.7 V		12.3			ns
SCK PERIOD (DAISY-CHAIN MODE) ⁴	t _{SCK}				
VIO > 2.7 V		20			ns
VIO > 1.7 V		25			ns
SCK LOW TIME	t _{SCKL}	3			ns
SCK HIGH TIME	t _{SCKH}	3			ns
SCK FALLING EDGE TO DATA REMAINS VALID DELAY	t _{HSDO}	1.5			ns
SCK FALLING EDGE TO DATA VALID DELAY	t _{DSDO}				
VIO > 2.7 V				7.5	ns
VIO > 1.7 V				10.5	ns
CNV OR SDI LOW TO SDO D17 MSB VALID DELAY (CS MODE)	t _{EN}				
VIO > 2.7 V				10	ns
VIO > 1.7 V				13	ns
CNV RISING EDGE TO FIRST SCK RISING EDGE DELAY	t _{QUIET1}	190			ns
LAST SCK FALLING EDGE TO CNV RISING EDGE DELAY ⁵	t _{QUIET2}	60			ns
CNV OR SDI HIGH OR LAST SCK FALLING EDGE TO SDO HIGH IMPEDANCE (CS MODE)	t _{DIS}			20	ns
SDI VALID SETUP TIME FROM CNV RISING EDGE	t _{SSDICNV}	2			ns
SDI VALID HOLD TIME FROM CNV RISING EDGE (CS MODE)	t _{HSDICNV}	2			ns
SCK VALID HOLD TIME FROM CNV RISING EDGE (DAISY-CHAIN MODE)	t _{HSCCKNV}	12			ns
SDI VALID SETUP TIME FROM SCK RISING EDGE (DAISY-CHAIN MODE)	t _{SSDISCK}	2			ns
SDI VALID HOLD TIME FROM SCK RISING EDGE (DAISY-CHAIN MODE)	t _{HSDISCK}	2			ns

¹ アクイジション・フェーズは、AD4003 では 2 MSPS、AD4007 では 1 MSPS、AD4011 では 500 kSPS のスループット・レートで動作しているときに、入力サンプリング・コンデンサが新規の入力値を取得するために使用できる時間です。

² ターボ・モードでは、t_{CNVH} と最小 t_{QUIET1} が一致する必要があります。

³ ターボ・モードを有効にして、最小 SCK レートである 75 MHz を使用した場合のみ、2 MSPS のスループット・レートが実現します。1 MSPS の動作に必要な最小 SCK レートは、ターボ・モード有効時で 25 MHz です。500 kSPS の動作に必要な最小 SCK レートは、ターボ・モード有効時で 11 MHz です。各種の動作モードで可能な最大スループットについては、表 4 を参照してください。

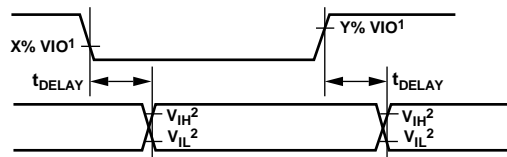
⁴ SCK では、50% のデューティ・サイクルを想定しています。

⁵ SINAD と t_{QUIET2} の関係については、図 22 を参照してください。

表 3. レジスタ読出し／書込みのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
READ/WRITE OPERATION					
CNV Pulse Width ¹	t_{CNVH}	10			ns
SCK Period	t_{SCK}	9.8			ns
VIO > 2.7 V		12.3			ns
VIO > 1.7 V		3			ns
SCK Low Time	t_{SCKL}	3			ns
SCK High Time	t_{SCKH}	3			ns
READ OPERATION					
CNV Low to SDO D17 MSB Valid Delay	t_{EN}			10	ns
VIO > 2.7 V				13	ns
VIO > 1.7 V					ns
SCK Falling Edge to Data Remains Valid	t_{HSDO}	1.5			ns
SCK Falling Edge to Data Valid Delay	t_{DSDO}			7.5	ns
VIO > 2.7 V				10.5	ns
VIO > 1.7 V				20	ns
CNV Rising Edge to SDO High Impedance	t_{DIS}				ns
WRITE OPERATION					
SDI Valid Setup Time from SCK Rising Edge	$t_{SSDISCK}$	2			ns
SDI Valid Hold Time from SCK Rising Edge	$t_{HSDISCK}$	2			ns
CNV Rising Edge to SCK Edge Hold Time	$t_{HCNVSCK}$	0			ns
CNV Falling Edge to SCK Active Edge Setup Time	$t_{SCNVSCK}$	6			ns

¹ ターボ・モードでは、 t_{CNVH} と最小 t_{QUIET1} が一致する必要があります。



¹FOR VIO ≤ 2.7V, X = 80, AND Y = 20; FOR VIO > 2.7V, X = 70, AND Y = 30.
²MINIMUM V_{IH} AND MAXIMUM V_{IL} USED. SEE DIGITAL INPUTS SPECIFICATIONS IN TABLE 1.

14857-002

図 2. タイミングの電圧レベル

表 4. 各種の動作モードで可能なスループット

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
THROUGHPUT, CS MODE					
3-Wire and 4-Wire Turbo Mode	$f_{SCK} = 100 \text{ MHz}$, VIO ≥ 2.7 V			2	MSPS
	$f_{SCK} = 80 \text{ MHz}$, VIO < 2.7 V			2	MSPS
3-Wire and 4-Wire Turbo Mode and Six Status Bits	$f_{SCK} = 100 \text{ MHz}$, VIO ≥ 2.7 V			2	MSPS
	$f_{SCK} = 80 \text{ MHz}$, VIO < 2.7 V			1.78	MSPS
3-Wire and 4-Wire Mode	$f_{SCK} = 100 \text{ MHz}$, VIO ≥ 2.7 V			1.75	MSPS
	$f_{SCK} = 80 \text{ MHz}$, VIO < 2.7 V			1.62	MSPS
3-Wire and 4-Wire Mode and Six Status Bits	$f_{SCK} = 100 \text{ MHz}$, VIO ≥ 2.7 V			1.59	MSPS
	$f_{SCK} = 80 \text{ MHz}$, VIO < 2.7 V			1.44	MSPS

絶対最大定格

入力過電圧クランプで過電圧状態を無期限に保つことはできません。

表 5.

Parameter	Rating
Analog Inputs	
IN+, IN- to GND ¹	-0.3 V to $V_{REF} + 0.4$ V or ± 50 mA
Supply Voltage	
REF, VIO to GND	-0.3 V to +6.0 V
VDD to GND	-0.3 V to +2.1 V
VDD to VIO	-6 V to +2.4 V
Digital Inputs to GND	-0.3 V to VIO + 0.3 V
Digital Outputs to GND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Lead Temperature Soldering	260°C reflow as per JEDEC J-STD-020
ESD Ratings	
Human Body Model	4 kV
Machine Model	200 V
Field Induced Charged Device Model	1.25 kV

¹ IN+ および IN- の説明については、アナログ入力のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 6. 熱抵抗

Package Type	θ_{JA} ²	θ_{JC} ³	Unit
RM-10 ¹	147	38	°C/W
CP-10-9 ¹	114	33	°C/W

¹ テスト条件 1: 熱抵抗のシミュレーション値は、2S2P JEDEC PCB の使用によって決定します。オーダー・ガイドを参照してください。

² θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流でのジャンクションから周囲への熱抵抗です。

³ θ_{JC} は、ジャンクションからケースへの熱抵抗です。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

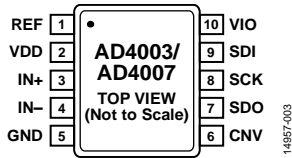
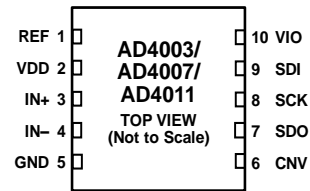


図 3. 10 ピン MSOP のピン配置



NOTES
1. CONNECT THE EXPOSED PAD TO GND. THIS CONNECTION IS NOT REQUIRED TO MEET THE SPECIFIED PERFORMANCE.

図 4. 10 ピン LFCSP のピン配置

表 7. ピン機能の説明

Pin No.	Mnemonic	Type ¹	Description
1	REF	AI	リファレンス入力電圧。V _{REF} 範囲は 2.4 V ~ 5.1 V です。このピンは GND ピンと呼ばれ、10 μF の X7R セラミック・コンデンサで GND ピンの近くにデカップリングする必要があります。
2	VDD	P	±1.8 V 電源。VDD の範囲は 1.71 V ~ 1.89 V です。0.1 μF のセラミック・コンデンサを使用して、VDD を GND にバイパスします。
3	IN+	AI	差動正アナログ入力。差動入力の考慮事項のセクションを参照してください。
4	IN-	AI	差動負アナログ入力。差動入力の考慮事項のセクションを参照してください。
5	GND	P	電源グラウンド。
6	CNV	DI	入力変換。この入力には、複数の機能があります。立上がりエッジで変換を開始して、デバイスのインターフェース・モードをデジチェーン・モードまたは \overline{CS} モードから選択します。 \overline{CS} モードでは、CNV がローの場合に SDO ピンがイネーブルになります。デジチェーン・モードでは、CNV がハイの場合にデータの読出しが実行されます。
7	SDO	DO	シリアル・データ出力。変換結果はこのピンに出力されます。SCK に同期されます。
8	SCK	DI	シリアル・データ・クロック入力。デバイスを選択すると、変換結果はこのクロックによってシフト出力されます。
9	SDI	DI	シリアル・データ入力。この入力には、複数の機能があります。ADC のインターフェース・モードを次のように選択します。CNV 立上がりエッジの発生時に SDI がローの場合、デジチェーン・モードが選択されます。このモードでは、SDI がデータ入力として使用され、2 つ以上の ADC の変換結果が 1 本の SDO ラインでデジチェーン接続されます。SDI のデジタル・データ・レベルは、18 SCK サイクルの遅延で SDO に出力されます。 \overline{CS} モードは、CNV 立上がりエッジ中に、SDI がハイの場合に選択されます。このモードでは、SDI または CNV がローの場合に、シリアル出力信号を有効にできます。SDI または CNV がローの場合、変換が完了すると、ビジー・インジケータ機能が有効になります。CNV がローの場合は、SCK の立上がりエッジの発生時に、SDI で 16 ビット・ワードをクロック入力してデバイスをプログラムできます。
10	VIO	P	入出力インターフェース・デジタル電源。通常はホスト・インターフェースと同じ電源 (1.8 V、2.5 V、3 V、または 5 V)。0.1 μF のセラミック・コンデンサで VIO を GND へバイパスします。
N/A ²	EPAD	P	露出パッド (LFCSP のみ)。露出パッドは GND に接続します。この接続がなくても、仕様規定されている性能を満たすことができます。

¹ AI はアナログ入力、P は電源、DI はデジタル入力、DO はデジタル出力です。

² N/A は該当なしを表します。

代表的な性能特性

特に注記のない限り、 $V_{DD} = 1.8\text{ V}$ 、 $V_{IO} = 3.3\text{ V}$ 、 $V_{REF} = 5\text{ V}$ 、 $T = 25\text{ }^{\circ}\text{C}$ 、高インピーダンス・モードは無効、スパン圧縮は無効、ターボ・モードは有効、 f_s は AD4003 が 2 MSPS、AD4007 が 1 MSPS、AD4011 が 500 kSPS。

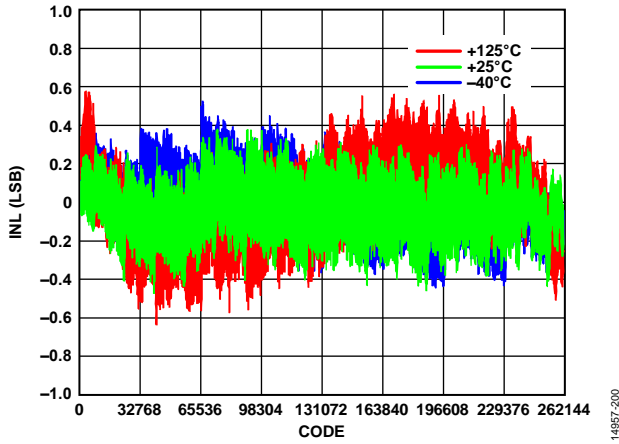


図 5. 多様な温度での INL とコードの関係、 $V_{REF} = 5\text{ V}$

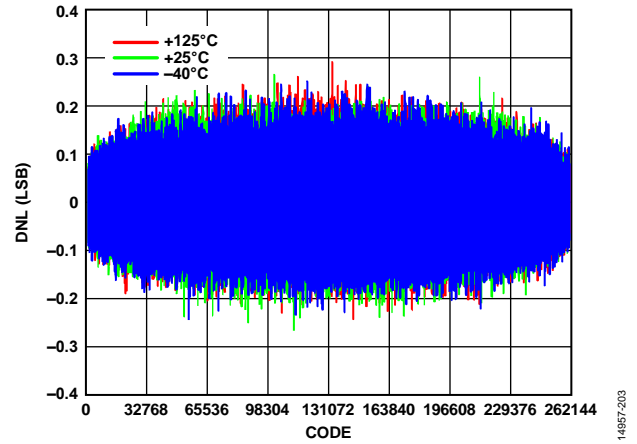


図 8. 多様な温度での DNL とコードの関係、 $V_{REF} = 5\text{ V}$

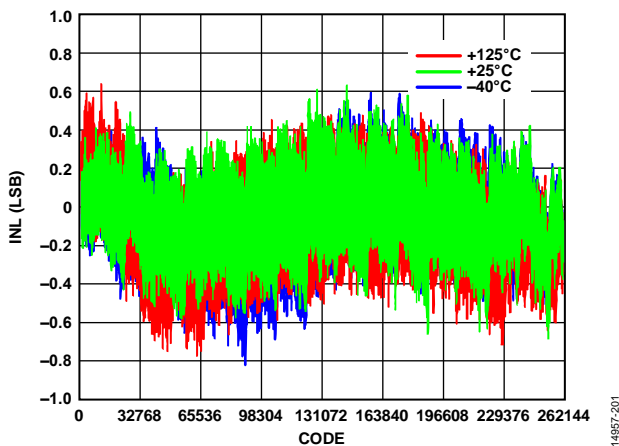


図 6. 多様な温度での INL とコードの関係、 $V_{REF} = 2.5\text{ V}$

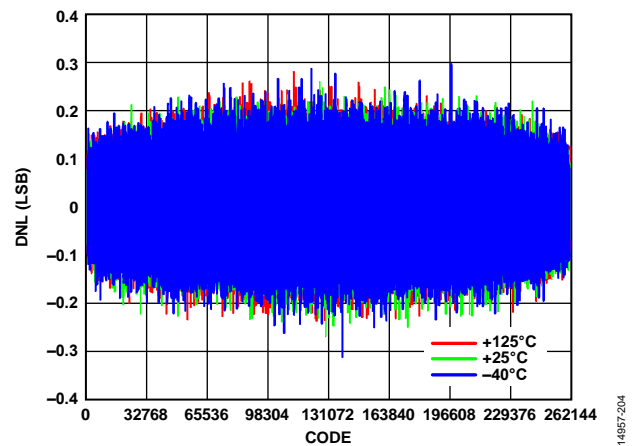


図 9. 多様な温度での DNL とコードの関係、 $V_{REF} = 2.5\text{ V}$

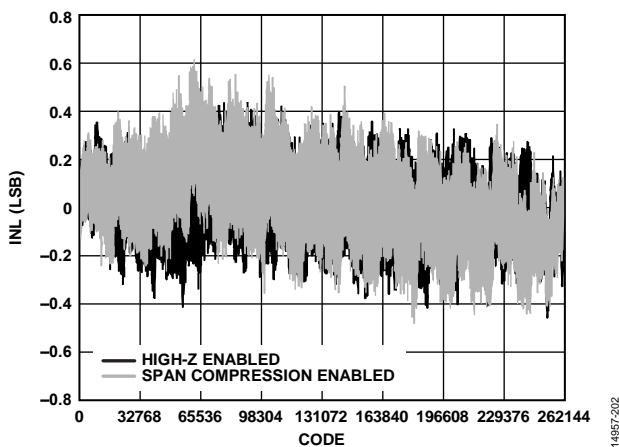


図 7. INL とコードの関係、高インピーダンス・モードとスパン圧縮モードを有効、 $V_{REF} = 5\text{ V}$

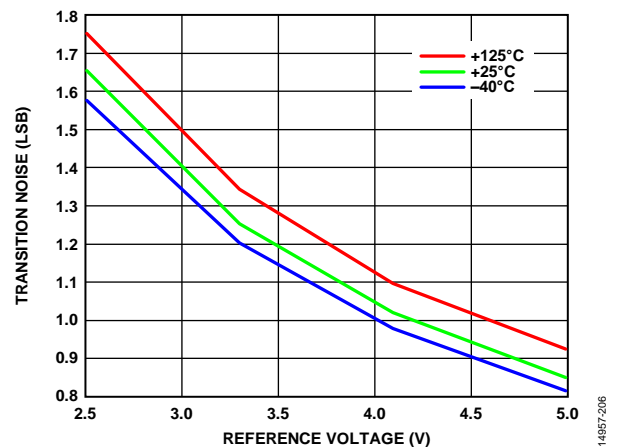


図 10. 多様な温度での遷移ノイズとリファレンス電圧の関係

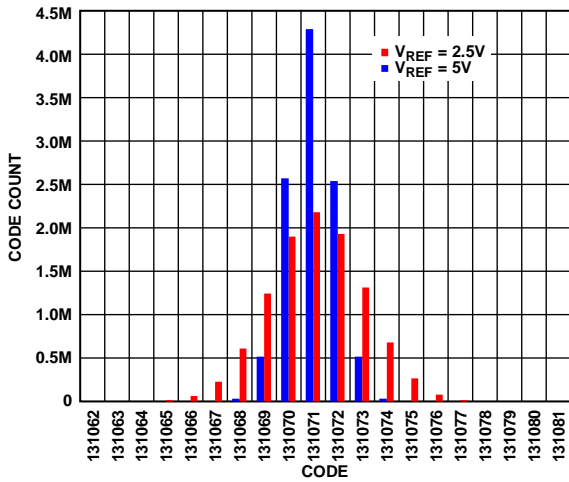


図 11. コード中央での DC 入力のヒストグラム、
 $V_{REF} = 2.5\text{V}$ および $V_{REF} = 5\text{V}$

14857-205

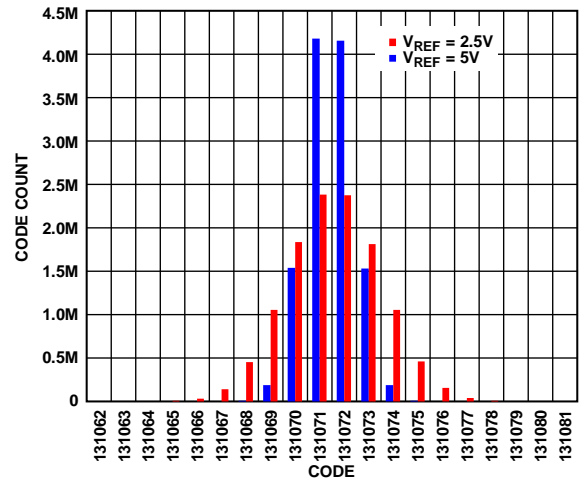


図 14. コード遷移での DC 入力のヒストグラム、
 $V_{REF} = 2.5\text{V}$ および $V_{REF} = 5\text{V}$

14857-208

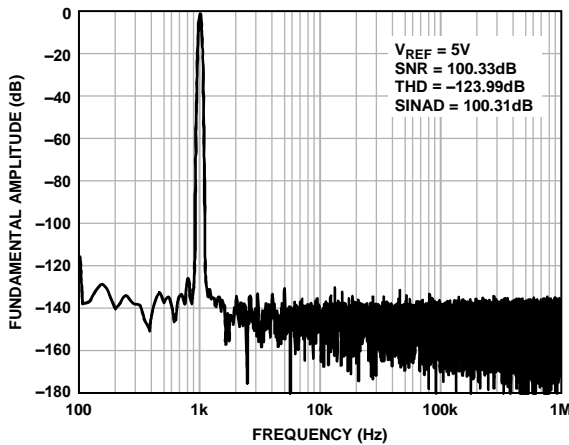


図 12. 1 kHz、 -0.5 dBFS 入力トーン高速フーリエ変換 (FFT)、広視野、 $V_{REF} = 5\text{V}$

14857-207

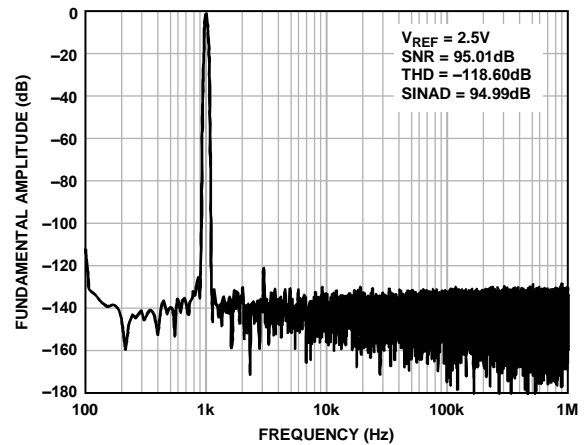


図 15. 1 kHz、 -0.5 dBFS 入力トーン FFT、広視野、
 $V_{REF} = 2.5\text{V}$

14857-209

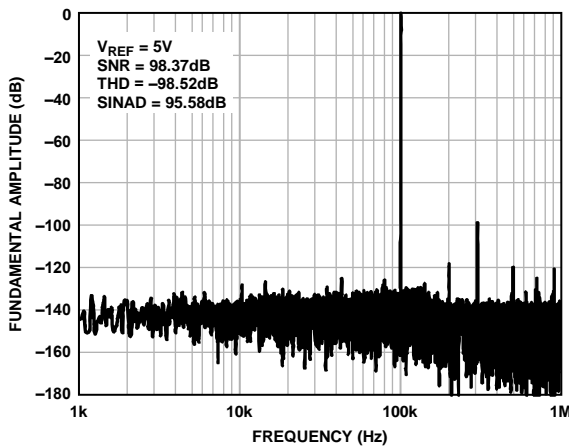


図 13. 100 kHz、 -0.5 dBFS 入力トーン FFT、広視野

14857-210

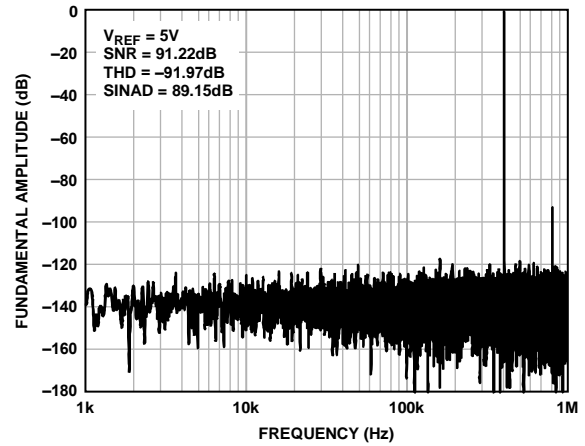


図 16. 400 kHz、 -0.5 dBFS 入力トーン FFT、広視野

14857-213

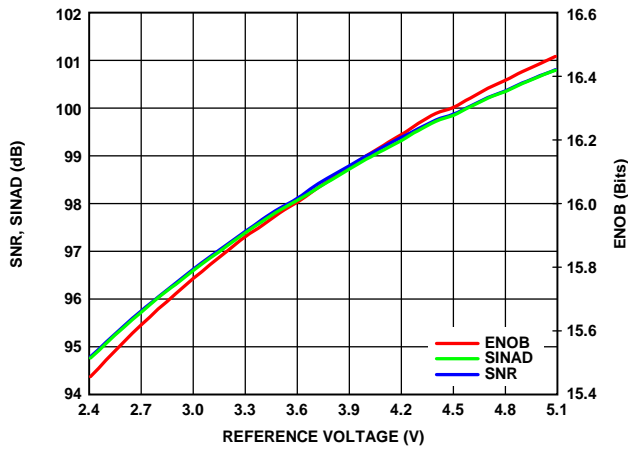


図 17. SNR、SINAD、有効ビット数 (ENOB) とリファレンス電圧の関係

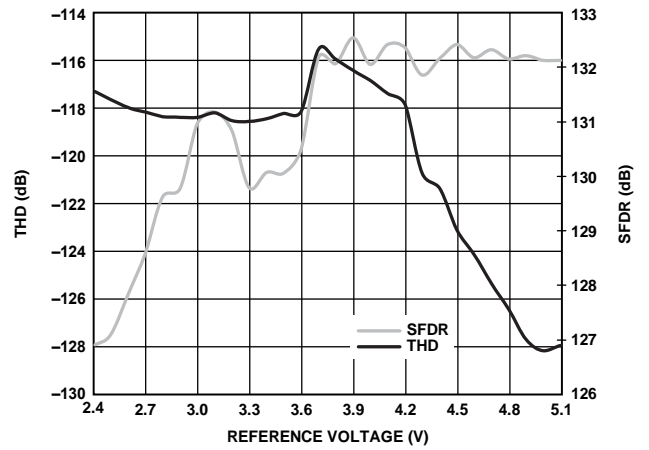


図 20. THD、SFDR とリファレンス電圧の関係

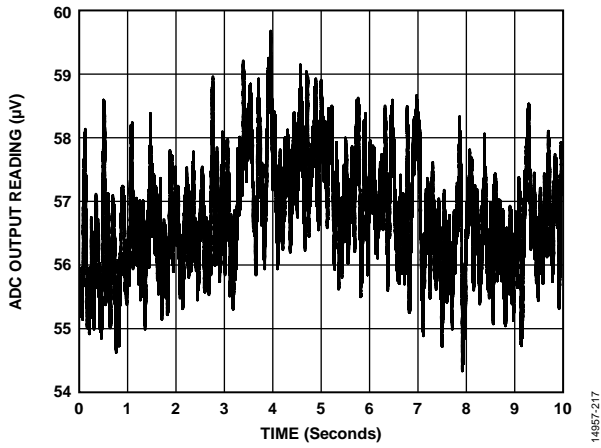


図 18. 0.1 Hz ~ 10 Hz 帯域幅の 1/f ノイズ、50 kSPS、1 回の読出しで 2500 個のサンプルを平均化

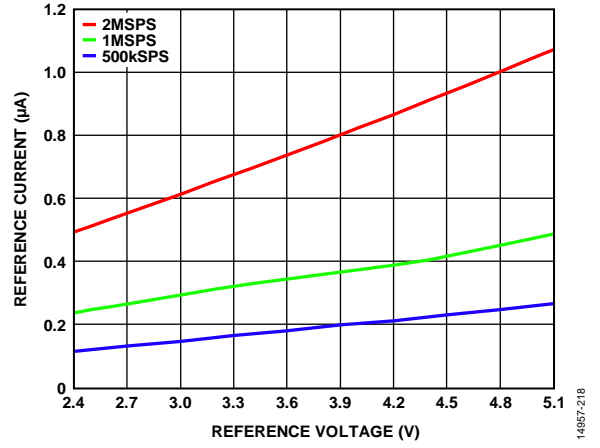


図 21. リファレンス電流とリファレンス電圧の関係

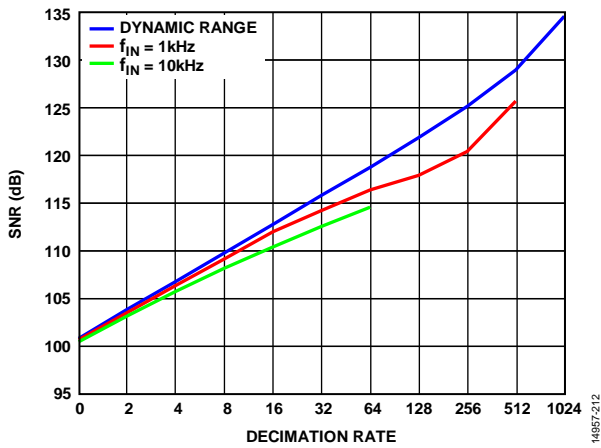


図 19. 多様な入力周波数でのデシメーション・レシオと SNR の関係

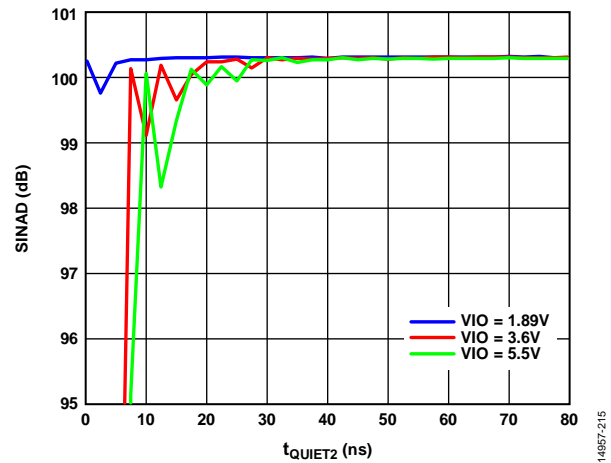


図 22. SINAD と t_{QUIET2} の関係

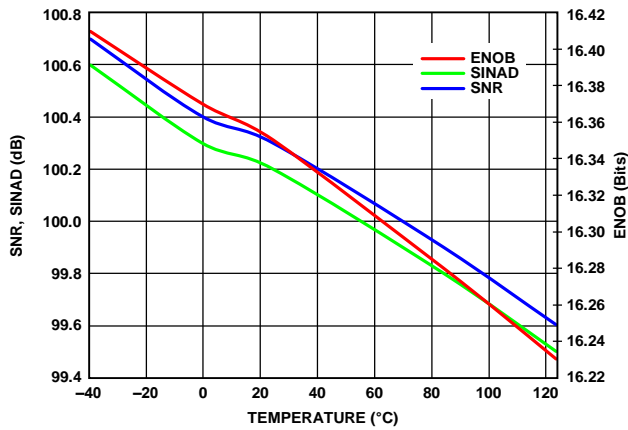


図 23. SNR、SINAD、ENOB と温度の関係、 $f_{IN} = 1 \text{ kHz}$

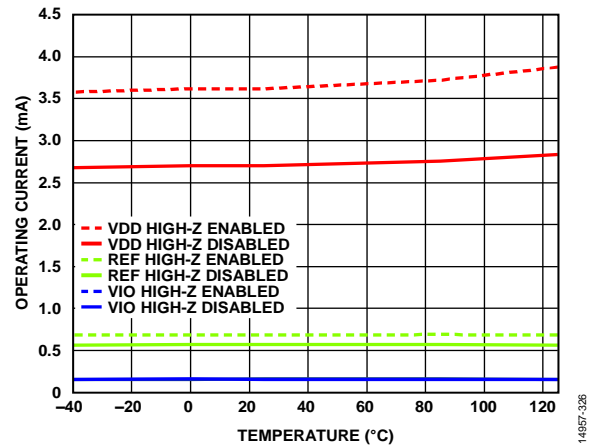


図 26. 動作電流と温度の関係 (AD4011、500 kSPS)

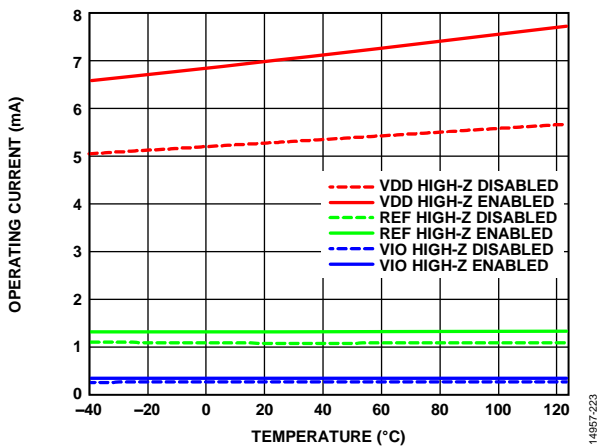


図 24. 動作電流と温度の関係 (AD4003、2 MSPS)

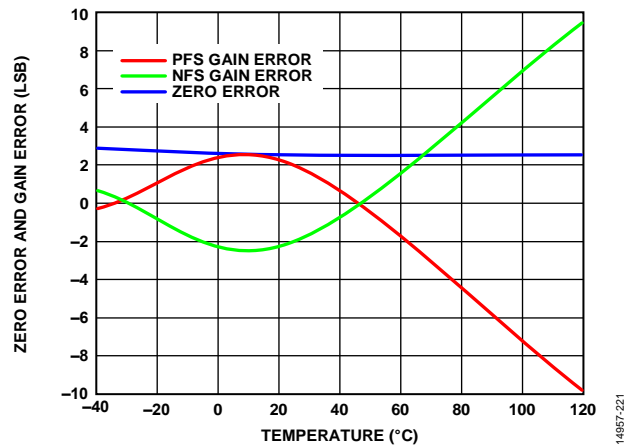


図 27. ゼロ誤差、ゲイン誤差と温度の関係 (PFS は正のフルスケール、NFS は負のフルスケール)

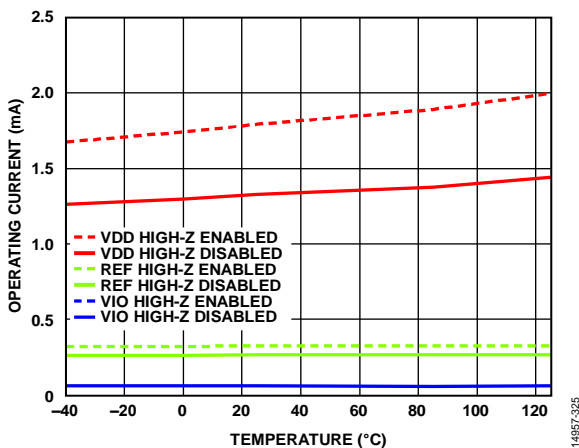


図 25. 動作電流と温度の関係 (AD4007、1 MSPS)

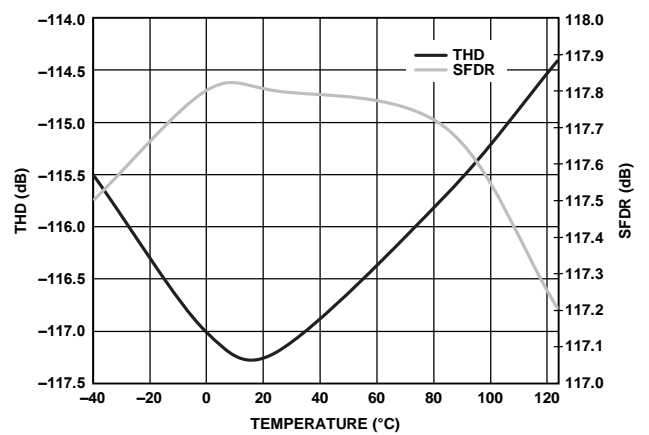


図 28. THD、SFDR と温度の関係、 $f_{IN} = 1 \text{ kHz}$

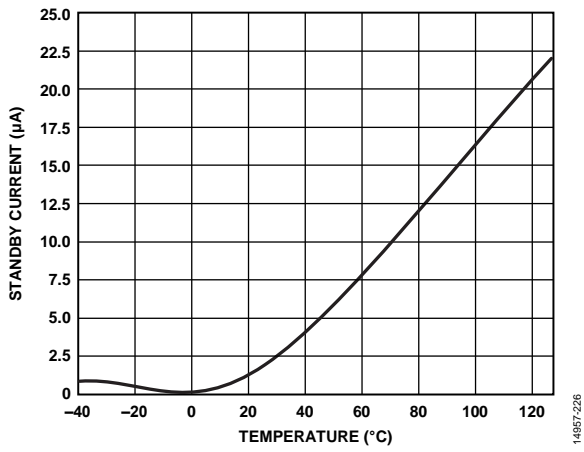


図 29. スタンバイ電流と温度の関係

14957-226

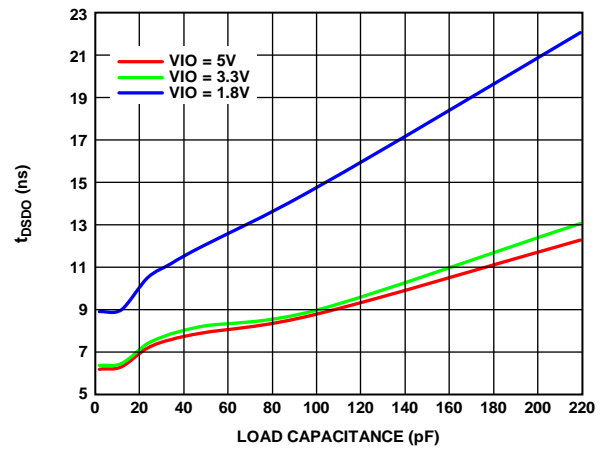


図 30. t_{DSDO} と負荷容量の関係

14957-224

用語の定義

積分非直線性誤差 (INL)

INL は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より ½ LSB だけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を ½ LSB 上回ったレベルとして定義されます。偏差は各コードの中央から真の直線までの距離として測定されます (図 32 を参照)。

微分非直線性誤差 (DNL)

理想的な ADC では、コード遷移は 1 LSB だけ離れた位置で発生します。DNL とは、この理想値からの最大偏差のことです。ノー・ミッシング・コードの分解能で仕様規定されます。

ゼロ誤差

ゼロ誤差は、理想的なミッドスケール電圧 (0 V) とミッドスケール出力コードを生成する実際の電圧 (0 LSB) との差です。

ゲイン誤差

最初の遷移 (100…00 から 100…01) は負の公称フルスケールより ½ LSB 上のレベル (±5 V の範囲では -4.999981 V) で発生します。最後の遷移 (011…10 から 011…11) は、公称フルスケールより ½ LSB 低いアナログ電圧 (±5 V の範囲では +4.999943 V) で発生します。ゲイン誤差とは、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差が、理論値レベルの差とどれだけ異なるかを示すものです。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル (dB) です。

有効ビット数 (ENOB)

ENOB は、サイン波入力による分解能の測定値です。次のように SINAD を使用して計算します。

$$ENOB = (SINAD_{dB} - 1.76) / 6.02$$

ENOB の単位はビットです。

全高調波歪み (THD)

THD は、フルスケール入力信号の実効値に対する 2 次 ~ 6 次の高調波成分の実効値総和の比率で、単位はデシベルです。

ダイナミック・レンジ

ダイナミック・レンジは、測定した合計実効値ノイズに対するフルスケールの実効値の比率です。ダイナミック・レンジの単位はデシベルです。すべてのノイズ・ソースと DNL アーティファクトが含まれるように、-60 dBFS の信号で測定されます。

S/N 比 (SNR)

SNR は、ナイキスト周波数を下回るすべてのスペクトル成分 (高調波と DC を除く) の実効値総和に対する実際の入力信号の実効値の比率です。SNR の単位はデシベルです。

信号/ノイズ+歪み (SINAD)

SINAD は、ナイキスト周波数未満のすべてのスペクトル成分の実効値総和 (高調波成分は含むが、直流成分と入力信号は除く) に対する実際の入力信号の実効値の比です。SINAD の単位はデシベルです。

アパーチャ遅延

アパーチャ遅延は、アキュイジション性能の測定値です。CNV 入力の立上がりエッジから入力信号が変換のために保持されるまでの時間です。

過渡応答

過渡応答は、ADC が ±1 LSB の精度でフルスケール入力ステップを実現するために必要な時間です。

同相ノイズ除去比 (CMRR)

CMRR は、IN+ と IN- のコモンモード電圧に印加された周波数 f_s の 200 mV p-p サイン波の電力に対するフルスケール周波数 f の ADC 出力の比です。

$$CMRR \text{ (dB)} = 10 \log (P_{ADC_IN} / P_{ADC_OUT})$$

ここで、

P_{ADC_IN} は IN+ および IN- に印加される周波数 f のコモンモード電力。

P_{ADC_OUT} は、周波数 f での ADC の出力電力。

電源電圧変動除去比 (PSRR)

PSRR は、周波数 f での ADC VDD 電源に加えられた 200 mVp-p サイン波の電力に対する周波数 f での ADC 出力電力の比です。

$$PSRR \text{ (dB)} = 10 \log (P_{VDD_IN} / P_{ADC_OUT})$$

ここで、

P_{VDD_IN} は、周波数 f での VDD ピンの電力。

P_{ADC_OUT} は、周波数 f での ADC の出力電力。

動作原理

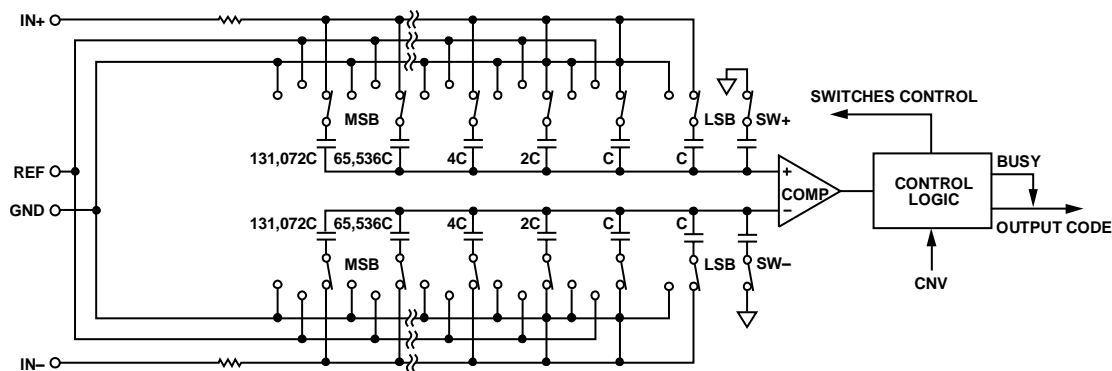


図 31. ADC の簡略化した回路図

回路説明

AD4003/AD4007/AD4011 は、SAR アーキテクチャに基づいた、高速、低消費電力、単電源、高精度の 18 ビット ADC です。

変換速度は 1 秒あたり、AD4003 が 2,000,000 サンプル (2 MSPS)、AD4007 が 1,000,000 サンプル (1 MSPS)、AD4011 が 500,000 サンプル (500 kSPS) です。変換を行っていない間はパワーダウンするため、AD4003/AD4007/AD4011 の消費電力はスループットに比例します。例えば、10 kSPS で動作する場合、通常 80 μ W の電力しか消費しないので、バッテリー駆動アプリケーションに最適です。AD4003/AD4007/AD4011 ではまた、長期間にわたるパワーダウン後の最初の変換でも有効な結果が得られるため、ADC が継続的に変換を行う必要のないアプリケーションでは、さらに消費電力を低減することができます。

AD4003/AD4007/AD4011 は、オンチップのトラック&ホールド機能を備えているので、パイプライン遅延などの遅延がないため、マルチプレクス・アプリケーションに最適です。

AD4003/AD4007/AD4011 では、利便性の高い多数の独自機能を実装することで、システムの消費電力とフットプリントを低減しています。

AD4003/AD4007/AD4011 には、アナログ入力の過電圧による損傷からデバイスを保護する内部電圧クランプが備わっています。

アナログ入力には、代表的なスイッチド・キャパシタ SAR 入力に見られる、非直線性のチャージ・キックバックを減らす回路を実装しています。このキックバックの削減と長いアクイジション・フェーズを組み合わせると、駆動アンプでのセトリング条件が緩和されます。この組み合わせにより、帯域幅が狭く、消費電力が小さいアンプをドライバとして使用できます。さらに、入力 RC フィルタの大きな抵抗値とそれに対応する小さなコンデンサを利用できるという利点もあります。この結果、アンプの RC 負荷が小さくなり、安定性と消費電力が向上します。

レジスタ・ビットをプログラミングすることで、SPI インターフェースを高インピーダンス・モードで有効にできます (表 14 を参照)。高インピーダンス・モードを有効にすると、ADC 入力の充電電流と信号周波数が低くなり、最大 100 kHz という広い周波数範囲にわたり歪みが改善されます。100 kHz を超える周波数とマルチプレクスでは、高インピーダンス・モードを無効にしてください。

単電源アプリケーションでは、スパン圧縮機能により、駆動アンプが ADC の全範囲にアクセスするため、ヘッドルームとフットルームが余分に形成されます。

AD4003/AD4007/AD4011 の高速変換とターボ・モードにより、最大スループット・レートで動作する場合でも、低いクロック・レートで変換をリードバックできます。ただし、AD4003 では、2 MSPS のスループット・レートは、ターボ・モードが有効な場合のみ達成できます。

AD4003/AD4007/AD4011 は、1.8 V ~ 5 V のデジタル・ロジック・ファミリーの製品と接続できます。10 ピン MSOP またはスペースの節約と柔軟な設定が可能な小型の 10 ピン LFCSP を用意しています。

AD4003/AD4007/AD4011 は、表 8 にある 14/16/18 ビットの高精度 SAR ADC の一部とピン互換です。

表 8. MSOP、LFCSP 14/16/18 ビットの高精度 SAR ADC

Bits	100 kSPS	250 kSPS	400 kSPS to 500 kSPS	≥ 1000 kSPS
18 ¹	AD7989-1 ²	AD7691 ²	AD7690 ² , AD7989-5 ²	AD4003 ² , AD7982 ² , AD7984 ² , AD4007 ² , AD4011 ²
16 ¹	AD7684	AD7687 ²	AD7688 ² , AD7693 ² , AD7916 ²	AD4001, AD4005, AD7915 ²
16 ³	AD7680, AD7683, AD7988-1 ²	AD7685 ² , AD7694	AD7686 ² , AD7988-5	AD4000 ² , AD4004 ² , AD7980 ² , AD7983
14 ³	AD7940	AD7942 ²	AD7946 ²	Not applicable

¹ 真の差動。

² ピン互換。

³ 疑似差動。

コンバータの動作

AD4003/AD4007/AD4011 は、電荷再配分式サンプリング D/A コンバータ (DAC) を使用した SAR ベースの ADC です。図 31 に、ADC の簡略化した回路図を示します。容量性 DAC には、18 個のバイナリの重み付けされたコンデンサからなる 2 つの同一アレイがあり、これらのアレイがコンパレータの入力に接続されています。

アキュイジション・フェーズ中、コンパレータの入力に接続されたアレイの端子は、SW+ と SW- スイッチ経由で GND に接続されます。独立したスイッチを使用して、各コンデンサの他の端子をアナログ入力に接続します。このため、コンデンサのアレイをサンプリング・コンデンサとして使用して、IN+ と IN- 入力のアナログ信号を取得できます。

アキュイジション・フェーズが完了し、CNV 入力が高になると、変換フェーズが開始されます。変換フェーズが開始すると、SW+ と SW- が最初にオープンになります。次に、2 つのコンデンサ・アレイが入力から切断され、GND 入力に接続されます。アキュイジション・フェーズの最後に収集される IN+ と IN- の間の差動電圧がコンパレータの入力に印加され、コンパレータが不均衡状態になります。GND と VREF 間にあるコンデンサ・アレイの各要素を切り替えることで、コンパレータの入力値はバイナリ重み付けされた電圧ステップ ($V_{REF}/2$, $V_{REF}/4$, …, $V_{REF}/262,144$) によって変化します。コントロール・ロジックはこれらのスイッチを切り替え、MSB からコンパレータを不均衡状態に戻します。このプロセスの完了後、コントロール・ロ

ジックは ADC 出力コードとビジー信号インジケータを生成します。

AD4003、AD4007、AD4011 には変換クロックが内蔵されているので、変換プロセスでシリアル・クロック SCK は必要ありません。

伝達関数

AD4003/AD4007/AD4011 の理想伝達特性を図 32 と表 9 に示します。

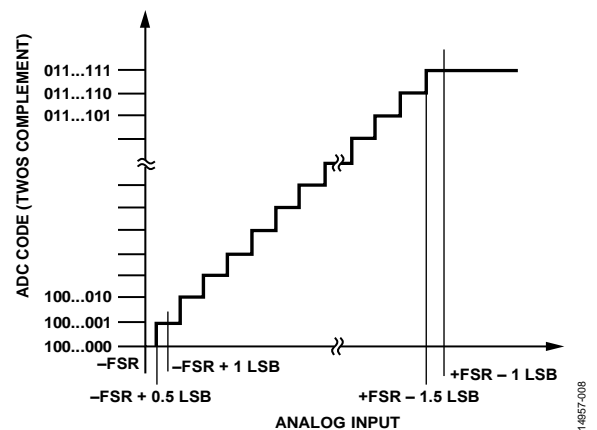


図 32. ADC の理想的な伝達関数 (FSR はフルスケール範囲)

表 9. 出力コードと入力電圧の理論値

Description	Analog Input, $V_{REF} = 5\text{ V}$	$V_{REF} = 5\text{ V}$ with Span Compression Enabled	Digital Output Code (Hex)
FSR - 1 LSB	+4.999962 V	+3.999969 V	0x1FFFF ¹
Midscale + 1 LSB	+38.15 μV	+30.5 μV	0x00001
Midscale	0 V	0 V	0x00000
Midscale - 1 LSB	-38.15 μV	-30.5 μV	0x3FFFF
-FSR + 1 LSB	-4.999962 V	-3.999969 V	0x20001
-FSR	-5 V	-4 V	0x20000 ²

¹ この出力コードは、(V_{REF} を $V_{IN+} - V_{IN-}$ だけ上回る) オーバーレンジ・アナログ入力のコードです。

² この出力コードは、($-V_{REF}$ を $V_{IN+} - V_{IN-}$ だけ下回る) アンダーレンジ・アナログ入力のコードです。

アプリケーション情報

代表的なアプリケーション図

図 33 に、複数の電源を使用できる場合の AD4003/AD4007/AD4011 の推奨接続図の例を示します。この構成を使用すると、アンプへの供給電力を選択することで最大信号範囲を実現できるので、最高の性能を達成できます。

図 34 に、単電源システムを使用する場合の推奨接続図を示します。これは、システムで使用できるレール数が限られており、消費電力がきわめて重要な場合に望ましいセットアップです。

図 35 に、完全差動アンプを使用する場合の推奨接続図を示します。

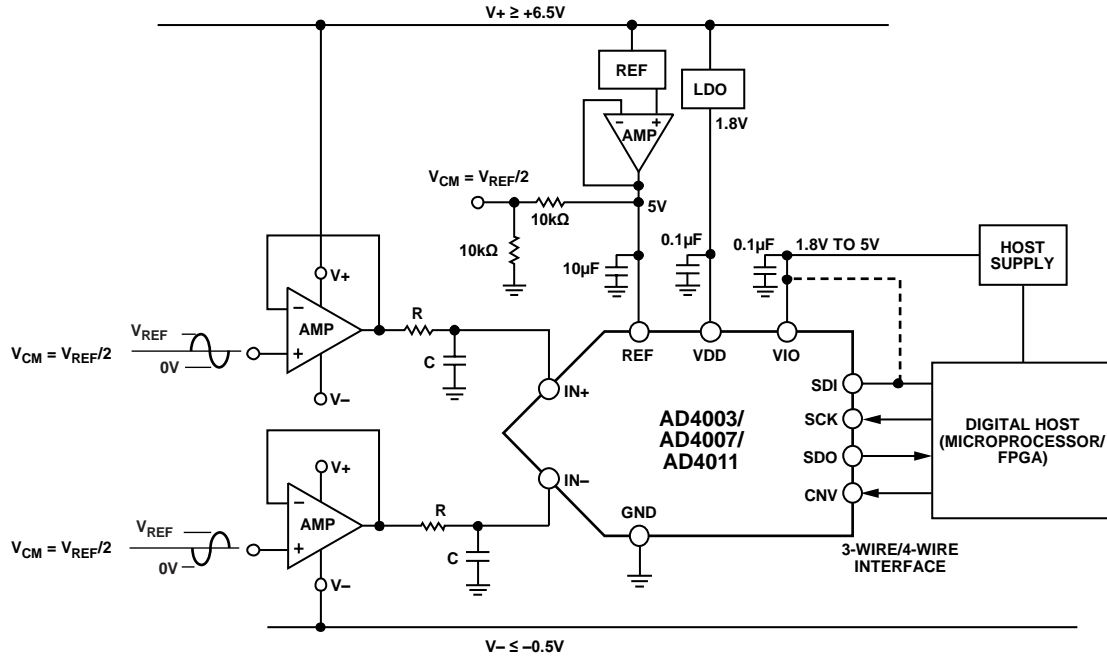
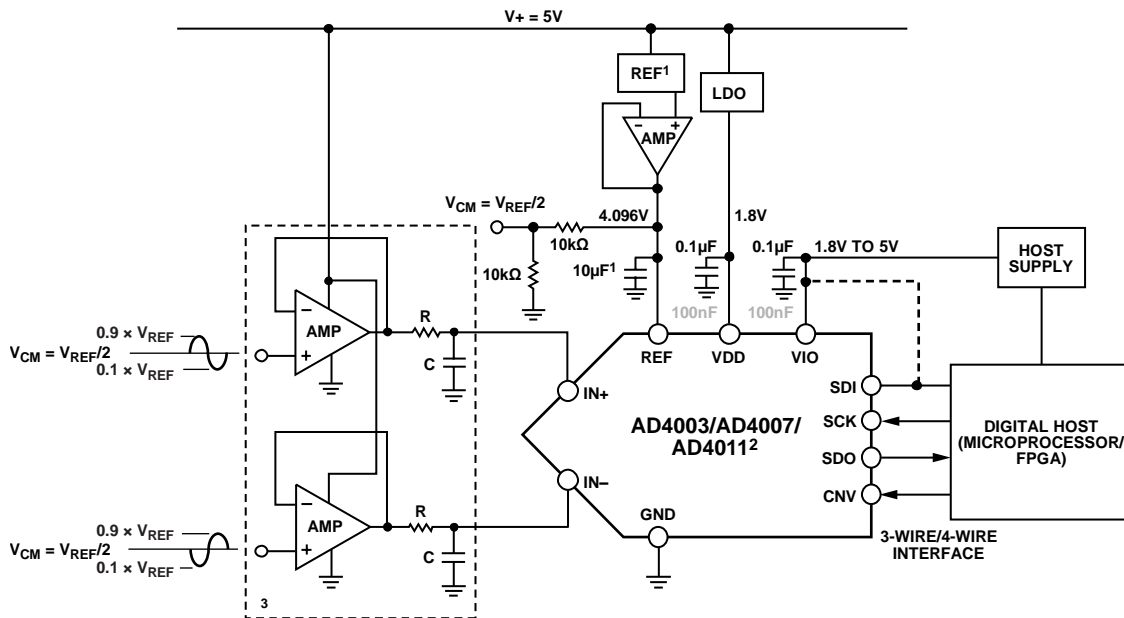


図 33. 複数の電源を使用する場合の代表的なアプリケーション図



¹SEE THE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION. G_{REF} IS USUALLY A 10μF CERAMIC CAPACITOR (X7R).
²SPAN COMPRESSION MODE ENABLED.
³SEE TABLE 10 FOR RC FILTER AND AMPLIFIER SELECTION.

図 34. 単電源を使用する場合の代表的なアプリケーション図

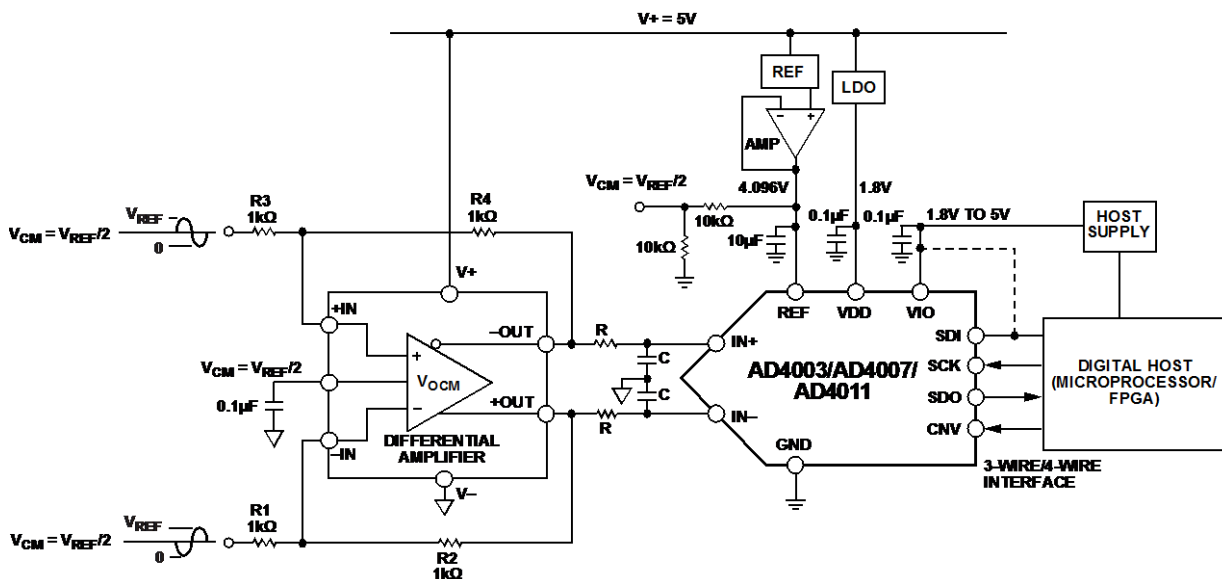


図 35. 完全差動アンプを使用する場合の代表的なアプリケーション図

アナログ入力

図 36 に、AD4003/AD4007/AD4011 の過電圧クランプを含むアナログ入力構造の等価回路を示します。

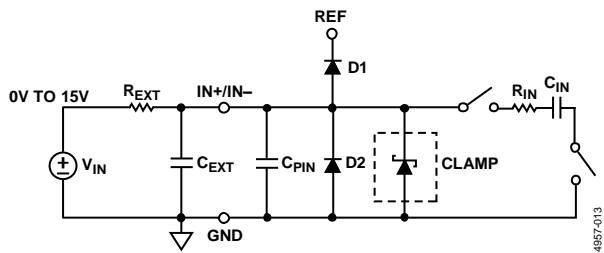


図 36. アナログ入力の等価回路

入力過電圧クランプ回路

ほとんどの ADC アナログ入力 IN+ と IN- には、ESD 保護ダイオードを除き、過電圧保護回路はありません。過電圧が発生すると、アナログ入力 (IN+ または IN-) から REF 順方向バイアスへの ESD 保護ダイオードは REF に短絡されるので、リファレンスの過電圧やデバイスの損傷が発生する可能性があります。AD4003/AD4007/AD4011 は、内部過電圧クランプ回路と大きな外部抵抗 ($R_{EXT} = 200 \Omega$) を備えているので、外部保護ダイオードが不要になり、ADC 入力を DC 過電圧から保護します。

アンプ・レベルが V_{REF} よりも大きくグラウンドよりも小さいアプリケーションでは、出力がデバイスの入力電圧を超える可能性があります。このような場合、AD4003/AD4007/AD4011 の内部電圧クランプ回路は、入力電圧を安全な動作範囲にクランプし、リファレンスの外乱を防ぐことで、入力ピンの電圧が $V_{REF} + 0.4 \text{ V}$ を超えないようにしてデバイスの損傷を防ぎます。この機能は複数の ADC 間でリファレンスを共有するシステムで特に重要です。

アナログ入力のリファレンス電圧を 0.4 V を超えると、内部クランプ回路がオンになり、電流がクランプからグラウンドに流れるので、入力の上昇によるデバイスの損傷を防止できます。クランプは D1 の前でオンになり (図 36 を参照)、最大 50 mA の電流をシンクできます。

クランプがアクティブになると、リードバックできるレジスタで OV クランプ・フラグ・ビットが設定されます (表 14 を参照)。これは読み出しでクリアする必要のあるスティッキー・ビットです。過電圧クランプ・フラグを使用すれば、ステータス・ビットでもクランプのステータスを確認できます (表 15 を参照)。クランプ回路は、オフの状態では静的電力を消費しません。ただし、クランプで過電圧状態を無期限に保つことはできません。

通常、ADC 入力には外部 RC フィルタが適用され、入力信号の帯域が制限されます。過電圧時に、超過電圧は R_{EXT} で降下し、 R_{EXT} は保護回路の一部になります。 R_{EXT} 値は 15 V の保護のために $200 \Omega \sim 20 \text{ k}\Omega$ の間で変化します。クランプを正常に動作させるため、 C_{EXT} 値を 100 pF まで下げることができます。入力過電圧クランプの仕様については、表 1 を参照してください。

差動入力の考慮事項

アナログ入力構造により、IN+ と IN- の間の真の差動信号のサンプリングが可能になります。これらの差動入力を使用すると、両方の入力に共通する信号が除去されます。図 37 に、全周波数にわたる AD4003/AD4007/AD4011 の同相ノイズ除去性能を示します。差動入力信号は、完全に逆相（位相差が 180°）である必要があります。これは、表 1 に示す約 $V_{REF}/2$ という仕様規定範囲内で入力信号のコモンモード電圧を維持するために必要です。

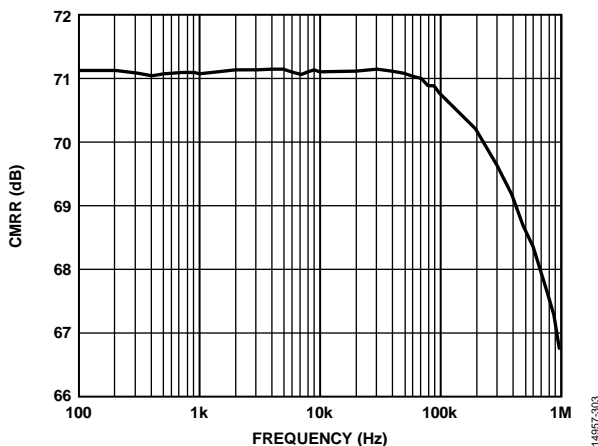


図 37. CMRR と周波数の関係、VIO = 3.3 V、VREF = 5 V、25 °C

スイッチド・キャパシタ入力

アキュイジション・フェーズ中、アナログ入力のインピーダンス (IN+ または IN-) は、 R_{IN} と C_{IN} の直列接続によって形成されるネットワークおよびコンデンサ C_{PIN} の並列組み合わせとしてモデリングできます。 C_{PIN} は主にピン容量です。 R_{IN} の代表値は 400 Ω で、直列抵抗とスイッチのオン抵抗で構成される集中定数コンポーネントです。 C_{IN} の代表値は 40 pF で、ADC のサンプリング・コンデンサです。

スイッチがオープンになる変換フェーズ中、入力インピーダンスは C_{PIN} に制限されます。 R_{IN} と C_{IN} は、不要なエイリアシング効果を削減してノイズを抑える単極のローパス・フィルタを生成します。

RC フィルタ値

RC フィルタの値 (図 33 ~ 図 35 および図 38 では R と C で表されています) と駆動アンプは、2 MSPS のフル・スループット時に目的とする、入力信号の帯域幅によって選択できます。入力信号の帯域幅を狭くすると、RC カットオフを減らすことができ、コンバータに混入するノイズを低減できます。さまざまなスループットで最適な性能を発揮するには、推奨される RC 値 (200 Ω、180 pF) と ADA4807-1 を使用します。

表 10. 多様な入力帯域幅に対する RC フィルタとアンプの選択

Input Signal Bandwidth (kHz)	R (Ω)	C (pF)	Recommended Amplifier	Recommended Fully Differential Amplifier
<10			See the High-Z Mode section	ADA4940-1
<200	200	180	ADA4807-1	ADA4940-1
>200	200	120	ADA4897-1	ADA4932-1
Multiplexed	200	120	ADA4897-1	ADA4932-1

ドライブに関する考慮事項を減らし、ADC の入力保護を向上するには、表 10 の RC 値を選択します。大きな R 値 (200 Ω) と小さな C 値を組み合わせると、駆動するアンプの動的負荷が減少します。C の値を小さくすると、アンプの安定性/位相マージンに関する懸念事項が減少します。R の値を大きくすると、アンプの出力が ADC の入力範囲を超えた場合に ADC 入力に流れ込む電流が制限されます。

ドライバ・アンプの選択

AD4003/AD4007/AD4011 は容易に駆動できますが、ドライバ・アンプは次の条件を満たす必要があります。

- AD4003/AD4007/AD4011 の S/N 比と遷移ノイズ性能を維持するには、ドライバ・アンプによって生成されるノイズを低く抑える必要があります。ドライバから発生するノイズは、AD4003/AD4007/AD4011 のアナログ入力回路の R_{IN} と C_{IN} で構成される単極ローパス・フィルタ、または外付けフィルタ (使用した場合) によって除去されます。AD4003/AD4007/AD4011 のノイズは 31.5 μV rms (代表値) であるため、アンプに起因する S/N 比の性能低下は、次式で与えられます。

$$SNR_{LOSS} = 20 \log \left(\frac{31.5}{\sqrt{31.5^2 + \frac{\pi}{2} f_{-3dB} (N_{eN})^2}} \right)$$

ここで、 f_{-3dB} は AD4003/AD4007/AD4011 (10 MHz) の入力帯域幅 (MHz)、または入力フィルタのカットオフ周波数 (使用する場合)。

N はアンプのノイズ・ゲイン (例えば、バッファ構成では 1)。

e_n はオペアンプの等価入力ノイズ電圧 (nV/√Hz)。

- AC アプリケーションの場合、ドライバは AD4003/AD4007/AD4011 に見合う THD 性能を有する必要があります。
- マルチチャンネルのマルチプレクス・アプリケーションでは、コンデンサ・アレイへのフルスケール・ステップに対して 18 ビット・レベル (0.000384 %、3.84 ppm) でドライバ・アンプと AD4003/AD4007/AD4011 のアナログ入力回路をセトリングする必要があります。一般に、アンプのデータシートでは、0.1 % ~ 0.01 % の設定が仕様規定されます。この値は、18 ビット・レベルではセトリング・タイムと大きく異なる場合があり、ドライバの選択前に検証する必要があります。

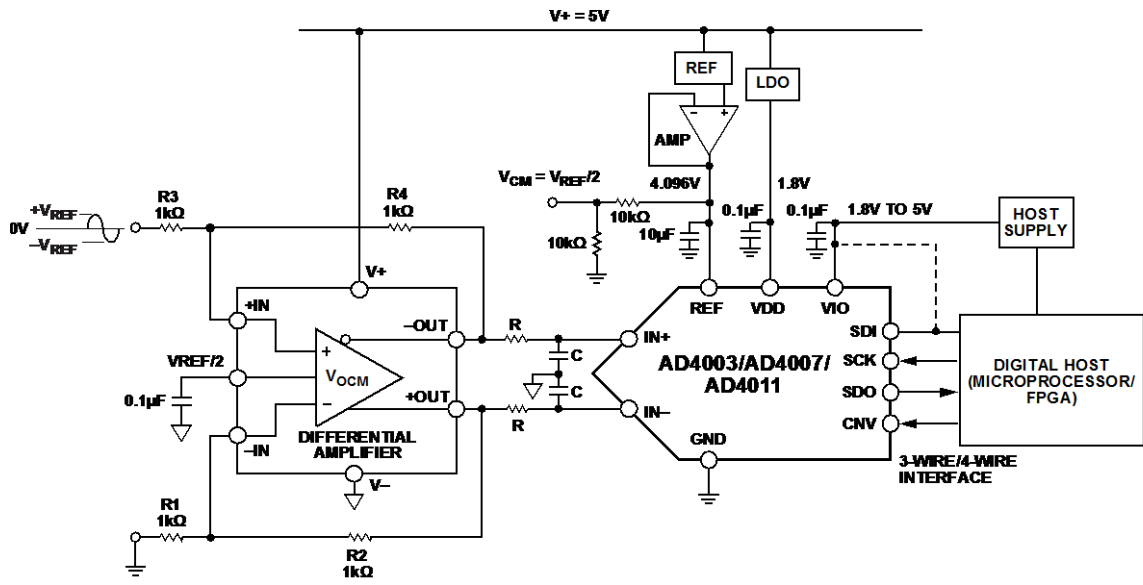


図 38. 完全差動アンプを使用するシングルエンド/差動変換の代表的なアプリケーション図

シングル/差動ドライバ

バイポーラでもユニポーラでも、シングルエンドのアナログ信号を使用するアプリケーションでは、ADA4940-1 シングルエンド/差動ドライバを使用することで、デバイスの差動入力が可能です。図 38 に回路図を示します。

高周波の入力信号

AD4003/AD4007/AD4011 の広い入力周波数範囲での AC 性能を図 39 と図 40 に示します。従来の SAR ADC とは異なり、AD4003/AD4007/AD4011 では、ナイキスト周波数までの入力周波数に対して非常に優れた AC 性能を発揮し、性能の低下は最小限に抑えられています。ただし、入力周波数は、使用しているサンプル・レートのナイキスト周波数に制限されます。

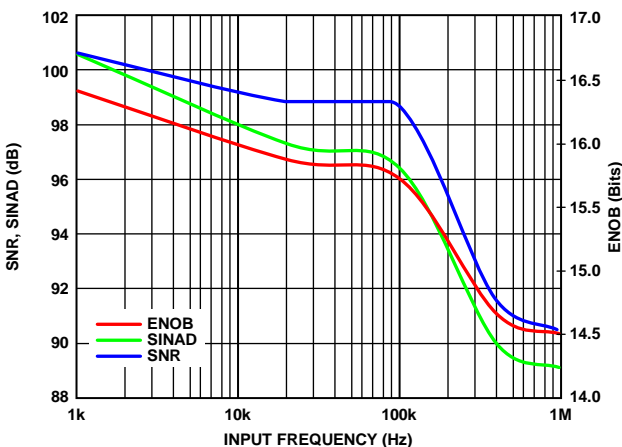


図 39. SNR、SINAD、ENOB と入力電圧の関係

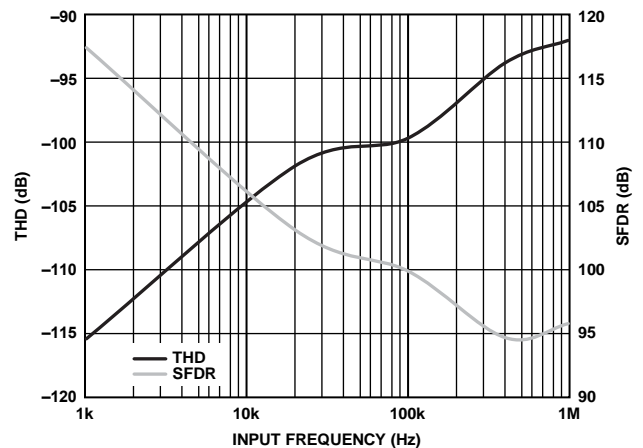


図 40. THD、SFDR と入力周波数の関係

マルチプレクス・アプリケーション

AD4003/AD4007/AD4011 は、ノイズ、消費電力、スループットの点で優れた性能が求められるマルチプレクス・アプリケーションにおいて、システムの複雑さとコストを大幅に軽減します。図 41 に、マルチプレクサ、ADC ドライバ、高精度 SAR ADC を含むマルチプレクス・データ・アキュイジション・システムの簡略ブロック図を示します。

通常、マルチプレクサのチャンネルを切り替えると、ADC 入力に大きな電圧ステップが発生します。正確な変換結果を得るためには、ADC が (CNV の立上がりエッジで) 入力をサンプリングする前に、この電圧ステップに十分なセトリング・タイムを割り当てる必要があります。セトリング・タイムは、駆動回路 (マルチプレクサと ADC ドライバ)、RC フィルタ値、マルチプレクサのチャンネル切り替え時間によって異なります。変換結果の破損を防ぐ一方で最大限のセトリング・タイムを確保するためには、マルチプレクサ・チャンネルは変換開始から t_{QUIET1} が経過した直後に切り替える必要があります。変換の破損を防ぐため、 t_{QUIET1} 時間中にチャンネルを切り替えないでください。アナログ入力がこの無変換時間中にマルチプレクサされると、実行中の変換が破損する可能性があります。

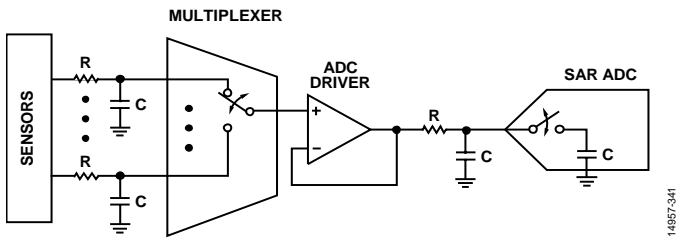


図 41. AD4003/AD4007/AD4011 を使用したマルチプレクス・データ・アキュイジション・シグナル・チェーン

ドライブ補助機能

入カスパン圧縮

単電源アプリケーションでは、ADC の全範囲を使用することが望ましいですが、アンプにはヘッドルームとフットルームの条件があり、レール to レールの入出力アンプでも、問題が発生する可能性があります。AD4003/AD4007/AD4011 はスパン圧縮機能を備えており、範囲の上下から入力範囲を 10% 削減することで、アンプが使用できるヘッドルームとフットルームを増やしながらすべての ADC コードに引き続きアクセスできます (図 42 を参照)。スパン圧縮を有効にすると、削減された入力範囲で S/N 比は約 1.9 dB ($20 \times \log(8/10)$) 減少します。デフォルトでは、スパン圧縮は無効になっていますが、関連するレジスタ・ビットに書き込みを実行することで有効になります (デジタル・インターフェースのセクションを参照)。

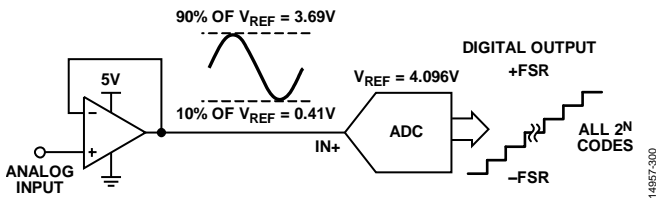


図 42. スパン圧縮

高インピーダンス・モード

AD4003/AD4007/AD4011 には、高インピーダンス・モードが組み込まれています。これにより、アキュイジションの開始時にコンデンサの DAC が入力に切り替わるとき、非直線性のチャージ・キックバックが削減されます。図 43 に、高インピーダンス・モードを有効にした場合と無効にした場合の

AD4003/AD4007/AD4011 の入力電流を示します。入力電流が低く、高インピーダンス・モードが無効な場合でも、市販の従来型 SAR ADC よりも簡単に ADC を駆動できます。さらに、高インピーダンス・モードを有効にすると、入力電流はサブマイクロアンペアまで減少します。高インピーダンス・モードはデフォルトで無効ですが、レジスタに書き込みを実行することで有効になります (表 14 を参照)。100 kHz を超える入力周波数やマルチプレクスでは、高インピーダンス・モードを無効にしてください。

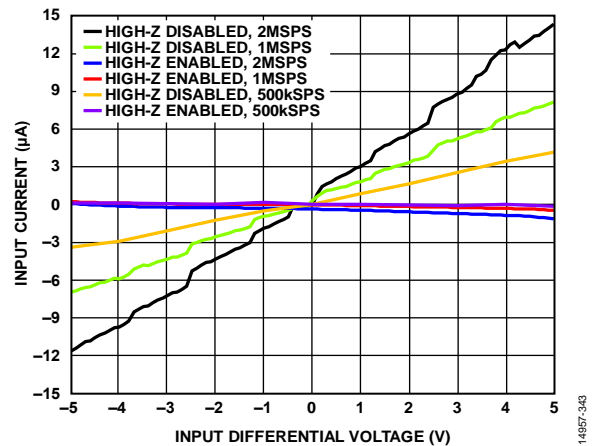


図 43. 入力電流と入力差動電圧の関係、VIO = 3.3 V、VREF = 5 V

精度と分解能の高い SAR ADC の最適なデータシート性能を実現するようなアプリケーションを設計するには、専用の高出力、高速アンプを使用して従来型のスイッチド・キャパシタ SAR ADC 入力を駆動する必要があります。これは正確なデータ・アキュイジション・シグナル・チェーンの設計において一般的に起こることです。低速 (<10 kHz) または DC タイプの信号では入力電流が低くなり、最大 100 kHz にわたる周波数範囲で歪み (THD) 性能が改善することが、高インピーダンス・モードの利点です。高インピーダンス・モードを使用すると、低い RC フィルタ・カットオフで消費電力と帯域幅の狭い、高精度アンプを選択でき、専用的高速 ADC ドライバが不要になるので、高精度、低帯域幅のアプリケーションにおけるシステムの消費電力、サイズ、コストを節約できます。高インピーダンス・モードでは、スイッチド・キャパシタ SAR ADC 入力のセトリング条件ではなく、対象となる信号帯域幅に基づいて、ADC の前段にあるアンプと RC フィルタを選択できます。

さらに、AD4003/AD4007/AD4011 では、従来型の SAR よりも高いソース・インピーダンスで駆動できます。つまり、RC フィルタ内の抵抗を以前の SAR 設計よりも 10 倍高い値にでき、高インピーダンス・モードを有効にすると、さらに大きなインピーダンスに耐えることができます。図 44 に、高インピーダンス・モードが有効/無効な場合の、さまざまなソース・インピーダンスでの THD 性能を示します。

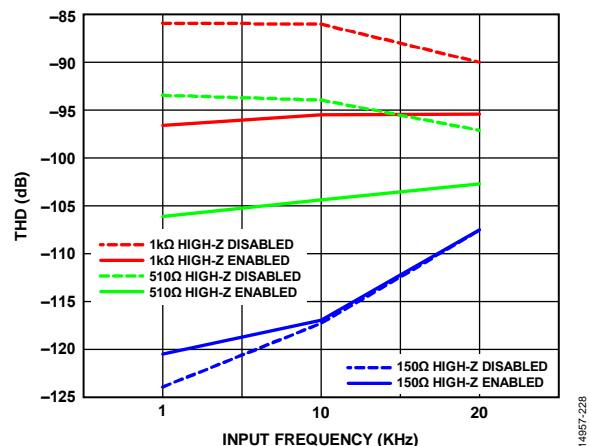


図 44. 多様なソース・インピーダンスの THD と入力数端数の関係、VREF = 5 V

図 45 と図 46 に、**ADA4077-1** (アンプあたりの電源電流 (I_{SY}) = 400 μ A) および **ADA4610-1** (I_{SY} = 1.5 mA/アンプ) 高精度アンプを使用して、フル・スループットで AD4003/AD4007/AD4011 を駆動するときの、高インピーダンス・モードが有効と無効の場合での、AD4003/AD4007/AD4011 の S/N 比と THD 性能を、さまざまな RC フィルタ値について示します。高インピーダンス・モードを有効にすると、これらのアンプで 96 dB ~ 99 dB (代表値) の S/N 比と -110 dB よりも優れた THD を実現できます。高インピーダンス・モードを有効にすると、R の値が大きい場合でも、THD が約 10 dB 向上します。RF 帯域幅カットオフが非常に低い場合でも、S/N 比は 99 dB 付近の値を維持します。

高インピーダンス・モードを有効にすると、ADC は約 2 mW/MSPS の余分な電力を消費しますが、この消費量は ADA4807-1 などの専用の ADC ドライバを使用する場合よりも大幅に低くなります。システムの種類に関係なく、フロント・エンドは、シグナル・チェーンの全体的な AC/DC 性能を制限します。図 45 および図 46 に記載された高精度アンプのデータシートによると、デバイス自体が発生するノイズと歪みの性能が特定の入力周波数で S/N 比と THD の仕様に影響を与えることが明らかです。

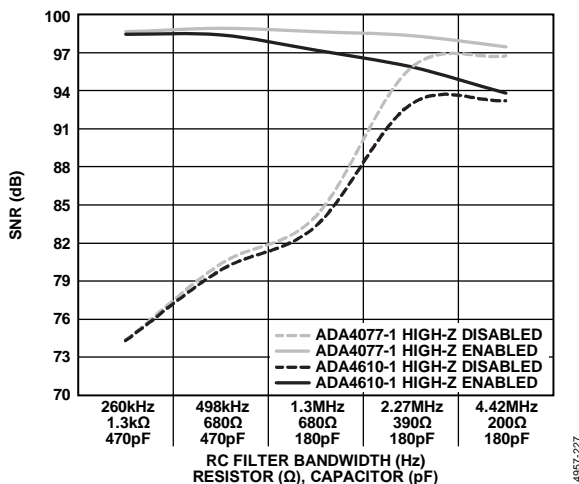


図 45. 各種の高精度 ADC ドライバの S/N 比と RC フィルタ帯域幅の関係、 $V_{REF} = 5$ V、 $f_{IN} = 1$ kHz (ターボ・モードをオン、高インピーダンス・モードを有効/無効)

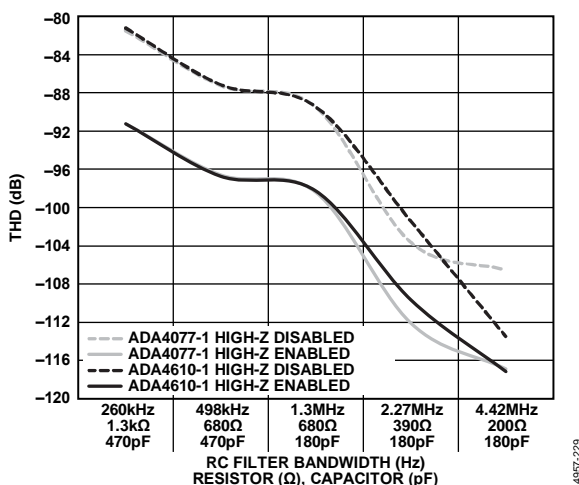


図 46. 各種の高精度 ADC ドライバの THD と RC フィルタ帯域幅の関係、 $V_{REF} = 5$ V、 $f_{IN} = 1$ kHz (ターボ・モードをオン、高インピーダンス・モードを有効/無効)

長いアキュイジション・フェーズ

AD4003/AD4007/AD4011 の変換時間は 290 ns と非常に短いため、アキュイジション・フェーズが長くなります。アキュイジションは、AD4003/AD4007/AD4011 の主要な機能によってさらに拡張されます。それは、ADC が変換終了の 100 ns (代表値) 前にアキュイジション・フェーズに戻るという機能です。これにより、ADC が新しい入力電圧を取得する時間が長くなります。アキュイジション・フェーズが長くなると、駆動アンプのセトリング条件が緩和されるので、消費電力/帯域幅の小さいアンプを選択できます。アキュイジション・フェーズが長くなると、RC フィルタ (図 33 と図 38 の R と C で表される) のカットオフが低くなります。つまり、ノイズの大きなアンプも許容されます。RC フィルタで大きな R 値とそれに対応する小さな C 値を使用すると、歪みの性能に大きな影響を与えずに、アンプの安定性に関する懸念事項を減らすことができます。R の値が大きくなると、アンプの動的消費電力も減ります。

RC フィルタの設定と適切なアンプの選択の詳細については、表 10 を参照してください。

電圧リファレンス入力

リファレンス入力の最適な性能を発揮するには、10 μ F (X7R、0805 サイズ) のセラミック・チップ・コンデンサが適しています。

高性能と低ドリフトを実現するには、**ADR4550** などのリファレンスを使用します。**ADR3450** などのロー・パワー・リファレンスを使用できますが、ノイズ性能がわずかに低下します。リファレンスと ADC リファレンス入力の間には、**ADA4807-1** などのリファレンス・バッファを使用することを推奨します。このセクションで既述した ADC の最低条件を満たすとともに、リファレンス・バッファの安定性を維持するのに必要な、コンデンサの最適容量を考慮することが重要です (10 μ F のセラミック・チップ・コンデンサ、 C_{REF})。

電源

AD4003/AD4007/AD4011 は、コア電源 (V_{DD}) とデジタル入出力インターフェース電源 (V_{IO}) の 2 つの電源ピンを使用します。 V_{IO} では、1.8 V ~ 5.5 V のあらゆるロジックと直接インターフェースを形成できます。1.8 V 動作では、システムのロジック・レベルに応じて V_{IO} と V_{DD} を接続することで、必要に応じて電源の数を削減できます。 V_{DD} ピンと V_{IO} ピンに電力を供給するには、**ADP7118** の低ノイズ、CMOS、低ドロップアウト (LDO) リニア電圧レギュレータを推奨します。

AD4003/AD4007/AD4011 は、 V_{IO} と V_{DD} 間の電源シーケンスには依存しません。さらに、AD4003/AD4007/AD4011 は、広い周波数範囲にわたって電源の変動による影響を受けません (図 47 を参照)。

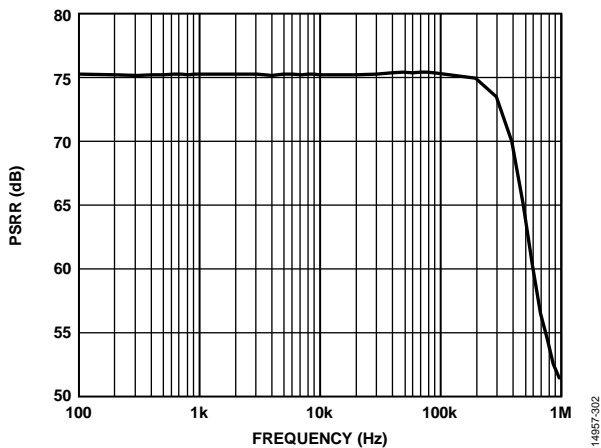


図 47. PSRR と周波数の関係、VIO = 3.3 V、VREF = 5 V

AD4003/AD4007/AD4011 は各変換フェーズの終わりに自動的にパワーダウンします。このため、消費電力はサンプリング・レートに比例します。この機能により、低サンプリング・レートでのアプリケーション（数 Hz のものを含む）や、バッテリー駆動のアプリケーションに最適なデバイスとなっています。図 48 に、AD4003/AD4007/AD4011 の合計消費電力と各レールの消費電力を示します。

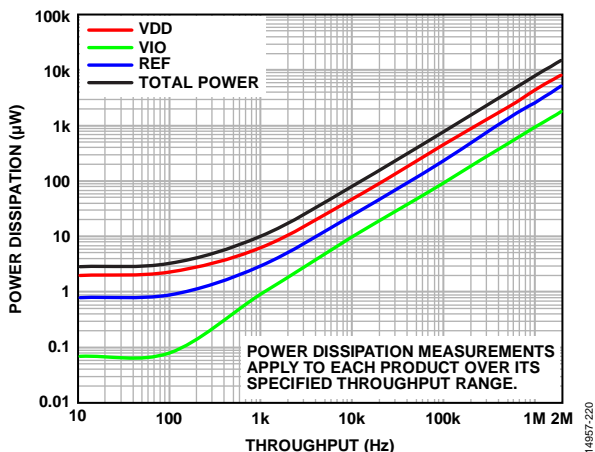


図 48. 消費電力とスループットの関係、VIO = 1.8 V、VREF = 5 V

デジタル・インターフェース

AD4003/AD4007/AD4011 は、ピン数が少ないにも関わらず、シリアル・インターフェース・モードで柔軟に対応できます。また、AD4003/AD4007/AD4011 は、設定レジスタへの 16 ビット SPI 書き込みでもプログラムできます。

CS モードでは、AD4003/AD4007/AD4011 は、SPI、QSPI™、デジタル・ホスト、DSP と互換性があります。このモードでは、AD4003/AD4007/AD4011 は 3 線式または 4 線式のインターフェースを使用できます。CNV、SCK、SDO の信号を使用する 3 線式インターフェースは、最小限の配線で機能するので、絶縁アプリケーションなどに便利です。SDI、CNV、SCK、SDO の信号を使用する 4 線式インターフェースでは、リードバック・タイミングに依存せずに CNV で変換を開始できます (SDI)。このインターフェースは、低ジッタ・サンプリングまたは同時サンプリング・アプリケーションで有用です。

AD4003/AD4007/AD4011 は、SDI 入力を使用して、シフト・レジスタと同様、1 つのデータ・ラインで複数の ADC をカスケード接続するためのデジタイゼーション機能を備えています。

デバイスの動作モードは、CNV の立上がりエッジが発生したときの CNV レベルによって決定されます。SDI がハイの場合は CS モードが選択され、SDI がローの場合はデジタイゼーション・モードが選択されます。SDI と CNV が同時に接続される場合の SDI ホールド時間には、デジタイゼーション・モードが常に選択されます。

AD4003/AD4007/AD4011 を 3 線式または 4 線式のモードで使用する場合、データ・ビットの前にスタート・ビットを強制的に挿入するオプションがあります。このスタート・ビットをビジー信号インジケータとして使用すれば、デジタル・ホストに割り込み、データ読出しをトリガすることができます。ビジー・インジケータとして使用しない場合、リードバック前に最大変換時間をタイムアウトする必要があります。

CS モードでは、CNV または SDI がローの場合に ADC 変換が終了すると、ビジー・インジケータ機能が有効になります。

表 11 に示すように、電源投入時の SDO のステータスは、CNV および SDI のステータスによって、ロー・レベル (Low) または高インピーダンス (High-Z) のいずれかになります。

表 11. 電源投入時の SDO の状態

CNV	SDI	SDO
0	0	Low
0	1	Low
1	0	Low
1	1	High-Z

AD4003/AD4007/AD4011 は、3 線式モードまたは 4 線式モードの両方でターボ・モード機能を備えています。ターボ・モードは、設定レジスタへの書き出しによって有効になります。このモードは、ビジー・インジケータ機能を置き換えます。ターボ・モードを使用すると、SPI クロック・レートが遅くなるので、インターフェースがシンプルになります。AD4003 の最大スループットである 2 MSPS は、ターボ・モードを有効にして、75 MHz の最小 SCK レートを使用した場合のみ実現します。AD4007 の最大スループットである 1 MSPS は、ターボ・モードを有効にして、25 MHz の最小 SCK レートを使用した場合に実現します。AD4011 の最大スループットである 500 kSPS は、ターボ・モードを有効にして、11 MHz の最小 SCK レートを使用した場合に実現します。

新たな変換が開始される前に変換結果がクロック出力されるように、SCK レートは十分に速くする必要があります。アプリケーションに必要な最小 SCK レートは、サンプリング周期 (t_{yc})、読出しが必要なビット数 (データ・ビットとステータス・ビットを含む)、各モードで SCK がアクティブになるまでのタイム・インターバルが与えられれば、これらの関係から得られます。詳細については、デジタル動作モード関連のセクションで説明します。(CS モード、3 線式ターボ・モードのセクションから CS モード、4 線式、ビジー・インジケータありまでのセクションを参照)。

設定レジスタでステータス・ビットが有効な場合、変換データの最後でステータス・ビットをクロック出力できます。表 12 に示すように、合計 6 つのステータス・ビットがあります。

AD4003/AD4007/AD4011 は、目的の設定レジスタへの 16 ビット SPI の書き込みによって設定されます。16 ビット・ワードは、CNV がローの間に SDI ラインから書き込めます。16 ビット・ワードは、8 ビットのヘッダーと 8 ビットのレジスタ・データで構成されます。絶縁システムには ADuM141D を推奨します。

最大クロック・レートは 75 MHz で、AD4003 を 2 MSPS で動作させることができます。

レジスタ読出し／書込み機能

AD4003/AD4007/AD4011 のレジスタ・ビットはプログラマブルで、デフォルトのステータスは表 12 のようになります。レジスタ・マップを表 14 に示します。過電圧 (OV) クランプ・フラグは、読出し専用のスティッキー・ビットで、過電圧状態が解消された後にレジスタの読出しが実行された場合のみクリアされます。過電圧状態の場合、このフラグは 0 になります。

表 12. レジスタ・ビット

Register Bits	Default Status
Overvoltage (OV) Clamp Flag	1 bit (default 1: inactive)
Span Compression	1 bit (default 0: disabled)
High-Z Mode	1 bit (default 0: disabled)
Turbo Mode	1 bit (default 0: disabled)
Enable Six Status Bits	1 bit (default 0: disabled)

レジスタ・マップへのアクセスを開始するには、SPI インターフェース・ブロックの 8 ビット・コマンド・レジスタへの書込みを実行する必要があります。AD4003/AD4007/AD4011 は、最初の 0 がクロック入力されるまですべての 1 を無視します。コマンド・レジスタにロードされる値は常に 0 で、これに 7 つのコマンド・ビットが続きます。このコマンドによって、動作が書込みか読出しかが決定されます。AD4003/AD4007/AD4011 のコマンド・レジスタを表 13 に示します。

表 13. コマンド・レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WEN	R/W	0	1	0	1	0	0

表 14. レジスタ・マップ

ADDR[1:0]	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset
0x0	Reserved	Reserved	Reserved	Enable six status bits	Span compression	High-Z mode	Turbo mode	Overvoltage (OV) clamp flag (read only sticky bit)	0xE1

レジスタの読出し／書込みはすべて、CNV がローの間に発生します。SDI のデータは、SCK の立上がりエッジでクロック入力されます。SDO のデータは SCK の立下がりエッジでクロック出力されます。デイジーチェーン・モードが有効でない場合、データ転送の最後に、CNV の立上がりエッジで SDO は高インピーダンス状態になります。デイジーチェーン・モードが有効な場合、CNV の立上がりエッジで SDO はローになります。デイジーチェーン・モードでは、レジスタの読出しを実行できません。

レジスタの読出しには、SCK、CNV、SDI の 3 つの信号ラインが必要です。レジスタへの書込み中に SDO の現在の変換結果の読出しを実行するには、変換を完了した後に CNV ピンをローにする必要があります。そうしないと、間違った変換結果が SDO に出力される可能性があります。ただし、レジスタの書込みは CNV ピンの状態に関係なく発生します。

16 ビット変換データの読出しは 16 ビット SPI フレームに制限される可能性があるため、各設定レジスタの LSB は予約済みになります。SDI フレームの最終ビットでの SDI の状態は、CNV の立上がりで持続する場合があります。インターフェース・モードの一部の設定は、CNV の立上がり発生時の SDI の状態に基づいて行われるため、最後の SDI の状態を設定する必要があります。

図 49 ~ 図 51 のタイミング図に、レジスタ読出し、書出し、デイジーチェーン・モードで AD4003/AD4007/AD4011 を構成する場合にデータの読出し／書出しを実行する方法を示します。

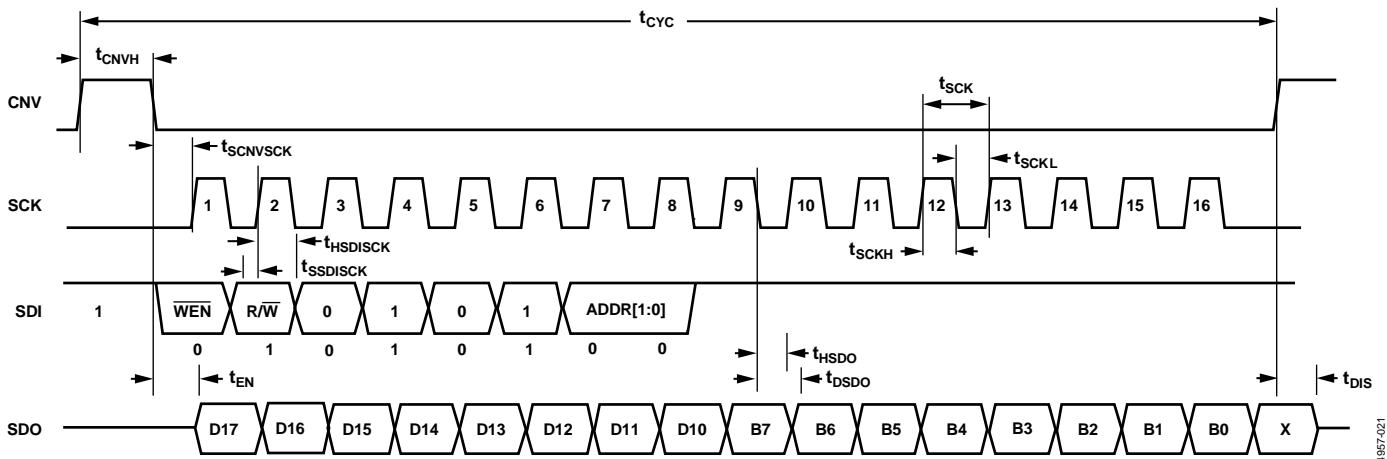
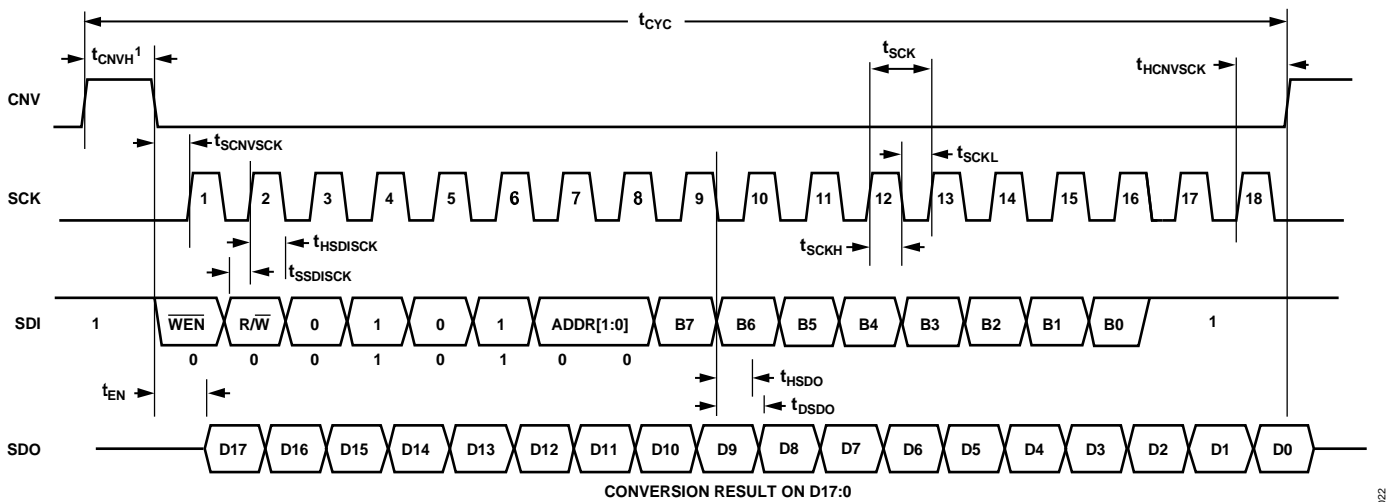


図 49. レジスタ読出しのタイミング図



¹THE USER MUST WAIT t_{CONV} TIME WHEN READING BACK THE CONVERSION RESULT AND DOING A REGISTER WRITE AT THE SAME TIME.

図 50. レジスタ書き込みのタイミング図

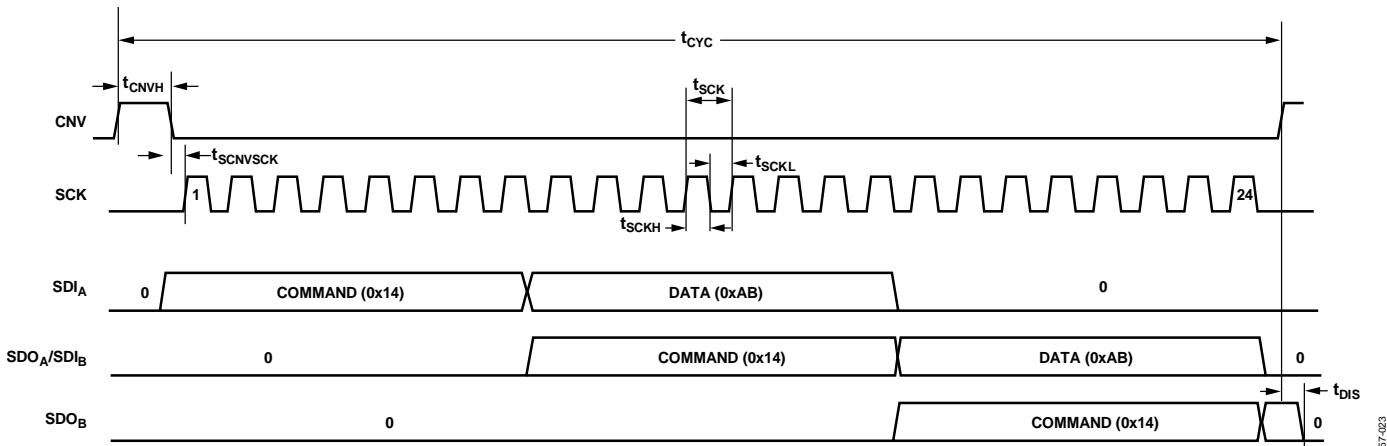


図 51. レジスタ書き込みのタイミング図、デージーチェーン・モード

ステータス・ワード

変換結果の最後に 6 ビットのステータス・ワードを追加できます。これらのビットのデフォルト状態を表 15 に示します。レジスタ設定でステータス・ビットを有効にする必要があります。過電圧クランプ・フラグが 0 の場合、過電圧状態となっていることを示しています。過電圧クランプ・フラグのステータス・ビットは、変換ごとに更新されます。

SDO ラインは、6 番目のステータス・ビットがクロック出力された後に高インピーダンスになります（デ이지チェーン・モードを除く）。次の変換を開始するため、すべてのステータスをクロック出力する必要はありません。 \overline{CS} モードのシリアル・インターフェース（ビジー・インジケータなしの 3 線式）のタイミング図を、ステータス・ビットを含め、図 52 に示します。

表 15. ステータス・ビット（デフォルト条件）

Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Overvoltage (OV) clamp flag	Span compression	High-Z mode	Turbo mode	Reserved	Reserved

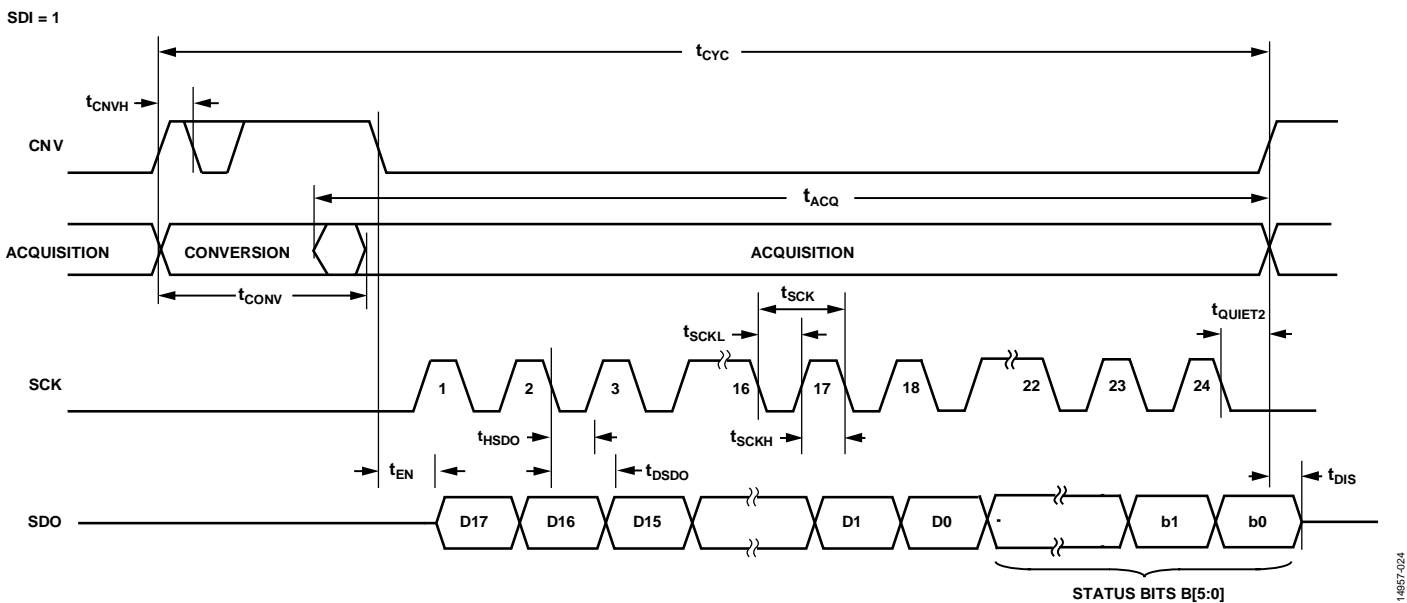


図 52. \overline{CS} モード、ビジー・インジケータなしの 3 線式シリアル・インターフェースのステータス・ビットを含むタイミング図（SDI はハイ）

CS モード、3 線式ターボ・モード

通常、このモードは、1 台の AD4003/AD4007/AD4011 デバイスを SPI 互換のデジタル・ホストに接続する場合に使用されます。前回の変換結果をクロック出力する ADC 変換プロセスの最後に時間が追加されるので、SCK レートが低下します。

AD4003 では、ターボ・モードを有効にして 75 MHz の最小 SCK レートを使用した場合のみ、2 MSPS のスループット・レートを達成できます。また、ターボ・モードを有効にすると、AD4007 では 25 MHz の最小 SCK レートで 1 MSPS、AD4011 では 11 MHz の最小 SCK レートで 500 kSPS の最大スループット・レートを達成できます。接続図を図 53 に示し、対応するタイミング図を図 54 に示します。

ターボ・モードのビット 1 をプログラムすることで、ビジー・インジケータ付きの 3 線式モードがターボ・モードに変わります (表 14 を参照)。

SDI が強制的にハイになると、CNV の立上がりエッジで変換が開始されます。前回の変換データは、CNV の立上がりエッジ後の読出しで使用できます。CNV がハイになった後、CNV がローになる前に前回の変換結果をクロック出力するには、 t_{QUIET1} 時間だけ待機する必要があります。また、CNV がハイの場合、SCK の最後の立上がりエッジの後 t_{QUIET2} 時間だけ待機する必要があります。

変換が完了すると、AD4003/AD4007/AD4011 はアキュイジション・フェーズに移行し、パワーダウンします。CNV がローになると、MSB が SDO へ出力されます。残りのデータ・ビットは、後続の SCK の立上がりエッジで記録されます。両方の SCK エッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、デジタル・ホストが SCK の立上がりエッジを使用する場合は、読出しレートが速くなります。ただし、ホールド時間を許容できることを前提とします。18 番目の SCK の立上がりエッジの発生後または CNV がハイになった後 (どちらか先に発生した方)、SDO は高インピーダンスに戻ります。

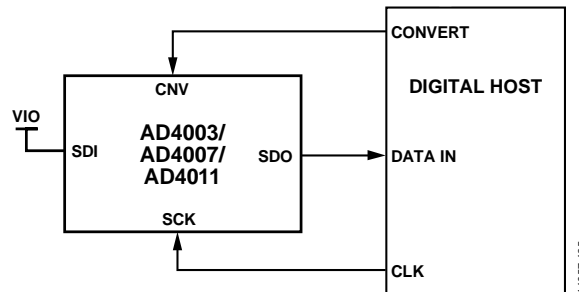


図 53. CS モード、3 線式ターボ・モード接続図 (SDI はハイ)

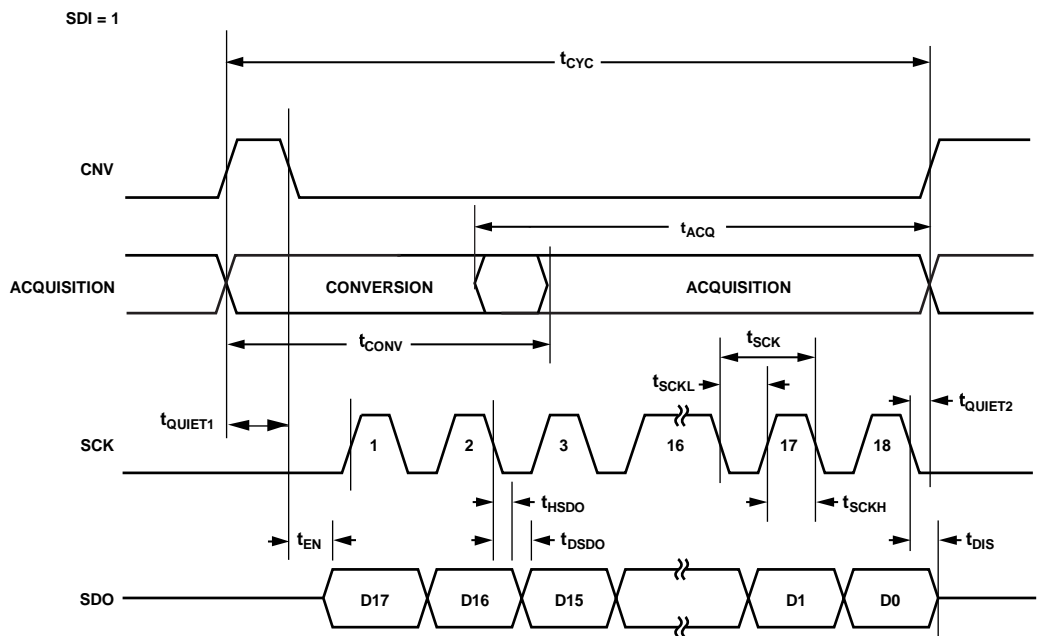


図 54. CS モード、3 線式ターボ・モードのシリアル・インターフェースのタイミング図 (SDI はハイ)

CS モード、3 線式、ビジー・インジケータなし

通常、このモードは、1 台の AD4003/AD4007/AD4011 デバイスを SPI 互換のデジタル・ホストに接続する場合に使用されます。接続図を図 55 に示し、対応するタイミング図を図 56 に示します。

SDI を $\overline{\text{VIO}}$ に接続すると、CNV の立上がりエッジで変換が開始され、CS モードが選択されて、SDO が強制的に高インピーダンスに移行します。変換を開始すると、CNV の状態に関係なく変換が完了するまで続行されます。この機能は、CNV をローにして、アナログ・マルチプレクサなどの SPI デバイスを選択する場合に有用です。ただし、ビジー信号インジケータの生成を防ぐため、最小変換時間が経過する前に CNV をハイに戻し、最大変換時間にわたりハイに保つ必要があります。

変換が完了すると、AD4003/AD4007/AD4011 はアキュイジション・フェーズに移行し、パワーダウンします。CNV がローになると、MSB が SDO に出力されます。残りのデータ・ビットは、後続の SCK の立下がりエッジで記録されます。両方の SCK エッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、デジタル・ホストが SCK の立下がりエッジを使用する場合は、読出しレートが速くなります。ただし、ホールド時間を許容できることを前提とします。18 番目の SCK の立下がりエッジの発生後または CNV がハイになった後（どちらか先に発生した方）、SDO は高インピーダンスに戻ります。

変換中に SCK のデジタル動作が発生しないようにします。

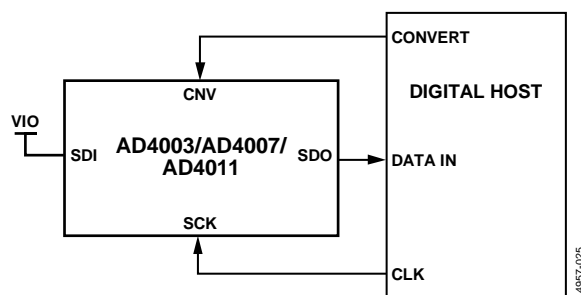


図 55. $\overline{\text{CS}}$ モード、3 線式（ビジー・インジケータなし）の接続図（SDI はハイ）

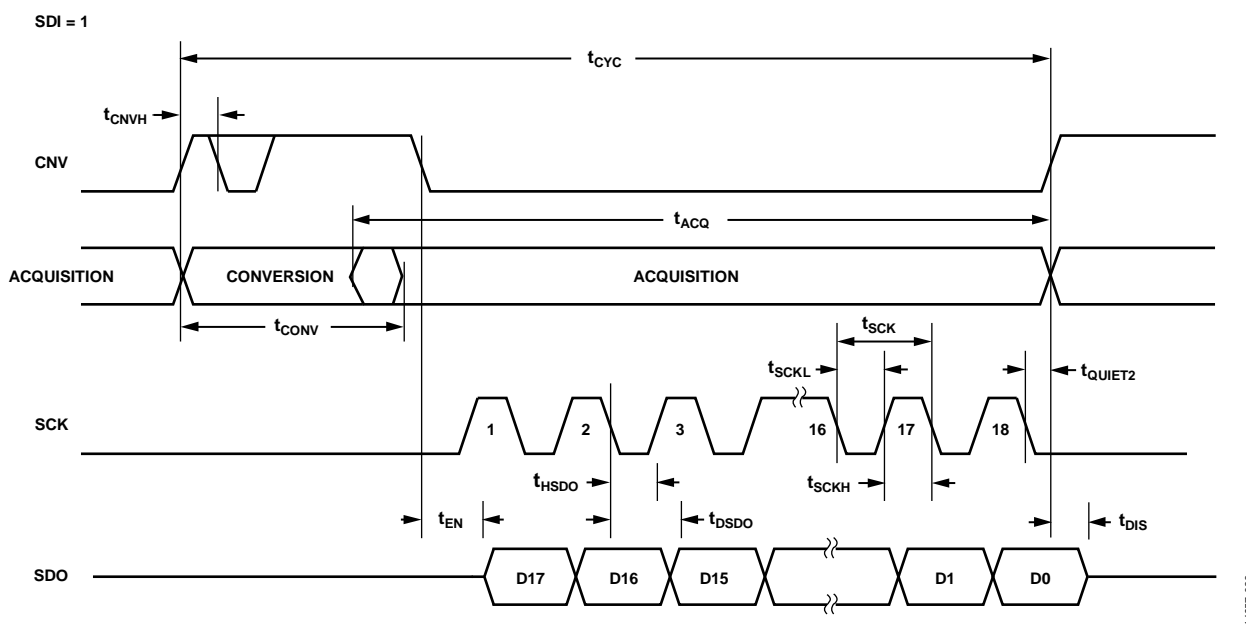


図 56. $\overline{\text{CS}}$ モード、3 線式シリアル・インターフェース（ビジー・インジケータなし）のタイミング図（SDI はハイ）

CS モード、3 線式、ビジー・インジケータあり

通常、このモードは、割込み入力 ($\overline{\text{IRQ}}$) を備えた SPI 互換のデジタル・ホストに 1 台の AD4003/AD4007/AD4011 デバイスを接続する場合に使用されます。

接続図を図 57 に示し、対応するタイミング図を図 58 に示します。

SDI を $\overline{\text{VIO}}$ に接続すると、CNV の立上がりエッジで変換が開始され、CS モードが選択されて、SDO が強制的に高インピーダンスに移行します。SDO は CNV の状態に関係なく、変換が完了するまで高インピーダンスに保たれます。最小変換時間が経過する前に、CNV でアナログ・マルチプレクサなどの SPI デバイスを選択できます。ただし、ビジー信号インジケータが確実に生成されるように、最小変換時間が経過する前に CNV をローに戻し、最大変換時間にわたりローに保つ必要があります。

変換が完了すると、SDO は高インピーダンスから低インピーダンスになります。SDO ラインの $1\text{k}\Omega$ のプルアップ抵抗とこの遷移を組み合わせると割込み信号として使用することで、デジタル・ホストによって制御されるデータ読出しを開始できます。その後、AD4003/AD4007/AD4011 はアキュイジション・フェーズに移行し、パワーダウンします。後続の SCK の立下がりエッジで、データ・ビットが MSB ファーストでクロック出力されます。両方の SCK エッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、デジタル・ホストが SCK の立下がりエッジを使用する場合は、読出しレートが速くなります。ただし、ホールド時間を許容できることを前提とします。オプションの 19 番目の SCK の立下がりエッジ発生後または SDI がハイになった後（どちらか先に発生した方）、SDO は高インピーダンスに戻ります。

複数の AD4003/AD4007/AD4011 デバイスを同時に選択すると、SDO 出力ピンは、損傷や誘導ラッチアップなしでこの競合を処理します。ただし、余分な消費電力を制限するために、この競合は可能な限り短くすることが推奨されます。

変換中に SCK のデジタル動作が発生しないようにします。

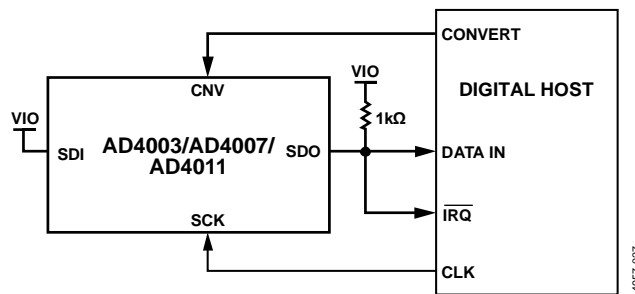


図 57. CS モード、3 線式 (ビジー・インジケータあり) の接続図 (SDI はハイ)

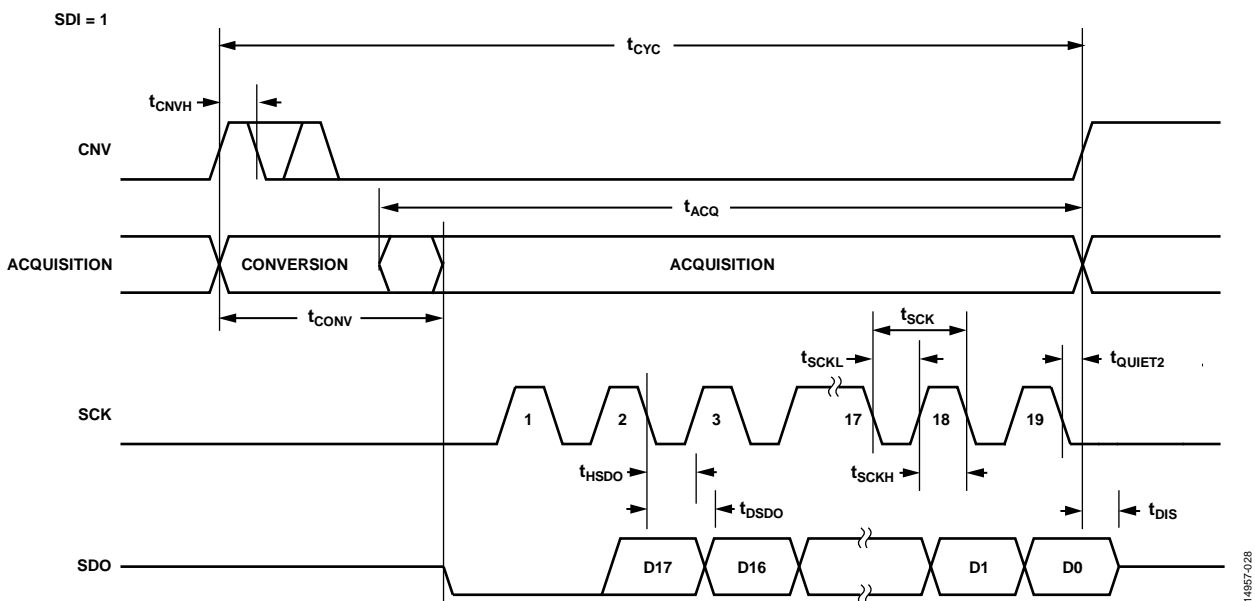


図 58. CS モード、3 線式シリアル・インターフェース (ビジー・インジケータあり) のタイミング図 (SDI はハイ)

CS モード、4 線式ターボ・モード

通常、このモードは、1 台の AD4003/AD4007/AD4011 を SPI 互換のデジタル・ホストに接続する場合に使用されます。前回の変換結果をクロック出力する ADC 変換プロセスの最後に時間が追加されるので、SCK レートが低くなります。AD4003 では、ターボ・モードを有効にして、75 MHz の最小 SCK レートを使用した場合のみ、2 MSPS のスループット・レートを達成できます。また、ターボ・モードを有効にすると、AD4007 では 25 MHz の最小 SCK レートで 1 MSPS、AD4011 では 11 MHz の最小 SCK レートで 500 kSPS の最大スループット・レートを達成できます。接続図を図 59 に示し、対応するタイミング図を図 60 に示します。

ターボ・モードのビット 1 をプログラムすることで、ビジー・インジケータ付きの 4 線式モードがターボ・モードに変わります (表 14 を参照)。

前回の変換データは、CNV の立上がりエッジ後の読出しで使用できます。CNV がハイになった後、SDI がローになる前に、前回の変換結果をクロック出力するため t_{QUIET1} 時間だけ待機する必要があります。また、CNV がハイの場合、SCK の最後の立下がりエッジの後、 t_{QUIET2} 時間だけ待機する必要があります。

変換が完了すると、AD4003/AD4007/AD4011 はアクイジション・フェーズに移行し、パワーダウンします。SDI 入力をローにすると、ADC 結果の読出しを実行できます。その結果、MSB が SDO に出力されます。残りのデータ・ビットは、後続の SCK の立下がりエッジで記録されます。両方の SCK エッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、デジタル・ホストが SCK の立下がりエッジを使用する場合は、読出しレートが速くなります。ただし、ホールド時間を許容できることを前提とします。18 番目の SCK の立下がりエッジの発生後または SDI がハイになった後 (どちらか先に発生した方)、SDO は高インピーダンスに戻ります。

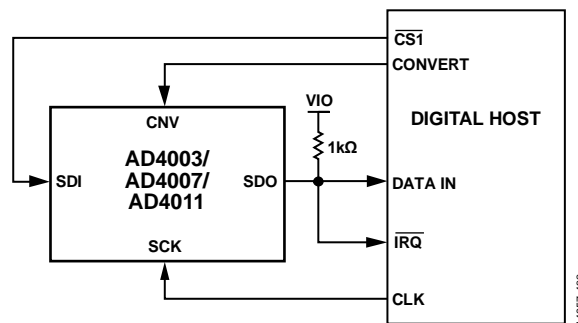


図 59. CS モード、4 線式ターボ・モードの接続図

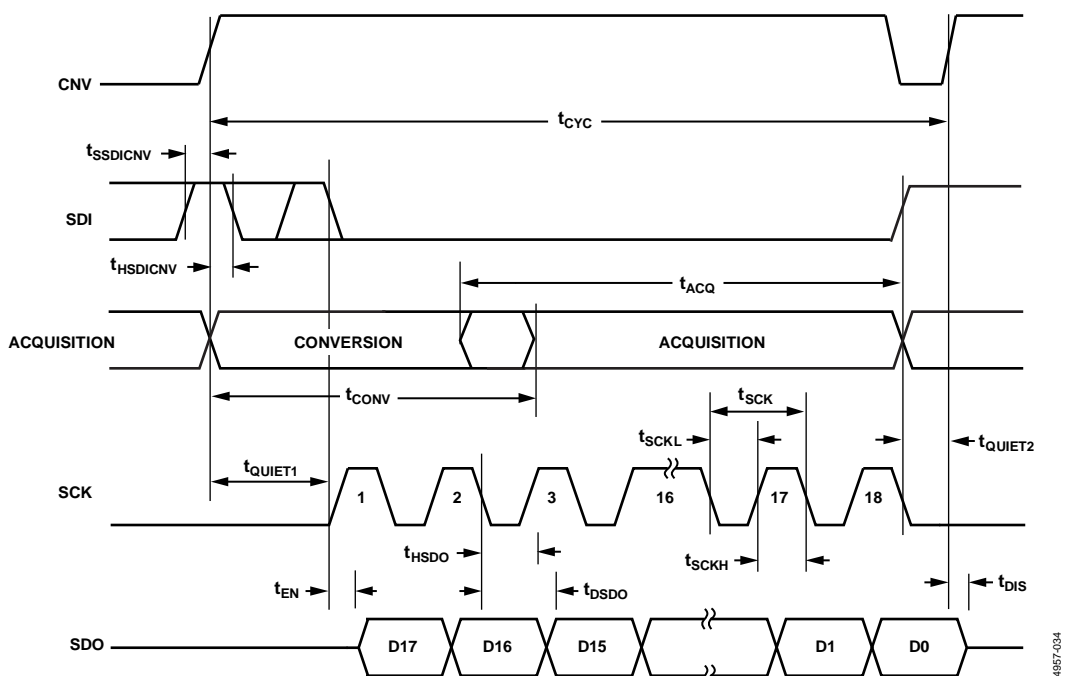


図 60. CS モード、4 線式ターボ・モードのタイミング図

CS モード、4 線式、ビジー・インジケータなし

通常、このモードは、複数の AD4003/AD4007/AD4011 デバイスを SPI 互換のデジタル・ホストに接続する場合に使用されます。

2 台の AD4003/AD4007/AD4011 デバイスを使用する接続図の例を図 61 に示し、対応するタイミング図を図 62 に示します。

SDI がハイの場合、CNV の立上がりエッジで変換が開始され、CS モードが選択されて、SDO が強制的に高インピーダンスに移行します。このモードでは、変換フェーズと後続のデータ・リードバックの間、CNV をハイに保つ必要があります。SDI と CNV がローの場合、SDO はローになります。最小変換時間が経過する前に、SDI でアナログ・マルチプレクサなどの SPI デバイスを選択できます。ただし、ビジー信号インジケータの生成を防ぐため、最小変換時間が経過する前に SDI をハイに戻し、最大変換時間にわたりハイに保つ必要があります。

変換が完了すると、AD4003/AD4007/AD4011 はアクイジション・フェーズに移行し、パワーダウンします。SDI 入力をローにすると、ADC 結果の読出しを実行できます。その後、MSB が SDO に出力されます。残りのデータ・ビットは、後続の SCK の立下がりエッジで記録されます。両方の SCK エッジでデータは有効です。立上がりエッジでデータをキャプチャできますが、デジタル・ホストが SCK の立下がりエッジを使用する場合は、読出しレートが速くなります。ただし、ホールド時間を許容できることを前提とします。18 番目の SCK の立下がりエッジの発生後または SDI がハイになった後（どちらか先に発生した方）、SDO は高インピーダンスに戻り、別の AD4003/AD4007/AD4011 の読出しを実行できます。

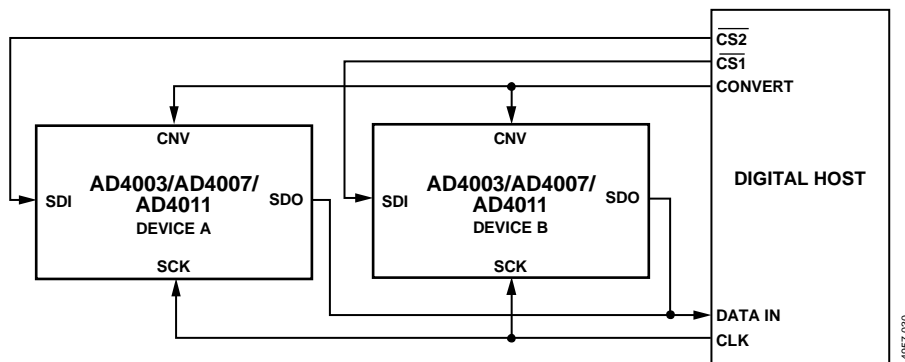


図 61. CS モード、4 線式（ビジー・インジケータなし）の接続図

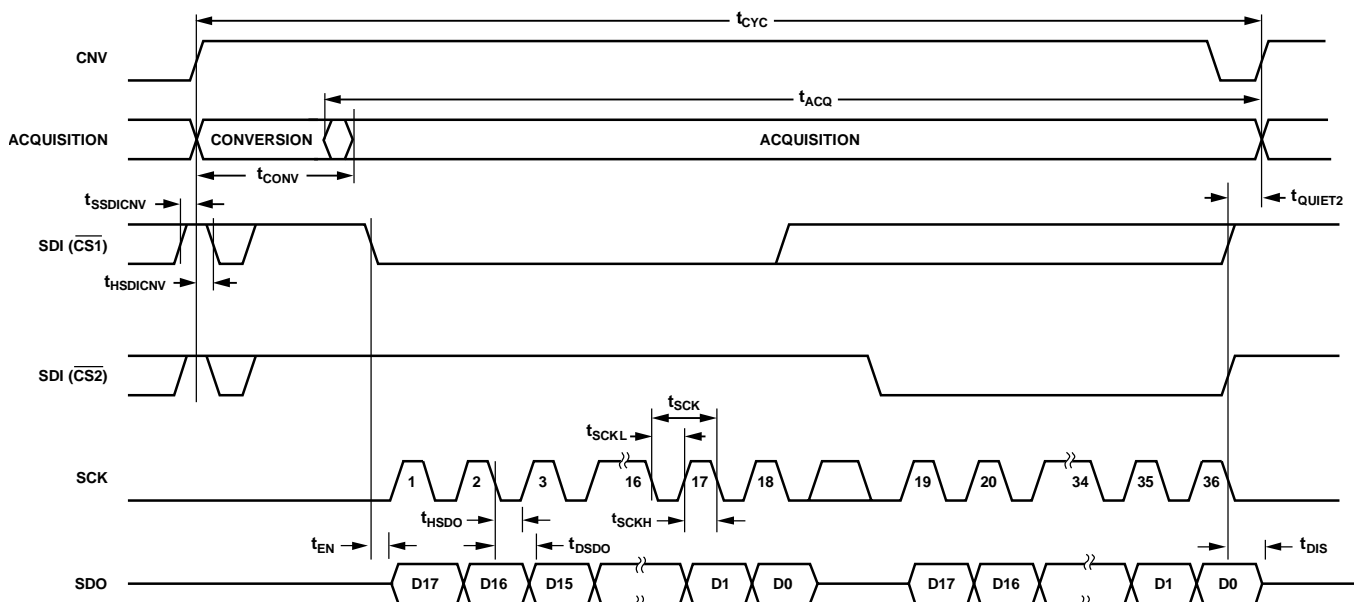


図 62. CS モード、4 線式シリアル・インターフェース（ビジー・インジケータなし）のタイミング図

デジチェーン・モード

3線式または4線式のシリアル・インターフェース上に複数のAD4003/AD4007/AD4011デバイスをデジチェーン接続するには、このモードを使用します。この機能は、絶縁された複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムなどで、部品数と配線数を削減するうえで役立ちます。データのリードバックは、シフト・レジスタの記録と似ています。

2台のAD4003/AD4007/AD4011デバイスを使用する接続図の例を図65に示し、対応するタイミング図を図66に示します。

SDIとCNVがローの場合、SDOはローになります。SCKがローの場合、CNVの立上がりエッジで変換が開始され、デジチェーン・モードが選択されて、ビジー・インジケータが無効になります。このモードでは、変換フェーズと後続のデータ・リードバックの間、CNVがハイに維持されます。変換が完了すると、MSBがSDOに出力され、AD4003/AD4007/AD4011はアクイジション・フェーズに移行して、パワーダウンします。残りのデータ・ビットは内部シフト・レジスタに保存され、後続のSCK立上がりエッジでSDOからクロック出力されます。各ADCで、SDIは内部シフト・レジスタの入力を供給し、SCK立上がりエッジで記録します。デジチェーン出力の各ADCは、MSBファーストでデータを出力します。N個のADCにリ

ードバックするには、 $18 \times N$ 個のクロックが必要です。両方のSCKエッジでデータは有効です。最大変換レートは、合計リードバック時間によって低下します。

デジチェーン・モードでは、各ADCレジスタに書込みを実行できます。タイミング図を図51に示します。このモードでは、CNVをローに維持してSDIラインでデータがクロック入力されるため、4線式動作が必要です。同じコマンド・バイトとレジスタ・データをチェーン全体でシフトして、同じレジスタ値ですべてのADCをプログラムできます。ここで、N個のADCを使用する場合、 $8 \times (N + 1)$ 個のクロックが必要です。最初に、チェーン内の $8 \times (N + 1)$ 個のクロックを使用して最後のADCに書込みを実行します。次に、 $8 \times N$ 個のクロックを使用して最後から2番目のADCに書込みを実行します。その後、チェーン内の最も近いADCに到達するまでこの動作を繰り返し、各ADCにレジスタ値を書き込みます。この場合、コマンドとレジスタ・データ用に16個のクロックが必要です。デジチェーン・モードでは、レジスタ値の読出しを実行できません。ただし、ADCの設定を確認する場合は、6つのステータス・ビットを有効にできます。ステータス・ビットを有効にするには、ADCの結果とチェーン内のADCごとのステータス・ビットをクロック出力するために、6つのクロックが余分に必要です。デジチェーン・モードでは、ターボ・モードを使用できません。

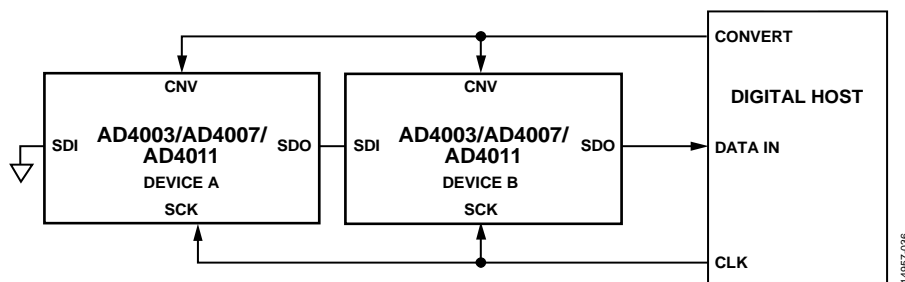


図 65. デジチェーン・モードの接続図

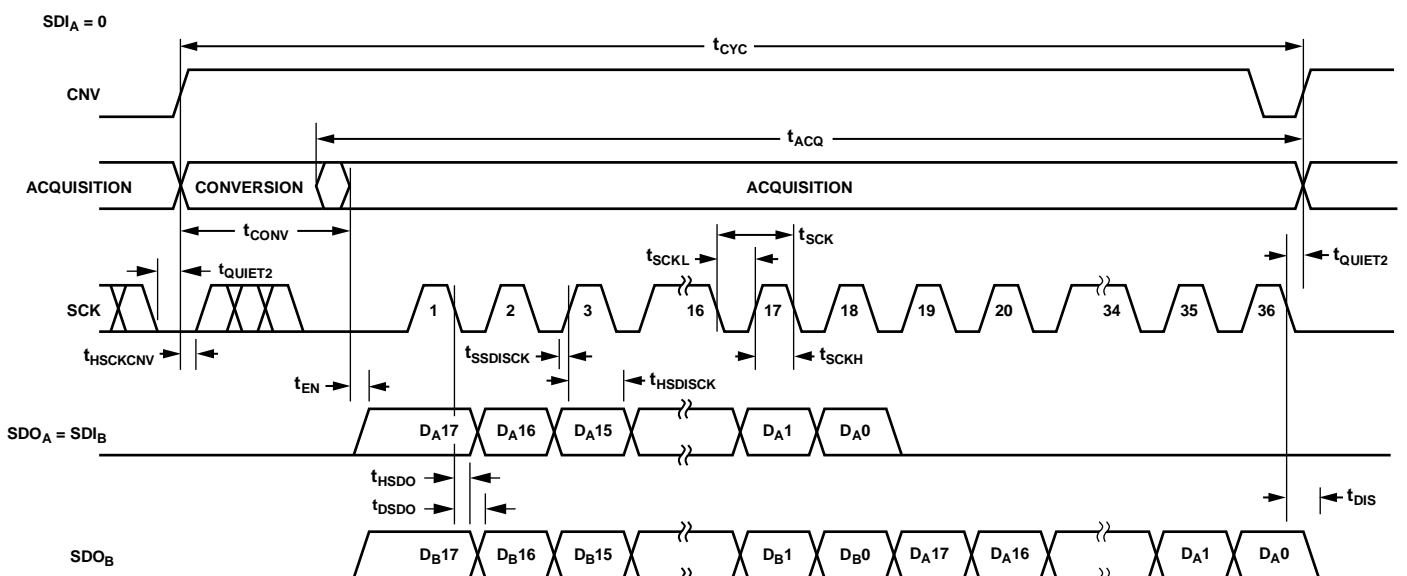


図 66. デジチェーン・モード、シリアル・インターフェースのタイミング図

レイアウトのガイドライン

AD4003/AD4007/AD4011 を実装する基板は、アナログ・セクションとデジタル・セクションを分離し、ボードの特定の領域に収まるように設計する必要があります。

AD4003/AD4007/AD4011 のピン配置では、左側にアナログ信号を配置し、右側にデジタル信号を配置することで、このタスクが容易になります。

AD4003/AD4007/AD4011 の下にグラウンド・プレーンをシールドとして配置する場合を除き、チップにノイズが混入しないよう、デバイスにはデジタル・ラインを配置しないでください。また、CNV やクロックなどの高速スイッチング信号をアナログ信号経路の近くで伝送させないでください。デジタル信号とアナログ信号が交差しないようにします。

グラウンド・プレーンを1つ以上使用する必要があります。デジタル・セクションとアナログ・セクションに共通のプレーンとして使用するか、セクションごとに分割することができます。後者の場合、AD4003/AD4007/AD4011 デバイスの下でプレーンを結合します。

AD4003/AD4007/AD4011 の電圧リファレンス入力 (REF) には、動的入力インピーダンスがあります。リファレンス・デカップリング・セラミック・コンデンサを REF ピンと GND ピンの近く (理想的には真上) に配置し、幅の広い低インピーダンスのパターンに接続することで、最小限の寄生インダクタンスで REF ピンをデカップリングできます。

最後に、AD4003/AD4007/AD4011 の VDD 電源と VIO 電源をデカップリングします。通常、0.1 nF のセラミック・コンデンサを AD4003/AD4007/AD4011 の近くに配置し、短く幅の広いパターンで接続して低インピーダンス経路を作成し、電源ラインでグリッチの影響を減らします。

これらのルールに従って AD4003 をレイアウトした例を図 67 と図 68 に示します。AD4007/AD4011 のレイアウトは AD4003 のレイアウトと同様になります。

AD4003/AD4007/AD4011 の性能評価

AD4003/AD4007/AD4011 に推奨されるその他のレイアウトは、AD4003 の評価用ボード (EVAL-AD4003FMCZ) のマニュアルに記載されています。評価用ボード・パッケージには、組み立てが完了したテスト済みの評価用ボード、マニュアル、ボードを EVAL-SDP-CH1Z 経由で PC 制御するためのソフトウェアが含まれます。EVAL-AD4003FMCZ では、スループットをそれぞれ 1 MSPS と 500 kSPS に限定することにより、AD4007/AD4011 を評価することもできます (UG-1042 参照)。

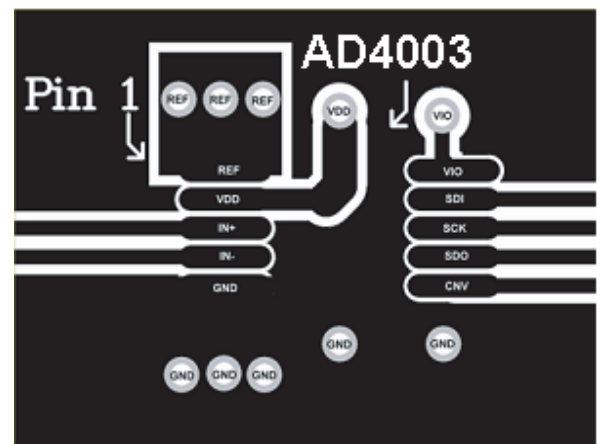


図 67. AD4003 (表面層) のレイアウト例

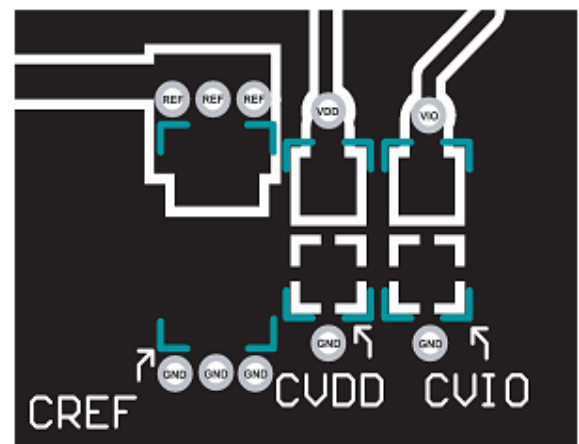


図 68. AD4003 (裏面層) のレイアウト例

外形寸法

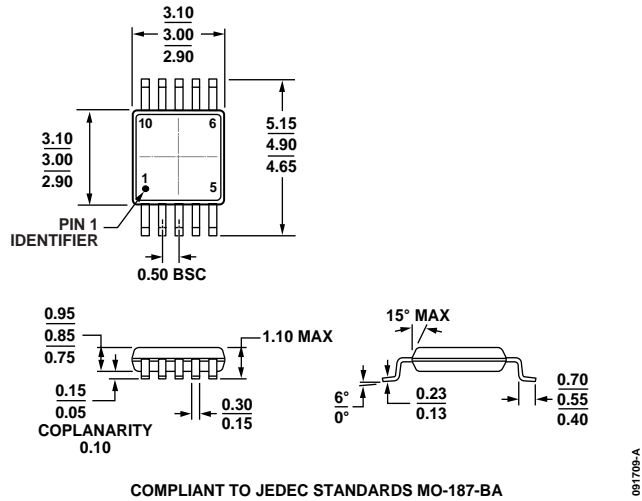


図 69. 10 ピン・ミニ・スモール・アウトライン・パッケージ [MSOP] (RM-10)
寸法: mm

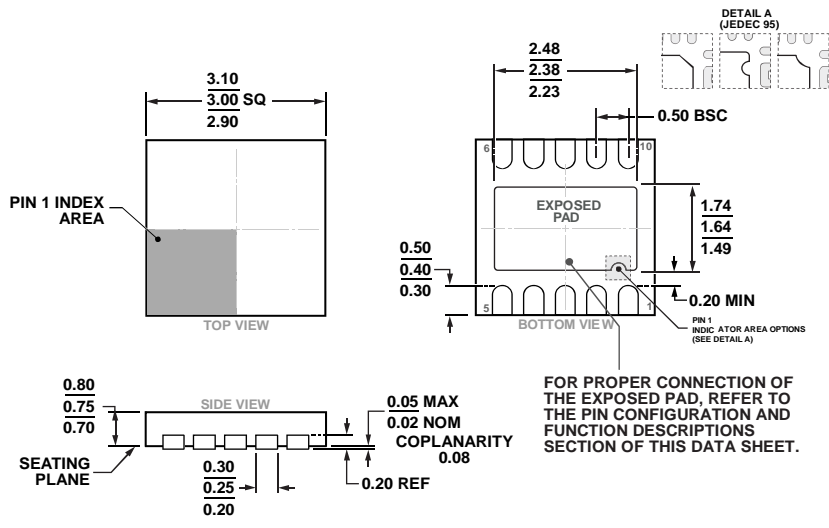


図 70. 10 ピン・リード・フレーム・チップ・スケール・パッケージ [LF CSP] 3 mm x 3 mm ボディ、0.75 mm パッケージ高 (CP-10-9)
寸法: mm

オーダー・ガイド

Model ^{1,2}	Integral Nonlinearity (INL)	Temperature Range	Ordering Quantity	Package Description	Package Option	Branding
AD4003BRMZ	±1.0 LSB	-40°C to +125°C	Tube, 50	10-Lead MSOP	RM-10	C8C
AD4003BRMZ-RL7	±1.0 LSB	-40°C to +125°C	Reel, 1000	10-Lead MSOP	RM-10	C8C
AD4003BCPZ-RL7	±1.0 LSB	-40°C to +125°C	Reel, 1500	10-Lead LFCSP	CP-10-9	C8C
AD4007BRMZ	±1.0 LSB	-40°C to +125°C	Tube, 50	10-Lead MSOP	RM-10	C8R
AD4007BRMZ-RL7	±1.0 LSB	-40°C to +125°C	Reel, 1000	10-Lead MSOP	RM-10	C8R
AD4007BCPZ-RL7	±1.0 LSB	-40°C to +125°C	Reel, 1500	10-Lead LFCSP	CP-10-9	C8R
AD4011BCPZ-RL7	±1.0 LSB	-40°C to +125°C	Reel, 1500	10-Lead LFCSP	CP-10-9	C8V
EVAL-AD4003FMCZ				AD4003 Evaluation Board Compatible with EVAL-SDP-CH1Z		

¹ Z = RoHS 準拠製品。

² EVAL-AD4003FMCZ では、スループットをそれぞれ 1 MSPS と 500 kSPS に設定することにより AD4007 と AD4011 を評価することもできます (UG1042 参照)。