

### 特長

5Vステレオ・オーディオDACシステム  
 16/18/20/24ビット・データ入力可能  
 24ビットで192kHzのサンプル・レートをサポート  
 32、44.1、48、88.2、96、192を含む広域のサンプル・レートに対応  
 アイドル音とノイズ・レベルを低減して、完全な差動直線性を再現するマルチビット モジュレータ  
 高いジッター耐性を備えたデータ直接スクランプリングDAC  
 最適性能を引き出す差動出力  
 Aウェイト、モノラルでのS/N比(ミュートなし):  
 117dB(サンプル・レート48kHz)  
 Aウェイト、ステレオでのS/N比(ミュートなし):  
 114dB(サンプル・レート48kHz)  
 Aウェイト、モノラルでのダイナミックレンジ(ミュートなし):  
 117dB(サンプル・レート48kHz)  
 Aウェイト、ステレオでのダイナミックレンジ(ミュートなし):  
 114dB(サンプル・レート48kHz)  
 THD + N(モノラル・アプリケーション回路): -105dB  
 THD + N(ステレオ): -102dB  
 阻止帯域減衰量: 115dB  
 クリックレス・ボリューム・コントロール内蔵  
 ハード/ソフトウェア制御可能なクリックレス・ミュート  
 シリアル・モード、ビット数、サンプル・レート、ボリューム、ミュート、ディエンファシスをシリアル(SPI)制御  
 サンプル・レート32kHz、44.1kHz、48kHzをデジタル・ディエンファシス処理  
 5つのマスター・クロック周波数をサポートするクロック自動分割回路

フレキシブルなシリアル・データ・ポート: 右詰め、左詰め、I<sup>2</sup>S互換モード、DSPシリアル・ポート・モードが可能  
 28ピンSSOPプラスチック・パッケージ

### アプリケーション

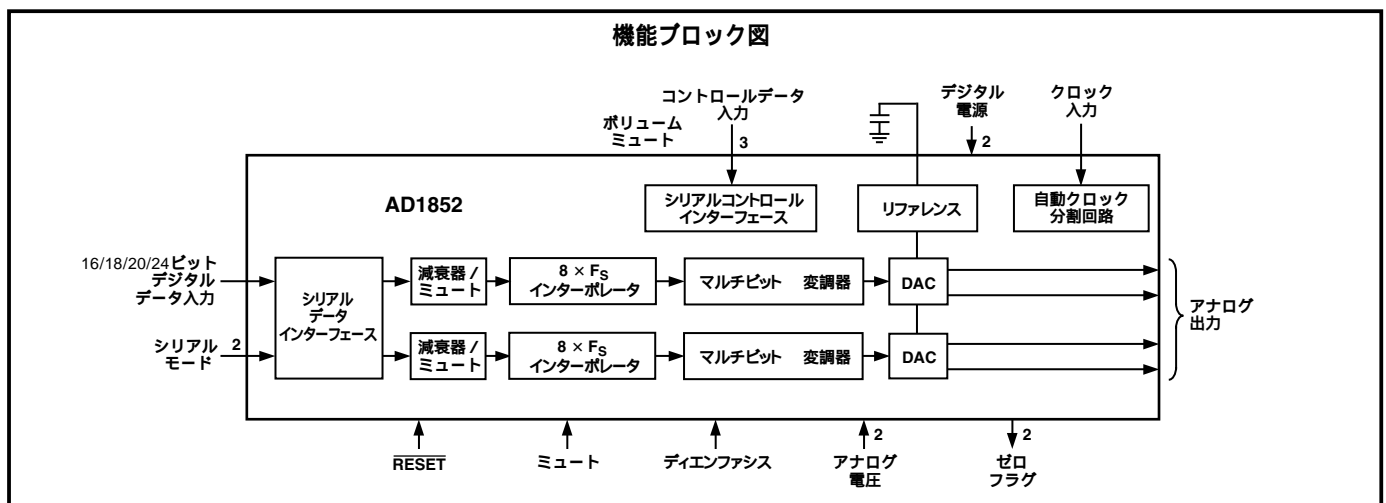
ハイエンド: DVD、CD、ホームシアターシステム、自動車オーディオシステム、サンプリングミュージックキーボード、デジタルミキシング・コンソール、デジタルオーディオエフェクトプロセッサ

### 概要

AD1852は、完全な高性能シングルチップ・ステレオ・デジタル・オーディオ再生システムです。マルチビット モジュレータ、デジタル・インターポレーション・フィルタ、アナログ出力駆動回路で構成されています。その他、SPIコンパチブルのシリアル・コントロール・ポート経由で制御可能なステレオ減衰器、ミュート回路などを備えています。AD1852は、サンプル周波数192kHzと96kHzおよび24ビットを含むすべてのDVDフォーマットに対応しています。また、サンプル・レート32kHzと48kHzでのディエンファシス並びに、“Redbookに規定されたCDディスク再生対応用の50 μs/15 μsデジタル・ディエンファシスに対応して、下位互換性も備えています。

AD1852は非常にシンプルでフレキシブルなシリアル・データ入力ポートを内蔵しており、あらゆるADC、DSPチップ、AES/EBUレシーバ、サンプル・レート・コンバータなどと外部回路なしで接続可能です。左詰め、I<sup>2</sup>S、右詰め、DSPシリアル・ポート互換モードに設定できます。全モードで16、18、20、24ビットをサポートできます。MSB先頭の2の補数のフォーマットのシリアル・オーディオ・データを入力できます。AD1852は、+5V単電源から動作ができ、28ピンSSOPパッケージ・ワンチップ・モノリシックICとして製造され、温度範囲0 ~ 70 °Cで動作できます。

機能ブロック図



\*特許出願中

REV.0

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

# AD1852 - 仕様

特に指示のない限り、以下のテスト条件によります。

電源電圧 ( $AV_{DD}$ 、 $DV_{DD}$ )	5.0V
周辺温度	25
入力クロック	24.576MHz (512 × $F_s$ モード)
入力信号	996.11MHz - 0.5dB フル・スケール
入力サンプル・レート	48kHz
測定帯域幅	20Hz ~ 20kHz
ワード幅	20 ビット
負荷容量	100pF
負荷インピーダンス	47k
入力電圧ハイ	2.4V
入力電圧ロー	0.8V

## アナログ性能 (図を参照)

	Min	Typ	Max	単位
分解能		24		ビット
S/N比 (20Hz ~ 20kHz)				
フィルタなし (ステレオ)		112		dB
(モノラル: 図29参照)		115		dB
Aウェイト、フィルタ付き (ステレオ)		114		dB
(モノラル: 図29参照)		117		dB
ダイナミックレンジ (20Hz ~ 20kHz、-60dB 入力)				
フィルタなし (ステレオ)	107	112		dB
(モノラル: 図29参照)		115		dB
Aウェイト、フィルタ付き (ステレオ)	110	114		dB
(モノラル: 図29参照)		117		dB
総高調波歪み + ノイズ (ステレオ)	- 94	- 102		dB
		0.00079		%
総高調波歪み + ノイズ (モノラル: 図29参照)		- 105		dB
		0.00056		%
総高調波歪み + ノイズ (ステレオ) $V_o = -20$ dB		- 92		dB
総高調波歪み + ノイズ (ステレオ) $V_o = -60$ dB		- 52		dB
アナログ出力				
差動出力レンジ (±フル・スケール)		5.6		Vp-p
各出力ピンでの出力容量			2	pF
帯域外エネルギー ( $0.5 \times F_s \sim 100$ kHz)			- 90	dB
CMOUT		2.37		V
DC精度				
ゲイン誤差	- 10	± 2.0	+ 10	%
チャンネル間ゲイン・ミスマッチ	- 0.15	± 0.015	+ 0.15	dB
ゲイン・ドリフト		150	250	ppm/
DCオフセット		- 50		mV
チャンネル間クロストーク (EIAJ法)		- 120		dB
チャンネル間位相偏差		± 0.1		度
ミュート減衰量		- 100		dB
ディエンファシス・ゲイン誤差			± 0.1	dB

左右のチャンネルの性能は同一です (チャンネル間ゲイン誤差、チャンネル間位相偏差を除く)。仕様は予告なく変更されることがあります。

## デジタル入/出力 (0 ~ 70 )

	Min	Typ	Max	単位
ハイレベル入力電圧 ( $V_{IH}$ )	2.2			V
ローレベル入力電圧 ( $V_{IL}$ )			0.8	V
入力リーク電流 ( $I_{IH}@V_{IH} = 2.4$ V)			10	μ A
入力リーク電流 ( $I_{IL}@V_{IL} = 0.8$ V)			10	μ A
ハイレベル出力電圧 ( $V_{OH}$ ) $I_{OH} = 1$ mA	2.0			V
ローレベル出力電圧 ( $V_{OL}$ ) $I_{OL} = 1$ mA			0.4	V
入力容量			20	pF

仕様は予告なく変更されることがあります。

## 温度範囲

	Min	Typ	Max	単位
仕様保証		25		
性能保証	0		70	
保管	- 55		+ 150	

仕様は予告なく変更されることがあります。

## 電力

	Min	Typ	Max	単位
電源				
電圧 (アナログ/デジタル)	4.50	5	5.50	V
アナログ電流		33	40	mA
アナログ電流 RESET		32	46	mA
デジタル電流		20	30	mA
デジタル電流 RESET		27	37	mA
消費電力				
動作時 (アナログ/デジタル電源)		265		mW
動作時 (アナログ電源)		165		mW
動作時 (デジタル電源)		100		mW
電源除去比				
アナログ電源ピンに 1kHz、300mVp-p 信号		- 60		dB
アナログ電源ピンに 20kHz、300mVp-p 信号		- 50		dB

仕様は予告なく変更されることがあります。

## デジタル・フィルタ特性

サンプル・レート (kHz)	通過帯域 (kHz)	阻止帯域 (kHz)	阻止帯域減衰量 (dB)	通過帯域リップル (dB)
44.1	DC ~ 20	24.1 ~ 328.7	110	± 0.0002
48	DC ~ 21.8	26.23 ~ 358.28	110	± 0.0002
96	DC ~ 39.95	56.9 ~ 327.65	115	± 0.0005
192	DC ~ 87.2	117 ~ 327.65	95	+ 0 / - 0.04 (DC ~ 21.8kHz) + 0 / - 0.5 (DC ~ 65.4kHz) + 0 / - 1.5 (DC ~ 87.2kHz)

仕様は予告なく変更されることがあります。

## 群遅延

チップ・モード	群遅延算出式	$F_s$	群遅延	単位
INT8 × モード	$5553 / (128 \times F_s)$	48kHz	903.8	$\mu s$
INT4 × モード	$5601 / (64 \times F_s)$	96kHz	911.6	$\mu s$
INT2 × モード	$5659 / (32 \times F_s)$	192kHz	921	$\mu s$

仕様は予告なく変更されることがあります。

デジタル・タイミング (0 ~ 70 °C、 $AV_{DD} = DV_{DD} = +5.0V \pm 10\%$  での保証値)

		Min	単位
$t_{DMP}$	MCLK 期間 (FMCLK = $256 \times FL/RCLK$ ) *	54	ns
$t_{DML}$	MCLK ローパルス幅 (全モード)	$0.4 \times t_{DMP}$	ns
$t_{DMH}$	MCLK ハイパルス幅 (全モード)	$0.4 \times t_{DMP}$	ns
$t_{DBH}$	BCLK ハイパルス幅	20	ns
$t_{DBL}$	BCLK ローパルス幅	20	ns
$t_{DBP}$	BCLK 期間	60	ns
$t_{DLS}$	L/RCLK セットアップ	20	ns
$t_{DLH}$	L/RCLK ホールド (DSP シリアル・ポート・モードのみ)	5	ns
$t_{DDS}$	SDATA セットアップ	5	ns
$t_{DDH}$	SDATA ホールド	10	ns
$t_{RSTL}$	RST ローパルス幅	15	ns

\* 内蔵マスター・クロック自動分割機能を用いて、MCLK の周波数をより高く設定できます。

仕様は予告なく変更されることがあります。

# AD1852

## 絶対最大定格\*

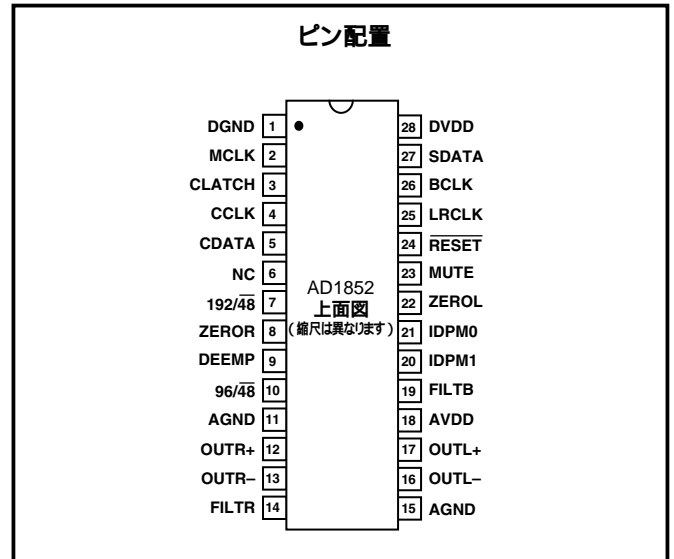
	Min	Max	単位
DV <sub>DD</sub> ~ DGND	- 0.3	6	V
AV <sub>DD</sub> ~ AGND	- 0.3	6	V
デジタル入力	DGND - 0.3	DV <sub>DD</sub> + 0.3	V
アナログ出力	AGND - 0.3	AV <sub>DD</sub> + 0.3	V
AGND ~ DGND	- 0.3	0.3	V
リファレンス		(AV <sub>DD</sub> + 0.3) / 2	V
ハンダ付け		300	秒
		10	

### \*注記

上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

## パッケージ特性

	Min	Typ	Max	単位
J <sub>A</sub> (熱抵抗[接合部~周辺])		109		/W
J <sub>C</sub> (熱抵抗[接合部~ケース])		39		/W



## オーダー・ガイド

モデル	温度	パッケージ	パッケージ・オプション
AD1852JRS	0 ~ 70	28ピン・シュリンク・スモール・アウトライン (SSOP)	RS-28
AD1852JRSRL	0 ~ 70	28ピン・シュリンク・スモール・アウトライン (SSOP)	RS-28 (13インチ・リール)

### 注意

ESD (静電放電) の影響を受けやすいデバイスです。4000V もの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自の ESD 保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切な ESD 予防措置をとるようお奨めします。



## ピン機能説明

ピン	I/O (入/出力)	ピン名	説明
1	I	DGND	デジタル・グラウンド。
2	I	MCLK	マスター・クロック入力。256、384、512、768、1024F <sub>s</sub> で外部クロック・ソースに接続します。
3	I	CLATCH	制御データのラッチ入力。立ち上がりエッジで動作します。
4	I	CCLK	制御データの制御クロック入力。制御入力データは、CCLKの立ち上がりエッジで有効である必要があります。連続入力またはゲート入力が可能。
5	I	CDATA	シリアル制御入力。MSB先頭でチャンネルあたり16ビットの符号なしデータを含んでいます。チャンネル毎の減衰量とミュートの指定に使用します。
6		NC	無接続。
7	I	192/48	サンプル周波数を48kHz (LO) または192kHzから選択します。
8	O	ZEROR	右チャンネルのゼロ・フラグ出力。このピンは右チャンネルに対する入力のない期間が1024LRクロック・サイクルを超えたときにハイとなります。
9	I	DEEMP	ディエンファシス。この入力信号がハイの状態のときにデジタル・ディエンファシスがイネーブルされます。サンプル・レートが44.1kHzの場合、出力オーディオ・スペクトラムに50μs/15μsの応答特性を与えられます。SPIコントロール・レジスタを介してサンプル・レート32、48kHzに対する特性曲線を選択できます。
10	I	96/48	サンプル周波数を48kHz (LO) または96kHzから選択します。
11,15	I	AGND	アナログ・グラウンド。
12	O	OUTR +	右チャンネルの正レベルのアナログ・ライン出力。
13	O	OUTR -	右チャンネルの負レベルのアナログ・ライン出力。
14	O	FILTR	リファレンス・フィルタのコンデンサ接続。並列の10 μFおよび0.1 μFのコンデンサでリファレンスをAGNDに対してバイパスし、デカップリングします。
16	O	OUTL -	左チャンネルの負レベルのアナログ・ライン出力です。
17	O	OUTL +	左チャンネルの正レベルのアナログ・ライン出力です。
18	I	AVDD	アナログ電源。アナログの5V電源に接続します。
19		FILTB	フィルタのコンデンサに接続します。AGND (15ピン) との間に10 μFのコンデンサを接続します。
20	I	IDPM1	入力シリアル・データ・ポート・モード・コントロール1。IDPM0との組み合わせにより、4つのシリアル・モードのうちの1つを選択します。
21	I		IDPM0 入力シリアル・データ・ポート・モード・コントロール0。IDPM1との組み合わせにより、4つのシリアル・モードのうちの1つを選択します。
22	O	ZEROL	左チャンネルのゼロ・フラグ出力。このピンは左チャンネルに対する入力のない期間が1024LRクロック・サイクルを超えたときにハイとなります。
23	I	MUTE	ミュート。ハイで両方のステレオ・アナログ出力をミュートします。通常動作時にはローの状態とします。
24	I	RESET	リセット。AD1852は、この信号の立ち上がりエッジでリセットされます。シリアル制御ポートのレジスタはデフォルト値に設定されます。通常動作時にはハイに接続します。
25	I	L/RCLK	入力データに対するLeft/Rightクロック入力。連続的に動作させる必要があります。
26	I	BCLK	入力データに対するビット・クロック入力。連続して動作させる必要はなく、ゲートまたはバースト状態で使用できます。
27	I	SDATA	シリアル入力。各チャンネルあたり2の補数形式のデータ16/18/20/24ビットの2チャンネルを含むMSB先頭データです。
28	I	DVDD	デジタル電源デジタル5V電源に接続します。

表I. シリアル・データ入力モード

IDPM1(20ピン)	IDPM0(21ピン)	シリアル・データ入力フォーマット
0	0	右詰め
0	1	I <sup>2</sup> Sコンパチブル
1	0	左詰め
1	1	DSP

# AD1852

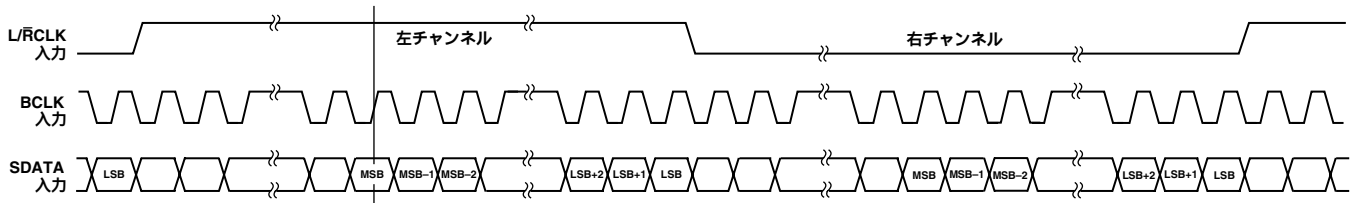


図1 右詰めモード

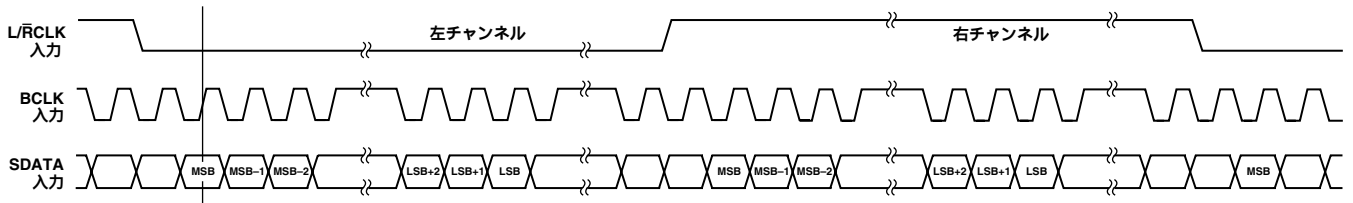


図2 I²Sモード

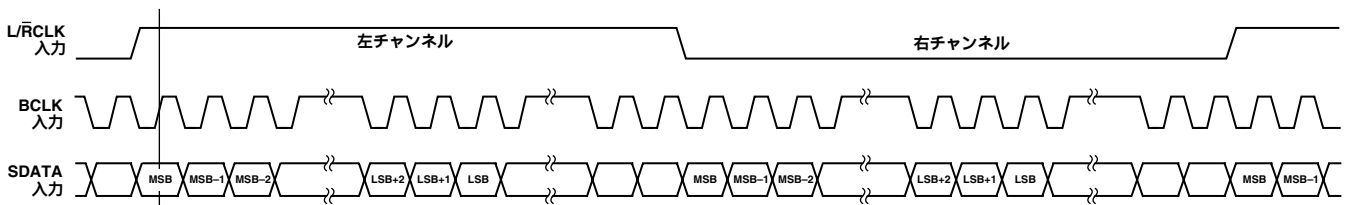


図3 左詰めモード

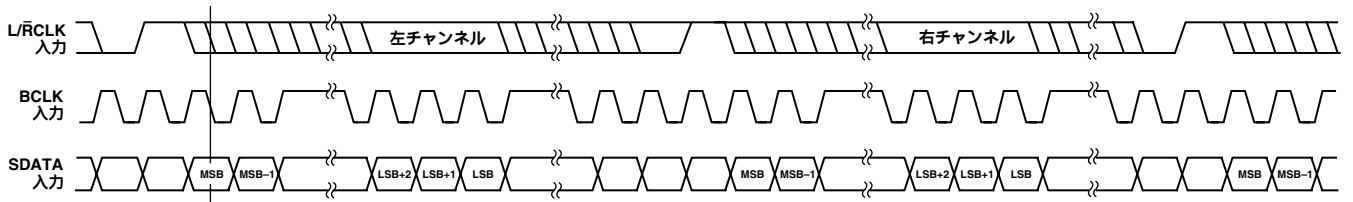


図4 左詰めDSPモード

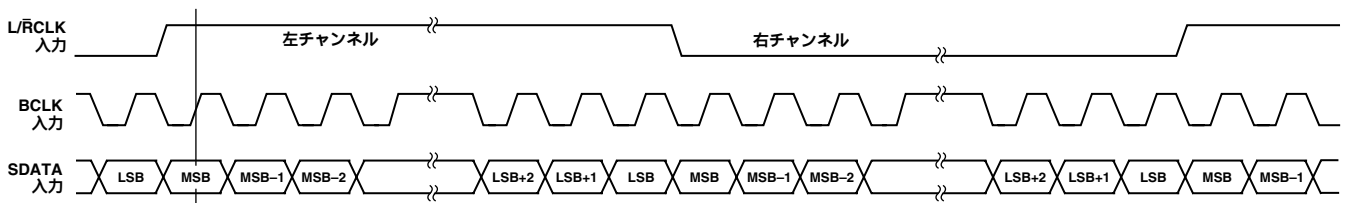


図5  $32 \times F_s$  パック・モード

## 動作特性

### シリアル・データ入力ポート

AD1852のフレキシブルなシリアル・データ入力ポートは、データを2の補数、MSB先頭フォーマットで入力できます。左チャンネルのデータ・フィールドは常に右チャンネルのデータ・フィールドに先行します。シリアル・モードは、外部モード・ピン (IDPM021, IDPM120ピン) またはSPIコントローラ・レジスタのモード選択ビット (ビット4, 5) によって設定します。外部モード・ピンを使ってシリアル・モードの制御を行う場合には、SPIのモード選択ビットを $\alpha$ 電源投入時のデフォルト値に設定してください。SPIのモード選択ビットを使ってシリアル・モードの制御を行う場合には、外部モード制御ピンをグラウンドに接続してください。

シリアル・ポートは、右詰めモードを除く全モードで、24ビットまでの任意のビット数を入力できます。より多くのビットが入力された場合でも、エラーは発生しませんが、内部で切り捨てられます。右詰めモードでは、コントローラ・レジスタのビット8, 9によって、ワード長が16/20/24ビットに設定されます。電源投入時のデフォルト状態では、24ビット・モードに設定されます。SPI制御ポートが使用されない場合、SPIのピン (3, 4, 5) をローレベルに接続してください。

### シリアル・データ入力モード

AD1852では、2つのマルチプレクスされた入力ピンを使って、入力データ・ポート・モードのモード設定を制御します。表1を参照してください。

図1に右詰めモードを示します (16ビットを表示)。L/RCLKは左チャンネルに対してハイ、右チャンネルに対してローとなっています。データはBCLKの立ち上がりエッジで有効となります。

通常の動作では、フレームあたり64ビット (または、フレームの半分に対して32ビット) のクロックが存在します。SPIのワード長制御ビット (コントローラ・レジスタのビット8, 9) が24ビット (0:0) に設定されている場合、シリアル・ポートはL/RCLKの遷移後の8番目のビット・クロック・パルスからデー

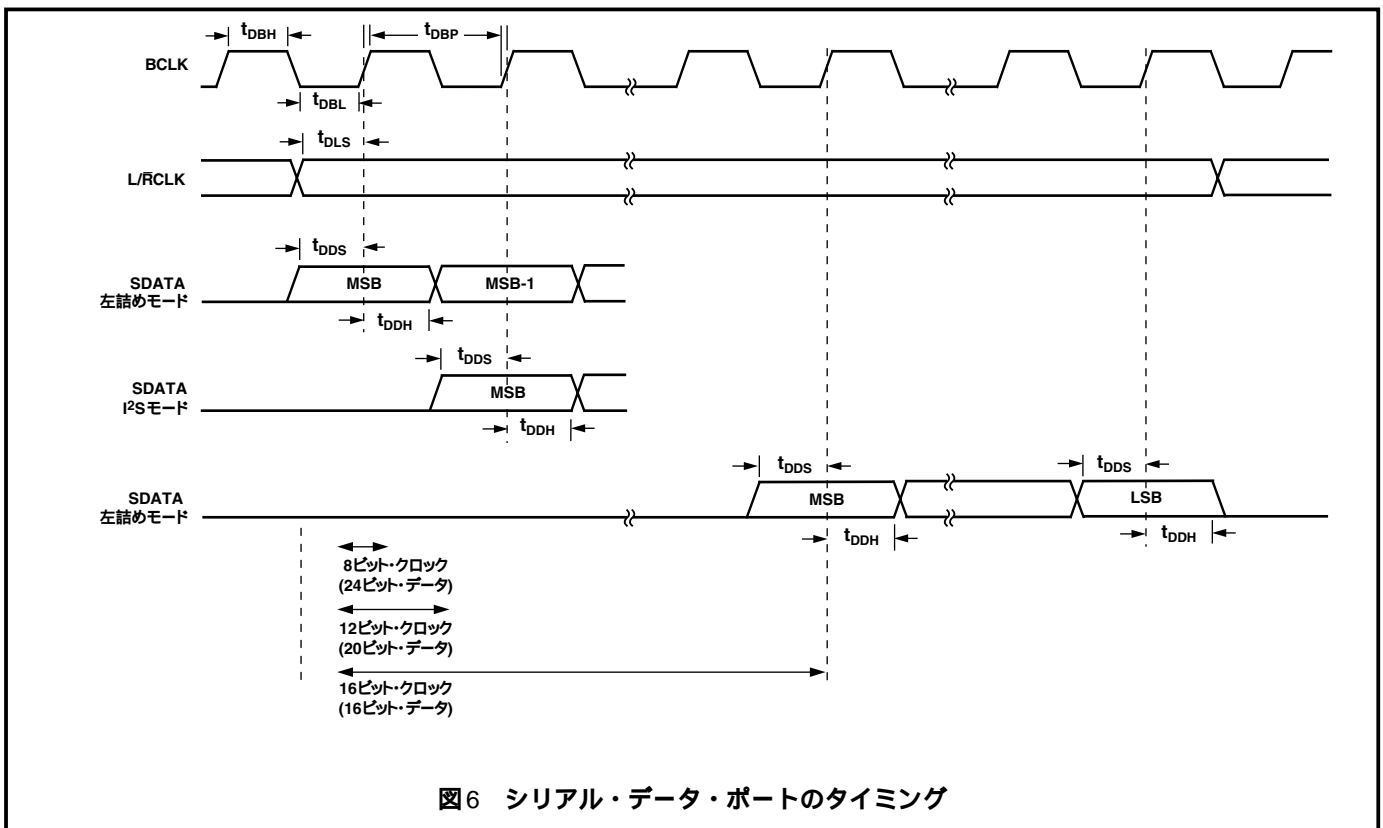
タの受け入れを開始します。ワード長制御ビットが20ビット・モードに設定されている場合、12番目のビット・クロックの位置からデータの受け入れを開始します。16ビット・モードでは、16番目のビット・クロックの位置からデータの受け入れを開始します。これらの遅延は、フレームあたりのビット・クロック数とは無関係なので、上記の遅延の値を用いて他のデータ・フォーマットを使用することもできます。タイミングの詳細については、図6を参照してください。

図2にI<sup>2</sup>Sモードを示します。L/RCLKは、左チャンネルに対してロー、右チャンネルに対してハイとなっています。データはBCLKの立ち上がりエッジで有効となります。MSBはL/RCLKの遷移に対して左詰めされますが、1 BCLK期間の遅延を伴います。I<sup>2</sup>Sのモードでは、24ビットまでの任意のビット数を扱うことができます。

図3に左詰めモードを示します。L/RCLKは、左チャンネルに対してハイ、右チャンネルに対してローとなっています。データは、BCLKの立ち上がりエッジで有効となります。MSBはL/RCLKの遷移に対して左詰めされ、MSBの遅延はありません。左詰めモードでは、24ビットまでの任意のワード長の取り扱いが可能であり、フレームあたり64ビットのクロックのワード長の2倍以上の任意のビット・クロック数を扱えます。

図4にDSPシリアル・ポート・モードを示します。L/RCLKは、左チャンネルのMSBが有効となる前に少なくとも1ビット・クロックの期間にわたって、ハイ状態のパルスとして保持される必要があり、また、右チャンネルのMSBが有効となる前に少なくとも1ビット・クロックの期間にわたって、再びハイ状態のパルスとして保持される必要があります。データはBCLKの立ち下りエッジで有効となります。DSPシリアル・ポート・モードは、24ビットまでの任意のワード長で使用できます。

このモードでは、最初のL/RCLKパルスによって左側のデータが転送される点、およびこの時点から同期が保持されることをDSPによって確認する必要があります。



# AD1852

表 II.

チップ・モード	使用可能なマスター・クロック周波数	公称入力 サンプル・レート	内部 データ・ クロック・レート
INT8 × モード	$256 \times F_s$ , $384 \times F_s$ , $512 \times F_s$ , $768 \times F_s$ , $1024 \times F_s$	48kHz	$128 \times F_s$
INT4 × モード	$128 \times F_s$ , $192 \times F_s$ , $256 \times F_s$ , $384 \times F_s$ , $512 \times F_s$	96kHz	$64 \times F_s$
INT2 × モード	$64 \times F_s$ , $96 \times F_s$ , $128 \times F_s$ , $192 \times F_s$ , $256 \times F_s$	192kHz	$32 \times F_s$

AD1852では、MSBがL/RCLKの遷移に対しては左詰め、L/RCLKの逆方向の遷移に対しては右詰めされる $32 \times F_s$ のBCLK周波数の“パック・モード”を使用できることに注目してください。L/RCLKは、左チャンネルに対してハイ、右チャンネルに対してローとなります。データはBLCKの立ち上がりエッジで有効となります。パック・モードは、AD1852が右/左詰めモードに設定されているときに使用できます。パック・モードを図5に示します。

### マスター・クロック自動分割機能

AD1852は、マスター・クロックと入力されるシリアル・データの間を自動検出する回路を備えており、インターポレータと変調器を動作させる適正な分割比を内部設定します。各モードに対して使用可能な周波数は表IIの通りです。マスター・クロックはL/RCLKと同期させておく必要がありますが、マスター・クロックとL/RCLK間の位相の関係は問題となりません。

### SPIレジスタの定義

SPIポートにより、多くのチップ・パラメータを柔軟に制御できます。これは、左チャンネル・ボリューム・レジスタ、右チャンネル・ボリューム・レジスタ、コントロール・レジスタにより構成されています。AD1852のSPIコントロール・レジスタに対する1回の書き込み動作には、MSB先頭のフォーマットによる16ビットのシリアル・データが必要とされます。下位2ビットにより、3つのレジスタの中から1つが選択され、上位14ビットが選択されたレジスタに書き込まれます。これにより、1回の16ビット・データ転送により、3つのレジスタのうちの1つに書き込みが行えます。

SPIのCCLK信号は、データのクロック入力に使用されます。入力データは、この信号の立ち下りエッジで変化させる必要があります。16 CCLK期間の後に、データをAD1852に内部的にクロック入力させるために、CLATCH信号を立ち上げる必要があります。

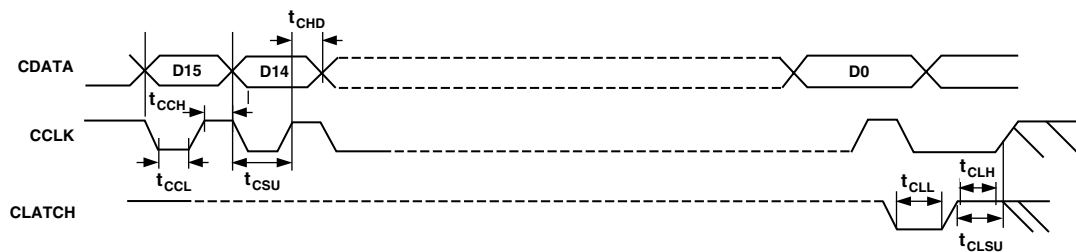


図7 シリアル制御ポートのタイミング



表III. SPI デジタル・タイミング

		Min	単位
$t_{CCH}$	CCLK ハイパルス幅	40	ns
$t_{CCL}$	CCLK ローパルス幅	40	ns
$t_{CSU}$	CDATA セットアップ・タイム	10	ns
$t_{CHD}$	CDATA ホールド・タイム	10	ns
$t_{CLL}$	CLATCH ローパルス幅	10	ns
$t_{CLH}$	CLATCH ハイパルス幅	10	ns
$t_{CLSU}$	CLATCH セットアップ・タイム	$4 \times t_{MCLK}$	ns

## レジスタ・アドレス

入力ワード16ビットの下位2ビットは、以下のようにデコードされて上位14ビットの書き込まれるレジスタを設定します。

## ボリューム左およびボリューム右レジスタ

左 / 右のボリューム・レジスタへの書き込み動作により AD1852 の“自動ランプ”クリックレスなボリューム・コントロール機能が動作します。この機能は以下のように動作します。ボリューム・コントロール・ワードの上位10ビットは、入力サンプル・レートに等しい量だけ、1ビットずつインクリメント/デクリメントされます。下位4ビットは自動ランプの回路には入力されないため、直ちに効力を生じます。この構成により、60dBを超えるステップ変化に対する最悪のランプ・タイムとして20msが確保されており、ボリュームが大きく変動しても“クリック”音の発生を防止できるように最適化されていることが、試験試験で確認されています。図8に、時間数によるボリューム変化を図解します。

14ビットのボリューム・コントロール・ワードは信号の乗算に使用されるため、制御特性は直線となり、dB単位での変化にはなりません。一定のdB / ステップの特性を得るためには、SPIポートに書き込みを行うマイクロプロセッサでルックアップ・テーブルを使用して可能になります。ボリューム・ワードは、符号なしです（例えば、0dBは11 1111 1111 1111となります）。

表IV.

ビット 1	ビット 0	レジスタ
0	0	左ボリューム
1	0	右ボリューム
0	1	コントロール・レジスタ

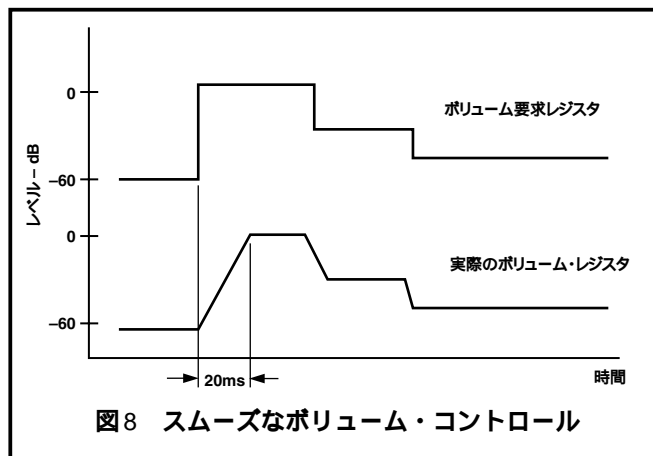


図8 スムーズなボリューム・コントロール

## SPI タイミング

SPIポートは、シリアル・データ（CDATA）、シリアル・ビット・クロック（CCLK）、データ・ラッチ（CLATCH）の、3線式インターフェースです。データは、CCLKの立ち上がりエッジに内部シフト・レジスタにクロック入力されます。シリアル・データは、CCLKの立ち下りエッジで変化する必要があります。CCLKの立ち上がりエッジで安定している必要があります。CLATCHの立ち上がりエッジは、シリアル/パラレル・コンバータからのパラレル・データを内部ラッチするために使用されます。この立ち上がりエッジは、16ビットのフレームの最後のCCLKパルスの立ち下りエッジに同期している必要があります。CCLKはデータ転送の間、連続動作できます。

シリアル制御ポートのタイミングは、シリアル・データ・ポートのタイミングに同期していないことにご注意ください。減衰レベルの変更は、図7のCLATCH書き込みパルスに続くL/RCLKパルスの次のエッジで更新されます。

## ミュート

AD1852では、アナログ出力をミュートするための2種類の方法が用意されています。MUTE（23ピン）信号をハイにして、左右の両チャンネルがミュートされます。その他には、シリアルコントロール・レジスタ（データ11）をハイにする方法があります。AD1852は、ゲインを自動的に“ランプ”することによって、ミュート/非ミュート切り替え時のポップとクリックを最小に抑えるように設計されています。非ミュート時には、ボリュームはボリューム・レジスタに設定された値に戻ります。

# AD1852

ビット 11	ビット 10	ビット 9 ~ 8	ビット 7	ビット 6	ビット 5 ~ 4	ビット 3 ~ 2
INT2 x モード 7ピンとの OR 処理 (192/48) デフォルト値 = 0	INT4 x モード 10ピンとの OR 処理 (96/48) デフォルト値 = 0	右詰めシリアル・モードのビット数 0:0 = 24 0:1 = 20 1:0 = 16 デフォルト値 = 0:0	リセット デフォルト値 = 0	ソフト・ミュート、ピンとの OR 処理 デフォルト値 = 0	シリアル・モードでのモード・ピンとの OR 処理 IDPM1:IDPM0 0:0 右詰め 0:1 I <sup>2</sup> S 1:0 左詰め 1:1 DSP モード デフォルト値 = 0:0	ディエンファシス・フィルタ選択 0:0 フィルタ無し 0:1 44.1kHz フィルタ 1:0 32kHz フィルタ 1:1 48kHz フィルタ デフォルト値 = 0:0

## コントロール・レジスタ

表 V にコントロール・レジスタの機能を示します。コントロール・レジスタは、16 ビット SPI ワードの下位 2 ビットを '01' としてアドレスします。それから上位 14 ビットがコントロール・レジスタで使用されます。

## ディエンファシス

AD1852 は、“redbook”に規定された 50  $\mu$ s/15  $\mu$ s のエンファシス応答曲線によってエンコードされた CD のデコードに用いられるディエンファシス・フィルタを内蔵しています。サンプル・レート 32、44.1、48kHz の 3 つの応答曲線が利用可能です。外部の“DEEMP”ピン(9ピン)によって、44.1kHz のディエンファシス・フィルタを動作させられます。コントロール・レジスタの制御ビット 2 および 3 に書き込みを行うことにより、他のフィルタも選択できます。SPI ポートがディエンファシス・フィルタの制御に使用されている場合には、外部の DEEMP ピンをローレベルに接続しておいてください。

## 出力インピーダンス

AD1852 の出力インピーダンスは、65  $\pm$  30% です。

## リセット

AD1852 は、専用のハードウェア・ピン(  $\overline{\text{RESET}}$ 、24 ピン )を使用するか、SPI 制御ポート経由でのソフトウェア制御によりリセッ

トできます。リセットのアクティブ中は、AD1852 の通常動作は中断され、出力はスケール中央の値となります。AD1852 は、パワーアップの度にリセットする必要があります。RESET 機能は、少なくとも 64 マスター・クロック期間にわたってアクティブにしてください。リセット機能が非アクティブになると、群遅延に 3 MCLK 期間を加算した遅延の後に、通常の動作が継続します。

$\overline{\text{RESET}}$  ピンを使用して、 $\overline{\text{RESET}}$  ピンがアクティブ・ロー状態の場合、内部レジスタはデフォルト値に設定されます。次に  $\overline{\text{RESET}}$  ピン入力の立ち上がり、デフォルト状態での動作がイネーブルされます。また、内部のコントロール・レジスタのビット 7 をハイに設定して、内部レジスタがデフォルト値にリセットされます。ビット 7 がローにリセットされている場合には、デフォルトの動作が継続します。ソフトウェア・リセットは、SPI レジスタに格納された値に影響を与えないという点が、ハードウェア・リセットとの違いです。

## コントロール信号

IDPM0 と IDPM1 の各コントロール入力は、通常はハイまたはローに接続されて AD1852 の動作状態を確立します。これらは、ダイナミックに( L/RCLK とマスター・クロックに非同期で )変更できますが、シリアル・モードを変更する際にクリックまたはポップ音を発生することがあります。可能な場合には、モードの変更を行う前に AD1852 をミュートしておいてください。

図9～14に、デジタル・インターポレーション・フィルタの周波数応答の計算値を示します。図15～26にAudio Precision System 2 Cascadeを使って測定された、AD1852の動作特性を示します。広帯域に対するグラフを示すために、グラフに示されたノイズ・フロアは実際のAD1852のノイズ・フロアよりも

高くなっています。これは、Audio Precision測定システムで用いられている“広帯域の”A/Dコンバータによる高いノイズ・フロアによるものです。図17に示す2トーン・テストは、相互変調歪みを測定するためのSMPTE規格に基づきます。

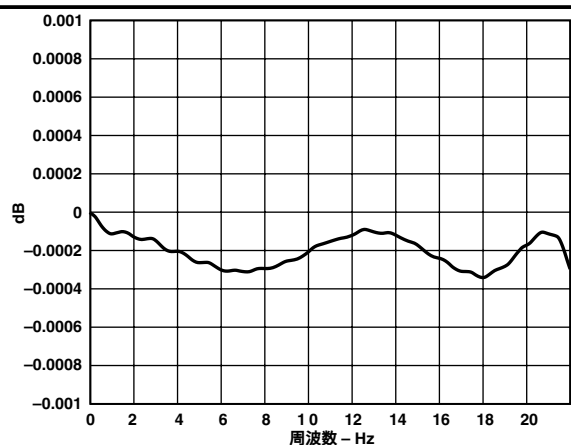


図9 8×モード、サンプル・レート48kHzでの通過帯域応答

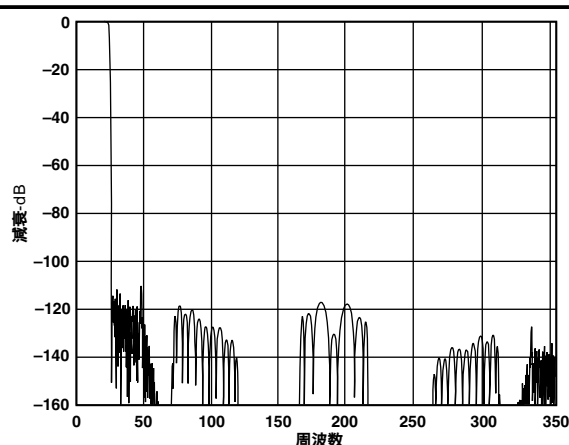


図12 8×モード、サンプル・レート48kHzでの総合応答

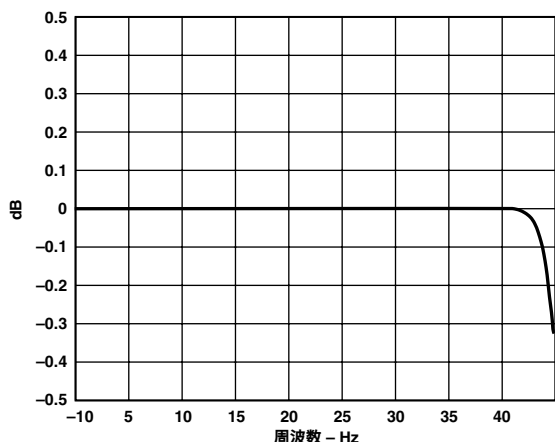


図10 4×モード、サンプル・レート96kHzでの44kHz通過帯域応答

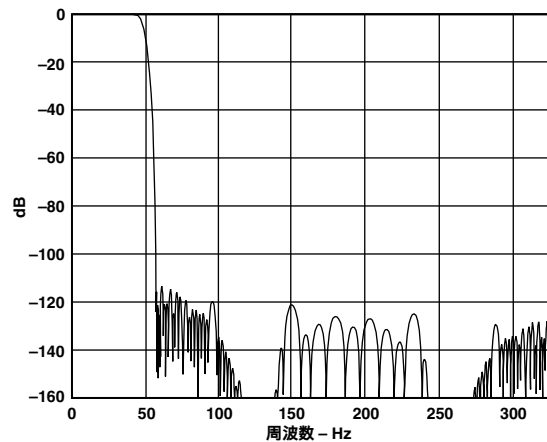


図13 4×モード、サンプル・レート96kHzでの総合応答

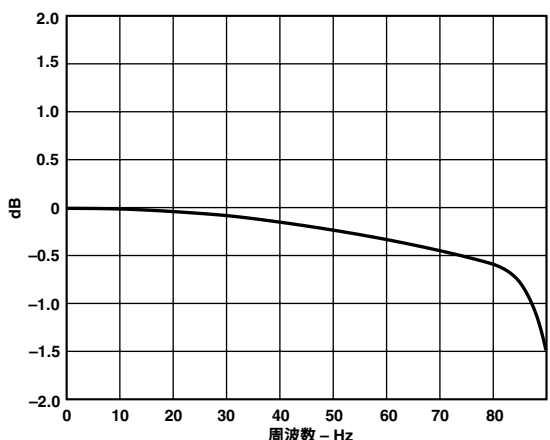


図11 2×モード、サンプル・レート192kHzでの88kHz通過帯域応答

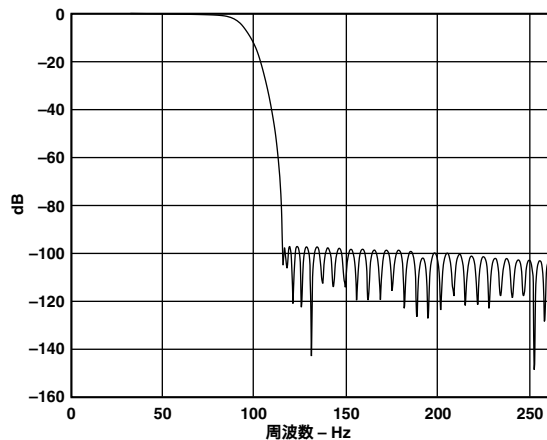


図14 2×モード、サンプル・レート192kHzでの総合応答

# AD1852

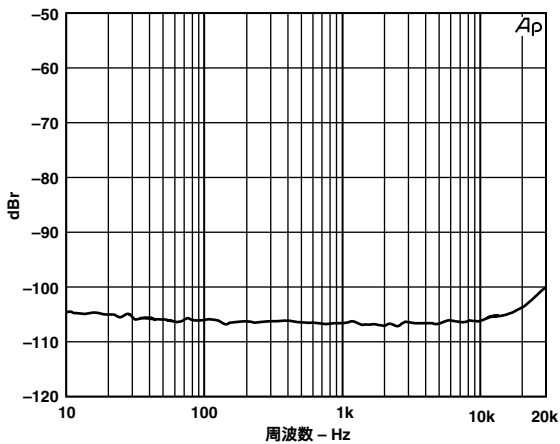


図 15 THD 対 周波数入力 ( - 3dBFS、SR 48kHz )

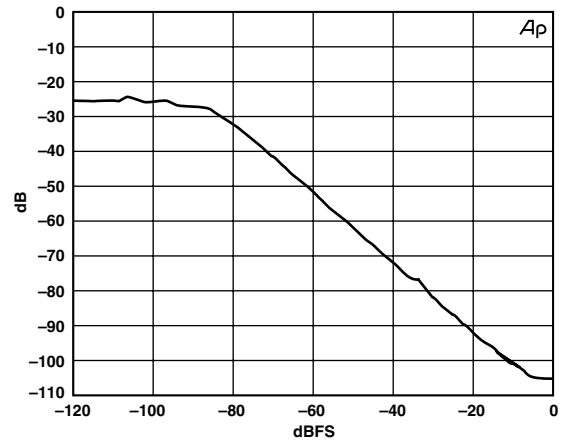


図 18 THD + N 対 1kHz 振幅入力 ( SR 48kS/s、24 ビット )

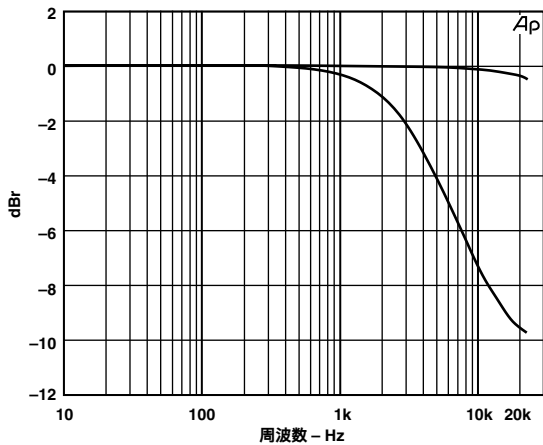


図 16 通常のディエンファシス周波数応答入力 ( - 10dBFS、SR 48kHz )

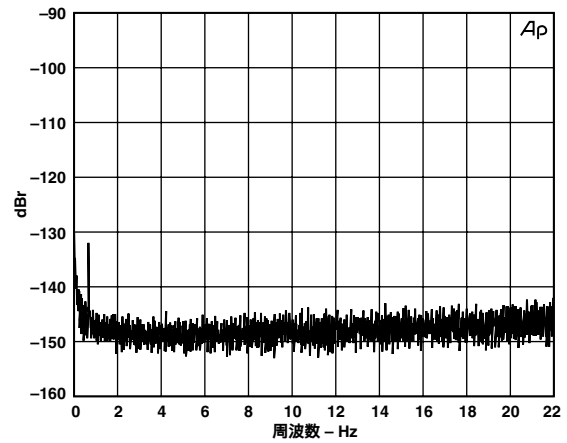


図 19 ノイズ・フロア (ゼロ入力、SR 48kHz)

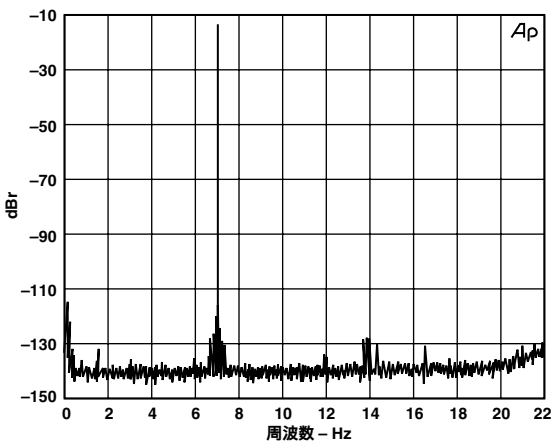


図 17 SMPTE/DIN 4 : 1 IMD 60Hz/7kHz ( 0dBFS )

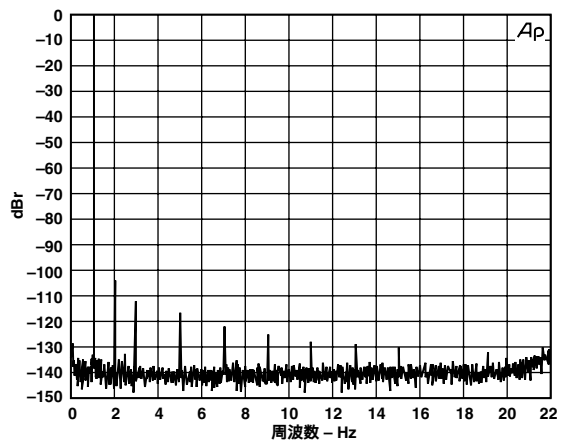


図 20 0dBFS 入力 ( 1kHz、帯域幅 10Hz ~ 22kHz、SR 48kHz )

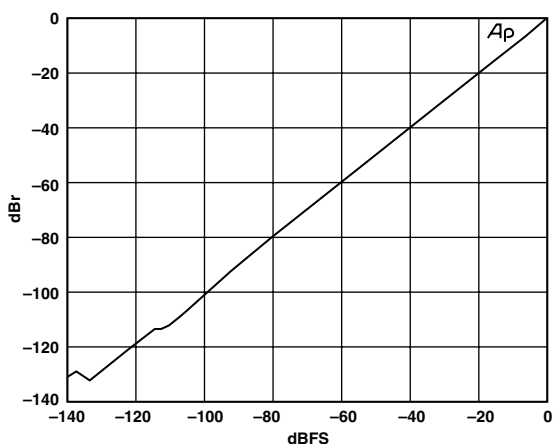


図 21 直線性 対 振幅入力(200Hz, SR 48kS/s, 24 ビット・ワード)

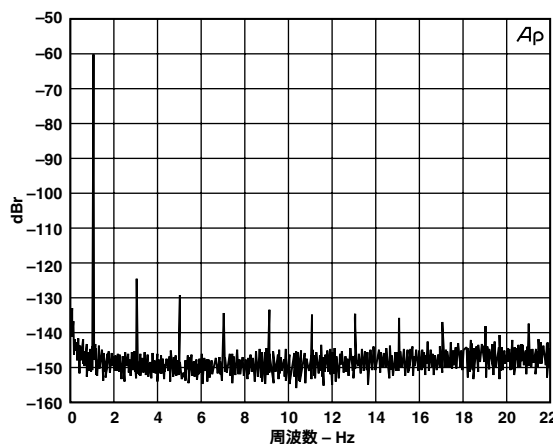


図 24 ダイナミックレンジ(1kHz@ -60dBFS、三角波ディザ入力)

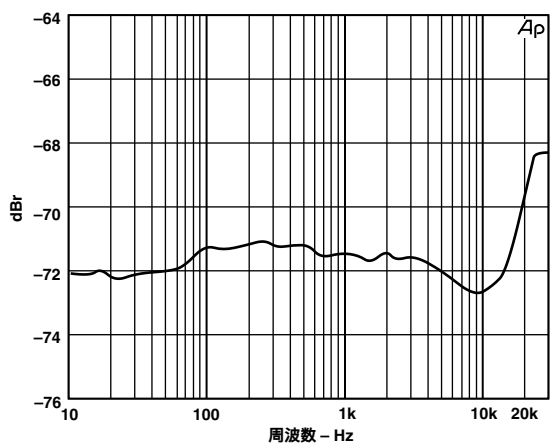


図 22 電源除去比 対 周波数 ( $AV_{DD} = 5V, DC + 100mVp-p AC$ )

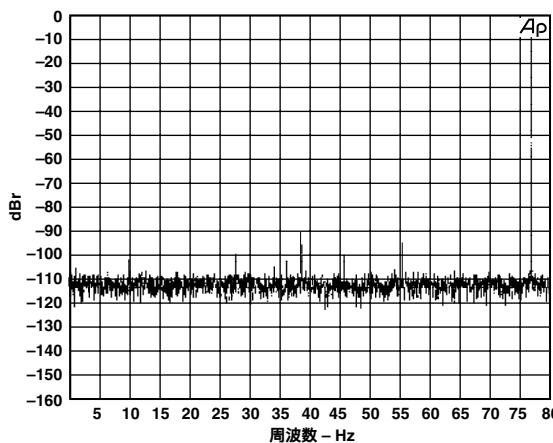


図 25 75kHz 入力での広帯域プロット(2 × インターポレーション, SR 192kHz)

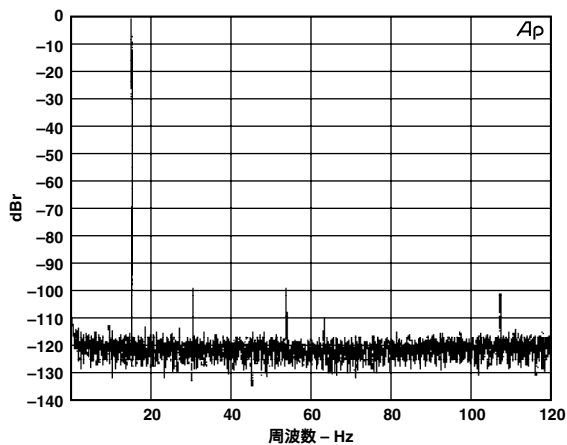


図 23 15kHz 入力での広帯域プロット(8 × インターポレーション, SR 48kHz)

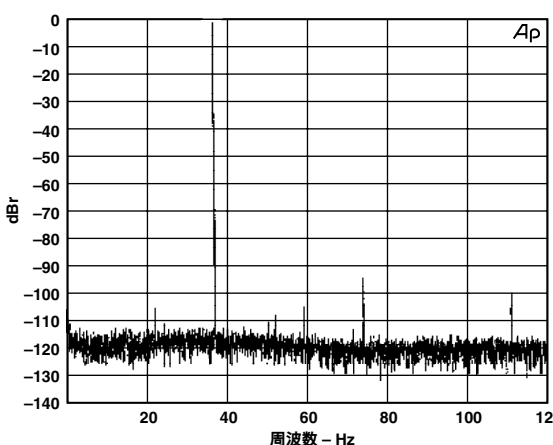
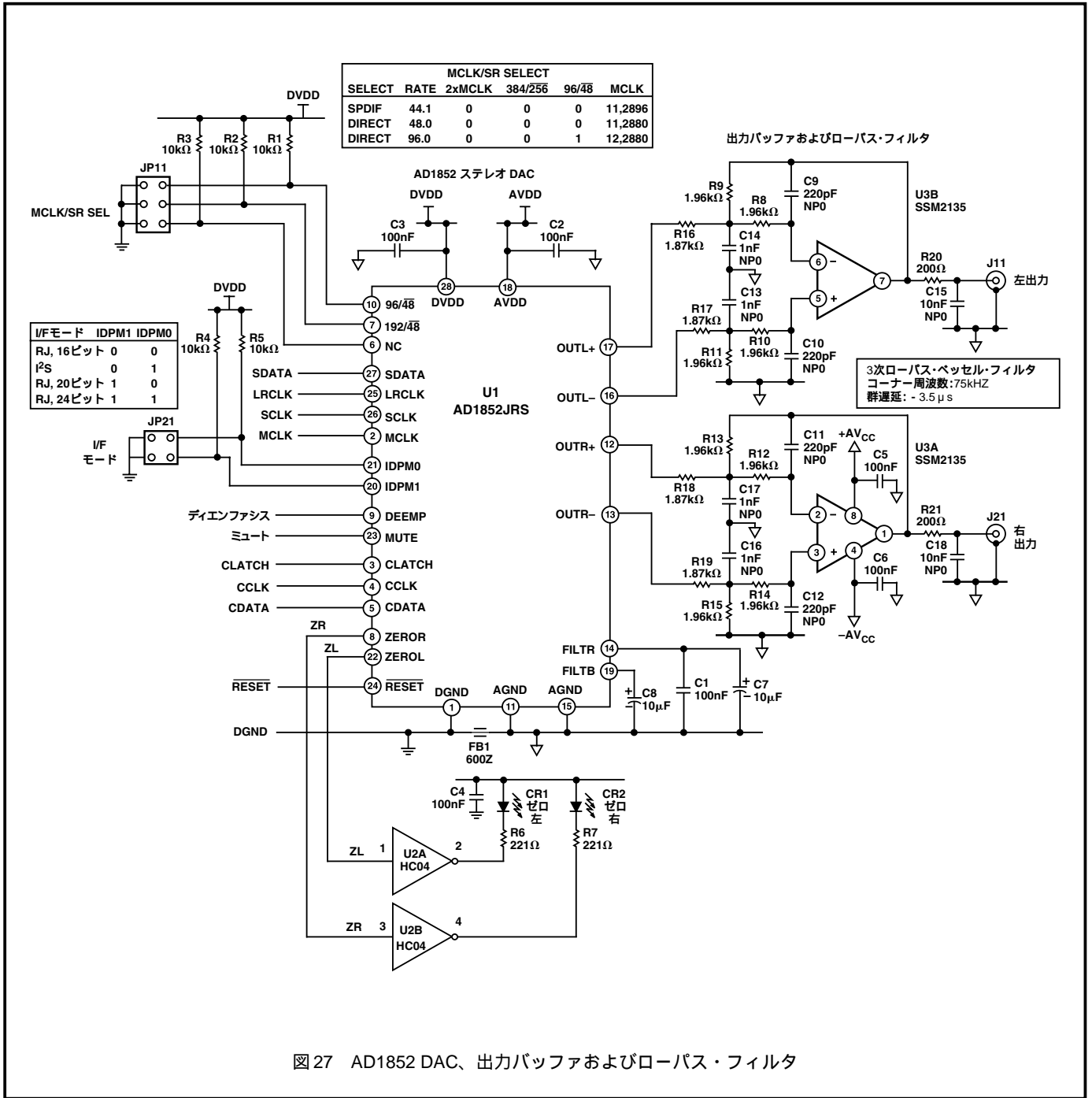


図 26 37kHz 入力での広帯域プロット(4 × インターポレーション, SR 96kHz)

# AD1852



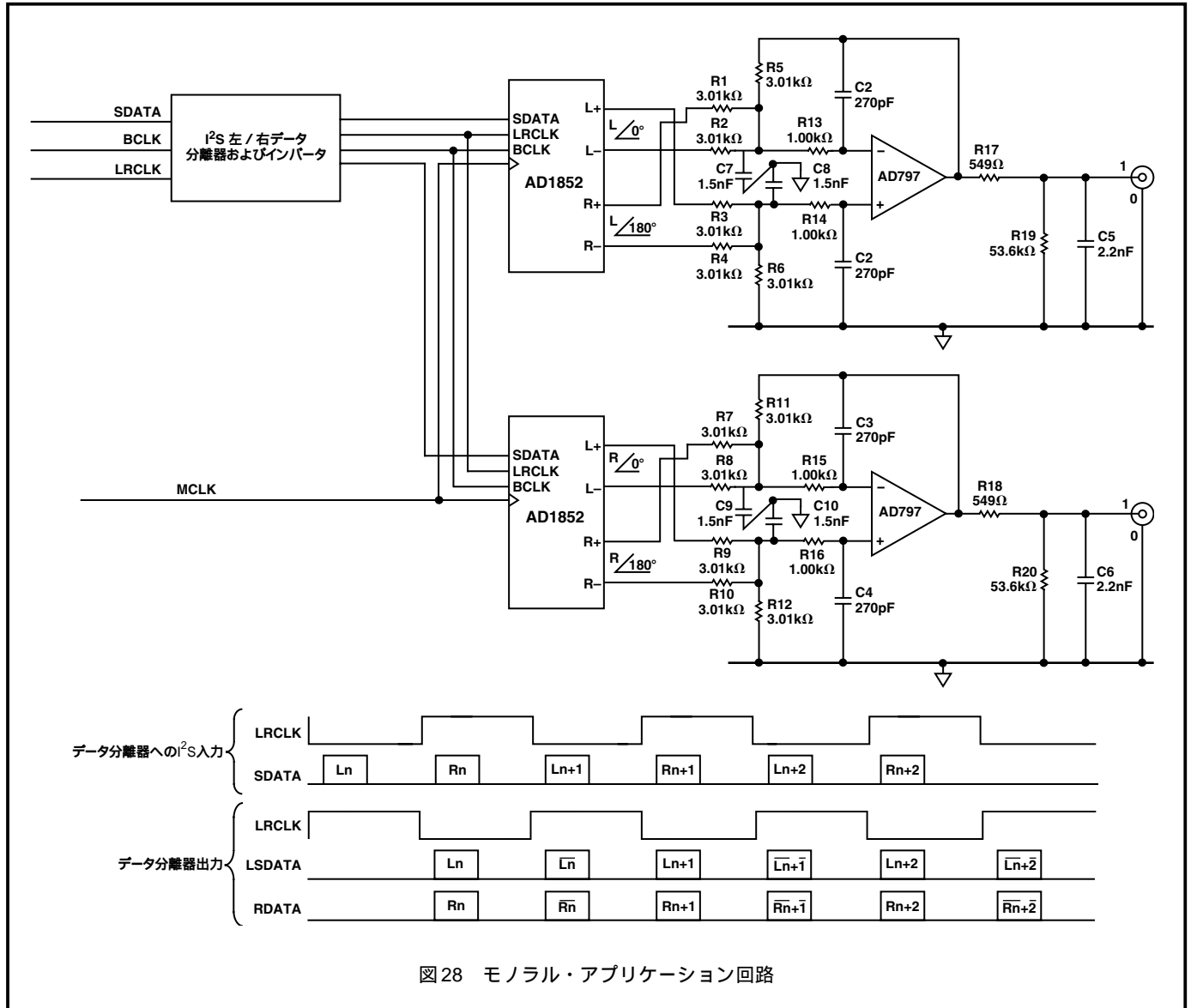


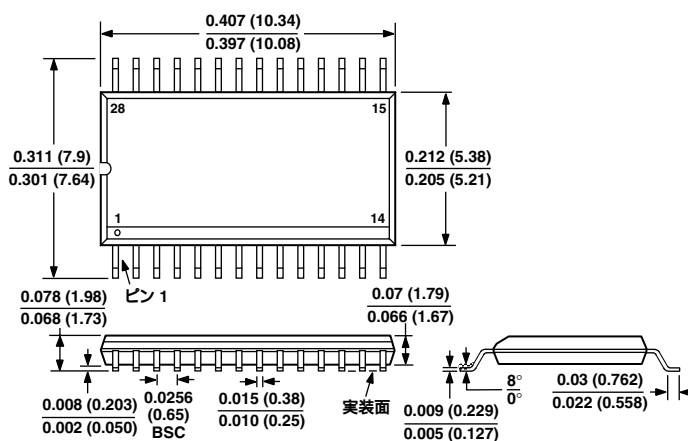
図 28 モノラル・アプリケーション回路

# AD1852

## 外形寸法

サイズはインチと (mm) で示します。

28 ピン・シュリンク・スモール・アウトライン・パッケージ(SSOP)  
(RS-28)



D51159-2.7-4/00,1A

PRINTED IN JAPAN

