



テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は支援は <http://www.analog.com/jp/CN0405> をご覧ください

接続または参考にしたデバイス

AD5116	デジタル・ポテンションメータ、シングル・チャンネル、64 ポジション、プッシュボタン操作、不揮発性メモリ、抵抗誤差 8%
ADCMP371	汎用コンパレータ、プッシュプル出力段付き
ADP121	150 mA、低静止電流の CMOS リニア・レギュレータ

プッシュボタン制御の高電圧出力 DAC

評価および設計サポート

回路評価ボード

CN-0405 回路評価用ボード (EVAL-CN0405-EB1Z)

設計と統合ファイル

回路図、レイアウト・ファイル、部品表

回路の機能とその利点

図 1 に示す回路は、従来の高電圧の機械式ポテンショメータをプッシュボタン制御のデジタル・ポテンショメータで置き換える完全なソリューションを提供します。

この回路により、バッテリーなどの電源から発生する最大 20 V の高電圧をシンプルなプッシュボタン・スイッチで制御する低電圧のデジタル・ポテンショメータが可能となり、使いやすさと最適な電力効率をもたらされます。AD5116 デジタル・ポテンショメータは、エンド to エンドの抵抗許容誤差が ±8% である 64 ワイパー・ポジションを提供するため、広範囲の調整に適しています。

さらに AD5116 には、プッシュボタンを用いて手動でワイパー位置を希望する位置に保存できる EEPROM が内蔵されています。この機能は、電源投入時にデフォルト位置設定が必要なアプリケーションで有効です。

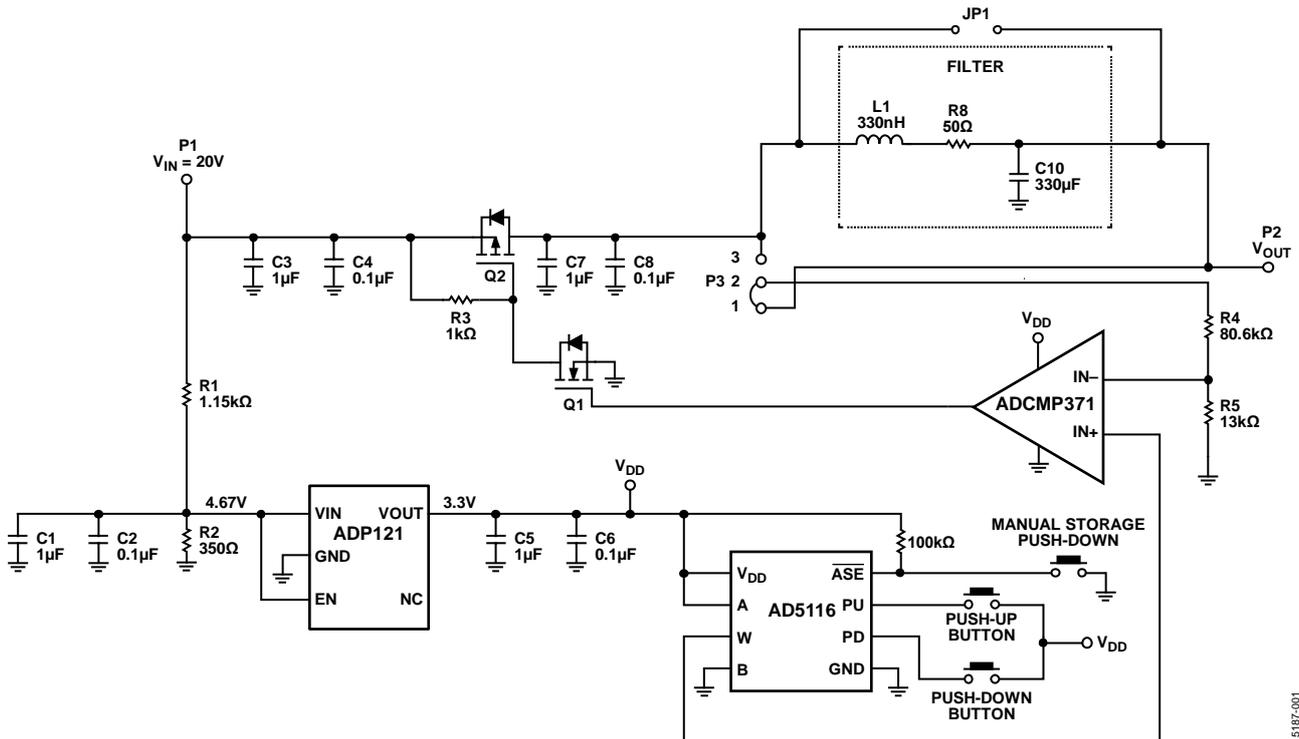


図 1. 高電圧 DAC 回路 (簡略回路図。全接続の一部およびデカップリングは省略されています)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

回路説明

図 1 に示す回路はシンプルかつ高電圧の可変出力スイッチング・コントローラです。ここでは、AD5116 64 ポジション・デジタル・ポテンショメータを、プッシュプル出力段を備え、バッテリー駆動のポータブル機器に適した低消費電力の ADCMP371 コンパレータと組み合わせて使用しています。

この回路は V_{IN} ソースから完全に給電され、最大 20 V の電圧が入力されます。R1 と R2 の分圧器の電圧は、ADP121 30 μ A、低自己消費電流、低ドロップアウトのリニア電圧レギュレータを用いて 3.3 V に安定化されます。この安定化された 3.3 V が、AD5116 デジタル・ポテンショメータと ADCMP371 コンパレータへの V_{DD} 電圧となります。

回路の動作

この回路はスイッチド・モードの電源であり、帰還ネットワークのスイッチング周波数を制御して出力電圧を調整します。

出力電圧 V_{OUT} は、R4 と R5 で分圧された出力電圧を、AD5116 デジタル・ポテンショメータのワイパーから得られるリファレンス電圧と比較する帰還コンパレータで制御されます。コンパレータの出力は NMOS トランジスタ Q1 を駆動し、Q1 は直列パスの PMOS トランジスタ Q2 を駆動します。コンパレータの $IN-$ ピンの平均電圧が $IN+$ ピンの電圧と等しくなるように、負帰還によって Q2 がオン/オフされます。Q1 と Q2 はオンかオフのいずれかであるため、Q1 と Q2 で消費される電力はわずかです。

Q1 トランジスタがオンのときは（飽和領域）、その両端の電圧降下は最小になり、オフのときは（遮断領域）、電源経路にはほとんど電流が流れません。スイッチング周波数は、AD5116 の D/A コンバータ（DAC）出力電圧に依存します。

DAC 出力が低電圧のとき、Q2 はほとんどの時間、オープンになっていなければなりません。したがって、コンパレータの出力はほとんどの時間、ローでなければなりません。このような状態のとき、コンパレータの出力は低周波数で一連の短い正方向パルスになります。

DAC の出力電圧が上昇するにつれ、Q2 はより長い時間クローズしていなければなりません。したがって、コンパレータの出力はより長い時間、ハイでなくてはなりません。このような状態のとき、コンパレータの出力は高周波数で一連の高速の正方向パルスになります。DAC の出力電圧が低下した場合は、この逆になります。

負帰還により、コンパレータ入力の平均値は DAC 出力電圧の増減に対して均等になります。

フィルタを通した後の出力電圧 V_{OUT} は、次式で求められます。

$$V_{OUT} = V_W \times \left(1 + \frac{R4}{R5}\right) \quad (1)$$

ここで、 V_W はワイパー端子 W における DAC の出力電圧です。

AD5116 デジタル・ポテンショメータは、分圧された電圧をワイパー端子に生成し、これは V_{DD} 電圧に比例します。端子 A と端子 B の間の抵抗は公称 5 k Ω であり、64 タップに分割されず。スケールの下端では、代表的なワイパー抵抗 R_W は 45 ~ 70 Ω にまで減少します。GND を基準した V_W の出力電圧は次のようになります。

$$V_W = \frac{R_{WB}}{R_{AB}} \times V_A \quad (2)$$

$$R_{WB} = \frac{D}{64} \times R_{AB} + R_W \quad (3)$$

ここで、

R_{WB} は最下位スケールでのワイパー抵抗。

R_{AB} はエンド to エンドの抵抗。

V_A は分圧器ストリングの最上部の電圧で、 V_{DD} に等しい値。

D は RDAC レジスタのバイナリ・コードに相当する 10 進数。

RDAC レジスタは、PD と PU のプッシュボタンを用いて制御されます。希望するワイパー位置が定まると、ASE プッシュボタンを押すことによって EEPROM メモリに保存することができ、電源投入時にデフォルト位置として設定されます。

フィルタリング・セクション

DC 電圧を一定にし、入力で生じるスイッチングに起因する出力のリプル電圧を低減するには、追加のフィルタリング回路が必要です。

フィルタ設計を決める際の重要な点は、DAC の動作電圧範囲を定めるとともに、最大と最小のスイッチング周波数を決定し、リップルを考慮することです。

フィルタ・ブロックをバイパス (JP1 を短絡、かつ C10 を未挿入) してフィルタを通さないときの出力波形を、ゼロ・スケールとフル・スケールの場合についてそれぞれ図 2 と図 3 に示します。

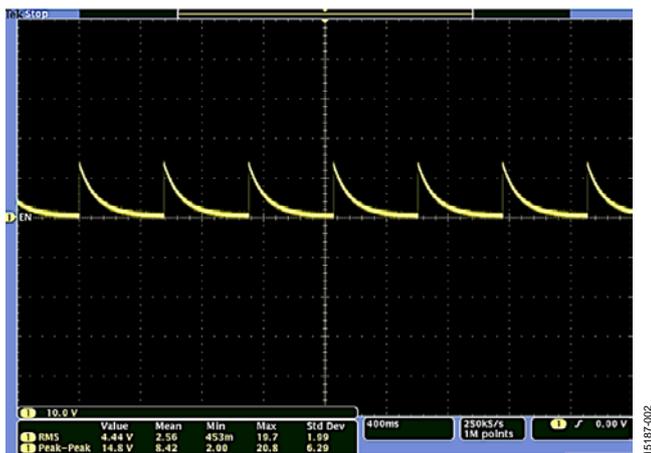


図 2. 低電圧での V_{OUT} 、400 ms/div、1.8 Hz

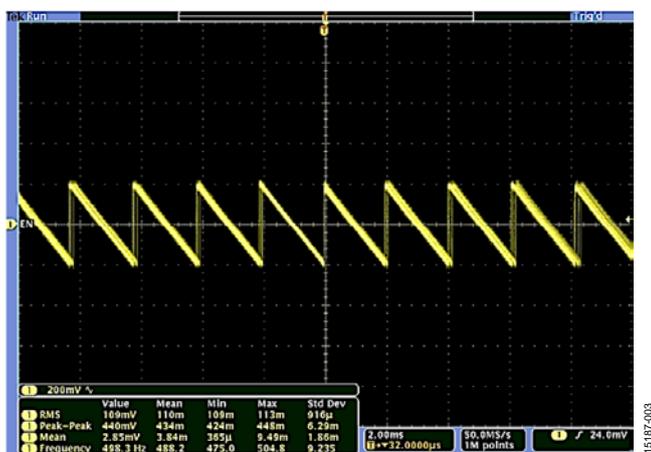


図 3. 高電圧 (AC 結合) での V_{OUT} 、2 ms/div、500 Hz

図 2 と図 3 に示すように、回路の動作スイッチング周波数はおよそ 1.8 Hz (範囲の下限) から 500 Hz (範囲の上限) までの範囲です。出力波形に生じるスイッチングのリプル・トランジェントは、回路のフィルタ・ブロック・セクションに含まれる簡単なフィルタ設計でフィルタリングすることができます。

部品の値は、フィルタのカットオフ周波数に依存します。スイッチング周波数は非常に低いので、低いカットオフ周波数に対しては比較的大きな R、L、C の値が必要になります。しかし、フィルタの直列抵抗は出力負荷とともに分圧器を形成するため、出力電圧を低下させてしまうことがあります。したがって、R の値は比較的小さくしなければなりません。フィルタの設計部品は、アプリケーションの種類と負荷要件に応じて変更することができます。

単純な RLC ローパス・フィルタを実装して、出力波形をフィルタリングしました。RLC フィルタには、R8 と C10 に 50 Ω と 330 μF を、L1 に 100 nH を使っています。

フィルタリングした後の出力波形を、高電圧出力と低電圧出力のそれぞれについて図 4 と図 5 に示します。

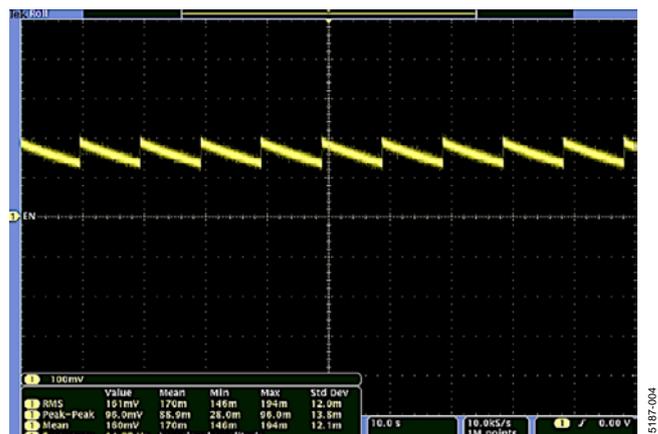


図 4. 高 Z 負荷でのフィルタリング後の V_{OUT} (高電圧)

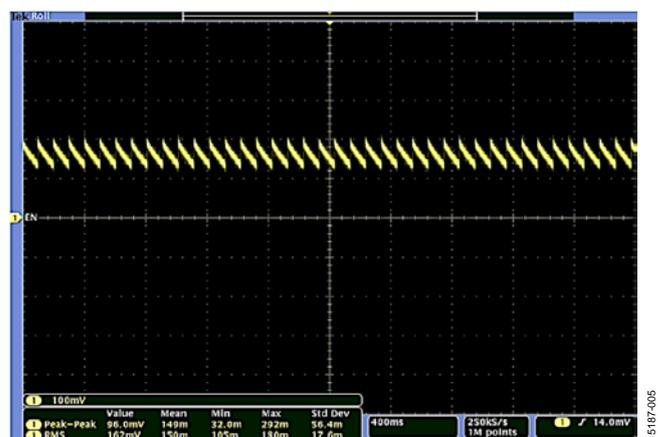


図 5. 1 k Ω 負荷でのフィルタリング後の V_{OUT} (低電圧)

フィルタリング後の出力は、リップル電圧が約 100 mV p-p であることを示しています。ピーク to ピークのリプル電圧はすべてのコードで同じ値であり、出力に接続された負荷の影響を受けないことに注意してください。この回路で使用されているトランジスタは IRF9630S です。同様な仕様の他のトランジスタで置き換えることができますが、IDSS はかなり低いものが必要です。

テストのデータと結果

V_{OUT} (rms) のプロットと DAC コードの関係を図 6～図 9 に示します。これらのテストは、図 1 に示した値 ($50\ \Omega$ 、 $330\ \text{nH}$ 、 $330\ \mu\text{F}$) を持つ RLC フィルタを出力に接続して行いました。

図 6 は、無負荷でコード 56 を超えた点から出力電圧が制限されていることを示しています。この点で、コンパレータ入力が入力のコモンモード電圧の上限に近づきます。

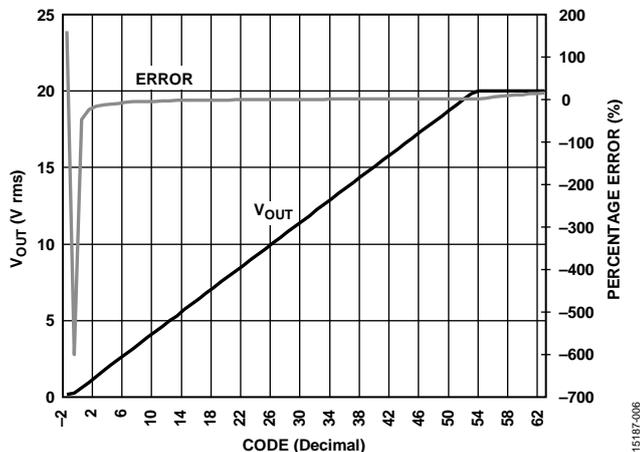


図 6. 出力電圧と誤差対 10 進コード ($V_{IN} = 20\ \text{V}$ 、高 Z 負荷)、DAC はフルスケール・レンジ

図 7 は、コード 10～54 で出力に $\pm 5\%$ の誤差が生じていることを示しています。低いコードで高いパーセントで生じている誤差は (図 6 参照)、直列に入っているトランジスタ Q2 の高いオフセット電圧によるものです。

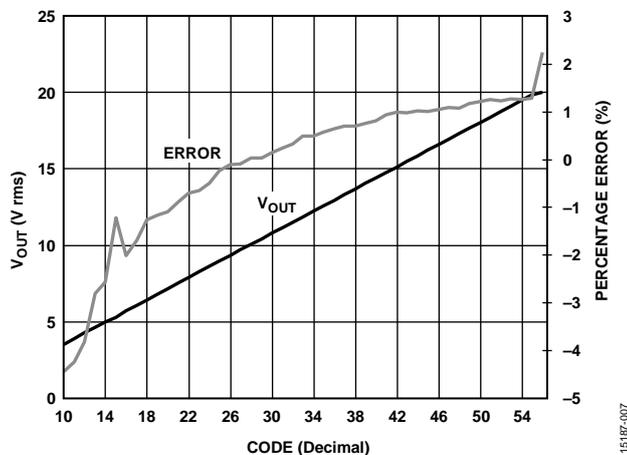


図 7. 出力電圧と誤差対 10 進コード ($V_{IN} = 20\ \text{V}$ 、高 Z 負荷)、DAC は線形動作範囲内

$50\ \Omega$ の直列抵抗は負荷とともに分圧器を形成します。出力電圧は $1\ \text{k}\Omega$ の負荷で $19.01\ \text{V}$ に制限されています (図 8 参照)。

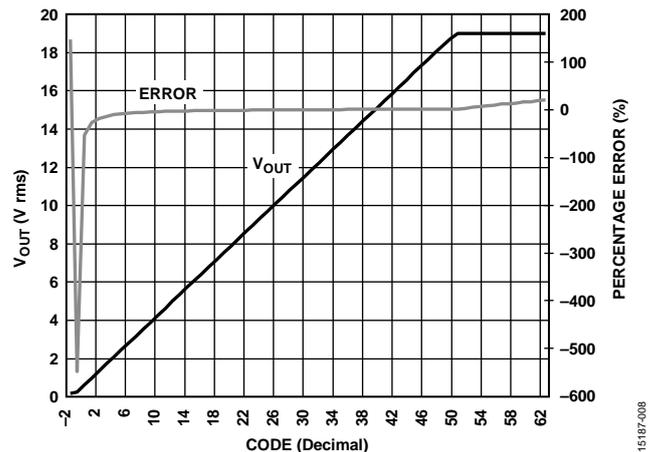


図 8. 出力電圧と誤差対 10 進コード ($V_{IN} = 20\ \text{V}$ 、 $R_L = 1\ \text{k}\Omega$)、DAC はフルスケール・レンジ

図 9 は、コード 10～54 の線形動作範囲内で、 $1\ \text{k}\Omega$ 負荷の場合の出力応答を示しています。

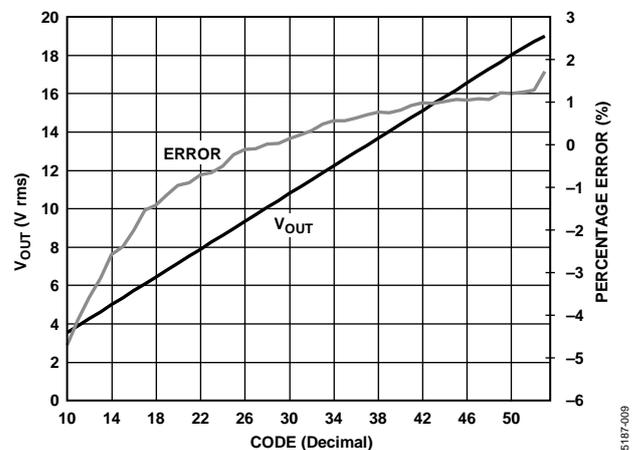


図 9. 出力電圧と誤差対 10 進コード ($V_{IN} = 20\ \text{V}$ 、 $R_L = 1\ \text{k}\Omega$)、DAC は線形動作範囲内

バリエーション回路

パルス幅変調器 (PWM) を用いて直列バス・トランジスタのスイッチングのオン/オフ時間比を制御することにより、回路の性能を向上させることができ、その結果フィルタリングが簡単になります。PWM を制御するコンパレータは、誤差アンプに置き換えることもできます。IDSS の低いパワー・トランジスタを使えば、出力のリプル・オフセット電圧を最小にすることができます。PWM コントローラにより、出力電圧の調整精度が向上します。

この回路は、ADP2441 などの可変出力型降圧コンバータを使って実装することもできます。AD5116 は、降圧コンバータの帰還ピンに供給する分圧器として機能します。ただし、出力電圧を 4 分の 1 に減衰させて、AD5116 の駆動電圧を $5\ \text{V}$ に制限する必要があります。

回路の評価とテスト

この回路では、以下の回路評価用の装置を使用します。

必要な装置

以下の装置類が必要になります。

- EVAL-CN0405-EB1Z 回路評価ボード
- Agilent E36311A デュアル DC 電源または同等品
- Agilent 3458A マルチメータまたは同等品
- オシロスコープ

テスト・セットアップの機能ブロック図

テスト・セットアップの機能図を図 10 に示します。

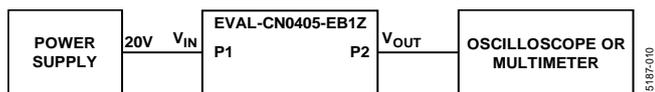


図 10. テスト・セットアップの機能図

セットアップ

回路評価を行うためには以下を実行します。

1. 出力をフィルタリングする場合は、P3 のピン 1 とピン 2 のリンクをジャンパで接続する。JP1 のジャンパ・リンクを取り外す。
2. 出力をフィルタリングしない場合は、P3 のピン 2 とピン 3 のリンクをジャンパで接続する。JP1 にジャンパ・リンクを挿入する。C10 を取り外す。
3. P2 (V_{OUT}) をオシロスコープ/マルチメータに接続する。
4. V_{IN} に 20 V 電源電圧を接続する。
5. PU ボタンまたは PD ボタンを押して、出力電圧を変化させる。
6. ASE ボタンを押して、設定したい電源投入時の出力電圧を保存する。

Agilent E3631A 電源を用いて 20 V の入力電圧を供給しました。EVAL-CN0405-EB1Z からの出力波形はオシロスコープを用いてキャプチャし、V_{RMS} 電圧は Agilent 3458A マルチメータを用いて測定しました。

回路図、レイアウト、部品表などの EVAL-CN0405-EB1Z ボードの技術文書は全て、CN-0405 設計支援パッケージ (www.analog.com/CN0405-DesignSupport) から入手できます。このボードの写真を図 11 に示します。



図 11. EVAL-CN0405-EB1Z ボードの写真

さらに詳しい資料

CN-0405 Design Support Package:

www.analog.com/CN0405-DesignSupport

MT-031 Tutorial: データ・コンバータのグラウンディングと、「AGND」および「DGND」に関する疑問の解消

MT-091 Tutorial. Digital Potentiometers. Analog Devices.

MT-101 Tutorial. Decoupling Techniques. Analog Devices.

Kester, Walt. 1998. Practical Design Techniques for Power and Thermal Management, Section 3. Analog Devices.

Kester, Walt. 2009. Practical Power Solutions, Section 1. Analog Devices.

Analog Dialogue, Volume 48: スイッチング・レギュレータの出力ノイズを理解し、電源の設計を加速する

AN-1144 Application Note: スイッチング・レギュレータの出力リップルとスイッチング・トランジェントの測定

データシートと評価ボード

AD5116 データシート

ADCMP371 データシート

ADP121 データシート

改訂履歴

3/2017—Revision 0: Initial Version

「Circuits from the Lab/実用回路集」はアナログ・デバイセズ社製品専用で作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2016 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。