

テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報または支援は <http://www.analog.com/jp/CN0393> を参照してください。

接続または参考にしたデバイス

ADAQ7988	集積化されたデータ・アキュイジション・サブシステム、16ビット、500 KSPS
AD8251	iCMOS®計装アンプ、10MHz、20V/μs、ゲイン設定可能 (G=1、2、4、8)
ADuM3470	4チャンネル・デジタル・アイソレータ (4/0のチャンネル方向)、絶縁スイッチング・レギュレータ内蔵
ADuM3150	遅延クロック付き SPI用 SPIisolator デジタル・アイソレータ、3.75kV、6チャンネル
ADR4550	リファレンス IC、超低ノイズ、高精度、5.0V
ADP7118	リニア・レギュレータ (LDO)、20V、200mA、低ノイズ、CMOS
ADP7182	リニア・レギュレータ、-28V/-200mA、低ノイズ
ADP1614	DC/DC スイッチング・コンバータ、650kHz/1.3MHz、4A、ステップ・アップ、PWM

バンク絶縁型 2チャンネル 16ビット 500 kSPS 同時サンプリングを特長とする 集積化されたデータ・アキュイジション・サブシステム

評価および設計サポート

回路評価用ボード

CN-0393 回路評価用ボード (EVAL-CN0393-FMCZ)
システム・デモンストレーション・プラットフォーム
(EVAL-SDP-CH1Z)

設計と統合ファイル

回路図、レイアウト・ファイル、部品表

回路の機能とその利点

図1に示す回路は、2チャンネル、バンク絶縁型の広帯域データ・アキュイジション (DAQ) システムで、各チャンネルに A/D コンバータ (ADC) を使用する同時サンプリング・アーキテクチャを採用しています。このシステムは、バンクとデジタル・バックプレーンとの間に絶縁を施し、高いチャンネル密度を実現し、比類のない性能を提供します。さらに、この設計では ADC をデジタイズチェーン・モードで構成し、調整済みの遅延クロック機能を持つアイソレータ製品を使用することで、絶縁チャンネルを有効に活用しています。電源部も簡素化され、パルス幅変調 (PWM) コントローラとトランス・ドライバを内蔵し

たアイソレータを使用して、絶縁障壁間での DC/DC 変換を行います。さらに、システムには入力回路保護、プログラマブル・ゲイン・チャンネル、高精度、高性能といった、代表的な DAQ シグナル・チェーンが標準で有する多くの特長を備えています。

同時サンプリングによって、マルチプレクス DAQ シグナル・チェーン固有のサンプリング・レート制限を受けずに、多チャンネルを実現できます。システムのセトリング性能条件がそれほど厳しくないため、アナログ・フロント・エンド (AFE) の設計もマルチプレクス・オプションよりも簡素化されます。シーケンシャルなサンプリングシステムではチャンネル間で遅延があるのに対し、このシステムではサンプリングは各チャンネルで同時に行われます。

デジタル・バンク絶縁型の DAQ 設計により、デジタル・バック・エンド回路が保護され、バンク間のグラウンド・ループおよびコモンモード干渉が低減されます。これらの機能によって、グラウンド・プレーンあたりのマルチプレクス DAQ シグナル・チェーンが可能となり、チャンネルごとに絶縁化するシステムに比べ、デジタルの絶縁デバイスの数を少なくすることができます。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

図1に示す回路とのインターフェースを簡素化する評価用ソフトウェアが提供されています。このソフトウェアには様々な回路パラメータや設定を制御するグラフィカル・ユーザー・インターフェース (GUI) が含まれており、SDP-H1 基板上の FPGA と通信を行います。ソフトウェアの入手に関する詳細は、回路の評価とテストのセクションを参照してください。

部品の選択

ADAQ7988 は、様々なアプリケーションに対応するシステム・イン・パッケージ (SiP) のデザインに、4つの共通信号処理および調整ブロックを統合した、16ビット、500 kSPS の ADC サブシステムです。また ADAQ7988 は非常に重要な受動部品を内蔵し、逐次比較レジスタ (SAR) ADC を用いる従来のシグナル・チェーンに伴う多くの設計課題に対処します。内蔵の受動部品は、仕様規定されているデバイスの性能を実現するのに不可欠なものです。

ADAQ7988 はアナログ・デバイセズの能動部品ソリューションの一部で、高精度低消費電力の 16ビット SAR ADC、低消費電力広帯域の ADC ドライバ、広帯域ノイズ RC フィルタ、低消費電力で安定なリファレンス・バッファ、10 μ F のリファレンス・デカップリング・キャパシタ、効率的なパワー・マネジメント・ブロックなどで構成されており、全体が微細な 5 mm \times 4 mm の LGA パッケージに実装されています。この統合によって、設計の複雑さが緩和され、同様のものを個別の部品で設計した場合に比べ、PCB 面積を最大 50% 節約できます。また ADAQ7988 は、広範なアプリケーションに適用できる高度な柔軟性を備えており、例えば、内蔵の ADC 用ドライバは様々な設定やゲインの下で動作可能で、複数の入力範囲に対応することができます。

ADAQ7988 の SPI 互換シリアル・インターフェースは、複数のデバイスを単一の 3 線式バスでデイジーチェーン接続する機能を備えています。これは、絶縁アプリケーションには理想的です。デバイスとデジタル・ホスト間の通信に必要なアイソレータ・チャンネルの数を抑制できるためです。

AD8251 はゲインをデジタル的にプログラムできる計装アンプです。ギガ・オーム ($G\Omega$) の入力インピーダンス、低出力ノイズ、広帯域 (10 MHz)、低歪みが特長です。これらの特長により、AD8251 は広帯域データ・アキュイジション・アプリケーションの有力候補の 1 つとなっています。AD8251 の高い入力インピーダンスにより、様々なセンサーとインターフェース接続が可能となり、また、入力源と ADAQ7988 内蔵の ADC ドライバ間でインピーダンスの変換を行うことができます。アドレス・ピンを経由してゲインを 1、2、4、8 に設定でき、それらを ADuM3470 のデジタル・アイソレータ・チャンネルを介してデジタル・ホストで制御可能です。

ADR4550 は高精度、低消費電力、低ノイズの 5 V の電圧リファレンスで、 $\pm 0.02\%$ の最大初期誤差、優れた温度安定性、低ノイズ出力が特長です。ADR4550 は、2つの ADAQ7988 の内蔵リファレンス・バッファに 5 V のリファレンス電圧を供給します。このリファレンス電圧は高精度抵抗ネットワークによって分圧され、ADAQ7988 の ADC ドライバに DC バイアス (レベル・シフト) を供給します。

ADuM3470 は、クワッド・チャンネル・デジタル・アイソレータで、絶縁型 DC/DC コンバータのための PWM コントローラとトランス・ドライバを内蔵しています。アナログ・デバイセズの iCoupler[®] 技術に基づくこの DC/DC コンバータは、3.3 V ~ 5.0 V の入力電源を使用して、最大電力 2 W、出力電圧 3.3 V ~ 24 V の安定化絶縁型電源を提供します。このデバイスを使用することにより、2 W の絶縁設計では、絶縁型 DC/DC コンバータを個別に用意する必要がなくなります。ロジック信号は iCoupler チップスケール・トランス技術を使って絶縁されます。また、内蔵トランス・ドライバと、絶縁した 2 次側制御回路により、さらに高効率の絶縁型 DC/DC コンバータが実現します。ADuM3470 の定格絶縁電圧は 2500 V rms で、小型のトータル絶縁ソリューションとなっています。

ADuM3150 は 6 チャンネルの SPI Isolator[™] デジタル・アイソレータで、絶縁型シリアル・ペリフェラル・インターフェース (SPI) 用に最適化されています。アナログ・デバイセズの iCoupler[®] チップスケール・トランス技術に基づき、CLK、MO/SI、MI/SO および \overline{SS} の伝搬遅延が小さく、SPI バス・シグナルは 14 ns 伝搬遅延、1 ns のジッターで動作し、SPI のタイミングに最適なものとなっています。また ADuM3150 はデバイスのマスター側への遅延クロック出力機能も備えています。この出力は、マスター側の追加のクロックポートで用いられ、40 MHz のクロック性能を導くことが可能です。ADuM3150 の定格絶縁電圧は 3750 V rms です。

システムの二次側のパワー・マネジメントは、ADP7118 および ADP7182 の低ドロップアウト (LDO) リニア電圧レギュレータで行われます。システムの正側レールにおいて、ADP7118 デバイスを直列接続することで、ADuM3470 が供給する正側レールを安定化しています。ボードの ADP7182 デバイスは負側レールについて同じ働きをします。詳細については、配電のセクションを参照してください。

アナログ・フロント・エンド

システムのアナログ・フロント・エンド (AFE) は入力保護ダイオード、AD8251 PGIA、ADAQ7988 DAQ サブシステム、および ADAQ7988 の ADC ドライバを設定するために用いる高精度の抵抗ネットワークから成っています。両チャンネルの AFE の設計は同一ですが、入力範囲はそれぞれの AD8251 のゲイン設定によって独立して定めることができます。図2に、AFE の簡略化した回路図を示します。

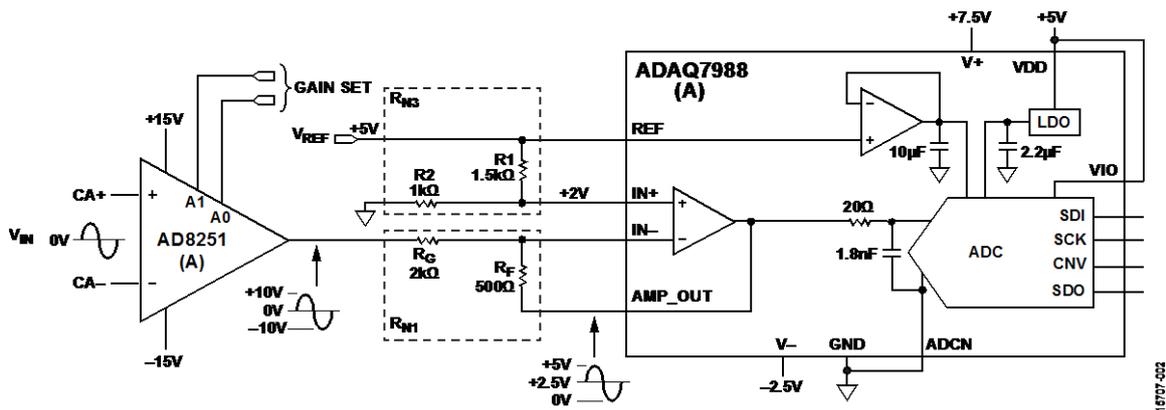


図 2. CN-0393 アナログ・フロント・エンドの簡略化した回路図（各チャンネル共通）

図 1 に示した回路の各チャンネルについてのフル・システムの理想的な伝達関数（入力電圧から出力コードまで）は、次式で表せます。

$$N_{OUT} = \left[v_{IN} \times G_{AD8251} \times \frac{-R_F}{R_G} \right] + \left[V_{REF} \times \frac{R_2}{R_1 + R_2} \times \left(1 + \frac{R_F}{R_G} \right) \right] \times \frac{2^{16}}{V_{REF}}$$

ここで

v_{IN} はチャンネルの入力電圧。

G_{AD8251} は AD8251 のゲイン設定値。

V_{REF} は ADR4550 が供給するリファレンス電圧。

N_{OUT} は ADAQ7988 の結果として得られる出力コード。

R_G, R_F, R_1, R_2 は、図 2 に示す受動部品。

AD8251 のゲインは、プログラムによって 1、2、4、8 のいずれかに設定できます。このゲインの幅と ADAQ7988 の ADC 用ドライバの設定により、各チャンネルの入力範囲を $\pm 10 \text{ V}$ 、 $\pm 5 \text{ V}$ 、 $\pm 2.5 \text{ V}$ 、 $\pm 1.25 \text{ V}$ に構成できます。

ADAQ7988 に内蔵の SAR ADC の入力範囲は $0 \text{ V} \sim V_{REF}$ （リファレンス・ソースにより設定）です。図 1 に示す回路では、単一の ADR4550 が両方の ADAQ7988 デバイスの内蔵リファレンス・バッファに 5 V （図 2 では V_{REF} と表示）を供給します。このため、内蔵 ADC 用ドライバの許容出力範囲は $0 \text{ V} \sim 5 \text{ V}$ となります。

ADC 用ドライバは、レベル・シフト構成を持つ反転回路で、最大 $\pm 10 \text{ V}$ のバイポーラ入力信号に適合するよう設計されています。この構成によって、ADC の入力端でバイポーラの入力信号をユニポーラ信号に変換できるようになります。この構成での ADC 用ドライバの伝達関数は次式で表せます。

$$v_{AMP_OUT} = v_{AD8251} \times \left(\frac{-R_F}{R_G} \right) + V_{REF} \times \left(\frac{R_2}{R_1 + R_2} \right) \times \left(1 + \frac{R_F}{R_G} \right)$$

ここで

v_{AMP_OUT} は ADAQ7988 に内蔵された ADC 用ドライバの出力。

v_{AD8251} は AD8251 の出力信号。

V_{REF} は ADR4550 が供給するリファレンス電圧。

R_F は 500Ω （図 2 参照）。

R_G は $2 \text{ k}\Omega$ （図 2 参照）。

R_1 は $1.5 \text{ k}\Omega$ （図 2 参照）。

R_2 は $1 \text{ k}\Omega$ （図 2 参照）。

レベル・シフト構成を持つ反転回路とすることで、ADAQ7988 のユニポーラ ADC を大きなバイポーラ入力信号のアプリケーションで使用できるようになります。シグナル・ゲインは R_F と R_G で設定され、 V_{REF} を超える入力範囲が可能となります。レベル・シフト回路は、ADC 用ドライバの出力端で $V_{REF}/2$ に等しい DC バイアスを生成し、これによって、バイポーラ入力信号がユニポーラの出力信号に変換され ADC の入力に適合させることができます。レベル・シフト電圧は ADC 用ドライバの非反転ノードに供給され、このためアンプの非反転ゲイン分だけ増幅されます。

R_G と R_F の比率は 4:1 で、これにより ADAQ7988 に 20 V p-p の振幅が入力可能となります。ADC 用ドライバの出力の DC バイアスを $V_{REF}/2$ (2.5 V) に設定するために、 R_1 と R_2 の比を 3:2 にしています。これら 4 つの抵抗全てが高精度整合抵抗ネットワークを用いて形成されており、システムの不正確さと温度ドリフトを低減します（システム精度解析のセクション参照）。これらの抵抗値は、シグナル・チェーンに影響を及ぼすノイズを最小化するとともに、AD8251 と ADC 用ドライバに必要な出力電流を制限するよう選択されています（システム精度解析のセクション参照）。この部品選択によって、システムの伝達関数は次式のようになります。

$$N_{OUT} = \left[(v_{IN} \times G_{AD8251} \times -0.25) + \left(\frac{V_{REF}}{2} \right) \right] \times \frac{2^{16}}{V_{REF}}$$

したがって、システムのゲイン範囲は、 -0.25 、 -0.5 、 -1 、 -2 となります（ G_{AD8251} が 1、2、4、8 の値をとり得るため）。

ADC 用ドライバは反転構成であるため、ADAQ7988 の出力コードは入力電圧に対して反転することに注意が必要です。正のフルスケール入力電圧に対して、理想的な出力コードは ADC のゼロ・スケールとなり、出力コードは入力電圧とは逆方向に向かいます。

リファレンス・ソースを用いて ADAQ7988 の ADC 用ドライバの非反転入力へのレベル・シフト電圧を生成しているため、システムは V_{REF} の偏差の影響を受けません。 v_{IN} が 0 V の場合、システムの 1 チャンネルの伝達関数は次式のようになります。

$$N_{OUT} = \frac{V_{REF}}{2} \times \frac{2^{16}}{V_{REF}} = \frac{2^{16}}{2}$$

この式から ADAQ7988 の出力コードは V_{REF} の値とは無関係であることが分かります。

しかし、この一般化では ADAQ7988 に内蔵のリファレンス・バッファのオフセット誤差は無視できると仮定されていることに注意が必要です。リファレンス・バッファのオフセットが ADAQ7988 に仕様規定されている最大値であった場合でも、出力コードの偏差は 1 LSB（コード値）未満にすぎないため、この仮定は適切です。

システムのノイズ解析

データ・アキュイジション・システムの設計上で鍵となる考慮事項の 1 つは、システムのノイズの影響を抑制することです。AFE のノイズによって、システムの実効分解能（ノイズ・フリーのビット）と、S/N 比（SNR）などの AC 性能指標が制限されます。このセクションでは図 1 に示す回路で使用したノイズ解析法を説明します。

システムに存在する全ノイズ・パワーは、ADAQ7988 に内蔵の ADC の入力を基準として、個々の部品が関与するノイズ・パワーの二乗和平方根（rss）をとることで予測することができます。

$$v_{n,TOTAL} = \sqrt{v_{n,AD8251}^2 + v_{n,ADC DRIVER}^2 + v_{n,ADC}^2 + v_{n,R}^2}$$

ここで

$v_{n,TOTAL}$ は全システム・ノイズ。

$v_{n,R}$ は抵抗に起因するノイズ。

$v_{n,AD8251}$ は AD8251 に起因するノイズ。

$v_{n,ADC DRIVER}$ は ADAQ7988 に内蔵された ADC 用ドライバが関与するノイズ。

$v_{n,ADC}$ は ADAQ7988 に内蔵された ADC が関与するノイズ。

これより、システムの予想される SNR は次式を用いて計算できます。

$$SNR_{EXPECTED} = 20 \times \log \left(\frac{V_{REF}/2\sqrt{2}}{v_{n,TOTAL}} \right)$$

ADAQ7988 には、ADC 用ドライバと ADC 入力との間にローパス RC フィルタが設けられています。この RC フィルタは、ADC の入力部での帯域外のノイズの量を抑制するように作用し、同時に、ADC のスイッチド・キャパシタ入力に伴う電圧ステップを減衰させるのに役立ちます。このフィルタの帯域幅は、周辺部品からの広帯域ノイズをできるだけ除去しながらも、変換の間の ADC 入力信号を十分に安定化できるように選択されています（詳細については、アナログ・ダイアログの記事、SiP を採用したデータ・アキュイジション用 IC、高精度のシグナル・チェーンの実装密度を向上、を参照してください）。

RC フィルタの構成部品は、20 Ω の抵抗と 1.8 nF のキャパシタで、4.42 MHz の帯域幅（ BW_{RC} ）を生成しています。実効的なノイズ帯域幅（ $ENBW_{RC}$ ）は次式で計算でき、約 2635 $\sqrt{\text{Hz}}$ となります。

$$ENBW_{RC} = \sqrt{\frac{\pi}{2}} \times BW_{RC}$$

この $ENBW_{RC}$ は、ADC の入力を基準として、個々の部品が関与する rms ノイズを計算するために使用されています。

このシステムの主要な各ノイズ源について、ノイズ解析した計算結果を表 1 に示します。

表 1. AFE のノイズ解析^{1,2}

Gain ³ (V/V)	AD8251		ADAQ7988			Resistors	System Total	
	$e_{n,AD8251}$ (nV/ $\sqrt{\text{Hz}}$)	$V_{n,AD8251}$ ($\mu\text{V rms}$)	$e_{n,ADC DRIVER}$ (nV/ $\sqrt{\text{Hz}}$)	$V_{n,ADC DRIVER}$ ($\mu\text{V rms}$)	$V_{n,ADC}$ ($\mu\text{V rms}$)	$V_{n,R}$ ($\mu\text{V rms}$)	$V_{n,TOTAL}$ ($\mu\text{V rms}$)	SNR Expected (dB)
-0.25	40	26.53	5.2	17.13	47.0	13.43	58.19	89.65
-0.5	27	35.82	5.2	17.13	47.0	13.43	62.98	88.96
-1	22	58.37	5.2	17.13	47.0	13.43	78.04	87.10
-2	18	95.52	5.2	17.13	47.0	13.43	108.66	84.23

¹ rms ノイズの計算値は全て、ADAQ7988 内蔵の ADC の入力を基準としています。

² T = 300 K で計算。

³ このゲインは全システムのゲインを示します。AD8251 のゲインの 1、2、4、8 に対応します。

AD8251 が関与するノイズ

AD8251 が関与する rms ノイズは、入力換算の電圧ノイズ (e_{AD8251})、ゲイン設定値 (G_{AD8251})、ADAQ7988 の ADC 用ドライバのシグナル・ゲイン (図 2 の R_F と R_G で設定)、および $ENBW_{RC}$ の関数です。

$$v_{n,AD8251} = e_{AD8251} \times G_{AD8251} \times (R_F/R_G) \times ENBW_{RC}$$

e_{AD8251} には最大仕様値が与えられ、4つのゲイン設定値のいずれとも異なることに注意が必要です。実際、AD8251 が関与するノイズは、通常は AD8251 のデータシートの電圧ノイズ値を使用した予測値より小さくなります。これは、AD8251 のノイズ仕様値が統計的にガードバンドを考慮しているためです。

受動部品が関与するノイズ

図 1 に示す回路で用いられている整合抵抗ネットワークと等価なノイズ源を、図 3 に示します。 R_F および R_G は ADC 用ドライバのシグナル・ゲインを設定する抵抗、 R_1 および R_2 はレベル・シフト電圧を設定する抵抗です (図 2 も参照)。 R_1 および R_2 は、 R_1 と R_2 の並列抵抗と等しい単一の抵抗 ($R_1 \parallel R_2$) で表しています。これらの抵抗はそれぞれが、システム全体のノイズに含まれる熱ノイズを発生します。

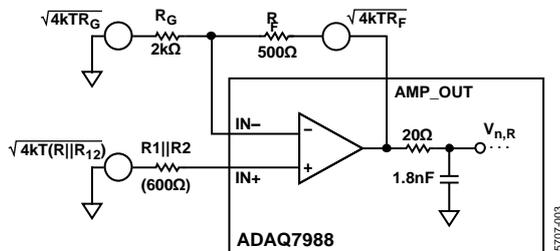


図 3. ADAQ7988 の ADC 用ドライバと受動部品のノイズ源

各抵抗が関与するノイズは、回路内の配置によって決まる様々なゲイン要因の影響を受けます。

R_F が関与するノイズは次式で表せます。

$$v_{n,R_F} = \sqrt{4k_B T R_F} \times ENBW_{RC}$$

ここで

k_B はボルツマン定数。

T はケルビン単位での絶対温度 (300 K と仮定)。

R_G が関与するノイズは、 R_F と R_G で設定される ADC 用ドライバのシグナル・ゲインで増幅されます。

$$v_{n,R_G} = \sqrt{4k_B T R_G} \times \left(\frac{R_F}{R_G} \right) \times ENBW_{RC}$$

R_1 および R_2 はノイズの観点では並列関係にあるように作用し、そのため、両者の熱ノイズを合わせたものは、 $R_1 \parallel R_2$ の値を持つ単一抵抗の熱ノイズと等価なものになります。この結合した熱ノイズはさらに、ADC 用ドライバのノイズ・ゲインで増幅されます。

$$v_{n,R_{1,2}} = \sqrt{4k_B T (R_1 \parallel R_2)} \times \left(1 + \frac{R_F}{R_G} \right) \times ENBW_{RC}$$

抵抗が関与する全ノイズは、これら個々のノイズの関与についての二乗和平方根をとって、次式で表せます。

$$v_{n,R} = \sqrt{v_{n,R_F}^2 + v_{n,R_G}^2 + v_{n,R_{1,2}}^2}$$

これらの計算について詳細は、MT-049 および MT-050 のチュートリアルを参照してください。

ADAQ7988 に内蔵の ADC 用ドライバおよび ADC が関与するノイズ

ADAQ7988 の ADC 用ドライバは、内蔵の SAR ADC の駆動用として理想的です。入力電圧ノイズが低いため、システム性能の劣化を最小限にとどめます。

この ADC 用ドライバが関与するノイズ ($v_{n,ADC\ DRIVER}$) は、次式で求めることができます。

$$v_{n,ADC\ DRIVER} = e_{ADC\ DRIVER} \times \left(1 + \frac{R_F}{R_G} \right) \times ENBW_{RC}$$

ここで、 $e_{ADC\ DRIVER}$ は ADC 用ドライバの入力電圧ノイズです。

このノイズは、非反転ノードでのノイズ源として使用規定されているため、ADC 用ドライバのノイズ・ゲインによって増幅されます。この場合、ADC 用ドライバの電流ノイズは電圧ノイズに比べ小さいため、無視できます。

ユニポーラ SAR ADC の入力 rms 電圧ノイズ ($v_{n,ADC}$) は、所定のリファレンス電圧で仕様規定された S/N 比から、次式を用いて求めることができます。

$$v_{n,ADC} = \frac{V_{REF}/2}{\sqrt{2}} \times 10^{\frac{-SNR}{20}}$$

ここで

V_{REF} は使用するリファレンス電圧 (図 1 の回路の場合 5V)。

SNR は、ADAQ7988 のデータシートにおけるリファレンス電圧に対して仕様規定された S/N 比 (91.5 dB)。

システムの精度解析

データ・アキュジション・システムは通常、高い正確さと精度を実現するように設計されています。しかし、システムを構成する部品にはある程度の誤差と不確定性があり、このためにシステム全体の正確さと精度に制限を受けます。一般に仕様規定されているシステム誤差に、オフセット誤差とゲイン誤差の 2つがあります。これらの誤差は温度ドリフトによっても影響を受け、通常ある特定の温度で補正されていますが、動作温度範囲全体にわたって補正されているわけではありません。次のセクションでは、個々の部品の誤差仕様値を用いて、図 1 に示すシステムについて周囲周囲温度とそれを超える温度でのシステムの不正確さの最大予測値を見積もる方法を示します。

オフセット誤差解析

オフセット誤差は、入力信号とは無関係なシステムの不正確さの一種です。このシステムのオフセット誤差の原因には、AD8251 のオフセット ($V_{OS,AD8251}$)、ADAQ7988 のゼロ誤差 ($V_{OS,ADAQ7988}$)、ADC 用ドライバの入力バイアス電流に起因するオフセット ($V_{OS,IB}$)、ADC 用ドライバの非反転ノードでのレベル・シフト電圧発生による不正確さ ($V_{OS,LS}$) などがあります。システムのオフセット誤差の最大予測値 (入力換算) はこれらを全て足し合わせて、次式で表せます。

$$V_{OS,SYSTEM} = V_{OS,AD8251} + V_{OS,LS} + V_{OS,ADAQ7988} + V_{OS,IB}$$

表 2 に、システムのオフセット誤差について入力換算 (RTI) した最大予測値の計算結果を示します。部品のオフセットをシステムのオフセットに変換するため、関連するゲイン・ファクター、すなわち ADC 用ドライバの非反転ゲインと反転ゲイン、および、AD8251 のゲイン設定値を、部品のオフセットに乘じたり除したりする必要があります。ADC 用ドライバの非反転ゲインと反転ゲインの公称値はそれぞれ 1.25 および 0.25 です。これらの数値を用いてシステムの RTI オフセットを計算します。

AD8251 の最大入力換算オフセットは、そのゲイン設定値の関数として規定されています。表 2 に、AD8251 の RTI オフセット誤差を、その 4 通りのゲイン設定値全てに対して示します。詳細については、AD8251 データシートを参照してください。

ADAQ7988 のゼロ誤差によって、全サブシステムの入力換算オフセット誤差が仕様規定され、この誤差は従来のオペアンプのオフセット電圧と同様の方法で扱うことができます。

ADAQ7988 の最大ゼロ誤差は、 $\pm 0.5 \text{ mV}$ と仕様規定されます。この誤差は、ADC 用ドライバの非反転ゲイン (1.25) を掛け、ADC 用ドライバの反転ゲイン (-0.25) と AD8251 のゲインで割ることで、システムの RTI オフセット誤差に変換できます。

$$V_{OS,ADAQ7988} = \frac{\pm 0.5 \times (1.25)}{(-0.25) \times G_{AD8251}} \text{ (mV)}$$

または

$$V_{OS,ADAQ7988} = \frac{\pm 2.5}{G_{AD8251}} \text{ (mV)}$$

ここで、 G_{AD8251} は AD8251 のゲイン設定値。

ADC 用ドライバの入力バイアス電流が、ドライバの入力部で整合抵抗ネットワークと相互作用する際にオフセット誤差が生じます。これによって生じる出力換算オフセットは次式で表せます。

$$V_{OS,IB (RTO)} = I_B \times [R_F - (R_1 || R_2)] \quad (1.25)]$$

または

$$V_{OS,IB (RTO)} = -0.2 \text{ mV}$$

ここで、 I_B は ADAQ7988 内蔵の ADC 用ドライバに仕様規定された入力バイアス電流 (最大 800 nA)。

この場合、2 つのバイアス電流は等しいと仮定しています。これは、デバイスの入力オフセット電流がその入力バイアス電流に比べて非常に小さいためです (入力バイアス電流誤差についての詳細は、MT-038 チュートリアルを参照)。

入力バイアス電流に起因する出力換算オフセット ($V_{OS,IB (RTO)}$) をシステムの入力換算オフセット誤差に変換するには、ADC 用ドライバの反転ゲインと AD8251 のゲインでこの値を割ります。

$$V_{OS,IB} = \frac{-0.2}{-0.25 \times G_{AD8251}} \text{ (mV)} = \frac{0.8}{G_{AD8251}} \text{ (mV)}$$

このオフセット誤差は入力に対して常に正側になります。このため、正の最大オフセット誤差の計算にはこれを使用しますが、負の最大オフセット誤差の計算では無視されます。

ADC 用ドライバのレベル・シフト電圧の発生時の不正確さも、システムのオフセット誤差をもたらします。しかし、レベル・シフト電圧は ADC のリファレンス・ソースで供給されるため、システム・オフセットはリファレンス電圧の変位にはあまり影響されません (アナログ・フロント・エンドのセクションを参照)。つまり、レベル・シフト電圧の唯一の誤差原因は、 R_1 と R_2 で構成される分圧回路の抵抗の許容誤差ということになります。ADAQ7988 内蔵の ADC 用ドライバの非反転入力での理想的なレベル・シフト電圧は次式で表せます。

$$V_{LS,NOMINAL} = V_{REF} \times \frac{R_2}{R_1 + R_2} = 0.4 \times V_{REF} \text{ (nominal)}$$

抵抗分圧器は整合抵抗ネットワークで構成されており、図 2 で R_1 および R_2 と示されています。ネットワークには $1 \text{ k}\Omega$ の抵抗が 4 つ備わり、減衰ファクターが 0.4 ($R_1 = 1.5 \text{ k}\Omega$ 、 $R_2 = 1 \text{ k}\Omega$) となるよう設定されています。ネットワークの抵抗の相対許容値は $\pm 0.05 \%$ と仕様規定され、減衰ファクターの 0.4 からの偏差を抑制する効果があります。分圧器回路の誤差は、整合抵抗ネットワークの設定値および相対許容誤差値を用いて計算すると、ワーストケースで $\pm 0.03 \%$ となります (レベル・シフト電圧を生成するために使用する抵抗ネットワークについての詳細は、CN-0393 設計サポートファイルの CN-0393 schematic を参照してください)。

したがって、ADAQ7988 内蔵の ADC 用ドライバの非反転入力のレベル・シフト電圧の範囲は、次のようになります。

$$V_{LS} = 5 \text{ V} \times (0.4 \pm 0.03 \%) = 2 \text{ V} \pm 0.6 \text{ mV}$$

システムの入力に換算すると、レベル・シフトの不正確さによるオフセット誤差は、次式のとおりです。

$$V_{OS,LS} = \frac{\pm 0.6 \text{ mV} \times 1.25}{-0.25 \times G_{AD8251}} = \frac{\pm 3 \text{ mV}}{G_{AD8251}}$$

図 1 に示すシステムの入力換算オフセット誤差の最大予測値は、これらの誤差の和となります。その計算値を、4 通りのチャンネル・ゲイン設定値全てについて、表 2 に示します。これらの値は周囲温度 ($25 \text{ }^\circ\text{C}$) での最大予測誤差であることに注意してください。

表 2. RTI システム・オフセット誤差の最大予測値

Channel Gain	$V_{OS,AD8251}$ (mV)	$V_{OS,LS}$ (mV)	$V_{OS,ADAQ7988}$ (mV)	$V_{OS,IB}$ (mV)	$V_{OS,SYSTEM}$ (mV)	
					Min	Max
-0.25	±0.8	±3	±2.5	+0.8	-6.3	+7.1
-0.5	±0.5	±1.5	±1.25	+0.4	-3.25	+3.65
-1	±0.35	±0.75	±0.625	+0.2	-1.725	+1.925
-2	±0.275	±0.375	±0.3125	+0.1	-0.9715	+1.0715

オフセット誤差の温度ドリフト

システムの補正手順ではシステムの周囲温度でのオフセット誤差は補正できますが、温度ドリフトによる誤差変動を補正することは通常はできません。オフセットが温度変動とともにどのように変化するかを定量化することは、システムが仕様規定された温度範囲の中でどのように動作するかを評価するうえで有用なことです。シグナル・チェーンの能動部品にはそれぞれ、オフセットに関して仕様規定された温度ドリフトがあります。抵抗ネットワークにも相対的な温度係数の仕様値があり、これによって動作温度範囲の中で各抵抗の変動の相対的な整合が確保されています。

オフセット誤差の温度ドリフトは、各部品の温度ドリフトの影響を組み合わせることで、システムの仕様値として扱うことができます。その際、シグナル・チェーンの部品間での温度の相違はないと仮定します。全てのデバイスの温度が等しく、そのドリフト方向が全て同じであると仮定すると、システムのオフセット温度ドリフトの最大予測値は次式で表せます。

$$TCV_{OS,SYSTEM} = TCV_{OS,AD8251} + TCB_{OS,LS} + TCV_{OS,ADAQ7988}$$

ここで

$TCV_{OS,AD8251}$ は仕様規定された温度範囲での AD8251 の入力換算オフセット・ドリフト (単位は $\mu V/^{\circ}C$)。

$TCV_{OS,LS}$ は ADAQ7988 に内蔵の ADC 用ドライバに供給されるレベル・シフト電圧の温度ドリフト (AD8251 の入力換算値、単位は $\mu V/^{\circ}C$)。

$TCV_{OS,ADAQ7988}$ は ADAQ7988 のオフセット・ドリフト (AD8251 の入力換算値、単位は $\mu V/^{\circ}C$)。

$TCV_{OS,SYSTEM}$ は、図 1 に示す回路の各チャンネルの等価入力換算オフセットの温度ドリフト。

AD8251 の入力換算オフセット・ドリフト ($TCV_{OS,AD8251}$) は、4 通りのゲイン設定値全てについてデータシートに記載されており、これらの値を表 3 に示します。

ADAQ7988 のゼロ誤差温度ドリフトもデータシートに示され、最大 $1.3 \mu V/^{\circ}C$ と仕様規定されています。このドリフトは、周囲温度でのオフセット誤差を変換した際と同じ方法で、次式のようにシステムの RTI 温度ドリフトに変換できます (オフセット誤差解析のセクションを参照)。

$$TCV_{OS,ADAQ7988} = \frac{\pm 1.3 \times (1.25)}{(-0.25) \times G_{AD8251}} (\mu V/^{\circ}C)$$

または

$$TCV_{OS,ADAQ7988} = \frac{\pm 6.5}{G_{AD8251}} (\mu V/^{\circ}C)$$

ここで、 G_{AD8251} は AD8251 のゲイン設定値。

レベル・シフト電圧の温度ドリフトは、 R_1 および R_2 から成る抵抗分圧器の温度ドリフトに起因します。リファレンス・ソースのオフセット・ドリフトは、レファレンス・ソースがレベル・シフト電圧と ADAQ7988 内蔵の ADC とで共用されているため、システムで打ち消されます (アナログ・フロント・エンドのセクションを参照)。したがって、レベル・シフト電圧の温度ドリフトは R_1 および R_2 のドリフトで決まり、次式のようになります。

$$\begin{aligned} V_{LS} &\pm TCV_{LS} \\ &= V_{REF} \times \frac{R_2 \pm TCR_2}{(R_1 \pm TCR_1)(R_2 \pm TCR_2)} \\ &= V_{REF} \times (0.4 \pm TCR_{DIV}) \end{aligned}$$

ここで

V_{LS} はレベル・シフト電圧の公称値 (2 V)。

TCV_{LS} はレベル・シフト電圧の等価温度ドリフト (単位は $\mu V/^{\circ}C$)。

V_{REF} は ADR4550 が供給するリファレンス電圧 (公称 5 V)。

TCR_1 および TCR_2 はそれぞれ R_1 and R_2 の温度係数 (単位は $ppm/^{\circ}C$)。

TCR_{DIV} は抵抗分圧器の等価温度ドリフト (単位は $ppm/^{\circ}C$)。

TCR_{DIV} は分圧比 (公称値 0.4) の偏差 (アナログ・フロント・エンドのセクション参照)。

整合抵抗ネットワークの抵抗には、相対的な抵抗温度係数

(TCR) の最大値が仕様規定されており、 $\pm 15 ppm$ です。レベル・シフト電圧の実効的な温度ドリフトを決めるため、 R_2 には温度ドリフトがないと仮定し、 R_1 から成る部品には $\pm 15 ppm$ の絶対 TCR があると仮定します ($TCR_1 = 15 ppm/^{\circ}C$ 、 $TCR_2 = 0 ppm/^{\circ}C$)。このシナリオでは抵抗分圧器のワーストケースの誤差が示されます。したがって、抵抗分圧器の温度ドリフトの最大予測値は次のようになります。

$$TCR_{DIV,MAX} = \frac{1 k\Omega}{(1.5 k\Omega \pm 15 ppm/^{\circ}C) + 1 k\Omega} - 0.4$$

$TCR_{DIV,MAX}$ は $\pm 9 ppm/^{\circ}C$ に等しくなります。

したがって、レベル・シフト電圧の温度ドリフトは次のようになります。

$$V_{LS} \pm TCV_{LS} = V_{REF} \times (0.4 \pm 9 ppm/^{\circ}C) = 2 V \pm 9 ppm/^{\circ}C$$

TCV_{LS} の単位は $ppm/^{\circ}C$ なので、AD8251 の入力に直接適用できます。 $TCV_{OS,LS}$ は AD8251 の入力端で $\pm 9 ppm/^{\circ}C$ 、すなわち次式のとおりです。

$$TCV_{OS,LS} = \frac{\pm 90 \mu V/^{\circ}C}{G_{AD8251}}$$

図1に示すシステムについてオフセットの温度ドリフトの最大予測値は、各部品の温度ドリフトの和です。その計算値を、4通りのチャンネル・ゲイン設定値全てについて、表3に示します。

表3. システムにおけるオフセットの温度ドリフトの最大予測値

Channel Gain	TCV _{OS,AD8251} (μV/°C)	TCV _{OS,LS} (μV/°C)	TCV _{OS,ADAQ7988} (μV/°C)	TCV _{OS,SYSTEM} (μV/°C)
-0.25	±6.2	±90	±6.5	±102.7
-0.5	±3.7	±45	±3.25	±51.95
-1	±2.45	±22.5	±1.63	±26.58
-2	±1.83	±11.25	±0.82	±13.9

ゲイン誤差解析

ゲイン誤差は、入力信号に比例するシステムの不正確さの一種です。ゲイン誤差の原因には、AD8251 および ADAQ7988 のゲイン誤差、ゲイン設定用抵抗の許容誤差に起因する ADC 用ドライバのシグナル・ゲインの誤差、リファレンス電圧源 (ADR4550) の誤差などがあります。図1に示す回路のチャンネルの公称ゲインは次式のとおりです。

$$G_{SYSTEM,IDEAL} = G_{AD8251} \times \frac{-R_F}{R_G} \times \frac{2^{16}}{V_{REF}} (\text{codes/V})$$

$$= \frac{-3276.8}{G_{AD8251}} (\text{codes/V})$$

ここで

G_{AD8251} は AD8251 のゲイン設定値。

V_{REF} は ADR4550 が供給するリファレンス電圧。

R_F および R_G は ADAQ7988 内蔵の ADC 用ドライバのゲインを設定するために使用する抵抗 (図2参照)。

システムのワーストケースの範囲は、個々の部品のゲイン誤差を足し合わせて求めることができ、次式のようになります。

$$G_{SYSTEM} = \left(G_{AD8251} \pm e_{AD8251} \right) \times \left(\frac{-R_F}{R_G} \pm e_G \right) \times \left[\frac{2^{16}}{V_{REF} \pm e_{REF}} \times (1 \pm e_{ADAQ7988}) \right] (\text{codes/V})$$

ここで

G_{SYSTEM} はシステム全体のゲイン (各チャンネルのゲイン)。

e_{AD8251} は AD8251 のゲイン誤差 (ゲイン設定値のそれぞれに対応)。

e_G は R_F と R_G の比の誤差。 e_{REF} はリファレンス電圧の誤差。

$e_{ADAQ7988}$ は ADAQ7988 のゲイン誤差。

システムのゲイン誤差の最大予測値 (e_{SYSTEM}) は、シグナル・チェーン内における各部品のゲイン誤差の最大予測値の和で、次式のとおりです。

$$e_{SYSTEM} = e_{AD8251} + e_G + e_{REF} + e_{ADAQ7988}$$

表4に、システムのゲイン誤差の最大予測値の計算結果を、4通りのチャンネル・ゲイン設定値に対して示します。

AD8251 の最大ゲイン誤差は、4通りのゲイン設定値に対して仕様規定されています。これらのゲイン誤差は表4の e_{AD8251} の列に示してあります。ADAQ7988 についても、最大ゲイン誤差がパーセント・フルスケールで仕様規定されており、同様に表4に示しています。

ADAQ7988 内蔵の ADC 用ドライバの最大シグナル・ゲイン誤差は、整合抵抗ネットワークのゲイン設定抵抗 (図2の R_F および R_G) の相対許容誤差に基づいて計算できます。レベル・シフト電圧の設定に使用するネットワークと同様、このネットワークには4つの $1\text{ k}\Omega$ 抵抗があります。これらの抵抗で、 $500\ \Omega$ の R_F と $2\text{ k}\Omega$ の R_G が形成され、 -0.25 の公称ゲインとなります (CN-0393 schematic を参照)。ネットワークの抵抗は、相対許容誤差が $\pm 0.05\%$ と仕様規定されており、このため、シグナル・ゲインの最大偏差も約 $\pm 0.05\%$ になります。

リファレンス・ソースの偏差は、システムのオフセット誤差に対しては大きな影響はありませんが、システムのゲイン誤差に対しては影響します。リファレンス・ソースの主要な誤差には、初期出力電圧誤差 ($\pm 0.02\%$ または $\pm 1\text{ mV}$)、ハンダ処理時の熱によるシフト ($\pm 0.02\%$ または $\pm 1\text{ mV}$)、負荷レギュレーションの限界 (80 ppm/mA) による不正確さがあります。これらの仕様値は ADR4550 データシートに記載されています。図1の回路において、ADR4550 は両チャンネルのレベル・シフト電圧を設定している整合抵抗ネットワークに直結しています。各ネットワークは $2.5\text{ k}\Omega$ の負荷として機能します。したがって、ADR4550 は合計 4 mA の電流源となり、負荷レギュレーション誤差のワーストケースは 320 ppm 、すなわち $\pm 1.6\text{ mV}$ となります。リファレンス電圧の合計最大誤差はこれら3つの誤差の合計値で $\pm 3.6\text{ mV}$ 、つまり $\pm 0.072\%$ となります。

図1のシステム全体のゲイン誤差の最大予測値は、これらの各部品の誤差を用いて求めることができます。表4に、システムのゲイン誤差の最大予測値を、4通りのチャンネル・ゲイン設定値に対して示します。これらの値は周囲温度 ($25\text{ }^\circ\text{C}$) での最大予測誤差であることに注意してください。

表4. システムのゲイン誤差の最大予測値

Channel Gain	e_{AD8251}	e_G	e_{REF}	$e_{ADAQ7988}$	e_{SYSTEM}
-0.25	±0.03%	±0.05%	±0.072%	±0.01%	±0.162%
-0.5	±0.04%	±0.05%	±0.072%	±0.01%	±0.172%
-1	±0.04%	±0.05%	±0.072%	±0.01%	±0.172%
-2	±0.04%	±0.05%	±0.072%	±0.01%	±0.172%

ゲイン誤差の温度ドリフト

システムのゲイン誤差は温度の変動にも敏感です。オフセット誤差のドリフトと同様、ゲインの温度ドリフトを定量化することが重要です。なぜなら、これらの変動は通常、校正では補正できないためです。シグナル・チェーンの能動部品にはそれぞれ、ゲインに関して仕様規定された温度ドリフトがあります。抵抗ネットワークにも相対的な温度係数の仕様値があり、これによって動作温度範囲の中で各抵抗の変動の相対的な整合が確保されています。

システム・ゲインの温度による変動は、各 부품の温度ドリフトの仕様値の関数です。周囲温度でのシステムのゲイン誤差と同様、システム・ゲインの温度ドリフトの最大予測値は、次式のように部品のゲインの温度ドリフトの和となります。

$$TC_{SYSTEM} = TC_{AD8251} + TC_G + TC_{REF} + TC_{ADAQ7988}$$

ここで

TC_{SYSTEM} はシステム・ゲインの温度ドリフトの最大予測値。

TC_{AD8251} は AD8251 のゲインの温度ドリフト仕様値。

TC_G は ADAQ7988 に内蔵の ADC 用ドライバのクロズドループ・ゲインにおけるゲインの温度ドリフト (R_F および R_G の温度ドリフトの関数)。

TC_{REF} は ADR4550 の温度ドリフト仕様値。

$TC_{ADAQ7988}$ は ADAQ7988 のゲイン誤差の温度ドリフト仕様値。

TC_{AD8251} 、 TC_{REF} 、 $TC_{ADAQ7988}$ は AD8251、ADR4550、ADAQ7988 のデータシートに記載されています。 TC_{AD8251} は 10 ppm/°C (AD8251 の全ゲイン設定値に対して)、 TC_{REF} は 2 ppm/°C、 $TC_{ADAQ7988}$ は 0.4 ppm/°C です。

TC_G は R_F および R_G を構成する整合抵抗ネットワークの相対 TCR によって決まります。オフセット誤差の温度ドリフトのセクションで説明したように、これらの抵抗には 15 ppm/°C に相当する相対 TCR があります。ADC 用ドライバのクロズドループ・ゲインは R_G に対する R_F の比なので、クロズドループ・ゲインの温度ドリフトは、この相対 TCR に対応する仕様値に等しくなります。したがって、 TC_G は 15 ppm/°C です。

これにより、 TC_{SYSTEM} は次のようになります。

$$TC_{SYSTEM} = \pm 10 \text{ ppm/}^\circ\text{C} \pm 15 \text{ ppm/}^\circ\text{C} \pm 2 \text{ ppm/}^\circ\text{C} \pm 0.4 \text{ ppm/}^\circ\text{C} = \pm 27.4 \text{ ppm/}^\circ\text{C}$$

デジタル・インターフェースとアイソレーション

図 1 に示すシステムは、デジタル・ホストとデータ・アクイジション・シグナル・チェーンとの間で絶縁が施されています。ADuM3470 および ADuM3150 にはそれぞれ、AD8251 のアドレス信号と ADAQ7988 の SPI 信号に対してデジタル・アイソレーション・チャンネルが備わっています。

デジタル・アイソレーションを施す設計上、鍵となる考慮事項は、絶縁チャンネルを有効活用すること、すなわち設計を完成させる際に用いる絶縁チャンネルの数を最適化することです。その理由は、絶縁チャンネルを追加することで、新たな部品の追加が必要となる可能性があり、それにより設計コスト、回路面積、消費電力が増加する可能性があるためです。このシステムのデジタル実装では、絶縁障壁間の ADAQ7988 SPI 信号の配線経路を最適化することだけではなく、AD8251 のアドレス信号を制御するアイソレータ・デバイス内に配電回路を含めることで、効率化を実現しています。

図 4 に、ADAQ7988 デバイスとマスターとの間の ADuM3150 絶縁チャンネルを介したデジタル・インターフェース接続を示します。

ADuM3150 SPI Isolator™ デジタル・アイソレータ・デバイスは絶縁型 SPI インターフェース向けに最適化されています。スレーブ・セレクト、MOSI、MISO、シリアル・クロック信号用の 4 つの高速絶縁チャンネルを備え、それらが両方の ADAQ7988 のデジタル入出力ピンに接続されています。

さらに、ADuM3150 には遅延クロック (DCLK) 出力機能があり、これによって、SPI インターフェースでのデジタル・タイミングの制約が著しく軽減され、40 Mbps の SPI 転送レートが、シリアル・クロックをマスターにフィードバックする絶縁チャンネルを設けずに実現できます。図 4 に SPI 信号と DCLK 信号の配線図を示します。

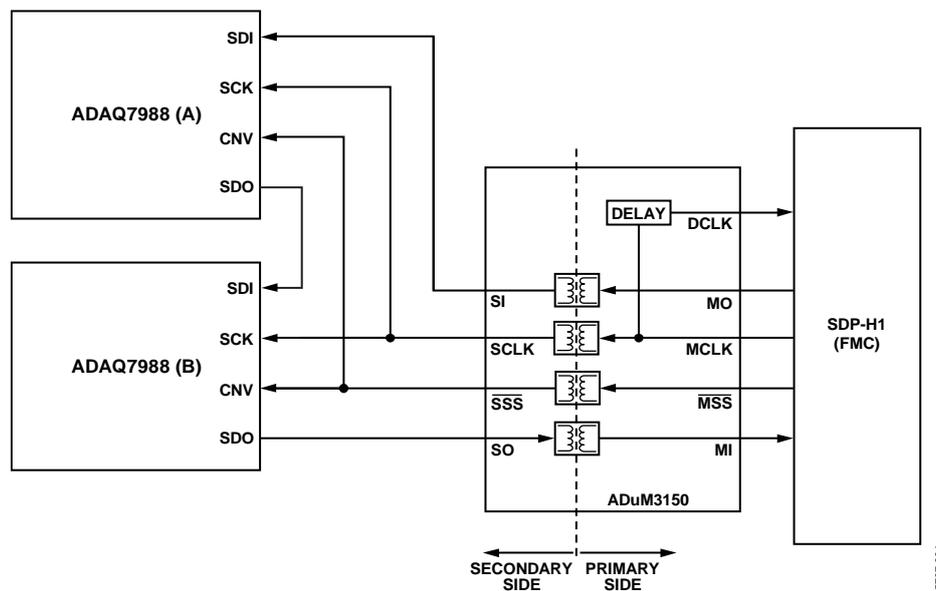


図 4. デジタル・インターフェースの簡略化した回路図

DCLK 信号は、マスターが供給するシリアル・クロック (MCLK) を遅延させた複製信号です。MCLK と DCLK 間の遅延は、シリアル・クロックと ADuM3150 の MISO チャンネルの往復の伝搬遅延に一致するよう、出荷テスト時に調整されます。DCLK は、マスターが独立した読出しクロックとして使用し、MISO ラインのデータをクロックに同期して入力させます。この構成にすると、MISO データは DCLK にクロック同期して入力する瞬間、確実に用意ができています。詳細については、MS-2689 技術記事、*Isolating SPI for High Bandwidth Sensors* を参照してください。

ADAQ7988 デバイスは、デジチェーン・モードで構成される設計となっています。この構成により、両方の ADAQ7988 デバイスの 16 ビット出力が 1 本の MISO (SDO) ラインで伝送でき、データをマスターに返送する絶縁チャンネルも 1 本で済みます。両デバイスからの変換結果は、2 つのシリアル接続された 16 ビットのシフト・レジスタと同様に、SCK ピンの立下がりエッジでクロックに同期して出力されます。この構成では、マスターは 32 ビットのシリアル・クロック・サイクルを出力して、両方の結果を読み出すことが必要です。

デジタル・アイソレータを使用したレイアウト設計についての詳細は、ADuM3470 および ADuM3150 のデータシートを参照してください。

配電

AD8251 のアドレスに絶縁チャンネルを設定することに加え、ADuM3470 は図 1 の回路の一次側から二次側へ電力を供給します。ADuM3470 は PWM コントローラと低インピーダンス・トランス・ドライバ (X1 および X2) を内蔵しており、これにより、外部トランス、全波ショットキー・ダイオード整流器、ローパス・フィルタを駆動します。電源回路は、5 V または 3.3 V の入力電圧時に、最大 2 W を出力する絶縁された安定化電源です。これにより、絶縁型 DC/DC コンバータを別途用意する必要がなくなります。

ADuM3470 の安定化は正側電源を用いて行われます。分圧器ネットワークから安定化用の帰還が行われ、出力電圧が約 16.5 V のとき、帰還電圧が 1.25 V になるように選択されています。この帰還電圧は ADuM3470 の内部帰還設定電圧 1.25 V と比較されます。安定化は外部トランスを駆動する PWM 信号のデューティ・サイクルを変えることにより実行されます。

トランスの正側および負側の電力出力は、数個の ADP7118 および ADP7182 の低ドロップアウト (LDO) レギュレータによって安定化されます。表 5 に二次側に供給されるレールを示します。

表 5. 二次側の供給レール

Rail Name	Voltage	Function	Device Used
+VS	+15 V	AD8251 positive rail	ADP7118
V+	+7.5 V	ADAQ7988 ADC driver positive rail	ADP7118
VDD	+5 V	ADAQ7988 LDO input supply	ADP7118
-VS	-15 V	AD8251 negative rail	ADP7182
V-	-2.5 V	ADAQ7988 ADC driver negative rail	ADP7182

性能測定

AC 性能の測定結果

図 1 の回路のチャンネルの 1 つについて測定した、入力トーンが 1 kHz および 10 kHz の場合の AC 性能を、表 6 に示します。測定仕様は、S/N 比 (SNR)、全高調波歪み (THD)、信号/ノイズ+歪み (SINAD) です。図 5、6、7 に、SNR、THD、SINAD と周波数の関係を、4 通りのチャンネル・ゲイン設定値について示します。THD には 5 次高調波まで含まれています。

入力信号として、Audio Precision 製 SYS-2700 シリーズのシグナル・ジェネレータを使用し、1 kHz、10 kHz、20 kHz、50 kHz の差動フルスケール信号を供給しました。ゲインが -0.25、-0.5、-1、-2 の場合に対するフルスケール入力信号はそれぞれ、±10 V、±5 V、±2.5 V、±1.25 V です。

表 6. CN-0393 AC 性能の測定結果

Gain (V/V)	$f_{IN} = 1 \text{ kHz}$			$f_{IN} = 10 \text{ kHz}$		
	SNR	THD	SINAD	SNR	THD	SINAD
-0.25	90.4	-104.5	90.3	90.4	-95.5	89.3
-0.5	89.2	-103.4	89.1	89.1	-95.2	88.2
-1	89.1	-105.9	89.1	88.9	-94.7	88.0
-2	87.2	-102.8	87.2	87.0	-94.6	86.4

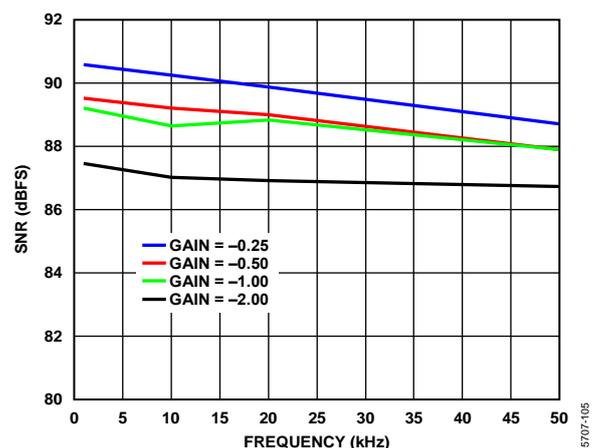


図 5. S/N 比と入力周波数の関係

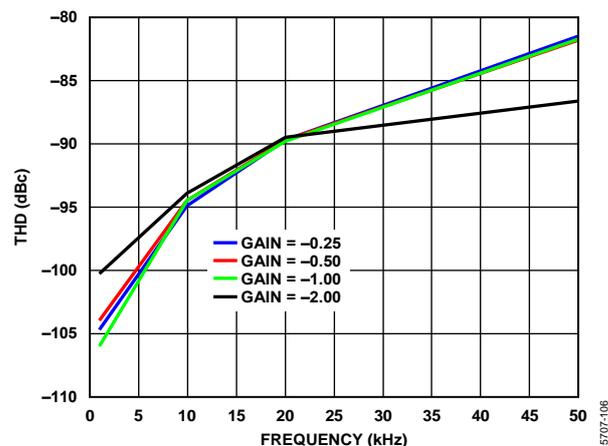


図 6. THD と入力周波数の関係

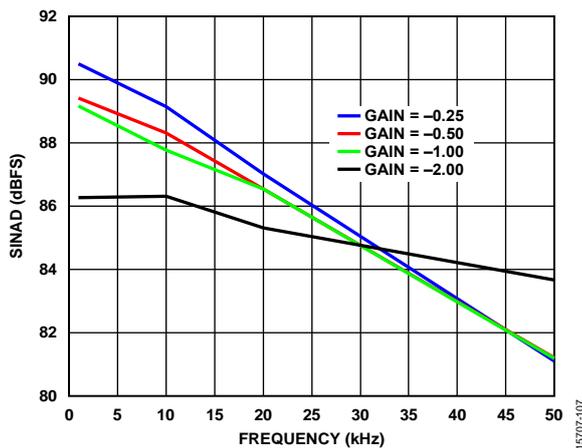


図 7. SINAD と入力周波数の関係

DC 性能の測定結果

各チャンネルに対するオフセット誤差とゲイン誤差を 4 通りの各ゲイン設定値について測定しました。同一基板上的両チャンネルのオフセット誤差とゲイン誤差を、4 通りのゲイン設定値で測定した結果を表 7 に示します。

表 7 に示すオフセット誤差は mV が単位で、システム入力に換算したものです。まず、AD8251 への入力を両チャンネルとも接地し、131,072 点の出力コードを取得し平均化して、システムの平均コードオフセット (N_{OS}) を求めました。入力換算オフセットは、次式を用いて電圧に換算できます。

$$V_{OS}(RTI) = N_{OS} \times \left(\frac{V_{REF}}{2^N \times G} \right)$$

ここで

V_{REF} はリファレンス電圧 (このシステムでは 5 V)。

N は ADAQ7988 の内蔵 SAR ADC の解像度 (16 ビット)。

G はシステムのゲインで、AD8251 のゲインと ADC 用ドライバのゲインとの積に等しい。

オフセット誤差は、単一の基板上の両チャンネルに対し、全てのゲイン設定値で測定しました。

ゲイン誤差は、値のわかっている 2 通りの電圧を入力し、結果の出力コード (および 131,072 点の平均値) を記録し、これらの結果コード間の直線の傾きと理想的な場合の傾きとを比較して決定しました。理想的な傾き (m_{IDEAL}) は、リファレンス電圧 (V_{REF}) と SAR ADC の解像度 (N) の関数で、次式で表せません。

$$m_{IDEAL} = \frac{2^N}{V_{REF}}$$

傾きの測定値は次のとおりです。

$$m_{REAL} = \frac{N_2 - N_1}{V_2 - V_1}$$

ここで

N_1 および N_2 は、2 点の入力値 V_1 および V_2 で測定した平均の出力コード。

V_1 および V_2 は、システムの正側と負側のフルスケール付近の電圧。

ゲイン誤差は、表 7 においてパーセント・フルスケール (%FS) 誤差として表記されています。これらは次式で計算できます。

$$\%FS = \frac{m_{REAL} - m_{IDEAL}}{m_{IDEAL}} \times 100\%$$

表 7. ゲインとチャンネルに対するオフセット誤差とゲイン誤差

Gain (V/V)	Channel A		Channel B	
	Offset Error (mV)	Gain Error (%FS)	Offset Error (mV)	Gain Error (%FS)
-0.25	-2.9	-0.01	-4.9	0.11
-0.5	-1.4	-0.01	-2.5	0.12
-1	-0.7	-0.01	-1.3	0.12
-2	-0.4	-0.01	-0.8	0.12

バリエーション回路

さらに高精度な抵抗ネットワーク

システムの精度解析のセクションで、システム全体のオフセット誤差、ゲイン誤差、ドリフトについて、各部品の性能を基に定量化しました。ADAQ7988 ADC 用ドライバのゲインとレベル・シフト電圧を設定する抵抗ネットワークの許容誤差と温度係数のマッチングが、これらの誤差 (特にオフセット温度ドリフト) に大きく影響します。これらの受動部品が関与する誤差を軽減するため、システムでは許容誤差と TCR マッチングの仕様がより厳しい整合抵抗ネットワークを用いることもできます。これらの整合抵抗ネットワークによって、システム全体の正確度は向上しますが、システム・コストが上昇します。これらの部品を選択する際には、アプリケーションの最終条件を考慮する必要があります。

ADAQ7988 の単電源構成

ADAQ7988 は単電源構成で動作可能です。消費電力と部品点数を削減することが目的の設計では、負電源のレールを接地し、正電源のレールだけでデバイスを駆動とすることが適している場合があります。内蔵の ADC 用ドライバとリファレンス・バッファのヘッドルーム条件が満たされる限り、デバイスの動作仕様への影響を最小限に抑えたままこの構成を採用することができます。これらの仕様については、ADAQ7988 データシートを参照してください。

リファレンス電圧は、ADAQ7988 のリファレンス・バッファのヘッドルーム仕様を満たすよう設定する必要があります。例えば、 $V+$ に 5 V を供給する場合、リファレンス電圧は 3.3 V を超えないようにします。

追加の回路保護

図1の回路には、いくつかの過電圧保護手段が組み込まれています。TVS保護ダイオードが両チャンネルの両入力に設けられ、大きなトランジェント電圧スパイクからチャンネルを保護しています。ADAQ7988 の設計も堅牢で、AD8251 の出力が範囲を超えるような過電圧事象にも十分対処できます。ADC の ESD ダイオード、内蔵の $20\ \Omega$ 抵抗、内蔵のリファレンス・バッファおよび ADC 用ドライバの短絡回路電流限界により、デバイスの損傷を防止しています（詳細は、ADAQ7988 データシートを参照）。図8に、ADC 内部の ESD ダイオードが接続された様子を示します。

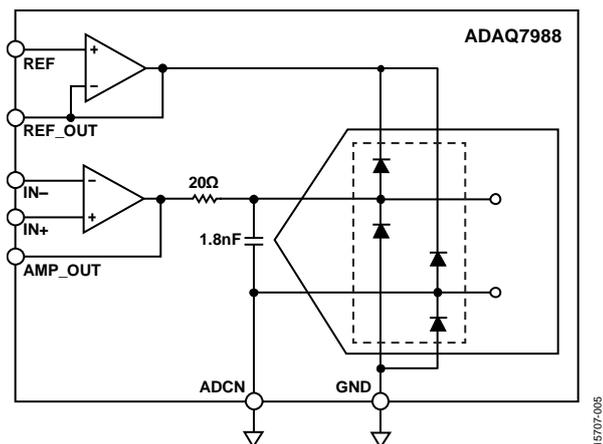


図 8. ADC 入力部の ESD ダイオード

ADAQ7988 に内蔵の ADC 用ドライバがリファレンス電圧を超えた場合、ADC 入力と REF_OUT 間に接続された ESD ダイオードがオンになります。ダイオードを流れる電流は AMP_OUT と REF_OUT の電圧および $20\ \Omega$ の直列抵抗によって決まります。標準的な SAR ADC の設計では、ESD ダイオードを流れる電流によってリファレンス・ソースが変動することのないよう注意が必要で、このソースを複数のデバイスで共有している場合は特に注意が必要です。しかし、2つのアンプに対する短絡電流制限によって、リファレンス・バッファは変動することなく、ADC 用ドライバからの電流を吸い込めることが確保されています。

しかし、保護がさらに必要な場合は、ショットキー・ダイオードを使用して ADC の入力電圧を REF_OUT にクランプすることができます。ショットキー・ダイオードは、過電圧事象が発生した場合に、ADC 用ドライバの出力電流の代替経路となり、この出力電流が ADC の ESD ダイオードに流れ込まないようにし、リファレンスに妨害を与えないようにします。図9に SAR ADC シグナル・チェーンでのショットキー・ダイオードの実装例を示します。

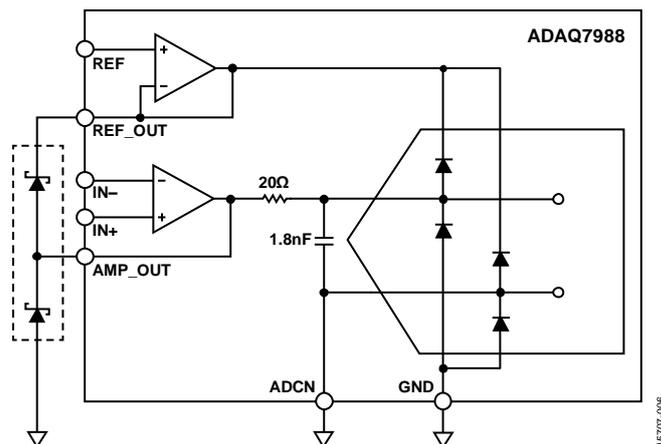


図 9. ショットキー・ダイオードを使用した追加の過電圧保護

図1の回路において、ADAQ7988 に内蔵の ADC 用ドライバの出力位置に、図9の接続図にある同一のショットキー・ダイオードを設けるだけのフットプリントがあります。回路図、ボード・レイアウト、部品表などの EVAL-CN0393-FMCZ ボードの技術文書は全て CN-0393 設計支援パッケージ

(www.analog.com/CN0393-DesignSupport) から入手できます。

追加チャンネル

図1の回路では AD8251 デバイスに向かう4つのアドレス信号のそれぞれに、絶縁チャンネルを使用しています。これは2チャンネルの設計では適切ですが、さらに多くのチャンネルを使用する場合は、別のアプローチをとる必要があります。

チャンネル数によって、設計では追加の信号に対応してより多くのデジタル・アイソレータを設置するか、コントローラを二次側に設けてマスター・デバイスからの命令によってこれらの信号を生成するようにする場合があります。後者のオプションは1つの SPI インターフェースで実現でき、このため、絶縁デバイスをこれ以上増やす必要はありません。

絶縁障壁間での単電源構成

図1の回路の電源構成は、部品数とボード面積を削減するように設計されています。これは、ADuM3470 を使用して、AD8251 デバイスを駆動するのに十分な大きさを持つ正側および負側のレールを供給することで、実現しています。さらに ADuM3470 は、電源を2個は必要としないアプリケーション向けに、単一の安定化電源の機能を提供します。ADP5070 DC/DC スウィッチング・レギュレータを使用すれば、単一の DC 入力を用いてより大きなバイポーラ電圧を発生させることができます。ADuM3470 を ADP5070 と組み合わせて、データ・アクイジション・シグナル・チェーン用にバイポーラ・レールを発生させる方法は、CN-0385 で用いられています。

回路の評価とテスト

この回路では、EVAL-CN0393-FMCZ 回路ボードと SDP-H1 システム・デモンストレーション・プラットフォーム・コントローラ・ボード (EVAL-SDP-CH1Z) を使用しています。これら 2 枚のボードは 160 ピン接続用コネクタで接続され、手早く組み立てて回路の性能を評価することができます。EVAL-CN0393-FMCZ ボードには図 1 の回路と SDP-H1 ボード・インターフェースが、この回路を動作させる CN-0393 評価ソフトウェアとともに含まれています。

必要な装置

以下の装置が必要になります。

- USB ポート付き Windows® XP、Windows Vista® または Windows 7® 搭載 PC
- EVAL-CN0393-FMCZ 回路評価用ボード
- SDP-H1 コントローラ・ボード (EVAL-SDP-CH1Z)
- CN-0393 評価用ソフトウェア
(<ftp://ftp.analog.com/pub/cftl/CN0393/> からダウンロード可能)
- 12 V DC スイッチング電源
- USB - microUSB 変換ケーブル
- 低歪み、低ノイズ・シグナル・ジェネレータ (±10 V の信号を入力する用途)
- ロー・ノイズ、高精度 DC 電源 (±10 V の電源を供給する用途)

ソフトウェアのインストール

評価用ソフトウェアを <ftp://ftp.analog.com/pub/cftl/CN0393/> からダウンロードし、PC にインストールします。CN-0393 ユーザー・ガイドにこのソフトウェアのインストールおよび実行方法が記載されています。

セットアップとテスト

EVAL-CN0393-FMCZ ボードと SDP-H1 ボードとを 160 ピン FMC コネクタで接続した後、電源とハードウェアを接続します。EVAL-CN0393-FMCZ および SDP-H1 のハードウェアのセットアップは、次の手順に従います。

1. EVAL-CN0393-FMCZ と SDP-H1 を 160 ピン FMC コネクタで接続します。
2. 12 V DC スイッチング電源を SDP-H1 ボードの +12V_VIN ジャックに接続します。CN-0393 評価ソフトウェアの初期化が済んでから、EVAL-CN0393-FMCZ ボードに電源を供給するように注意してください。
3. SDP-H1 ボードを、USB ケーブルを介して PC に接続します。
4. CN-0393 評価ソフトウェアを実行します (実行方法は CN-0393 ユーザー・ガイドを参照してください)。

テスト・セットアップの機能ブロック図を図 10 に示します。信号源は SMA コネクタまたはテスト・ポイントを介してどちらのチャンネルにも接続できます。EVAL-CN0393-FMCZ の完全な回路図については、CN-0393 設計支援パッケージを参照してください。

EVAL-CN0393-FMCZ ボードの写真を図 11 に示します。

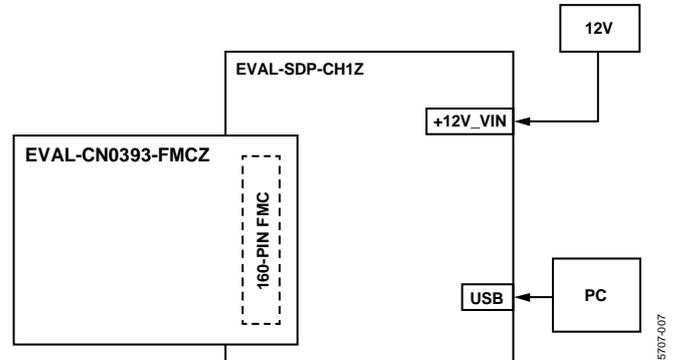


図 10. CN-0393 評価用ハードウェアの接続図

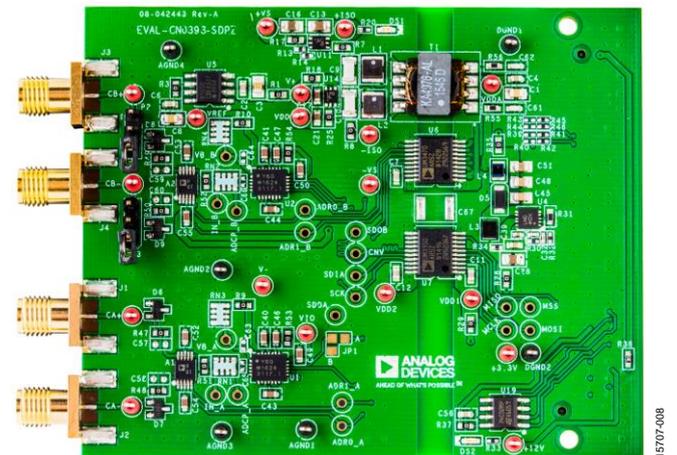


図 11. EVAL-CN0393-FMCZ ボードの写真

さらに詳しい資料

CN-0393 Design Support Package:
www.analog.com/CN0393-DesignSupport

SDP User Guide (UG-277). Analog Devices.

Ardizzoni, John. *A Practical Guide to High-Speed Printed-Circuit Board Layout*. Analog Dialogue 39-09, September 2005.

Cantrell, Mark and Goswami, Bikirian. "Maximizing Performance and Integration in Applications Requiring Isolated SPI," Analog Devices.

Curran, Ryan. "Improving Precision Data Acquisition Signal Chain Density Using SiP Technology," Analog Dialogue 51-01, January 2017.

Kester, Walt. "Multichannel Data Acquisition Systems" in *The Data Conversion Handbook*, Section 8-2. Analog Devices/Elsevier, 2005.

Analog Dialogue 46-12, December 2012: 高精度 SAR A/D コンバータ (ADC) のフロントエンド・アンプと RC フィルタの設計

Walsh, Alan. "Protecting ADC Inputs," EDN Network, October 2015.

Walsh, Alan. "Voltage Reference Design for Precision Successive-Approximation ADCs," Analog Dialogue 47-06, June 2014.

Zhao, Flow. "Inside iCoupler® Technology: ADuM347x PWM Controller and Transformer Driver with Quad-Channel Isolators Design Summary," Analog Devices.

AN-931 Application Note: PulSAR ADC サポート回路の解説

AN-1264 Application Note: 高分解能産業用アプリケーションに適した高精度シグナル・コンディショニング

Circuit Note CN-0385: 工業用シングル・エンドおよび差動信号対応 PGIA 付き絶縁型マルチチャンネル・データ・アクイジション・システム

MS-2689 Technical Article. *Isolating SPI for High Bandwidth Sensors*. Analog Devices.

MT-004 Tutorial. *The Good, the Bad, and the Ugly Aspects of ADC Input Noise—Is No Noise Good Noise?* Analog Devices.

MT-021 Tutorial. *ADC Architectures II: Successive Approximation ADCs*. Analog Devices.

MT-035 Tutorial. *Op Amp Inputs, Outputs, Single-Supply and Rail-to-Rail Issues*. Analog Devices.

MT-038 Tutorial. *Op Amp Input Bias Current*. Analog Devices.

MT-048 Tutorial. *Op Amp Noise Relationships: 1/f Noise, RMS Noise and Equivalent Noise Bandwidth*. Analog Devices.

MT-049 Tutorial. *Op Amp Total Output Noise Calculations for Single-Pole System*. Analog Devices.

MT-050 Tutorial. *Op Amp Total Output Noise Calculations for Second-Order System*. Analog Devices.

データシートと評価用ボード

CN-0393 回路評価用ボード (EVAL-CN0393-SDPZ)

システム・デモンストレーション・プラットフォーム (EVAL-SDP-CH1Z)

ADAQ7988 データシート

ADAQ7988 評価用ボード

AD8251 データシート

ADuM3470 データシート

ADuM3150 データシート

ADR4550 データシート

ADP7118 データシート

ADP7182 データシート

ADP1614 データシート

改訂履歴

4/2017—Revision 0: Initial Version

「Circuits from the Lab/実用回路集」はアナログ・デバイセズ社製品専用に作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確かつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2017 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。