



テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は支援は <http://www.analog.com/jp/CN0375> をご覧ください。

| 使用したリファレンス・デバイス | |
|-----------------|--|
| AD9142A | D/A コンバータ、16 ビット、1600 MSPS、デュアル、TxDAC+ |
| ADRF6720 | 広帯域 (700 MHz ~ 3 GHz) 直交変調器、PLL/VCO を内蔵、入力バイアス電圧 0.5 V |
| ADL5320 | RF ドライバ・アンプ、400 MHz ~ 2700 MHz、 $\frac{1}{4}$ W |

3G、4G、および LTE 通信システム用の広帯域低歪みトランスミッタ

評価および設計サポート環境

設計と統合ファイル

[回路図](#)、[レイアウト・ファイル](#)、[部品表](#)

回路の機能とその利点

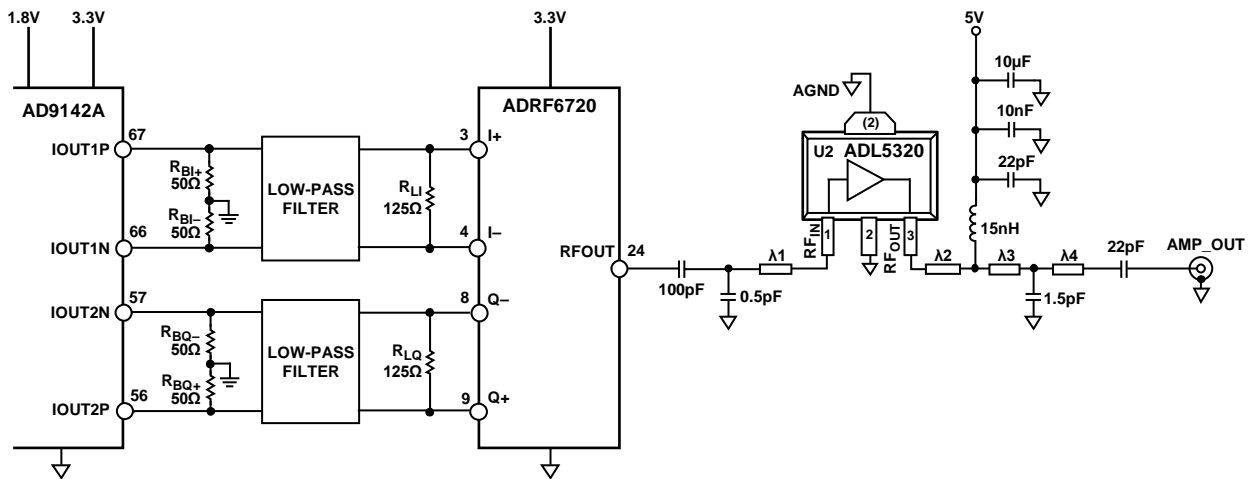
図 1 に示す回路は、高速デュアル TxDAC+ D/A コンバータ (DAC)、広帯域 I/Q 変調器、および出力ドライバ・アンプを用いた広帯域で低歪みの RF トランスミッタです。

これらのデバイスは十分整合しており、DAC と変調器の間および変調器とドライバ・アンプの間を直接インターフェースすることにより、3G、4G、LTE など多くの RF 通信アプリケーション向けのコンパクトなソリューションを提供します。

回路説明

図 1 と図 2 に示す RF トランスミッタは、AD9142A TxDAC、フェーズロック・ループ (PLL) / 電圧制御発振器 (VCO) 内蔵の広帯域 I/Q 変調器 ADRF6720、および ADL5320 $\frac{1}{4}$ W ドライバ・アンプを使用しています。

DAC と変調器の間のインターフェース回路の信号のバイアスとスケージングは、それぞれ 4 本のグラウンド基準抵抗 (R_{BI+} 、 R_{BI-} 、 R_{BQ+} 、 R_{BQ-}) と 2 本のシャント抵抗 (R_{LI} および R_{LQ}) によって調整します。ドライバ・アンプ ADL5320 の入出力のマッチングは、入力と出力にシャント・コンデンサを使って実装します。必要なマッチング部品と配置は ADL5320 のデータシートに示されています。



NOTES
1. SEE ADL5320 DATA SHEET FOR COMPONENT SPACING (λ) VALUES

図 1. DAC とドライバ・アンプを備えた I/Q 変調器の簡略回路図 (全接続の一部およびデカップリングは省略されています)

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

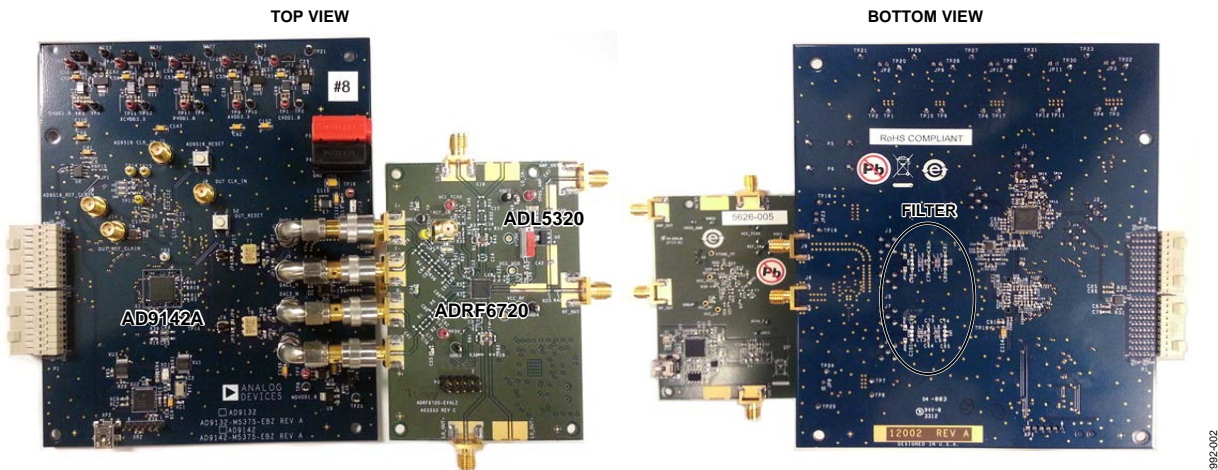


図 2. 回路実装のために修正した AD9142A 評価用ボードと ADRF6720 評価用ボード

AD9142A のフルスケール出力電流の公称値とデフォルト値は 20 mA です。この電流により、4 本のグラウンド基準の 50 Ω 抵抗 ($R_{BI+} = R_{BI-} = R_{BQ+} = R_{BQ-}$) を用いた各 DAC 出力ペアに 500 mV の DC バイアス・レベルと差動振幅が 2 V p-p のフルスケール出力電圧が発生します。この 2 V p-p の電圧振幅は、変調器 ADRF6720 の 500 Ω の I/Q 入力インピーダンスと並列の R_L シャント抵抗 ($R_L = R_{LI} = R_{LQ}$) によって調整することができます。500 mV の DC バイアス・レベルはこの調整による影響を受けません。たとえば、実効差動負荷が 100 Ω の場合、各シングルエンド出力は 250 mV と 750 mV の間を振幅しますが、平均値は 500 mV に保たれます。

R_L 振幅制限抵抗と 500 Ω の並列差動入力インピーダンスの関数として得られるピーク to ピーク差動振幅を図 3 に示します。

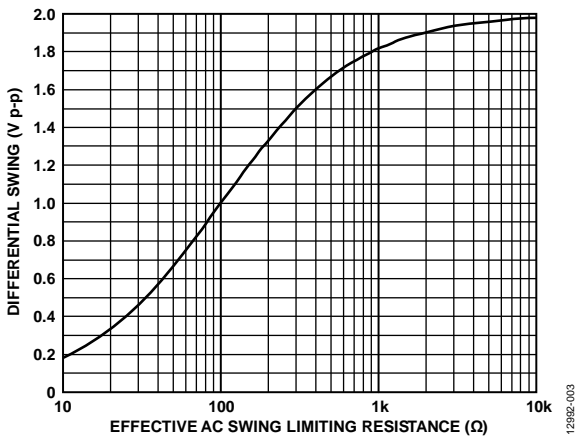


図 3. 50 Ω のバイアス設定抵抗を用いた場合の、実効 AC 振幅制限抵抗とピーク to ピーク電圧振幅の関係

I/Q フィルタリング

ナイキスト・イメージ、同相ノイズ、および広帯域 DAC ノイズを除去するため、DAC と変調器の間にアンチエイリアシング・フィルタが必要です。このフィルタは DC バイアス設定抵抗と AC 振幅制限抵抗の間に配置します。

DC バイアス設定抵抗でフィルタの信号源インピーダンスを設定し、ADRF6720 の 500 Ω の入力インピーダンスと並列の AC 振幅制限抵抗でフィルタの負荷インピーダンスを設定します。

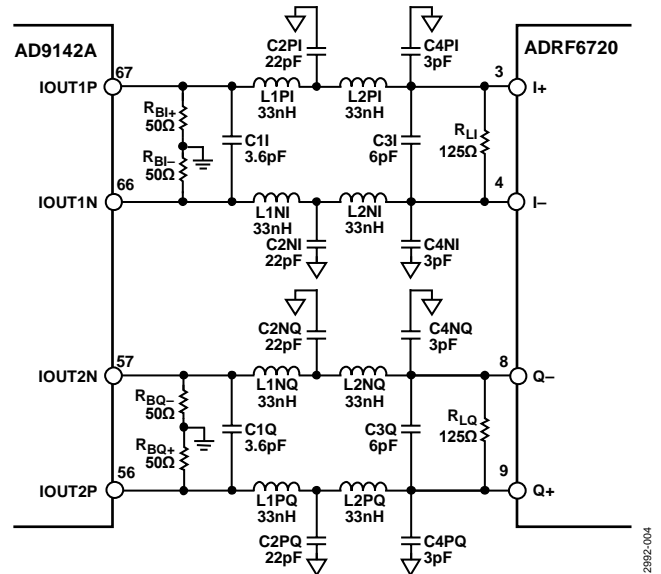


図 4. $f_c = 300$ MHz の 5 次バターワース・フィルタを使った DAC と変調器の間の推奨インターフェース・トポロジー

システム・レベル・シミュレーション

DAC、IQ 変調器、およびドライバ・アンプの 2140 MHz でのカスケード接続性能のシミュレーション結果を図 5 に示します。AD9142A、ADRF6720、および ADL5320 はダイナミック・レンジとゲインが整合しています。図 5 は、複合出力 3 次インターセプト (OIP3) が 39.4 dBm、隣接チャンネル漏れ率 (ACLR) 性能が約 -76dBc であることを示しています。このシミュレーションは ADIsimRF 設計ツールを使って行いました。

ADRF6720 の直線性は、MOD_RSEL (レジスタ 0x31、ビット [12:6]) の設定値と MOD_CSEL (レジスタ 0x31、ビット [5:0]) の設定値を使って最適化できます。これらの設定値でベースバンド入力段への逆位相の歪みの大きさを調整して、歪みを補正します。

ADRF6720 の MOD_RSEL レジスタと MOD_CSEL レジスタの設定値を変更することによる、ゼロ IF、100MHz の複素 IF、および 200 MHz の複素 IF での出力 2 次インターセプト

(OIP2) および OIP3 の最適化の測定プロットを図 6 ~ 図 11 に示します。

MOD_RSEL 軸の 32 ステップごとの最適化された OIP3 性能を図 6、図 7、および図 8 に示しますが、OIP3 性能はゼロ IF での MOD_CSEL と比べてあまり変わりません。ただし、IF 周波数が高くなると MOD_CSEL に対する感度が上がります。

MOD_RSEL と MOD_CSEL の最適化により、OIP3 はゼロ IF で約 42 dBm、100 MHz IF で約 4 dBm、200 MHz IF で約 48 dBm になります。

RSEL と CSEL を調整しても OIP2 の性能にあまり影響しませんが、高い IF 周波数ではある程度性能が低下します。

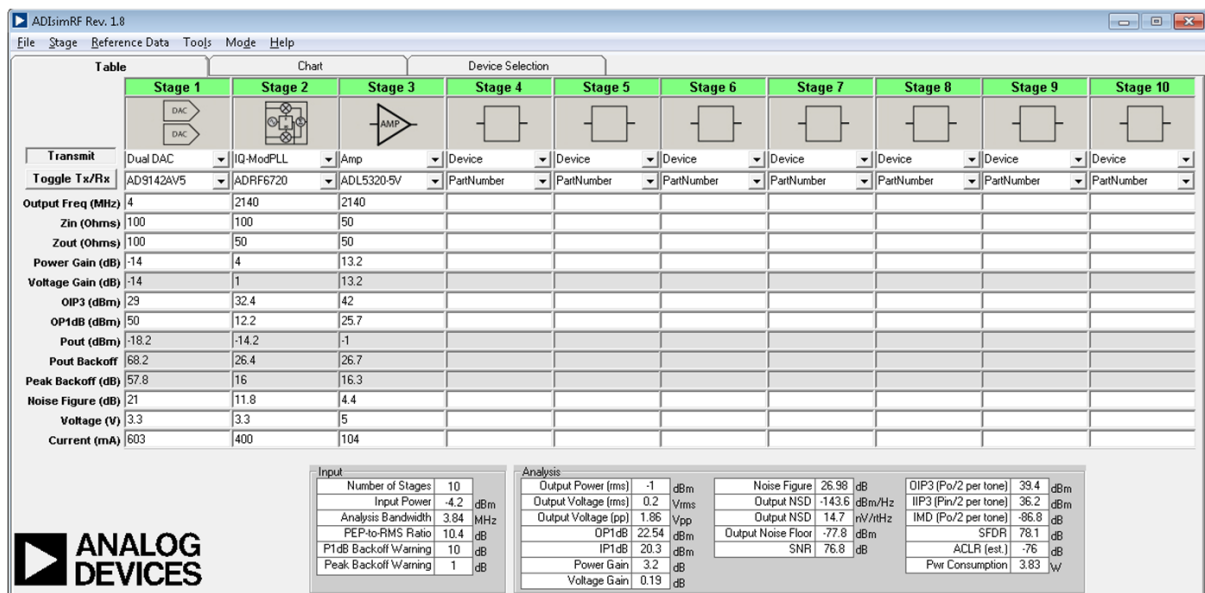


図 5. AD9142A、ADRF6720、ADL5320 のカスケード接続性能を示す ADIsimRF 設計ツールのスクリーンショット

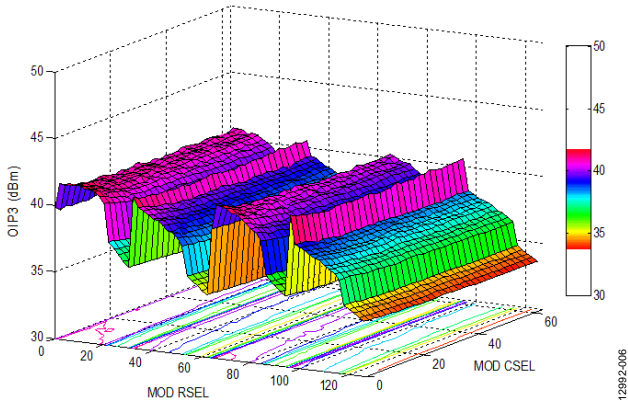


図 6. $f_{RF} = 2140$ MHz、ゼロ IF、ADL5320 の出力電力 = 11 dBm での MOD_CSEL および MOD_RSEL 対 OIP3

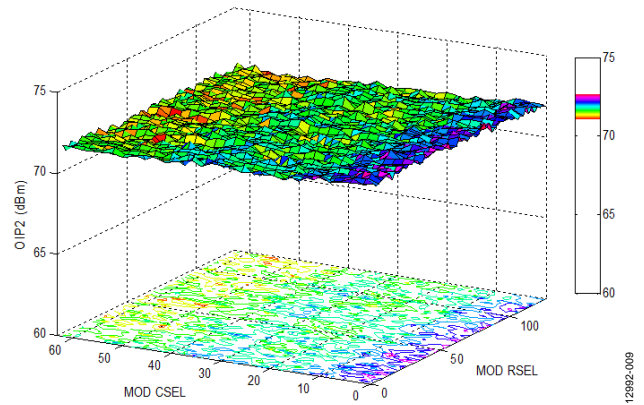


図 9. $f_{RF} = 2140$ MHz、ゼロ IF、ADL5320 の出力電力 = 11 dBm での MOD_CSEL および MOD_RSEL 対 OIP2

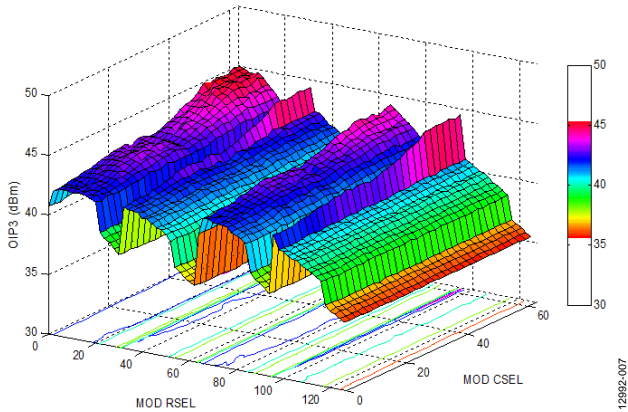


図 7. $f_{RF} = 2140$ MHz、100 MHz IF、2340 MHz LO、ADL5320 の出力電力 = 11 dBm での MOD_CSEL および MOD_RSEL 対 OIP3

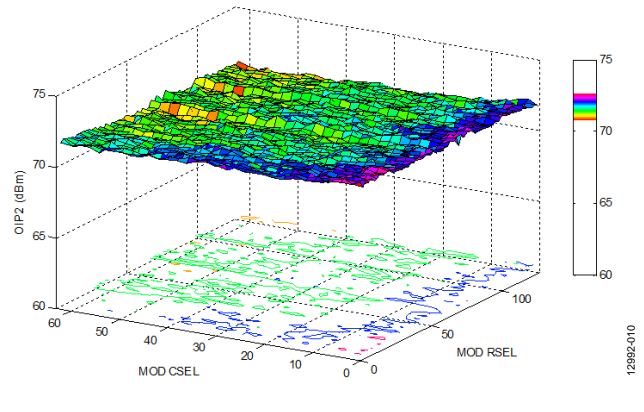


図 10. $f_{RF} = 2140$ MHz、100 MHz IF、2340 MHz LO、ADL5320 の出力電力 = 11 dBm での MOD_CSEL および MOD_RSEL 対 OIP2

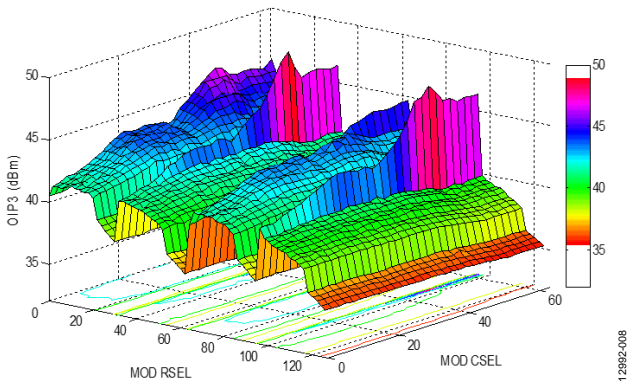


図 8. $f_{RF} = 2140$ MHz、200 MHz IF、2340 MHz LO、ADL5320 の出力電力 = 11 dBm での MOD_CSEL および MOD_RSEL 対 OIP3

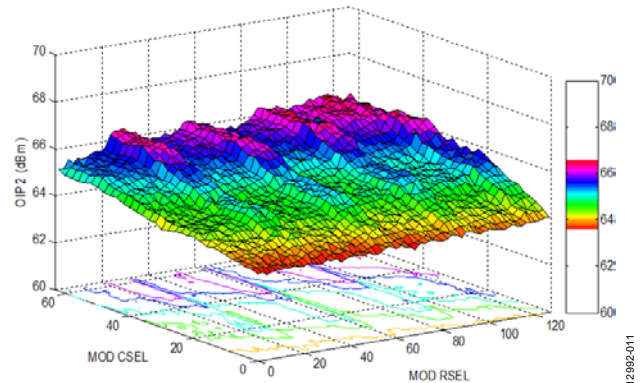


図 11. $f_{RF} = 2140$ MHz、200 MHz IF、2340 MHz LO、ADL5320 の出力電力 = 11 dBm での MOD_CSEL および MOD_RSEL 対 OIP2

出力電力レベルの選択

この回路は最大 12 dBm の出力電力レベルを実現できますが、このレベルでの動作は、特にピーク値と平均値の比が大きい変調キャリアでは実用的ではありません。歪みを許容レベルに抑えるには大きなバックオフが必要です。システム・レベルの歪みを評価するための測定基準として隣接チャンネル漏洩電力比 (ACPR) が一般的になっています。

シングル・キャリアの WCDMA (テスト・モデル 1-64) および LTE (テスト・モデル 1_1 64QAM) の場合の、3つの IF における ADL5320 出力での出力電力に対して測定した ACPR を、それぞれ図 12 および図 13 に示します。このシステムは -2 dBm ~ +6 dBm の出力電力範囲で約 -75 dB ~ -80 dB の ACPR を実現します。LTE 信号の場合、ACPR はキャリア (4.515 MHz の帯域幅) の電力と隣接チャンネル (チャンネル間隔 = 5 MHz) の電力の比として定義され、4.515 MHz の帯域幅で測定されます。

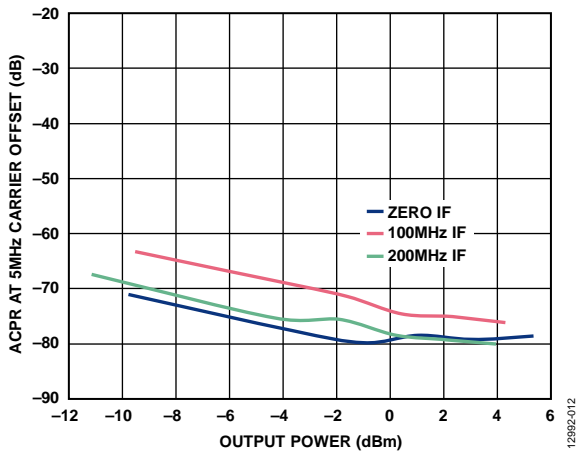


図 12. ADL5320 アンプ出力での出力電力 対 ACPR、ゼロ IF、ADRF6720 の RSEL と CSEL を 2140 MHz で最適化、1C WCDMA TM1-64

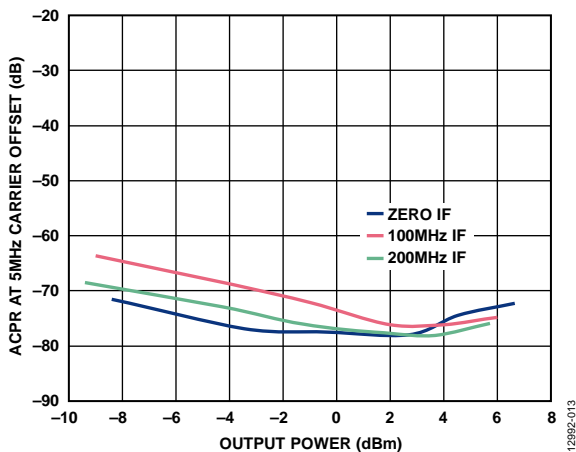


図 13. ADL5320 アンプ出力での出力電力 対 ACPR、ADRF6720 の RSEL と CSEL の OIP3 を最適化、1C LTE TM1_1 64QAM

OIP2 と OIP3 は、前のセクションに示したように MOD_RSEL と MOD_CSEL を調整することによって改善できます。その結果改善した ACPR を図 14 と図 15 に示します。この改善は高い出力電力レベルでより顕著になります。

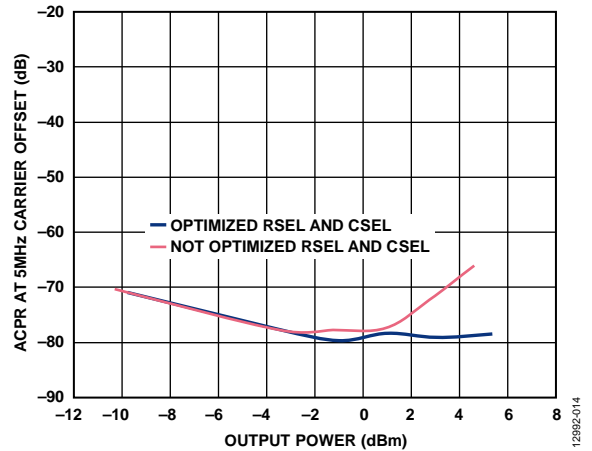


図 14. ADL5320 アンプ出力での出力電力 対 ACPR、ゼロ IF、ADRF6720 の RSEL と CSEL を 2140 MHz で最適化した場合としない場合、1C WCDMA TM1-64

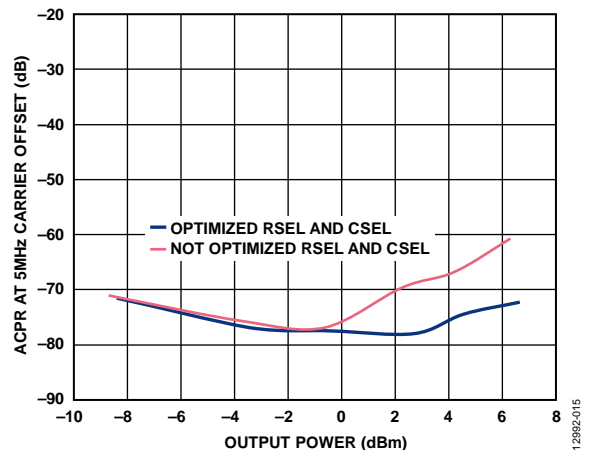


図 15. ADL5320 アンプ出力での出力電力 対 ACPR、ゼロ IF、ADRF6720 の RSEL と CSEL を 2140 MHz で最適化した場合としない場合、1C LTE TM1_1 64QAM

2140 MHz でのシングルの WCDMA および LTE のスペクトラム・プロットを、それぞれ図 16 と図 17 に示します。

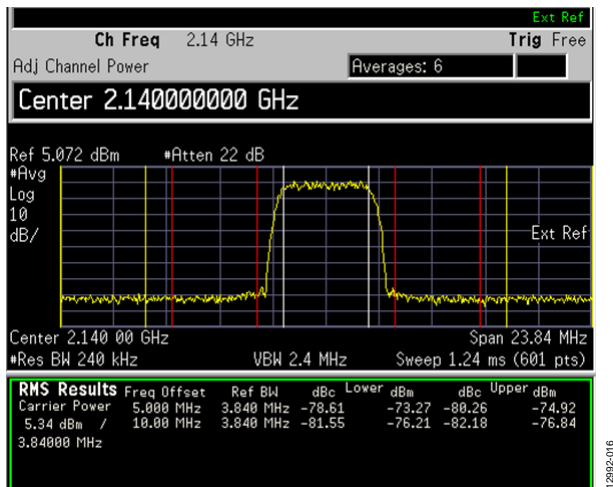


図 16. ADL5320 アンプ出力での隣接チャンネル漏洩電力性能、ゼロ IF、ADRF6720 の RSEL と CSEL を 2140 MHz で最適化、1C WCDMA TM1-64

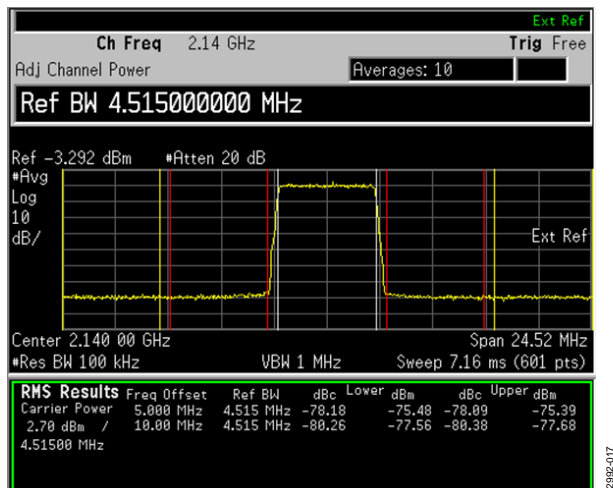


図 17. ADL5320 アンプ出力での隣接チャンネル漏洩電力性能、ゼロ IF、ADRF6720 の RSEL と CSEL を 2140 MHz で最適化、1C LTE TM1_1 64QAM

PCB レイアウトの推奨事項

DAC/変調器/アンプのインターフェースのレイアウトには特別な注意が必要です。PCB レイアウトの推奨事項は以下のとおりです。

- 全ての I/Q 差動信号のパターン長を一致させます。
- フィルタの終端抵抗を変調器入力にできるだけ近づけて配置します。
- DAC 出力の 50 Ω 抵抗を DAC にできるだけ近づけて配置します。
- 信号損失を低減するため、フィルタ・ネットワーク全体のパターン幅を広くします。
- 全ての DAC 出力パターン、フィルタ・ネットワーク、変調器出力パターン、LO 入力パターン、アンプ入力パターン、およびアンプ出力パターンの周囲にピアを配置します。
- 信号結合を防止するため、LO 出力と変調器出力は異なる層に配線するか互いに 90° の角度で配線します。

バリエーション回路

この回路ノートで説明した DAC と変調器のインターフェースは、20 mA のフルスケール電流に設定されるどの TxDAC D/A コンバータと 0.5V のベースバンド DC バイアス・レベルを必要とする I/Q 変調器の間にも使用することができます。

TxDAC の例には [AD9779A](#)、[AD9788](#)、[AD9125](#)、[AD9144](#)、および [AD9148](#) が含まれます。I/Q 変調器の例には、

[ADL5370/ADL5371/](#)

[ADL5372/ADL5373/ADL5374/ADL5385/ADL5386](#) ファミリー、および PLL/VCO 内蔵の

[ADRF6701/ADRF6702/ADRF6703/ADRF6704](#) ファミリーが含まれます。

大電力での動作には $\frac{1}{2}$ W ドライバ・アンプ [ADL5324](#) を推奨します。ADL5320 と ADL5324 のどちらもデバイスが動作する周波数に調整する必要があります。どちらのデバイスのデータシートにも、一般的な動作周波数に調整するための部品の推奨値を記載した表が含まれています。

回路の評価とテスト

必要な装置

以下の装置が必要です（同等品に置き換え可）。

- TxDAC 電流出力に直接接続できるように SMA コネクタを追加した AD9142A 評価用ボード (AD9142-M5375-EBZ)
- ADRF6720 評価用ボード (ADRF6720-EVALZ)
- アナログ・デバイセズのデジタル・パターン・ジェネレータ (DPG)
- クロック用信号発生器 (R&S SMIQ 03B)
- ADRF6720 のリファレンス入力用信号発生器 (R&S SMIQ 03B)
- スペクトラム・アナライザ (Agilent E4440A)
- 電源 (Agilent E3631A、2台必要)

セットアップとテスト

1. セットアップと測定システムを図 18 に示すように接続します。

2. AD9142A 評価用ボードの電源を 5 V に設定します。
3. ADRF6720 評価用ボードの電源を 3.3 V に設定します。
4. ADRF6720 評価用ボードの ADL5320 の電源を 5V に設定します。
5. クロック用信号発生器は 5 dBm で 1.5 GHz に、ADRF6720 のリファレンス入力用信号発生器は 4 dBm で 153.6 MHz に設定します。
6. 電源と信号発生器をオンにします。スペクトラム・アナライザを 2140MHz に設定します。
7. 図 19 に示すように、AD9142A SPI 制御ソフトウェアを使用し、USB を介して AD9142A をセットアップして実行します。
AD9142A 評価用ボードのクイック・スタート・ガイドを参照してください。
8. 図 20 に示すように、DPG をセットアップして実行します。
AD9142A 評価用ボードのクイック・スタート・ガイドを参照してください。
9. 図 21 に示すように、ADRF6720 をセットアップして実行します。
ADRF6720-EVALZ ユーザー・ガイド (UG-689) を参照してください。

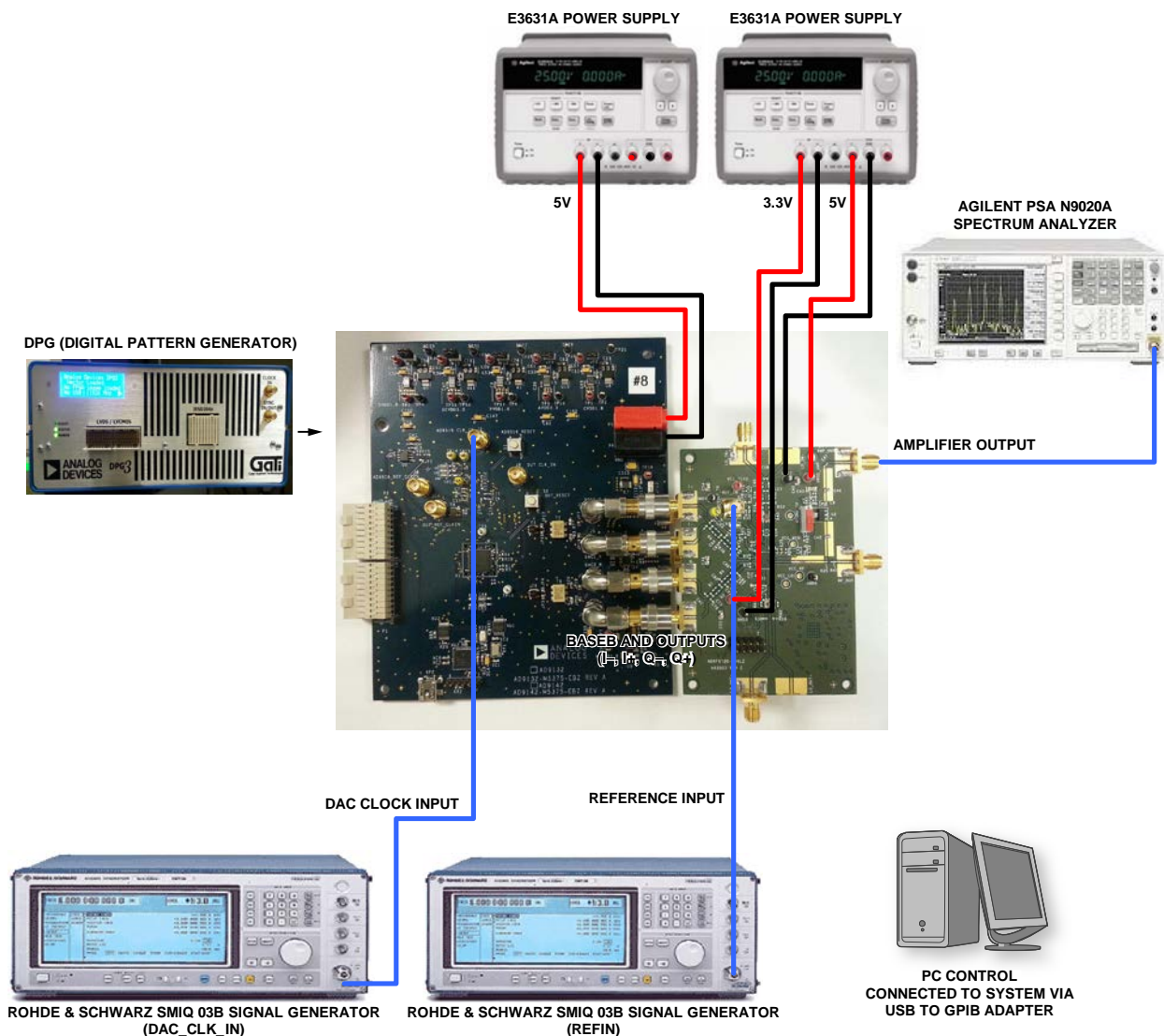


図 18. テスト・セットアップ

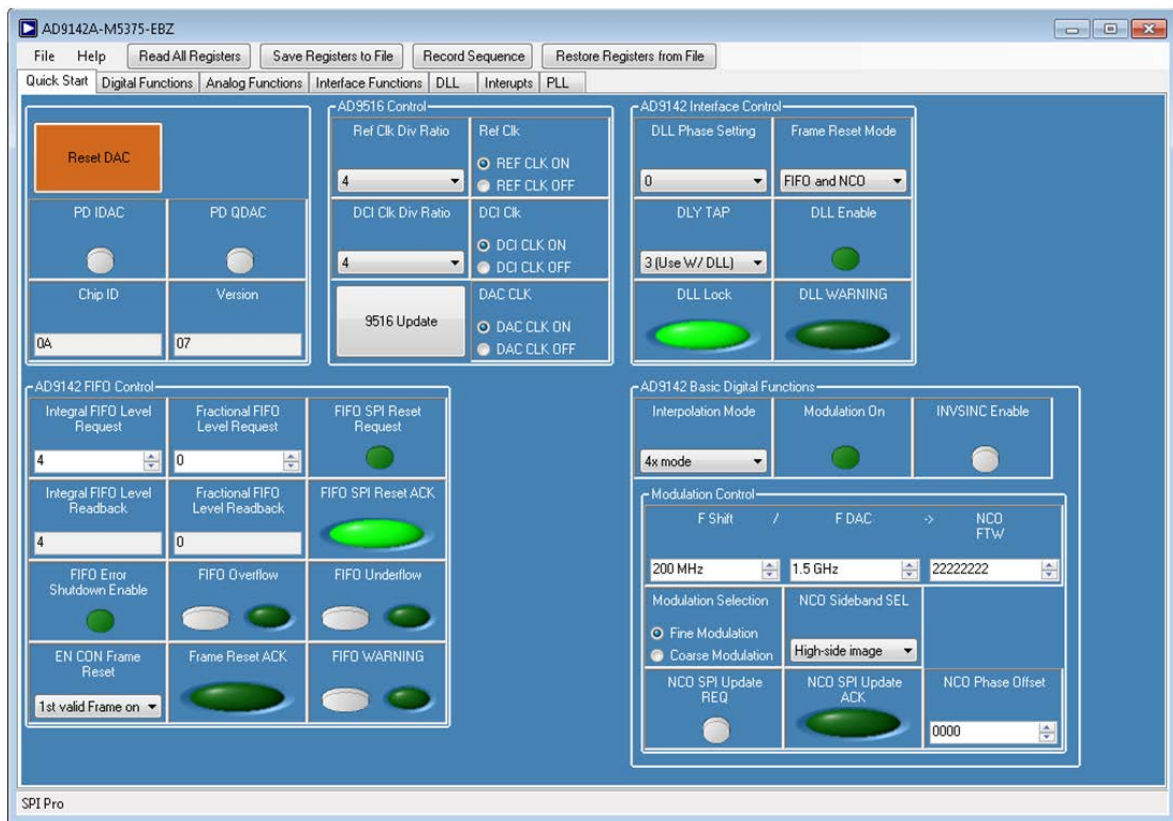


図 19. AD9142A に対する SPI 制御ユーザー・インターフェースのセットアップ

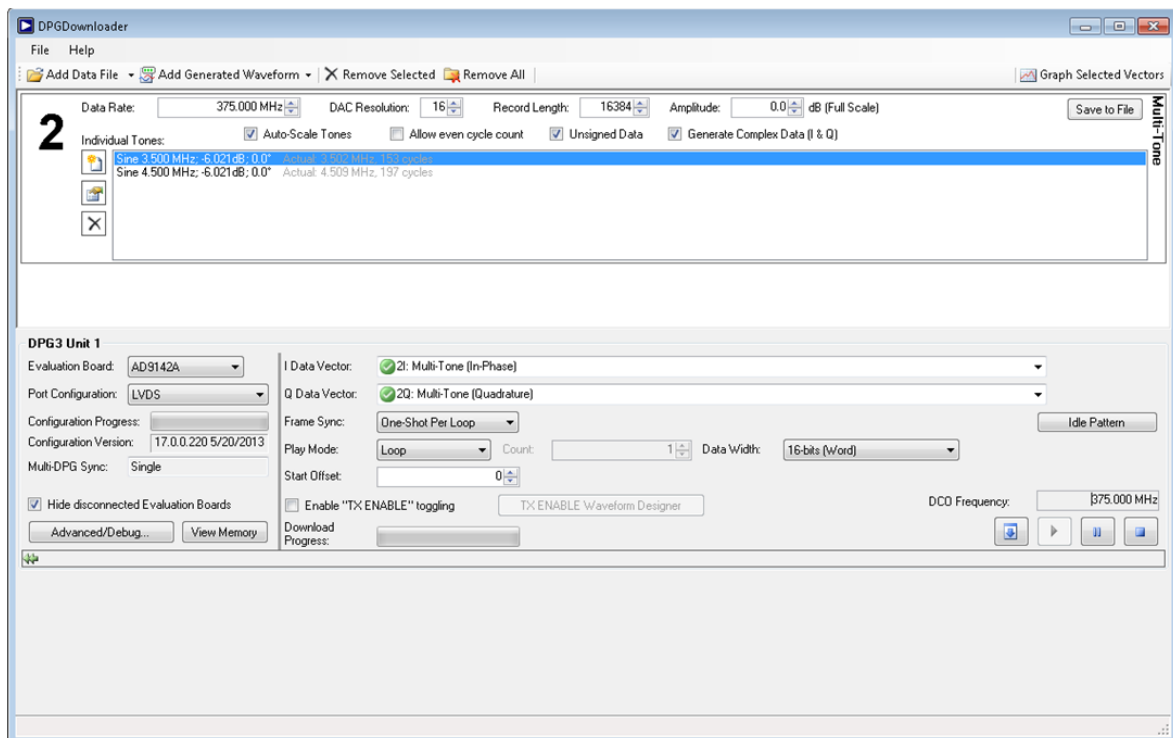


図 20. DPG ダウンローダ・ソフトウェアを使った DPG のセットアップ

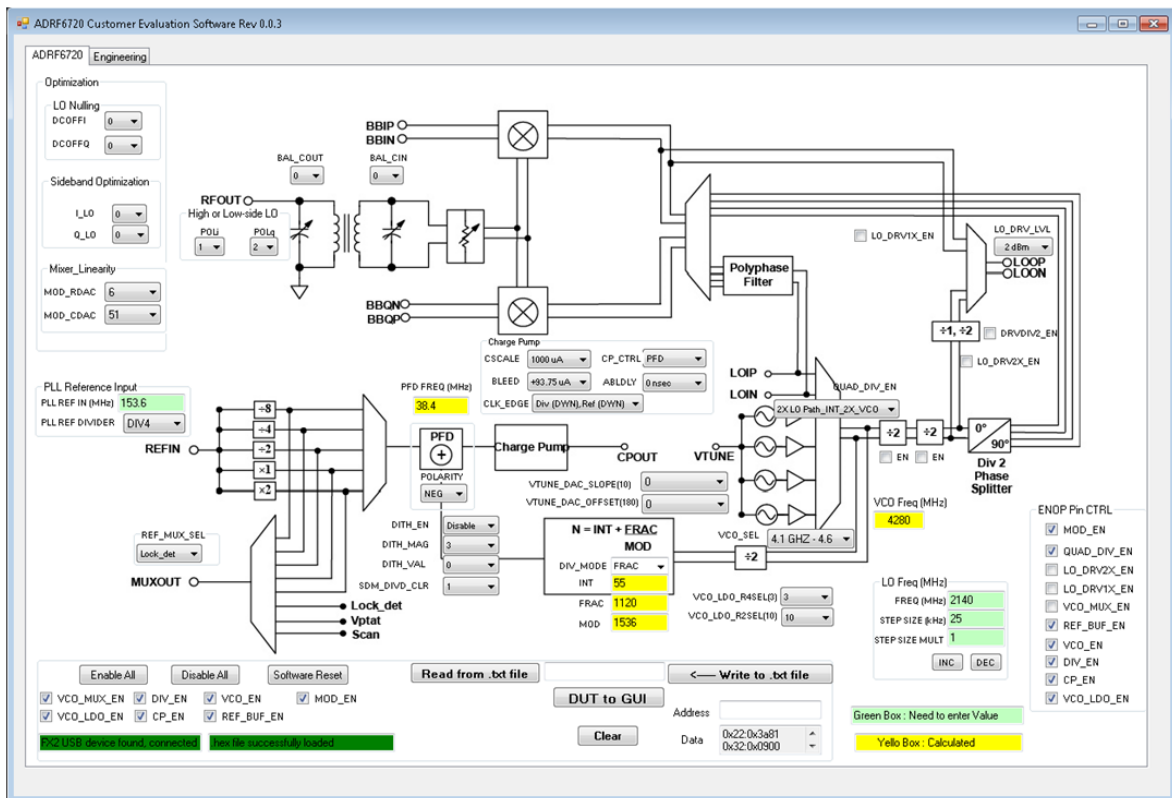


図 21. ADRF6720 制御ソフトウェアを使った ADRF6720 のセットアップ

さらに詳しい資料

CN-0375 Design Support Package:

www.analog.com/CN0375-DesignSupport

Circuit Note CN-0016. Interfacing the ADL5370 I/Q Modulator to the AD9779A Dual-Channel, 1 GSPS High Speed DAC. Analog Devices.

Circuit Note CN-0017. Interfacing the ADL5371 I/Q Modulator to the AD9779A Dual-Channel, 1 GSPS High Speed DAC. Analog Devices.

Circuit Note CN-0018. Interfacing the ADL5372 I/Q Modulator to the AD9779A Dual-Channel, 1 GSPS High Speed DAC. Analog Devices.

Circuit Note CN-0019. Interfacing the ADL5373 I/Q Modulator to the AD9779A Dual-Channel, 1 GSPS High Speed DAC. Analog Devices.

Circuit Note CN-0020. Interfacing the ADL5374 I/Q Modulator to the AD9779A Dual-Channel, 1 GSPS High Speed DAC. Analog Devices.

Circuit Note CN-0021. Interfacing the ADL5375 I/Q Modulator to the AD9779A Dual-Channel, 1 GSPS High Speed DAC. Analog Devices.

Circuit Note CN-0134. Broadband Low Error Vector Magnitude (EVM) Direct Conversion Transmitter. Analog Devices.

Circuit Note CN-0144. Broadband Low Error Vector Magnitude (EVM) Direct Conversion Transmitter Using LO Divide-by-2 Modulator. Analog Devices.

Circuit Note CN-0205. I/Q 変調器 ADL5375 とデュアル・チャンネル 1.2GSPS 高速 DAC AD9122 間のインターフェース

Circuit Note CN-0243. High Dynamic Range RF Transmitter Signal Chain using Single External Frequency Reference for DAC Sample Clock and IQ Modulator LO Generation. Analog Devices.

Nash, Eamon. AN-1039 Application Note. Correcting Imperfections in IQ Modulators to Improve RF Signal Fidelity. Analog Devices.

Zhang, Yi. AN-1100 Application Note. Wireless Transmitter I/Q Balance and Sideband Suppression. Analog Devices.

AN-1237 Application Note. Precise Control of I/Q Modulator Output Power Using the ADL5386 Quadrature Modulator and the AD5621 12-Bit DAC. Analog Devices.

ADIsimPLL Design Tool

ADIsimRF Design Tool

UG-689, ADRF6720-EVALZ User Guide

AD9142A Evaluation Board Quick Start User Guide

Analog Devices Data Pattern Generator (DPG)

データシートと評価ボード

AD9142A データシート

ADRF6720 データシート

AD9142-M-5375-EBZ 評価ボード

ADRF6720-EVALZ 評価ボード

改訂履歴

1/15—Revision 0: 初版

「Circuits from the Lab/実用回路集」はアナログ・デバイセス社製品専用で作られており、アナログ・デバイセス社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセス社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセス社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセス社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2016 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。