



テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報または支援は <http://www.analog.com/jp/CN0369> を参照してください。

### 接続または参考にしたデバイス

ADL5801	アクティブ・ミキサー、10 MHz ~ 6 GHz、高 IP3
HMC512	Fo/2 および 1/4 分周器付き、VCO、SMT、9.6 GHz ~ 10.8 GHz
ADF4355-2	マイクロウェーブ広帯域シンセサイザ、VCO 内蔵
AD8065	オペアンプ、145 MHz、高性能、FastFET™
ADP151	リニア・レギュレータ、200 mA、超低ノイズ、CMOS
ADM7150	リニア・レギュレータ (LDO)、800 mA、超低ノイズ/高 PSSR
ADF4002	PLL 周波数シンセサイザ/位相検出器

## 低位相ノイズの変換フェーズ・ロック・ループ・シンセサイザ

### 評価および設計サポート

#### 回路評価用ボード

- [CN-0369 回路評価用ボード \(EVAL-CN0369-SDPZ\)](#)
- [システム・デモンストレーション・プラットフォーム \(EVAL-SDP-CS1Z\)](#)
- [ADL5801 評価用ボード \(ADL5801-EVALZ\)](#)
- [ADF4355-2 評価用ボード \(EV-ADF4355-2SD1Z\)](#)

#### 設計と統合ファイル

- [回路図、レイアウト・ファイル、部品表](#)

### 回路の機能とその利点

図 1 に示す回路ブロック図は、低位相ノイズの変換ループ・シンセサイザです (オフセット・ループとしても知られていません)。この回路は、ADF4002 を用いたフェーズ・ロック・ループ (PLL) の 100 MHz という低い基準周波数を 5.0 GHz ~ 5.4 GHz という高い周波数範囲に変換します。この変換は局部発振器 (LO) の周波数によって決定されます。

変換ループ・シンセサイザは、PLL だけを使用したシンセサイザと比べて、きわめて低い位相ノイズ特性 (50 fs 未満) を備えています。低位相ノイズ特性を実現できるのは、電圧制御発振器 (VCO) を制御する ADF4002 インテグラー N PLL が、非常に小さな N の値を使用しているためです。この例では、ADF4002 位相周波数検出器 (PFD) が 100 MHz、N = 1 で動作し、PLL の N の値による制限を受けずに位相ノイズ性能を実現しています。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

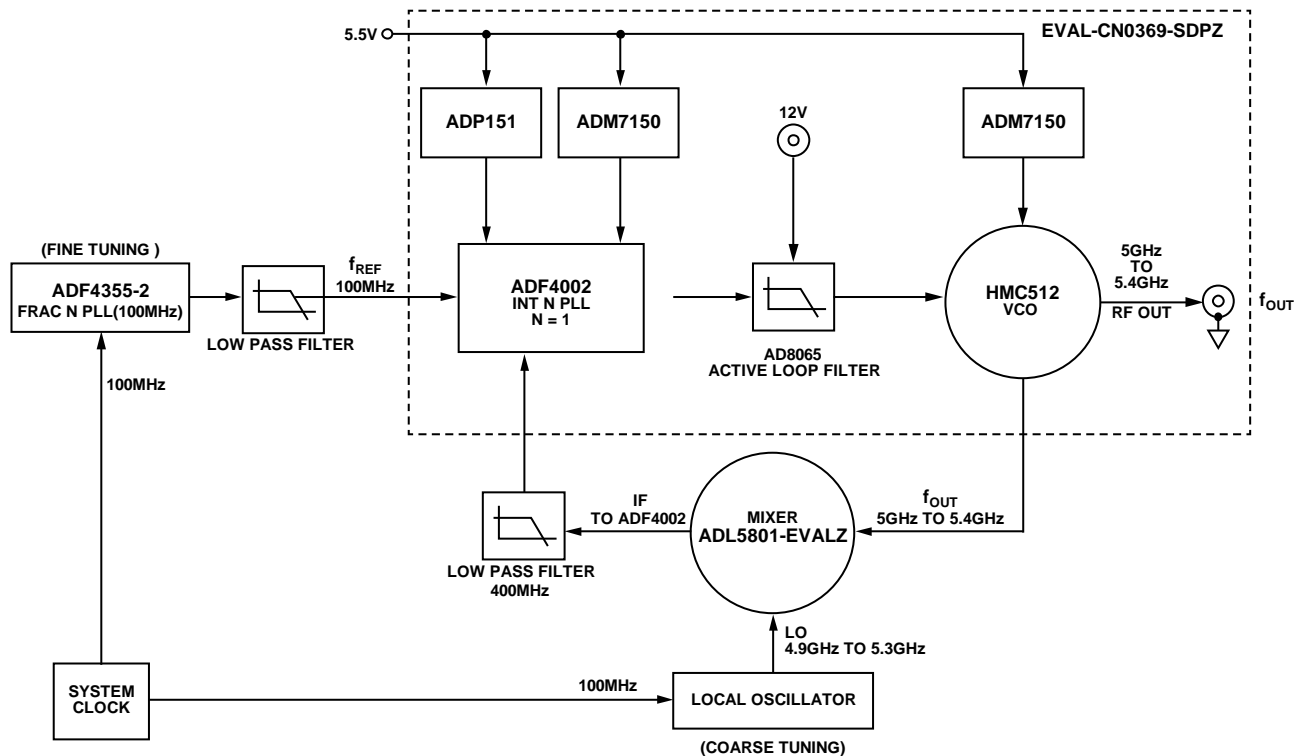


図 1. 変換ループ・シンセサイザのブロック図

回路の説明

標準的な PLL/VCO 周波数シンセサイザ・システムでは、一般に低位相ノイズ特性を達成することが第一の目的です。PLL の位相ノイズは 2 つの成分で表すことができます。すなわち、PLL の性能指数 (FOM) として知られるフラット・ノイズ成分と PLL 1/f、つまりフリッカ・ノイズとして知られる 1/f ノイズ・プロファイル成分です。

PLL ノイズ・フロア (PN<sub>TOT1</sub>) は次式で与えられます。

$$PN_{TOT1} = PN_{SYNTH} + 20\log_{10}(N) + 10\log_{10}(f_{PFD}) \quad (1)$$

ここで、

PN<sub>SYNTH</sub> はシンセサイザの FOM で、デバイスの性能指数です。  
N は PLL で用いる分周数です。  
f<sub>PFD</sub> は位相周波数検出器の周波数です。

N の値が 1 の PLL には 10log<sub>10</sub>(f<sub>PFD</sub>) のノイズ・フロアが存在します。

PLL 1/f ノイズ (PN<sub>TOT2</sub>) は次式で与えられます。

$$PN_{TOT2} = PN_{1/f} + 20\log_{10}(f_{RF}/1\text{ GHz}) + 10\log_{10}(10\text{ kHz}/f) \quad (2)$$

ここで、

PN<sub>1/f</sub> は、(1 GHz 出力で正規化された) 出力 RF 周波数から 10 kHz 離れた周波数でのデータシートの PLL 1/f ノイズです。  
f<sub>RF</sub> は出力 RF 周波数です。

合計の PLL ノイズ (PN<sub>TOT</sub>) は次式で与えられます。

$$PN_{TOT} = \sqrt{(PN_{TOT1})^2 + (PN_{TOT2})^2} \quad (3)$$

この式は、ノイズ源が二乗和の平方根で加算されるので、大きなノイズ源のほうが優勢であることを示しています。

N の値が非常に小さな PLL では、PLL の 1/f ノイズが位相ノイズを支配します。

変換ループ・シンセサイザは、分周数 N によって必要なチャンネル間隔に分離し、PLL の位相ノイズを最適化します。この変換ループ・シンセサイザの例では、N = 1 になっています。

図 1 の変換ループ・シンセサイザは、4.8 GHz ~ 5.2 GHz という高い周波数の VCO を 100 MHz の f<sub>REF</sub> 信号にロックさせます。ADL5801 ミキサーと LO はいずれも、この PLL の分周機能を果たしています。

帰還ループ内で LO を用いると、ADF4002 PLL でのバランス方程式は以下ようになります。

$$f_{REF}/R = (f_{OUT} - f_{LO}) / N$$

ここで、N と R は分周数 N と分周数 R (この回路では R = 1、N = 1) です。

したがって、出力周波数は次式で与えられます。

$$f_{OUT} = f_{LO} + f_{REF}$$

ADF4355-2 フラクショナル N シンセサイザ

この回路の ADF4355-2 は、図 2 に示すように、変換ループ用の基準周波数 (f<sub>REF</sub>) を供給します。

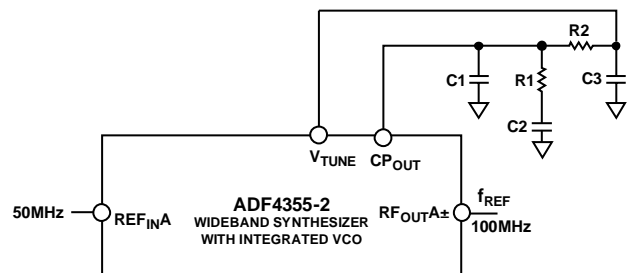


図 2. ADF4355-2 とループ・フィルタ

ADF4355-2 は、55 MHz ～ 4400 MHz の範囲の周波数を出力する VCO 内蔵の広帯域シンセサイザです。ADF4355-2 は高分解能の 38 ビット・モジュラスを使用し、残留周波数誤差なしに高精度の周波数分解能を実現します。この回路内の ADF4355-2 は、50 MHz の PFD と 100 kHz のループ帯域幅を使用しています。アナログ・デバイゼスの ADIsimPLL ツールは、ループ・フィルタを設計し、シミュレーションするために使用することができます。ADIsimPLL でシミュレーションした位相ノイズ特性を図 3 に示します。ループ帯域幅 (LBW) は、ADF4355-2 を所望の周波数に十分に微同調可能な 100 kHz にしました。

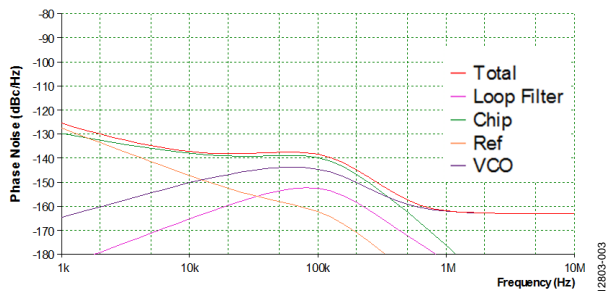


図 3. ADIsimPLL で ADF4355-2 をシミュレートしたときの 100 MHz での出力位相ノイズ

この設計の ADF4355-2 は、周波数が 6400 MHz の内蔵 VCO で動作します。この高い VCO 周波数は最大分周数の 64 で分周され、100 MHz の RF 出力周波数が生成されます。VCO の出力に分周器を追加すると、2 分周毎に位相ノイズが 6 dB 改善されます。分周された VCO 出力には、分周処理に伴う高調波が含まれています。これらの高調波を除去するために、100 MHz のローパス・フィルタが ADF4355-2 の RF 出力に挿入されています。

シミュレーションの結果、10 kHz 離れた周波数での位相ノイズは -137 dBc になりました。この変換ループに ADF4355-2 を選択した基準は、ADF4355-2 がきわめて低い位相ノイズ特性と高精度の出力周波数分解能を備えているためです。

EV-ADF4355-2SD1Z の RFOUTA で取得した位相ノイズのグラフを図 4 に示します。

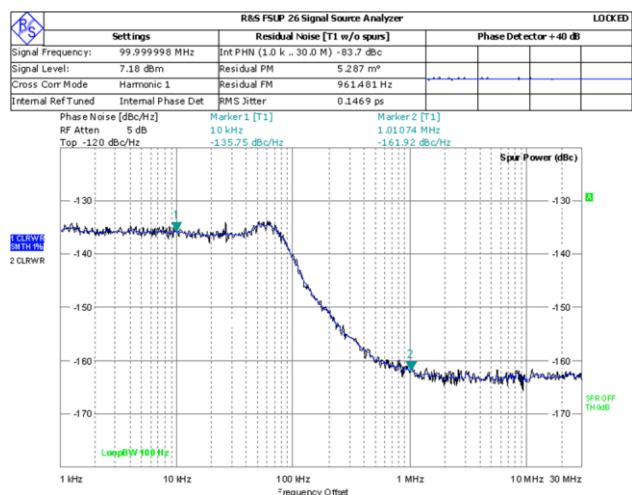


図 4. ADF4355-2、 $f_{OUT} = 100$  MHz

## ADF4002 変換ループ周波数シンセサイザ

ADF4002 は変換ループ周波数シンセサイザで、100 MHz という高い PFD 周波数と最小  $N=1$  で動作します。高い PFD 周波数で動作させると、リファレンス・スプリアスが減少し、 $N$  が小さくなり、その結果、位相ノイズが低減されます。変換ループ周波数シンセサイザには、フラクショナル  $N$  動作ではなく、スプリアス特性の優れたインテジャール  $N$  PLL 動作をさせています。ADF4002 はインテジャール  $N$  動作、低い最小  $N$  値、および優れた位相ノイズ特性の条件を満足しています。リファレンス・ソースで微同調が可能のため、フラクショナル  $N$  動作は必要ありません。この回路では、ADF4002 の RF 入力には ADL5801 ミキサの 100 MHz IF 出力で駆動されています。

ADF4002 に内蔵されたチャージ・ポンプ用の電源電圧は 5 V です。一方で、多くの広帯域 VCO には最大 18 V の同調電圧が必要です。9.6 GHz ～ 10.8 GHz の VCO を駆動するには、2 V ～ 12 V の同調電圧が必要です。これに適応するには、アクティブ・ループ・フィルタが必要になります。アクティブ・フィルタを使用すると、オペアンプの利得によって ADF4002 の出力同調範囲を増大できます。

ADF4002 はプログラマブル・チャージ・ポンプ電流機能を備えているので、部品を実際に交換しなくてもループ・フィルタの特性を変えることができます。この回路では、LBW を 1 MHz に、チャージ・ポンプ電流を 5 mA にしています。チャージ・ポンプ電流を増減させれば、ループ・フィルタの部品を実際に交換しなくても、LBW を狭めたり広げたりすることができます。

## AD8065 を使用したアクティブ・フィルタ

AD8065 オペアンプは電源電圧範囲が 24 V で、ゲイン帯域幅積 (GB 積) が約 145 MHz で、低ノイズ ( $7 \text{ nV}/\sqrt{\text{Hz}}$ ) です。これらの特性はアクティブ・フィルタを構成するのに理想的です。このアプリケーションにおいて、AD8065 の電源電圧を 12V にすると、必要な出力振幅が十分に得られます。

多くの PLL アプリケーションにおいて、ループの安定性を維持し、セトリング・タイムを最小化するには、位相余裕を  $45^\circ \sim 55^\circ$  の範囲にすることが推奨されています。アクティブ・ループ・フィルタにおいて、ループ・フィルタ内にオペアンプがあると、オペアンプのユニティ・ゲイン周波数 (または、ゲイン帯域幅積) で極が追加されます。この追加された極はさらに位相を遅延させ、極の周波数に応じて、ループを不安定にする可能性があります。

LBW に対して GB 積の比率が高いと、位相遅延が少なくなります。例えば、表 1 は比率 (GB 積/LBW) を 10 にすると、位相余裕が  $5.7^\circ$  だけ減少することを示しています。比率 (GB 積/LBW) が低すぎる場合、位相余裕も非常に少なくなり、ループが不安定になります。

表 1. GB 積と LBW の比の関数としての位相遅延

GBP/LBW Ratio	Extra Phase Lag ( $^\circ$ )
5 (such as GBP = 1 MHz, LBW = 200 kHz)	11.3
10	5.7
20	2.9

この回路の LBW を 1 MHz にすると、AD8065 の GB 積は 145 MHz なので、位相遅延は無視できるほど少なくなります (GB 積/LBW = 145)。

AD8065 は VCO の入力容量を軽減するバッファとしても動作します。

### HMC512 VCO

ADF4002 の PLL は、100 MHz の基準周波数を HMC512 の VCO 周波数にロックさせます。HMC512 では、一次の周波数範囲が 9.6 GHz ~ 10.8 GHz です。この回路では、出力信号 (f<sub>out</sub>)、およびミキサーにフィードバックする RF 信号用に RFOUT/2 が使用されています。LO から RF への漏れを最小限に抑えるためには、RF 出力 (f<sub>out</sub>) とミキサー間に高いリバース・アイソレーションが必要です。周波数出力が 2 分の 1 の VCO を選択すると、リバース・アイソレーションを実現できます。RFOUT/2 の電力レベルが 8 dBm (代表値) であるので、この電力レベルをミキサーの RF 入力推奨レベルまで下げるためには、6 dB の減衰器が必要です。これにより、実際はさらに 6 dB のリバース・アイソレーションが得られます。

ループ・フィルタの帯域幅が広いと、ループ・フィルタの帯域幅内を VCO のノイズが高く通過します。ループ・フィルタの帯域幅外で VCO のノイズが優勢になります。したがって、この回路で低位相ノイズ特性を実現するには、低ノイズの VCO が必要になります。HMC512 は 2 分の 1 の周波数出力が可能で、100 kHz で -110 dBc/Hz という低ノイズであるため、この回路内で 5.0 GHz ~ 5.4 GHz の出力を生成する VCO として選択されています。

### 局部発振器と ADL5801 ミキサー

変換ループ用のミキサーの選択では、以下の要求を満たす必要があります。

- 所望の周波数範囲で動作
- LO ソースに適合する LO 電力レベル
- RF と LO 間の高いアイソレーション
- 低ノイズ指数

ADL5801 はこれらの要求を満たします。

ADL5801 ミキサーと局部発振器のブロック図を図 5 に示します。一般的に、ADL5801 のようなアクティブ・ミキサー (10 MHz ~ 6000 MHz) は所望の帯域幅で動作し、35 dB ~ 40 dB のポート間のアイソレーションを実現し、さらに代表値で -6 dBm ~ 0 dBm の LO を駆動することができます。LO の漏れがある

と、出力信号のスペクトル純度が劣化します。LO を低く駆動できて、かつポート間のアイソレーションを確保できれば、LO から RF へ、また LO から IF への漏れを最小限に抑えることができます。

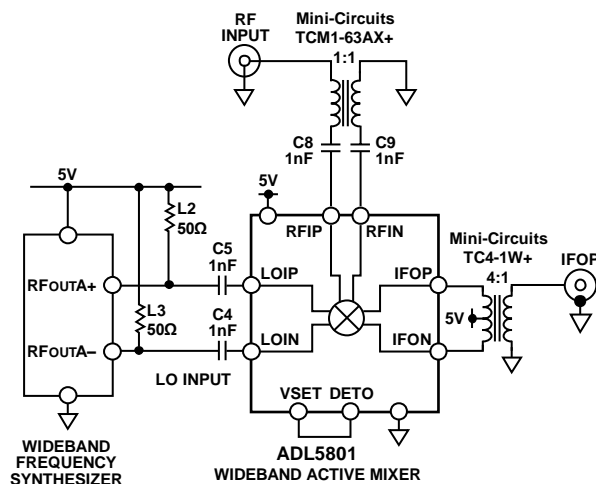


図 5. ADL5801 ミキサーの LO 入力

この局部発振器はきわめて低い位相ノイズ特性を備えており、100 MHz のステップで出力周波数を粗同調することができます。この回路を評価するために、LO 機能は R&S SMA100 のような実験用の信号発生器で実現します。

### 変換ループの設計と性能

この変換ループの中心となるのが EVAL-CN0369-SDPZ ボードです。図 6 に ADF4002 PLL、AD8065 アクティブ・ループ・フィルタ、および HMC512 VCO を搭載した EVAL-CN0369-SDPZ のブロック図を示します。アクティブ・ループ・フィルタを構成するループ・フィルタの部品がこの図に示されています。ADIsimPLL を使用して、アクティブ・ループ・フィルタを設計することができます。

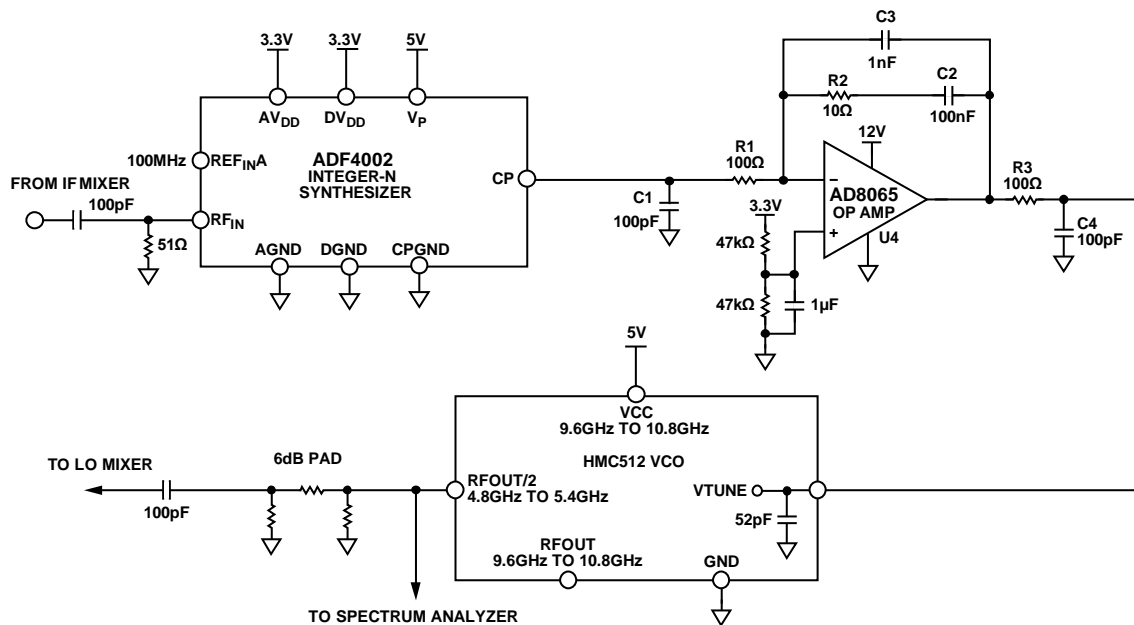


図 6. EVAL-CN0369-SDPZ のブロック図

また、ADIsimPLL ソフトウェアを使用して、変換ループ PLL のループ・フィルタを設計することもできます。

ADIsimPLL を使用して変換ループを設計する最も簡単な方法は、VCO/ミキサー/フィルタ・ブロックを等価な VCO に置き換えることです。使用している VCO が  $K_v = 150 \text{ MHz/V}$  で、 $5.0 \text{ GHz} \sim 5.4 \text{ GHz}$  の範囲にわたって同調していて、これを  $4.9 \text{ GHz} \sim 5.3 \text{ GHz}$  の局部発振器出力とミキシングすると、PLL に

おいて VCO が  $K_v = 150 \text{ MHz/V}$  で  $400 \text{ MHz} \sim 100 \text{ MHz}$  の範囲にわたり同調しているように見えます。

図 7 に ADIsimPLL を用いた位相ノイズのシミュレーション結果と、ADF4002 を使用したこのときの回路図を示します。この図は、位相ノイズ・フロアの増加を最小限に抑えた状態で PLL ループが  $100 \text{ MHz}$  にロックしていることを示しています。

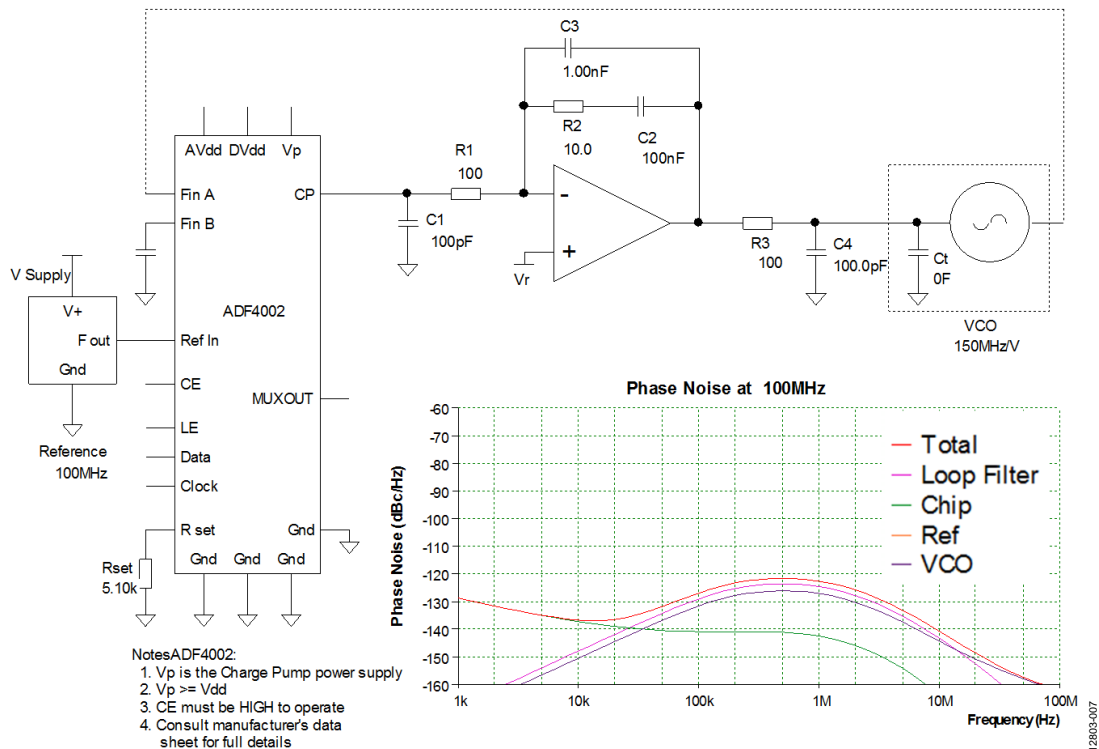


図 7. ADF4002 PLL を対象とした ADIsimPLL の回路図と位相ノイズのシミュレーション結果

## 変換ループ: 位相ノイズの測定結果とスタンドアロン PLL

図 1 に示す構成にすると、表 2 に示すように  $f_{OUT}$  rms ジッタは 50 fs 未満になります。

表 2 において、 $f_{REF}$  は ADF4255-2 評価用ボードから EVAL-CN0369-SDPZ へのリファレンス入力です。 $f_{REF}$  によって変換ループを微同調することができます。局部発振器は ADL5801-EVALZ ミキサー評価用ボードに入力する LO で、変換ループの粗同調を行います。 $f_{OUT}$  は EVAL-CN0369-SDPZ の VCO/2 RF 出力です。

表 2. 図 1 の変換ループ PLL の位相ノイズ

$f_{REF}$ (MHz)	Local Oscillator (MHz)	$f_{OUT}$ Frequency (MHz)	$f_{OUT}$ RMS Jitter (fs)
100.00	5300.00	5400.00	43
100.00	5200.00	5300.00	39
100.00	5100.00	5200.00	43
101.01	5100.00	5201.11	43

図 8 は、変換ループから出力された  $f_{OUT}$  の位相ノイズのグラフです。変換ループにおける微同調の性能を示すために、図 8 ではリファレンス入力 ( $f_{REF}$ ) を 101.011 MHz にしています。図 8 の  $f_{OUT}$  rms ジッタは 1 kHz ~ 30 MHz の間に集約されて、39 fs 未満になっています。

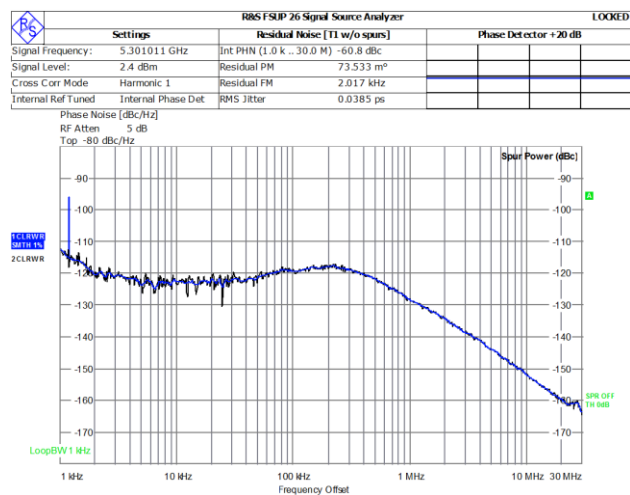


図 8. 変換ループ  $f_{OUT}$  の位相のグラフ

表 3 に示すように同様の周波数を生成するために、スタンドアロン PLL として ADF4355-2 を使用すると、 $f_{OUT}$  rms ジッタが 200 fs ~ 250 fs になります。

表 3 のデータにおいて、 $f_{REF}$  は EV-ADF4355-2SD1Z 評価用ボード用の低ノイズの REFIN ソースです。 $f_{OUT}$  は EV-ADF4355-2SD1Z の RFOUTA (+) です。RFOUTA (-) には 50  $\Omega$  の終端抵抗を接続しています。

表 3. ADF4355-2 を使用したスタンドアロン PLL の位相ノイズ

$f_{REF}$ (MHz)	$f_{OUT}$ Frequency (MHz)	$f_{OUT}$ RMS Jitter (fs)
100.00	5400.00	202
100.00	5300.00	220
100.00	5200.00	243
100.00	5201.11	222

## 回路の評価とテスト

この回路は、EVAL-CN0369-SDPZ 回路ボード、EV-ADF4355-2SD1Z 評価用ボード、および ADL5801-EVALZ 評価用ボードを使用しています。2 枚の EVAL-SDP-CS1Z システム・デモンストレーション・プラットフォーム (SDP-S) ボードが、EVAL-CN0369-SDPZ 回路ボードおよび EV-ADF4355-2SD1Z 評価用ボードに接続されています。これら 2 枚のボードは 120 ピンの接続用コネクタを備えているので、手早く組み立てて回路の性能を評価することができます。EVAL-CN0369-SDPZ 回路ボードに接続された SDP-S ボードは、インテジャー N 評価用ソフトウェアとともに使用され、ADF4002 に内蔵されたレジスタにプログラムを書き込みます。EV-ADF4355-2SD1Z ボードに接続された SDP-S ボードは、ADF4355-2 評価用ソフトウェアとともに使用され、ADF4355-2 に内蔵されたレジスタにプログラムを書き込みます。

回路図、PCB レイアウト・データ、部品表などの EVAL-CN0369-SDPZ ボードの技術文書は全て、CN-0369 設計支援パッケージ ([www.analog.com/CN0369-DesignSupport](http://www.analog.com/CN0369-DesignSupport)) から入手できます。

## 評価開始にあたって

ソフトウェアのインストールと試験構成については、EVAL-CN0369-SDPZ ユーザ・ガイド (UG-806) を参照してください。

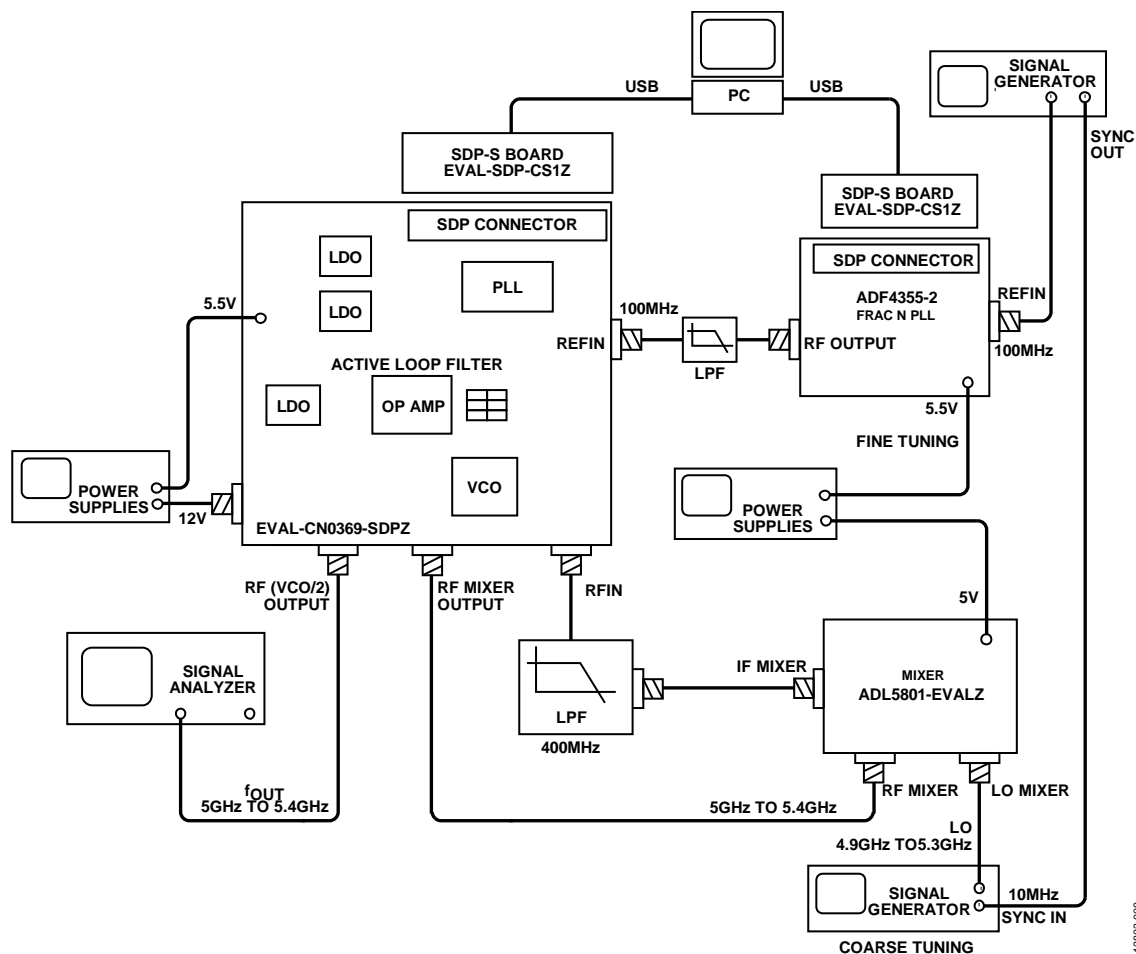


図 9. 試験構成のブロック図

### 必要な装置

以下の装置が必要になります。

- USB ポート付き Windows® XP、Windows Vista (32 ビット) または Windows 7 (32 ビット) 搭載 PC
- EVAL-CN0369-SDPZ 回路評価用ボード
- EV-ADF4355-2SD1Z 評価用ボード
- 2 枚の EVAL-SDP-CS1Z SDP-S ボード
- Integer-N v7 および ADF4355 評価用ソフトウェア
- 電源: 5 V、5.5 V、12 V の 3 種の電圧を使用します。
- 2 台の RF 信号源 (R&S SMA100 または同等品)
- スペクトラム・アナライザ (Agilent FSUP または同等品)
- TTE 400 MHz ローパス・フィルタ (または同等品)
- Mini Circuits 100 MHz ローパス・フィルタ (または同等品)

### 機能ブロック図

ブロック図については図 1 を参照してください。試験構成のブロック図を図 9 に示します。

### セットアップとテスト

装置を組み立てた後、標準的な RF の試験方法を使用して回路の位相ノイズと位相ジッタを測定します。



図 10. EVAL-CN0369-SDPZ PCB の写真

## さらに詳しい資料

CN-0369 Design Support Package:  
[www.analog.com/CN0369-DesignSupport](http://www.analog.com/CN0369-DesignSupport)  
EVAL-CN0369-SDPZ User Guide (UG-806)  
EV-ADF4355-2SD1Z User Guide (UG-804)  
EVAL-SDP-CS1Z System Development Platform User Guide  
MT-031 Tutorial: データ・コンバータのグラウンディングと、「AGND」および「DGND」に関する疑問の解消  
MT-086 Tutorial. *Fundamentals of Phase Locked Loops (PLLs)*. Analog Devices.  
MT-101 Tutorial. *Decoupling Techniques*. Analog Devices.  
ADIsimPLL Design Tool  
AN-30. *Ask the Application Engineer-30, PLL Synthesizers*. Analog Devices

## データシートと評価用ボード

EVAL-CN0369-SDPZ 評価用ボード  
ADL5801-EVALZ 評価用ボード  
EV-ADF4355-2SD1Z 評価用ボード  
EVAL-SDP-CS1Z システム・デモンストレーション・プラットフォーム  
ADF4002 データシート  
AD8065 データシート  
HMC512 データシート  
ADL5801 データシート  
ADF4355-2 データシート

## 改訂履歴

11/2016—Revision 0: Initial Version

「Circuits from the Lab/実用回路集」はアナログ・デバイセズ社製品専用で作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確かつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2017 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。