

**Circuits  
from the Lab™**  
Reference Circuits  
実用回路集

テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は支援は <http://www.analog.com/jp/CN0360> をご覧ください。

使用したリファレンス・デバイス

ADF4351	広帯域シンセサイザ、VCO 内蔵
ADL5801	アクティブ・ミキサー、10MHz～6GHz、高 IP3
AD8368	可変ゲイン・アンプ、800MHz、デシベル・リニア、AGC 検出器内蔵
ADL5902	パワー検出器、50 MHz～9 GHz、65dB、TruPwr™

35MHz～4.4GHz、90dB のダイナミック・レンジを持つ  
周波数選択性 RMS 応答 RF 検出器

評価および設計サポート環境

回路評価ボード

ADF4351 評価用ボード (EVAL-ADF4351EB1Z)

ADL5801 評価用ボード (ADL5801-EVALZ)

AD8368 評価用ボード (AD8368-EVALZ)

ADL5902 評価用ボード (ADL5902-EVALZ)

EPCOS B5249 SAW フィルタ評価ボードまたは同等品

(客先支給品)

設計と統合ファイル

回路図、レイアウト・ファイル、部品表

回路の機能とその利点

この回路は、35MHz から 4.4GHz まで、90dB の検出範囲を持つ周波数選択性無線周波数 (RF) 検出器です。周波数スペクトル内の信号識別を行わない標準的な検出器と異なり、この回路は狭い周波数帯域に焦点を当てることができるので、指定された範囲内での性能が向上します。この検出器は RMS 応答回路で、温度や周波数が変化しても安定しているため、周波数精度の高い選択性の RF パワー測定が求められるアプリケーションにとって魅力的なソリューションです。また、不要な妨害波に対する高い耐性も備えています。図 1 に簡略化した回路図を示します。

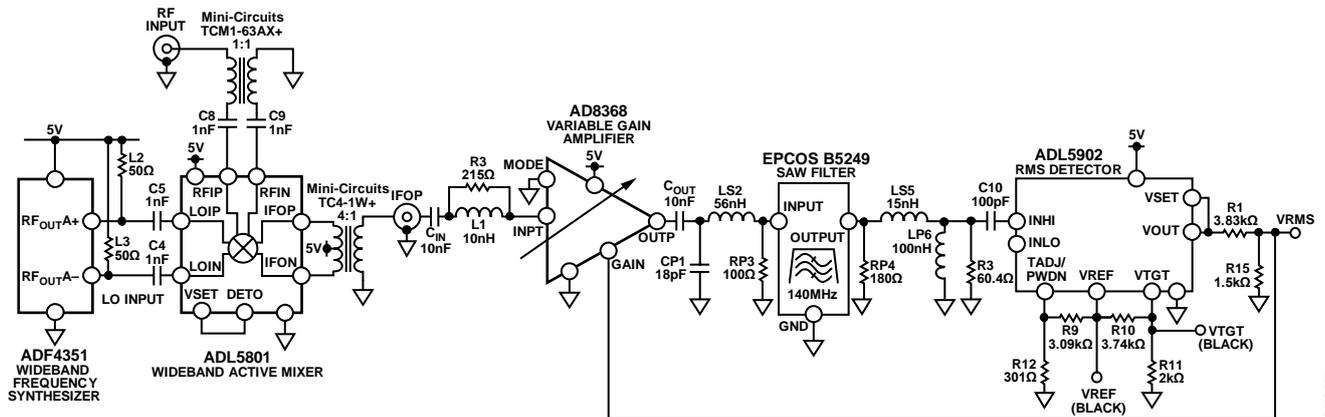


図 1. 周波数選択性 RF 検出器 (簡略回路図: 全接続の一部およびデカップリングは省略されています)

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. A

©2016 Analog Devices, Inc. All rights reserved.

## 回路説明

検出器回路は、90dBの検出範囲と、周波数および温度の変化に対する優れた安定性を実現するために、RMS検出器、可変ゲイン・アンプ (VGA)、SAWフィルタ、ミキサ、および周波数シンセサイザを組み合わせて構成されています。入力電力を900MHzで掃引した時に得られる検出器回路の伝達関数を図2に示します。キャリブレーション・ポイントを+13dBm、-50dBm、-65dBm、-75dBmに設定した4ポイント・キャリブレーションを使って、最適な直線性を達成することができます。2ポイント・キャリブレーションを使うこともできますが、入力電力範囲全体の直線性が低下します。

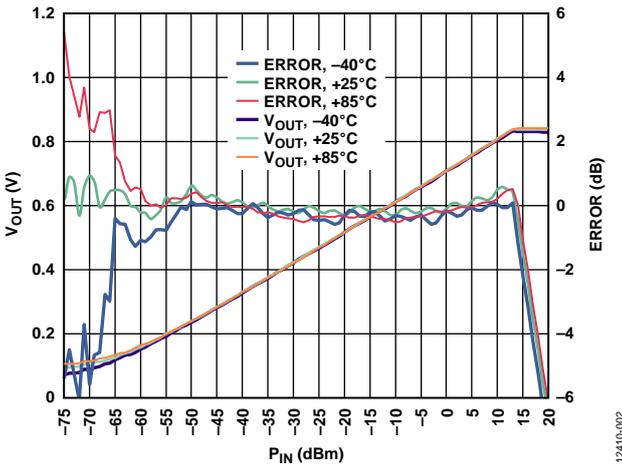


図2. 周波数選択性 RF 検出器の伝達関数と温度の関係

## ダイナミック・レンジの改善

この回路に使われている ADL5902 検出器は、もともと 50MHz から 9GHz まで 65dB の検出範囲を備えています。また、AD8368 VGA は電力範囲の上限と下限を拡大します。VGA と検出器の間に置かれた狭帯域 SAW フィルタは、VGA とミキサからのノイズを除去することによって、下限感度を最大限に高めます。回路ノート CN-0340 には、このダイナミック・レンジ拡大のメカニズムが詳しく説明されています。

しかし、このように範囲を拡大すると、動作がフィルタのパスバンド周波数範囲に制限されます。CN-0340 の回路を広帯域周波数変換ネットワークと組み合わせることにより、複合回路は周波数選択性を備えたものとなります。図1に示す回路では、35MHz~4.4GHz の入力信号を SAW フィルタのパスバンド周波数である 140MHz に変換するために、ADL5801 ミキサと ADF4351 周波数シンセサイザが組み合わされています。回路ノート CN-0239 は、この回路に使われている広帯域ミキサと局部発振器のグルーレスなインターフェースについて解説しています。

回路のダイナミック・レンジは、ADL5801 ミキサの VSET ピンを使用してミキサ・バイアス・レベルを最適化することにより、さらに拡大されています。通常、ADL5801 ミキサは 3.6V の VSET レベルで動作するため、ミキサ・バイアスが大きくなり、それに呼応して IP3 の値も大きくなります。

しかし、この動作点はノイズ指数を低下させることになり、入力感度が制限されます。2.0V の最小 VSET レベルでミキサを動作させるとミキサのノイズ指数は改善されますが、結果的に 1dB が損なわれ、ダイナミック・レンジの上端が制限されます。ミキサの適応型バイアス・メカニズムは、高低両側の電力レベルにおける回路の検出範囲を最適化するために使われます。VSET ピンを、ミキサの内部電力検出器に配線されている DETO ピンに接続することにより、デバイスのバイアス・レベルは、信号の状態に基づく適応型の設定となります。この機能は、RF 信号が大きい場合はミキサの高い直線性と圧縮を実現し、RF 信号が小さい場合は低ノイズ指数を実現することを可能にします。この機能を実装すれば、低入力電力レベルにおけるアプリケーション感度の改善と、高入力電力レベルにおけるダイナミック・レンジの維持を実現することができます。さまざまなミキサ・バイアス・レベルにおける検出器の伝達関数を図3に示します。

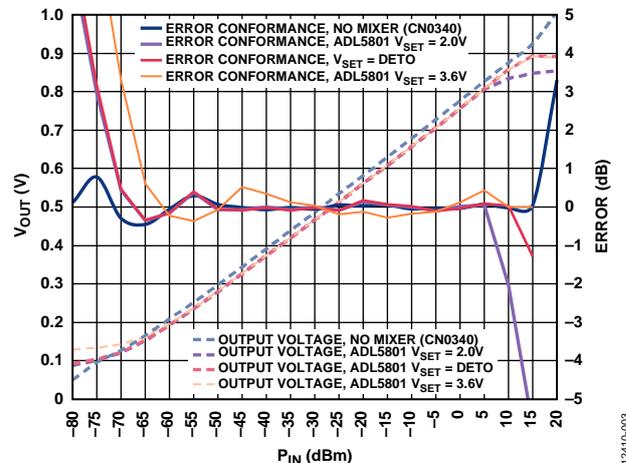


図3. さまざまなバイアス・レベルにおける ADL5801 ミキサの性能比較

## 温度安定性

電力スペクトル内での RF 入力電力に対する検出器の温度安定性を図2に示します。温度に対する精度は、システムに生じる温度ドリフトを考慮するための ADL5902 RMS 検出器の温度補正機能を使用して確保されます。VGA とミキサのゲインの温度変動は、回路の全体的ドリフト性能を 1対1 で低下させます (つまり、ミキサのゲインが温度に対して 1dB ドリフトすると、全体的な温度安定性も 1dB 低下します)。AD8368 VGA の場合、そのデータシートの図5によれば、温度に対するゲイン・ドリフトは約±0.7dB です。同様に、ADL5801 のデータシートの図3によれば、温度に対するミキサのドリフトは±0.5dB です。ADL5902 の TADJ ピンの電圧を調整することによって、検出器、VGA、およびミキサの合計温度ドリフトを補償することができます。TADJ 電圧を 0.6V にすると、あらゆる RF 入力周波数において最適な温度補償を実現できることが実験によって分かりました。

## 周波数安定性

回路の周波数平坦性を図4と図5に示します。この回路は、動作周波数範囲全体にわたって約1dBの平坦性を示します。ミキサは入力信号を140MHzにダウンコンバートするので、周波数平坦性は、ミキサによって生じるゲイン変動に支配されます。

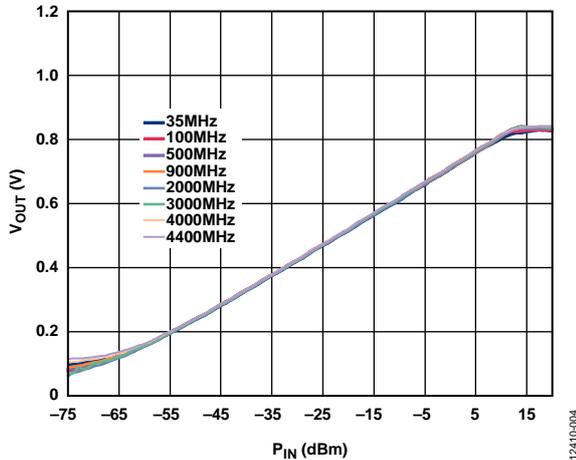


図4. 入力電力に対する周波数別の出力平坦性

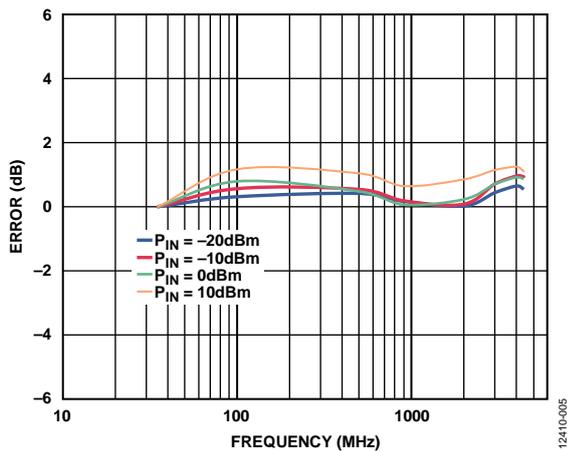


図5. 誤差の周波数特性 (35MHzで校正後)

## 妨害波耐性

960MHzに不要な妨害波信号が存在する場合の、900MHzにおける回路の性能を図6に示します。妨害波信号は搬送波信号から60MHz離れた位置にしました。これは、その周波数においてフィルタのパスバンド除去性能が低下し(図7参照)、回路にとって最も厳しいテスト条件となるためです。妨害波信号は、-10dBmを超える妨害波入力レベルにおいて、回路の下端感度を低下させますが、回路は、最大+5dBmの妨害波信号に対して65dBのダイナミック・レンジを維持します。

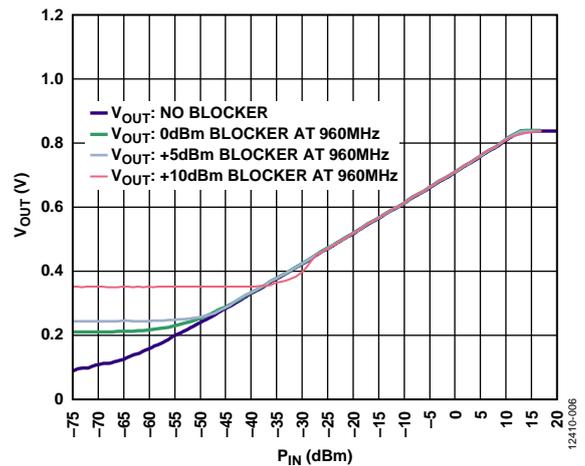


図6. 妨害波が960MHzの時の900MHzにおける入力伝達関数と出力の関係

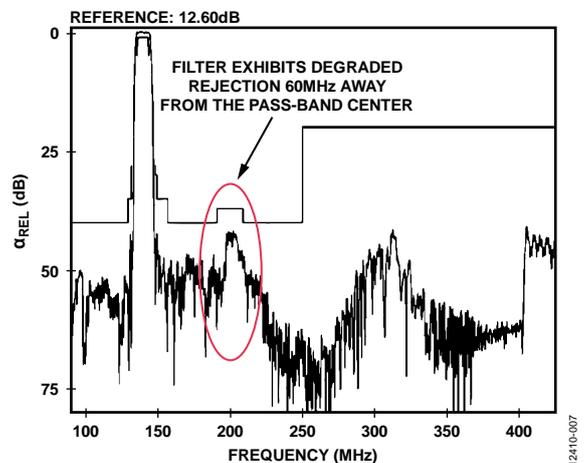


図7. EPCOS B5249 SAW フィルタの伝達関数

## パリエーション回路

回路の周波数範囲は、[ADF4351](#) 周波数シンセサイザを、[ADF4155](#) や [ADF4156](#) などのより広帯域のディスクリート・フェーズロック・ループ (PLL) と外部 VCO に置き換えることによって、6GHz に拡大できます。回路の中間周波数、フィルタ帯域幅、および挿入損失は、SAW フィルタを変更することによって修正できます。フィルタの帯域幅と挿入損失が増加するとノイズ・レベルも増加し、その結果としてシステムのダイナミック・レンジが低下します。ミキサ、VGA、およびフィルタによる合計出力ノイズ・レベルは、RMS 検出器の公称入力感度より 6dB~10dB 低くなければなりません。回路のフロントエンド (ミキサ、VGA、フィルタ) の合計ノイズの計算には、[ADIsimRF™](#) を使用することができます。回路の出力電圧は、回路に [AD7091](#) や [AD7466](#) などの A/D コンバータ (ADC) を組み合わせることによってデジタル化できます。詳細については、[回路ノート CN-0178](#) をご覧ください。

回路の評価とテスト

回路は、ADL5902、AD8368、ADF4351、ADL5801用の標準評価ボード（それぞれ [ADL5902-EVALZ](#)、[AD8368-EVALZ](#)、[EVAL-ADF4351EB1Z](#)、[ADL5801-EVALZ](#)）と、EPCOS B5249 SAW フィルタを組み込んだフィルタ評価ボードを使用して実装しました。これらの評価ボードは全て 50Ω のインターフェースを備えているので、SMA 型バレルコネクタを使って直接接続しました。ADL5902 検出器の出力から AD8368 のゲイン制御入力への信号接続と、ADL5801 の適合型バイアス制御を構成するための VSET ピンと CET0 ピンの接続には、テスト・クリップを使用しました。ADL5902 検出器の出力電圧を

スケールダウンするのに必要な抵抗分圧器は、ADL5902 評価用ボードの R1 (3.83kΩ) パッドと R15 (1.5kΩ) パッドに表面実装抵抗を配置することによって実装しました。140 MHz で回路の温度安定性を最適化する TADJ 電圧 (2.3V のオンチップ電圧リファレンスから得られる) は、R9/R12 抵抗分圧器により設定しました。TADJ 電圧を推奨値の 0.6 V レベルに設定するには、R9 を 850kΩ に変更します (R12 は既存値の 301Ω に保ちます)。

組み立てたアプリケーション回路を図 8 に、テスト・セットアップのブロック図を図 9 に示します。

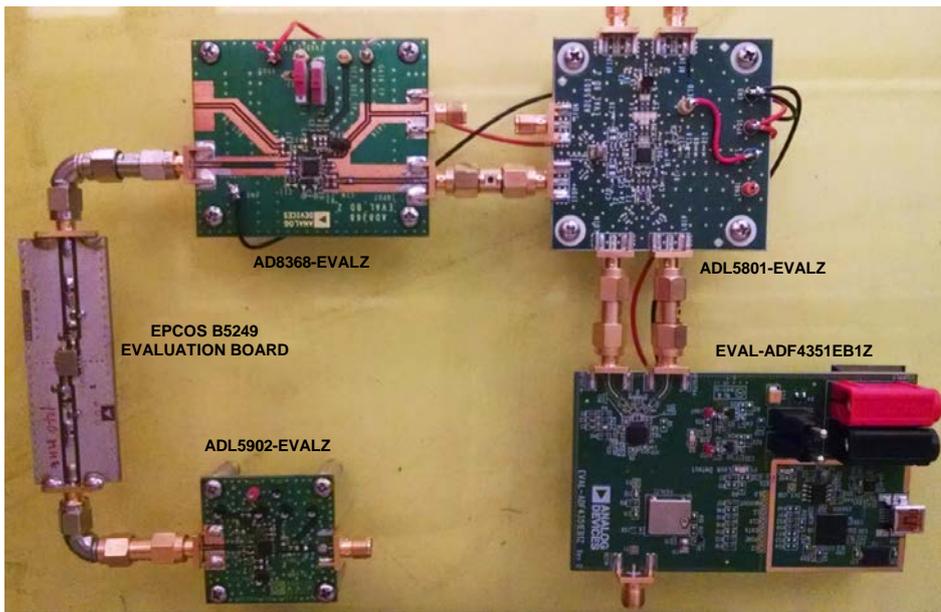


図 8. 組み立てたアプリケーション回路

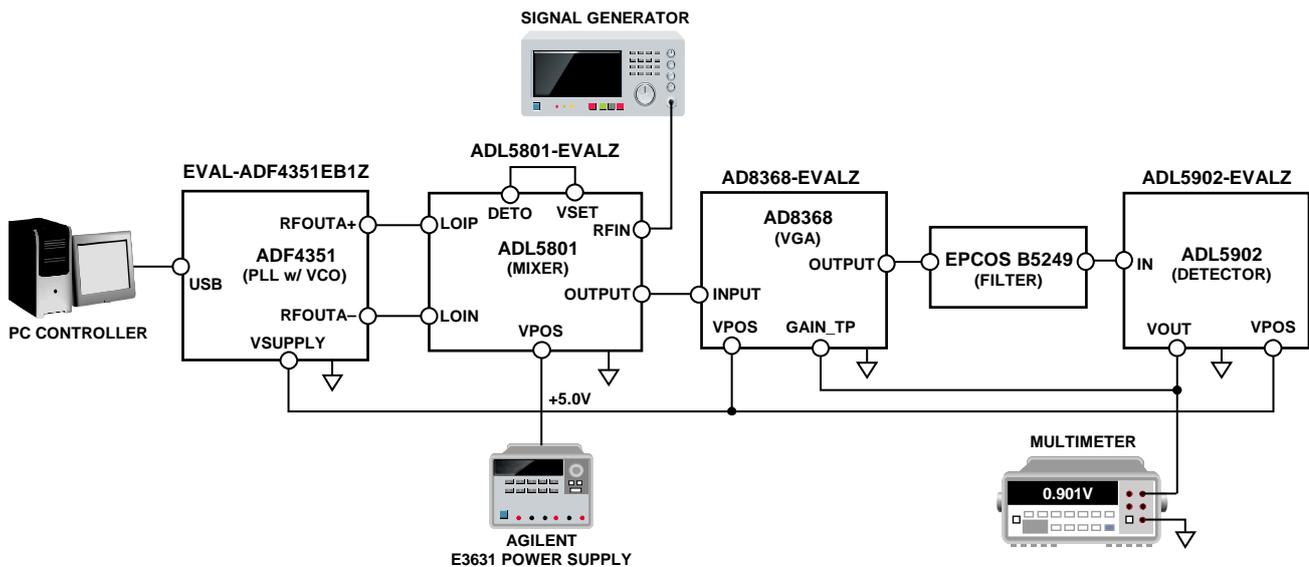


図 9. 回路評価用テスト・セットアップ

## 必要な装置

回路の評価には以下の装置を使用します。

- USB ポート付きの Windows® XP、Windows Vista (32 ビット)、または Windows 7 (32 ビット) 搭載 PC
- ADL5902-EVALZ、AD8368-EVALZ、EVAL-ADF4351EB1Z、および ADL5801-EVALZ 評価ボード
- EPCOS B5249 評価ボード
- RF シグナル・ジェネレータ
- デジタル・マルチメータ
- 電源

入力信号を 140MHz の中間周波数にダウンコンバートするために必要な LO 周波数のプログラムには、ADF4351 制御ソフトウェアを使用しました。さらに、回路の伝達関数と誤差適合性を決定するため、回路の RMS 出力電圧を増加入力電力レベルの関数として測定しました。

妨害波信号に対する回路の耐性をテストするため、妨害波をエミュレートするシグナル・ジェネレータと、対象チャンネルをエミュレートするプライマリ・シグナル・ジェネレータを組み合わせて回路を駆動しました。回路性能は、妨害波信号のレベルを増加させた場合の応答で評価しています。

## さらに詳しい資料

[CN-0360 Design Support Package](#)

[CN-0239 Circuit Note : Broadband 6 GHz Active Mixer with a Glueless Local Oscillator Interface, Analog Devices.](#)

[CN-0340 Circuit Note : 検出レンジ 95 dB の真の RMS RF 検出器](#)

[CN-0150 Circuit Note : Software Calibrated 1 MHz to 8 GHz 70 dB RF Power Measurement System, Analog Devices.](#)

[CN-0178 Circuit Note : ソフトウェア・キャリブレーション方式の 50MHz~9GHz RF 電力計測システム](#)

[ADIsimRF Design Tool](#)

[ADIsimPLL™ Design Tool](#)

[UG-435 User Guide : Evaluation Board for the ADF4351 Fractional-N PLL Frequency Synthesizer.](#)

[UG-476 User Guide : PLL Software Installation Guide.](#)

[MT-031 Tutorial : Grounding Data Converters and Solving the Mystery of “AGND” and “DGND”, Analog Devices.](#)

[MT-086 Tutorial : Fundamentals of Phase Locked Loops \(PLLs\), Analog Devices.](#)

[MT-101 Tutorial : Decoupling Techniques, Analog Devices.](#)

[AN-30 Application Note : Ask the Application Engineer—PLL Synthesizers, Analog Devices.](#)

[AN-1040 Application Note : RF Power Calibration Improves Performance of Wireless Transmitters, Analog Devices.](#)

## データシートと評価ボード

[ADF4351 データシート／評価ボード](#)

[ADL5801 データシート／評価ボード](#)

[ADL5902 データシート／評価ボード](#)

[AD8368 データシート／評価ボード](#)

[EPCOS B5249 データシート／評価ボード](#)

## 改訂履歴

**10/14—Rev. 0 to Rev. A**

Change to Dynamic Range Enhancement Section.....2

Changes to Figure 7 .....3

**9/14—Revision 0: 初版**

「Circuits from the Lab／実用回路集」はアナログ・デバイセズ社製品専用に作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab／実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab／実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab／実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2016 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。