

Circuits from the Lab™
Reference Circuits
実用回路集

Circuits from the Lab™ 実用回路は今日のアナログ・ミックスド・シグナル、RF 回路の設計上の課題の解決に役立つ迅速で容易なシステム統合を行うために作製、テストされました。さらに詳しい情報と支援については www.analog.com/jp/CN0232 をご覧ください。

接続/参考にしたデバイス

ADF4350	VCO 内蔵、フラクショナル N 型 PLL シンセサイザ
ADF4153	フラクショナル N 型 PLL 周波数シンセサイザ

**VCO 内蔵シンセサイザに別置シンセサイザを
組み合わせてスプリアスを最小にする**

評価と設計支援

回路評価基板

ADF4350 評価用ボード (EVAL-ADF4350EB2Z)

ADF4153 評価用ボード (EVAL-ADF4153)

設計と統合ファイル

回路図、レイアウト・ファイル、部品表

回路の機能とその利点

図 1 に示す回路は、スプリアスを最小にするために、PLL シンセサイザを VCO から分離したものです。VCO 内蔵シンセサイザ ADF4350 と、別置の PLL シンセサイザ IC を使用します。

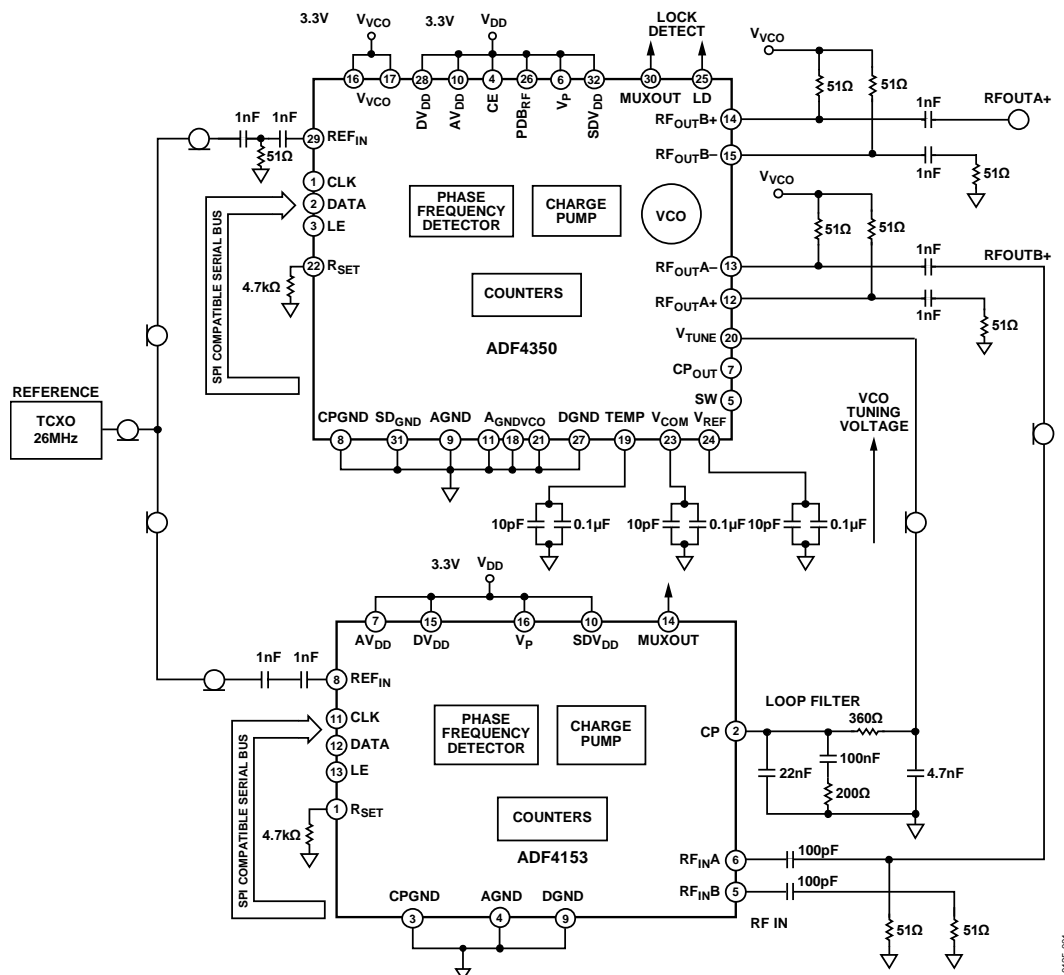


図 1. ADF4350 に ADF4153 を接続 (簡略化した回路。接続およびデカップリングのすべては示されていません)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2012 Analog Devices, Inc. All rights reserved.

Rev. 0

PLL と VCO が集積されたデバイスでは、デジタル PLL 回路から VCO へのフィードスルーがあります。PLL 回路が VCO に接近しすぎる事で、スプリアスレベルが高くなる恐れがあります。

図 1 に示す回路は、フラクショナル N 型 PLL と VCO が集積された ADF4350 を、PLL シンセサイザ IC ADF4153 と共に使用したものです。ADF4350 は 137.5 MHz ~ 4400 MHz の周波数を発生させることができます。

外部 PLL を使用する利点として、スプリアス性能が向上することに加え、周波数分解能を向上できることがあります。たとえば ADF4153 の代わりに PLL シンセサイザ IC ADF4157 を選べば、0.7 Hz 程度もの微細な PLL 周波数分解能を実現できる可能性があります。

回路の説明

ADF4350 は広帯域 PLL と、それぞれ帯域の異なる 3 つの VCO で構成された IC です。各 VCO は、VCO 周波数間で多少のオーバーラップはありますが、それぞれ約 700 MHz の帯域をカバーします。これにより 2.2 GHz ~ 4.4 GHz の基本波による VCO 発振周波数範囲が可能になっています。2.2 GHz 以下の周波数も、ADF4350 の内蔵分周器で生成できます。

ほとんどのアプリケーションでは、VCO をロックするために ADF4350 内蔵の PLL 回路を使用します。この内蔵 PLL 回路は PLL をロックする事に加え、「内蔵 VCO のバンドセレクト」という重要な動作を行っています。これは内蔵 PLL 回路の内部リファレンス (R) カウンタ値とフィードバック (N) カウンタ値を使用して、VCO 出力周波数と基準周波数入力を比較するものです。

周波数生成のために内蔵 PLL 回路をイネーブルにし、目的の周波数をプログラムします。その後 VCO のバンドセレクト動作に十分な時間経過したら、内蔵 PLL 回路をディスエーブルにして、外部 (ADF4153) の PLL 回路をイネーブルにします。この外部 PLL 回路は基準周波数と VCO 出力周波数を比較して、PLL をロックするための安定した DC 電圧を生成します。

図 2 は ADF4153 の PLL 回路をディスエーブルにして、ADF4350 の内蔵 PLL 回路と内蔵 VCO を使用して、RF_{OUTA+} で測定した出力信号のスプリアスです。13 MHz と 26 MHz に位相比較周波数のスプリアスが見えます。

図 3 は ADF4350 の内蔵 PLL 回路をディスエーブル、外部 PLL の ADF4153 をイネーブルにして、RF_{OUTA+} で測定したスプリアスです。ここでは ADF4153 のチャージポンプ出力でループ・フィルタをドライブし、ループ・フィルタ出力が ADF4350 の V_{TUNE} 入力をドライブします。V_{TUNE} 入力 ADF4350 の VCO 出力周波数を制御します。

図 2 と図 3 を比較すると、図 2 で観測された 13 MHz と 26 MHz の位相比較周波数によるスプリアスが、図 3 ではノイズフロア以下になっていることがわかります。

バリエーション回路

異なる PLL IC を選ぶ事もできます。ADF4350 と ADF4153 のフラクショナル N 型 PLL は、PFD/4095 が最小周波数分解能です (PFD は位相比較周波数)。より細かな分解能が必要な場合は、ADF4157 を選択する事ができます。この PLL の分解能は PFD/2²⁵ で、1 Hz 以下の超高分解能を実現できます。

PLL IC の ADF4150 は ADF4350 とソフトウェア互換です。簡単にソフトウェアでプログラムしたいアプリケーションには、ADF4150 を使用すれば、ソフトウェア・プログラミング・シーケンスが簡単になります。

R&S FSUP SIGNAL SOURCE ANALYZER

SETTINGS	RESIDUAL NOISE (T1 WITHOUT SPURS)	SPUR LIST
SIGNAL FREQUENCY: 1.6000GHz	INT PHN (1.0k .. 30.0M): -49.1dBc	1.000MHz -83.82dBc
SIGNAL LEVEL: 5.44dBm	RESIDUAL PM: 0.285°	2.001MHz -99.68dBc
CROSS CORR MODE: HARMONIC 1	RESIDUAL FM: 3.24kHz	3.000MHz -89.92dBc
INTERNAL REF TUNED: INTERNAL PHASE DET	RMS JITTER: 0.4946ps	13.000MHz -94.70dBc

PHASE NOISE (dBc/Hz)	MARKER 1 (T1)	MARKER 2 (T1)	MARKER 3 (T1)	MARKER 4 (T1)
RF ATTEN: 5dB	1kHz	10.98633kHz	13.00011MHz	26.00002MHz
TOP -70dBc/Hz	-91.84dBc/Hz	-93.42dBc/Hz	-94.7dBc	-87.89dBc

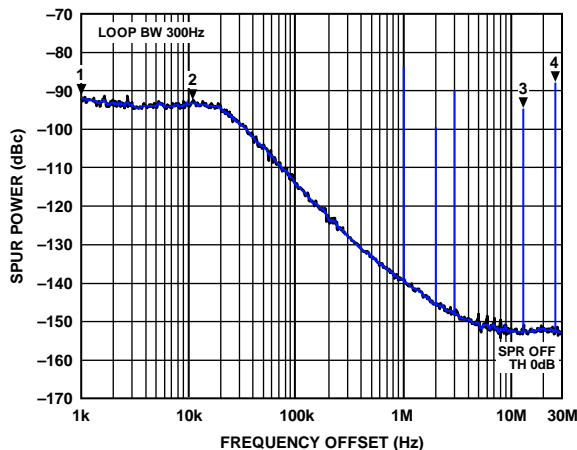


図 2. ADF4350 の位相比較周波数スプリアス (1.6 GHz)

R&S FSUP SIGNAL SOURCE ANALYZER

SETTINGS	RESIDUAL NOISE (T1 WITHOUT SPURS)	SPUR LIST
SIGNAL FREQUENCY: 1.6000GHz	INT PHN (1.0k .. 30.0M): -53.3dBc	1000.0kHz -90.44dBc
SIGNAL LEVEL: 1.71dBm	RESIDUAL PM: 0.174°	2.000MHz -85.60dBc
CROSS CORR MODE: HARMONIC 1	RESIDUAL FM: 1.846kHz	3.000MHz -96.36dBc
INTERNAL REF TUNED: INTERNAL PHASE DET	RMS JITTER: 0.3025ps	4.000MHz -99.28dBc

PHASE NOISE (dBc/Hz)	MARKER 1 (T1)	MARKER 2 (T1)	MARKER 3 (T1)	MARKER 4 (T1)
RF ATTEN: 5dB	1kHz	1kHz	100kHz	1MHz
TOP -70dBc/Hz	-101.23dBc/Hz	-101.23dBc/Hz	-120.62dBc	-144.68dBc



図 3. ADF4153 を使用した時の ADF4350 の位相比較周波数スプリアス (1.6 GHz)

回路評価とテスト

この [CN-0232](#) では回路評価に EVAL-ADF4350EB2Z 評価用ボードを使用していますが、セットアップと評価を速やかに行うため多少修正しています。EVAL-ADF4350EB2Z 評価用ボードは評価用ボード同梱の CD に入っている標準の ADF4350 プログラミング用ソフトウェアを使用します。EVAL-ADF4153 評価用ボードには PLL シンセサイザ ADF4153 のソフトウェアが同梱されています。

必要な装置

- プログラミング用ソフトウェア付き EVAL-ADF4350EB2Z
- プログラミング用ソフトウェア付き EVAL-ADF4153
- 5.5V 電源
- 信号発生器 R&S SMA100A 又は同等品
- スペクトラム・アナライザ R&S FSUP26 又は同等品
- PC 2 台：Windows® XP、Windows Vista (32 ビット) 又は Windows 7 (32 ビット) 対応で、1 台は USB ポート、もう 1 台はプリンタポートがあるもの。プリンタポートが無ければ、代わりに USB アダプタ キット EVAL-ADF4xxxX-USB が使用できます

SMA 同軸ケーブルで EVAL-ADF4350EB2Z の RFOUTB+ を EVAL-ADF4153 の RFIN に接続します。リファレンス周波数源を 2 つの評価用ボードで共用するため、簡単な SMA スプリッタも必要です。ADF4153 のループ・フィルタ出力を ADF4350 の V_{TUNE} 入力に接続するため、柔らかい細い同軸ケーブルが必要です。不必要な干渉ノイズを最小限に抑えるため、各ボードの適切な GND ポイントにケーブルの両側を接地します。

機能ブロック図

実験には EVAL-ADF4153 と EVAL-ADF4350EB2Z を使用します。EVAL-ADF4350EB2Z を選んだ理由は、図 4 に示すように補助 RFOUTB+ 出力段があるからです (SMA ケーブルを介して EVAL-ADF4153 に接続できる)。

2 つの PLL IC は同じリファレンス入力 (REFIN) 周波数を使用します。SMA スプリッタで同じリファレンス周波数源を両方の評価用ボードに接続します。

余計なノイズやスプリアスが V_{TUNE} ピンに乗らないように、EVAL-ADF4153 のループ・フィルタ出力は、シールドした同軸ケーブルを介して ADF4350 の V_{TUNE} ピンに接続します。2 つの IC は別々にプログラミングします。PC ハードウェアのドライバ間が競合しないように、それぞれの評価用ボードに異なる PC を使用する必要があるかもしれません。

始めてみよう

EVAL-ADF4350EB2Z 評価ソフトウェアのインストールと使用方法の詳細は、ユーザー・ガイド [UG-110](#) に記載されています。UG-110 には評価用ボードのセットアップの説明、評価用ボードの回路図、ボード・レイアウト、部品表も記載されています。

ユーザー・ガイド [UG-167](#) は、EVAL-ADF4153 の同様の情報が含まれています。この評価用ボードに必要な修正は VCO (Y1) を取り去る事です。この評価用ボードを信号入力用として再設定するため、抵抗 R7 を取り去り、R8 と R9 を $0\ \Omega$ に変更してください。

ADF4350 評価用ボードの PLL ループ・フィルタは使用しないので、取り去る必要があります。ADF4153 のループ・フィルタ (T7) 出力を ADF4350 (T4) の V_{TUNE} 入力に細い同軸ケーブルで接続します。重要な事はこの同軸ケーブルの外側のシールドを 2 つの評価用ボードのグラウンドに接続する事です。

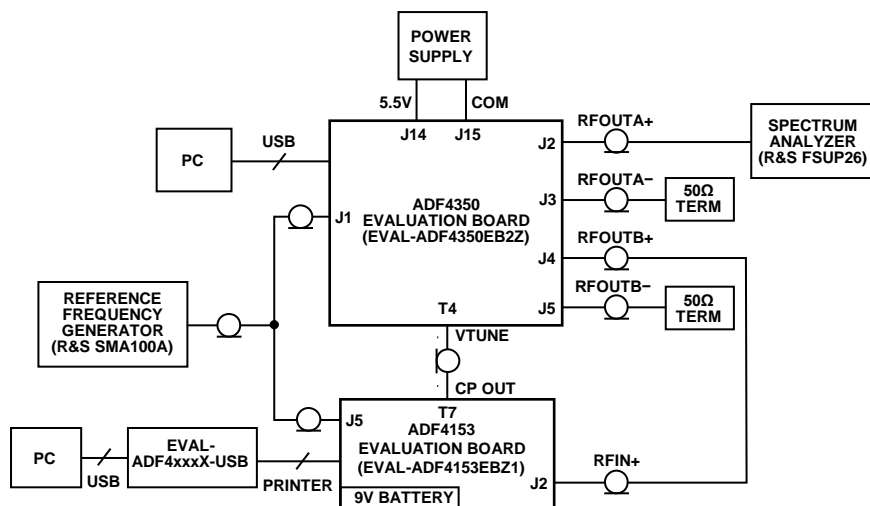


図 4. テスト・セットアップ機能ブロック図

10125-004

初期化の手順

ADF4350 は周波数を更新するごとにバンドセレクト動作を行っています。

1. ADF4350 を通常動作として初期化 (R0, R1, R2, R3, R4, R5 を設定) してください。ADF4350 のチャージポンプは使用しないので、R2 の DB4 は「1」 (I_{CP} をスリーステートにする) に設定してください。分周した VCO 出力を RFOUTB+ 出力にするため、R4 の DB9 を「0」に設定してください。RFOUTB+ (補助出力) をイネーブルにしてください。同軸ケーブルを通してこの信号が ADF4153 に印加されます
2. さきの VCO 出力を RF 入力とするように (データシートに従い) ADF4153 を初期化してください。なお ADF4350 のバンドセレクト用スイッチは IC 内部にあります。そのため ADF4350 の V_{TUNE} 端子を切り離すための外部スイッチは不要です
3. ADF4153 がロックしたら、ADF4350 のカウンタ・リセット機能を「1」 (R2 の DB3) にしてカウンタを停止する必要があります。カウンタを停止しておかないと、スプリアス特性が劣化します。テストモード・ビット (R5 の DB10) を使えば、ADF4350 の PLL シンセサイザ回路全体をパワーダウンする事ができます

周波数の更新

1. ADF4350 の PLL シンセサイザ回路を再起動するため、R5 の DB10 を「0」に設定してください
2. ADF4350 の R2 の DB3 を「0」に設定して、カウンタ・リセット機能を解除してください。バンドセレクト動作のためにカウンタの機能が必要だからです
3. ADF4350 と ADF4153 の N カウンタ・レジスタを新しい周波数に設定してください
4. ADF4153 がロックしたら、ADF4350 のカウンタ・リセット機能 (R2 の DB3) を設定します。テストモード・ビット (R5 の DB10) を使えば、ADF4350 の PLL シンセサイザ回路全体をパワーダウンする事ができます
5. 周波数を更新するごとに、必要に応じてステップ 1～ステップ 4 を繰り返してください

図 5 と 図 6 に示す画面は、REF_N=26 MHz (ADF4350)、PFD=13 MHz (ADF4153) の状態を示しています。

セットアップ後、出力信号のスペクトル純度の測定には、一般的な RF テスト方法を使用してください。

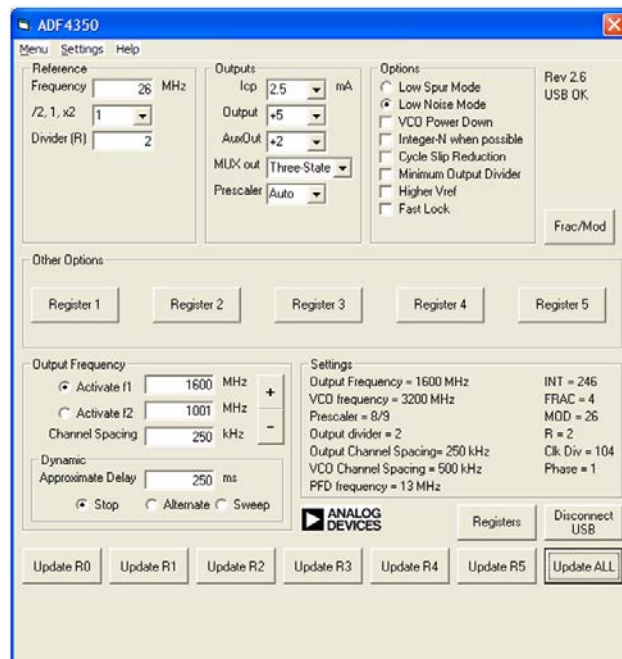


図 5. ADF4350 のソフトウェアの画面

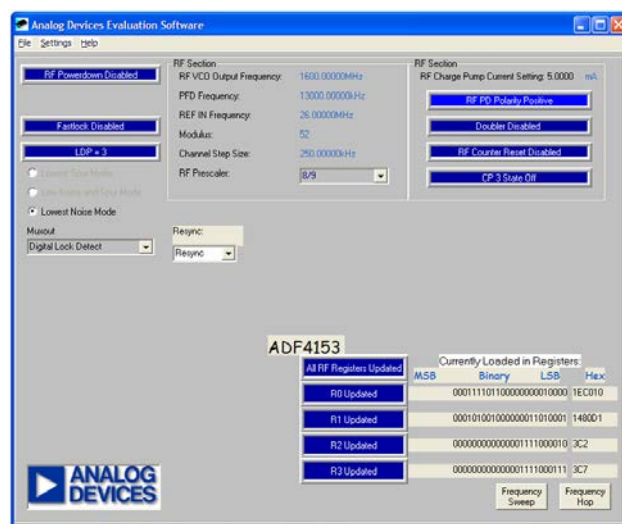


図 6. ADF4153 のソフトウェアの画面

さらに詳しくは

CN0232 Design Support Package:

<http://www.analog.com/CN0232-DesignSupport>

UG-110 User Guide :

[User Guide for the EVAL-ADF4350EB2Z board](#)

UG-167 User Guide :

[User Guide for the EVAL-ADF4153 board](#)

MT-031 Tutorial : [Grounding Data Converters and Solving the Mystery of “AGND” and “DGND”](#)

MT-086 Tutorial : [Fundamentals of Phase Locked Loops \(PLLs\)](#)

MT-101 Tutorial : [Decoupling Techniques](#)

[ADIsimPLL Design Tool](#)

データシートと評価用ボード

ADF4153 [データシート／評価用ボード](#)

ADF4350 [データシート／評価用ボード](#)

改訂履歴

4/12—Revision 0:初版

「Circuits from the Lab／実用回路集」はアナログ・デバイセズ社製品専用になられており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab／実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab／実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab／実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2012 Analog Devices, Inc. All rights reserved. 商標および登録商標は、それぞれの所有者の財産です。

CN10125-0-4/12(0)