



テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は支援は <http://www.analog.com/jp/CN0227> をご覧ください。

### 使用したリファレンス・デバイス

AD9467	250 MSPS の 16 ビット A/D コンバータ
ADL5562	3.3 GHz、超低歪み、RF/IF 用差動アンプ

## アンチエイリアシング・フィルタ付き、高性能、16 ビット、250 MSPS 広帯域レシーバ

### 評価および設計サポート

#### 設計と統合ファイル

[回路図](#)、[レイアウト・ファイル](#)、[部品表](#)

#### 回路の機能とその利点

図 1 に示す回路は、超低ノイズ差動アンプ・ドライバ ADL5562 と 16 ビット、250 MSPS A/D コンバータ AD9467 をベースにした広帯域レシーバのフロントエンドです。

3 次バターワース・アンチエイリアシング・フィルタは、アンプと ADC の性能およびインターフェースの要件に基づいて最適化されています。フィルタ・ネットワークと他の部品による損失はわずか 1.8 dB です。

回路全体の帯域幅は 152 MHz、通過帯域の平坦性は 1 dB です。120 MHz のアナログ入力を使って測定した SNR は 72.6 dBFS、SFDR は 82.2 dBc です。

### 回路説明

この回路はシングルエンドの入力信号を受け入れ、それを帯域幅の広い (3 GHz) トランス M/A-COM ECT1-1-13M 1:1 を使って差動に変換します。3.3 GHz 差動アンプ ADL5562 の差動入力インピーダンスは、6 dB のゲインで動作しているとき 400 Ω、12 dB のゲインで動作しているとき 200 Ω です。15.5 dB のゲインも選択可能です。

ADL5562 は AD9467 に最適なドライバです。ローパス・フィルタから ADC に至るまで完全に差動のアーキテクチャなので、高周波同相除去性能が高く、2 次歪み積を最小に抑えます。ADL5562 は入力に応じて、6 dB または 12 dB のゲインの設定が可能です。この回路では、フィルタ・ネットワークとトランスの挿入損失 (約 1.8 dB) を補償するためゲインを 6 dB にしてあり、全体の信号ゲインは 3.9 dB です。

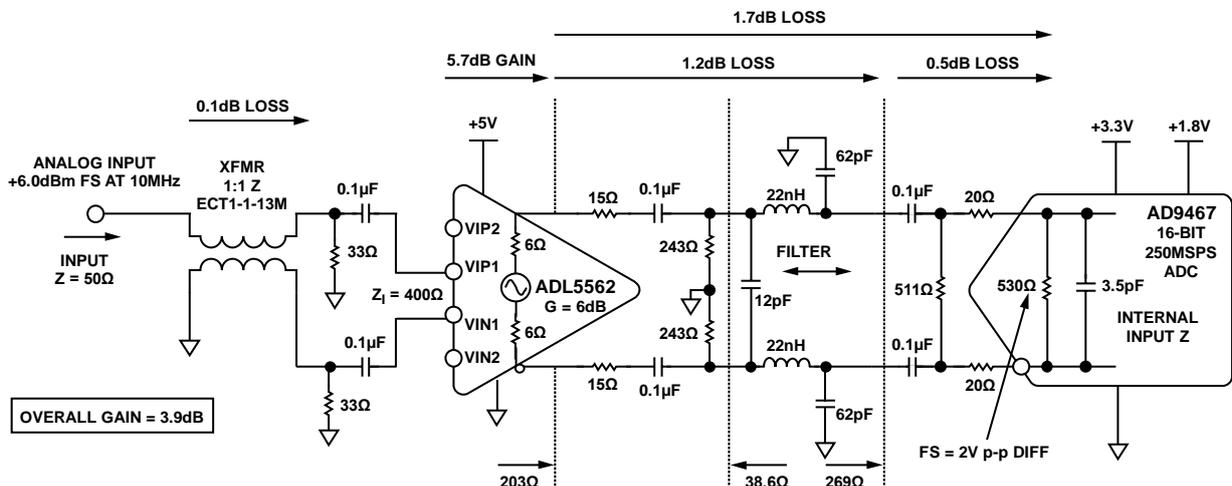


図 1. 16 ビット、250 MSPS 広帯域レシーバのフロントエンド (簡略回路図)  
10 MHz でのゲイン、損失、信号レベルの測定値

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許その他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

6.0 dBm の入力信号は ADC の入力に 2 V p-p のフルスケール差動信号を生じます。

アンチエイリアシング・フィルタは、標準のフィルタ設計プログラムを使って設計した 3 次バターワース・フィルタです。バターワース・フィルタを選択した理由は、通過帯域内の応答がフラットであるためです。3 次のフィルタは AC ノイズ帯域幅比が 1.05 になり、Nuhertz Technologies 社の Filter Free や Quite Universal Circuit Simulator (Qucs) の無償プログラムなど、いくつかの無償フィルタ・プログラムを使用して設計することができます。

最高の性能を得るため、ADL5562 に 200 Ω の差動負荷をかけます。15 Ω の直列抵抗はフィルタのキャパシタンスをアンプの出力から分離します。30 Ω の直列抵抗を追加することで、下流のインピーダンスと並列の 243 Ω 抵抗により、負荷インピーダンスは 203 Ω になります。

ADC の入力と直列の 20 Ω 抵抗は、内部のスイッチング・トランジェントの影響がフィルタおよびアンプに及ばないようにします。

ADC と並列の 511 Ω 抵抗は、ADC の入力インピーダンスを上げて性能を安定させるのに役立ちます。

3 次バターワース・フィルタは、38.6 Ω のソース・インピーダンス、269 Ω の負荷インピーダンス、および 180 MHz の 3 dB 帯域幅で設計しました。プログラムで計算した値を図 1 に示します。選択したフィルタの受動部品の値はプログラムによって計算された値に最も近い標準値です。

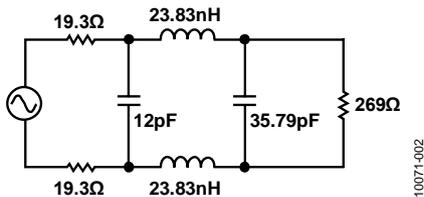


図 2. 3 次差動バターワース・フィルタ  
( $Z_S = 38.6 \Omega$ ,  $Z_L = 269 \Omega$ ,  $F_C = 180 \text{ MHz}$ )

ADC 内部の 3.5 pF の容量を 2 番目のシャント・コンデンサの値から差し引くと 32.29 pF になります。図 1 に示すように、この回路では、このコンデンサはグラウンドに接続した 2 個の 62 pF コンデンサを使って実現しました。これにより、同じフィルタ効果が得られ、いくらかの AC 同相除去が行われます。

システム性能の測定結果を表 1 にまとめます。ここで、3 dB 帯域幅は 152 MHz です。ネットワーク全体の挿入損失は約 2 dB です。応答帯域幅を図 3 に、SNR と SFDR の性能を図 4 に示します。

表 1. 回路性能の測定結果

Performance Specs at 2 V p-p FS	Final Results
Cutoff Frequency (-3 dB)	152 MHz
Pass-Band Flatness (6 MHz to 125 MHz)	1 dB
SNRFS at 120 MHz	72.6 dBFS
SFDR at 120 MHz	82.2 dBc
H2/H3 at 120 MHz	86.6 dBc/82.2 dBc
Overall Gain at 10 MHz	3.9 dB
Input Drive at 10 MHz	6.0 dBm

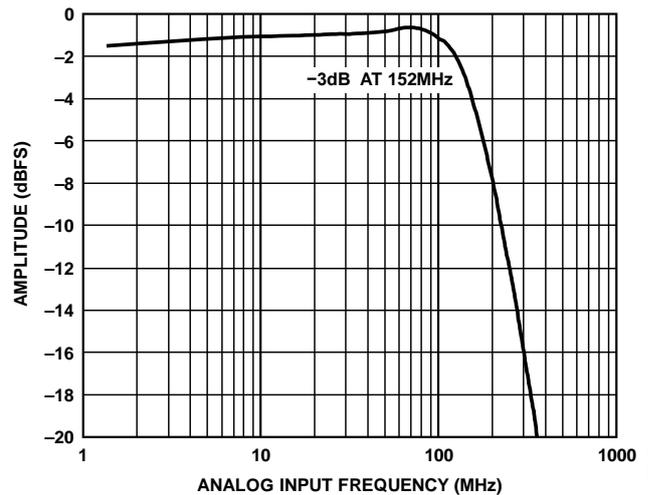


図 3. 通過帯域平坦性能の周波数特性

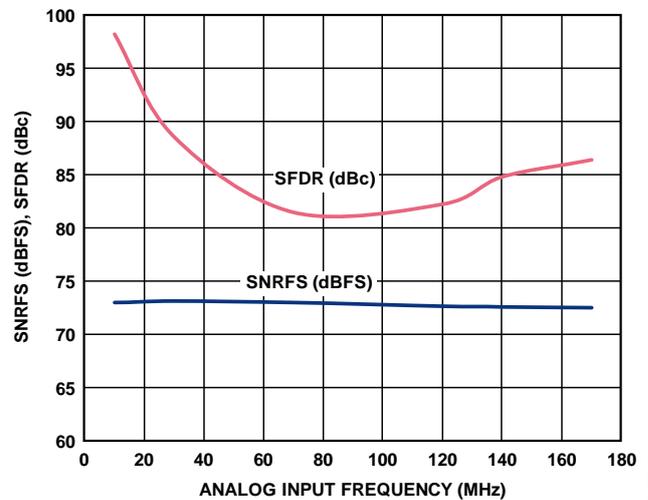


図 4. SNR/SFDR 性能の周波数特性

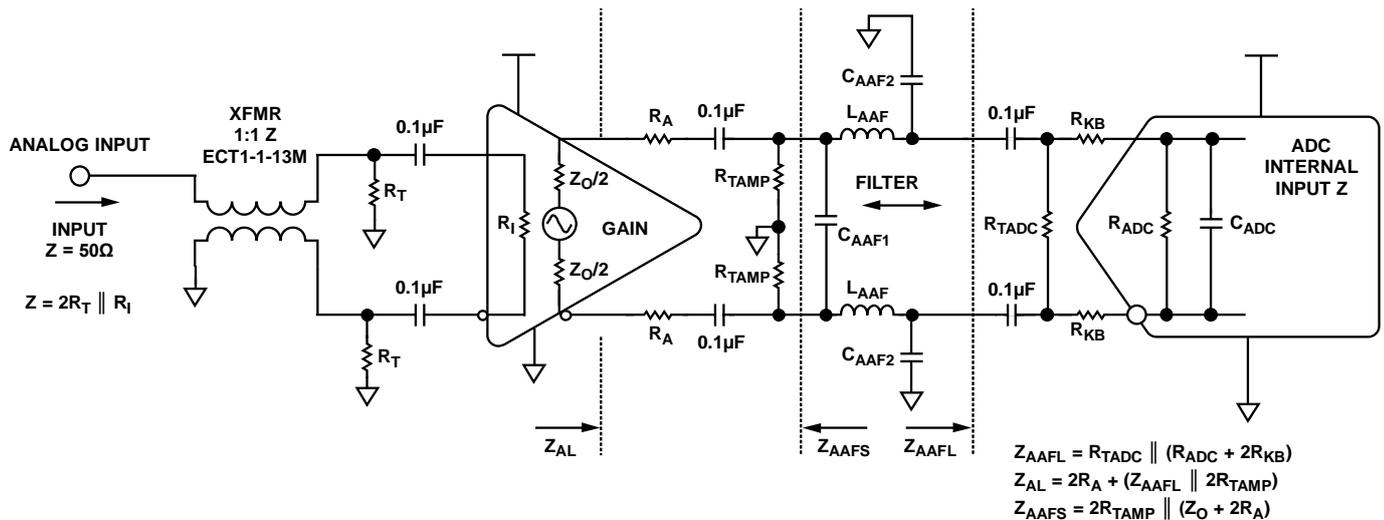


図5. ローパス・フィルタ付きの一般化された差動アンプ/ADC インターフェース

### フィルタとインターフェースの設計手順

このセクションでは、フィルタ付きのアンプ/ADC インターフェースの一般的な設計手法を説明します。最適な性能(帯域幅、SNR、SFDR)を実現するには、一般的な回路に対してアンプとADCによる設計上の一定の制約があります。

1. 最適性能を得るには、アンプから見える DC 負荷をデータシートが推奨している適切な値にします。
2. アンプと、フィルタによる負荷の間に適切な大きさの直列抵抗を使う必要があります。これは通過帯域内の不要なピーキングを防ぐためです。
3. 外付け並列抵抗によって ADC への入力を減少させ、適切な直列抵抗を使って ADC をフィルタから分離します。この直列抵抗はピーキングを減らす効果もあります。

図5に示す一般化された回路はほとんどの高速差動アンプ/ADC インターフェースに適用できるので、ここでの説明の基礎として使います。この設計手法は、比較的高い入力インピーダンスの高速 ADC と比較的低いインピーダンスの駆動源(アンプ)に活用することで、フィルタの挿入損失を小さく抑えるのに役立ちます。

基本的な設計手順は以下のとおりです。

1.  $R_{TADC}$  と  $R_{ADC}$  の並列抵抗が  $200\ \Omega \sim 400\ \Omega$  になるように ADC の外付け終端抵抗  $R_{TADC}$  を選択します。
2. 経験や ADC のデータシートの推奨値(標準  $5\ \Omega \sim 36\ \Omega$ )に基づき  $R_{KB}$  を選択します。
3. 次式を使ってフィルタの負荷インピーダンスを計算します。  

$$Z_{AAFL} = R_{TADC} \parallel (R_{ADC} + 2R_{KB})$$
4. アンプの外付け直列抵抗  $R_A$  を選択します。アンプの差動出力インピーダンスが  $100\ \Omega \sim 200\ \Omega$  であれば、 $R_A$  を  $10\ \Omega$  未満にします。アンプの出力インピーダンスが  $12\ \Omega$  以下であれば、 $R_A$  を  $5\ \Omega \sim 36\ \Omega$  にします。

5. アンプから見た総負荷  $Z_{AL}$  が選択した特定の差動アンプに対して最適になるように、次式を使って  $R_{TAMP}$  を選択します。

$$Z_{AL} = 2R_A + (Z_{AAFL} \parallel 2R_{TAMP}).$$

6. フィルタのソース抵抗を計算します。

$$Z_{AAFS} = 2R_{TAMP} \parallel (Z_O + 2R_A).$$

7. フィルタ設計プログラムまたは表を使い、ソース・インピーダンスと負荷インピーダンス ( $Z_{AAFS}$  と  $Z_{AAFL}$ )、フィルタのタイプ、帯域幅および次数を使ってフィルタを設計します。サンプリング・レートの  $1/2$  より約 40% 高い帯域幅を使って、DC ~  $fs/2$  の周波数範囲が確実に平坦になるようにします。
8. ADC の内部容量  $C_{ADC}$  をプログラムによって計算したシャント・コンデンサの最終値から差し引きます。プログラムから差動シャント・コンデンサの値  $C_{SHUNT2}$  が得られます。最終的に得られた同相シャント容量値は次のとおりです。

$$C_{AAF2} = 2(C_{SHUNT2} - C_{ADC}).$$

これらの予備的計算を実行した後、以下の事項に関して回路を速やかに見直します。

1.  $C_{AAF2}$  が  $C_{ADC}$  より数倍大きくなるように、 $C_{AAF2}$  の値を少なくとも  $10\ \text{pF}$  にします。これにより、 $C_{ADC}$  のばらつきによってフィルタが受ける影響が小さく抑えられます。
2. フィルタが大部分のフィルタの表および設計プログラムのリミット内に収まるように、 $Z_{AAFS}$  に対する  $Z_{AAFL}$  の比が約 7 を超えないようにします。
3.  $C_{AAF1}$  の値を少なくとも  $5\ \text{pF}$  にして、寄生容量と部品のばらつきの影響を小さく抑えます。
4. インダクタ  $L_{AAF}$  は少なくとも数 nH の適度な値にします。

フィルタ設計プログラムは、特に高次のフィルタの場合、複数の提案が提供されることがあります。選択が可能な最適な部品の値を用いる提案を常に選択する必要があります。また、最後の部分がシャント・コンデンサで終る構成を選択して、シャント・コンデンサを ADC の入力容量と組み合わせることができるようにします。

### 回路の最適化手法とトレードオフ

このインターフェース回路のパラメータは相互に依存度が高いので、全ての主要な仕様（帯域幅、帯域の平坦度、SNR、SFDR、ゲイン）に対して回路を最適化することはほとんど不可能です。ただし、応答帯域幅内ではしばしば生じるピーキングは、 $R_A$  と  $R_{KB}$  を変えることで小さく抑えることができます。

図 6 で、出力の直列抵抗  $R_A$  の値を大きくするにつれ、通過帯域のピーキングが小さくなることに注意してください。ただし、この抵抗値が増加するにつれ信号が減衰するので、ADC のフルスケール入力範囲を満たすには、アンプがより大きな信号を駆動する必要があります。

$R_A$  の値も SNR 性能に影響します。

$R_A$  を大きくすると帯域幅内のピーキングが小さくなりますが、ADC をフルスケールに駆動するには大きな信号レベルが必要なので、SNR がわずかに増加する傾向があります。

ADC 入力の  $R_{KB}$  直列抵抗は、ADC 内部のサンプリング・コンデンサから注入される残留電荷によって生じる歪みが最小になるように選択します。また、この抵抗を大きくすると、帯域幅内のピーキングが小さくなる傾向があります。

ただし、 $R_{KB}$  を大きくすると信号が大きく減衰するので、ADC の入力範囲を満たすには、アンプはより大きな信号を駆動する必要があります。

通過帯域の平坦性を最適化するもう 1 つの方法は、フィルタのシャント・コンデンサ  $C_{AAF2}$  をわずかに変えることです。

通常は、ADC の入力インピーダンスが  $200\ \Omega \sim 400\ \Omega$  になるように ADC 入力の終端抵抗  $R_{TADC}$  を選択します。これを下げると、ADC の入力容量の影響が小さくなり、フィルタ回路が安定しますが、回路の挿入損失が増加します。また、値を大きくすると、ピーキングが小さくなります。

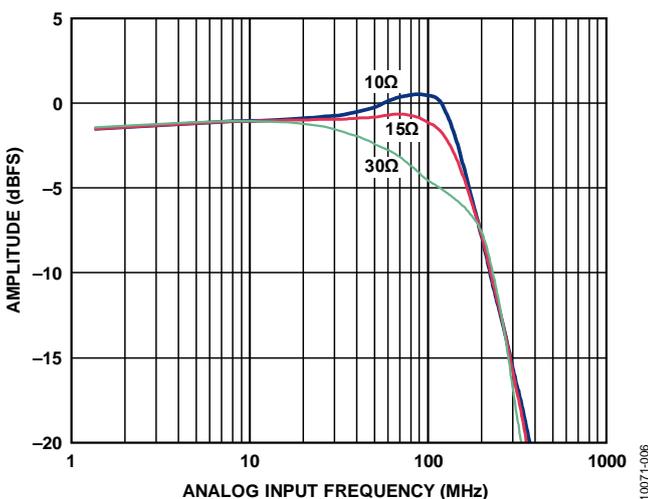


図 6. アンプ出力の直列抵抗  $R_A$  対通過帯域の平坦性能

これらのトレードオフのバランスをとるのが難しいことがあります。この設計では各パラメータの重みづけを等しくしたので、全ての回路特性に関して、インターフェース性能の代表的な値を選択しました。設計によっては、システムの要件に従って異なる値を選択して、SFDR、SNR、入力駆動レベルを最適化することができます。

この設計の SFDR 性能は 2 つの要因によって決まります。つまり図 1 に示すアンプと ADC のインターフェースの部品の値、および内部レジスタによる AD9467 内部のフロントエンド・バッファのバイアス電流の設定です。表 1 と図 4 に示す最終的に得られた SFDR 性能の数値は AD9467 のデータシートで説明されている SFDR の最適化に従って得られました。

この特定の設計で可能な別のトレードオフは ADC のフルスケールの設定です。この設計で得られたデータの場合、ADC のフルスケール差動入力電圧を  $2\text{ V}_{p-p}$  に設定しました。これによって SFDR が最適化されます。フルスケール入力範囲を  $2.5\text{ V}_{p-p}$  に変えると、SNR が約  $1.5\text{ dB}$  改善されますが、SFDR 性能がわずかに低下します。データシートで説明されているように、入力範囲は AD9467 の内部レジスタにロードした値によって設定されます。

この設計の信号はアンプ、その終端抵抗、および ADC 入りの間の同相電圧を遮断するために  $0.1\ \mu\text{F}$  のコンデンサによって AC 結合されていることに注意してください。

同相電圧の詳細については AD9467 のデータシートを参照してください。

### 受動部品と PC ボードの寄生要素の検討

この回路をはじめ、いずれの高速回路でも、性能は PCB レイアウトに大きく依存します。PCB レイアウトに含まれる要素として、電源のバイパス、制御されたインピーダンス・ライン（必要時）、部品配置、信号配線、電源プレーンとグラウンド・プレーンなどがあります。

高速 ADC とアンプの PCB レイアウトの詳細についてはチュートリアル [MT-031](#) と [MT-101](#) を参照してください。

フィルタの受動部品には、寄生要素が小さい表面実装コンデンサ、インダクタ、抵抗を使用します。ここで選択したインダクタは、Coilcraft の 0603CS シリーズです。フィルタには安定性と精度を考慮して 5%、COG、0402 タイプの表面実装コンデンサを使用しています。

システムに関する詳細情報については [CN-0227 Design Support Package](#) を参照してください。

## バリエーション回路

より低消費電力で狭い帯域幅が求められるアプリケーションには、差動アンプ **ADL5561** を使用することができます。ADL5561 は帯域幅が 2.9 GHz で、消費電流はわずか 40 mA です。さらに低い消費電力で狭い帯域幅が必要な場合は、**ADA4950-1** も使用できます。このデバイスは帯域幅が 1 GHz で、消費電流がわずか 10 mA です。帯域幅がより広いアプリケーション用には、前に挙げた製品とピン互換の 6 GHz の差動アンプ **ADL5565** があります。

## 回路の評価とテスト

この回路は修正した回路ボード **AD9467-250EBZ** と FPGA ベースのデータ・キャプチャ・ボード **HSC-ADC-EVALCZ** を使用します。これら 2 枚のボードは接続用高速コネクタを搭載しているため、短時間でセットアップして回路の性能を評価することができます。修正された **AD9467-250EBZ** ボードにはこの回路ノートで説明した評価対象の回路が含まれており、データ・キャプチャ・ボード **HSC-ADC-EVALCZ** は Visual Analog 評価ソフトウェアや SPI コントローラ・ソフトウェアと組み合わせて使用し、ADC を適切に制御してデータをキャプチャします。**AD9467-250EBZ** ボードの回路図、部品表、レイアウトに関しては、**User Guide UG-200** を参照してください。**CN-0227 Design Support Package** に付属している **readme.txt** ファイルは、標準の **AD9467-250EBZ** ボードの修正箇所について説明しています。**Application Note AN-835** には、この回路ノートで説明したテストを実行するためのハードウェアとソフトウェアのセットアップ方法が詳述されています。

## さらに詳しい資料

- [CN-0227 Design Support Package :   
http://www.analog.com/CN0227-DesignSupport](#)
- [UG-200 : Evaluating the AD9467 16-Bit, 200 MSPS/250 MSPS ADC](#)
- [AN-835 アプリケーション・ノート：高速 A/D コンバータ \(ADC\) のテストと評価について](#)
- [Analog Dialogue 39-09：高速プリント回路基板 レイアウトの実務ガイド](#)
- [MT-031 Tutorial : Grounding Data Converters and Solving the Mystery of “AGND” and “DGND”, Analog Devices.](#)
- [MT-101 Tutorial : Decoupling Techniques, Analog Devices.](#)
- [Quite Universal Circuit Simulator](#)
- [Nuhertz Technologies, Filter Free Filter Design Program](#)
- [Reeder, Rob, Achieve CM Convergence between Amps and ADCs, Electronic Design, July 2010.](#)
- [Reeder, Rob, Mine These High-Speed ADC Layout Nuggets For Design Gold, Electronic Design, September 15, 2011.](#)
- [FAQ \(よくある質問\) & RAQ \(珍問/難問集\) : 高速コンバータの PC ボード設計についてその 1 : 電源プレーンとグラウンド・プレーン](#)
- [FAQ \(よくある質問\) & RAQ \(珍問/難問集\) : 高速コンバータの PC ボード設計についてその 2 : 電源プレーンとグラウンド・プレーンを使用する利点](#)
- [FAQ \(よくある質問\) & RAQ \(珍問/難問集\) : 高速コンバータの PC ボード設計についてその 3 : エクスポート・パッドの真相.](#)

## データシートと評価ボード

- [AD9467 データシート](#)
- [ADL5562 データシート](#)
- [回路評価用ボード \(AD9467-250EBZ\)](#)
- [標準データ・キャプチャ・プラットフォーム \(HSC-ADC-EVALCZ\)](#)

## 改訂履歴

- 2/12—Rev. 0 to Rev. A**
- Changes to Figure 1..... 1**
- 11/11—Revision 0: 初版**

「Circuits from the Lab/実用回路集」はアナログ・デバイセズ社製品専用で作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確かつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2015 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。