



テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は支援は <http://www.analog.com/jp/CN0432> をご覧ください。

接続または参考にしたデバイス

AD9139	シングル・チャンネル、1.6GSPS、16ビット、TxDAC® D/A コンバータ
ADL5375	ブロードバンド直交変調器
AD9516-1	14出力のクロック発生器、2.5GHz VCO 内蔵

2 個の AD9139 デバイスによるマルチ DAC 同期を使用した 広帯域ベースバンド I/Q トランスミッタ

評価と設計支援

回路評価用ボード

AD9139/ADL5375 評価用ボード (AD9139-DUAL-EBZ)

デジタル・パターン・ジェネレータ評価用ボード

(AD-DPG3)

設計および統合ファイル

回路図、PCB レイアウト・データ、部品表、ソフトウェア

回路の機能とその利点

図 1 に示す回路は、最大 1150MHz の非常に広い I/Q 帯域幅に対応する同期型の広帯域トランスミッタです。この回路の設計は、高いスプリアスフリー・ダイナミック・レンジ (SFDR)、低エラー・ベクトル振幅 (EVM)、平坦な周波数応答など、広帯域にわたり高いインバンド信号性能を実現します。

特に、直交誤差補正 (QEC) には複数チャンネル間の同期性能が重要です。

マルチチップ同期が有効で、正しく調整された同期クロックを使用すれば、コンバータ間の遅延による mismatch を 1 クロック・サイクル以内にできます。

高速の同期を実現するための課題は、幅広いプロセス・電圧・温度 (PVT) にわたって D/A コンバータ (DAC) のクロック・サイクル精度を確保することです。クロック・サイクルの精度を確保するため、DAC に同期ロジック・ブロックを実装します。そして、同期ロジック・ブロックを機能させるには、基板レイアウトとクロック方式を慎重に設計する必要があります。

この回路は、ゼロ中間周波数 (ZIF) と複素中間周波数 (CIF) を実現できるため、E バンドでの広帯域ポイント to ポイント・アプリケーションに使用できます。優れた同期性能により、レーダーなどのアプリケーションに要求される厳しいアライメント条件に対応することが可能です。

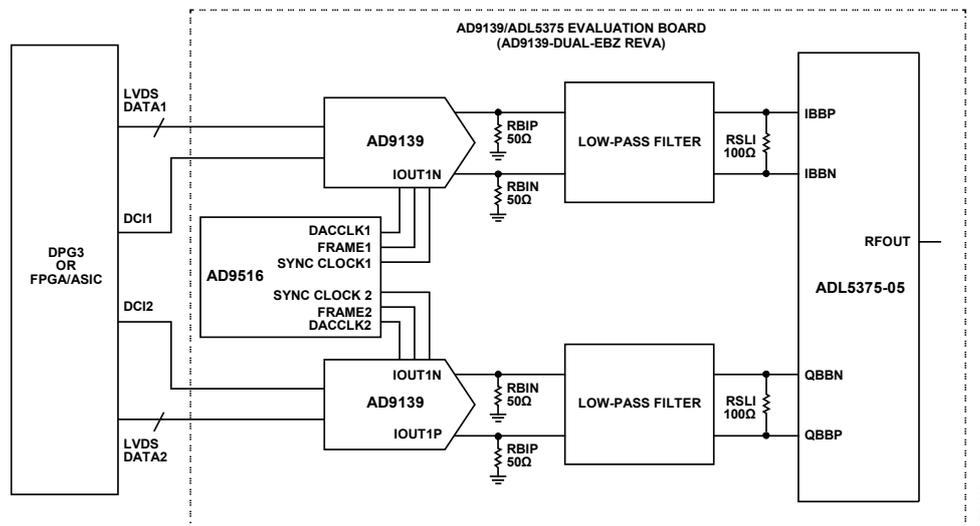


図 1. AD9139-DUAL-EBZ 評価用ボードのブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

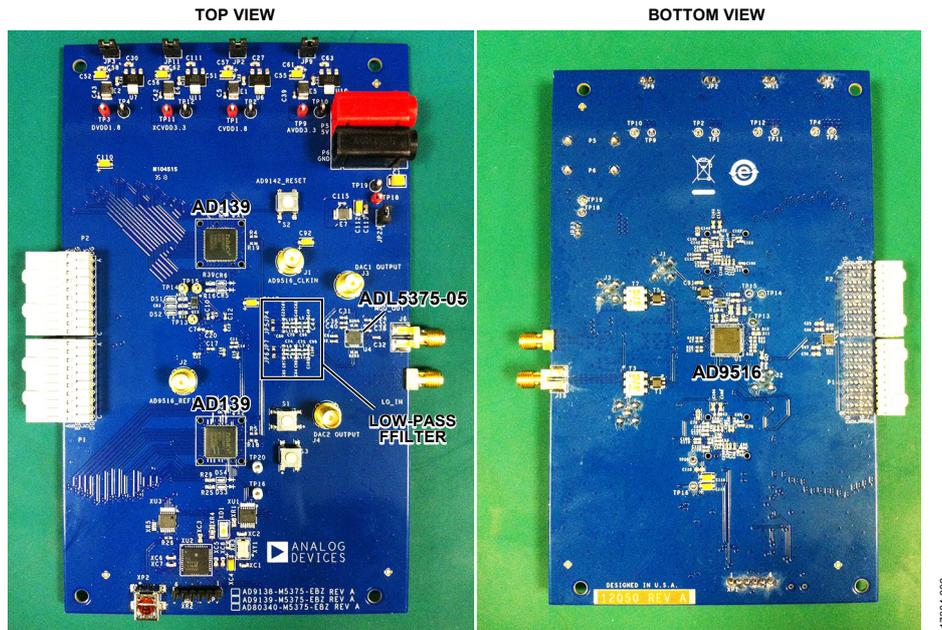


図 2. AD9139-DUAL-EBZ 評価用ボードの実装回路

回路の説明

図 2 に示す基板は、2 個の AD9139 シングル・チャンネル TxDAC、ADL5375-05 ワイドバンド直交変調器、AD9516-1 クロック発生器を使用しています。

AD9139 の最大データ・クロック入力 (DCI) 周波数は最大 575MHz です。立上がりエッジと立下がりエッジの両方でキャプチャされたデータは 1 つの DAC に送られるため、1×モードでの最大データ・レートは 1150MSPS まで高くすることが可能です。直交データに対応するため、2 個の AD9139 デバイスを使用してベースバンド・データを生成します。すべてのチャンネルのアナログ出力は、各チャンネルに接続されたローパス・フィルタに送られます。これにより、このリファレンス設計は 1150MHz までの最大複素帯域幅に対応することができます (図 3 参照)。このような広い範囲では、平坦性が重要です。AD9139 には、DAC が持つ sinc ロールオフの影響をキャンセルする反転 sinc フィルタが内蔵されているため、回路全体の平坦性を確保するには、DAC の後段に接続するフィルタの平坦性が重要となります。575MHz の DDR クロック周波数は、並列の低電圧差動伝送 (LVDS) インターフェースにおいては非常に高い値です。LVDS インターフェースのタイミングは慎重に設計する必要があります。

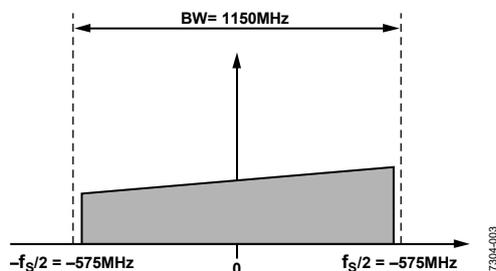


図 3. 2 個の AD9139 デバイスによる最大帯域幅

直交変調器

ADL5375-05 は、400MHz~6GHz の出力周波数範囲を備えたブロードバンド直交変調器で、400MHz~6GHz の幅広い周波数範囲をカバーする I/Q 変調器として AD9139 とインターフェースします。AD9139 の出力と ADL5375-05 の入力は、0.5V の同じ共通モード・レベルを共有します。

クロック生成に関する考慮事項

同期条件に関する考慮事項として、DACCLK、同期クロック、および両方の AD9139 デバイスのフレーム・クロックが正しく調整されている必要があります。AD9516-1 は、必要なクロック分配機能をサポートしていると共に、より高い周波数を生成するために電圧制御発振器 (VCO) とフェーズ・ロック・ループ (PLL) を内蔵しています。VCO と PLL を無効化し、AD9516-1 をクロック分配モードで動作させると、高速のアライメントでのクロックの位相ノイズは改善します。クロック分配モードでは、分周比=1 および 1GHz の出力のとき、10MHz オフセットにおける付加位相ノイズは-147dBc/Hz です。優れた位相ノイズ性能を持つ SMA100A (Rohde & Schwartz 製) を AD9516-1 の入力として使用すると、AD9516-1 の出力における全位相ノイズはクロック分配モードでの最小値に近い値になります。

AD9139 のマルチチップ同期

QEC では、デュアル・チャンネル間の同期が重要です。DACCLK と同期クロックが対称にレイアウトされている必要があります。更に、DACCLK と同期クロックの位相がセットアップおよびホールド時間のウィンドウに入っていない (keep out window (KOW) と呼ばれます) ことが必要です。

この同期メカニズムにより、幅広い PVT での DAC 出力におけるマルチ・チャンネル間のミスマッチを、DAC の 1 クロック・サイクル未満の性能まで向上させることができます。このテスト性能を達成するには、以下のガイドラインに従ってください。

1. DACCLK 1 と DACCLK 2 は、AD9139 のピンにおいて十分に調整されている必要があります。DACCLK 1 と DACCLK 2 のミスマッチは、出力における最終ミスマッチに追加されます。
2. Sync Clock 1 と Sync Clock 2 は十分に調整されている必要があります。Sync Clock 1 は DACCLK1 に、Sync Clock 2 は DACCLK2 によってサンプリングされ、リファレンスとして使用されます。
3. DACCLK と同期クロックの相対位相が KOW の範囲に入らないようにする必要があります (図 4 参照)。

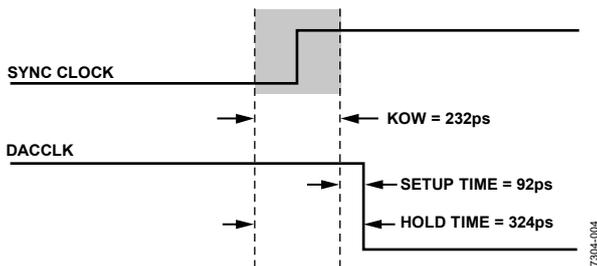


図 4. DACCLK と Sync Clock の間のタイミング条件

LVDS インターフェースの設計

DCI = 575MHz とすることは、通常、幅広い PVT にわたる LVDS インターフェース設計の課題です。このセクションでは、1 つの例を通じてインターフェースの設計と最適化の方法を示します。

図 5 では、例として DCI = 491MHz を使用します。AD9139 データシートの仕様に基づき、AD9139 のピンにおいて DCI と DATA のエッジを正しく調整すると、遅延ロック・ループ (DLL) の位相をゼロに設定したときに KOW (セットアップ時間+ホールド時間) を有効ウィンドウの中央にすることができます。

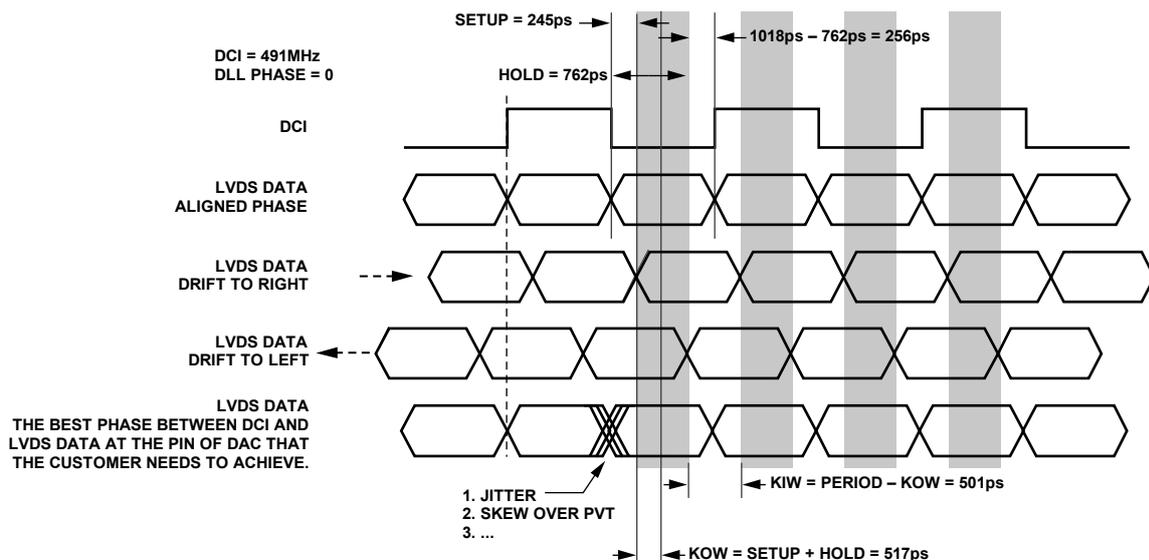


図 5. LVDS のタイミング条件

データの有効マージンは、次式によって定義されます。

$$T_{DATA \text{ VALID MARGIN}} = T_{DATA \text{ PERIOD}} - T_{DATA \text{ SKEW}} - T_{DATA \text{ JITTER}} - (T_{HOLD} + T_{SETUP})$$

幅広いプロセス変動、電圧、温度でデータを正確にサンプリングするためには、 $T_{DATA \text{ VALID MARGIN}} > 0$ にする必要があります。

DCI = 491MHz のとき (図 5 参照)、

- $T_{DATA \text{ PERIOD}} = 1018\text{ps}$
- $T_{HOLD} + T_{SETUP} = 517\text{ps}$
- $T_{DATA \text{ SKEW}} + T_{DATA \text{ JITTER}}$ は、PVT 全域で 501ps 未満にする必要があります。これはユーザが実施しなければならない条件です。 $T_{DATA \text{ SKEW}}$ には、LVDS データ・バスの遅延によるミスマッチ、DCI と DATA バスの間のスキューなどが含まれます。

以下を実施することでインターフェースの設計を最適化できます。

- プリント回路基板 (PCB) のパターンを同じ長さで配線し、可能な限り短くします。
- 以下に従って FPGA (フィールド・プログラマブル・ゲート・アレイ) を最適化します。
 - AD9139 のピンで DCI と DATA のエッジを十分に調整します。
 - DCI と DATA の間のドリフトは、温度・電圧によらず可能な限り小さくします。
 - DCI と DATA のジッタは可能な限り小さくします。

DLL の位相を掃引することで、AD9139 のサンプル誤差検出 (SED) 機能を使用して DCI と DATA のタイミングの相関をチェックすることもできます。

ローパス・フィルタの設計

試験用のため、このボードでは、フィルタによって AD9139 の性能が制約されないように 240MHz 以下で良好な平坦性と群遅延性能を持つフィルタが設計されています。実際の製品開発においては、フィルタの次数を上げることで帯域外除去性能を向上させることができます。

図 6 に示すフィルタ回路は、コーナ周波数が 900MHz の 5 次バターワース・フィルタです。このフィルタの応答特性（シミュレーション値）を図 7 に示します。DC~240MHz の範囲における平坦性のシミュレーション値は±0.1dB です。このフィルタの群遅延（シミュレーション値）を図 8 に示します。

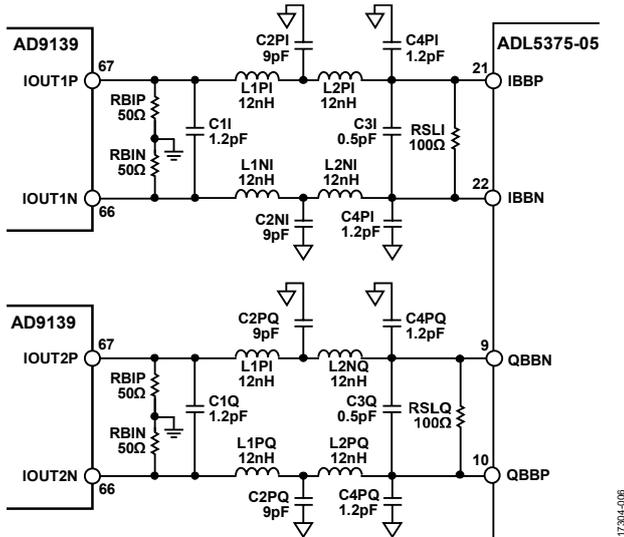


図 6. $F_c = 900\text{MHz}$ の 5 次バターワース・フィルタを使用した DAC 変調器の推奨インターフェース回路

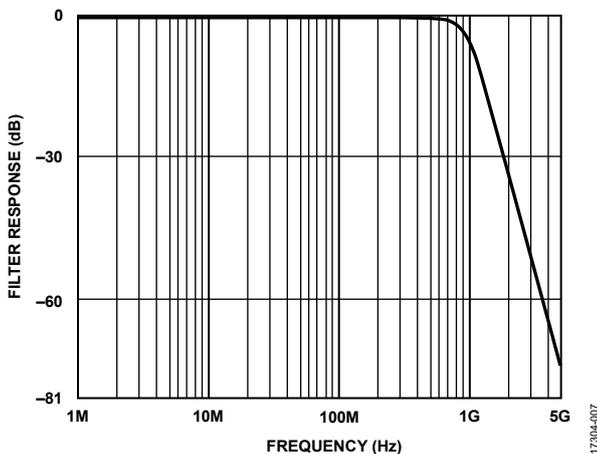


図 7. 900MHz の 5 次バターワース・フィルタを使用した DAC 変調器インターフェースにおける周波数応答（シミュレーション値）

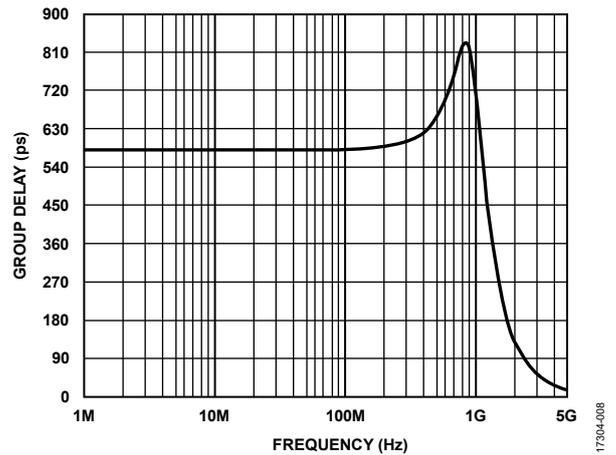


図 8. フィルタの群遅延

レイアウトに関する推奨事項

AD9139 と ADL5375 のインターフェース・レイアウトには特に注意を払う必要があります。良好なノイズ性能とスプリアス性能を得るための推奨事項を以下に示します。図 9 はレイアウトの上面図で、以下の推奨事項に従っています。

- DAC、フィルタ、変調器を PCB の同一面に配置します。
- タイトなフィルタ・レイアウトを採用して、L と C のキープ・アウトのマーヅンを減らします。
- グランド・プレーンに接地するシャント・コンデンサの容量を 3 倍にします。
- DAC から変調器までの距離を短くします。
- I/Q のすべての差動パターン長を十分に一致させます。
- フィルタの終端対抗を変調器の入力にできるだけ近づけて配置します。
- DAC 出力の 50Ω 抵抗をできるだけ DAC の近くに配置します。
- L と C は、0402 サイズのものを使用します。
- フィルタ回路のパターン幅を広くして、信号損失を減らします。
- DAC 出力パターン、フィルタ回路、変調器の出力パターン、および LO 入力パターンのすべてのパターン周囲にビアを配置します。
- 局部発振器 (LO) と変調器の出力は、異なる層に配置するか互いを 90° の角度に配置してカップリングを防ぎます。

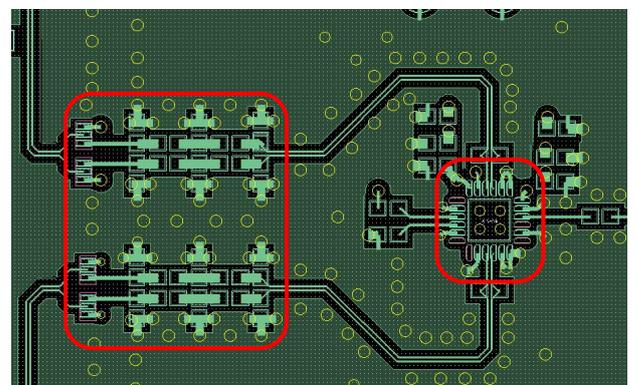


図 9. 一般的な推奨レイアウト

適切なレイアウトの詳細については、www.analog.com/CN0432-DesignSupport の設計サポート・パッケージに含まれる AD9139-DUAL-EBZ の PCB レイアウト・データを参照してください。

回路の評価とテスト

ここでは、ボードのセットアップおよびテスト方法について説明します。このデモと結果を再現するために必要となる基本的な手順を、以下に概説します。詳細については、AD9139-DUAL-EBZ 評価用ボードのクイック・スタート・ガイドを参照してください。

必要な装置

以下のハードウェア類が必要になります。

- AD9139-DUAL-EBZ
- AD-DPG3
- Agilent E3631A 電源 (または同等品)
- スペクトラム・アナライザ PXA N9030A
- Rohde & Schwarz SMA100A 信号発生器
- USB ポートを備えた PC
- USB ケーブル

以下のソフトウェアが必要になります。

- DPG ダウンローダ
- ACE ソフトウェア

テスト・セットアップ

ここでは、64 QAM のデジタル変調器を使用して隣接チャンネル・パワー (ACP) と変調誤差比 (MER) の性能を測定する方法について詳しく説明します。このテスト・セットアップは柔軟性が高く、他の測定を行うことも可能です。テスト・セットアップを図 10 に示します。AD9139-DUAL-EBZ 評価用ボードのハードウェア、SPI ソフトウェア、クイック・スタート・ガイド (QSG)、DPG3 のハードウェアとソフトウェアはすべて発売されています。

P5/P6 では、ボードの 5V 電源供給用に Keysight E3631 を 1 台使用しています。R&S SMA100A の 1 台を使用して、ボードの AD9516-1 に入力クロックを供給します。もう 1 台の R&S SMA100A を使用して、ADL5375-05 に LO クロックを供給します。シリアル・ペリフェラル・インターフェース (SPI) ソフトウェアによって AD9139 を設定します。AD9139 で伝送されるベクトルを生成し、DPGDownloader を PC 上で動作させて DPG3 にダウンロードします。ADL5375-05 の出力を Keysight PXA N9030A に供給します。

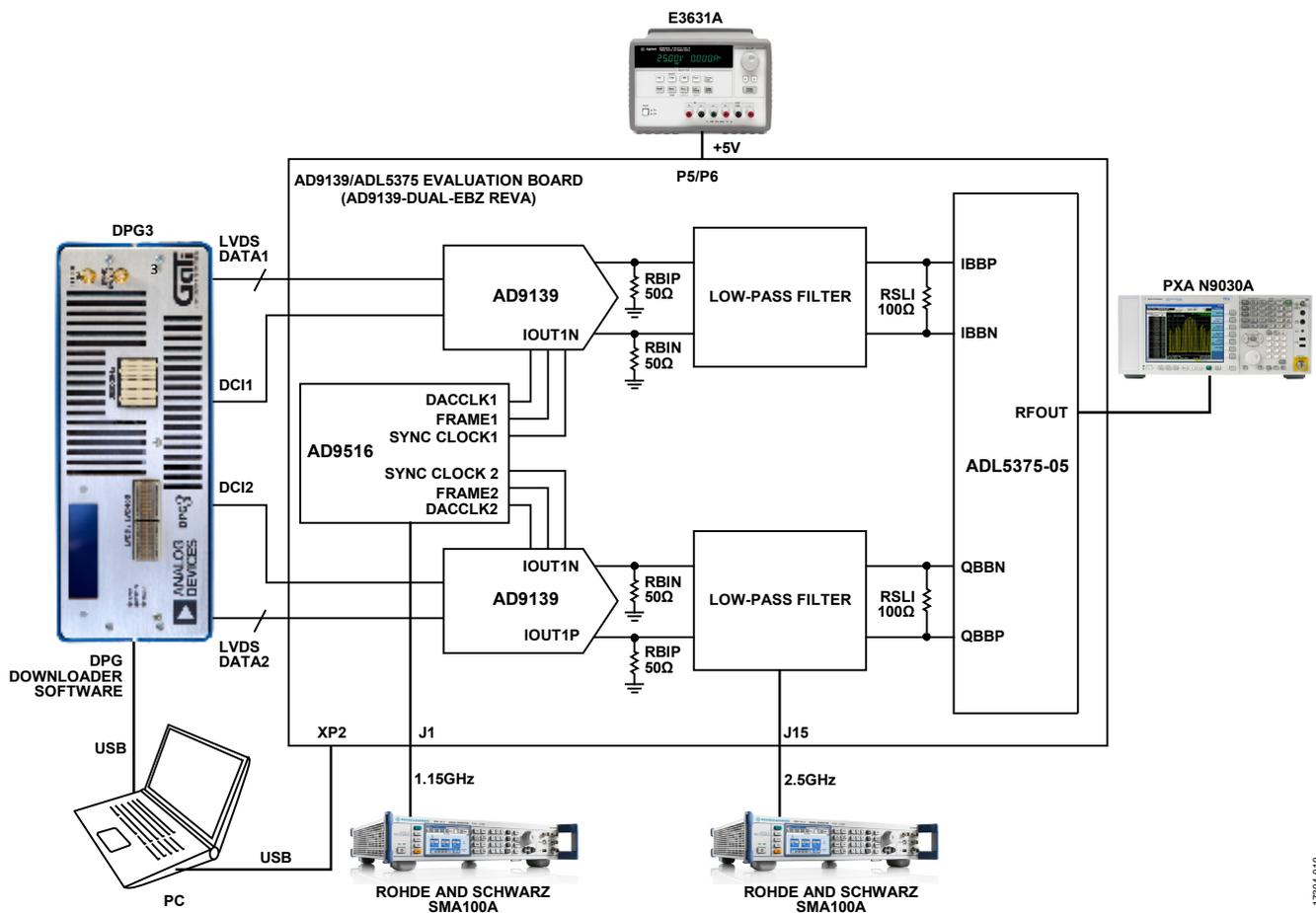


図 10. テスト・セットアップの機能ブロック図

測定結果

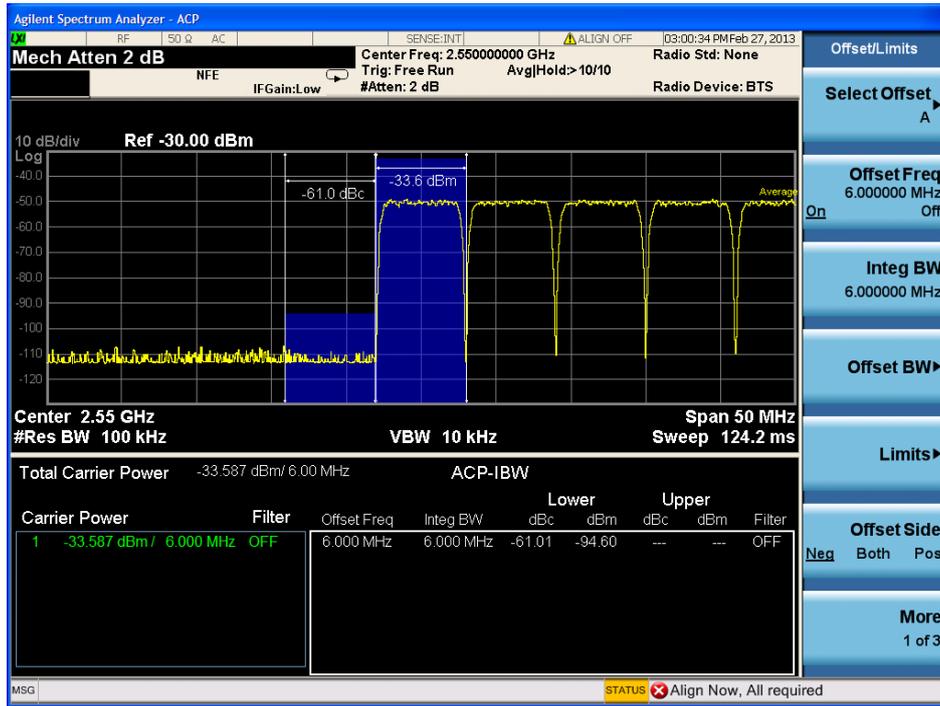


図 11. LO = 2.5G、BW = 6 × 80 = 480MHz (CIF) での ACP の測定

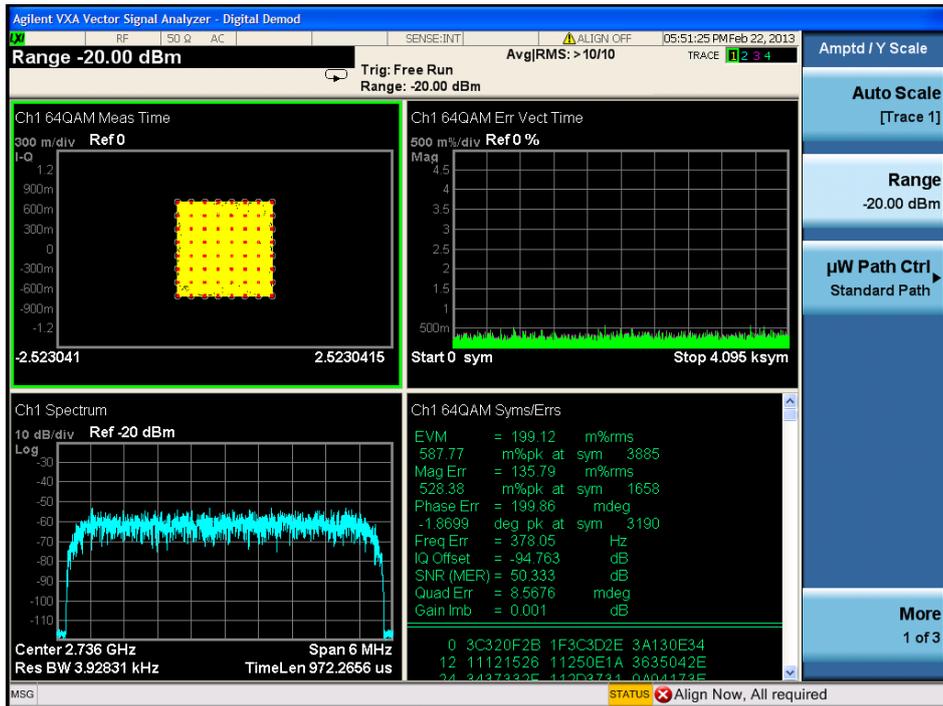


図 12. LO = 2.5G、BW = 6 × 80 = 480MHz (CIF) での MER/EVM の測定

更に詳しい資料

CN-0432 Design Support Package:

www.analog.com/CN0432-DesignSupport

CN-0205 Interfacing the ADL5375 I/Q Modulator to the AD9122 Dual Channel, 1.2 GSPS High Speed DAC, Analog Devices

CN-0243 High Dynamic Range RF Transmitter Signal Chain Using Single External Frequency Reference for DAC Sample Clock and IQ Modulator LO Generation, Analog Devices.

ADIsimPLL Design Tool

ADIsimRF Design Tool

AD9139-DUAL Evaluation Board Quick Start Guide

Analog Devices Data Pattern Generator (DPG)

データシートと評価用ボード

AD9139 データシート

ADL5375 データシート

AD9139-DUAL 評価用ボード

ADL5375-05 評価用ボード

改訂履歴

9/2019—Revision 0: Initial Version

「Circuits from the Lab/実用回路集」はアナログ・デバイセズ社製品専用で作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2019 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。