

## 去耦技术

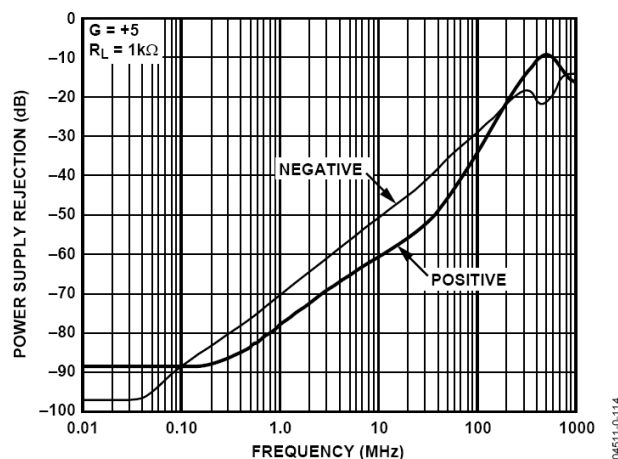
### 何谓正确去耦？有何必要性？

如果电源引脚上存在纹波和/或噪声，大多数IC都会有某种类型的性能下降。数字IC的噪声裕量会降低，时钟抖动则可能增加。对于高性能数字IC，例如微处理器和FPGA，电源额定容差(例如 $\pm 5\%$ )包含直流误差、纹波和噪声之和。只要电压保持在容差内，数字器件便符合规范。

说明模拟IC对电源变化灵敏度的传统参数是电源抑制比(PSRR)。对于放大器，PSRR是输出电压变化与电源电压变化之比，用比率(PSRR)或dB (PSR)表示。PSRR可折合到输出端(RTO)或输入端(RTI)。RTI值等于RTO值除以放大器增益。

图1显示典型高性能放大器([AD8099](#)) PSR随频率、以大约6 dB/8倍频程(20 dB/10倍频程)下降的情况。图中显示了采用正负电源两种情况下的曲线图。尽管PSR在直流下是90 dB，但较高频率下会迅速降低，此时电源线路路上有越来越多的无用能量会直接耦合至输出。因此必须一开始就要防止此高频能量进入芯片。一般通过组合电解电容(用于低频去耦)、陶瓷电容(用于高频去耦)来完成，也有可能使用铁氧体磁珠。

数据转换器以及其他模拟和混合信号电路的电源抑制可能在数据手册中都有相关规定。不过，在数据手册的应用部分，经常会针对几乎所有的线性混合信号IC推荐电源去耦电路。用户应始终遵循这些建议，以确保器件正常工作。



**图1：AD8099高性能运算放大器的电源抑制与频率的关系**

低频噪声需要较大的电解电容，用作瞬态电流的电荷库。将低电感表面贴装陶瓷电容直接连接到IC电源引脚，便可最大程度地抑制高频电源噪声。所有去耦电容必须直接连接到低电感接地层才有效。此连接需要短走线或过孔，以便将额外串联电感降至最低。

铁氧体磁珠(以镍、锌、锰的氧化物或其他化合物制造的绝缘陶瓷)也可用于在电源滤波器中去耦。铁氧体在低频下(<100 kHz)为感性，因此对低通LC滤波器有用。100 kHz以上，铁氧体成阻性(高Q)。铁氧体阻抗与材料、工作频率范围、直流偏置电流、匝数、尺寸、形状和温度成函数关系。

铁氧体磁珠并非始终必要，但可以增强高频噪声隔离和去耦，通常较为有利。这里可能需要验证磁珠永远不会饱和，特别是在运算放大器驱动高输出电流时。当铁氧体饱和时，它就会变为非线性，失去滤波特性。

请注意，某些铁氧体甚至可能在完全饱和前就是非线性。因此，如果需要功率级，以低失真输出工作，当原型在此饱和区域附近工作时，应检查其中的铁氧体。

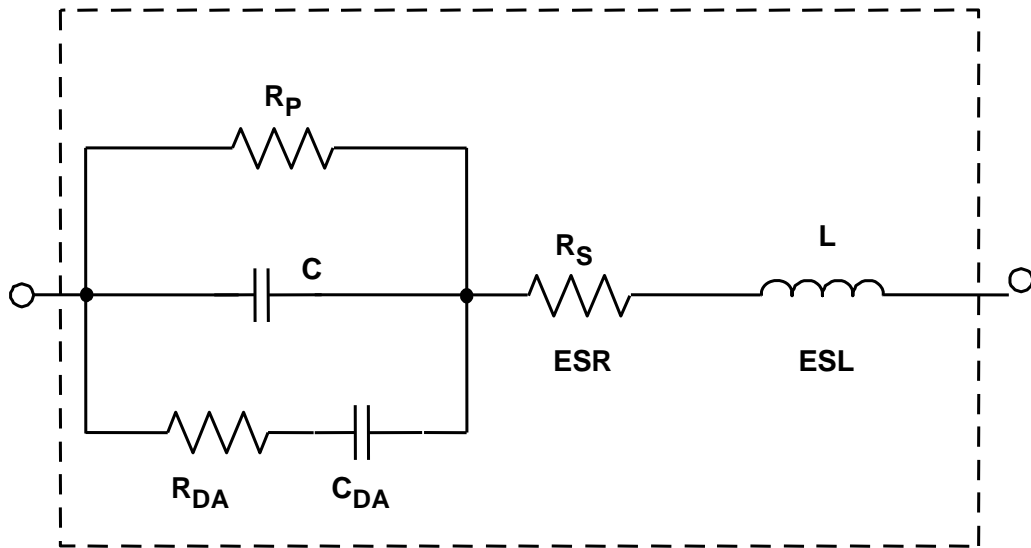
图2总结了正确去耦的重要方面。

- ◆ **A large electrolytic capacitor (typically 10  $\mu$ F – 100  $\mu$ F) no more than 2 in. away from the chip.**
  - The purpose of this capacitor is to be a reservoir of charge to supply the instantaneous charge requirements of the circuits locally so the charge need not come through the inductance of the power trace.
- ◆ **A smaller cap (typ. 0.01  $\mu$ F – 0.1  $\mu$ F) as physically close to the power pins of the chip as is possible.**
  - The purpose of this capacitor is to short the high frequency noise away from the chip.
- ◆ **All decoupling capacitors should connect to a large area low impedance ground plane through a via or short trace to minimize inductance.**
- ◆ **Optionally a small ferrite bead in series with the supply pin.**
  - Localizes the noise in the system.
  - Keeps external high frequency noise from the IC.
  - Keeps internally generated noise from propagating to the rest of the system.

**图2：何谓正确去耦？**

## 实际电容及其寄生效应

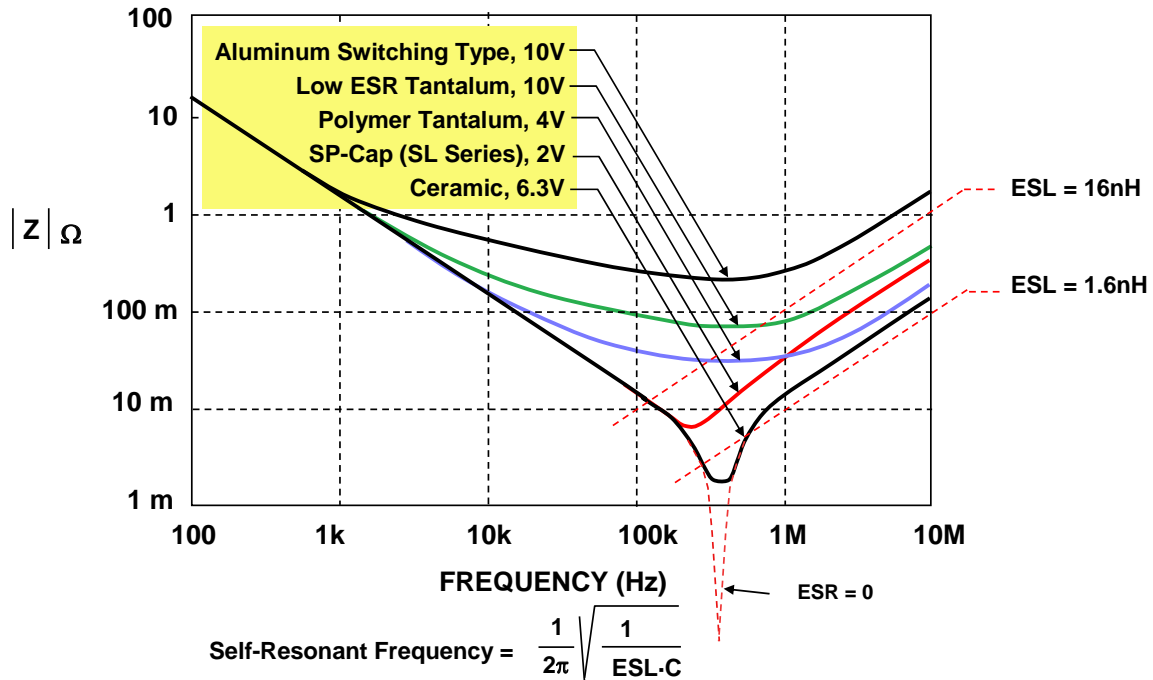
图3显示了一个非理想电容的模型。电阻 $R_p$ 代表绝缘电阻或泄漏，与标称电容 $C$ 并联。第二个电阻 $R_s$ (等效串联电阻或ESR)与电容串联，代表电容引脚和电容板的电阻。



**图3：实际电容等效电路包括寄生元件**

电感 $L$ (等效串联电感或ESL)代表引脚和电容板的电感。最后，电阻 $R_{DA}$ 和电容 $C_{DA}$ 一起构成称为电介质吸收或DA现象的简化模型。在采样保持放大器(SHA)之类精密应用中使用电容时，DA可造成误差。但在去耦应用中，电容的DA一般不重要。

图4显示了各种100  $\mu\text{F}$ 电容的频率响应。理论上，电容阻抗将随着频率增加呈单调下降。实际操作中，ESR使阻抗曲线变得平坦。随着频率不断升高，阻抗由于电容的ESL而开始上升。“膝部”的位置和宽度将随着电容结构、电介质和等效器件的值而变化。因此常常可以看到较大值电容与较小值电容并联。较小值电容通常具有较低ESL，与较高频率的电容看似相同。这可以在更宽频率范围内扩展并联组合的总体性能。



**图4：各种100µF电容的阻抗**

电容自谐振频率就是电容电抗( $1/\omega C$ )等于ESL电抗( $\omega ESL$ )的频率。对这一谐振频率等式求解得到下式：

$$f_{\text{RESONANCE}} = \frac{1}{2\pi\sqrt{ESL \cdot C}} \quad \text{等式 1}$$

所有电容将显示大致形状与图示类似的阻抗曲线。虽然实际曲线图有所不同，但大致形状相同。最小阻抗由ESR决定，高频区域由ESL决定(后者很大程度上受封装样式影响)。

### 去耦电容类型

图5显示适合去耦的各种常见电容类型。电解系列具有宽值范围、高电容体积比和广泛的工作电压，是极佳的高性价比低频滤波器元件。它包括通用铝电解开关类型，提供10 V以下直至约500 V的工作电压，尺寸为1 µF至数千µF(以及成比例的外形尺寸)。

TECHNOLOGY	ADVANTAGES	DISADVANTAGES	APPLICATIONS
Aluminum Electrolytic, Switching Type. Avoid general purpose types	<ul style="list-style-type: none"> <li>•High CV product/cost</li> <li>•Large energy storage</li> <li>•Best for 100V - 400V</li> </ul>	<ul style="list-style-type: none"> <li>•Temperature related wearout</li> <li>•High ESR/size</li> <li>•High ESR @ low temp</li> </ul>	<ul style="list-style-type: none"> <li>•Consumer products</li> <li>•Large bulk storage</li> </ul>
Solid Tantalum	<ul style="list-style-type: none"> <li>•High CV product/size</li> <li>•Stable @ cold temp</li> <li>•No wearout</li> </ul>	<ul style="list-style-type: none"> <li>•Fire hazard with reverse voltage</li> <li>•Expensive</li> <li>•Only rated up to 50V</li> </ul>	<ul style="list-style-type: none"> <li>•Popular in military</li> <li>•Concern for tantalum raw material supply</li> </ul>
Aluminum-Polymer, Special-Polymer, Poscap, Os-Con	<ul style="list-style-type: none"> <li>•Low ESR</li> <li>•Z stable over temp</li> <li>•Relatively small case</li> </ul>	<ul style="list-style-type: none"> <li>•Rapid degradation above 105°C</li> <li>•Relatively high cost</li> </ul>	<ul style="list-style-type: none"> <li>•Newest technology</li> <li>•CPU core regulators</li> </ul>
Ceramic	<ul style="list-style-type: none"> <li>•Lowest ESR, ESL</li> <li>•High ripple current</li> <li>•X7R good over wide temp</li> </ul>	<ul style="list-style-type: none"> <li>•CV product limited</li> <li>•Microphonics</li> <li>•C decreases with increasing voltage</li> </ul>	<ul style="list-style-type: none"> <li>•Excellent for HF decoupling</li> <li>•Good to 1GHz</li> </ul>
Film (Polyester, Teflon, polypropylene, polystyrene, etc.)	<ul style="list-style-type: none"> <li>•Hi Q in large sizes</li> <li>•No wearout</li> <li>•High voltage</li> </ul>	<ul style="list-style-type: none"> <li>•CV product limited</li> <li>•Not popular in SMT</li> <li>•High cost</li> </ul>	<ul style="list-style-type: none"> <li>•High voltage, current</li> <li>•AC</li> <li>•Audio</li> </ul>

图5: 常见电容类型

所有电解电容均有极性，因此无法耐受约一伏以上的反向偏置电压而不造成损坏。此类器件具有相对较高的泄漏电流(可能为数十 $\mu\text{A}$ )，很大程度上取决于特定系列的设计、电气尺寸、额定电压及施加电压。不过，泄漏电流不可能是基本去耦应用的主要因素。

大多数去耦应用不建议使用“通用”铝电解电容。不过，铝电解电容的一个子集是“开关型”，设计并规定用于在最高达数百kHz的频率下处理高脉冲电流，且仅具有低损耗。此类电容在高频滤波应用中可直接媲美固态钽电容，且具有更广泛的可用值。

固态钽电解电容一般限于50 V或更低的电压，电容为500  $\mu\text{F}$ 或更低。对于给定尺寸，钽电容比铝开关电解电容呈现出更高的电容体积比，且具有更高的频率范围和更低的ESR。一般也比铝电解电容更昂贵，对于浪涌和纹波电流，必须谨慎处理应用。

最近，使用有机或聚合物电解质的高性能铝电解电容也已问世。这些电容系列拥有略低于其他电解类型的ESR和更高的频率范围，另外低温ESR下降也最小。此类器件使用铝聚合物、特殊聚合物、Poscap和Os-Con等标签。

陶瓷或多层陶瓷(MLCC)具有尺寸紧凑和低损耗特性，通常是数MHz以上的首选电容材料。不过，陶瓷电介质特性相差很大。对于电源去耦应用，一些类型优于其他类型。在X7R的高K电介质公式中，陶瓷电介质电容的值最高可达数 $\mu\text{F}$ 。在高达200 V的额定电压下推荐Z5U和Y5V。X7R型在直流偏置电压下的电容变化小于Z5U和Y5V型，因此是较佳选择。

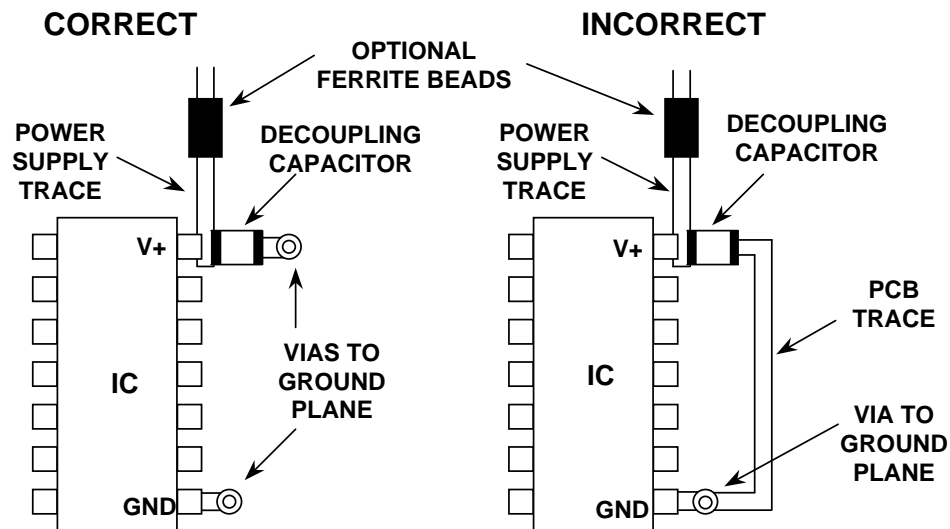
NP0(也称为COG)型使用更低的介电常数公式，通常具有零TC和低电压系数(不同于较不稳定的高K型)。NP0型的可用值限于0.1  $\mu\text{F}$ 或更低，0.01  $\mu\text{F}$ 是更实用的上限值。

多层陶瓷(MLCC)表面贴装电容的极低电感设计可提供近乎最佳的RF旁路，因此越来越频繁地用于10 MHz或更高频率下的旁路和滤波。更小的陶瓷芯片电容工作频率范围可达1 GHz。对于高频应用中的这些及其他电容，可通过选择自谐振频率高于最高目标频率的电容，确保有效值。

薄膜型电容一般使用绕线，增加了电感，因此不适合电源去耦应用。此类型更常用于音频应用，此时需要极低电容和电压系数。

### 局部高频去耦建议

图6显示了高频去耦电容必须尽可能靠近芯片的情况。否则，连接走线的电感将对去耦的有效性产生不利影响。



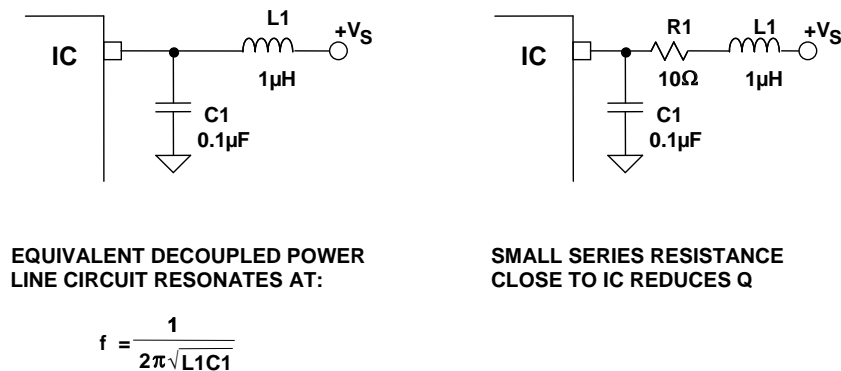
**图6：高频电源滤波器  
需要通过较短的低电感路径(接地层)去耦**

左图中，电源引脚和接地连接尽可能短，所以是最有效的配置。然而右图中，PCB走线内的额外电感和电阻将造成去耦方案的有效性降低，且增加封闭环路可能造成干扰问题。

### 由LC去耦网络构成的谐振电路

许多去耦应用中，电感或铁氧体磁珠与去耦电容串联，如图7所示。电感L与去耦电容C串联后构成谐振或“调谐”电路，主要特性是显示谐振频率下的显著阻抗变化。谐振频率计算公式如下：

$$f = \frac{1}{2\pi\sqrt{LC}} \quad \text{等式 2}$$



**图7：由电源线路去耦构成的谐振电路**

去耦网络的总体阻抗在谐振频率下可表现出峰化现象。峰化程度取决于调谐电路的相对Q (品质因子)值。谐振电路的Q衡量其对电阻的电抗。计算公式如下：

$$Q = \frac{2\pi fL}{R} \quad \text{等式 3}$$

正常走线电感和0.01 µF至0.1 µF的典型去耦电容将在高于数MHz的频率下产生谐振。例如，0.1 µF和1 nH将在16 MHz下产生谐振。

不过，由100 µF电容和1 µF电感组成的去耦网络在16 kHz下产生谐振。如果不予检查，一旦此频率出现在电源线路上，可带来谐振问题。该效应可通过降低电路Q降至最低。在电源线路内靠近IC的地方插入小电阻(~10 Ω)便可轻松完成，如右例所示。电阻应尽可能压低，最大程度地减小电阻两端的IR压降。也可用小铁氧体磁珠替代电阻，它在谐振频率下主要表现为阻性。

使用铁氧体磁珠代替电感可以减少谐振问题，因为铁氧体磁珠在100 kHz以上表现为阻性，所以会降低电路的有效Q值。典型铁氧体磁珠阻抗如图8所示。

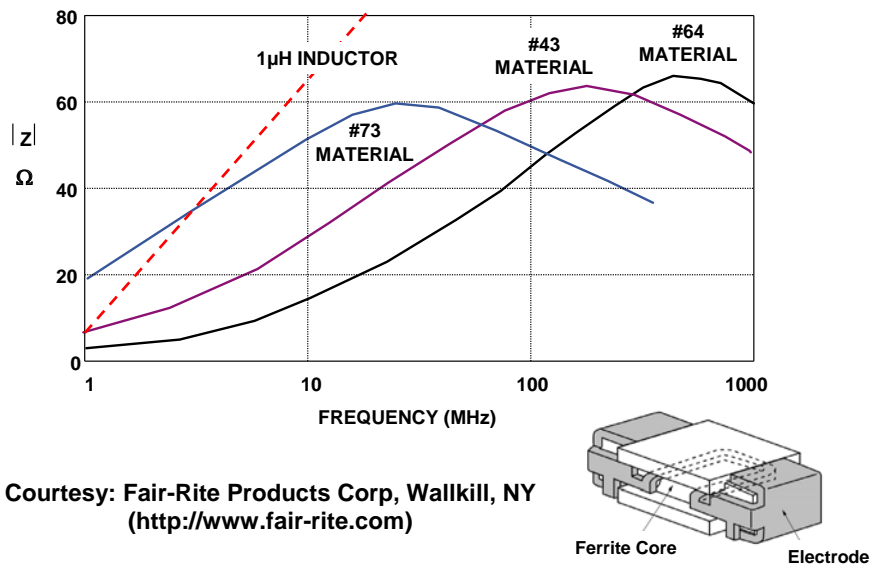


图8: 铁氧体磁珠阻抗与1μH电感的比较

简单LRC去耦网络的响应可以使用基于SPICE的程序轻松仿真，例如National Instruments Multisim™，ADI公司版。典型电路模型如图9所示，仿真响应如图10所示。

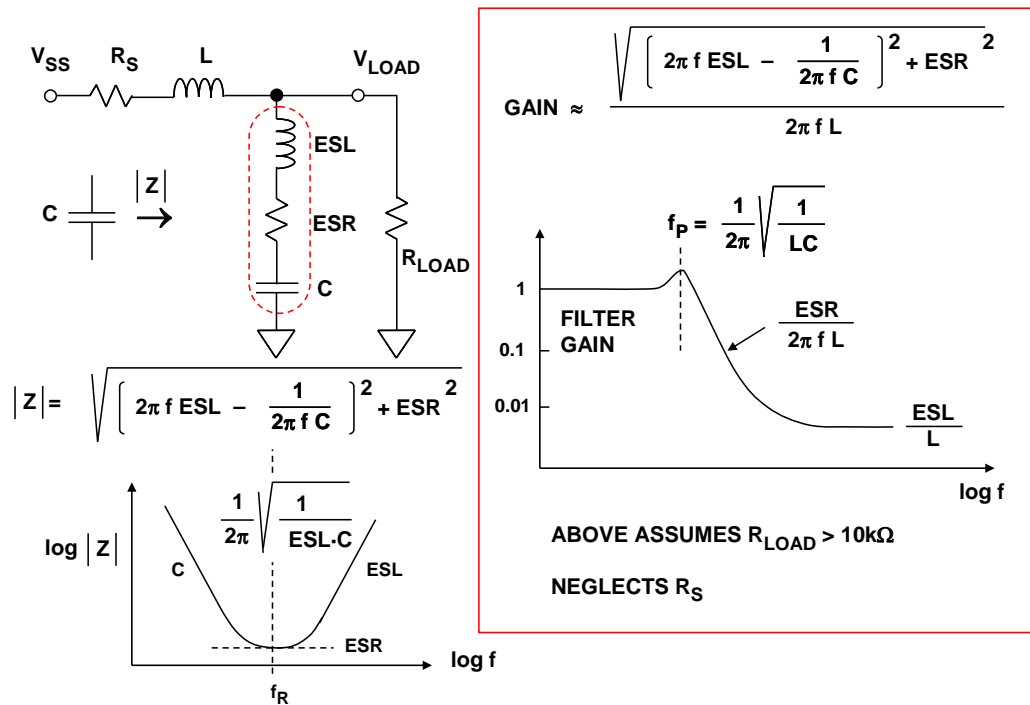


图9: LC滤波器衰减近似值



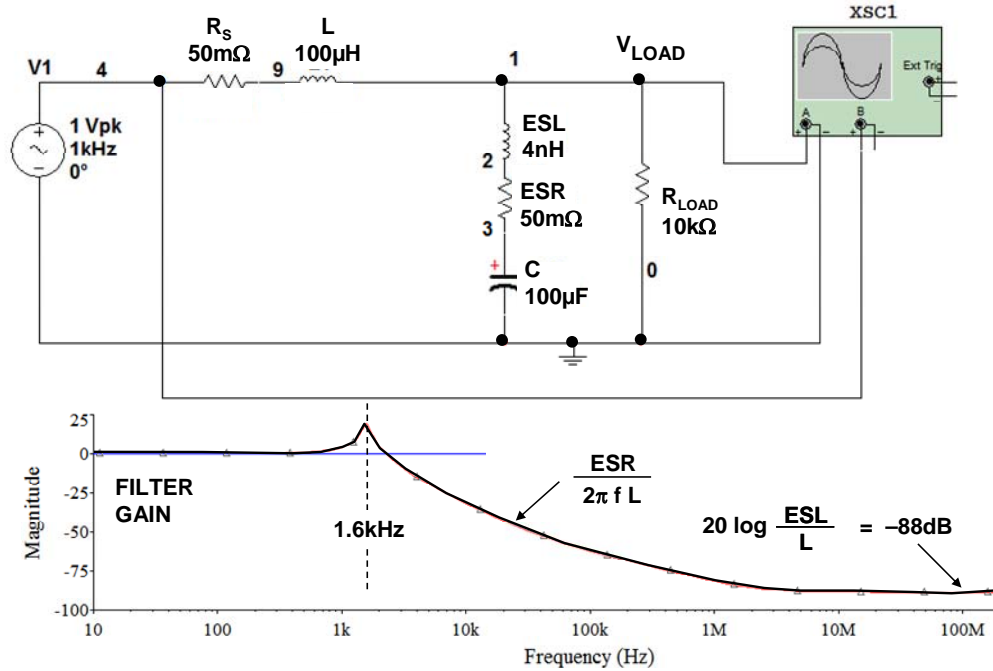


图10: 使用NI Multisim™ Analog Devices® 版仿真LC网络增益

### 不良去耦技术对性能的影响

本节考察不良去耦技术对两种基础元件：运算放大器和ADC的影响。

图11显示1.5 GHz高速电流反馈运算放大器AD8000的脉冲响应。两种示波器图表均使用评估板获得。左侧走线显示正确去耦的响应，右侧走线显示同一电路板上去除去耦电容后的相同响应。两种情况中，输出负载均为100 Ω。

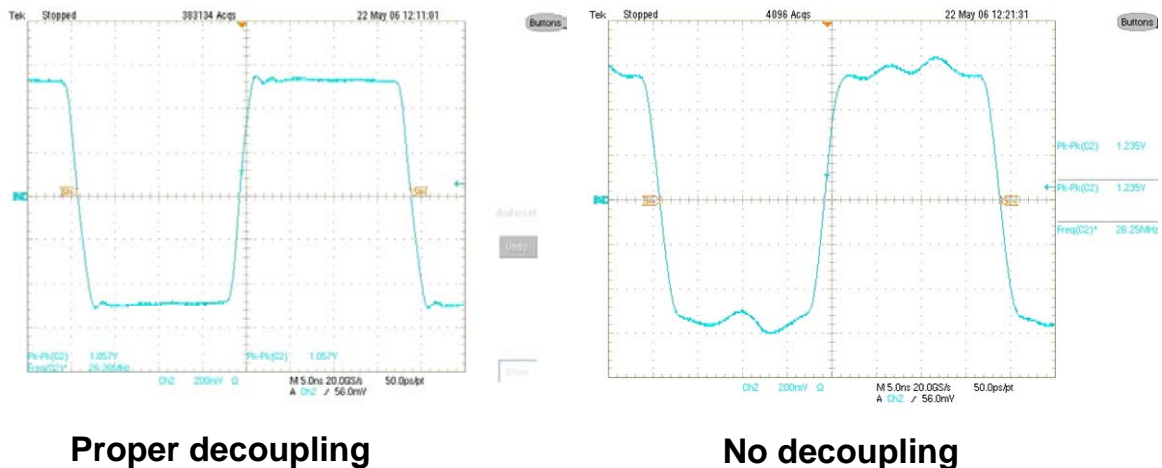


图11: 去耦对AD8000运算放大器性能的影响

图12显示AD8000的PSRR，它与频率成函数关系。请注意，较高频率下PSRR下降至相对较低值。这意味着电源线路上的信号很容易传播至输出电路。图13显示用于测量AD8000 PSRR的电路。

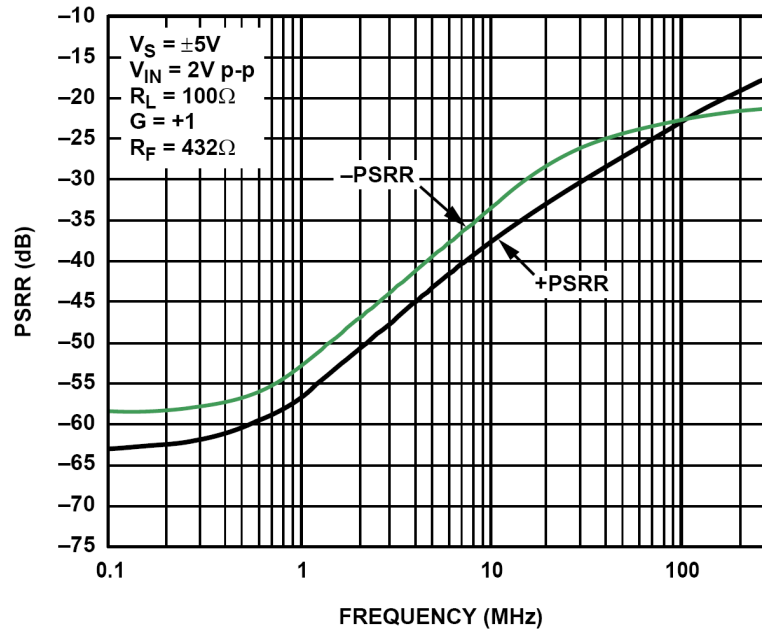


图12: AD8000电源抑制比(PSRR)

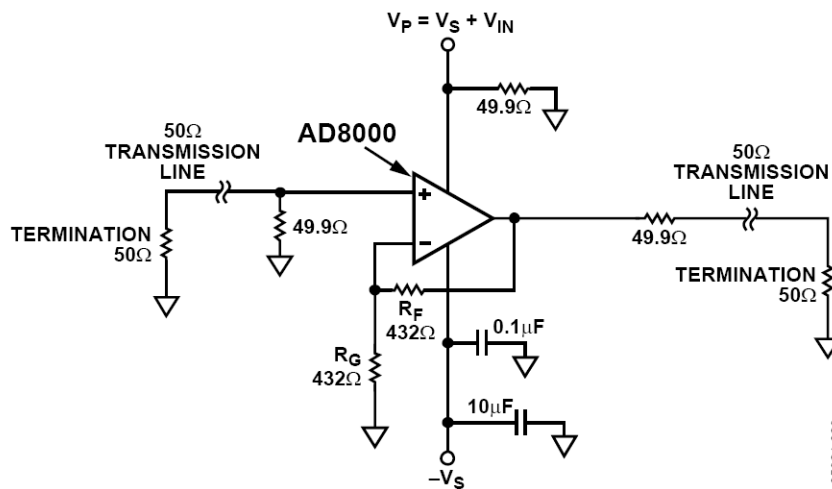


图13: AD8000正PSRR测试设置

现在考察正确及错误去耦对14位、105/125MSPS高性能数据转换器ADC [AD9445](#)的影响。虽然转换器通常无PSRR规格，但正确去耦仍非常重要。图14显示正确设计电路的FFT输出。这种情况下，对AD9445使用评估板。注意频谱较为干净。

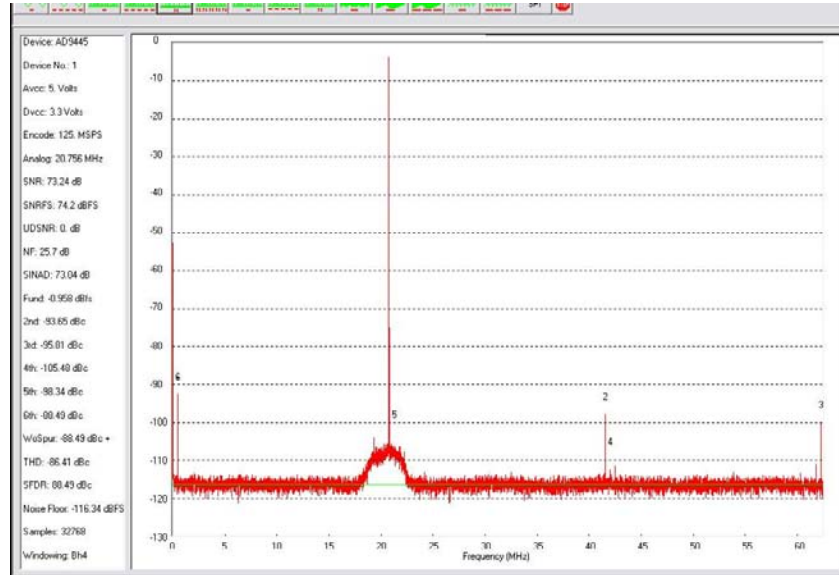


图14: 正确去耦时AD9445评估板的FFT坐标图

AD9445的引脚排列如图15所示。请注意，电源和接地引脚有多个。这是为了降低电源阻抗(并联引脚)。

模拟电源引脚有33个。18个引脚连接到AVDD1(电压为+3.3 V ± 5%)，15个引脚连接到AVDD2(电压为+5 V ± 5%)。DVDD(电压为+5 V ± 5%)引脚有4个。在本实验中所用的评估板上，每个引脚具有陶瓷去耦电容。此外还有数个10 μF电解电容。

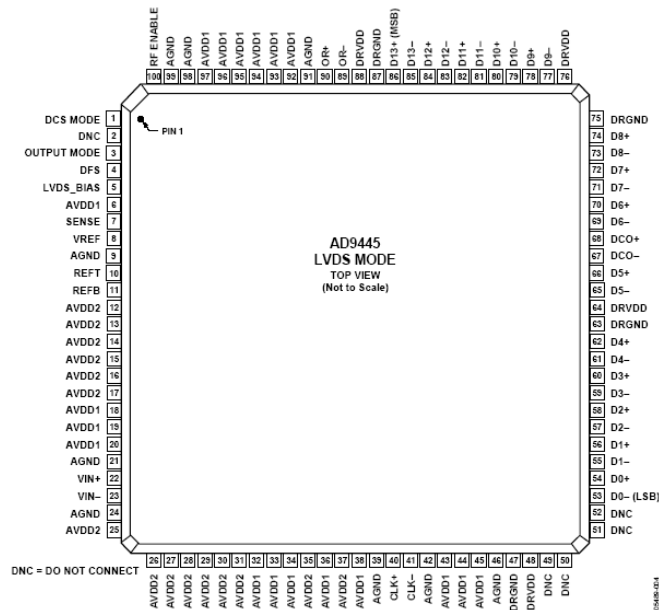
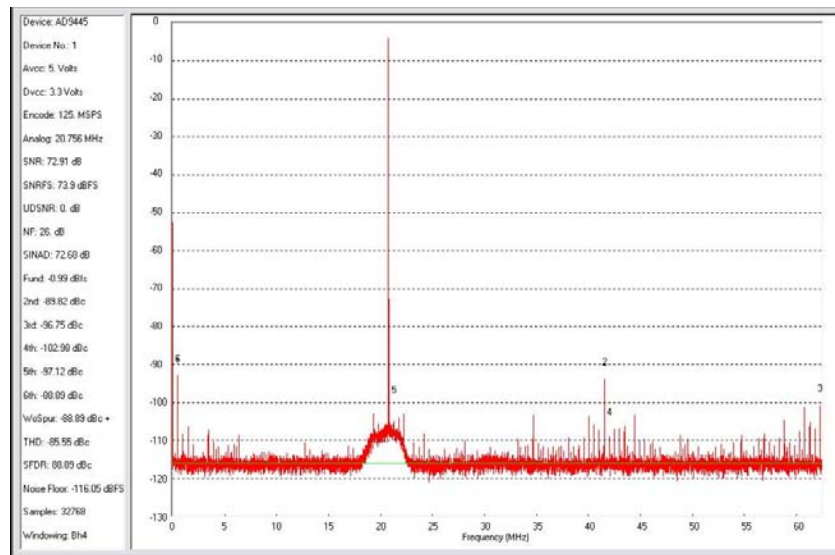


图15: AD9445引脚排列图

图16显示了从模拟电源去除去耦电容后的频谱。请注意，高频杂散信号增加了，还出现了一些交调产物(低频成分)。

信号SNR已显著降低。

本图与上图的唯一差异是去除了去耦电容。同样使用AD9445评估板进行测量。



**图16：从模拟电源去除电容后AD9445评估板的FFT坐标图**

图17显示从数字电源去除去耦电容的结果。注意杂散同样增加了。另外应注意杂散的频率分布。这些杂散不仅出现在高频下，而且跨越整个频谱。本实验使用转换器的LVDS版本进行。

可以想象，CMOS版本会更糟糕，因为LVDS的噪声低于饱和CMOS逻辑。

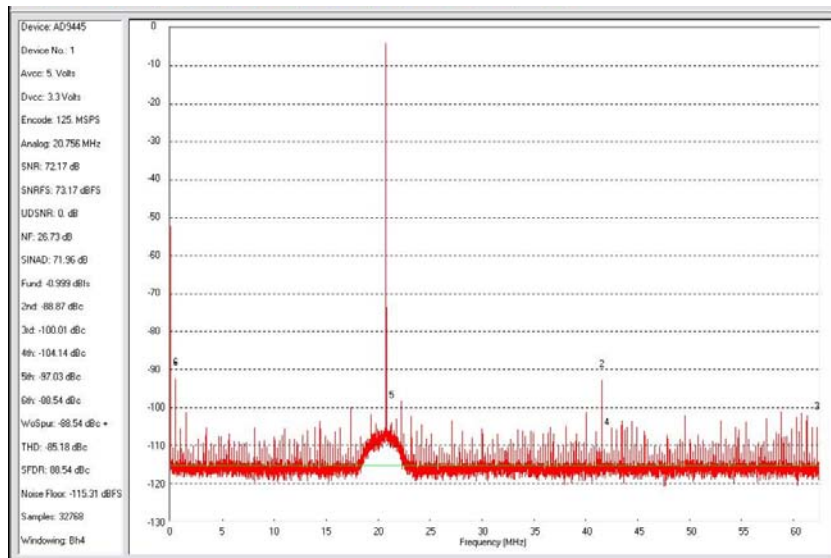


图17: 从数字电源去除电容后AD9445评估板的SNR图

#### 参考文献:

1. Henry W. Ott, *Noise Reduction Techniques in Electronic Systems*, 2<sup>nd</sup> Edition, John Wiley, Inc., 1988, ISBN: 0-471-85068-3.
2. Paul Brokaw, "An IC Amplifier User's Guide to Decoupling, Grounding and Making Things Go Right for a Change", [Analog Devices, AN-202](#).
3. Paul Brokaw, "Analog Signal-Handling for High Speed and Accuracy," [Analog Devices, AN-342](#).
4. Jerald Graeme and Bonnie Baker, "Design Equations Help Optimize Supply Bypassing for Op Amps," *Electronic Design, Special Analog Issue*, June 24, 1996, p.9.
5. Jerald Graeme and Bonnie Baker, "Fast Op Amps Demand More Than a Single-Capacitor Bypass," *Electronic Design, Special Analog Issue*, November 18, 1996, p.9.
6. Jeffrey S. Pattavina, "Bypassing PC Boards: Thumb Your Nose at Rules of Thumb," *EDN*, Oct. 22, 1998, p.149.
7. Howard W. Johnson and Martin Graham, *High-Speed Digital Design*, PTR Prentice Hall, 1993, ISBN-10: 0133957241, ISBN-13: 978-0133957242.
8. Ralph Morrison, *Solving Interference Problems in Electronics*, John Wiley, 1995, ISBN-10: 0471127965, ISBN-13: 978-0471127963
9. C. D. Motchenbacher and J. A. Connelly, *Low Noise Electronic System Design*, John Wiley, 1993, ISBN-10: 0471577421, ISBN-13: 978-0471577423.
10. Mark Montrose, *EMC and the Printed Circuit Board*, Wiley-IEEE Press, 1999, ISBN-10: 078034703X, ISBN-13: 978-0780347038.

11. Bonnie Baker, *A Baker's Dozen: Real Analog Solutions for Digital Designers*, Elsevier/Newnes, 2005, ISBN-10: 0750678194, ISBN-13: 978-0750678193.
12. Jerald Graeme, *Optimizing Op Amp Performance*, McGraw Hill, 1996, ISBN-10: 0070245223, ISBN-13: 978-0070245228.
13. Tamara Schmitz and Mike Wong, [Choosing and Using Bypass Capacitors \(Part 1 of 3\)](#), *Planet Analog*, June 19, 2007.
14. Tamara Schmitz and Mike Wong, [Choosing and Using Bypass Capacitors \(Part 2 of 3\)](#), *Planet Analog*, June 21, 2007.
15. Tamara Schmitz and Mike Wong, [Choosing and Using Bypass Capacitors \(Part 2 of 3\)](#), *Planet Analog*, June 27, 2007.
16. Yun Chase, ["Introduction to Choosing MLC Capacitors for Bypass/Decoupling Applications."](#) AVX Corporation, Myrtle Beach, SC.
17. [Panasonic SP-Capacitor Technical Guide](#), Panasonic, Inc.
18. [National Instruments Multisim™, Analog Devices' Edition](#)
19. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 12
20. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Chapter 7. Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 7.
21. Walt Kester, [High Speed System Applications, Analog Devices, 2006, ISBN-10: 1-56619-909-3, ISBN-13: 978-1-56619-909-4, Part 4.](#)

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.