模拟开关和多路复用器基本知识

简介

在要求针对模拟信号控制和选择指定传输路径的电子系统的设计中，固态模拟开关和多路复用器已成为必要元件之一。这些器件被用于广泛的应用之中，包括多通道数据采集系统、过程控制、仪器仪表、视频系统等。

20世纪60年代晚期的开关和多路复用器均以分立式MOSFET器件设计，并用小型PC板或模块生产。随着CMOS工艺的发展(以相同的基板生产优异的PMOS和NMOS晶体管)，开关和多路复用器在20世纪70年代中期快速转向了集成电路形式，推出了广受欢迎的ADI公司AD7500系列(1973年问世)等产品。1976年推出了带介质隔离系列，支持± 25 V的输入过压(超出供电轨)，而且不易闩锁。

这些早期的CMOS开关和多路复用器主要设计用于处理最高±10 V的信号，并工作于±15 V的电源之下。1979年，ADI公司推出大获成功的ADG200系列开关和多路复用器，1988年，ADG201系列问世，该器件采用专有的线性兼容CMOS工艺(LC^2MOS)制成。这些器件在±15 V电源下可支持最高±15 V的输入信号。

20世纪80年代和90年代出现了大量的开关和多路复用器，其趋势是更低的导通电阻、更快的开关、更低的电源电压、更低的成本、更低的功耗和更小的表贴封装。

如今，模拟开关和多路复用器有多种配置、选项可供选择，可以适应几乎所有应用。低于0.5 Ω的导通电阻、皮安级漏电流、大于1 GHz的信号带宽以及1.8 V单电源供电，这些全都可以利用现代CMOS技术来实现。市场上同时还有采用±15 V电源、基于ADI公司*i*CMOS®(工业CMOS)工艺的工业产品。

尽管CMOS是目前最流行的开关和多路复用器IC工艺，但双极性工艺(JFET)和互补双极性工艺(也支持JFET)通常用于视频开关和多路复用等特殊应用，因为这些应用要求的高性能是CMOS工艺无法实现的。传统的CMOS开关和多路复用器在视频频率下往往存在多种劣势。它们的开关时间一般不够快，而且需要外部缓冲才能驱动典型的视频负载。另外，CMOS开关导通电阻随信号电平的较小变化(R_{ON}调制 可能会给差分放大和相位带来无用的失真。基于互补双极性技术的多路复用器在视频频率下具有更好的表现——但其功耗和成本与CMOS器件相比有明显增加。

CMOS开关基础

理想型模拟开关不存在导通电阻，具有无穷大的关断阻抗和零时间延迟，可以处理大信号和共模电压。实际的CMOS模拟开关不满足其中任意一条，但是，如果我们了解模拟开关的不足，这些缺陷多数是可以克服的。

CMOS开关具有优秀的组合属性。其最基本的形式是MOSFET晶体管，这是一种电压控制电阻。在“导通”状态下，其电阻可能不到1 Ω，而在“关断”状态下，其电阻则会升至数百兆欧，并且存在皮安级漏电流。CMOS技术兼容逻辑电路，可以高密度集成在IC之中。其快速开关特性得到良好的控制，仅具有最少的电路寄生效应。

MOSFET晶体管是双向的。换言之，它们可以同样轻松地开关正、负电压，传导正、负电流。MOSFET晶体管具有一个电压控制电阻，随信号电压则呈非线性变化，如图1所示。

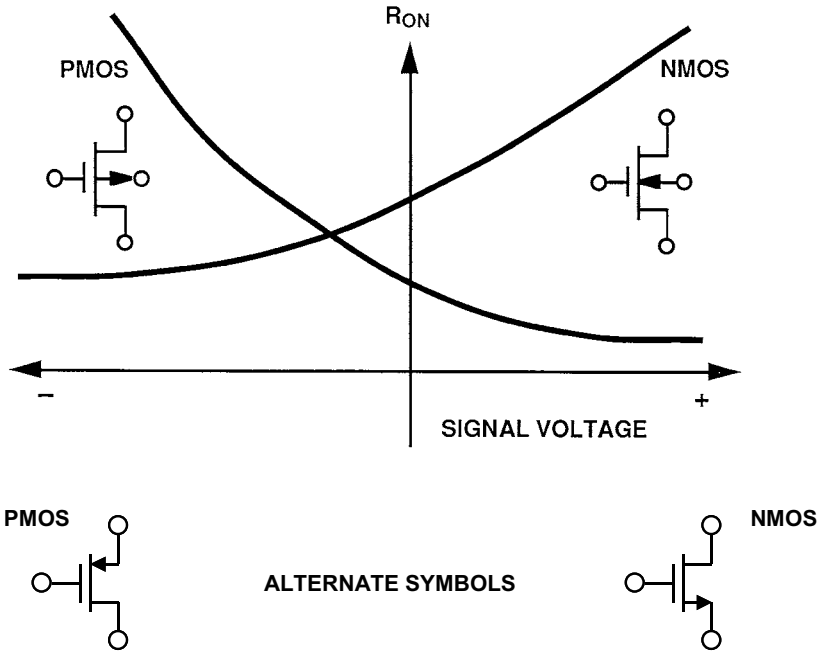


图1：MOSFET开关导通电阻与信号电压之间的关系

互补MOS工艺(CMOS)可以产出优异的P沟道和N沟道MOSFET。并联连接PMOS和NMOS器件，结果会形成如图2所示的基本双向CMOS开关。这种组合有利于减少导通电阻，同时也可能产生随信号电压变化小得多的电阻。

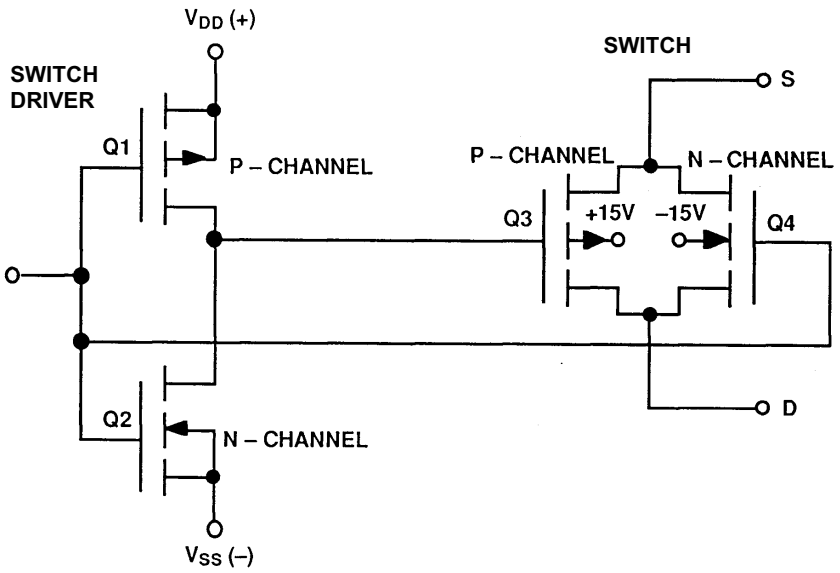


图2：基础CMOS开关用互补对来减少信号摆幅引起的R_{ON}变化

图3展示的是N型和P型器件的导通电阻随通道电压的变化。这种非线性电阻可能给直流精度和交流失真带来误差。双向CMOS开关可以解决这个问题。导通电阻大幅降低，线性度也得到了提升。图3底部曲线展示的是改进后的开关导通电阻特性的平坦度。

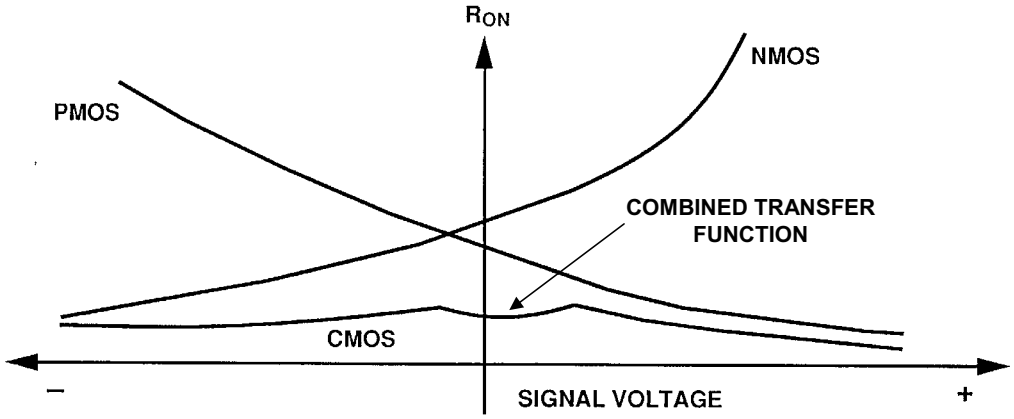


图3：CMOS开关导通电阻与信号电压之间的关系

ADG8xx系列CMOS开关是专门针对导通电阻低于0.5 Ω的应用而设计的，采用亚微米工艺制成。这些器件可以传导最高400 mA的电流，采用1.8 V至5.5 V单电源供电(具体视器件而定)，额定扩展工作温度范围为–40°C至+125°C。典型的导通电阻与温度和输入信号电平之间的关系如图4所示。

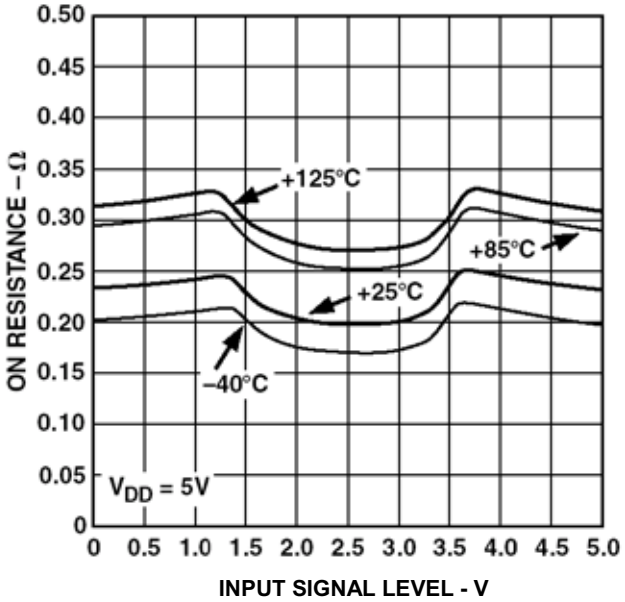


图4：ADG801/ADG802 CMOS开关的导通电阻与输入信号的关系，V_{DD} = +5 V

基本CMOS开关中的误差源

在模拟开关中，有必要了解误差源。许多因素都会影响交流和直流性能，其他因素则可能只影响交流性能。图5展示的是两个相邻CMOS开关的等效电路。该模型包括漏电流和结电容。

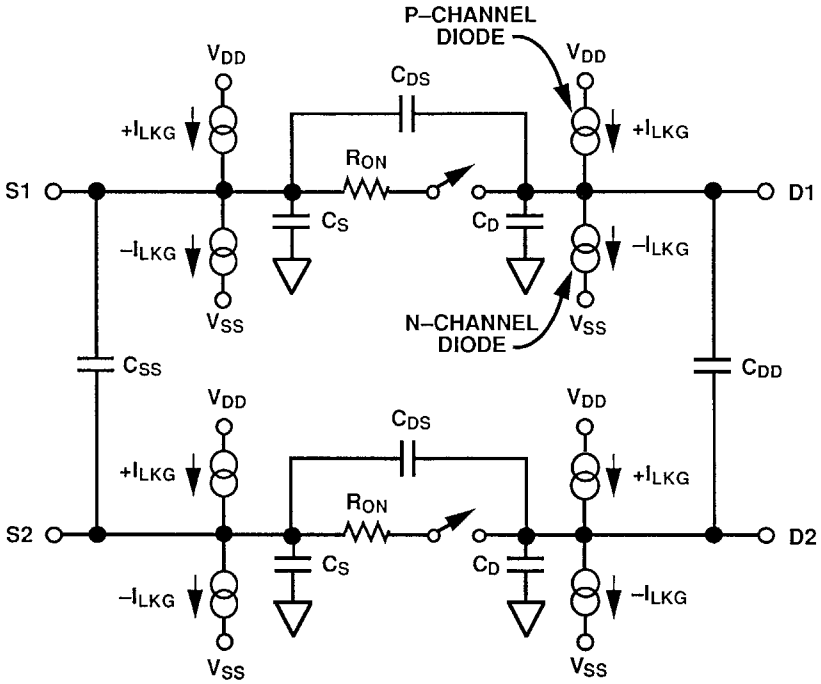
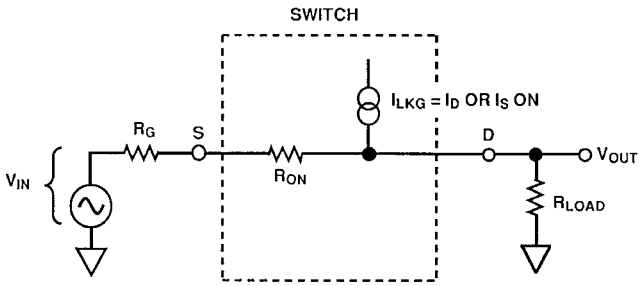


图5：两个相邻CMOS开关的等效电路

与处于导通状态的单个CMOS开关相关的直流误差如图6所示。当开关导通时，直流性能主要受开关导通电阻(R_{ON})和漏电流(I_{LKG})的影响。R_G-R_{ON}-R_{LOAD}组合形成一个阻性衰减器，结果会产生增益误差。漏电流I_{LKG}流过与R_G和R_{ON}之和并联的R_{LOAD}的等效电阻。

不仅R_{ON}可能导致增益误差——可用系统增益校准——而且其随应用的信号电压的变化(R_{ON}调制)也可能带来失真——这个失真是无法无法校准的。低阻电路更容易出现因R_{ON}导致的误差，而高阻电路则受漏电流影响。图6同时还给出了可体现这些参数对直流性能的影响的一些等式。



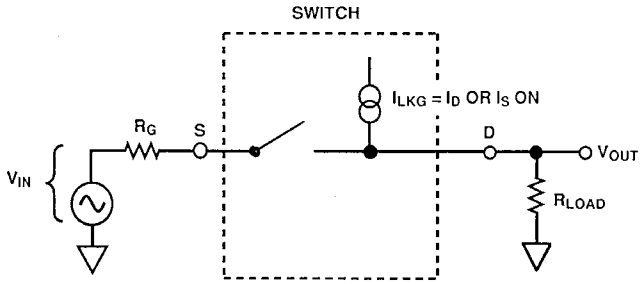
$$V_{OUT} = V_{IN}\left[\frac{R_{LOAD}}{R_G + R_{ON} + R_{LOAD}}\right] + I_{LKG}\left[\frac{R_{LOAD}(R_{ON} + R_G)}{R_G + R_{ON} + R_{LOAD}}\right]$$

IF $R_G \rightarrow 0$,

$$V_{OUT} = V_{IN}\left[\frac{R_{LOAD}}{R_{ON} + R_{LOAD}}\right] + I_{LKG}\left[\frac{R_{LOAD}R_{ON}}{R_{ON} + R_{LOAD}}\right]$$

图6：影响导通开关条件下直流性能的因素：R_{ON}、R_{LOAD}和I_{LKG}

当开关断开时，漏电流可能引起误差，如图7所示。流过负载电阻的漏电流会在输出端产生一个对应的电压误差。

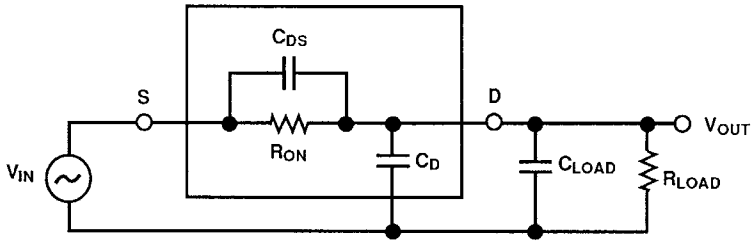


Leakage current creates error voltage at V_{OUT} equal to:

$$V_{OUT} = I_{LKG} \times R_{LOAD}$$

图7：影响关断开关条件下直流性能的因素：I_{LKG}和R_{LOAD}

图8显示的是影响CMOS开关交流性能的寄生器件。额外的外部电容会进一步导致性能下降。这些电容会影响馈通、串扰和系统带宽。C_{DS}(漏极到源极电容)、C_D(漏极-地电容)和C_{LOAD}与R_{ON}和R_{LOAD}相配合，以形成整体传递函数。



$$A(s)=\left[\frac{R_{LOAD}}{R_{LOAD}+R_{ON}}\right]\left[\frac{sR_{ON}C_{DS}+1}{s\left(\frac{R_{LOAD}R_{ON}}{R_{LOAD}+R_{ON}}\right)(C_{LOAD}+C_D+C_{DS})+1}\right]$$

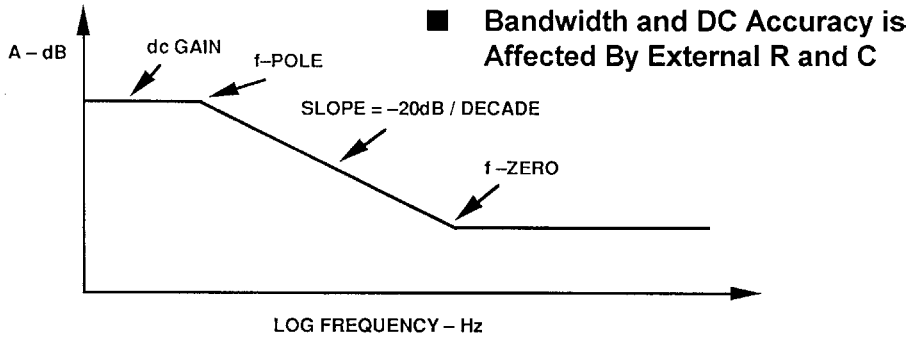
$$A(dB)=20\log\left[\frac{R_{LOAD}}{R_{LOAD}+R_{ON}}\right]+10\log\left[\omega^2(R_{ON}C_{DS})^2+1\right]-10\log\omega^2\left[\left(\frac{R_{LOAD}R_{ON}}{R_{LOAD}+R_{ON}}\right)^2(C_{LOAD}+C_D+C_{DS})^2+1\right]$$

图8：动态性能考虑：传输精度与频率的关系

在等效电路中，C_{DS}会在传递函数A(s)的分子中形成一个零点。该零通常出现在高频下，因为开关导通电阻很小。带宽同时也是开关输出电容与C_{DS}和负载电容的函数。该频率极点出现在等式的分母中。

复合频率域传递函数可以改写为如图9所示形式，图9所示为导通状态下的开关的整体波特图。多数情况下，主要受输出电容C_D的影响，极点断点频率将首先出现。因此，为了使带宽最大化，开关应具有低输入电容、低输出电容和低导通电阻。

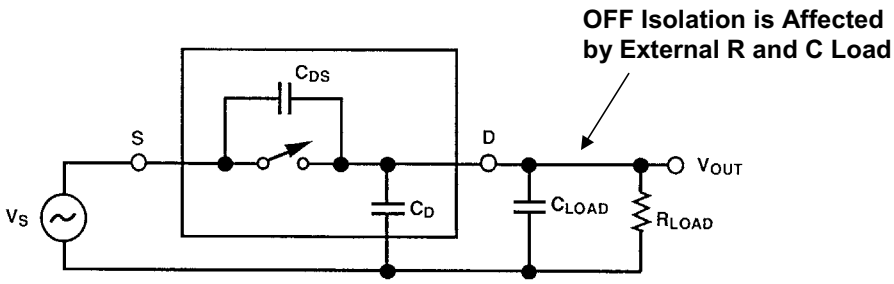
串联旁路电容C_{DS}不但会在导通状态响应中形成一个零，同时也会在关断状态下导致开关馈通性能下降。当开关关断时，C_{DS}将把输入信号耦合至输出负载之中，如图10所示。



$$A(s) = \left[\frac{R_{LOAD}}{R_{LOAD} + R_{ON}}\right]\left[sR_{ON}C_{DS} + 1\right]\left[\frac{1}{s\left(\frac{R_{LOAD}R_{ON}}{R_{LOAD} + R_{ON}}\right)(C_{LOAD} + C_D + C_{DS}) + 1}\right]$$

$$\text{DC GAIN} = \frac{R_{LOAD}R_{ON}}{R_{LOAD} + R_{ON}}, \quad f_{ZERO} = \frac{0.159}{R_{ON}C_{DS}}, \quad f_{POLE} = \frac{0.159}{\left(\frac{R_{LOAD}R_{ON}}{R_{LOAD} + R_{ON}}\right)(C_{LOAD} + C_D + C_{DS})}$$

图9：CMOS开关传递函数在导通状态下的波特图



$$A(s) = \frac{s(R_{LOAD})(C_{DS})}{s(R_{LOAD})(C_{LOAD} + C_D + C_{DS}) + 1}$$

图10：动态性能考虑：关断隔离

较大的C_{DS}值会导致较大的馈通值，后者与输入频率成比例。图11所示关断隔离度的下降随频率变化的函数。实现关断隔离最大化最简单的方式是选择C_{DS}尽量小的开关。

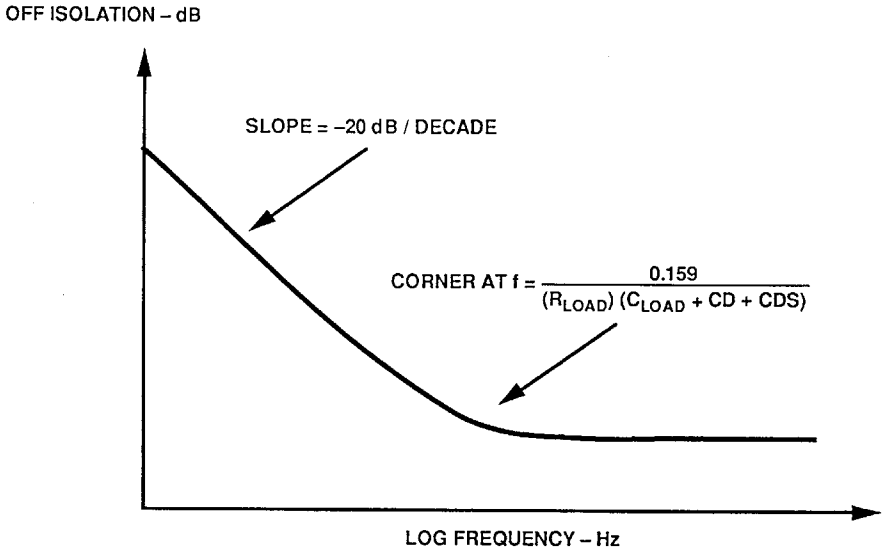


图11：关断隔离与频率的关系

图12展示了ADG708 8通道多路复用器的典型CMOS模拟开关关断隔离，表现为频率的函数。从直流到几千赫，多路复用器拥有近90 dB的隔离能力。随着频率的增加，将有越来越多的信号到达输出端。然而，即使在10 MHz时，所示开关仍然拥有近60 dB的隔离能力。

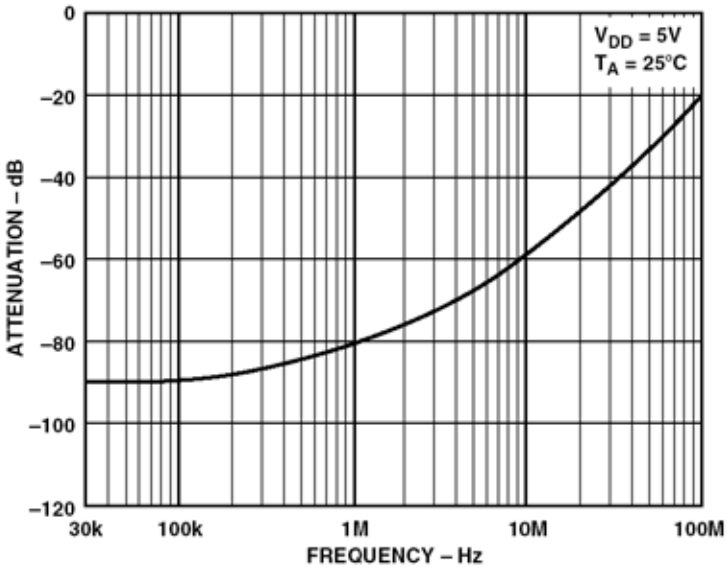
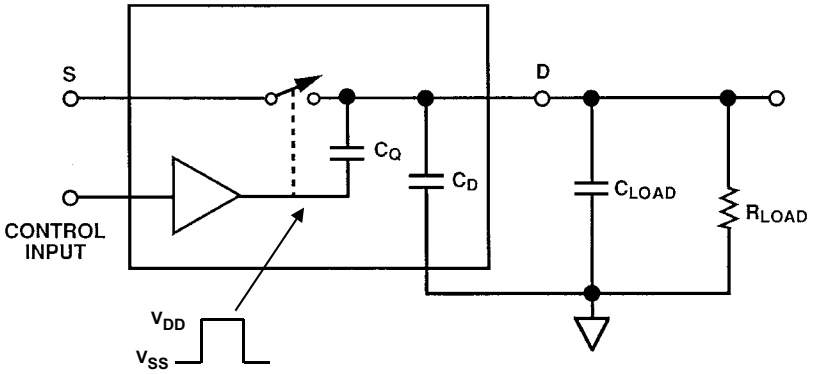


图12：ADG708 8通道多路复用器关断隔离与频率的关系

影响系统性能的另一个交流参数是开关期间发生的电荷注入。图13所示为电荷注入机制的等效电路



Step waveforms of ± (V_{DD} – V_{SS}) are applied to C_Q, the gate capacitance of the output switches.

图13：动态性能考虑：电荷注入模型

当开关控制输入置位时，结果会使控制电路在CMOS开关的栅极处发生较大的电压变化(从V_{DD}至V_{SS}，反之亦然)。电压的这种快速变化会通过栅极-漏极电容C_Q将一个电荷注入开关输出。耦合电荷的数量取决于栅极-漏极电容的大小。

电荷注入会在开关过程中在输出电压中导致阶跃变化，如图14所示。输出电压的变化ΔV_{OUT}为注入的电荷量Q_{INJ}(为栅极-漏极电容C_Q的函数)和负载电容C_L的函数。

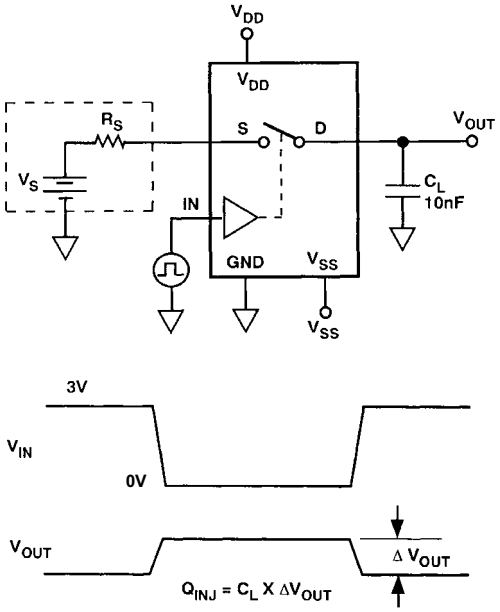


图14：电荷注入对输出的影响

开关电容导致的另一个问题是开关通道时保留的电荷。这种电荷会在开关输出中导致瞬变，图15所示即为该现象。设开始时S2闭合、S1断开。C_{S1}和C_{S2}充电至–5 V。当S2断开、S1闭合时，–5 V会保持于C_{S1}和C_{S2}上。因此，放大器A的输出会看到一个–5V的瞬变。在放大器A的输出使C_{S1}和C_{S2}完全放电并建立至0 V之前，输出不会稳定下来。图16中的示波图描述的即是该瞬变。因此，在选择正确的输入缓冲时，放大器的瞬变和建立特性是一个重要的考虑因素。

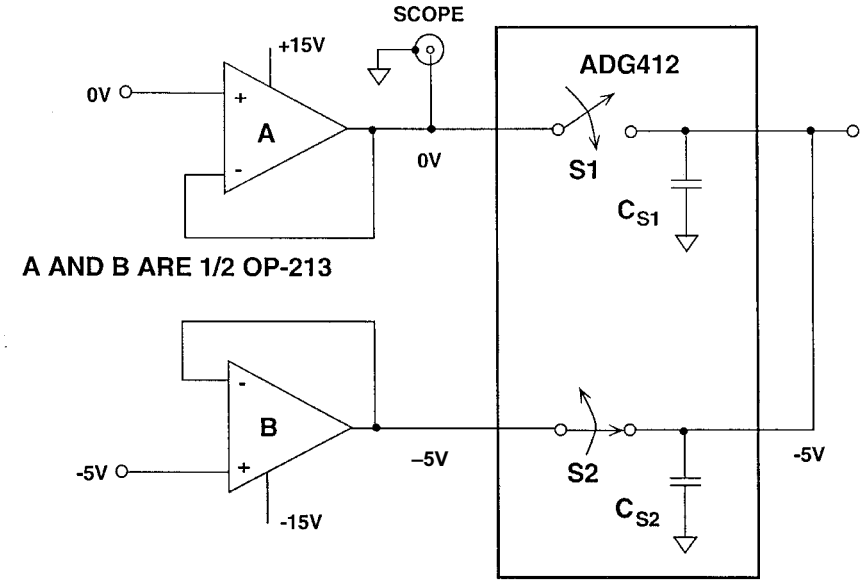


图15：电荷耦合会在多路复用信号时导致动态建立时间瞬变

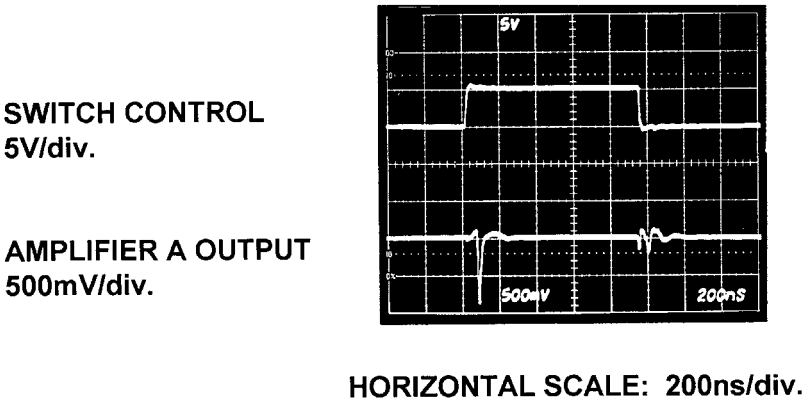


图16：放大器输出展示了因电荷耦合导致的动态建立时间瞬变

串扰与两个开关之间的电容相关，表示为C_{SS}电容，如图17所示。

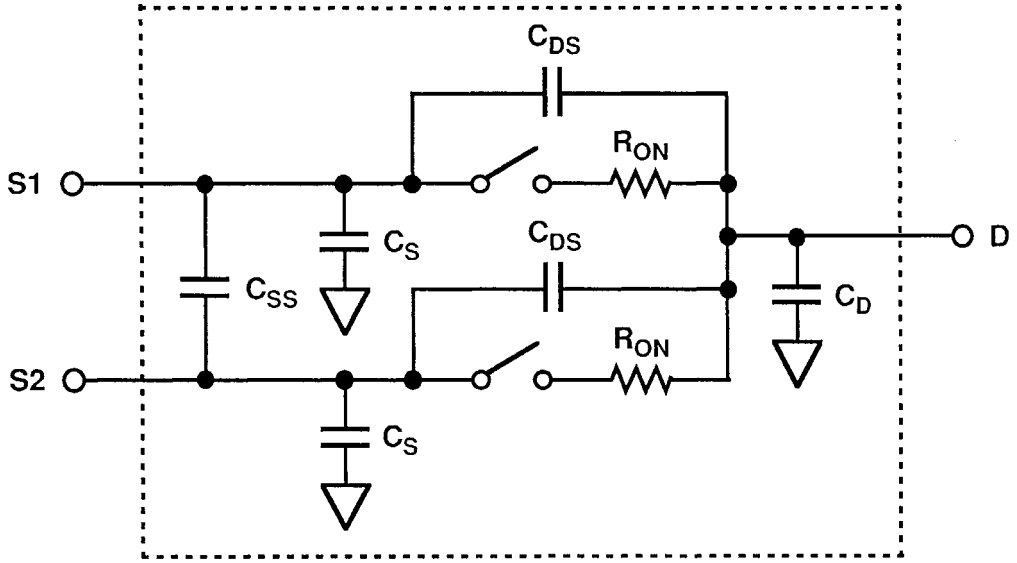


图17：相邻开关的通道间串扰等效电路

图18展示了ADG708 8通道CMOS多路复用器的典型串扰性能。

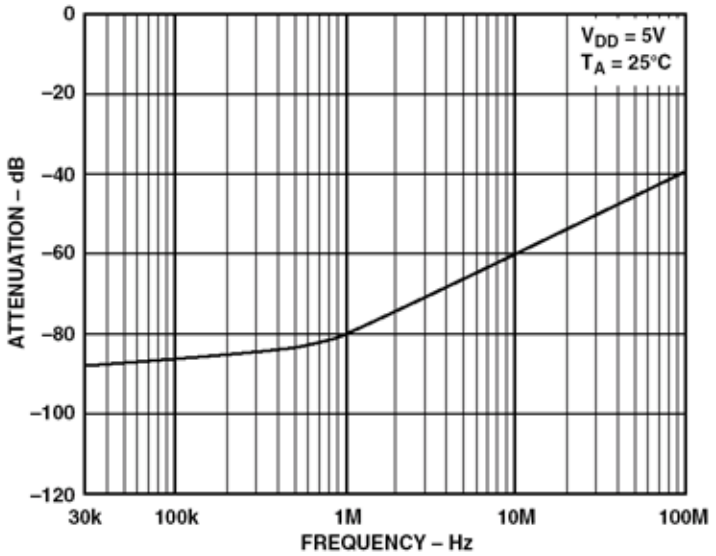
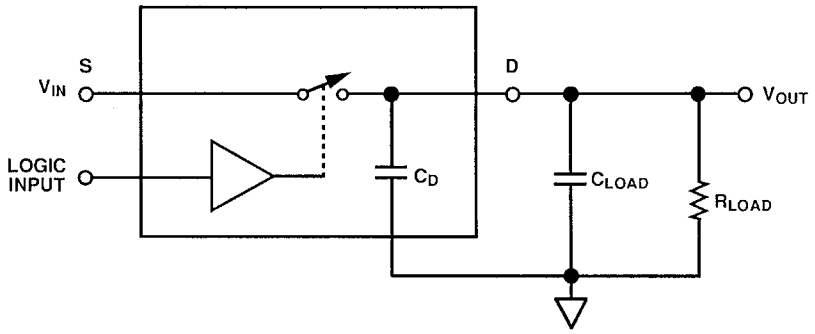


图18：ADG708 8通道多路复用器的串扰与频率的关系

最后，开关本身有着自己的建立时间，这也是必须考虑的。图19显示了动态传递函数。建立时间可以计算是因为响应是开关和电路电阻与电容的函数。可以假定这是一个单极点系统，并计算建立目标系统精度所需时间常数的数量，如图20所示。



$$\text{OFF}-\text{TO}-\text{ON:}\quad t_{SETT} = t_{ON} + \left(\frac{R_{ON}R_{LOAD}}{R_{ON}+R_{LOAD}}\right)(C_{LOAD}+C_D)\left(-\ln\frac{\%ERROR}{100}\right)$$

$$\text{ON}-\text{TO}-\text{OFF:}\quad t_{SETT} = t_{OFF} + (R_{LOAD})(C_{LOAD}+C_D)\left(-\ln\frac{\%ERROR}{100}\right)$$

Settling time is the time required for the switch output to settle within a given error band of the final value.

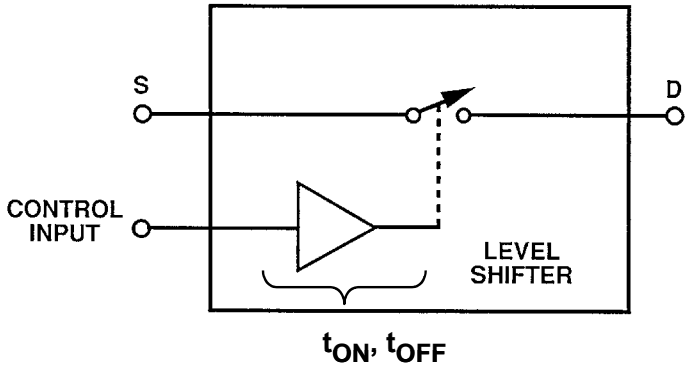
图19：多路复用器的建立时间

RESOLUTION, # OF BITS	LSB (%FS)	# OF TIME CONSTANTS
6	1.563	4.16
8	0.391	5.55
10	0.0977	6.93
12	0.0244	8.32
14	0.0061	9.70
16	0.00153	11.09
18	0.00038	12.48
20	0.000095	13.86
22	0.000024	15.25

图20：为单极点系统建立1 LSB精度所需时间常数数量

应用模拟开关

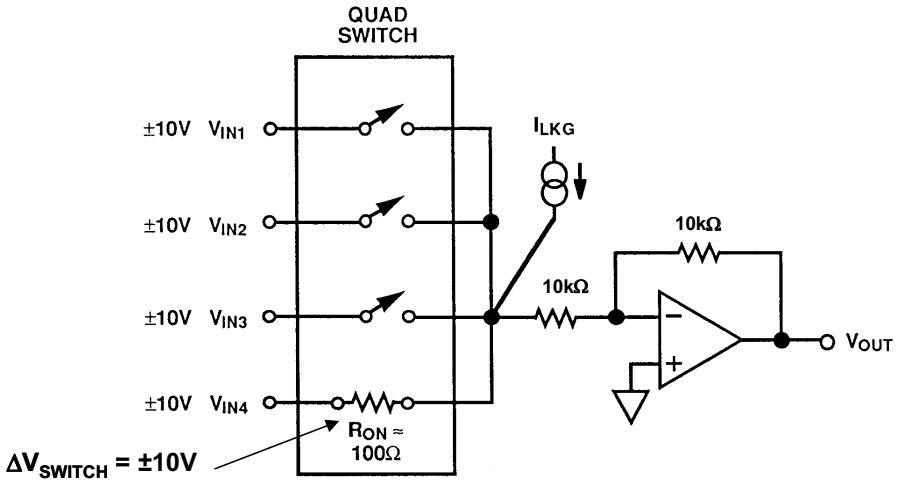
应用模拟开关时，开关时间是一个重要的考虑因素，但是，不能将开关时间与建立时间相混淆。导通时间和关断时间只是从控制输入到开关切换间的传播延迟的一种衡量指标，主要由驱动和电平转换电路中的时间延迟导致(见图21)。t_{ON}和t_{OFF}两个值一般是在从控制输入前沿的50%点到输出信号电平的90%点之间测量的。



- t_{ON} and t_{OFF} should not be confused with settling time.
- t_{ON} and t_{OFF} are simply a measure of the propagation delay from control input to operation of the analog switch. It is caused by time delays in the drive / level-shifter logic circuitry.
- t_{ON} and t_{OFF} are measured from the 50% point of the control input to the 90% point of the output signal level.

图21：应用模拟开关：动态性能考虑

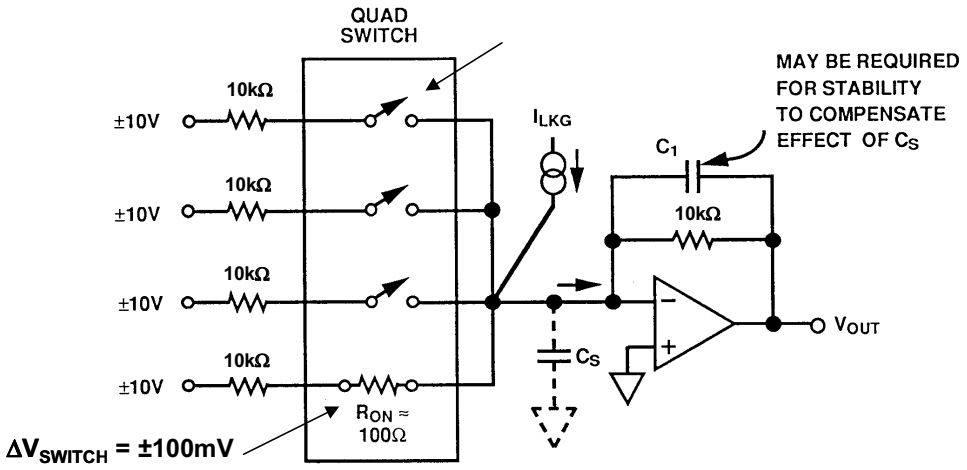
接下来，我们将考虑用运算放大器缓冲CMOS开关或多路复用器输出时涉及到的问题。当一个CMOS多路复用器接至反相求和放大器时，应该注意的是，导通电阻及其作为输入电压函数的非线性变化将导致增益误差和失真误差，如图22所示。如果电阻较大，则开关漏电流有可能带来误差。小电阻有利于减少漏电流误差，但会增加因R_{ON}有限值导致的误差。



- ΔR_{ON} caused by ΔV_{IN} , degrades linearity of V_{OUT} relative to V_{IN}.
- ΔR_{ON} causes overall gain error in V_{OUT} relative to V_{IN} .

图22：应用模拟开关：带开关输入的单位增益反相器

为了减少因输入电压变化导致的R_{ON}变化的影响，建议把多路复用开关置于运算放大器求和点，如图23所示。这样可以确保开关仅以约±100 mV而非全±10 V电压调制——但各个输入引脚都需要一个独立的电阻。



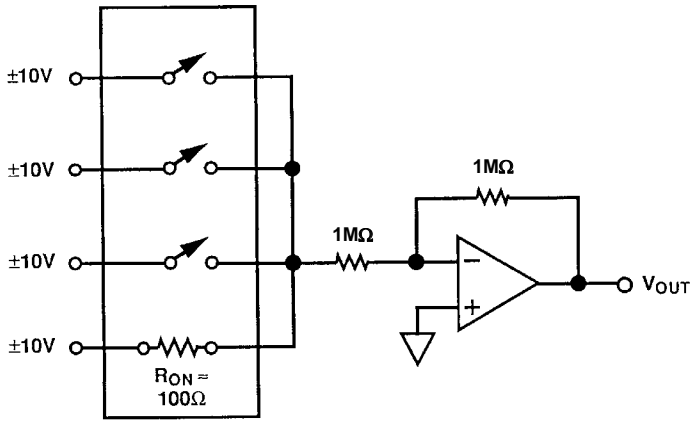
- Switch drives a virtual ground.
- Switch sees only ±100mV, not ±10V, minimizes ΔR_{ON} .

图23：应用模拟开关：减少ΔR_{ON}的影响

必须了解因添加多路复用器给求和点增加了多少寄生电容，因为给该节点增加的任何电容都会给放大器闭环响应带来相移。如果该电容过大，则放大器可能变得不稳定并产生振荡。可能需要在反馈电阻上跨接一个小电容C_1来稳定电路。

在如图24所示电路中，R_{ON}的有限值可能成为重要的误差源。增益设置电阻应该至少是开关导通电阻的1000倍，以保证0.1%的增益精度。较高的值会带来更高的精度，却会降低带宽，增加对漏电流和偏置电流的敏感度。

补偿R_{ON}的一种更好的方式是使一个开关与反相放大器的反馈电阻串联，如图25所示。不妨假定，单个芯片上的多个开关在绝对特性和温度跟踪特性方面良好匹配。因此，放大器在单位增益下具有闭环增益稳定性，因为总前馈电阻和反馈电阻是相匹配的。



- **ΔR_{ON} is small compared to 1MΩ switch load.**
- **Effect on transfer accuracy is minimized.**
- **Bias current and leakage current effects are now very important.**
- **Circuit bandwidth degrades.**

图24：应用模拟开关：用大电阻值减少ΔR_{ON}的影响

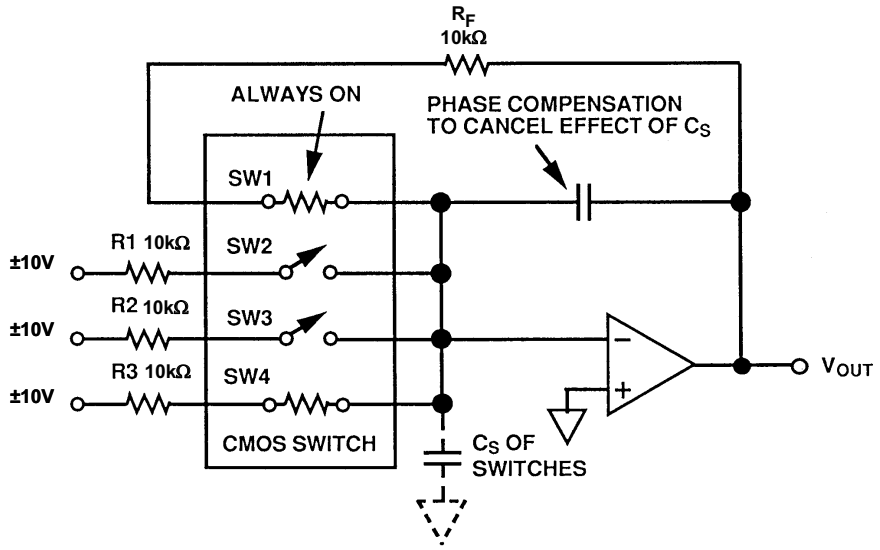


图25：应用模拟开关：利用反馈中的“虚拟”开关降低ΔR_{ON}导致的增益误差

最好的多路复用器设计以如图26所示方法驱动放大器的同相输入。同相输入较高的输入阻抗将消除R_{ON}带来的误差。

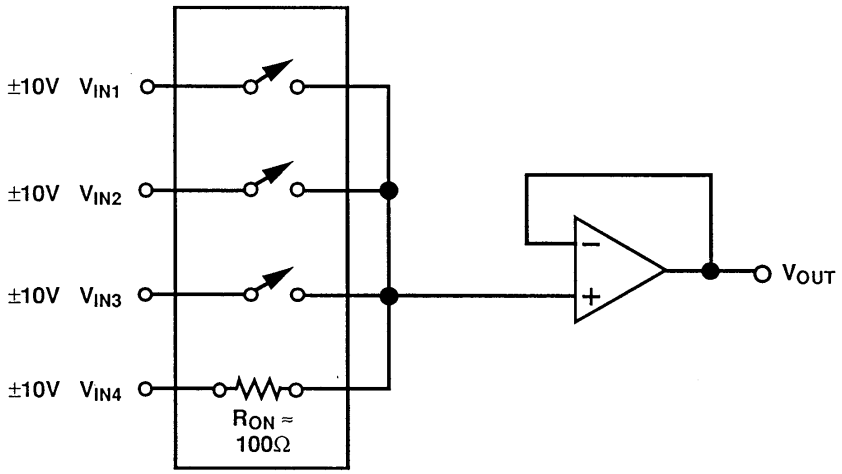
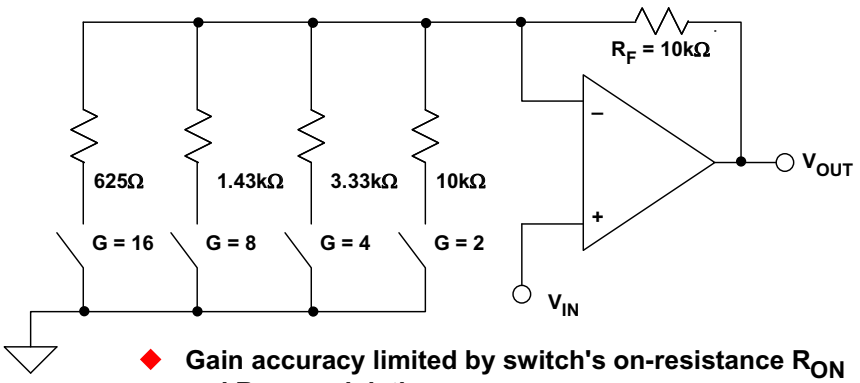


图26：应用模拟开关：利用同相配置减少ΔR_{ON}的影响

CMOS开关和多路复用器通常与运算放大器相结合，以形成可编程增益放大器(PGA)。为了了解R_{ON}对其性能的影响，我们来考察一下图27中的不良PGA设计。一个同相运算放大器有4个不同的增益设置电阻，各通过一个开关接地，R_{ON}为100-500 Ω。即使当R_{ON}低至25 Ω时，增益为16时的误差为2.4%，比8位精度还要差！R_{ON}还会随温度而变化，在开关间也会发生变化。

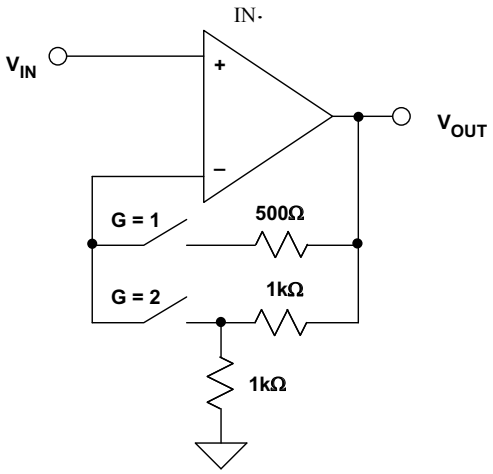


- Gain accuracy limited by switch's on-resistance R_{ON} and R_{ON} modulation
- R_{ON} typically 1 - 500Ω for CMOS or JFET switch
- For R_{ON} = 25Ω, there is a 2.4% gain error for G = 16
- R_{ON} drift over temperature limits accuracy
- Must use very low R_{ON} switches

图27：用CMOS开关设计不当的PGA

要尝试“修复”该设计，可以增加电阻，但随之而来的是噪声和失调问题。对于这种电路，提高精度的唯一方法是使用几乎不存在R_{ON}的继电器。只有在这种情况下，继电器仅数mΩ的R_{ON}只会产生较小的误差(与625 Ω相比)。

最好使用对R_{ON}不敏感的电路。在图28中，开关与运算放大器的反相输入串联。由于运算放大器的输入阻抗非常大，因而与开关R_{ON}不再相干，而此时的增益完全由外部电阻决定。请注意——如果运算放大器偏置电流较高，R_{ON}可能会增加较小的失调误差。如果情况确实如此，则可在V_{IN}用一个等效电阻进行补偿。



- R_{ON} is not in series with gain setting resistors
- R_{ON} is small compared to input impedance
- Only slight offset errors occur due to bias current flowing through the switches

图28：替代PGA配置降低R_{ON}的影响

1 GHz CMOS开关

ADG918/ADG919是首款采用CMOS工艺制成、具有高隔离和低插入损耗特点并且频率达1 GHz或以上的开关。在传送1 GHz信号时，这两款开关展现出较低的插入损耗(0.8 dB)和相对较高的关断隔离(37 dB)特性。在吞吐量功率为+18 dBm或以下、工作温度为25°C的高频应用中，它们是砷化镓(GaA)开关的一种具有成本效益的替代方案。图29给出了两款器件的框图，图30展示了隔离和损耗与频率之间的关系坐标图。

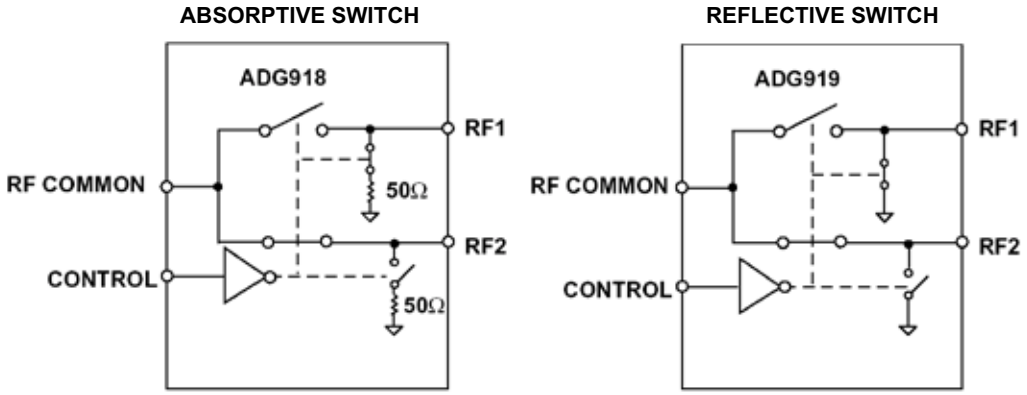


图29：1 GHz CMOS 1.65 V至2.75 V 2:1 Mux/SPDT开关

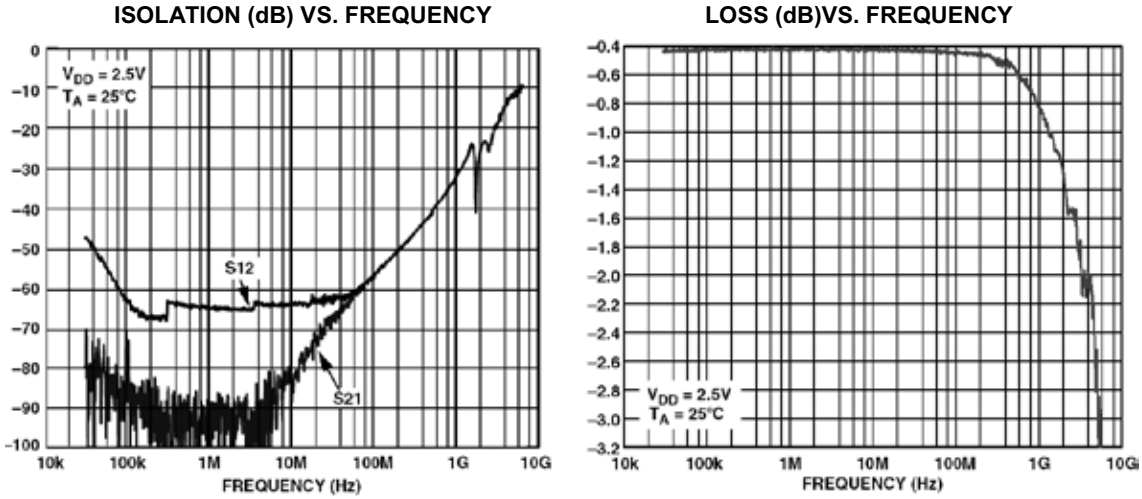


图30：AD918/AD919 1 GHz开关的隔离和频率响应

ADG918是一款吸收式开关，内置50 Ω端接分流引脚，允许与应用电路匹配阻抗，而ADG919则是一款反射式开关，设计用于同轴负载在芯片之外的应用。两款开关均具有功耗低(<1 μA)、封装小(8引脚MSOP和3 mm × 3 mm引脚架构芯片级封装)、兼容CMOS/LVTTL的单引脚控制电压电平等特点，是无线应用和通用射频开关的理想选择。

CMOS开关和多路复用器中的寄生闩锁

由于多路复用器往往处于数据采集系统的前端，因此，其输入一般来自远程位置——因而它们往往会受到过压条件的影响。了解这个问题及其与CMOS器件的相关性显得尤其重要。尽管本文主要讨论的是多路复用器，但它与几乎所有类型的CMOS器件都有密切关系。

多数CMOS模拟开关是以结隔离CMOS工艺制成的。单个开关单元的横截面如图31所示。如果模拟开关引脚的正电压比V_{DD}大或者负电压比V_{SS}大，则可能发生寄生硅控整流器(SCR)闩锁现象。即使是瞬变条件(如在有输入电压时上电)也有可能激活寄生闩锁。如果传导电流过大(数百毫安或以上)，结果可能损坏开关。

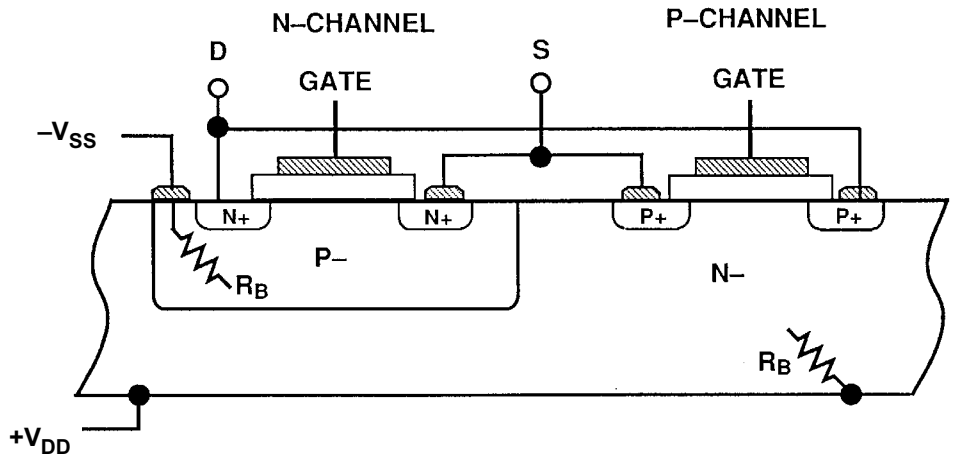


图31：结隔离CMOS开关的横截面

寄生SCR机制如图32所示。当开关的引脚之一(源引脚或漏引脚)比正V_{DD}大一个二极管压降或者比负V_{SS}大一个二极管压降时，将产生SCR动作。前一种情况下，V_{DD}引脚变成SCR栅极输入，并提供电流以激活SCR动作。当负电压比V_{SS}大时，V_{SS}引脚变成SCR栅极输入，并提供栅极电流。任一情况下，电源之间都会有高电流通过。电流量取决于两个晶体管的集电极电阻，可能非常小。

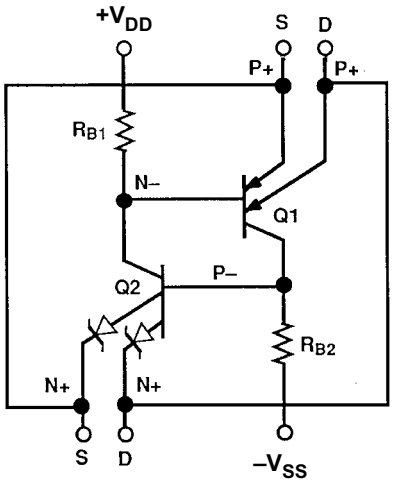
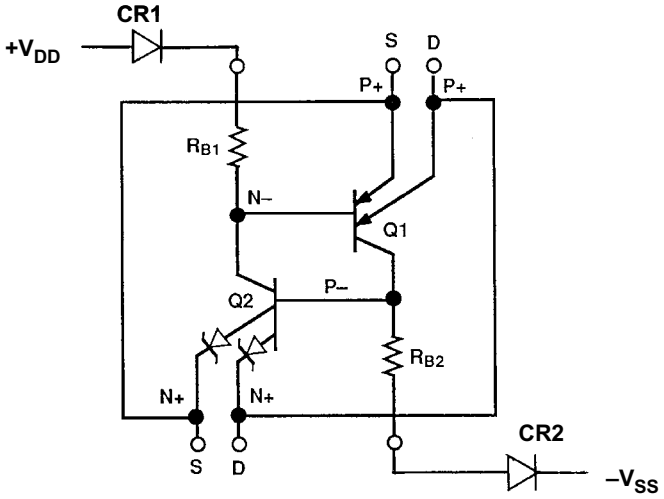


图32：CMOS开关的双极性晶体管等效电路展现出寄生SCR闩锁

一般而言，为了防止发生闩锁条件，CMOS器件的输入不得高于正电源0.3 V，也不得低于负电源0.3 V。请注意，这一限制同样适用于电源关断($V_{DD} = V_{SS} = 0$ V)的情况，因此，当输入端存在信号时，如果此时将电源施于某个器件，则器件很可能闩锁。CMOS器件的制造商们无一例外地把这一限制列于数据手册的绝对最大额定值表中。另外，过压条件下的输入电流应限制为5-30 mA，取决于具体的器件。

为了防止出现这种SCR闩锁，可以将一个串联二极管插入V_{DD}和V_{SS}引脚中，如图33所示。二极管会阻止SCR栅极电流。正常情况下，寄生晶体管Q1和Q2的beta较低(通常不到10)，需要相对较大的栅极电流来激活SCR。二极管对反向栅极电流进行限制，以免激活SCR。



Diodes CR1 and CR2 block base current drive to Q1 and Q2 in the event of overvoltage at S or D.

图33：CMOS开关的二极管保护方案

如果采用二极管保护模式，则开关各供电轨的模拟电压范围将减少一个V_{BE}压降，在使用低电源电压时，这样做可能不太方便。

如前所述，CMOS开关和多路复用器也可以免受过流的影响，其方法是插入一个串联电阻，把电流限制在安全电平以内，如图34所示，一般低于5-30 mA。鉴于R_{LOAD}和R_{LIMIT}形成的阻性衰减器，只有在开关驱动相对较高的阻抗负载的时候，这种方法方才有效。

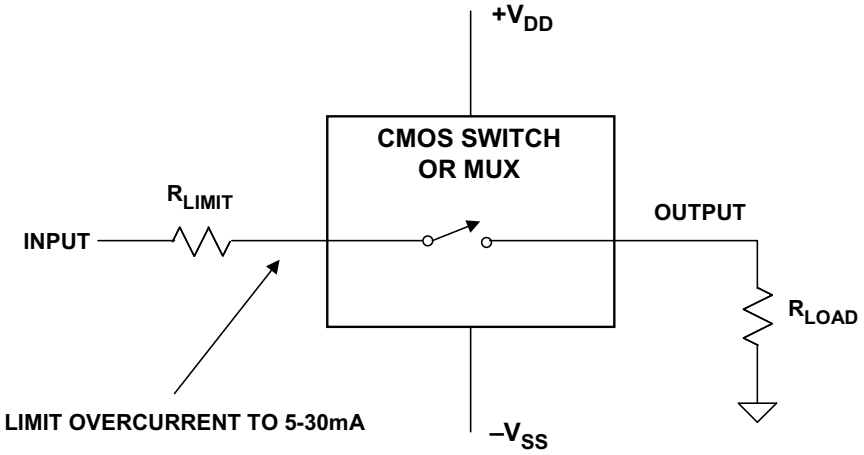


图34：用外部电阻实现过流保护

一种常见的输入保护法如图35所示，其中，肖特基二极管从输入引脚连接至各个电源电压。二极管实际上可以有效防止输入引脚超过电源电压达0.3-0.4 V以上，由此避免了闩锁条件的发生。另外，如果输入电压超过电源电压，则输入电流会经过外部二极管流至电源，而不流到器件中。肖特基二极管可以轻松处理50-100 mA瞬变电流，因而，R_{LIMIT}电阻可以非常低。

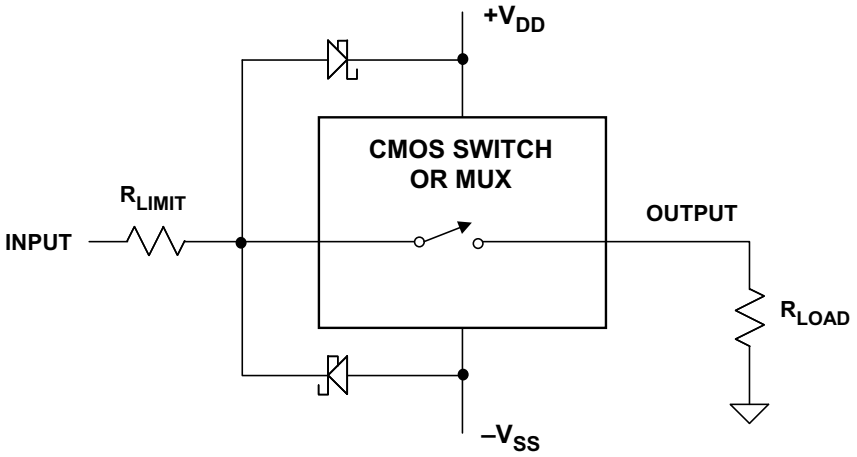


图35：用外部肖特基二极管实现输入保护

多数CMOS器件的内置ESD保护二极管都是从输入连接到供电轨，大幅降低了闩锁的可能。然而，内置的二极管在0.6 V时开始导电，而且电流处理能力有限，因此，添加外部肖特基二极管可以提供额外的保护。然而，必须考虑二极管漏电流和电容的影响。

请注意，闩锁保护并不提供过流保护，反之亦然。如果一个系统中可以同时存在两个故障条件，则须同时使用保护性二极管和电阻。

ADI公司采用沟道隔离技术来生产LC^{2}MOS模拟开关。这种工艺有利于降低器件的闩锁可能和结电容，增加了开关时间和漏电流，模拟输入电压扩大至供电轨。

图36所示为沟道隔离CMOS结构的横截面视图。嵌入式氧化物层和侧壁将基板与各晶体管结完全隔离开来。因而不会形成反向偏置PN结。结果，可能减少带宽的电容以及SCR闩锁的可能性都大幅降低了。

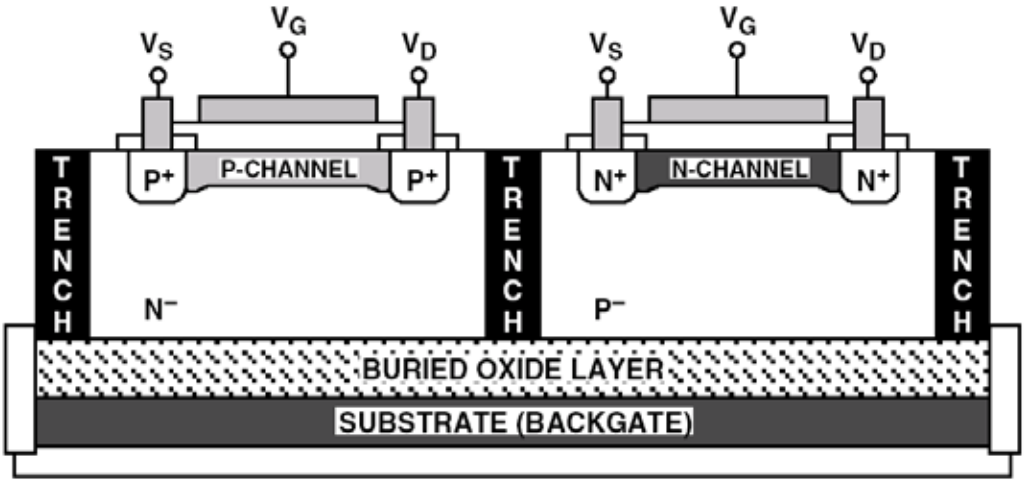


图36：沟道隔离LC^{2}MOS结构

ADG508F、ADG509F、ADG528F、ADG438F和ADG439F均为±15V沟道隔离LC^{2}MOS多路复用器，可为–40 V和+ 55 V之间的输入及输出过压提供“故障保护”功能。这些器件在信号路径中采用一种由三个MOSFET构成的串联结构。一个N沟道，其后为一个P沟道，再后为一个N沟道。另外，当电源关闭时，信号路径变成高阻抗。该结构可提供较高的闩锁和过压保护能力——但其代价是更高的R_{ON} (~300 Ω)，而且R_{ON}随信号电平变化的幅度也会增大。有关这种保护方法的详细情况，请参见各产品数据手册。

参考文献：

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as *Linear Circuit Design Handbook*, Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 7.

2. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 7. Also available as *The Data Conversion Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 7.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.