



ADuCM355硬件参考手册

UG-1262

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com/cn

ADuCM355硬件参考手册

范围

本手册详细说明ADuCM355的功能和特性。功能框图参见ADuCM355数据手册。

Rev. B

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2019 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com/cn

ADI 中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考 ADI 提供的最新英文版数据手册。

目录

应用范围	1	电源监控器状态寄存器	30
修订历史	9	功耗模式寄存器	31
使用ADuCM355参考手册	11	PWRMOD和SRAMRET寄存器的密钥保护	31
ADuCM355简介	12	休眠模式期间SRAM内容保留控制寄存器	32
ADuCM355主要特性	12	HPBUCK控制寄存器	32
时钟架构	14	SRAM奇偶校验和指令SRAM控制寄存器	32
时钟架构工作原理	14	初始化状态寄存器	33
数字芯片和模拟芯片系统时钟的时钟比要求	14	功耗模式寄存器	34
数字芯片时钟特性	14	PWRMOD寄存器的密钥保护	34
模拟芯片时钟特性	14	Arm Cortex-M3处理器	35
时钟门控	15	Arm Cortex-M3处理器特性	35
AFE芯片时钟连接到数字芯片时钟输入	15	Arm Cortex-M3处理器工作原理	36
寄存器汇总：时钟架构	17	Arm Cortex-M3处理器相关文档	36
寄存器详解：时钟架构	18	系统复位	37
CTL寄存器的密钥保护	18	数字芯片复位工作原理	37
振荡器控制寄存器	18	寄存器汇总：系统复位	39
时钟控制0寄存器	18	寄存器详解：系统复位	40
时钟分频器寄存器	19	数字芯片复位状态寄存器	40
用户时钟门控寄存器	19	始终开启复位状态寄存器	40
时钟状态寄存器	20	模拟芯片状态寄存器	40
时钟分频器配置寄存器	21	编程、保护和调试	41
时钟门控使能寄存器	21	启动	41
时钟选择寄存器	22	安保特性	41
GPIO时钟复用选择到GPIO1引脚寄存器	22	安全特性	41
CLKCON0密钥保护寄存器	22	系统异常和外设中断	42
低功耗TIA斩波、看门狗和唤醒定时器的时钟控制寄存器	23	Cortex-M3和故障管理	42
OSCCON密钥保护寄存器	23	来自模拟芯片的中断源	44
振荡器控制寄存器	23	清除模拟芯片中断源	45
高功率振荡器配置寄存器	24	Cortex-M3 NVIC寄存器列表	46
功耗模式配置寄存器	24	外部中断配置	47
电源管理单元	25	寄存器汇总：系统异常和外设中断	48
电源管理单元特性	25	寄存器详解：系统异常和外设中断	49
电源管理单元工作原理	26	外部中断配置0寄存器	49
代码示例	27	外部唤醒中断状态寄存器	50
监控电压控制	28	外部中断清零寄存器	50
寄存器汇总：电源管理单元	29	无法屏蔽的中断清零寄存器	50
寄存器详解：电源管理单元	30	模拟芯片中断使能寄存器	51
电源监控中断使能寄存器	30	模拟芯片电路概述	52

ADC、高速DAC和相关放大器工作模式配置.....	52	失调校准LPTIA0通道寄存器	77
系统带宽配置.....	52	LPTIA0通道增益校准寄存器	77
寄存器汇总：模拟芯片电路.....	54	失调校准LPTIA1通道寄存器	77
寄存器详解：模拟芯片电路.....	55	LPTIA1通道增益校准寄存器	77
AFE配置寄存器.....	55	失调校准高速TIA通道寄存器	78
ADC电路.....	57	高速TIA通道增益校准寄存器	78
ADC电路概述.....	57	失调校准电压通道 (PGA增益 = 1) 寄存器.....	78
ADC电路特性.....	57	增益校准电压输入通道 (PGA增益 = 1) 寄存器.....	79
ADC电路工作原理	58	失调校准电压通道 (PGA增益 = 1.5) 寄存器.....	79
ADC转换函数.....	58	增益校准电压输入通道 (PGA增益 = 1.5) 寄存器.....	79
ADC低功耗电流输入通道.....	59	失调校准电压输入通道 (PGA增益 = 2) 寄存器.....	80
ADC输入电路.....	60	增益校准电压输入通道 (PGA增益 = 2) 寄存器.....	80
ADC后处理滤波器选项	60	失调校准电压输入通道 (PGA增益 = 4) 寄存器.....	80
平均、统计和异常值检测选项.....	61	增益校准电压输入通道 (PGA增益 = 4) 寄存器.....	81
内部温度传感器通道	62	失调校准电压输入通道 (PGA增益 = 9) 寄存器.....	81
ADC初始化	63	增益校准电压输入通道 (PGA增益 = 9) 寄存器.....	81
ADC校准.....	64	失调校准温度传感器通道0寄存器	82
ADC数字信号处理器(DSP)内置自测	65	增益校准温度传感器通道0寄存器	82
基准电压选项.....	66	最小值检查寄存器.....	82
寄存器汇总：ADC电路	67	最小缓慢移动值寄存器.....	82
寄存器详解：ADC电路	69	最大值检查寄存器.....	83
ADC配置寄存器.....	69	最大缓慢移动寄存器	83
ADC输出滤波器配置寄存器.....	70	变化值检查寄存器.....	83
原始结果寄存器	71	统计模块配置寄存器	83
DFT结果实部寄存器.....	71	均值输出寄存器	84
DFT结果虚部寄存器.....	72	DSPUPDATEEN寄存器的密钥访问.....	84
Sinc2和电源抑制滤波器结果寄存器	72	数字逻辑测试使能寄存器.....	84
温度传感器0结果寄存器.....	72	温度传感器1控制寄存器.....	84
模拟捕获中断使能寄存器.....	72	低功耗恒电势器放大器和低功耗TIA.....	85
模拟捕获中断寄存器	73	低功耗恒电势器放大器.....	85
AFE DSP配置寄存器	74	低功耗TIA.....	85
温度传感器0配置寄存器.....	75	低功耗DAC.....	88
高功率和低功耗缓冲器控制寄存器.....	75	寄存器汇总：低功耗TIA/恒电势器和DAC电路.....	92
ADC重复转换次数寄存器	76	寄存器详解：低功耗TIA/恒电势器和DAC电路.....	93
缓冲器配置寄存器.....	76	低功耗TIA控制位通道0寄存器	93
校准锁定寄存器	76		

低功耗TIA通道0开关配置寄存器	94	禁用衰减器（低功耗模式）的DAC偏移寄存器	114
低功耗TIA控制位通道1寄存器	95	使能衰减器（高功率模式）的DAC偏移寄存器	115
低功耗TIA通道1开关配置寄存器	97	禁用衰减器（高功率模式）的DAC偏移寄存器	115
LPDAC0数据输出寄存器	98	波形发生器配置寄存器	115
LPDAC0开关控制寄存器	98	波形发生器正弦波频率控制字寄存器	116
LPDAC0控制寄存器	99	波形发生器正弦波相位偏移寄存器	116
LPDAC1数据输出寄存器	99	波形发生器正弦波偏移寄存器	116
LPDAC1开关控制寄存器	100	波形发生器正弦波幅度寄存器	116
LPDAC1控制寄存器	100	将外部传感器连接到高速DAC和高速TIA的可编程	
低功耗基准电压源控制寄存器	101	开关	117
高速TIA电路	102	Dx开关	117
主要特性	102	Px开关	117
DE0和DE1输入配合高速TIA使用	104	Nx开关	117
外部R _{TIA} 选择	104	Tx开关	117
寄存器汇总：高速TIA电路	105	控制所有开关的选项	117
寄存器详解：高速TIA电路	106	寄存器汇总：可编程开关	120
高速R _{TIA} 配置寄存器	106	寄存器详解：可编程开关	121
DE1高速TIA电阻配置寄存器	106	开关矩阵配置寄存器	121
DE0高速TIA电阻配置寄存器	107	Dx开关矩阵全面配置寄存器	122
高速TIA放大器配置寄存器	107	Nx开关矩阵全面配置寄存器	123
高速DAC电路	108	Px开关矩阵全面配置寄存器	124
高速DAC输出信号生成	108	Tx开关矩阵全面配置寄存器	125
高速DAC核心功耗模式	108	Dx开关矩阵状态寄存器	126
休眠模式下的推荐配置	109	Px开关矩阵状态寄存器	126
高速DAC滤波器选项	109	Nx开关矩阵状态寄存器	127
高速DAC输出衰减选项	109	Tx开关矩阵状态寄存器	128
将来自高速DAC的交流信号耦合到低功耗DAC设置的		序列器	130
直流电平	109	序列器特性	130
在阻抗测量期间避免激励和测量频率之间的一致性		序列器概述	130
误差	110	序列器命令	130
校准高速DAC	110	序列器工作原理	131
寄存器汇总：高速DAC电路	112	序列器和FIFO寄存器	134
寄存器详解：高速DAC电路	113	AFE中断	139
高速DAC配置寄存器	113	中断控制器中断	139
直接写入DAC输出控制值寄存器	113	配置中断	139
DAC DC缓冲器配置寄存器	113	自定义中断	139
DAC增益寄存器	114	中断寄存器	140
使能衰减器（低功耗模式）的DAC偏移寄存器	114	睡眠和唤醒定时器	145

睡眠和唤醒定时器特性	145	通道主要/备选清零寄存器	180
睡眠和唤醒定时器概述	145	通道优先级设置寄存器	180
配置一个确定的序列顺序	145	通道优先级清零寄存器	180
睡眠和唤醒定时器建议操作	146	总线错误清零寄存器	181
睡眠和唤醒定时器寄存器	146	每通道总线错误寄存器	181
用例配置	150	每通道无效描述符清除寄存器	181
保持传感器直流偏置时的休眠模式	150	通道字节交换使能设置寄存器	182
测量直流电流输出	152	通道字节交换使能清零寄存器	182
脉冲测试 (计时安培分析法)	153	通道来源地址递减使能设置寄存器	182
循环伏安法	154	通道来源地址递减使能清零寄存器	183
保持传感器直流偏置时的交流阻抗测量	157	通道目标地址递减使能设置寄存器	183
DMA控制器	163	通道目标地址递减使能清零寄存器	183
DMA特性	163	FIFO配置寄存器	184
DMA概述	163	数据FIFO读寄存器	184
DMA模拟芯片	163	闪存控制器	185
DMA架构概念	164	闪存控制器特性	185
DMA工作模式	164	闪存控制器概述	185
通道控制数据结构	164	支持的命令	185
来源数据结束指针	165	保护和完整性特性	185
目标数据结束指针	165	闪存控制器工作原理	185
控制数据配置	166	闪存结构	186
DMA优先级	167	闪存访问	188
DMA传输类型	167	读取闪存	188
DMA中断和异常	173	擦除闪存	188
字节序操作	174	写入闪存	188
DMA通道使能和禁用	174	密钥孔写操作	189
DMA主机使能	175	突发写操作	189
关断注意事项	175	DMA写操作	190
寄存器汇总: DMA	176	保护和完整性	190
寄存器详解: DMA	177	密钥寄存器	192
状态寄存器	177	时钟与定时	193
配置寄存器	177	闪存工作模式	194
通道主要控制数据基指针寄存器	177	寄存器汇总: 闪存缓存控制器 (FLCC)	195
通道备选控制数据基指针寄存器	177	寄存器详解: 闪存缓存控制器 (FLCC)	196
通道软件请求寄存器	178	状态寄存器	196
通道请求屏蔽设置寄存器	178	中断使能寄存器	198
通道请求屏蔽清零寄存器	178	命令寄存器	199
通道使能设置寄存器	179	写入地址寄存器	200
通道使能清零寄存器	179	写入低位数据寄存器	200
通道主要/备选设置寄存器	179		

写入高位数据寄存器	200	数字芯片端口复用器	217
低页地址寄存器	200	AFE芯片数字端口复用器	217
高页地址寄存器	201	寄存器汇总: 数字输入和输出	218
密钥寄存器	201	寄存器详解: 数字输入和输出	220
写入中止地址寄存器	201	GPIO端口配置寄存器	220
写保护寄存器	201	GPIO端口输出使能寄存器	220
签名寄存器	202	GPIO端口输入/输出上拉使能寄存器	220
用户配置寄存器	202	GPIO端口输入路径使能寄存器	221
IRQ中止使能 (低位) 寄存器	203	GPIO端口寄存数据输入寄存器	221
IRQ中止使能 (高位) 寄存器	203	GPIO端口数据输出寄存器	221
ECC配置寄存器	203	GPIO端口数据输出设置寄存器	221
ECC状态 (地址) 寄存器	203	GPIO端口数据输出清零寄存器	222
ADI闪存安保寄存器	204	GPIO端口引脚反转寄存器	222
SRAM	205	GPIO端口中断极性寄存器	222
SRAM特性	205	GPIO端口中断A使能寄存器	222
指令与数据SRAM	206	GPIO端口中断B使能寄存器	223
休眠模式下的SRAM内容保留	206	GPIO端口中断状态寄存器	223
SRAM初始化	206	GPIO端口驱动强度选择寄存器	223
缓存	208	AFE GPIO端口配置寄存器	223
缓存和指令SRAM中的初始化	208	AFE GPIO端口输出使能寄存器	224
编程指南	208	AFE GPIO端口输出上拉和下拉使能寄存器	224
寄存器汇总: 缓存 (FLCC_CACHE)	209	AFE GPIO端口输入路径使能寄存器	224
寄存器详解: 缓存 (FLCC_CACHE)	210	AFE GPIO端口寄存数据输入	224
缓存状态寄存器	210	AFE GPIO端口数据输出寄存器	224
缓存设置寄存器	210	AFE GPIO端口数据输出设置寄存器	225
缓存密钥寄存器	210	AFE GPIO端口数据输出清零寄存器	225
芯片标识	211	AFE GPIO端口引脚反转寄存器	225
寄存器汇总: 系统 (数字芯片)	212	I ² C串行接口	226
寄存器详解: 系统 (数字芯片)	213	I ² C特性	226
ADI标识 (数字芯片) 寄存器	213	I ² C概述	226
芯片标识符 (数字芯片) 寄存器	213	I ² C工作原理	226
串行线调试使能寄存器	213	I ² C工作模式	228
ADI标识 (模拟芯片) 寄存器	213	寄存器汇总: I ² C	231
芯片标识 (模拟芯片) 寄存器	213	寄存器详解: I ² C	232
16位暂存寄存器测试芯片间通信寄存器	213	主机控制寄存器	232
数字输入和输出	214	主机状态寄存器	232
数字输入和输出特性	214	主机接收数据寄存器	233
数字输入和输出概述	214	主机发送数据寄存器	234
数字输入和输出操作	215	主机接收数据计数寄存器	234
中断	215	主机当前接收数据计数寄存器	234

第一主机地址字节寄存器.....	234	UART概述.....	256
第二主机地址字节寄存器.....	234	UART特性.....	256
串行时钟周期分频寄存器.....	235	UART工作原理.....	256
从机控制寄存器.....	235	寄存器汇总: UART.....	259
从机I ² C状态、错误和IRQ寄存器.....	236	寄存器详解: UART.....	260
从机接收寄存器.....	237	发送保持寄存器.....	260
从机发送寄存器.....	237	接收缓冲寄存器.....	260
硬件广播ID寄存器.....	237	中断使能寄存器.....	260
第一从机地址器件ID寄存器.....	237	中断识别寄存器.....	261
第二从机地址器件ID寄存器.....	238	线路控制寄存器.....	261
第三从机地址器件ID寄存器.....	238	调制解调器控制寄存器.....	262
第四从机地址器件ID寄存器.....	238	线路状态寄存器.....	262
主机和从机FIFO状态寄存器.....	238	调制解调器状态寄存器.....	263
主机和从机共享控制寄存器.....	239	暂存缓冲寄存器.....	263
主机和从机自动延展控制模式寄存器.....	239	FIFO控制寄存器.....	263
串行外设接口.....	241	小数波特率寄存器.....	264
SPI特性.....	241	波特率分频器寄存器.....	264
SPI概述.....	241	第二线路控制寄存器.....	264
SPI工作原理.....	241	UART控制寄存器.....	265
SPI传输启动.....	242	接收FIFO计数寄存器.....	265
SPI中断.....	244	发送FIFO计数寄存器.....	265
SPI线或模式.....	245	RS485半双工控制寄存器.....	265
SPI CSERR状况.....	245	自动波特率控制寄存器.....	266
SPI DMA.....	245	自动波特率状态(低)寄存器.....	266
SPI和关断模式.....	246	自动波特率状态(高)寄存器.....	266
寄存器汇总: SPI0/SPI1.....	247	数字芯片通用定时器.....	267
寄存器详解: SPI0/SPI1.....	248	数字芯片通用定时器特性.....	267
状态寄存器.....	248	通用定时器概述.....	267
接收寄存器.....	249	通用定时器工作原理.....	267
发送寄存器.....	249	寄存器汇总: 通用定时器.....	270
波特率选择寄存器.....	249	寄存器详解: 通用定时器.....	271
配置寄存器.....	250	16位同步加载值寄存器.....	271
中断配置寄存器.....	251	16位定时器同步值寄存器.....	271
传输字节计数寄存器.....	252	控制寄存器.....	271
DMA使能寄存器.....	252	清除中断寄存器.....	272
FIFO状态寄存器.....	253	捕捉寄存器.....	272
读取控制寄存器.....	254	16位异步加载值寄存器.....	273
流控制寄存器.....	255	16位定时器异步值寄存器.....	273
流控制等待定时器寄存器.....	255	状态寄存器.....	273
片选覆盖寄存器.....	255	模拟芯片通用定时器.....	274
UART串行接口.....	256		

模拟芯片通用定时器特性.....	274	WUT功能描述.....	287
AFE PWM.....	274	WUT工作模式.....	288
寄存器汇总：模拟芯片通用定时器.....	275	WUT建议：时钟和电源.....	288
寄存器详解：模拟芯片通用定时器.....	276	寄存器汇总：数字芯片唤醒定时器.....	290
16位加载值寄存器.....	276	寄存器详解：数字芯片唤醒定时器.....	291
16位定时器值寄存器.....	276	控制0寄存器.....	291
控制寄存器.....	276	状态0寄存器.....	292
清除中断寄存器.....	277	状态1寄存器.....	294
16位加载值，异步寄存器.....	277	计数0寄存器.....	295
16位定时器值，异步寄存器.....	277	计数1寄存器.....	295
状态寄存器.....	278	警报0寄存器.....	296
PWM控制寄存器.....	278	警报1寄存器.....	296
PWM匹配值寄存器.....	278	网关寄存器.....	296
中断使能寄存器.....	279	控制1寄存器.....	297
16位加载值寄存器.....	279	状态2寄存器.....	298
16位定时器值寄存器.....	279	快照0寄存器.....	299
控制寄存器.....	279	快照1寄存器.....	300
清除中断寄存器.....	280	快照2寄存器.....	300
16位加载值，异步寄存器.....	280	模数寄存器.....	300
16位定时器值，异步寄存器.....	281	计数2寄存器.....	301
状态寄存器.....	281	警报2寄存器.....	301
PWM控制寄存器.....	281	状态6寄存器.....	302
PWM匹配值寄存器.....	281	循环冗余校验.....	303
AFE看门狗定时器.....	282	CRC特性.....	303
看门狗定时器特性和框图.....	282	CRC功能描述.....	303
看门狗定时器工作原理.....	282	CRC数据传输.....	306
窗式看门狗特性.....	282	CRC中断和异常.....	306
中断模式.....	282	CRC编程模型.....	306
寄存器汇总：AFE看门狗定时器.....	283	寄存器汇总：CRC.....	308
寄存器详解：AFE看门狗定时器.....	284	寄存器详解：CRC.....	309
看门狗定时器加载值寄存器.....	284	CRC控制寄存器.....	309
当前计数值寄存器.....	284	输入数据字寄存器.....	309
看门狗定时器控制寄存器.....	284	CRC结果寄存器.....	309
刷新看门狗寄存器.....	285	可编程CRC多项式寄存器.....	309
定时器状态寄存器.....	285	输入数据位寄存器.....	310
最小加载值寄存器.....	286	输入数据字节寄存器.....	310
数字芯片唤醒定时器.....	287	硬件设计考虑.....	311
概述.....	287	典型系统配置.....	311
产品特性.....	287	串行线调试接口.....	312
定期和周期模60中断.....	287		
定时器匹配警报值中断.....	287		

修订历史

2020年2月—修订版A至修订版B

PLCC_CACHE更改为PLCC.....	通篇	更改“统计模块配置寄存器”部分和表101.....	83
更改表9.....	20	更改“低功耗DAC”部分.....	88
更改“电源管理单元特性”部分.....	25	更改图19.....	89
删除“关断模式”部分.....	25	更改“电化学电流测量”部分.....	90
删除“关断模式，模式3”部分.....	26	更改“电化学阻抗谱分析”部分.....	91
更改“唤醒时序”部分.....	28	更改表109.....	93
更改表21.....	29	更改表111.....	96
更改表24.....	30	更改表114.....	98
更改表25.....	31	更改表115.....	99
删除“关断状态寄存器”部分和表27；重新排序.....	32	更改表117.....	100
更改表29.....	33	更改“主要特性”部分和表120.....	102
“关断后清除GPIO锁存寄存器”部分更改为“功耗模式寄存器”部分.....	34	更改“DE0和DE1输入配合高速TIA使用”部分和“外部R _{TIA} 选择”部分.....	104
更改表31.....	34	更改表123.....	106
删除“暂存区镜像寄存器”部分和表33.....	34	更改表124.....	107
删除“电池域中保存暂存区寄存器”部分和表34.....	35	更改“Dx开关矩阵状态寄存器”部分和“Px开关矩阵状态寄存器”部分.....	126
更改“ARM Cortex-M3处理器特性”部分.....	35	更改“Nx开关矩阵状态寄存器”部分.....	127
更改“ARM Cortex-M3处理器相关文档”部分.....	36	更改“Tx开关矩阵状态寄存器”部分.....	128
更改“Cortex-M3和故障管理”部分及表41.....	42	增加“序列器”部分、“序列器特性”部分、“序列器概述”部分、“序列器命令”部分和“写命令”部分.....	130
更改表42.....	45	增加“定时器命令”部分、图28、图29、图30和“序列器工作原理”部分；重新排序.....	131
更改表46.....	49	增加图31、“命令存储器”部分、“加载序列”部分和“数据FIFO”部分.....	132
更改表47和表48.....	50	增加“数据FIFO字格式”部分、“序列器与睡眠和唤醒定时器”部分、“序列器冲突”部分、表153、图32和图33.....	133
更改“模拟芯片电路概述”部分.....	52	增加“序列器和FIFO寄存器”部分、表154、“序列器配置寄存器”部分和表155.....	134
更改“ADC电路概述”部分.....	57	增加“FIFO配置寄存器”部分、表156、“序列器CRC值寄存器”部分、表157、“序列器命令计数寄存器”部分、表158、“序列器超时计数器寄存器”部分和表159.....	135
更改“ADC电路特性”部分.....	58	增加“数据FIFO读取寄存器”部分、表160、“命令FIFO写入寄存器”部分、表161、“序列器睡眠控制锁定寄存器”部分、表162、“序列器触发睡眠寄存器”部分、表163、“序列0信息寄存器”部分和表164.....	136
更改图9.....	59	增加“序列2信息寄存器”部分、表165、“命令FIFO写地址寄存器”部分、表166、“命令数据控制寄存器”部分、表167、“数据FIFO阈值寄存器”部分和表168.....	137
更改“Sinc3滤波器”部分和“Sinc2滤波器”部分.....	60	增加“序列3信息寄存器”部分、表169、“序列1信息寄存器”部分、表170、“命令和数据FIFO内部数据计数寄存器”部分、表171、“触发序列寄存器”部分和表172.....	138
更改“统计选项”部分.....	61	增加“AFE中断”部分、“中断控制器中断”部分、“配置中断”部分、“自定义中断”部分和表173.....	139
更改“温度传感器0”部分.....	62		
更改“温度传感器1”部分.....	63		
更改“ADC初始化”部分.....	64		
更改图14.....	66		
更改表59和表61.....	67		
更改表64.....	70		
更改表70.....	72		
更改表71.....	73		
更改表73.....	75		
更改表76.....	76		
删除“失调消除（可选校准）寄存器”部分和表100.....	82		
删除“使用直流消除的增益消除（PGA增益= 4），可选校准寄存器”部分和表101.....	83		
删除“方差输出寄存器”部分和表107.....	84		

增加“中断寄存器”部分、表174、“中断极性寄存器”部分、表175、“中断清零寄存器”部分和表176.....	140
增加“中断控制器选择寄存器”部分和表177.....	141
增加“中断控制器标志寄存器”部分和表178.....	142
增加“模拟生成中断寄存器”部分和表179.....	144
增加“睡眠和唤醒定时器”部分、“睡眠和唤醒定时器特性”部分、图34、“睡眠和唤醒定时器概述”部分、图35、“配置一个确定的序列顺序”部分和图36.....	145
增加“睡眠和唤醒定时器建议操作”部分、“睡眠和唤醒定时器寄存器”部分和表180.....	146
增加“定时器控制寄存器”部分、表181、“顺序控制寄存器”部分和表182.....	147
增加“序列0到序列3唤醒时间寄存器(LSB)”部分、表183、“序列0到序列3唤醒时间寄存器(MSB)”部分和表184.....	148
增加“序列0到序列3睡眠时间寄存器(LSB)”部分、表185、“序列0到序列3睡眠时间寄存器(MSB)”部分、表186、“定时器唤醒配置寄存器”部分和表187.....	149
更改“使用高速TIA实施脉冲测试”部分和“循环伏安法”部分.....	154
更改第4步：通过阻抗测量引擎测量 R_{CAL} 部分.....	161
更改第5步：计算电化学传感器检测电极节点阻抗部分.....	162
更改“DMA模拟芯片”部分和“AFE芯片数据FIFO”部分.....	163
更改“程序流程”部分.....	164
更改“地址递减”部分.....	173
更改表219.....	184
更改“指令与数据SRAM”部分.....	206
更改“编程指南”部分.....	208
更改表255.....	217
更改图58.....	227
更改“自动时钟延展”部分.....	229
更改“执行SPI DMA主机接收”部分.....	246
更改“通用定时器概述”部分.....	267

更改表345.....	271
更改表350.....	273
增加“AFE PWM”部分.....	274
更改表365.....	279
更改“DMA访问步骤”部分.....	306
更改表403.....	307

2019年8月—修订版0至修订版A	
更改“模拟芯片时钟特性”部分.....	13
更改图2.....	14
更改“AFE芯片时钟连接到数字芯片时钟输入”部分.....	15
更改表11.....	20
更改“ADC转换函数”部分和“ADC低功耗电流输入通道”部分.....	59
更改表57.....	61
更改“温度传感器0”部分.....	62
更改图12.....	63
更改“ADC初始化”部分.....	64
更改表68.....	70
更改表79和表80.....	76
增加图18；重新排序.....	88
更改图22.....	105
更改表228.....	201
删除表277中的寄存器0x40004030和寄存器0x40024030.....	231
删除“多从机连接的片选控制寄存器”部分和表290；重新排序.....	240
更改表317.....	255

2019年3月—修订版0：初始版

使用ADuCM355参考手册

表1. 数字符号

符号	描述
位N	各位按从小到大顺序格式编号，一个数的最低有效位表示为位0。
V[x:y]	一个值或一个字段(V)的位x到位y的范围用位域格式V[x:y]表示。
0xNN	十六进制数加前缀0x。
0bNN	二进制数加前缀0b。

表2. 寄存器访问约定

模式	描述
R/W	存储器位置可读可写。
RC	存储器位置读取后清0。
R	存储器位置只能读取。始终读出0，除非另有说明。
W	存储器位置只能写入。
R/W1C	存储器位置可读。要清除为0，须将1写入存储器位置（写一次）。

未记载的存储器映射寄存器(MMR)位予以保留。当写入含保留位的MMR时，除非另有说明，写入保留位的值须与相关MMR描述的复位栏中的值相同。

请注意，在整篇用户指南中，多功能引脚（如P0.0/SPI0_CLK）由整个引脚名称或引脚的单个功能表示；例如P0.0即表示仅与此功能相关。

在头文件中，寄存器按堆栈分组，例如CLKG0_CLK和AFECON。这些堆栈名称用作指向关联结构中每个元素的指针，并用于访问特定寄存器。例如，要访问STAT0寄存器，用户必须输入以下内容：

```
pADI_CLKG0_CLK->STAT0
```

并非所有寄存器都有堆栈，如果没有堆栈，则本硬件参考手册中的寄存器名称前不加堆栈名称。

ADuCM355简介

ADuCM355主要特性

模数转换器(ADC)具有以下特性:

- 16位多通道逐次逼近寄存器(SAR) ADC。
- 多达34个输入通道, 可通过输入多路复用器进行编程。
- 低噪声跨阻放大器(TIA), 用于精确测量电流。
- 低噪声可编程增益放大器(PGA), 用于精确测量小输入电压信号。
- 内部1.82 V和2.5 V基准电压源。
- 硬件加速器, 包括数字离散傅里叶变换(DFT)计算。

数模转换器(DAC)具有以下特性:

- 低功耗、低噪声放大器, 设计用于偏置外部电化学传感器。
- 两个双输出、低功耗DAC, 设计用于设置外部传感器偏置电压并支持脉冲和伏安电化学技术。
- 可编程开关配置, 支持与各种传感器和外部引脚接口。
- 高带宽DAC和激励放大器, 设计用于产生高达200 kHz的激励信号以进行阻抗测量。

ADuCM355具有以下通信特性:

- 行业标准16450/16550通用异步接收器/发射器(UART)外设, 并支持直接存储器访问(DMA)。还支持通过UART接收输入从休眠模式唤醒。
- I²C, 用于主机和从机的2字节发送和接收先进先出(FIFO), 并支持DMA。
- 两个串行外设接口(SPI), 具有主机或从机模式、独立的4字节接收和发送FIFO以及接收和发送DMA通道。
- 多个通用输入/输出(GPIO)引脚。

ADuCM355的处理器使用以下模块工作:

- Arm® Cortex™-M3处理器, 采用内部26 MHz系统时钟工作。
- 数字芯片上有128 kB Flash/EE存储器、64 kB静态随机存取存储器(SRAM)。
- 通过串行线在线编程和调试。

片上外设如下:

- 数字芯片上有三个通用定时器。模拟芯片上有两个通用定时器。
- 数字芯片上有唤醒定时器。模拟芯片上有一个可选唤醒定时器。
- 模拟芯片上有独立看门狗定时器。

封装为6 mm × 5 mm 72引脚基板栅格阵列封装(LGA)封装, 温度范围为-40°C至+ 85°C。ADuCM355评估套件包含一个低成本开发系统以及第三方编译器和仿真器工具支持。

ADuCM355的应用包括:

- 气体探测。
- 食品质量。
- 环境检测 (空气、水和土壤)。
- 血糖仪。
- 生命科学和生物感测分析。
- 生物阻抗测量。
- 一般安培法、伏安法和阻抗。

该器件的存储器组织如下:

- Arm Cortex-M3存储器系统特性包括预定义的存储器映射, 并支持原子式操作的位带操作、以及不对齐的数据访问。
- 片上外设通过位于位带区中的存储器映射寄存器访问。
- 用户存储器大小选项有128 kB Flash/EE存储器和64 kB SRAM。
- 片上内核使用制造商数据引导器件。

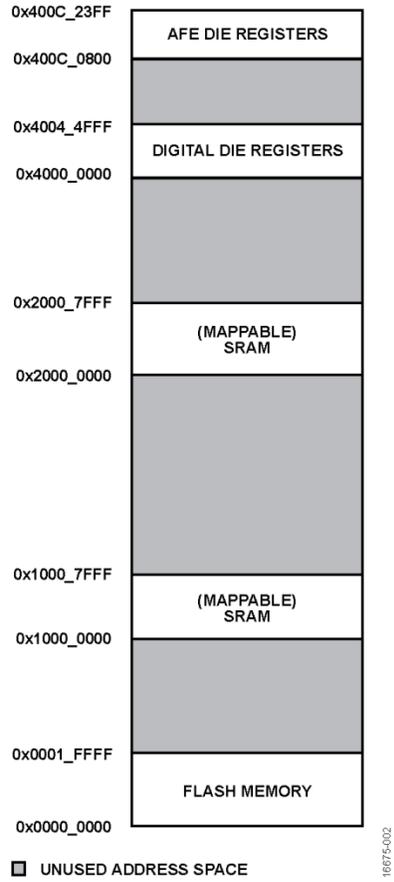


图1. Arm Cortex-M3存储器映射图

时钟架构

时钟架构工作原理

ADuCM355含有两个内部芯片。因此，它有两个独立的时钟系统：数字芯片时钟系统和模拟芯片时钟系统。图2显示了整体时钟架构。

数字芯片和模拟芯片系统时钟的时钟比要求

为了维持数字芯片和模拟芯片之间的可靠通信，数字芯片系统时钟频率与模拟芯片系统时钟频率之比必须在3:1到1:3的范围内。例如，若数字芯片系统时钟设置为6.5 MHz，则模拟芯片系统时钟必须大于2.2 MHz但小于19 MHz。如果不保持该比率，数字芯片可能会失去与模拟芯片的通信链接。

数字芯片时钟特性

上电时，处理器从内部26 MHz振荡器执行，振荡器输出四分频，向中央处理单元(CPU)提供6.5 MHz的时钟。用户代码可选择数字芯片系统时钟的时钟源，并以1到32的系数将该时钟分频，时钟分频器位由CTL1寄存器的位[5:0]控制，支持降低代码执行速度和功耗。

切换时钟源时，必须始终将一个稳定的时钟连接到内核。否则，系统可能在连接到新时钟之前停止运行。数字芯片时钟具有如下特性：

- 低频振荡器是一个32 kHz内部振荡器。
- 高频振荡器是一个26 MHz内部振荡器。
- 外部16 MHz和32 MHz晶振选项，通过模拟芯片路由。
- 外部时钟输入选项，通过模拟芯片路由。
- 根时钟分频为若干内部时钟。
- 参考时钟(RCLK)为闪存控制器中的参考定时器提供时钟。RCLK控制闪存擦除和写入操作的时间。默认情况下，RCLK始终连接到13 MHz时钟源。时钟源由连接到26 MHz高频振荡器的 $\frac{1}{2}$ 分频器产生。因此，闪存定时器寄存器的默认值对应于13 MHz时钟。
- 高功率降压调节器为高功率降压模块提供时钟。使能高功率降压调节器时，该时钟源始终为200 kHz。高功率降压调节器由电源管理单元(PMU)中的CTL1寄存器使能和禁用。

模拟芯片时钟特性

上电时，内部高频振荡器被选择为模拟前端(AFE)系统时钟，设置为16 MHz。用户代码可以1到32的系数将时钟分频，时钟分频器位由CLKCON0位[5:0]控制，支持降低功耗。

模拟芯片的系统性能仅在系统时钟为16 MHz的情况下进行了验证。模拟芯片时钟具有如下特性：

- AFE低频振荡器是一个32 kHz内部振荡器，用于模拟芯片看门狗定时器。
- AFE高频振荡器是一个16 MHz或32 MHz内部振荡器。32 MHz设置仅用于为ADC提供时钟以测量80 kHz以上的信号，尤其适用于高频阻抗测量。如果使用32 MHz时钟，应确保CLKCON0位[5:0] = 2，以将数字芯片时钟源限制为16 MHz。要选择32 MHz振荡器选项，请使用以下代码序列：

```
pADI_AFECON->CLKEN1 |= BITM_AFECON_CLKEN1_ACLKDIS; // Temporarily disable ACLK
pADI_AFE->HPOSCCON &= (~0x4); // Clear HPOSCCON[2] = 0 to select 32 MHz output
pADI_AFECON->CLKEN1 &= (~BITM_AFECON_CLKEN1_ACLKDIS); // Re-enable ACLK
```

高功率振荡器配置寄存器受密钥保护，临时禁用模拟时钟(ACLK)可确保高频振荡器从16 MHz安全切换到32 MHz或从32 MHz切换到16 MHz。

- 外部16 MHz和32 MHz晶振选项。如果使用32 MHz晶振，应确保CLKCON0位[5:0] = 2，以将数字芯片时钟源限制为16 MHz。
- 外部时钟输入选项。如果使用32 MHz晶振，应确保CLKCON0位[5:0] = 2，以将数字芯片时钟源限制为16 MHz。
- 使用模拟芯片上的32 MHz振荡器时，须将AFECON中的PMBW寄存器配置为高功率模式。
- 注意，ADC时钟不能分频。其运行速度与CLKSEL位[3:2]选择的高频振荡器速度相同。

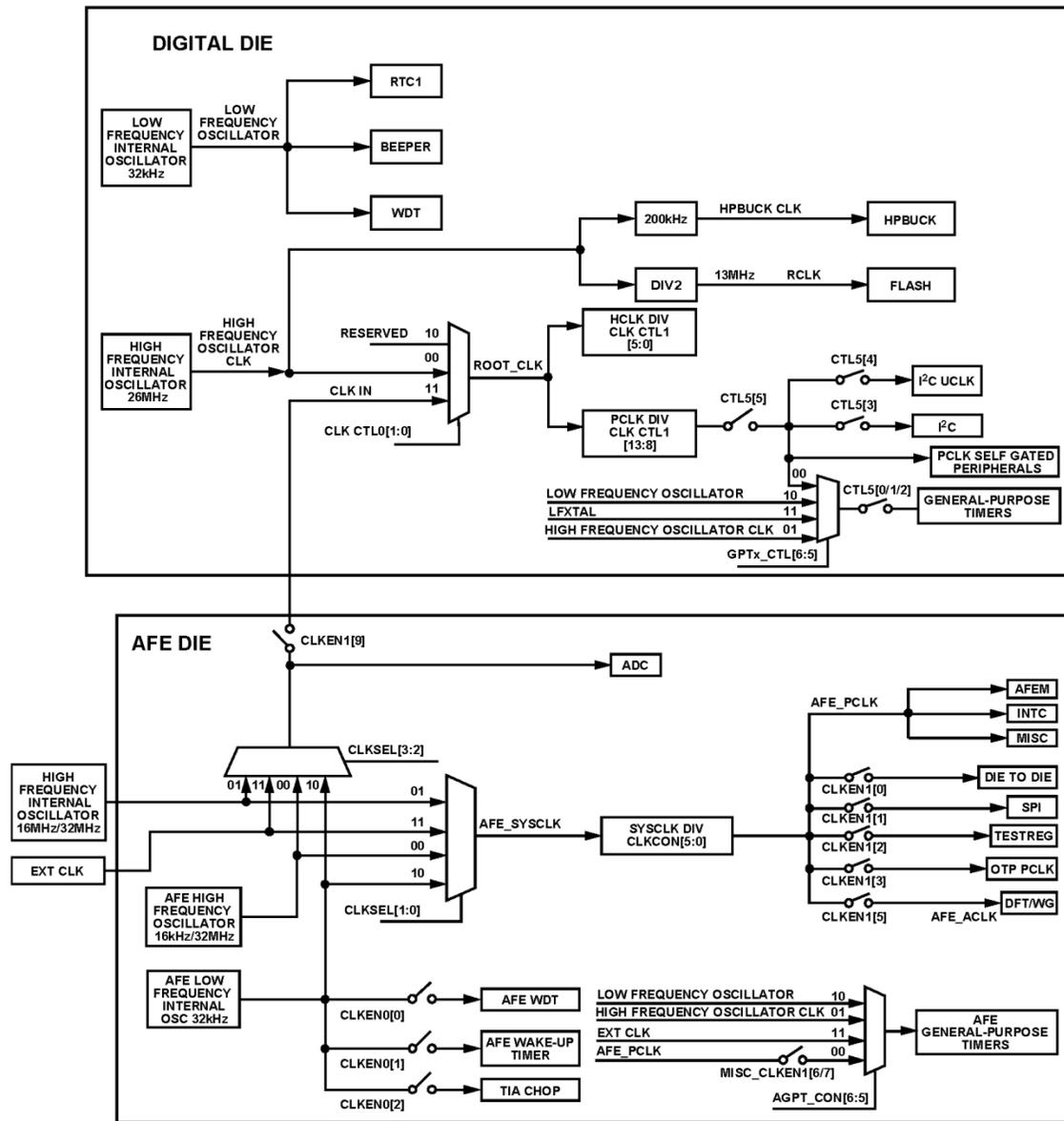


图2. 时钟架构功能框图

时钟门控

对于某些时钟，可以根据功耗模式或寄存器设置单独选通时钟。有关时钟门控和功耗模式的更多信息，请参阅“电源管理单元”部分。

在数字芯片上，外设时钟的时钟门控在某些功耗模式下可由用户控制。CLKG0_CLK中的寄存器CTL5可编程以关闭某些时钟，具体取决于用户应用。将CTL5寄存器中的相应位设置为1，可禁用个别模块的时钟。

在模拟芯片上，使用CLKEN0寄存器和CLKEN1寄存器可禁用模拟芯片上不同外设的系统时钟。

AFE芯片时钟连接到数字芯片时钟输入

AFE芯片的16 MHz振荡器比数字芯片上的26 MHz高频振荡器更精确。对于UART通信，应选择AFE芯片16 MHz振荡器作为数字芯片的输入时钟。在内部，AFE系统时钟可以连接到AFE上的内部焊盘P2.2。一条内部焊线将此AFE芯片焊盘连接到数字芯片上的数字芯片焊盘P1.10，可以将其配置为数字芯片的外部时钟输入。

要连接并选择AFE芯片16 MHz振荡器作为数字芯片的外部时钟输入，请执行以下步骤：

1. 使能AFE芯片焊盘P2.2作为输出。

```
pADI_AGPIO2->OEN |= 0x4;
```
2. 将内部数字芯片焊盘P1.10配置为输入，并将其模式配置为EXT_CLKIN。

```
DioCfgPin(pADI_GPIO1, PIN10, 2); // External Clock mode for Digital die P1.10
DioIenPin(pADI_GPIO1, PIN10, 1); // Enable p1.10 input path
```
3. 清除CLKEN1的位[9:8]。用户需要闭合AFE芯片上的开关，以将AFE芯片时钟连接到P2.2焊盘。

```
pADI_AFECON->CLKEN1 &= 0x0FF; // Clear CLKEN1 bits 9:8
```
4. 从AFE芯片中选择数字芯片时钟源作为外部时钟。

```
DigClkSel(DIGCLK_SOURCE_AFE);
```

如果时钟源为32 MHz外部晶振，则设置CLKCON[9:6] = 2以确保数字芯片的时钟为16 MHz。

休眠模式和数字芯片上选择的AFE芯片时钟

进入休眠模式之前，应将数字芯片时钟源切换回数字芯片时钟。如果两个芯片均处于休眠模式且两个芯片均使用AFE芯片时钟，则器件不会唤醒，因为从休眠模式唤醒时，数字芯片会首先唤醒。然后，数字芯片必须读取或写入AFE芯片寄存器以唤醒AFE芯片。如果AFE芯片是两个芯片的时钟源，则唤醒序列不会完成。

要进入休眠模式，请使用以下建议操作顺序：

```
DigClkSel(DIGCLK_SOURCE_HFOSC); // Switch digital die clock back to its own oscillator
pADI_UART0->COMDIV = 0; // Clear COMDIV to ensure UART operates after wake-up
EnterHibernateMode(); // Enter Hibernate mode
```

要退出休眠模式以切换回仅使用AFE时钟的模式，请使用以下建议的操作顺序：

```
uiDummyRead = pADI_AFE->LPDACCON0; // Dummy read to wake-up AFE die
delay_10us(2000); // Wait 20mS
DigClkSel(DIGCLK_SOURCE_AFE);
UrtCfg(pADI_UART0, B57600, // Re-Initialize the UART
(BITM_UART_COMLCR_WLS|3), 0); // Configure UART for 57600 baud rate
printf("Digital Die clocked by AFE die's 16MHz oscillator \r\n");
```

寄存器汇总：时钟架构

表3. 数字芯片系统时钟寄存器汇总 (CLKG0_CLK堆栈)

地址	名称	描述	复位	访问类型
0x4004C10C	KEY	CTL寄存器的密钥保护	0x00000000	R/W
0x4004C110	CTL	振荡器控制	0x00000302	R/W
0x4004C300	CTL0	时钟控制0	0x00000078	R/W
0x4004C304	CTL1	时钟分频器	0x00100404	R/W
0x4004C314	CTL5	用户时钟门控	0x0000001F	R/W
0x4004C318	STAT0	时钟状态	0x00000000	R/W

表4. 模拟芯片时钟寄存器汇总 (AFECON堆栈)

地址	名称	描述	复位	访问类型
0x400C0408	CLKCON0	时钟分频器配置	0x0441	R/W
0x400C0410	CLKEN1	时钟门控使能	0x010A	R/W
0x400C0414	CLKSEL	时钟选择	0x0000	R/W
0x400C041C	GPIOCLKMUXSEL	GPIO时钟复用器选择到GPIO1引脚	0x0000	R/W
0x400C0420	CLKCON0KEY	CLKCON0的密钥保护	0x0000	R/W
0x400C0A70	CLKEN0	低功耗TIA斩波、看门狗和唤醒定时器的时钟控制	0x0000	R/W
0x400C0A0C	OSCKEY	OSCCON的密钥保护	0x0000	R/W
0x400C0A10	OSCCON	振荡器控制	0x0303	R/W
0x400C20BC	HPOSCCON	高功率振荡器配置	0x00000024	R/W
0x400C22F0	PMBW	功耗模式配置寄存器	0x00000000	R/W

寄存器详解：时钟架构

CTL寄存器的密钥保护

地址：0x4004C10C，复位：0x00000000，名称：KEY

表5. KEY的位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0000	R
[15:0]	VALUE	0xCB14	振荡器密钥。CTL寄存器受密钥保护。要解除此保护，须在写入CTL之前将0xCB14写入KEY。若在写入CTL之前写入Arm外设总线上的任何其他寄存器，则保护将返回锁定状态。	0x0000	W

振荡器控制寄存器

地址：0x4004C110，复位：0x00000302，名称：CTL

CTL寄存器受密钥保护。要解除此保护，须在写入CTL寄存器之前将0xCB14写入KEY。若在写入CTL寄存器之前写入Arm外设总线上的任何其他寄存器，则保护将返回锁定状态。

表6. CTL位功能描述

位	位名称	设置	描述	复位	访问类型
[31:10]	保留		保留。	0x0	R
9	HFOSCOK		数字芯片上高频振荡器的状态。此位指示振荡器使能后何时稳定下来。此位无监视功能，并不指示随后稳定性是否丧失。 0 振荡器尚未稳定或被禁用。 1 振荡器已使能且稳定，可供使用。	0x1	R
8	LFOSCOK		数字芯片上低频振荡器的状态。此位指示振荡器使能后何时稳定下来。此位无监视功能，并不指示随后稳定性是否丧失。 0 振荡器尚未稳定或被禁用。 1 振荡器已使能且稳定，可供使用。	0x1	R
[7:2]	保留		保留。	0x0	R
1	HFOSCEN		高频内部振荡器使能。此位用于使能和禁用数字芯片上的高频振荡器。振荡器在使用前必须处于稳定状态。必须先设置此位，然后才能启动SYSRESETREQ系统复位。SYSRESETREQ是Arm Cortex-M3 AIRCR寄存器中的一位。 0 禁用高频振荡器并将其置于低功耗状态。 1 使能高频振荡器。	0x1	R/W
0	保留		保留。此位必须始终为0。	0x0	R/W

时钟控制0寄存器

地址：0x4004C300，复位：0x00000078，名称：CTL0

时钟控制0寄存器用于配置内核、存储器和外设等各种系统使用的时钟源。所有未使用的位都是只读位，返回值为0。写入未使用的位无效。

表7. CTL0的位功能描述

位	位名称	设置	描述	复位	访问类型
[31:2]	保留		保留。	0x00000000	R
[1:0]	CLKMUX		时钟复用选择。确定门控系统时钟（数字芯片上的外设时钟(PCLK)）和高速时钟(HCLK)分频器使用哪个共享时钟源。 00 选择高频内部振荡器。 01, 10 保留。 11 从模拟芯片路由的外部时钟。可以是外部晶振或时钟源。	0x0	R/W

时钟分频器寄存器

地址：0x4004C304；复位：0x00100404；名称：CTL1

时钟分频器寄存器用于设置HCLK、PCLK和ACLK分频器的分频比率。此寄存器可以随时写入。所有未使用的位都是只读位，返回值为0。写入未使用的位无效。

表8. CTL1位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x0	R
[23:16]	ACLKDIVCNT		ACLK时钟分频器。此位根据公式 $ACLK = \text{根时钟}/ACLKDIVCNT$ 确定ACLK速率。例如，若根时钟为26 MHz， $ACLKDIVCNT = 0x1$ ，则ACLK工作频率为26 MHz。ACLKDIVCNT的值在对该寄存器执行写操作后生效，通常需要一个ACLK周期。此寄存器可以随时读取，也可以随时写入。值范围为1到32。大于32的值取32。值0和值1的结果相同，都是除以1。此寄存器的默认值配置 $ACLK = 1.625$ MHz。	0x10	R/W
[15:14]	保留		保留。	0x0	R
[13:8]	PCLKDIVCNT		PCLK时钟分频器。根据公式 $PCLK = \text{根时钟}/PCLKDIVCNT$ 确定PCLK速率。例如，若根时钟为26 MHz， $PCLKDIVCNT = 0x2$ ，则PCLK工作频率为13 MHz。PCLKDIVCNT的值在对该寄存器执行写操作后生效，通常需要2到4个PCLK周期。此寄存器可以随时读取，也可以随时写入。值范围为1到32。大于32的值取32。值0和值1的结果相同，都是除以1。此寄存器的默认值配置 $PCLK = 6.5$ MHz。建议仅使用0x1、0x2或0x4值，并让PCLKDIVCNT与HCLKDIVCNT匹配。	0x4	R/W
[7:6]	保留		保留。	0x0	R
[5:0]	HCLKDIVCNT		HCLK分频计数。根据以下公式确定HCLK速率： $HCLK = \text{根时钟}/HCLKDIVCNT$ 。例如，若根时钟为26 MHz， $HCLKDIVCNT = 0x1$ ，则HCLK工作频率为26 MHz。HCLKDIVCNT的值在对该寄存器执行写操作后生效，通常需要2到4个PCLK周期（非HCLK周期）。此寄存器可以随时读取，也可以随时写入。值范围为1到32。大于32的值取32。值0和值1的结果相同，都是除以1。此寄存器的默认值配置 $HCLK = 6.5$ MHz。建议仅使用0x1、0x2或0x4值，并让HCLKDIVCNT与PCLKDIVCNT匹配。	0x4	R/W

用户时钟门控寄存器

地址：0x4004C314；复位：0x0000001F；名称：CTL5

用户时钟门控用于控制外设的时钟选通。

表9. CTL5的位功能描述

位	位名称	设置	描述	复位	访问类型
[31:6]	保留		保留。	0x0	R
5	PERCLKOFF		<p>外设时钟关闭。此位用于禁用连接到所有外设的所有时钟。设置此位后，对任何外设寄存器的读或写操作都会自动将PERCLKOFF复位为0，并且该读或写事务会被处理。设置$PERCLKOFF = 1$后，如果用户读取CTL5寄存器，则PERCLKOFF自动清零，并且PERCLKOFF读取值为0。用户必须确保DMA事务已完成，并且没有其他DMA事务需要处理。设置此位后，须确保PERCLKOFF位的写操作是最后一次写操作，并且不对任何外设寄存器进行写入或读取。否则，PERCLKOFF位会清零。</p> <p>0 所有外设的时钟均处于活动状态。</p> <p>1 所有外设的时钟均关闭。</p>	0x0	R/W

位	位名称	设置	描述	复位	访问类型
4	GPIOCLKOFF		GPIO时钟控制。此位禁用GPIO时钟，并控制ACLK分频器的ACLK输出的选通。此ACLK控制可在活动模式和Flexi™模式下使用。在休眠模式下，ACLK始终关闭，此位无效。此位不会自动清0。应明确使能或禁用此位以控制ACLK输出。在对CTL1寄存器中的ACLKDIVCNT位进行编程之前，应将此位清0。否则，ACLKDIVCNT位不会生效。 0 使能GPIO时钟。 1 禁用GPIO时钟。	0x1	R/W
3	UCLKI2COFF		I ² C时钟用户控制。此位禁用I ² C通用时钟(UCLK)，并在活动模式和flexi模式下控制I ² C UCLK的选通。在休眠模式下，I ² C UCLK始终关闭，此位无效。如果用户代码访问任何I ² C寄存器，此位会自动清0。 0 使能I ² C时钟。 1 禁用I ² C时钟。	0x1	R/W
2	GPTCLK2OFF		通用定时器2用户控制。此位禁用通用定时器2时钟（复用版本），并在活动模式和flexi模式下控制选通。在休眠模式下，通用定时器2时钟始终关闭，此位无效。如果用户代码访问任何通用定时器2寄存器，此位会自动清0。 0 使能定时器2时钟。 1 禁用定时器2时钟。	0x1	R/W
1	GPTCLK1OFF		通用定时器1用户控制。此位禁用通用定时器1时钟（复用版本），并在活动模式和flexi模式下控制选通。在休眠模式下，通用定时器1时钟始终关闭，此位无效。如果用户代码访问任何通用定时器1寄存器，此位会自动清0。 0 使能定时器1时钟。 1 禁用定时器1时钟。	0x1	R/W
0	GPTCLK0OFF		通用定时器0用户控制。此位禁用通用定时器0时钟（复用版本），并在活动模式和flexi模式下控制选通。在休眠模式下，通用定时器0时钟始终关闭，此位无效。如果用户代码访问任何通用定时器0寄存器，此位会自动清0。 0 使能定时器0时钟。 1 禁用定时器0时钟。	0x1	R/W

时钟状态寄存器

地址：0x4004C318；复位：0x00000000；名称：STAT0

表10. STAT0的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:3]	保留		保留。不可对该位进行写操作。	0	R
2	SPLLUNLK		系统锁相环(PLL)解锁状态。向该位写入1可将其清0。 0 未检测到PLL失锁。 1 检测到PLL失锁。	0	R/W1C
1	SPLLLK		系统PLL锁定状态。向该位写入1可将其清0。 0 未检测到PLL锁定事件。 1 检测到PLL锁定事件。	0	R/W1C
0	SPLL		系统PLL状态。 0 PLL未锁定，勿使用PLL。 1 PLL已锁定并可供使用。	0	R

时钟分频器配置寄存器

地址：0x400C0408；复位：0x0441；名称：CLKCON0

用户必须先写入CLKCON0KEY = 0xA815，再写入CLKCON0。

表11. CLKCON0的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:6]	保留		保留。不可对该位进行写操作。	0x1	R/W
[5:0]	SYSCLKDIV		系统时钟分频器配置。系统时钟分频器用于从根时钟提供分频时钟，从而驱动外设总线、芯片间接口以及大部分数字外设。系统时钟频率(f_{sys}) = 根时钟/SYSCLKDIV。取值范围为1到32。大于32的值取32。值0和值1的结果相同，都是除以1。 f_{sys} 必须 \leq 16 MHz。仅使用4 MHz、8 MHz和16 MHz的模拟芯片系统时钟完成了表征。	0x1	R/W

时钟门控使能寄存器

地址：0x400C0410；复位：0x010A；名称：CLKEN1

表12. CLKEN1的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:10]	保留		保留。	0x0	R
9	AFECLKDIS		AFE芯片时钟使能到AFE P2.2焊盘。 0 AFE时钟连接到AFE P2.2焊盘。 1 AFE时钟断开与AFE P2.2焊盘的连接。	0x0	R/W
8	AFECLKSTA		反映CLKEN1位的状态，只读。 0 AFE时钟连接到AFE芯片P2.2焊盘。 1 AFE时钟断开与AFE芯片P2.2焊盘的连接。	0x0	R
7	GPT1DIS		通用定时器1 (GPT1)时钟使能。此位控制脉冲宽度调制(PWM)定时器1的时钟。 0 开启GTP1时钟。 1 关闭GPT1时钟。	0x1	R/W
6	GPT0DIS		通用定时器0 (GPT0)时钟使能。此位控制PWM定时器0的时钟。 0 开启GPT0时钟。 1 关闭GPT0时钟。	0x1	R/W
5	ACLKDIS		ACLK时钟使能。此位控制DFT时钟和波形发生器模块控制时钟，包括模拟接口和数字信号处理。 0 开启ACLK时钟。 1 关闭ACLK时钟。	0x0	R/W
4	保留		保留。不得写入此位。此位应保持清0。	0x0	R/W
3	保留		保留。不得写入此位。	0x0	R/W
2	保留		保留。不得写入此位。此位应保持清0。	0x0	R/W
1	保留		保留。不得写入此位。	0x0	R/W
0	保留		保留。不得写入此位。此位应保持清0。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
[15:4]	保留		保留。	0x0	R
[3:2]	ADCCLKSEL		选择ADC时钟源。要配置GPIO1引脚使用外部时钟， <pre>pADI_AGPIO2->CON = 3<<2; // EXT_CLK pADI_AGPIO2->IEN = 1<<1; //AGPIO2.1(PWM1) input</pre> 0 内部高频振荡器时钟。 1 外部高频晶振(XTAL)时钟。 10 内部低频振荡器时钟。不推荐使用。 11 外部时钟。	0x0	R/W
[1:0]	SYSCLKSEL		选择系统时钟源。要配置GPIO1引脚使用外部时钟， <pre>pADI_AGPIO2->CON = 3<<2; // EXT_CLK pADI_AGPIO2->IEN = 1<<1; //AGPIO2.1(PWM1) input</pre> 0 内部高频振荡器时钟。 1 外部高频XTAL时钟。 10 内部低频振荡器时钟。不推荐使用。 11 外部时钟。	0x0	R/W

GPIO时钟复用选择到GPIO1引脚寄存器

地址：0x400C041C；复位：0x0000；名称：GPIOCLKMUXSEL选择哪个数字时钟输出到GPIO1进行观察。

表14. GPIOCLKMUXSEL的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:3]	保留		保留。	0x0	R
[2:0]	SEL		配置时钟复用输出到GPIO1。 0 系统时钟。 1 功率门控低频时钟。 10 PCLK。 11 模拟芯片时钟上的唤醒定时器(WUT)。 100 GPT0时钟。 101 GPT1时钟。 110 ADC时钟。 111 ADC控制时钟。	0x0	R/W

CLKCON0密钥保护寄存器

地址：0x400C0420；复位：0x0000；名称：CLKCON0KEY该寄存器为CLKCON0寄存器提供密钥保护。

表15. CLKCON0KEY的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	KEY		允许对CLKCON0寄存器进行读写访问的密钥。访问CLKCON0之前应将0xA815写入该寄存器。	0x0	W

表16. CLKEN0的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:3]	保留		保留。	0x0	R
2	TIACHPDIS	0 1	TIA斩波时钟禁用。 开启TIA斩波时钟。 关闭TIA斩波时钟。	0x1	R/W
1	SLPWUTDIS	0 1	睡眠和唤醒定时器时钟禁用。 开启睡眠唤醒定时器时钟。 关闭睡眠唤醒定时器时钟。	0x0	R/W
0	WDTDIS	0 1	看门狗定时器时钟禁用。 开启看门狗定时器时钟。 关闭看门狗定时器时钟。	0x0	R/W

OSCCON密钥保护寄存器

地址：0x400C0A0C；复位：0x0000；名称：OSCKEY

表17. OSCKEY的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	OSCKEY	0xCB14	振荡器控制密钥寄存器。OSCCON寄存器受密钥保护。访问OSCCON寄存器之前应将0xCB14写入OSCKEY。若在写入OSCCON之前写入任何其它寄存器，则保护将返回锁定状态。	0x0	R/W

振荡器控制寄存器

地址：0x400C0A10；复位：0x0303；名称：OSCCON

OSCCON寄存器受密钥保护。要解除此保护，须在写入OSCCON寄存器之前将0xCB14写入OSCKEY寄存器。

若在写入OSCCON寄存器之前写入任何其他寄存器，则保护将返回到锁定状态。

表18. OSCCON的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:11]	保留		保留。	0x0	R
10	HFXTALOK	0 1	HFXTAL振荡器的状态。此位指示振荡器使能后何时稳定下来。此位无监视功能，并不指示随后稳定性是否丧失。 0 振荡器尚未稳定或被禁用。 1 振荡器已使能且稳定，可供使用。	0x0	R
9	HFOSCOK	0 1	高频振荡器的状态。此位指示振荡器使能后何时稳定下来。此位无监视功能，并不指示随后稳定性是否丧失。 0 振荡器尚未稳定或被禁用。 1 Oscillator is enabled, stable, and ready for use. 振荡器已使能且稳定，可供使用。	0x1	R
8	LFOSCOK	0 1	低频振荡器的状态。此位指示振荡器使能后何时稳定下来。此位无监视功能，并不指示随后稳定性是否丧失。 0 振荡器尚未稳定或被禁用。 1 振荡器已使能且稳定，可供使用。	0x1	R
[7:3]	保留		保留。	0x0	R
2	HFXTALEN	0 1	HFXTAL振荡器使能。此位用于使能或禁用振荡器。振荡器在使用前必须处于稳定状态。必须先设置此位，然后才能启动SYSRESETREQ系统复位。 0 禁用HFXTAL振荡器并将其置于低功耗状态。 1 HFXTAL振荡器使能。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
1	HFOSCEN	0 1	高频振荡器使能。此位用于使能或禁用振荡器。振荡器在使用前必须处于稳定状态。必须先设置此位，然后才能启动SYSRESETREQ系统复位。 0 禁用高频振荡器并将其置于低功耗状态。 1 使能高频振荡器。	0x1	R/W
0	LFOSCEN	0 1	低频振荡器使能。此位用于使能或禁用振荡器。振荡器在使用前必须处于稳定状态。 0 禁用低频振荡器并将其置于低功耗状态。 1 使能低频振荡器。	0x1	R/W

高功率振荡器配置寄存器

地址：0x400C20BC；复位：0x00000024；名称：HPOSCCON

表19. HPOSCCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:3]	保留		保留。	0x0	R
2	CLK32MHZEN	0 1	16 MHz或32 MHz输出选择器信号。选择32 MHz或16 MHz的输出。ADC能以32 MHz运行，但系统时钟不能以32 MHz运行。在将振荡器切换到32 MHz之前，首先要将系统时钟2分频。参见CLKCON0的位[5:0]。 0 选择32 MHz输出。 1 选择16 MHz输出。	0x1	R/W
[1:0]	保留		保留。	0x0	R

功耗模式配置寄存器

地址：0x400C22F0；复位：0x00000000；名称：PMBW

此寄存器配置高速DAC和ADC电路的高功率和低功耗系统模式。

表20. PMBW位功能描述

位	位名称	设置	描述	复位	访问类型
[31:4]	保留		保留。	0x00000000	R
[3:2]	SYSBW	00 01 10 11	配置系统带宽。配置高速DAC重构滤波器和ADC抗混叠滤波器的带宽。 00 保留。 01 50 kHz, -3 dB带宽。 10 100 kHz, -3 dB带宽。 11 250 kHz, -3 dB带宽。	0x0	R/W
1	保留		保留。	0x0	R
0	SYSHP	0 1	将高速DAC和ADC设置为高功率模式。 0 低功耗模式。清除此位以进行<80 kHz的阻抗测量。高功率模式。 1 设置此位以进行>80 kHz的阻抗测量。	0x0	R/W

电源管理单元

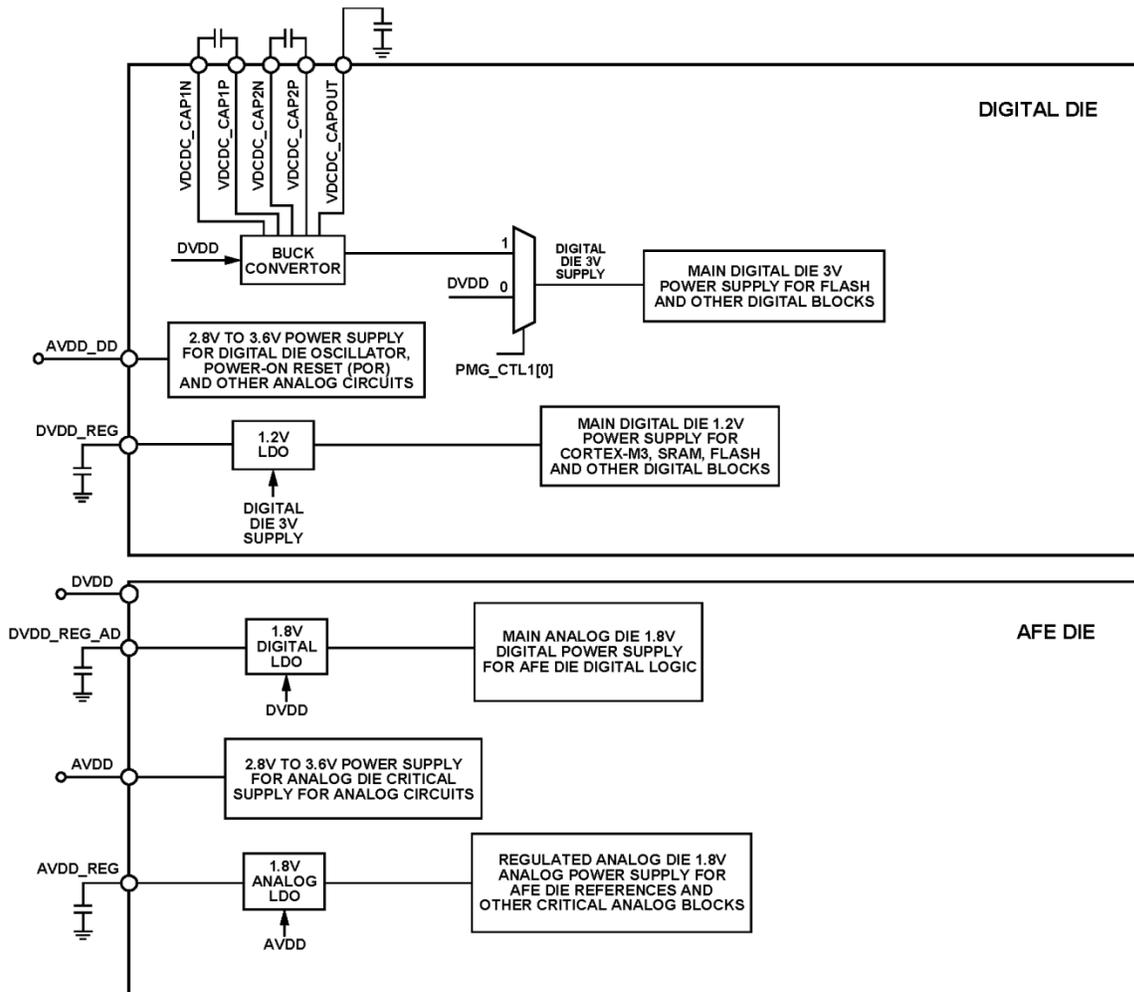


图3. 电源架构框图

电源管理单元特性

ADuCM355含有两个独立的PMU，每个芯片一个。PMU控制ADuCM355各芯片的不同功耗模式。该器件的电源管理特性包括如下：

- 高效率降压转换器，减少数字芯片的功耗。
 - 降压转换器支持活动模式，此时需要外部飞跨电容，如图3所示。降压转换器默认禁用。为使模拟外设性能最优，应让该转换器保持禁用状态。
 - 数字芯片上显示的DC-DC转换器是可选的。如果禁用，则不需要连接到 VDCDC_x 引脚的三个电容，而且可以不连接这五个引脚。
- 用于活动模式的自定义时钟门控。
- 电源门控可降低睡眠模式下的漏电流。
- 电压监控。
- 带智能外设的灵活睡眠模式。
- 深度睡眠模式，不会保留内容。

提供三种功耗模式：活动模式、Flexi模式和休眠模式。每个芯片的功耗模式控制是独立的。

活动模式

Arm Cortex-M3从数字芯片上的闪存和SRAM执行任务。PMG0 PWRMOD位[1:0] = 00。模拟芯片电路处于活动模式。ALLON PWRMOD位[1:0] = 01。

灵活模式

在此模式下，Arm Cortex-M3被禁用。用户选择要使能的外设，例如，SPI用于DMA或I²C用于DMA。

休眠模式

在数字芯片上，系统电源断开。始终保留8 kB SRAM的内容。最多可以选择再保留24 kB SRAM的内容。PMG0 PWRMOD位[1:0] = 10。

在模拟芯片上，高速振荡器和高速时钟源被关断，由这些时钟源提供时钟的所有模块均无时钟。32 kHz振荡器和模拟芯片看门狗定时器保持活动状态。可以选择让低功耗DAC、低功耗基准电压源和低功耗放大器保持活动状态，以保持外部传感器偏置。ALLON PWRMOD位[1:0] = 10。

电源管理单元工作原理

通过设置调试逻辑中的位，调试工具可以防止Arm Cortex-M3完全进入省电模式。只有上电复位(POR)才能复位调试逻辑。因此，若应用代码包含等待中断(WFI)指令，则使用串行线调试之后，须对器件断电再通电。

活动模式，模式0

系统全部功能都有效。存储器和所有用户使能的外设都有时钟，Arm Cortex-M3处理器执行指令。Arm Cortex-M3处理器管理其内部时钟，可以处于部分时钟选通状态。此时钟门控仅影响内部Arm Cortex-M3处理核心。所有模块均使用自动时钟门控，但I²C、UART和通用定时器除外。这些模块通过数字芯片的CLKG CTL5寄存器和模拟芯片的CLKEN1寄存器进行手动时钟门控。

用户代码可以使用WFI命令将Arm Cortex-M3处理器置于睡眠模式。处理器与PMU的功耗模式设置无关。

将1写入CLKG CTL5的位[5:0]或AFE CLKEN1的位[9:0]，会停止向外设发送相应的时钟。对于数字芯片外设，时钟停止后，如果用户或软件访问该外设中的任何寄存器，则会自动使能时钟。此外，将0写入CLKG CTL5或AFE CLKEN1寄存器中的这些位可以使外设获得相应的时钟。

默认情况下，两个芯片上电时LDO稳压器均开启。将1写入PMG0 CTL1的位0，可以使能降压调节器以节省功耗。使能后，片上1.2 V LDO稳压器的输入为降压转换器输出，其典型值为1.6V。

当ADuCM355从任何低功耗模式中唤醒时，器件返回模式0。

Flexi模式，模式1（仅数字芯片）

在Flexi模式下，当Arm Cortex-M3通过执行WFI指令进入关断模式后，系统关闭Cortex-M3内核的时钟。系统的其余部分保持活动状态，并且无法执行任何指令。但是，外设和存储器之间的DMA传输可以继续进行。Arm Cortex-M3处理器RCLK（闪存时钟）处于活动状态，器件通过嵌套向量中断控制器(NVIC)唤醒。

休眠模式，模式2

要进入休眠模式，用户必须首先通过设置ALLON PWRMOD位[1:0] = 10来将模拟芯片配置为休眠模式，然后便可将数字芯片置于休眠模式。为使电流消耗最低，应将两个芯片上未使用的数字GPIO引脚配置为三态。

在休眠模式下，数字芯片上的Arm Cortex-M3和所有数字外设均关闭。SRAM可编程为保留最多32 kB内容。用户可以选择如下选项：

- 要保留的SRAM数量。该量是对休眠模式下始终保留的8 kB SRAM的补充。此选择通过SRAMRET的位[1:0]控制。
- 在休眠模式下控制电池监控。始终监控1.2 V稳压电源，以确保数据不会因为电源低于最低保持电压而损坏。如果稳压电源降至1 V以下，则芯片会在数据损坏之前复位。尽管稳压电源始终受到监控，但在休眠模式还有一个选项可监控AVDD_DD引脚（2.8 V至3.6 V电源），方法是将PMG0 PWRMOD的位3清0。

在休眠模式下，模拟芯片上的AFE高速时钟电路关断，所有由这些电路提供时钟的模块都进入低功耗时钟关闭状态。设置ALLON PWRMOD的位[1:0] = 10之后，请勿回读寄存器的值，因为这种读操作可能会阻止模拟芯片进入休眠模式。

代码示例**进入省电模式**

以下功能配置模拟芯片的工作模式:

```
uint32_t AfePwrCfg(uint16_t iMode)
{
    // PSWFULLCON[14:13]= [11]b
    //Close switches NL and NL2. PSWFULLCON[11:10]= [11]b
    pADI_AFE->PSWFULLCON|=0x6C00; // Close PL2, PL1, PL2, P11 switches to tie HSTIA N and D
//terminals to 1.8 V LDO
    pADI_ALLON->PWRKEY = 0x4859;
    pADI_ALLON->PWRKEY = 0xF27B;
    pADI_ALLON->PWRMOD = (pADI_ALLON->PWRMOD&(~BITM_ALLON_PWRMOD_PWRMOD))|iMode;
    //=====
    //          IMPORTANT
    // If Chip is going into hibernate mode, you
    // cannot read PWRMOD after configuring it.
    // For safety reasons, return value set
    // to 0 directly.
    //=====
    //return  pADI_ALLON->PWRMOD;
    return  0;
}
}
```

以下功能配置数字芯片的工作模式:

```
int PwrCfg(int iMode,int iMonVbBat,int iSramRet)
{
    int32_t index = 0;
    uint32_t savedWDT;
    savedWDT = pADI_WDT0->CTL; //None of the watchdog timer registers are retained in hibernate
mode
    if (iMode > 3) // Check for invalid sleep mode value
    {
        iMode = 0;
        return 1;
    }
    if ((iMode == 2) || (iMode == 3))
    {
        SCB->SCR = 0x04; // sleepdeep mode - write to the Cortex-m3 System Control register bit2
    }
    pADI_PMG0->PWRKEY = 0x4859; // key1
    pADI_PMG0->PWRMOD = iMode|iMonVbBat;

    for (index=0;index<2;index++);
    __WFI();
    for (index=0;index<2;index++);
    pADI_WDT0->CTL = savedWDT; //restore WDT control register.
    return 1;
}
}
```

唤醒序列

每种关断模式的数字芯片唤醒机制均不同。唤醒由中断或复位触发。唤醒序列因功耗模式而异。如果唤醒是由传入的中断触发的，则系统首先执行中断例程。

当数字芯片尝试读取或写入任何模拟芯片寄存器时，模拟芯片退出休眠模式。当模拟芯片处于休眠模式且Arm Cortex-M3执行指令以访问模拟芯片寄存器时，CPU会暂停，直到该指令执行完毕。恢复之前，CPU必须等待模拟芯片完成其唤醒序列。

唤醒序列完成后，用户必须将ALLON PWRMOD寄存器复位为活动模式。此复位可确保当用户应用程序需要时模拟芯片会正确退出休眠模式。

下面的代码示例演示如何在数字芯片退出休眠模式后唤醒模拟芯片：

```
uiDummyRead = pADI_AFE->LPDACCON0; // read any analog die register to wake-up analog die
AfePwrCfg(AFE_ACTIVE); // reset pADI_ALLON->PWRMOD[1:0] = 0b01
```

模拟芯片退出休眠模式后，ADC基准电压源需要110 μ s的建立时间。在此期间，请勿开始任何ADC转换。

监控电压控制

用户代码必须监控芯片电源电压。AFE芯片不适合在小于2.8 V的电压下工作。ADuCM355提供了多种特性来帮助用户代码监控ADuCM355的AVDD和DVDD供电轨。

在数字芯片上，电压监控电路始终处于使能状态，以确保AVDD_DD电源（2.8 V至3.6 V）和稳压电源始终处于工作电平以内。监控这些电源的电路称为PMU。

活动模式期间PMU电路的主要特性如下：

- 监控DVDD电压。如果AVDD_DD电源电压低于1.6 V，则产生芯片复位信号。模拟芯片在较高电压时产生复位信号。有关详细信息，参见ADuCM355数据手册规格。
- 监控AVDD_DD的状态。在3.6 V至2.75 V之间，生成AVDD_DD电源监控器(PSM)中断；AVDD_DD PSM在2.75 V至2.3 V之间中断。这些中断范围由PMG0 IEN寄存器使能。
- 监控稳压电源。
 - 如果DVDD_REG稳压电源大于1.32 V（过压），则产生中断。
 - 如果DVDD_REG稳压电源小于1.1 V（欠压），则产生中断。
 - 如果DVDD_REG稳压电源低于1.08 V，则产生复位。

休眠模式期间PMU的主要特性如下：

- 监控电池电压。
 - 如果电源电压小于1.83 V，则向处理器发出警报（可选）。
 - 如果电源电压小于1.6 V，则产生芯片复位（可选）。
 - 监控可选电池监控器特性的状态。PMU还提供3.6 V至2.75 V之间的可选电池监控以及2.75 V至2.3 V之间的电池监控。
- 监控稳压电源。如果DVDD_REG稳压电源低于1.08 V，则产生复位。

在模拟芯片上，模拟芯片的ADC输入多路复用器允许用户测量多个输入和稳压电源引脚。这些通道包括如下内容：

- 模拟芯片的AVDD电源。
- AFE和数字芯片的DVDD电源。
- AVDD_REG 1.8 V稳压模拟电源电压。

模拟芯片具有自己的POR电路，如果电源电压降至其掉电电压以下，POR电路会产生全芯片复位信号。有关详细信息，参见ADuCM355数据手册。

寄存器汇总：电源管理单元

表21. 数字芯片电源管理寄存器汇总 (PMGO堆栈)

地址	名称	描述	复位	访问类型
0x4004C000	IEN	电源监控器中断使能	0x00000000	R/W
0x4004C004	PSM_STAT	电源监控器状态	0x2100	W1C
0x4004C008	PWRMOD	电源模式	0x00000000	R/W
0x4004C00C	PWRKEY	PWRMOD和SRAMRET的密钥保护	0x00000000	W
0x4004C014	SRAMRET	休眠模式下SRAM保留控制	0x00000000	R/W
0x4004C044	CTL1	高功率降压控制	0x00000000	R/W
0x4004C260	SRAM_CTL	SRAM奇偶校验和指令SRAM控制	0x80000000	R/W
0x4004C264	SRAM_INITSTAT	初始化状态	0x00000001	R/W

表22. 模拟芯片电源管理寄存器汇总 (ALLON堆栈)

地址	名称	描述	复位	访问类型
0x400C0A00	PWRMOD	功耗模式	0x0001	R/W
0x400C0A04	PWRKEY	PWRMOD的密钥保护	0x0000	R/W

寄存器详解：电源管理单元

电源监控中断使能寄存器

地址：0x4004C000；复位：0x00000000；名称：IEN

表23. IEN位功能描述

位	位名称	设置	描述	复位	访问类型
[31:11]	保留		保留。	0x00000	R
10	IENBAT		AVDD_DD范围的中断使能。如果必须为RANGEBAT位产生中断，则应设置此位。为要生成的中断配置RANGEBAT，然后设置IENBAT。如果DVDD_AD引脚电压降至RANGEBAT位设置的范围内，则产生一个中断。例如，若电池在要求的范围内，并且用户希望监控电池，则用户必须配置PSM_STAT寄存器中的RANGE2位。清除所有PSM_STAT标志，然后使能此中断。否则，电池的PSM_STAT寄存器的RANGE1位会持续发出中断。 0 禁用IENBAT作为中断源。 1 使能IENBAT作为中断源。	0x0	R/W
9	保留		保留。	0x0	R
8	RANGEBAT		电池监控范围。配置适当的RANGEBAT位设置以产生中断。 0 配置AVDD_DD > 2.75 V时产生中断。 1 配置AVDD_DD在2.75 V和1.6V之间时产生中断。	0x0	R/W
[7:3]	保留		保留。	0x00	R
2	VREGOVR		当DVDD_REG大于1.32 V（过压）时，使能中断。 0 禁用VREGOVR作为中断源。 1 使能VREGOVR作为中断源。	0x0	R/W
1	VREGUNDR		当DVDD_REG小于1 V（欠压）时，使能中断。如果使能，中断将连接到无法屏蔽的中断(NMI)。 0 禁用VREGUNDR作为中断源。 1 使能VREGUNDR作为中断源。	0x0	R/W
0	VBAT		使能AVDD_DD中断。如果使能，中断将连接到NMI并在AVDD_DD < 1.83 V时产生中断。 0 禁用AVDD_DD作为中断源。 1 使能AVDD_DD作为中断源。	0x0	R/W

电源监控器状态寄存器

地址：0x4004C004；复位：0x2100；名称：PSM_STAT

表24. PSM_STAT位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0000	R
14	RORANGE2		AVDD_DD范围2 (2.75 V和2.3 V) 只读状态位。 1 AVDD_DD在指定范围内。 0 AVDD_DD不在指定范围内。	0x0	R
13	RORANGE1		电池电压范围1 (> 2.75 V) 只读状态位。 1 AVDD_DD在指定范围内。 0 AVDD_DD不在指定范围内。	0x1	R
[12:10]	保留		保留。	0x0	R
9	RANGE2 RANGE2		AVDD_DD范围2 (2.75 V和2.3 V)。写1可清除指示相关DVDD_AD范围的状态位。如果IEN的位10置1，则产生AVDD_DD范围中断。如果AVDD_DD落在指定范围内，即使将1写入标志以清除该状态位，它也会再次置1。 1 AVDD_DD在指定范围内。 0 AVDD_DD不在指定范围内。	0x0	R/W1C

位	位名称	设置	描述	复位	访问类型
8	RANGE1		AVDD_DD范围1 (> 2.75 V)。写1可清除指示相关AVDD_DD范围的状态位。如果IEN的位10置1，则产生AVDD_DD范围中断。如果AVDD_DD落在指定范围内，即使将1写入标志以清除该状态位，它也会再次置1。 1 AVDD_DD在指定范围内。 0 AVDD_DD不在指定范围内。	0x1	R/W1C
7	WICENACK		唤醒中断控制器(WIC)使能来自Cortex的应答。	0x0	R
[6:3]	保留		保留。	0x0	R
2	VREGOVR		指示DVDD_REG电压过高的警报状态位。如果DVDD_REG (LDO稳压器输出) > 1.32 V，则该位置1。如果IEN位2置1，则产生中断。写1可清除此位。如果DVDD_REG > 1.32 V，即使将1写入标志以清除该状态位，它也会再次置1。	0x0	R/W1C
1	VREGUNDR		指示DVDD_REG小于1V的警报状态位。如果IEN位1置1，则产生中断。如果DVDD_REG < 1 V，则该位置1。写入1可将此位清0。如果DVDD_REG > 1 V，即使将1写入标志以清除该状态位，它也会再次置1。	0x0	R/W1C
0	VBATUNDR		指示AVDD_DD小于1.8 V的警报状态位。如果IEN位0置1，则产生中断。如果AVDD_DD < 1.83 V，则该位置1。写入1可将此位清0。如果AVDD_DD > 1.83 V，即使将1写入标志以清除该状态位，它也会再次置1。	0x0	R/W1C

功耗模式寄存器

地址：0x4004C008；复位：0x00000000；名称：PWRMOD

表25. PWRMOD位功能描述

位	位名称	设置	描述	复位	访问类型
[31:4]	保留		保留。	0x0	R
3	MONVBATN		在休眠模式下监控AVDD_DD。默认监控AVDD_DD。DVDD_REG (1.2 V LDO稳压器)。无法禁用监控。 0 在PMU模块中使能AVDD_DD监控。默认值。 1 在PMU模块中禁用AVDD_DD监控。	0x0	R/W
2	保留		保留。	0x0	R/W
[1:0]	MODE		功耗模式位。 00 Flexi模式。 01 保留。 10 休眠模式。 11 保留	0x0	R/W

PWRMOD和SRAMRET寄存器的密钥保护

Address 0x4004C00C；复位：0x00000000；名称：PWRKEY

表26. PWRKEY位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0	R
[15:0]	VALUE		功耗控制密钥寄存器。PMG0 PWRMOD和PMG0 SRAMRET寄存器受密钥保护。要更改PMG0 PWRMOD和PMG0 SRAMRET寄存器中的值，必须对该密钥进行一次写操作。写入PMG0 PWRMOD或PMG0 SRAMRET寄存器之前，应将0x4859写入PMG0 PWRKEY。若在写入PMG0 PWRMOD或PMG0 SRAMRET之前写入Arm外设总线上的任何其他寄存器，则保护将返回锁定状态。	0x0000	W

休眠模式期间SRAM内容保留控制寄存器

地址：0x4004C014；复位：0x00000000；名称：SRAMRET

表27. SRAMRET位功能描述

位	位名称	设置	描述	复位	访问类型
[31:2]	保留		保留。	0x0	R
1	BNK2EN		使能保留存储区2 (16 kB)。如果SRAM_CTL位31 = 1，则存储区地址为0x10000000至0x10003FFF。如果SRAM_CTL位31 = 0，则存储区地址为0x20004000至0x20007FFF。 0 禁用保留SRAM存储区2。 1 在休眠模式下使能SRAM存储区2的内容保留。此选项会消耗更多功率。	0x0	R/W
0	BNK1EN		使能保留存储区1 (8 kB)。存储区地址为0x20002000至0x20003FFF。禁用保留SRAM存储区1。 0 在休眠模式下使能SRAM存储区1的内容保留。 1 此选项会消耗更多功率。	0x0	R/W

高功率降压控制寄存器

地址：0x4004C044；复位：0x00000000；名称：CTL1

表28. CTL1位功能描述

位	位名称	设置	描述	复位	访问类型
[31:1]	保留		保留。	0x00000000	R/W
0	HPBUCKEN		使能高功率降压器。 0 禁用降压调节器。 1 使能降压调节器。	0x0	R/W

SRAM奇偶校验和指令SRAM控制寄存器

地址：0x4004C260；复位：0x80000000；名称：SRAM_CTL

表29. SRAM_CTL位功能描述

位	位名称	设置	描述	复位	访问类型
31	INSTREN		使能指令SRAM。 0 CPU指令使用0x10000000至0x10003FFF的SRAM地址范围。 1 SRAM用于数据。	0x1	R/W
[30:22]	保留		保留。	0x000	R
21	PENBNK5		使能SRAM存储区5的奇偶校验。 0 禁用此SRAM存储区的奇偶校验。 1 使能此SRAM存储区的奇偶校验。	0x0	R/W
20	PENBNK4		使能SRAM存储区4的奇偶校验。 0 禁用此SRAM存储区的奇偶校验。 1 使能此SRAM存储区的奇偶校验。	0x0	R/W
19	PENBNK3		使能SRAM存储区3的奇偶校验。 0 禁用此SRAM存储区的奇偶校验。 1 使能此SRAM存储区的奇偶校验。	0x0	R/W
18	PENBNK2		使能SRAM存储区2的奇偶校验。如果SRAM_CTL位31 = 1，则SRAM地址范围为0x10000000至0x10003FFF。如果SRAM_CTL位31 = 0，则地址范围为0x20004000至0x20007FFF。读取数据以及将字节或半字数据写入此SRAM区域时，会检查奇偶校验。如果检测到奇偶校验错误，则会生成总线错误，总线的执行向量会因故障而中断。 0 禁用此SRAM存储区的奇偶校验。 1 使能此SRAM存储区的奇偶校验。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
17	PENBNK1	0 1	使能SRAM存储区1的奇偶校验。SRAM地址0x20002000至地址0x20003FFF。读取数据以及将字节或半字数据写入此SRAM区域时，会检查奇偶校验。如果检测到奇偶校验错误，则会生成总线错误，总线的执行向量会因故障而中断。 禁用此SRAM存储区的奇偶校验。 使能此SRAM存储区的奇偶校验。	0x0	R/W
16	PENBNK0	0 1	使能SRAM存储区0的奇偶校验。SRAM地址0x20000000至地址0x20001FFF。读取数据以及将字节或半字数据写入此SRAM区域时，会检查奇偶校验。如果检测到奇偶校验错误，则会生成总线错误，总线的执行向量会因故障而中断。 禁用此SRAM存储区的奇偶校验。 使能此SRAM存储区的奇偶校验。	0x0	R/W
15	ABTINIT		中止当前初始化。自清零。	0x0	R/W
14	AUTOINIT		从休眠模式唤醒时自动初始化。	0x0	R/W
13	STARTINIT		写入1即触发初始化。自清零。	0x0	R/W
[12:6]	RESERVED		保留。	0x00	R
5	BNK5EN	0 1	使能SRAM存储区5的初始化。 禁用此SRAM存储区的初始化。 使能此SRAM存储区的初始化。	0x0	R/W
4	BNK4EN	0 1	使能SRAM存储区4的初始化。 禁用此SRAM存储区的初始化。 使能此SRAM存储区的初始化。	0x0	R/W
3	BNK3EN	0 1	使能SRAM存储区3的初始化。 禁用此SRAM存储区的初始化。 使能此SRAM存储区的初始化。	0x0	R/W
2	BNK2EN	0 1	使能SRAM存储区2的初始化。如果SRAM_CTL位31 = 1，则SRAM地址范围为0x10000000至0x10003FFF。如果SRAM_CTL位31 = 0，则地址范围为0x20004000至0x20007FFF。如果未保留SRAM内容且使能了奇偶校验，则退出休眠模式时必须进行初始化。 禁用此SRAM存储区的初始化。 使能此SRAM存储区的初始化。	0x0	R/W
1	BNK1EN	0 1	使能SRAM存储区1的初始化。SRAM地址0x20002000至地址0x20003FFF。如果未保留SRAM内容且使能了奇偶校验，则退出休眠模式时必须进行初始化。 禁用此SRAM存储区的初始化。 使能此SRAM存储区的初始化。	0x0	R/W
0	BNK0EN	0 1	使能SRAM存储区0的初始化。SRAM地址0x20000000至地址0x20001FFF。如果未保留SRAM内容且使能了奇偶校验，则退出休眠模式时必须进行初始化。 禁用此SRAM存储区的初始化。 使能此SRAM存储区的初始化。	0x0	R/W

初始化状态寄存器

地址：0x4004C264；复位：0x00000001；名称：SRAM_INITSTAT

表30. SRAM_INITSTAT位功能描述

位	位名称	设置	描述	复位	访问类型
[31:6]	保留		保留。	0x00000000	R/W
5	BNK5	0 1	SRAM存储区5的初始化状态。 未初始化。 初始化已完成。	0x0	R
4	BNK4	0 1	SRAM存储区4的初始化状态。 未初始化。 初始化已完成。	0x0	R

位	位名称	设置	描述	复位	访问类型
3	BNK3	0 1	SRAM存储区3的初始化状态。 未初始化。 初始化已完成。	0x0	R
2	BNK2	0 1	SRAM存储区2的初始化状态。 未初始化。 初始化已完成。	0x0	R
1	BNK1	0 1	SRAM存储区1的初始化状态。 未初始化。 初始化已完成。	0x0	R
0	BNK0	0 1	SRAM存储区0的初始化状态。 未初始化。 初始化已完成。	0x1	R

功耗模式寄存器

地址：0x400C0A00；复位：0x0001；名称：PWRMOD

表31. PWRMOD位功能描述

位	位名称	设置	描述	复位	访问类型
[15:4]	保留		保留。	0x0	R
3	SEQSLPEN	0 1	通过序列器命令执行自动睡眠功能。 禁用序列器的自动睡眠功能。 使能序列器的自动睡眠功能。	0x0	R/W
2	TMRSLPEN	0 1	通过睡眠和唤醒定时器执行自动睡眠功能。 禁用睡眠和唤醒定时器的自动睡眠功能。 使能睡眠和唤醒定时器的自动睡眠功能。	0x0	R/W
[1:0]	PWRMOD	00, 11 01 10	功耗模式控制位。读取时，这些位包含通过用户代码进入的最后功耗模式值。 保留。勿进入此模式。 活动模式。正常工作模式。所有数字电路都上电。用户可以通过禁用输入时钟来选择性关闭某些模块。 休眠模式。数字内核关断，大部分模拟芯片模块关断。低功耗DAC或基准电压源可以保持活动状态，用以偏置外部传感器。只有低速时钟上电。	0x1	R/W

PWRMOD寄存器的密钥保护

地址：0x400C0A04；复位：0x0000；名称：PWRKEY

表32. PWRKEY位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	PWRKEY		PWRMOD密钥寄存器。PWRMOD寄存器受密钥保护。要更改PWRMOD寄存器的值，需要两次写入密钥：首先是0x4859，然后是0xF27B。若在写入PWRMOD之前写入任何其他寄存器，则保护将返回锁定状态。	0x0	R/W

ARM CORTEX-M3处理器

ADuCM355含有一个嵌入式Arm Cortex-M3处理器。Arm Cortex-M3处理器提供一种高性能、低成本平台，其满足最小化内存实现、引脚数量少、功耗低的系统要求，同时具有很好的计算性能和系统中断响应性能。

ARM CORTEX-M3处理器特性

Arm Cortex-M3处理器的高性能特性如下：

- 最大时钟速度为26 MHz。
- 集成纠错码(ECC)的128 kB嵌入式闪存。
- 32 kB系统SRAM，带奇偶校验。
- 32 kB用户可配置指令或数据SRAM，带奇偶校验。4 kB的SRAM可用作高速缓存，以通过减少对闪存的访问来降低工作功耗。
- 每秒1.25 Dhrystone百万指令(DMIPS)/MHz。
- 许多指令是单周期的，包括乘法。
- 数据和指令各有总线，因此数据访问和指令访问可同时进行。
- 针对单周期闪存使用进行了优化。
- 灵活的RTC，支持广泛的唤醒时间。
- 三个通用定时器和一个看门狗定时器。
- 可编程GPIO，每个都有可选的输入中断能力。

低功耗特性如下：

- PMU。
- POR和PSM。
- 在活动状态下降压转换器可提高效率。
- 内核利用高级时钟门控实现，仅主动使用的逻辑产生动态功耗。
- 支持省电模式（休眠模式）。设计具有不同的时钟，允许停止不使用的处理器部分。

高级中断处理特性如下：

- NVIC支持多达240个中断。ADuCM355支持其中的64个中断。矢量中断特性大大减少了中断延迟，因为无需通过软件来确定使用哪个中断处理程序。另外也无需通过软件实现嵌套中断支持。
- Arm Cortex-M3处理器自动在中断入口将寄存器压到堆栈上，然后在中断出口检索寄存器。压入和检索操作减少了中断处理延迟，使得中断处理程序可以是普通C函数。
- 动态控制各中断的优先级。
- 利用迟到中断接受机制和尾链中断入口减少延迟。
- 对于安全关键应用，立即执行NMI请求。

系统特性如下：

- 支持位带操作和不对齐的数据访问。
- 高级故障处理特性包括多种异常类型和故障状态寄存器。

调试支持特性如下：

- 串行线调试(SWD)断开。
- 利用闪存补丁和断点(FPB)单元实现断点。以两个硬件断点为限。
- 利用数据观察点和触发(DWT)单元实现观察点触发资源和系统分析。以一个硬件观察点为限。DWT只有一个比较器，故而不支持通过数据匹配来产生观察点。

ARM CORTEX-M3处理器工作原理

Arm Cortex-M3处理器的多个组件在实现上具有灵活性。本节详细说明ADuCM355中这些组件的实现。

串行线调试

ADuCM355仅通过SWCLK和SWDIO引脚支持串行线接口。该器件不支持5线JTAG接口。SWCLK引脚由调试探头驱动。SWDIO信号是双向信号，可以由调试探头或目标驱动，具体取决于协议阶段。

NVIC

Arm Cortex-M3处理器含有NVIC，其有如下几个特性：

- 支持嵌套中断
- 支持矢量中断
- 支持动态优先级变更
- 中断屏蔽

此外，NVIC有一个NMI输入。NVIC在ADuCM355上实现，更多详情参见“系统异常和外设中断”部分。

唤醒中断控制器

ADuCM355有一个改良的WIC，其提供尽可能低的关断电流。详见“电源管理单元”部分。

处理中断期间，建议不要进入省电模式。然而，如果器件在处理中断时进入省电模式，则只有更高优先级的中断源才能将其唤醒。

ARM CORTEX-M3处理器相关文档

下面列出的是与Arm Cortex-M3相关的文档：

- Arm Cortex-M3处理器技术参考手册r2p1版(DDI 0337)
- Arm处理器Cortex-M3 (AT420)和带ETM的Cortex-M3 (AT425)软件开发人员勘误通知
- 带勘误标记的Armv7-M架构参考手册(DDI 0403)
- Arm调试接口架构规范ADIV5.0至ADIV5.2 (IHI 0031)
- PrimeCell μ DMA控制器(PL230)技术参考手册r0p0版(DDI 0417)

系统复位

数字芯片上有三个主要复位源，如图4所示。数字芯片看门狗定时器也可用，但默认处于禁用状态。这些复位源如下：

- 外部复位。
- POR。
- 软件复位。

此外，模拟芯片上有四个类似的复位源，如下所示：

- 外部复位。
- POR。
- 数字器件的软件复位。
- 看门狗定时器复位。

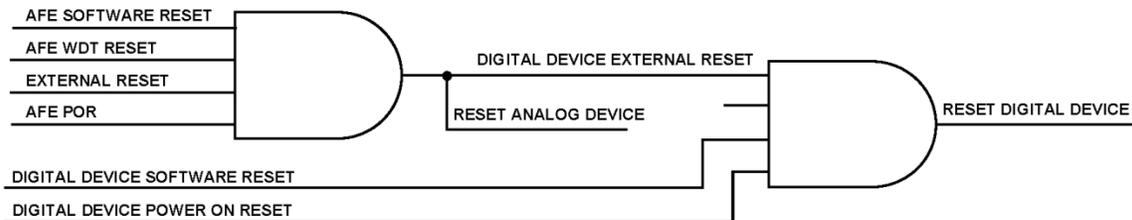


图4. ADuCM355的复位源

模拟芯片POR和数字芯片POR因电源不同而有所区别。两个AFE复位源也作为外部复位报告给数字芯片。

这两个芯片上均存在POR电路。如果任一POR电路触发，则整个芯片复位，所有控制寄存器和电路均返回其默认状态。同样，两个芯片都有外部复位。当外部RESET引脚被拉低时，即发生外部引脚复位或硬件复位。所有电路和控制寄存器返回其默认状态。如果未正确刷新模拟芯片看门狗定时器复位电路，则它会产生一个复位信号。默认情况下，看门狗定时器复位会复位所有电路和控制寄存器。

RST_STAT寄存器指示数字芯片的上次复位源。在复位异常服务程序执行时，可以使用此寄存器来识别数字芯片的复位源。

RSTSTA寄存器指示模拟芯片的上次复位源。在复位异常服务程序执行时，可以使用RSTSTA寄存器来识别模拟芯片的复位源。

复位序列之后，片上内核完成对模拟芯片的自检。尽管问题不太可能发生，但如果发生问题，AFEDIESTA的位0会设置为1。每次复位后，应读取此位。如果该位读取结果为1，请勿继续进行模拟芯片操作。

数字芯片复位工作原理

软件系统复位是Arm Cortex-M3处理器的一部分。要产生软件系统复位，须调用NVIC_SystemReset()函数。此函数会将0x05FA写入Cortex寄存器AIRCR（地址0xE00ED0C）的16个MSB。NVIC_SystemReset()函数及其它有用的函数定义在Cortex微控制器软件接口标准(CMSIS)头文件中，该文件与第三方供应商随工具一起提供。NVIC_SystemReset()函数在core_cm3.h文件中定义。

RST_STAT寄存器存储复位原因，直至通过写入该寄存器将其清零。在复位异常服务程序执行时，可以使用RST_STAT寄存器来识别复位源。复位后，看门狗定时器默认使能。表33列出了所有复位类型的详细信息。

表33. 数字芯片复位的含义

复位	将外部引脚复位到默认状态	执行内核	复位除RST_STAT寄存器外的所有MMR	复位所有外设	有效SRAM	复位事件后的RST_STAT寄存器
软件	是 ¹	是	是	是	是/否 ²	RST_STAT, 位3 = 1
看门狗	是	是	是	是	是/否 ²	RSTSTA, 位2 = 1
外部 复位引脚	是	是	是	是	是/否 ²	RST_STAT, 位1 = 1
POR	是	是	是	是	否	RST_STAT位0 = 1和RST_STAT位[5:4]具有关于POR复位原因的信息

¹ GPIOx引脚返回默认状态（同POR事件）。

² 在UART下载后复位的情况下，随机存取存储器(RAM)无效。

软件复位命令

ARM Cortex-M3支持软件复位命令。使用以下CMSIS库函数调用复位：

```
NVIC_SystemReset();           // Call Software reset
```

此函数涉及写入Cortex AIRCR寄存器中的SYSRESETREQ位。有关此寄存器的详细信息，参见ARM Cortex-M3用户手册。当调用数字芯片的软件复位时，芯片将复位，两个芯片上的所有寄存器均返回默认状态。

寄存器汇总：系统复位

表34. 数字芯片复位寄存器汇总

地址	名称	描述	复位	访问类型
0x4004C040	RST_STAT	数字芯片复位状态	0x000000XX	R/W1C

表35. 始终开启寄存器汇总

地址	名称	描述	复位	访问类型
0x400C0A40	RSTSTA	始终开启复位状态	0x000X	R/W1C

表36. 模拟芯片状态寄存器汇总

地址	名称	描述	复位	访问类型
0x40007008	AFEDIESTA	模拟芯片状态	0x0000	R

寄存器详解：系统复位

数字芯片复位状态寄存器

地址：0x4004C040；复位：0x000000XX；名称：RST_STAT

表37. RST_STAT位功能描述

位	位名称	设置	描述	复位	访问类型
[15:6]	保留		保留。	0x0	R
[5:4]	PORSRC	00 01 10 11	数字芯片的POR源。发生POR后，此位包含其他详细信息。 因为DVDD降至POR阈值以下而触发POR。 因为DVDD降至POR阈值以下而触发POR。 因为DVDD_REG电源电压降至1.08 V以下而触发POR。 因为DVDD_REG降到故障安全以下而触发POR。		R/W
3	SWRST		软件复位。产生Arm Cortex-M3系统复位时自动置1。向该位写入1时清0。	0x0	R/W1C
2	保留		保留。	0x0	R/W1C
1	EXTRST		外部复位。发生外部复位时自动置1。向该位写入1时清0。	0x0	R/W1C
0	POR		POR。发生POR时自动置1。向该位写入1时清0。	0x0	R/W1C

始终开启复位状态寄存器

地址：0x400C0A40；复位：0x000X；名称：RSTSTA

表38. RSTSTA位功能描述

位	位名称	设置	描述	复位	访问类型
[15:3]	保留		保留。	0xX	R
2	WDRST		看门狗超时。发生看门狗超时时自动置1。向该位写入1时清0。	0xX	R/W1C
1	EXTRST		外部复位。发生外部复位时自动置1。向该位写入1时清0。	0xX	R/W1C
0	POR		AFE POR。发生POR时自动置1。向该位写入1时清0。	0xX	R/W1C

模拟芯片状态寄存器

地址：0x40007008；复位：0x0000；名称：AFEDIESTA

表39. AFEDIESTA位功能描述

位	位名称	设置	描述	复位	访问类型
[15:1]	保留		保留。	0x0	R
0	AFEDIESTA	0 1	复位序列之后，AFE的状态变为数字芯片通信状态。每次复位后，务必读取该位。 模拟芯片的调整和校准已得到确认。 模拟芯片配置不正确，不得使用。	0x0	R

编程、保护和调试

启动

处理器支持以下启动模式：

- 从内部闪存启动。引脚设置为1。
- 如果BM/P1.1引脚 = 0，则会禁止执行用户代码。在使能串行线的情况下，控制权留在引导程序代码内。在此模式下，如果用户闪存空间受用户闪存元数据保护，则无法查看该空间。

安保特性

ADuCM355处理器提供了软硬件相结合的多种保护机制，可在安全模式下阻止对器件的访问，在开放模式下允许访问。启动期间，系统由内部片内振荡器提供时钟。复位会计算信息区域的硬件校验和，如果校验和正确，则允许CPU执行闪存信息区域中的ADI引导加载程序。ADI启动加载程序会检查GPIO引导引脚，确定是否允许执行用户代码。

ADuCM355具有写保护特性，可防止未经授权的用户通过外部接口读取器件内容（闪存、SRAM、CPU寄存器和外设寄存器）。

安全特性

ADuCM355处理器提供了多种特性来帮助实现一定程度的系统安全性和可靠性。安全性水平主要由系统考虑因素决定，下列安全特性有助于增强鲁棒性。

多奇偶校验位保护的L1存储器

在SRAM和L1存储空间中，每个字都受多奇偶校验位的保护，可检测所有RAM中的单粒子翻转。

调试特性

SWCLK和SWDIO引脚用于调试和编程。默认为DVDD提供了一个内部上拉电阻。为了省电，用户可以禁用内部上拉电阻并将这些引脚重新配置为三态。从默认状态重新配置这些引脚时应小心，因为这种重新配置会禁用对ADuCM355的调试访问。建议仅在代码开发和调试即将完成时，才在用户代码中禁用这些引脚的SWCLK和SWDIO特性。如果SWCLK和SWDIO引脚意外转换为三态，应通过复位器件来批量擦除器件。设置BM/P1.1 = 0允许用户调用基于串行线的调试器的批量擦除功能。

ADuCM355还可以利用模拟芯片看门狗定时器进行调试。开发或调试用户代码时，应禁用模拟芯片看门狗定时器。只有在开发周期即将结束时才能使能该定时器。如果在调试会话期间保持使能状态，意外的看门狗定时器复位可能导致源代码级调试器程序崩溃，造成用户传感器接口意外复位。

系统异常和外设中断

CORTEX-M3和故障管理

ADuCM355 集成一个Arm Cortex-M3处理器，其支持多种系统异常和外设产生的中断。表40列出了Arm Cortex-M3处理器系统异常。

表40. 系统异常

异常编号	类型	优先级	描述
1	复位	-3 (最高)	任何复位。
2	NMI	-2	无法屏蔽的中断连接到DVDD_REG引脚欠压或AVDD_DD引脚欠压的逻辑或组合。参见表23。
3	硬故障	-1	未使能相应故障处理程序时的所有故障条件。
4	存储器管理故障	可编程	访问无效位置。
5	总线故障	可编程	预取故障、存储器存取故障、数据中止和其他地址或存储器相关故障。
6	使用故障	可编程	同执行未定义指令或尝试无效状态转换。
7至10	保留	不适用	保留。
11	SVCALL	可编程	使用管理模式调用(SVC)指令的系统服务调用。用于系统功能调用。
12	调试监视	可编程	调试监视断点、观察点或外部调试请求。
13	保留	不适用	保留。
14	PENDSV	可编程	可挂起的系统服务请求。用于让系统调用排队，直至其它任务和中断得到处理为止。
15	SYSTICK	可编程	系统节拍定时器。

NVIC控制外设中断，这些中断在表41中列出。所有中断源都可以将Arm Cortex-M3内核从flexi模式唤醒。仅有限数量的中断可将处理器从休眠模式唤醒，如表41所示。从flexi模式或休眠模式唤醒器件后，它将回到活动模式。如果处理器正在进行中断处理，同时处理器进入flexi模式或休眠模式，则只有优先级高于当前中断的中断源才能唤醒器件。较高优先级意味着Cortex IPRx寄存器的位设置具有较高的值。

配置中断通常需要如下两步：

1. 配置外设产生NVIC中断请求。
2. 针对该外设请求配置NVIC。

表41. 中断向量

异常编号	IRQx	矢量	从何种模式唤醒	
			灵活	休眠
16	IRQ0	数字芯片实时时钟1，唤醒定时器，休眠RTC 保留	是	是
17	IRQ1	外部中断1 (SYS_WAKE) 保留	不适用	不适用
18	IRQ2	外部中断3、UART接收唤醒中断和INTCxxx寄存器中断	是	是
19	IRQ3	保留	不适用	不适用
20	IRQ4	数字芯片DVDD_REG引脚超范围	是	是
21	IRQ5	DVDD引脚电压范围	是	否
22	IRQ6	保留	是	否
23	IRQ7	GPIO中断A GPIO中断B	是	是
24	IRQ8	数字芯片通用定时器0	不适用	不适用
25	IRQ9	数字芯片通用定时器1	是	否
26	IRQ10	闪存控制器	是	否
27	IRQ11	UART0	是	否
28	IRQ12	SPI0	是	否
29	IRQ13	外部中断1 (SYS_WAKE) 保留	是	否
30	IRQ14	外部中断3、UART接收唤醒中断和INTCxxx寄存器中断	是	否
31	IRQ15	保留	是 ¹	否

异常编号	IRQx	矢量	从何种模式唤醒	
			灵活	休眠
32	IRQ16	SPI1	是 ¹	否
33	IRQ17	I ² C从机	是 ¹	否
34	IRQ18	I ² C主机	是 ¹	否
35	IRQ19	DMA错误	是	否
36	IRQ20	DMA通道0完成	是	否
37	IRQ21	DMA通道1完成	是	否
38	IRQ22	DMA通道2完成	是	否
39	IRQ23	DMA通道3完成	是	否
40	IRQ24	DMA通道4完成	是	否
41	IRQ25	DMA通道5完成	是	否
42	IRQ26	DMA通道6完成	是	否
43	IRQ27	DMA通道7完成	是	否
44	IRQ28	DMA通道8完成	是	否
45	IRQ29	DMA通道9完成	是	否
46	IRQ30	DMA通道10完成	是	否
47	IRQ31	DMA通道11完成	是	否
48	IRQ32	DMA通道12完成	是	否
49	IRQ33	DMA通道13完成	是	否
50	IRQ34	DMA通道14完成	是	否
51	IRQ35	DMA通道15完成	是	否
52	IRQ36	保留	不适用	不适用
53	IRQ37	保留	不适用	不适用
54	IRQ38	保留	是	否
55	IRQ39	保留	不适用	不适用
56	IRQ40	数字芯片通用定时器2	是	否
57	IRQ41	数字芯片晶体振荡器	是	否
58	IRQ42	保留	不适用	不适用
59	IRQ43	保留	不适用	不适用
60	IRQ44	保留	是	否
61至63	IRQ45至IRQ47	保留	不适用	不适用
64	IRQ48	模拟芯片ADC	是	否
65至67	IRQ49至IRQ51	保留	不适用	不适用
68	IRQ52	模拟芯片看门狗定时器	是	否
69	IRQ53	保留	不适用	不适用
70	IRQ54	模拟芯片通用定时器0	是	否
71	IRQ55	模拟芯片通用定时器1	是	否
72	IRQ56	保留	不适用	不适用
73	IRQ57	DMA模拟芯片数据FIFO (DMA通道17)	是	否
74	IRQ58	DMA通道18完成	是	否
75	IRQ59	DMA通道19完成	是	否
76	IRQ60	DMA通道20完成	是	否
77	IRQ61	DMA通道21完成	是	否
78	IRQ62	DMA通道22完成	是	否
79	IRQ63	DMA通道23完成	是	否

¹ 需要相应的PCLK来产生中断。

在Arm Cortex-M3处理器内部，最高用户可编程优先级(0)被当作第四优先级对待，位于复位、NMI或硬故障之后。ADuCM355采用3个优先级位，意味着有8个优先级是可编程的。0是所有可编程优先级的默认优先级。如果将相同优先级赋予给两个或更多中断，其硬件优先级（位置编号越低则优先级越高）决定处理器激活中断的顺序。例如，如果数字芯片通用定时器0和数字芯片通用定时器1的优先级均为1，则数字芯片通用定时器0具有更高优先级。

要使能从IRQ0到IRQ31的任何外设的中断，须设置Cortex ISER0寄存器中的相应位。ISER0是一个32位寄存器，每一位与表41中的前32条对应。

例如，要使能NVIC中的“外部中断0”中断源，须设置ISER0的位2 = 1。同样，要禁用“外部中断1”(SYS_WAKE)，须设置ICER0的位2 = 1。

要使能从IRQ32到IRQ63的任何外设的中断，须设置Cortex ISER1寄存器中的相应位。ISER1是一个32位寄存器，ISER1寄存器中的位0到31对应于IRQ32到IRQ63。

例如，要使能NVIC中的“通用定时器2”中断源，须设置ISER1的位8 = 1。同样，要禁用“通用定时器2”中断，须设置ICER1的位8 = 1。

另外，CMSIS在core_cm3.h文件中提供了多个有用的NVIC函数。NVIC_EnableIRQ (TMR2_EVT_IRQn)函数可使能“通用定时器2”中断。通过调用NVIC_DisableIRQ (TMR2_EVT_IRQn)函数可禁用该中断。

要设置外设中断的优先级，须适当地设置Cortex IPRx寄存器或调用NVIC_SetPriority()函数。例如，NVIC_SetPriority (TMR2_EVT_IRQn, 2)将通用定时器2中断的优先级配置为2。

表43列出了使能和禁用相关中断以及设置优先级的寄存器。表43中的寄存器定义在CMSIS core_cm3.h文件中，该文件与第三方供应商的工具一起提供。

来自模拟芯片的中断源

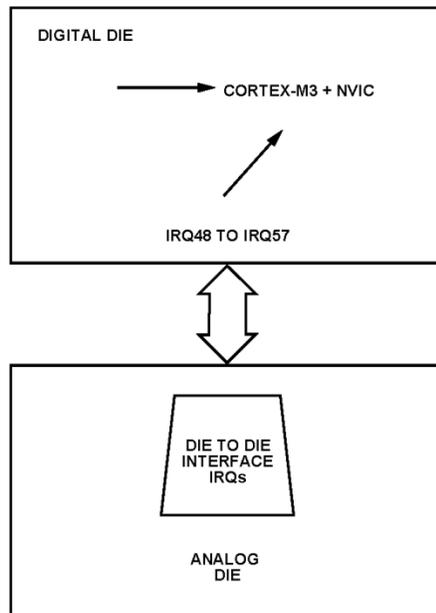


图5. 模拟芯片到数字芯片的中断连接

模拟芯片外设为NVIC提供了不同的中断源。模拟芯片中断连接到NVIC IRQ48至IRQ57，如图5所示。表42列出了通过中断使能寄存器ADCINTIEN使能的IRQ48（异常编号64）的所有模拟芯片中断源（中断使能寄存器位和中断状态位）。

表42. 模拟芯片中断列表

异常编号	IRQx	中断使能寄存器	中断使能寄存器位	中断状态寄存器	中断状态寄存器位
64	IRQ48	ADCINTIEN	ADCRDYIEN DFTRDYIEN SINC2RDYIEN TEMPRDYIEN ADCMINFAILIEN ADCMAXFAILIEN ADCDELTAFAILIEN MEANIEN	ADCINTSTA	ADCRDY DFTRDY SINC2RDY TEMPRDY ADCMINERR ADCMAXERR ADCDIFFERR MEANRDY

向数字芯片上的NVIC生成中断请求需要两个步骤:

1. 配置相应的外设产生NVIC中断请求。参见表42中的中断使能寄存器位一栏。
2. 针对该外设请求配置NVIC。调用NVIC_EnableIRQ(IRQn)。

以下示例函数显示了如何选择ADC就绪(ADCRDY)中断源作为NVIC芯片间中断源:

```
void AfeAdcInterruptSetup(void)
{
    AfeAdcIntCfg(BITM_AFE_ADCINTIEN_ADCRDYIEN);    // Select ADCReady as interrupt source

    NVIC_EnableIRQ(AFE_ADC_IRQn);                  // Enable AFE_ADC interrupt source in NVIC
}
void SIP0_IRQHandler()
{
    uiIntSta = AfeAdcIntSta();
    if (uiIntSta & BITM_AFE_ADCINTSTA_ADCRDY)
    {
        szADCSamples[i]= AfeAdcRd(RAWADC);
    }
}
```

清除模拟芯片中断源

IRQ48、IRQ52、IRQ54、IRQ55和IRQ57是来自模拟芯片的中断源。

退出中断服务程序之前，须确保中断已得到充分处理，并且相关的中断状态标志已完全清零。如果用户代码在完全清除中断标志之前退出中断服务程序，CPU程序计数器可能会重复引导进入相同的中断服务程序。

如果发生定时器中断，应在清除超时状态位之后但在退出定时器中断服务程序之前，增加30个AFE_SYSCLK周期的短暂延迟。

以下是模拟芯片通用定时器0的中断服务例程示例:

```
// AFE General-Purpose Timer0 Interrupt handler.
void AfeGpTimer0_Int_Handler()
{
    ucSecondTimer = 1;
    pADI_AGPT0->CLR10 = 0x1;    // Clear Timeout IRQ
    delay(100);                // Ensure the delay equates to 10 >=30x analog die System
                                // clocks
}
```

CORTEX-M3 NVIC寄存器列表

表43中的寄存器位于Arm Cortex-M3中。

表43. NVIC寄存器

地址	ADI公司头文件名称	描述	访问类型
0xE000E004	ICTR	显示NVIC支持的中断线数。	R
0xE000E010	STCSR	系统节拍定时器控制和状态。	R/W
0xE000E014	STRVR	系统节拍定时器重载值。	R/W
0xE000E018	STCVR	系统节拍定时器当前值。	R/W
0xE000E01C	STCR	系统节拍定时器校准值。	R
0xE000E100	ISER0	设置IRQ0至IRQ31使能。每一位对应于表41中的IRQ0至IRQ31。	R/W
0xE000E104	ISER1	设置IRQ32至IRQ63使能。每一位对应于表41中的IRQ32至IRQ63。	R/W
0xE000E180	ICERO	通过设置相应的位清除IRQ0至IRQ31。每一位对应于表41中的IRQ0至IRQ31。	R/W
0xE000E184	ICER1	通过设置相应的位清除IRQ32至IRQ63。每一位对应于表41中的IRQ32至IRQ63。	R/W
0xE000E200	ISPRO	设置IRQ0至IRQ31挂起。每一位对应于表41中的IRQ0至IRQ31。	R/W
0xE000E204	ISPR1	设置IRQ32至IRQ63挂起。每一位对应于表41中的IRQ32至IRQ63。	R/W
0xE000E280	ICPRO	清除IRQ0至IRQ31挂起。每一位对应于表41中的IRQ0至IRQ31。	R/W
0xE000E284	ICPR1	清除IRQ32至IRQ63挂起。每一位对应于表41中的IRQ32至IRQ63。	R/W
0xE000E300	IABRO	IRQ0至IRQ31有效位。	R/W
0xE000E304	IABR1	IRQ32至IRQ63有效位。	R/W
0xE000E400	IPR0	IRQ0至IRQ3优先级。	R/W
0xE000E404	IPR1	IRQ4至IRQ7优先级。	R/W
0xE000E408	IPR2	IRQ8至IRQ11优先级。	R/W
0xE000E40C	IPR3	IRQ12至IRQ15优先级。	R/W
0xE000E410	IPR4	IRQ16至IRQ19优先级。	R/W
0xE000E414	IPR5	IRQ20至IRQ23优先级。	R/W
0xE000E418	IPR6	IRQ24至IRQ27优先级。	R/W
0xE000E41C	IPR7	IRQ28至IRQ31优先级。	R/W
0xE000E420	IPR8	IRQ32至IRQ35优先级。	R/W
0xE000E424	IPR9	IRQ36至IRQ39优先级。	R/W
0xE000E428	IPR10	IRQ40至IRQ43优先级。	R/W
0xE000E42C	IPR11	IRQ44至IRQ47优先级。	R/W
0xE000E430	IPR12	IRQ48至IRQ51优先级。	R/W
0xE000E434	IPR13	IRQ52至IRQ55优先级。	R/W
0xE000E438	IPR14	IRQ56至IRQ59优先级。	R/W
0xE000E43C	IPR15	IRQ60至IRQ63优先级。	R/W
0xE000ED00	CPUID	CPU ID基。	R
0xE000ED04	ICSR	中断控制和状态。	R/W
0xE000ED08	VTOR	向量表偏移。	R/W
0xE000ED0C	AIRCR	应用程序中断和复位控制。	R/W
0xE000ED10	SCR	系统控制。	R/W
0xE000ED14	CCR	配置控制。	R/W
0xE000ED18	SHPR1	系统处理程序1。	R/W
0xE000ED1C	SHPR2	系统处理程序2。	R/W
0xE000ED20	SHPR3	系统处理程序3。	R/W
0xE000ED24	SHCRS	系统处理程序控制和状态。	R/W
0xE000ED28	CFSR	可配置故障状态。	R/W
0xE000ED2C	HFSR	硬故障状态。	R/W
0xE000ED34	MMAR	存储器管理故障地址。	R/W
0xE000ED38	BFAR	总线故障地址。	R/W
0xE000EF00	STIR	软件触发中断。	W

外部中断配置

器件实现了两个外部中断，这与“数字输入和输出”部分所述的中断不同。其中一个外部中断是P1.0/SYS_WAKE引脚。另一个是来自模拟芯片的中断源，其连接到数字芯片的外部中断3线路，该线路可以连接到UART输入引脚(P0.11/UART_SIN)。这两个外部中断可以独立配置来检测以下类型事件的任意组合：

- 边沿：上升沿、下降沿或上升沿与下降沿同时检测。检测到低到高跃迁、高到低跃迁或低到高/高到低跃迁时，向NVIC发生一个中断信号（脉冲）。
- 电平：高或低。在NVIC中产生一个中断信号并保持置位，直到产生中断的条件解除置位。电平必须维持至少一个内核时钟周期才能被检测到。

外部中断检测单元模块位于始终开启部分，外部中断可以将器件从休眠模式唤醒。确保已使能所需外部中断输入的相关GPxIE寄存器位。GPxIE寄存器使能外部中断的输入路径电路。

例如，对于外部中断1 (SYS_WAKE)，以下代码会禁用P1.0/SYS_WAKE输出引脚并使能输入路径。附加代码还会使能外部中断1 NVIC中断源。

```
pADI_GPIO1->OEN &= 0xFFFFE;           //Disable P1.0 output.
pADI_GPIO1->IEN |= 0x0001;           //Enable input path for P1.0 input.
pADI_XINT0->CFG0 |=0x80;             //External IRQ1 enabled.
NVIC_EnableIRQ(XINT_EVT1_IRQn);     //Enable External Interrupt 1 source.
```

寄存器汇总：系统异常和外设中断

表44. 数字芯片外部中断寄存器汇总

地址	名称	描述	复位	访问类型
0x4004C080	XINT_CFG0	外部中断配置0	0x00200000	R/W
0x4004C084	XINT_EXT_STAT	外部唤醒中断状态	0x00000000	R
0x4004C090	XINT_CLR	外部中断清零	0x00000000	R/W
0x4004C094	XINT_NMICLR	无法屏蔽的中断清零	0x00000000	R/W

表45. 模拟芯片全局中断使能寄存器汇总

地址	名称	描述	复位	访问类型
0x400C0A28	EI2CON	Analog die interrupt enable	0x0000	R/W
0x400C0A28	EI2CON	模拟芯片中断使能	0x0000	

寄存器详解：系统异常和外设中断

外部中断配置0寄存器

地址：0x4004C080；复位：0x00200000；名称：XINT_CFG0

表46. XINT_CFG0位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x0	R
[23:21]	UART_RX_MDE	000 上升沿。 001 下降沿。 010 上升或下降沿。 011 高电平。 100 低电平。 101 下降沿（同001）。 110 上升或下降沿（同010）。 111 高电平（同011）。	使用P0.11/UART_SIN唤醒模式的外部中断。	0x1	R/W
20	UART_RX_EN	1 使能P0.11/UART_SIN唤醒中断。 0 禁用P0.11/UART_SIN唤醒中断。	外部中断使能位。此位使能P0.11/UART_SIN引脚在IRQ4上产生中断。见表41。	0x0	R/W
[19:16]	保留		保留。	0x0	R/W
15	IRQ3EN	1 禁用外部中断3。 0 使能外部中断3。	外部中断3使能位。	0x0	R/W
[14:12]	IRQ3MDE	000 上升沿。 001 下降沿。 010 上升或下降沿。 011 高电平。 100 低电平。 101 下降沿（同001）。 110 上升或下降沿（同010）。 111 高电平（同011）。	外部中断3模式。	0x0	R/W
[11:8]	保留		保留。	0x0	R/W
7	IRQ1EN	0 禁用外部中断1。 1 使能外部中断1。	外部中断1使能位。	0x0	R/W
[6:4]	IRQ1MDE	000 上升沿。 001 下降沿。 010 上升或下降沿。 011 高电平。 100 低电平。 101 下降沿（同001）。 110 上升或下降沿（同010）。 111 高电平（同011）。	外部中断1模式。	0x0	R/W
[3:0]	保留		保留。	0x0	R/W

外部唤醒中断状态寄存器

地址：0x4004C084；复位：0x00000000；名称：XINT_EXT_STAT

表47. XINT_EXT_STAT位功能描述

位	位名称	设置	描述	复位	访问类型
[31:6]	保留		保留。	0x0	R
5	STAT_UART_RXWKUP		P0.11/UART_SIN唤醒中断的中断状态位。只读寄存器位。向XINT_CLR位5写入1清0。 0 P0.11/UART_SIN唤醒未产生中断。 1 P0.11/UART_SIN唤醒产生了中断。	0x0	R
4	RESERVED		保留。	0x0	R
3	STAT_EXTINT3		外部中断3的中断状态位。如果AFE芯片到数字芯片存在INTC中断，则此位有效。 0 外部中断3未产生中断。 1 外部中断3产生了中断。	0x0	R
2	RESERVED		保留。	0x0	R
1	STAT_EXTINT1		外部中断1的中断状态位。如果SYS_WAKE上置位了中断，则此位有效。向XINT_CLR位1写入1清0。只读寄存器位。 0 外部中断1未产生中断。 1 外部中断1产生了中断。	0x0	R
0	保留		保留。	0x0	R

外部中断清零寄存器

地址：0x4004C090；复位：0x00000000；名称：XINT_CLR

表48. XINT_CLR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:6]	保留		保留。	0x0	R
5	UART_RX_CLR		P0.11/UART_SIN唤醒中断的外部中断清零。置1可清除中断状态标志。硬件自动清0。	0x0	R/W
4	IRQ3		外部中断3。置1可清除中断状态标志。硬件自动清0。	0x0	R/W
[3:2]	保留		保留。	0x0	R/W
1	IRQ1		外部中断1。置1可清除中断状态标志。硬件自动清0。	0x0	R/W
0	保留		保留。	0x0	R

无法屏蔽的中断清零寄存器

地址：0x4004C094；复位：0x00000000；名称：XINT_NMICLR

表49. XINT_NMICLR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:1]	保留		保留。	0x0	R
0	CLR		NMI清零。当设置了NMI中断时，置1可清除中断状态标志。硬件自动清0。	0x0	R/W

模拟芯片中断使能寄存器

地址：0x400C0A28；复位：0x0000；名称：EI2CON

表50. EI2CON位功能描述

位	位名称	设置	描述	复位	访问类型
[15:4]	保留		保留。	0x0	R
3	BUSINTEN	0 1	总线中断检测使能位。在进入休眠模式之前设置，使得AFE可通过任何模拟芯片访问来唤醒。 芯片接口中断唤醒禁用。 芯片接口中断唤醒使能。	0x0	R/W
[2:0]	保留		保留。保持为0。	0x0	R/W

模拟芯片电路概述

ADuCM355模拟芯片包括如下八个主要模块:

- ADC。ADC是具有宽范围电压和电流输入通道的高速SAR ADC。参见“ADC电路”部分。
- 低功耗恒电势器和TIA。此模块还包括用于设置外部电化学传感器直流偏置电压的低功耗DAC。参见“低功耗恒电势器放大器和低功耗TIA”部分。
- 高速TIA。高速TIA旨在利用ADC测量交流电流信号，尤其是在阻抗测量期间。相比低功耗TIA，高速TIA支持更宽的输入信号带宽。高速TIA的电流消耗高于低功耗TIA。参见“高速TIA电路”部分。
- 高速DAC电路。高速DAC通过其专门设计的输出激励放大器来支持交流阻抗测量。高速DAC输出的交流信号可以通过激励放大器耦合到由低功耗DAC设置的直流传感器偏置电压上。参见“高速DAC电路”部分。
- 将外部传感器连接到高速DAC和高速TIA的可编程开关。ADuCM355支持灵活地将外部引脚连接到高速TIA和激励放大器端子。参见“将外部传感器连接到高速DAC和高速TIA的可编程开关”部分。
- 模拟芯片数字电路。此模块包括可选的可编程定时器。参见“模拟芯片通用定时器”部分。
- 用例配置。“用例配置”部分描述了典型电化学传感器用例以及针对每种用例的ADuCM355配置。
- 序列器（参见“序列器”部分）。

ADC、高速DAC和相关放大器工作模式配置

ADC和高速DAC电路能够灵活地处理电流消耗与信号带宽之间的关系。如果使用ADC和高速DAC来测量并生成<80 kHz的信号以进行低频阻抗测量，可将PMBW的位0清0，以将这些模块配置为低功耗模式。这种配置可使功耗最低。如果使用ADC和/或高速DAC来测量并生成>80 kHz的信号以进行高频阻抗测量，应设置PMBW位0 = 1。

系统带宽配置

除了配置PMBW位0外，用户还必须配置高速DAC的重构滤波器的带宽设置、ADC的抗混叠滤波器以及高速TIA的带宽。PMBW的位[3:2]允许用户设置此配置。对于HSTIACON寄存器，须确保低功耗模式下HSTIACON位[5:1] = 00000，高功率模式下HSTIACON位[5:1] = 11111。有关PMBW寄存器的更多信息，参见表20。

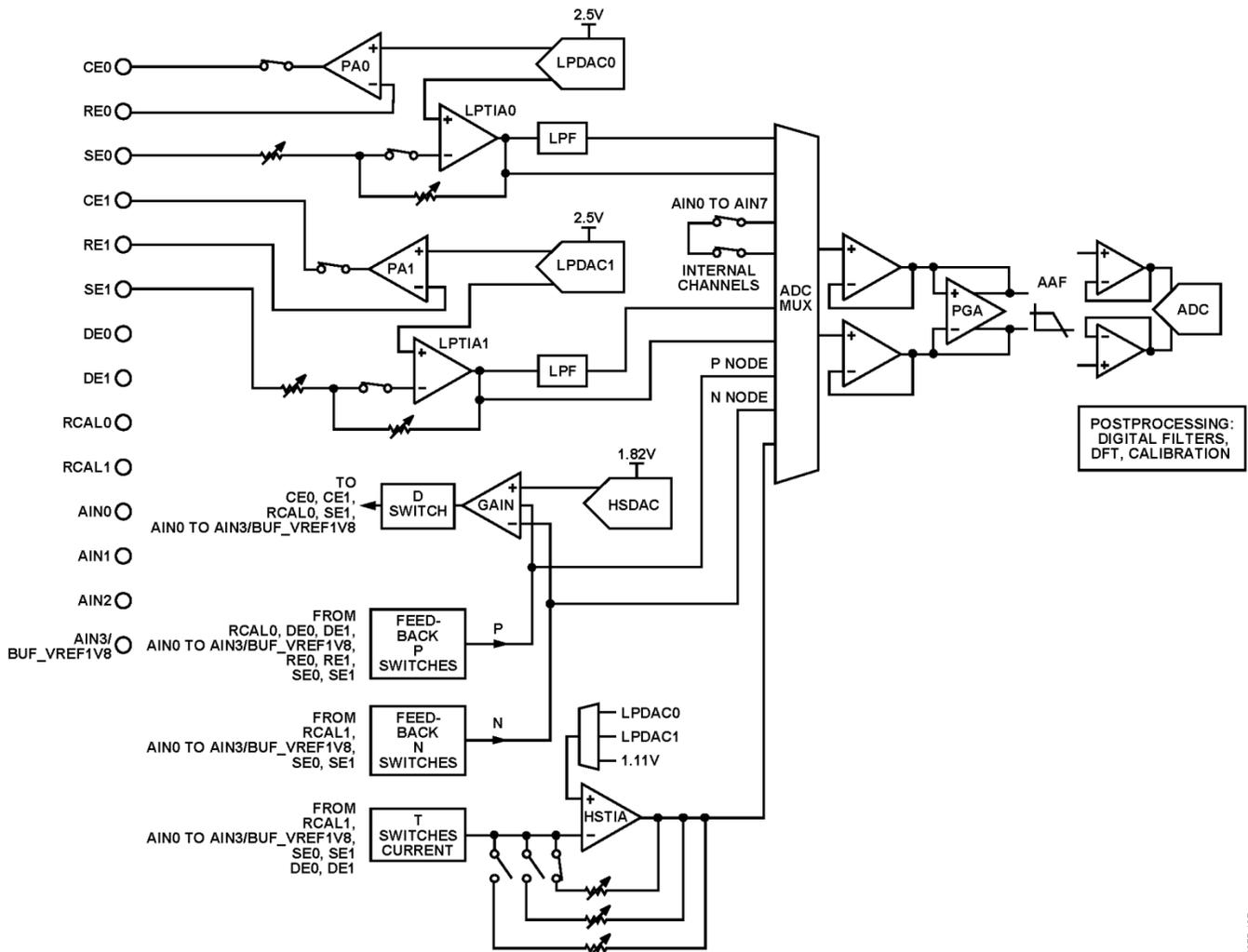


图6. AFE芯片模拟电路的模块级概览以及与外部引脚的连接

16675-107

寄存器汇总：模拟芯片电路

表51. 模拟芯片电路寄存器汇总

地址	名称	描述	复位	访问类型
0x400C2000	AFECON	模拟配置	0x00080000	R/W

寄存器详解：模拟芯片电路

AFE配置寄存器

地址：0x400C2000；复位：0x00080000；名称：AFECON

此寄存器中的特定位与模拟芯片中的特定模块相关。每个模块的相关位如下：

- 与ADC模块有关的位是位16、位15、位13、位12、位8、位7和位5。
- 与高速TIA模块有关的位是位11和位5。
- 与高速DAC模块有关的位是位21、位20、位14、位10、位9和位5。

表52. AFECON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:22]	保留		保留。	0x0	R
21	HSDACBUFEN	0 1	使能DC DAC缓冲器。使能缓冲器以支持DC DAC的高阻抗输出。 禁用DC DAC缓冲器。 使能DC DAC缓冲器。	0x0	R/W
20	HSDACREFEN	0 1	高速DAC基准电压源使能。 基准电压源禁用。清除为0即禁用高速DAC基准电压源。 基准电压源使能。设置为1即使能高速DAC基准电压源。	0x0	R/W
19	ALDOILIMITEN	0 1	模拟LDO缓冲器限流。使能AFE模拟LDO缓冲器限流功能。如果使能，当对AVDD_REG上的电容充电时，LDO缓冲器限流功能会限制从外部电池汲取的电流。 使能模拟LDO缓冲器限流。 禁用模拟LDO缓冲器限流。	0x1	R/W
[18:17]	保留		保留。	0x0	R
16	SINC2EN	0 1	ADC输出50 Hz或60 Hz滤波器使能。使能50 Hz或60 Hz电源抑制滤波器。当使用sinc2数字滤波器时，在重新启动ADC转换之前，应将此位清0后再置1。 禁用电源抑制滤波器。禁用sinc2 (50 Hz/60 Hz数字滤波器)。对于阻抗测量应禁用此位。 使能电源抑制滤波器。使能sinc2 (50 Hz/60 Hz数字滤波器)。	0x0	R/W
15	DFTEN	0 1	DFT硬件加速器使能。使能DFT硬件加速模块。 禁用DFT硬件加速器。 使能DFT硬件加速器。	0x0	R/W
14	WAVEGENEN	0 1	波形发生器使能。使能波形发生器。 禁用波形发生器。 使能波形发生器。	0x0	R/W
13	TEMPCONVEN0	0 1	ADC温度传感器0转换使能。使能ADC温度通道转换。温度转换完成后，TEMPSENSDAT寄存器中的结果可用。转换后，此位复位为0。 禁用温度通道0读取。 使能温度通道0读取。	0x0	R/W
12	TEMPSENSENO	0 1	ADC温度传感器0通道使能。使能温度传感器。 禁用温度传感器。温度传感器关断。 使能温度传感器。温度传感器上电，但除非TEMPCONVEN0位 = 1，否则不会读取温度。	0x0	R/W
11	HSTIAEN	0 1	使能高速TIA。 禁用高速TIA。 使能高速TIA。	0x0	R/W
10	INAMPEN	0 1	使能高速DAC输出端的激励仪表放大器。使能仪表放大器。 禁用高速DAC可编程仪表放大器。 使能高速DAC可编程仪表放大器。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
9	EXBUFEN		使能高速DAC输出端的激励缓冲器。 0 禁用高速DAC激励缓冲器。 1 使能高速DAC激励缓冲器。	0x0	R/W
8	ADCCONVEN		ADC转换开始使能。 0 ADC空闲。ADC已上电，但未进行转换。 1 使能ADC转换。	0x0	R/W
7	ADCEN		ADC电源使能。使能ADC。禁用ADC。 0 ADC关断。 1 使能ADC。ADC上电。必须设置ADCCONVEN位才能启动转换。	0x0	R/W
6	HSDACEN		高速DAC使能。使能高速DAC及其重构滤波器。此位仅使能模拟模块，不包括DAC波形发生器。 0 禁用高速DAC。 1 使能高速DAC。	0x0	R/W
5	HPREFDIS		禁用高功率基准电压源。此位是高功率基准电压源的关断信号。 0 使能高功率基准电压源。必须清0才能让ADC和高速DAC工作。 1 禁用高功率基准电压源。关断基准电压源。	0x0	R/W
4	保留		保留。	0x0	R/W
[3:0]	保留		保留。	0x0	R

ADC电路

ADC电路概述

SAR ADC电路在模拟芯片上实现。该芯片采用2.8 V至3.6 V电源供电。Arm Cortex-M3处理器通过内部芯片到芯片接口与ADC接口。ADC采用精密、低漂移、工厂校准的1.82 V基准电压源。也可以将外部基准电压源连接到VREF_1.82V引脚。直接写入AFECON寄存器可触发ADC转换。

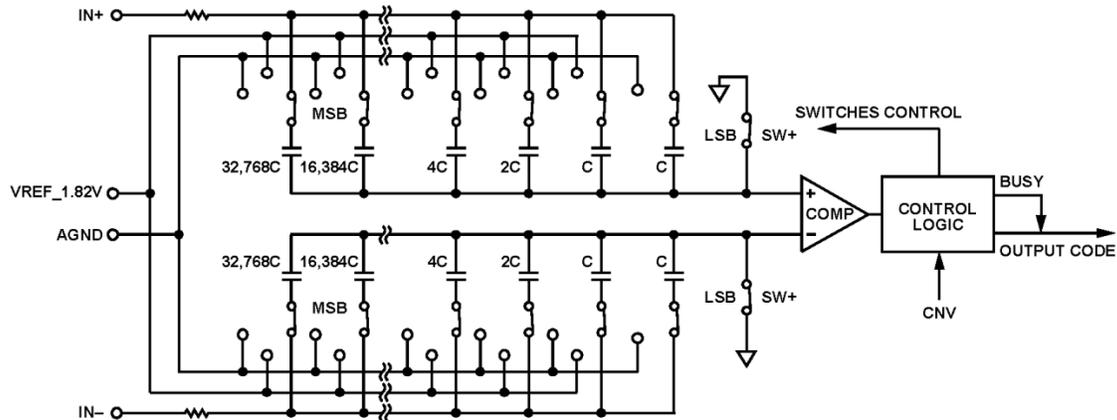


图7. ADC内核框图

16875-007

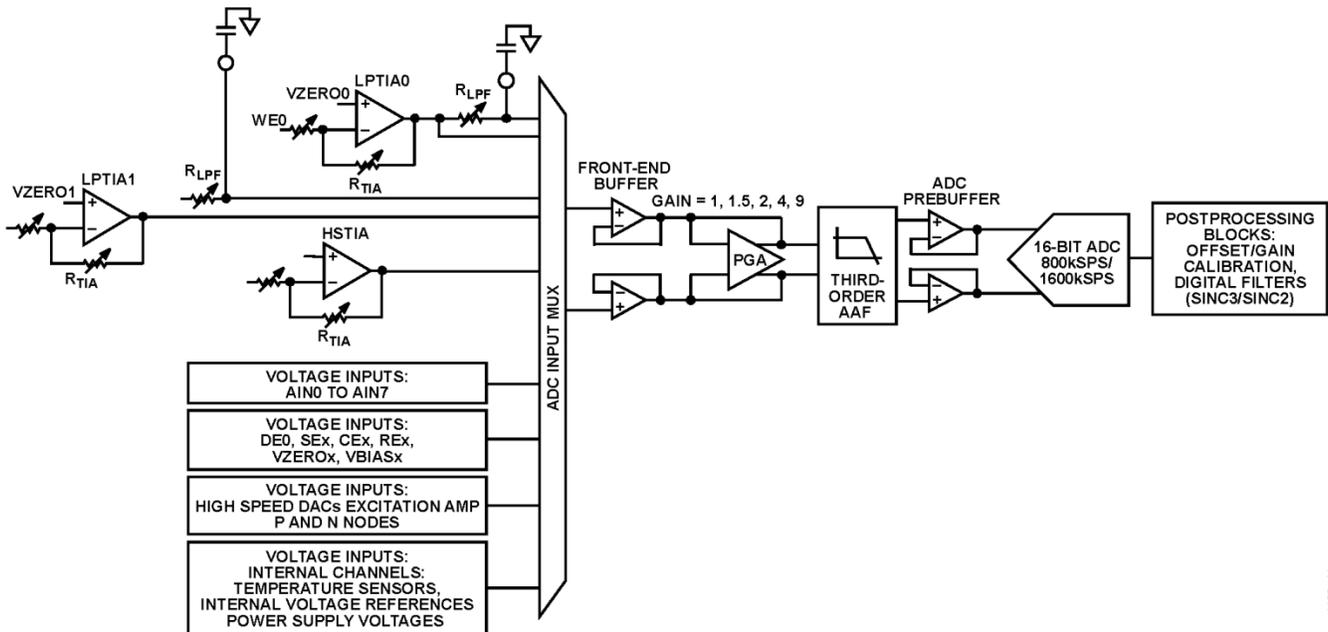


图8. ADC输入级

16875-108

ADC电路特性

ADuCM355含有一个快速多通道16位ADC。输入多路复用器支持多个外部和内部通道。共有多达34个用户可选通道，包括如下：

- 四个低功耗电流测量通道。这些通道旨在测量电化学传感器的感应、工作和诊断电极输出。电流通道馈入可编程负载电阻 (R_{LOAD})。
 - 包括两个低功耗TIA，每个TIA都有一个可编程增益电阻，可将非常小的电流转换为ADC可以测量的电压信号。
 - 低功耗电流通道可配置为在有低通滤波器的情况下进行采样。旁路低通滤波器对电化学传感器输出端的诊断操作有用。

- 一个高速电流输入通道，用于执行高达200 kHz的阻抗测量。
- 多个外部电压输入。
 - 八个专用电压输入通道，AIN0至AIN7。
 - 传感器电极引脚也可以作为ADC电压输入进行测量。
 - 包括SE0、SE1、DE0、RE0、RE1、CE0和CE1引脚。CE0和CE1输入有除2选项。
- 内部ADC通道。
 - AVDD、DVDD和AVDD_REG是电源测量通道。
 - ADC、高速DAC和低功耗基准电压输入。
 - 两个内部芯片温度传感器。
- 四个低功耗DAC输出电压：VBIAS0、VZERO0、VBIAS1和VZERO1。

ADC具有多种后处理特性，如下所示：

- sinc2和sinc3的数字滤波以及50 Hz或60 Hz电源抑制。
- DFT，与阻抗测量一起使用以自动计算幅度和相位值。
- 可编程ADC结果均值。
- 用于计算平均值的可编程统计选项。
- 多种校准选项，支持电流、电压和温度通道的系统校准。

ADC输入级提供输入缓冲器，支持所有通道上的低输入电流和低输入漏电流规格。

为了支持一系列基于电流和电压的输入范围，ADC前端提供PGA和可编程TIA。PGA支持1、1.5、2、4和9倍的增益。低功耗TIA支持200Ω至512kΩ的可编程增益电阻。用于阻抗测量的高速TIA支持200 Ω至160 kΩ的可编程增益电阻。

ADC的默认基准源是内部精密低漂移1.8 V基准电压源。也可将外部基准电压源连接到VREF_1.82V和AGND_REF引脚。

ADC支持均值和数字滤波选项。使用这些选项，用户可以平衡速度与精度。不采用数字滤波时，低功耗模式下的最高ADC更新速率为800 kHz，高功率模式下为1.6 MHz。ADC滤波选项还包括50 Hz或60 Hz交流电源滤波器。使能交流电源滤波器后，ADC更新速率典型值为900 Hz。如果未选择滤波，则支持的分辨率降至14位。

ADC支持许多后处理特性。这些特性包括DFT计算器。DFT用于阻抗测量，以消除微控制器的处理要求。它还支持最小值、最大值和平均值检测。

ADC电路工作原理

SAR ADC基于电荷再分配型DAC。容性DAC包含两个相同的16位二进制加权电容阵列，分别连接到比较器的两个输入端。

正常操作时，ADC模块采用16 MHz时钟工作。该时钟可确保无滤波的最大ADC更新速率为800 kSPS。对于高功率模式，应选择32 MHz振荡器作为ADC时钟源。ADC的最大更新速率为1.6 MSPS，但功耗更高。对于正常模式和高功率模式，强烈建议至少使能sinc3滤波器选项，这种情况下更新速率为200 kSPS。

ADC转换函数

图9中的转换函数显示了y轴上的ADC输出码与ADC中差分电压的关系。ADC负输入通道为1.11 V电压源（ADCCON位[12:8] = 0b01000）。正输入通道为TIA、PGA和输入缓冲级之后到ADC的任何电压输入。

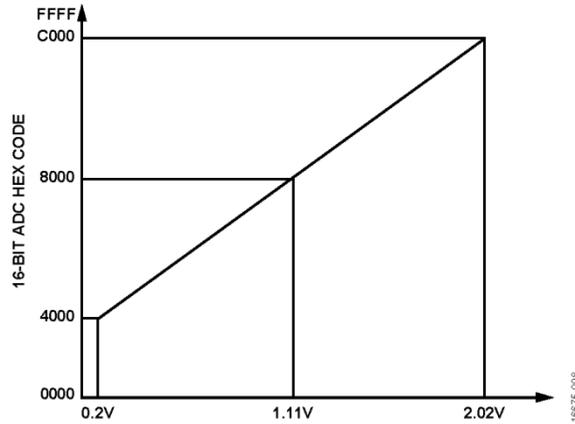


图9. 理想ADC转换函数，ADC电压输入与输出码的关系，其中输入为1.11 V的ADCVBIA5_CAP

要计算输入电压(V_{IN})，请使用以下公式将ADC代码转换为电压：对于PGA增益 = 1，

$$V_{IN} = (VREF \times (((ADCDAT - 0x8000)/2^{15}))) + ADCVBIA5_CAP \quad (1)$$

对于PGA增益 = 1.5，

$$V_{IN} = (VREF/1.5 \times (((ADCDAT - 0x8000)/2^{15}) \times 1.835/1.82)) + ADCVBIA5_CAP$$

对于PGA增益 = 2、4或9，

$$V_{IN} = (VREF/PGA_GAIN \times (((ADCDAT - 0x8000)/2^{15}))) + ADCVBIA5_CAP$$

其中：

$VREF = 1.82$ V (典型值)。

ADCDAT为ADC转换结果。

ADCVBIA5_CAP = 1.11 V (典型值)。

PGA_GAIN为PGA增益设置减一。该增益由ADCCON的位[18:16]设置。

ADC低功耗电流输入通道

图10显示了低功耗TIA0输入电流通道，即低功耗TIA0。低功耗TIA1输入电流通道（即低功耗TIA1）与低功耗TIA0相同。低功耗TIA的输出是与ADC测得的输入电流成比例的电压。有关如何配置 R_{LOAD0} 电阻、 R_{TIA0} 电阻和低通滤波器可编程电阻(R_{FILTER})值的详细信息，参见“低功耗TIA”部分。

要选择进行校准和测量的低功耗TIA输入通道，请参阅表63中ADCCON的位[12:0]。对于低功耗TIA0，通过设置ADCCON位[5:0] = 0b000010来选择ADC正输入。对于低功耗TIA1，通过设置ADCCON位[5:0] = 0b000011来选择ADC正输入。

图10还显示了控制低功耗TIA正输入电压电平的低功耗DAC (V_{ZERO})信号。

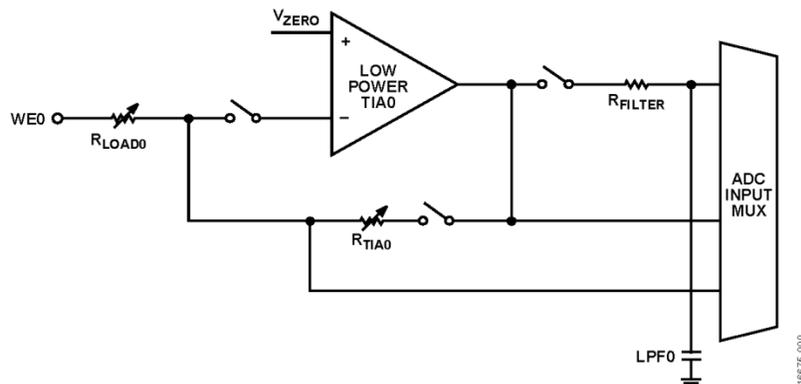


图10. ADC的低功耗TIA0电流输入通道

低功耗TIA输出有一个低通滤波器。将TIA输出连接到输入多路复用器的电阻典型值为1 M Ω ，建议的外部低通滤波器电容为4.7 μ F，因此截止频率非常低。该电阻在图10中标记为RFILTER。有关如何设置传感器偏置电压的更多信息，参见“低功耗DAC”部分。

ADC输入电路

图8给出了从ADC多路复用器到ADC的ADC输入级的基本视图。

ADC输入多路复用器可编程，支持从多达34个正输入通道中进行选择。输入多路复用器的特性包括：

- 正输入可以通过ADCCON位[5:0]选择。
- 负输入标称使用1.11 V基准电压源，通过ADCCON位[12:8] = 0b01000选择。
- 可以选择PGA来放大正电压输入。PGA或仪表放大器通过AFECON位10使能。增益设置通过ADCCON位[18:16]配置。
- 增益级的输出经过一个抗混叠滤波器。抗混叠滤波器的截止频率由PMBW位[3:2]设置。设置截止频率以适应输入信号带宽。详情参见“ADC、高速DAC和相关放大器工作模式配置”部分。

ADC输出码使用偏移和增益校正系数进行校准。此数字调整系数自动产生。使用的偏移和增益校正寄存器取决于所选的ADC输入通道。详情参见“ADC校准”部分。

ADC后处理滤波器选项

图11概要显示了ADC结果的后处理选项。

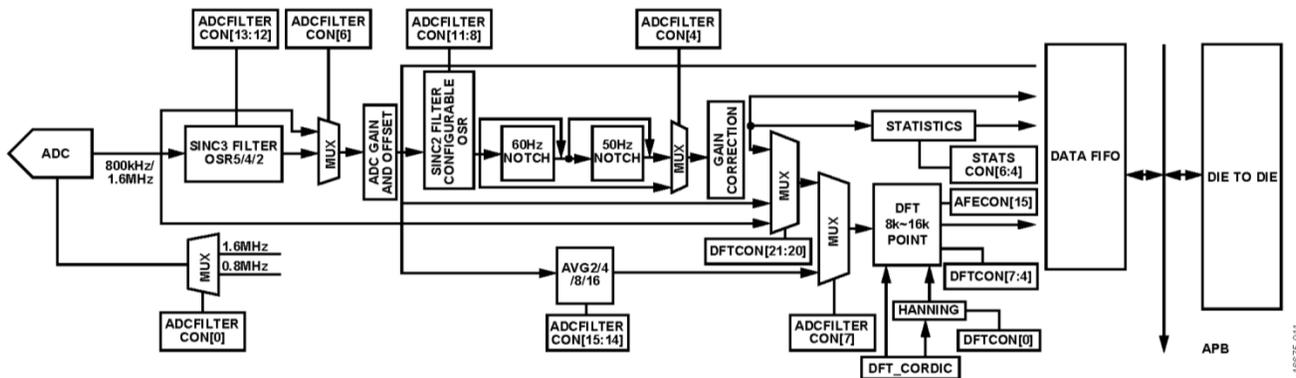


图11. ADC后处理滤波器选项

Sinc3滤波器

输入为原始ADC码，速率为800 kHz（若模拟芯片选择16 MHz振荡器）或1.6 MHz（若模拟芯片选择32 MHz振荡器）。

要启用sinc3滤波器，应确保ADCFILTERCON位6 = 0。滤波器抽取率是可编程的。建议的抽取或过采样率(OSR)为4。OSR由ADCFILTERCON的位[13:12]控制。如果选择16 MHz振荡器，则正常模式下的输入速率为200 kSPS；如果选择32 MHz振荡器，则高速模式下的输入速率为400 kSPS。

如果选择，sinc3滤波器输出可以通过ADCDAT寄存器读取。更改ADC输入通道或通过ADCFILTERCON更改ADC更新速率时，用户必须复位sinc3滤波器。如果不复位sinc3滤波器，则新设置下的ADC采样将不准确。

以下是指令示例：

```
pADI_AFE->AFECON &= (~(BITM_AFE_AFECON_ADCCONVEN)); // Clear AFECON[8]
pADI_AFE->AFECON |= BITM_AFE_AFECON_ADCCONVEN; // Set AFECON[8]
```

Sinc2滤波器

输入为来自sinc3滤波器或ADC的增益或偏移调整码。选择16 MHz振荡器时，如果直接来自ADC，则输入速率为800 kSPS；选择32 MHz振荡器时，如果直接来自ADC，则输入速率为1.6 MSPS，如果直接来自sinc3滤波器输出，则输入速率分别为400 kSPS或160 kSPS。要启用sinc2滤波器，请设置AFECON位16 = 1。sinc2滤波器的输出速率可通过ADCFILTERCON的位[11:8]来设置。抽取率最小值为除22，最大值为除1333。如果选择，sinc2滤波器输出可以通过SINC2DAT寄存器读取。

当更改ADC输入通道、重新启动ADC或通过ADCFILTERCON寄存器更改ADC更新速率时，须复位sinc2滤波器。如果不复位sinc2滤波器，则新设置下的ADC采样将不准确。

以下是指令示例：

```
pADI_AFE->AFECON &= (~(BITM_AFE_AFECON_SINC2EN)); // Clear AFECON[16]
pADI_AFE->AFECON |= BITM_AFE_AFECON_SINC2EN; // Set AFECON[16]
```

电源抑制滤波器 (50 Hz或60 Hz交流电源滤波器)

要启用50 Hz或60 Hz陷波滤波器来滤除交流电源噪声，须设置ADCFILTERCON位4 = 0且AFECON位16 = 1。输入为sinc2滤波器的输出。输入速率取决于sinc3和sinc2设置。如果选择，电源抑制滤波器输出可以通过SINC2DAT寄存器读取。表53列出了同时支持50 Hz或60 Hz交流电源抑制的数字滤波器设置。

表53.用于50 Hz或60 Hz交流电源抑制的数字滤波器设置

ADCFILTERCON位 [13:8]的值	功耗模式 (PMBW位0)	ADC时钟设置 (MHz)	Sinc3过采样 设置	Sinc2过采样 设置	最终ADC输出更新速率 (每秒采样数)	滤波器建立时间 (ms)
0b000011	0 (低功耗模式)	16	5	178	900	37
0b100111	0 (低功耗模式)	16	2	667	600	37
0b101011	0 (低功耗模式)	16	2	1333	300	37
0b101011	1 (高功率模式)	32	2	1333	600	37

增益校正

sinc2滤波器和电源抑制滤波器的增益校正正在增益校正模块中进行。该模块在硬件中自动使能，无需用户配置。

数字DFT

DFT加速器旨在用于阻抗测量。要启用DFT模块，请设置AFECON位15 = 1。输入可以是原始ADC结果、sinc2输出、sinc3输出(ADC DAT寄存器)或电源滤波器输出(SINC2DAT寄存器)。

使用DFTCON位[21:20]配置DFT。DFT输出一个复数(实部和虚部)，表示所施加交流波形的选定ADC采样数的整体DFT结果。参见“DFT结果，实部寄存器”部分和“DFT结果，虚部寄存器”部分。DFT使用的样本数量可通过DFTCON的位[7:4]配置(参见“AFE DSP配置寄存器”部分)。它提供了Hanning窗口(升余弦窗口)选项。要启用Hanning窗口，请将DFTCON的位0设置为1。如果使能，则所选间隔之外的值将设置为0。建议使能Hanning窗口。

平均、统计和异常值检测选项

平均选项

ADuCM355支持对sinc3输出进行平均。要平均的样本数通过ADCFILTERCON的位[15:14]配置。

统计选项

ADuCM355支持对sinc3输出的可编程样本大小进行均值计算。该计算由STATSCON寄存器控制。用于统计的样本数通过STATSCON的位[6:4]配置。

异常值检测选项

ADuCM355提供异常值检测。如果来自ADC的ADC DAT结果超出ADCMIN和ADCMAX寄存器的限值，请使用ADCMIN和ADCMAX寄存器触发中断。

迟滞值也是可编程的。有关更多信息，参见“最小值检查寄存器”部分、“最大值检查寄存器”部分和“变化值检查寄存器”部分。

内部温度传感器通道

ADuCM355模拟芯片包含两个内部温度传感器通道。

温度传感器0

温度传感器输出一个与芯片温度成比例的电压。此电压相对于温度是线性的。该内部通道通过ADC测量，须选择温度传感器通道作为多路复用器的正输入和负输入。芯片温度计算如下：

$$(TEMPSENSDAT0/(PGA增益 \times K)) - 273.15 \quad (2)$$

其中 $K = 8.13$ 。

为了提高精度，应通过TEMPCON0位[3:1]将温度传感器配置为斩波模式。如果选择斩波，用户必须确保温度传感器通道上发生偶数次ADC转换，并对这些结果进行平均。

温度传感器通道还有专用校准寄存器。当ADC选择温度传感器作为正输入时，系统会自动使用ADCOFFSETTEMPSENS0和ADCGAINTEMPSENS0寄存器中的校准值。

要使能内部温度传感器，请设置AFECON位12 = 1。按照如下方式选择ADC输入通道：

- ADCCON位[12:8] = 01011选择ADC负输入通道。
- ADCCON位[5:0] = 001011选择正输入通道。

要开始温度传感器通道的ADC转换，请将AFECON位13和AFECON位8设置为1。为了获得最优温度传感器结果，应以6.25 kHz的斩波频率使能温度传感器的斩波模式。然后，对偶数个ADC温度传感器结果进行平均以消除斩波时钟引起的不准确性。

以下代码片段演示了如何设置和使用温度传感器0：

```
void InitAfeADC(void)
{
    AfeAdcPwrUp(BITM_AFE_AFECON_ADCEN);           // power up the ADC
    AfeAdcCfg(GNPGA_1_5, 0);                       // Configure ADC to measure Temp. output
    AfeAdcChan(MUXSELP_TEMP, MUXSELN_TEMPN);      // Select Temp sensor inputs to the ADC
    AfeAdcIntCfg(
        BITM_AFE_ADCINTIEN_ADCRDYIEN | // Select ADCReady and Temp sensor channels as
interrupt sources
        BITM_AFE_ADCINTIEN_TEMPRDYIEN);
    pADI_AFE->AFECON |=
        BITM_AFE_AFECON_TEMPSENSENO;           // Enable the ADC temp sensor channel
    pADI_AFE->TEMPCON0 = 0x2;                   // Turn on Temp sensor chopping with
6.25kHz chop clock
    pADI_AFE->REPEATADCCNV = 0x11;
    NVIC_EnableIRQ(AFE_ADC_IRQn);             // Enable AFE_ADC interrupt source in NVIC
}
// ADC Interrupt handler
void AfeAdc_Int_Handler()
{
    uiIntSta = AfeAdcIntSta();
    if (uiIntSta & BITM_AFE_ADCINTSTA_ADCRDY)
    {

    }
    if (uiIntSta & BITM_AFE_ADCINTSTA_TEMPRDY) // Check for Temp sensor flag
    {
        TEMP_RESULT= AfeAdcRd(TEMPSENSOR);
        pADI_AFE->ADCINTSTA |=
```

```

        BITM_AFE_ADCINTSTA_TEMPRDY;           // Clear interrupt flag
    }
}

void CalculateTemp(void) // PGA GAIN of 1.5x assumed
{
    fTemp = (float)(( TEMP_RESULT/(1.5*8.13))-273.15); // ((Temperature
    reading/(PGA_Gain*8.13))-273.15
}

```

温度传感器1

为安全起见，ADuCM355模拟芯片上提供了第二个备用温度传感器。温度传感器1仅用于对照检查温度传感器0通道。要使用温度传感器1通道计算芯片温度，需要进行21次不同的ADC测量。

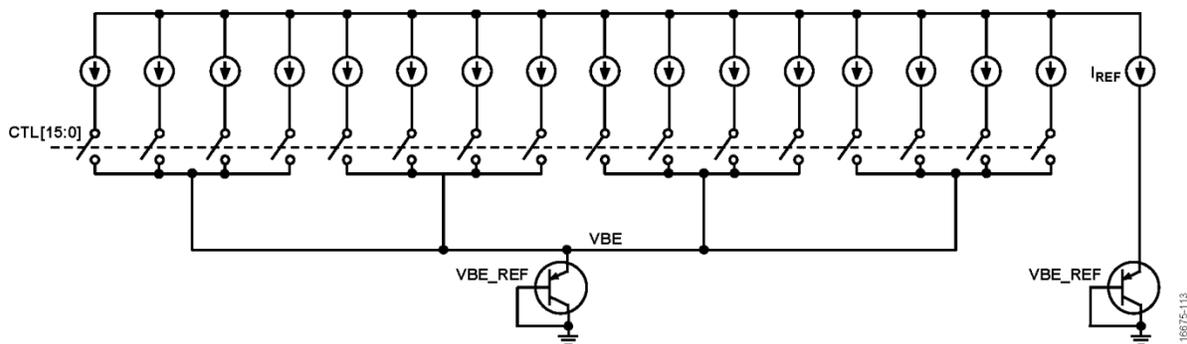


图12. 温度传感器1通道概览

在图12中，晶体管的基极发射极电压(VBE)连接到16个不同的电流源。标记为VBE_REF的晶体管是参考晶体管。两个晶体管的基极发射极电压均随温度变化。此变化用于计算芯片温度。

VBE的电压通过ADC相对于VBE_REF的电压进行测量，并作为一个差分电压。转换结果放置在ADCDAT或SINC2DAT寄存器中，具体取决于所用的数字滤波器设置。要选择温度传感器1 ADC输入，须将ADCCON寄存器设置为以下值：

- ADCCON位[12:8] = 010101选择VBE_REF电压作为ADC负输入。
- ADCCON位[5:0] = 001011选择VBE电压作为ADC正输入。

将不同电流源连接到VBE晶体管发射极的16个开关由TEMPCON1位[15:0]控制。为VBE晶体管提供单独的电流源意味着可以提取出更精确的基极发射极电压。要提取基极发射极电压，请执行以下步骤：

1. 分别闭合每个开关，并分别测量这16个VBE电压。计算16次测量的平均值，得出总电压(VBE1)。
2. 四个一组地闭合开关，并分别测量这四个VBE电压。计算四次测量的平均值，得出总电压(VBE2)。
3. 闭合所有开关，将所有电流源连接到VBE晶体管，并测量VBE电压以获得VBE3。

公式3计算最终温度传感器值。值2768.231是使用电子的电荷(1.602×10^{-19} C)和玻尔兹曼常数(1.381×10^{-23})计算得出的。

$$T(^{\circ}\text{C}) = 2768.231 \times (4(VBE2 - VBE1) - (VBE3 - VBE2)) - 273.15 \quad (3)$$

ADC初始化

初始化ADC需要执行以下步骤：

1. 写入AFECON寄存器的ADCEN位以使ADC上电。
2. 根据低功耗或高功率模式的相关建议配置ADC输入缓冲器。

```

pADI_AFE->ADCBUFCON = 0x005F3D04; // for Low Power mode, input signals <80 kHz
pADI_AFE->ADCBUFCON = 0x005F3D0F; // for high Power mode, input signals >80 kHz

```

3. 根据需要配置PGA增益设置。写入ADCCON的位[18:16]。将这些位设置为001可将PGA配置为1.5的增益。
4. 写入ADCFILTERCON以配置ADC更新速率。如果需要sinc2滤波器，则还要写入AFECON位16。
5. 配置ADCCON位[12:0]以选择ADC正负输入通道。
6. 如果需要ADC中断，则应设置ADCINTIEN寄存器中所需的ADC位来使能中断。使能对Cortex-M3内核的ADC全局中断。

ADC校准

由于ADuCM355有多种输入类型，因此有多种偏移和增益校准选项。从低功耗模式切换到高功率模式时，无论增益变化如何，都必须重新校准ADC。如果两种模式均使用，为了获得最优性能，应在低功耗模式和高功率模式下校准ADC。从低功耗切换到高功率模式时，高速TIA偏移和增益会发生错误。表54至表57详细列出了与ADC电压和增益校准相关的寄存器。

对此，电流输入通道（低功耗TIA0、低功耗TIA1和高速TIA）有一个额外的ADC校准级，如表54所示。该额外级由每个TIA增益电阻引入的增益误差决定。当ADC选择电流通道时，其校准涉及使用相对于PGA设置的电压测量端口（如表54所示），而电流选择与TIA通道有关。

随同EVAL-ADuCM355QSPZ提供了示例函数，用以演示如何校准ADC。

表54. 电压通道偏移和增益校准寄存器

PGA增益设置	低功耗模式和高功率模式偏移寄存器	低功耗模式和高功率模式增益寄存器
1	ADCOFFSETGN1	ADCGAINGN1
1.5	ADCOFFSETGN1P5	ADCGAINGN1P5
2	ADCOFFSETGN2	ADCGAINGN2
4	ADCOFFSETGN4	ADCGAINGN4
9	ADCOFFSETGN9	ADCGAINGN9

表55. 低功耗TIA0通道偏移和增益校准寄存器

PGA增益设置	失调寄存器	增益寄存器
1	ADCOFFSETGN1, ADCOFFSETLPTIA0	ADCGAINGN1, ADCGNLPTIA0
1.5	ADCOFFSETGN1P5, ADCOFFSETLPTIA0	ADCGAINGN1P5, ADCGNLPTIA0
2	ADCOFFSETGN2, ADCOFFSETLPTIA0	ADCGAINGN2, ADCGNLPTIA0
4	ADCOFFSETGN4, ADCOFFSETLPTIA0	ADCGAINGN4, ADCGNLPTIA0
9	ADCOFFSETGN9, ADCOFFSETLPTIA0	ADCGAINGN9, ADCGNLPTIA0

表56. 低功耗TIA1通道偏移和增益校准寄存器，仅低功耗模式

PGA增益设置	失调寄存器	增益寄存器
1	ADCOFFSETGN1, ADCOFFSETLPTIA1	ADCGAINGN1, ADCGNLPTIA1
1.5	ADCOFFSETGN1P5, ADCOFFSETLPTIA1	ADCGAINGN1P5, ADCGNLPTIA1
2	ADCOFFSETGN2, ADCOFFSETLPTIA1	ADCGAINGN2, ADCGNLPTIA1
4	ADCOFFSETGN4, ADCOFFSETLPTIA1	ADCGAINGN4, ADCGNLPTIA1
9	ADCOFFSETGN9, ADCOFFSETLPTIA1	ADCGAINGN9, ADCGNLPTIA1

表57. 高速TIA通道偏移和增益校准寄存器

PGA增益设置	失调寄存器	增益寄存器
1	ADCOFFSETGN1, ADCOFFSETHSTIA	ADCGAINGN1, ADCGNHSTIA
1.5	ADCOFFSETGN1P5, ADCOFFSETHSTIA	ADCGAINGN1P5, ADCGNHSTIA
2	ADCOFFSETGN2, ADCOFFSETHSTIA	ADCGAINGN2, ADCGNHSTIA
4	ADCOFFSETGN4, ADCOFFSETHSTIA	ADCGAINGN4, ADCGNHSTIA
9	ADCOFFSETGN9, ADCOFFSETHSTIA	ADCGAINGN9, ADCGNHSTIA

在ADI公司生产测试期间校准ADC电压通道的增益误差时，加载到ADCGAINGN1P5校准寄存器的值 $\geq 0x4000$ 。为确保此值，目标ADC结果高于正常值。ADC基准电压源的出厂调整值为1.82 V，但出于校准目的，目标电压为1.835V。

从使用出厂增益校准的通道上的ADC转换结果计算实际电压时，必须考虑1.835或1.82的K系数，如公式1所示。如果用户ADC增益校准的目标基准电压为1.82 V，则不需要公式1的K部分。

ADC数字信号处理器(DSP)内置自测

可以验证与ADC相关的模拟芯片上的数字逻辑模块。

数字波形发生器用来创建一个数字模式，其旁路ADC本身，直接连到ADC输出滤波器。随着新值从数字波形发生器模块输出到sinc3数字滤波器，该数字值通过校准模块和其他数字滤波器模块移位，直至到达ADC滤波器结果寄存器为止。然后，此值可馈送到数字芯片上的循环冗余校验(CRC)加速器模块。

通过完成对大量数字波形值的自检，CRC加速器可以计算最终CRC结果。将该CRC结果与已知的且先前已验证的CRC结果进行比较，便可检查图13所示的所有数字模块是否存在错误。演示如何使能此特性的示例代码随同EVAL-ADuCM355QSPZ提供。

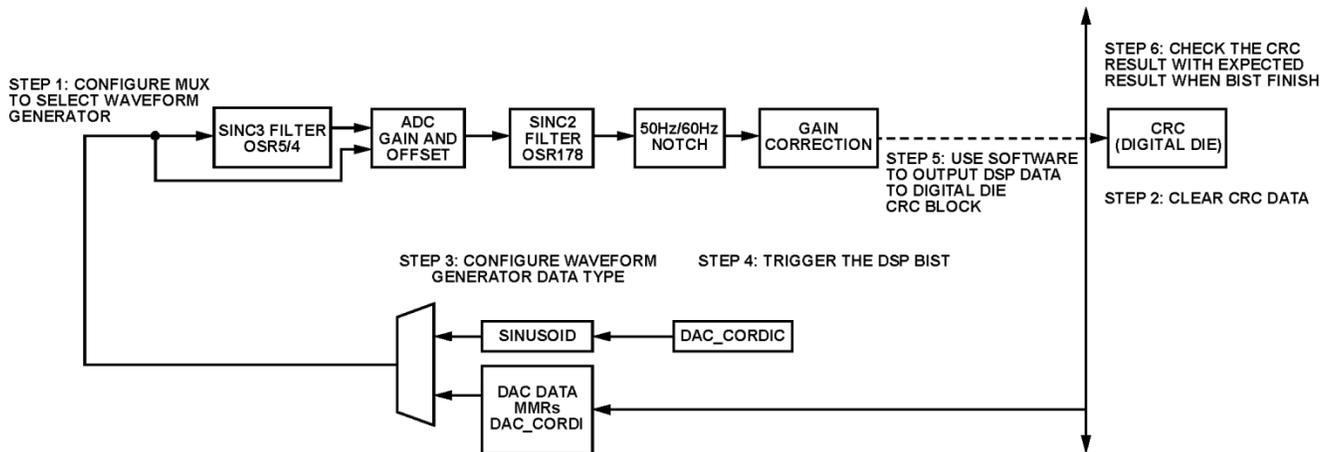


图13. ADC内置自测功能

基准电压选项

ADC内置1.82 V和2.5 V基准电压源，如图14所示。

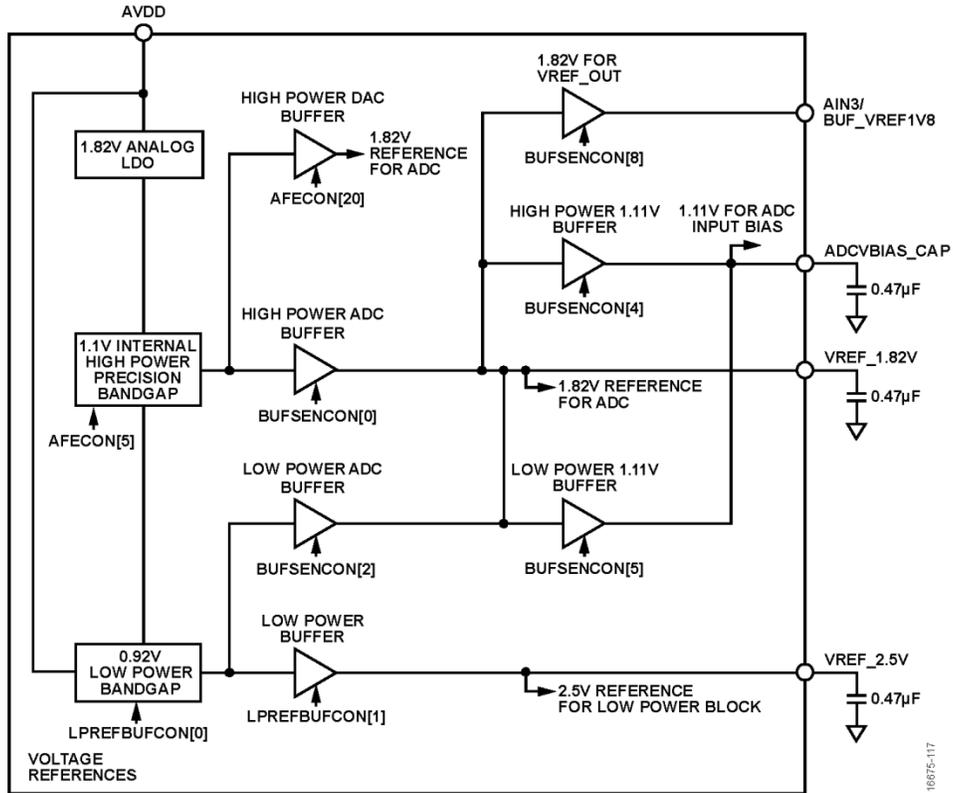


图14. ADC基准电压选项

寄存器汇总：ADC电路

表58. ADC控制寄存器汇总

地址	名称	描述	复位	访问类型
0x400C21A8	ADCCON	ADC配置寄存器	0x00000000	R/W
0x400C2044	ADCFILTERCON	ADC输出滤波器配置	0x00000301	R/W
0x400C2074	ADCDAT	原始结果	0x00000000	R/W
0x400C2078	DFTREAL	DFT结果, 实部	0x00000000	R/W
0x400C207C	DFTIMAG	DFT结果, 虚部	0x00000000	R/W
0x400C2080	SINC2DAT	Sinc2和电源抑制滤波器结果	0x00000000	R/W
0x400C2084	TEMPSENSDAT0	温度传感器0结果	0x00000000	R/W
0x400C2088	ADCINTIEN	模拟捕获中断使能	0x00000000	R/W
0x400C2098	ADCINTSTA	模拟捕获中断	0x00000000	R/W
0x400C20D0	DFTCON	AFE DSP配置	0x00000090	R/W
0x400C2174	TEMPCON0	温度传感器0配置	0x00000000	R/W
0x400C2180	BUFSENCON	高功率和低功耗缓冲器控制	0x00000037	R/W
0x400C21F0	REPEATADCCNV	重复ADC转换次数	0x00000160	R/W
0x400C238C	ADCBUFCON	缓冲器配置	0x005F3D00	R/W

表59. ADC校准寄存器汇总

地址	名称	描述	复位	访问类型
0x400C2230	CALDATLOCK	校准锁定	0x00000000	R/W
0x400C2288	ADCOFFSETLPTIA0	偏移校准低功耗TIA0通道	0x00000000	R/W
0x400C228C	ADCGNLPTIA0	低功耗TIA0通道的增益校准	0x00004000	R/W
0x400C22C0	ADCOFFSETLPTIA1	偏移校准低功耗TIA1通道	0x00000000	R/W
0x400C22C4	ADCGNLPTIA1	低功耗TIA1通道的增益校准	0x00004000	R/W
0x400C2234	ADCOFFSETHSTIA	偏移校准高速TIA通道	0x00000000	R/W
0x400C2284	ADCGNHSTIA	高速TIA通道的增益校准	0x00004000	R/W
0x400C2244	ADCOFFSETGN1	偏移校准电压通道 (PGA增益 = 1)	0x00000000	R/W
0x400C2240	ADCGAINGN1	增益校准电压输入通道 (PGA增益 = 1)	0x00004000	R/W
0x400C22CC	ADCOFFSETGN1P5	偏移校准电压输入通道 (PGA增益 = 1.5)	0x00000000	R/W
0x400C2270	ADCGAINGN1P5	增益校准电压输入通道 (PGA增益 = 1.5)	0x00004000	R/W
0x400C22C8	ADCOFFSETGN2	偏移校准电压输入通道 (PGA增益 = 2)	0x00000000	R/W
0x400C2274	ADCGAINGN2	增益校准电压输入通道 (PGA增益 = 2)	0x00004000	R/W
0x400C22D4	ADCOFFSETGN4	偏移校准电压输入通道 (PGA增益 = 4)	0x00000000	R/W
0x400C2278	ADCGAINGN4	增益校准电压输入通道 (PGA增益 = 4)	0x00004000	R/W
0x400C22D0	ADCOFFSETGN9	偏移校准电压输入通道 (PGA增益 = 9)	0x00000000	R/W
0x400C2298	ADCGAINGN9	增益校准电压输入通道 (PGA增益 = 9)	0x00004000	R/W
0x400C223C	ADCOFFSETTEMPSENS0	偏移校准温度传感器通道0	0x00000000	R/W
0x400C2238	ADCGAINTEMPSENS0	增益校准温度传感器通道0	0x00004000	R/W

表60. ADC数字后处理寄存器汇总 (可选)

地址	名称	描述	复位	访问类型
0x400C20A8	ADCMIN	最小值检查	0x00000000	R/W
0x400C20AC	ADCMINSM	最小缓慢移动值	0x00000000	R/W
0x400C20B0	ADCMAX	最大值检查	0x00000000	R/W
0x400C20B4	ADCMAXSMEN	最大缓慢移动	0x00000000	R/W
0x400C20B8	ADCDELTA	变化值检查	0x00000000	R/W

表61. ADC统计寄存器汇总 (可选)

地址	名称	描述	复位	访问类型
0x400C21C4	STATSCON	统计模块配置	0x00000000	R/W
0x400C21C8	STATSMEAN	均值输出	0x00000000	R

表62. ADC数字逻辑测试寄存器汇总（可选）

地址	名称	描述	复位	访问类型
0x400C0434	MKEY	DSPUPDATEEN寄存器的密钥访问	0x00000000	W
0x400C0438	DSPUPDATEEN	数字逻辑测试使能	0x00000000	R/W
0x400C2374	TEMPCON1	温度传感器1控制	0x00020000	R/W

寄存器详解：ADC电路

ADC配置寄存器

地址：0x400C21A8；复位：0x00000000；名称：ADCCON

表63. ADCCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:19]	保留		保留。	0x0	R
[18:16]	GNPGA	000 001 010 011 1XX	PGA增益设置。 增益 = 1。 增益 = 1.5。 增益 = 2。 增益 = 4。 增益 = 9。	0x0	R/W
15	GNOFSEPGA	0 1	内部偏移/增益消除。 禁用直流偏移消除。 使能直流偏移消除。使能PGA时，仅支持增益 = 4。	0x0	R/W
[14:13]	保留		保留。	0x0	R/W
[12:8]	MUXSELN	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100 10101 10110	选择ADC输入多路复用器N输入的信号（负输入信号）。 输入悬空。 高速TIA反相输入。 低功耗TIA0反相输入。 低功耗TIA1反相输入。 AIN0 AIN1 AIN2 AIN3/BUF_VREF1V8。 ADCVBIAS_CAP。 保留。 保留。 温度传感器0的负输入。 AIN4_LPF0 AIN5 AIN6 保留。 VZERO0 VBIAS0 VZERO1 VBIAS1 激励放大器的N节点。 温度传感器1的负输入。 测试信号。	0x0	R/W
[7:6]	保留		保留。	0x0	R
[5:0]	MUXSELP	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001	选择正多路复用器（正ADC输入）。 输入悬空。 高速TIA输出。 低通滤波器之后的低功耗TIA0输出。 低通滤波器之后的低功耗TIA1输出。 AIN0 AIN1 AIN2 AIN3/BUF_VREF1V8。 AVDD/2。 DVDD/2。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
		01010	AVDD_REG/2。		
		01011	温度传感器0的正输入。		
		01100	ADCVBIAS_CAP。		
		01101	DE0		
		01110	SE0		
		01111	SE1		
		010000	VREF_2.5V/2。低功耗2.5V基准电压除以2。		
		010001	保留。		
		010010	VREF_1.82V。ADC和高速DAC 1.82V电压通道。		
		010011	温度传感器0的负输入。		
		010100	AIN4_LPF0		
		010101	AIN5		
		010110	AIN6		
		010111	VZERO0		
		011000	VBIAS0		
		011001	CE0引脚电压。		
		011010	RE0引脚电压。		
		011011	VZERO1		
		011100	VBIAS1		
		011101	CE1引脚电压。		
		011110	RE1引脚电压。		
		011111	CE0引脚除2电压。		
		100000	CE1引脚除2电压。		
		100001	低通滤波器之前的LPTIA0输出。		
		100010	低通滤波器之前的LPTIA1输出。		
		100011	保留。		
		100100	激励放大器的P节点。		
		100101	温度传感器1的正输入。		
		100110	测试信号。		

ADC输出滤波器配置寄存器

地址：0x400C2044；复位：0x00000301；名称：ADCFILTERCON

表64. ADCFILTERCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0	R
[15:14]	AVRGNUM		这些位设置均值功能使用的样本数。均值输出直接馈送到DFT模块，DFT源自动更改以适应均值输出。将AVRGEN位设置为1以使用这些位。 0 均值功能使用2个ADC样本。 1 均值功能使用4个ADC样本。 10 均值功能使用8个ADC样本。 11 均值功能使用16个ADC样本。	0x0	R/W
[13:12]	SINC3OSR		Sinc3滤波器过采样率。 0 过采样率为5。用于160 kHz sinc3滤波器输出更新速率。ADC更新速率为800 kSPS时使用(默认)。 1 过采样率为4。用于400 kHz sinc3滤波器输出更新速率。ADC更新速率为1.6 MSPS时使用。高功率选项。 10 过采样率为2。用于400 kHz sinc3滤波器输出更新速率。ADC更新速率为800 kSPS时使用。 11 保留。勿使用此设置。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
[11:8]	SINC2OSR		Sinc2滤波器过采样率。 0 此OSR设置使用22个样本。 1 此OSR设置使用44个样本。 10 此OSR设置使用89个样本。 11 此OSR设置使用178个样本。 100 此OSR设置使用267个样本。 101 此OSR设置使用533个样本。 110 此OSR设置使用640个样本。 111 此OSR设置使用667个样本。 1000 此OSR设置使用800个样本。 1001 此OSR设置使用889个样本。 1010 此OSR设置使用1067个样本。 1011 此OSR设置使用1333个样本。	0x3	R/W
7	AVRGEN		使能ADC均值功能。 0 禁用均值。 1 使能均值。平均结果馈入下一级。	0x0	R/W
6	SINC3BYP		Sinc3滤波器旁路。 1 Sinc3滤波器活动。使能sinc3滤波器。 0 旁路sinc3滤波器。原始800 kHz或1.6 MHz ADC输出数据直接馈入增益偏移调整级。如果旁路sinc3滤波器，则200 kHz正弦波可以由DFT模块直接处理，而不会有幅度衰减。如果旁路sinc3滤波器且ADC原始数据速率为800 kHz，则增益偏移模块输出用作DFT输入。	0x0	R/W
5	保留		保留。	0x0	R
4	LPFBYPEN		50 Hz或60 Hz低通滤波器。旁路50 Hz和60 Hz陷波滤波器。 1 旁路50 Hz陷波和60 Hz陷波滤波器。 0 使能50 Hz陷波和60 Hz陷波滤波器。ADC结果写入SINC2DAT寄存器。	0x0	R/W
[3:1]	保留		保留。	0x0	R
0	ADCCLK		ADC数据速率。未滤波的ADC输出速率。 1 800 kHz。 0 1.6 MHz。如果ADC采样速率为1.6 MHz，则ADC时钟频率必须为32 MHz。	0x1	R/W

地址：0x400C2074；复位：0x00000000；名称：ADCDAT

此寄存器是原始ADC输出或选择sinc3滤波器选项时的ADC结果寄存器。

表65. ADCDAT位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0	R
[15:0]	数据		ADC结果。寄存器包含ADC转换结果。根据用户配置，结果可以反映原始输出或sinc3滤波器输出。结果是一个16位无符号数。	0x0	R/W

DFT结果实部寄存器

地址：0x400C2078；复位：0x00000000；名称：DFTREAL

表66. DFTREAL位功能描述

位	位名称	设置	描述	复位	访问类型
[31:18]	保留		保留。	0x0	R
[17:0]	数据		DFT实部。DFT硬件加速器返回一个复数。此寄存器返回DFT结果复数的18位实数部分。DFT结果以二进制补码表示。	0x0	R/W

DFT结果虚部寄存器

地址：0x400C207C；复位：0x00000000；名称：DFTIMAG

表67. DFTIMAG位功能描述

位	位名称	设置	描述	复位	访问类型
[31:18]	保留		保留。	0x0	R
[17:0]	数据		DFT虚部。DFT硬件加速器返回一个复数。此寄存器返回DFT结果复数的18位虚数部分。DFT结果以二进制补码表示。	0x0	R/W

SINC2和电源抑制滤波器结果寄存器

地址：0x400C2080；复位：0x00000000；名称：SINC2DAT

表68. SINC2DAT位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0	R
[15:0]	RESULT		Sinc2和低通滤波器结果。Sinc2和电源抑制滤波器ADC输出结果。从50 Hz或60 Hz抑制滤波器输出的数据。当新数据可用时，ADCINTSTA的位2设置为1。	0x0	R/W

温度传感器0结果寄存器

地址：0x400C2084；复位：0x00000000；名称：TEMPSENSDAT0

表69. TEMPSSENSDAT0位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0	R
[15:0]	数据		温度传感器。ADC温度传感器通道0结果。	0x0	R/W

模拟捕获中断使能寄存器地址：0x400C2088；复位：0x00000000；名称：ADCINTIEN

表70. ADCINTIEN位功能描述

位	位名称	设置	描述	复位	访问类型
[31:8]	保留		保留。	0x0	R
7	MEANIEN	0 1	均值中断。均值结果就绪中断使能。 禁用中断。 使能中断。	0x0	R/W
6	ADCDELTAFAILIEN	0 1	ADC变化值检查失败中断使能。此位置1时，如果两个连续ADC采样之差大于ADC变化范围中的值，则会产生中断。 禁用中断。 使能中断。	0x0	R/W
5	ADCMAXFAILIEN	0 1	ADC最大值检查失败中断使能。此位置1时，如果ADC结果大于ADCMAX寄存器中的值，则会产生中断。 禁用中断。 使能中断。	0x0	R/W
4	ADCMINFAILIEN	0 1	ADC最小值检查失败中断使能。此位置1时，如果ADC结果小于ADCMIN寄存器中的值，则会产生中断。 禁用中断。 使能中断。	0x0	R/W
3	TEMPRDYIEN	0 1	温度传感器0 ADC结果就绪中断使能。寄存器已准备就绪，可以读取。 禁用中断。 使能中断。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
2	SINC2RDYIEN	0 1	低通滤波器结果中断。电源抑制滤波器结果已准备就绪，可启用中断。SINC2DAT寄存器已准备就绪，可以读取。 禁用中断。 启用中断。	0x0	R/W
1	DFTRDYIEN	0 1	DFT结果就绪中断。DFTREAL和DFTIMAG寄存器已准备就绪，可以读取。 禁用中断。 启用中断。	0x0	R/W
0	ADCRDYIEN	0 1	ADC结果就绪中断使能。ADCDAT寄存器已准备就绪，可以读取。 禁用中断。 启用中断。	0x0	R/W

模拟捕获中断寄存器

地址：0x400C2098；复位：0x00000000；名称：ADCINTSTA

该寄存器中的各位是粘滞位，设置后状态不变。各位通过向其中写入1来清0。写入0无效。如果同时置位了中断源，并且内核试图清除某一位，中断将保持设置状态。读出结果为1表示自上次该位清0以来已置位中断源。读出结果为0表示自上次该位清0以来未置位中断源。

表71. ADCINTSTA位功能描述

位	位名称	设置	描述	复位	访问类型
[31:8]	保留		保留。	0x0	R
7	MEANRDY	0 1	均值结果就绪。如果STATSCON的位0设置为1，则该位指示STATSMEAN寄存器的状态。用户必须向该位写入1才能将其清0。写入0无效。 中断未置为有效。 中断置为有效。STATSMEAN寄存器已准备就绪，可以读取。如果ADCINTIEN位7 = 1，则该位产生中断。	0x0	R/W1C
6	ADCDIFFERR	0 1	ADC变化就绪。ADC变化值检查失败。用户必须向该位写入1才能将其清0。写入0无效。 中断未置为有效。 中断置为有效。此位置1时，表示两个连续ADCDAT结果之差大于ADCDELTA寄存器指定的值。如果ADCINTIEN位6 = 1，则该位产生中断。	0x0	R/W1C
5	ADCMAXERR	0 1	ADC最大值检查失败。用户必须向该位写入1才能将其清0。写入0无效。 中断未置为有效。 中断置为有效。置1表示ADCDAT结果大于ADCMAX寄存器指定的值。如果ADCINTIEN位5 = 1，则该位产生中断。用户必须向该位写入1才能将其清0。写入0无效。	0x0	R/W1C
4	ADCMINERR	0 1	ADC最小值检查失败。写入0无效。 中断未置为有效。 中断置为有效。置1表示ADCDAT结果小于ADCMIN指定的值。如果ADCINTIEN位4 = 1，则该位产生中断。	0x0	R/W1C
3	TEMPRDY	0 1	温度传感器结果就绪中断。用户必须向该位写入1才能将其清0。写入0无效。 中断未置为有效。 中断置为有效。置1表示TEMPSENSDAT0结果已准备就绪，可以读取。如果ADCINTIEN位3 = 1，则该位产生中断。	0x0	R/W1C

位	位名称	设置	描述	复位	访问类型
2	SINC2RDY		低通滤波器结果状态。电源抑制滤波器结果就绪中断。用户必须向该位写入1才能将其清0。写入0无效。 0 中断未置为有效。 1 中断置为有效。置1表示SINC2DAT结果已准备就绪，可以读取。如果ADCINTIEN位2 = 1，则该位产生中断。	0x0	R/W1C
1	DFTRDY		DFT结果就绪状态。DFT结果就绪中断。用户必须向该位写入1才能将其清0。写入0无效。 0 中断未置为有效。 1 中断置为有效。置1表示DFTREAL和DFTIMAG寄存器已准备就绪，可以读取。如果ADCINTIEN位1 = 1，则该位产生中断。	0x0	R/W1C
0	ADCRDY		ADC结果就绪状态。ADC结果就绪中断。用户必须向该位写入1才能将其清0。写入0无效。 0 中断未置为有效。 1 中断置为有效。置1表示ADCDAT寄存器已准备就绪，可以读取。如果ADCINTIEN位0 = 1，则该位产生中断。	0x0	R/W1C

AFE DSP配置寄存器

地址：0x400C20D0；复位：0x00000090；名称：DFTCON

表72. DFTCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:22]	保留		保留。	0x0	R
[21:20]	DFTINSEL		DFT输入选择。ADCFILTERCON的位7具有最高优先级。如果ADCFILTERCON的位7为1，则无论DFTINSEL设置如何，均值模块的输出都将用作DFT输入。 00 电源滤波器输出。从低通电源滤波器选择输出。 01 无论是否使用sinc3，都选择增益偏移输出。从ADC增益和偏移校正级选择输出。如果ADCFILTERCON的位6为1（旁路滤波器），则经过增益或偏移校正的ADC原始数据为DFT输入。如果ADCFILTERCON寄存器的SINC3BYP位为0（不旁路滤波器），则经过增益或偏移校正的sinc3输出为DFT输入。 10 ADC原始数据。直接从ADC选择输出，无偏移或增益校正。仅支持800 kHz的ADC采样速率。 11 电源滤波器输出。从低通电源滤波器选择输出。同00。	0x0	R/W
[19:8]	保留		保留。	0x0	R
[7:4]	DFTNUM		使用的ADC样本数。DFT点数为4到16,384。 0 DFT点数为4。DFT使用4个ADC样本。 1 DFT点数为8。DFT使用8个ADC样本。 10 DFT点数为16。DFT使用16个ADC样本。 11 DFT点数为32。DFT使用32个ADC样本。 100 DFT点数为64。DFT使用64个ADC样本。 101 DFT点数为128。DFT使用128个ADC样本。 110 DFT点数为256。DFT使用256个ADC样本。 111 DFT点数为512。DFT使用512个ADC样本。 1000 DFT点数为1024。DFT使用1024个ADC样本。 1001 DFT点数为2048。DFT使用2048个ADC样本。 1010 DFT点数为4096。DFT使用4096个ADC样本。 1011 DFT点数为8192。DFT使用8192个ADC样本。 1100 DFT点数为16,384。DFT使用16,384个ADC样本。	0x9	R/W
[3:1]	保留		保留。	0x0	R
0	HANNINGEN		Hanning窗口使能。 0 禁用Hanning窗口。 1 使能Hanning窗口。	0x0	R/W

温度传感器0配置寄存器

地址：0x400C2174；复位：0x00000000；名称：TEMPCON0

表73. TEMPCON0位功能描述

位	位名称	设置	描述	复位	访问类型
[31:4]	保留		保留。	0x0	R
[3:2]	CHOPFRESEL	11 10 00 01	斩波模式频率设置。设置斩波模式切换的频率。 斩波开关频率为200 kHz。 斩波开关频率为100 kHz。 斩波开关频率为6.25 kHz。 斩波开关频率为25 kHz。	0x0	R/W
1	CHOPCON	0 1	温度传感器斩波模式。温度传感器通道斩波控制信号。 禁用斩波。 使能斩波。如果使能斩波，则取两个连续样本并将结果平均，以获得最终的温度传感器通道读数。斩波有助于减小与此通道相关的偏移误差。	0x0	R/W
0	保留		保留。	0x0	R/W

高功率和低功耗缓冲器控制寄存器

地址：0x400C2180；复位：0x00000037；名称：BUFSENCEN

表74. BUFSENCEN位功能描述

位	位名称	设置	描述	复位	访问类型
[31:9]	保留		保留。	0x0	R
8	V1P8THERMSTEN	0 1	缓冲基准电压输出。缓冲输出至AIN3/BUF_VREF1V8引脚。 禁用1.8V缓冲基准电压输出。 使能1.8V缓冲基准电压输出。	0x0	R/W
7	保留		保留。	0x0	R
6	V1P1LPADCCHGDIS	0 1	控制解耦电容放电开关。此开关将用于ADC共模电压的1.1 V内部基准电压源连接到内部放电电路。确保正常工作时该开关断开，以维持外部1.1 V解耦电容上的基准电压。 断开开关。推荐值。开关断开以维持1.1 V基准电压源的外部解耦电容上的电荷。 闭合开关。开关闭合时，1.1 V基准电压源连接到放电电路。	0x0	R/W
5	V1P1LPADCEN	0 1	ADC 1.1 V低功耗共模缓冲器。可选。使用高功率或低功耗基准电压缓冲器。 禁用ADC 1.1 V低功耗基准电压缓冲器。 使能ADC 1.1 V低功耗基准电压缓冲器。	0x1	R/W
4	V1P1HPADCEN	0 1	使能1.1 V高功率共模缓冲器。控制ADC输入级的1.1 V共模电压源的缓冲器。 禁用1.1 V高功率共模缓冲器。 使能1.1 V高功率共模缓冲器。ADC正常工作的推荐值。	0x1	R/W
3	V1P8HPADCCHGDIS	0 1	控制解耦电容放电开关。此开关将1.8 V内部ADC基准电压源连接到内部放电电路。确保正常工作时该开关断开，以维持外部解耦电容上的基准电压。 断开开关。如果断开，则基准电压源的外部解耦电容上的电压保持不变。推荐设置。 闭合开关。开关闭合时，基准电压源连接到放电电路。	0x0	R/W
2	V1P8LPADCEN	0 1	ADC 1.8 V低功耗基准电压缓冲器。 禁用低功耗1.8 V基准电压缓冲器。 使能低功耗1.8 V基准电压缓冲器。推荐值。当退出关断状态时，此设置可加快建立时间。	0x1	R/W

位	位名称	设置	描述	复位	访问类型
1	V1P8HPADCILIMITEN	0 1	高功率ADC输入限流。保护ADC输入缓冲器。 禁用缓冲器限流。 使能缓冲器限流。推荐设置。	0x1	R/W
0	V1P8HPADCEN	0 1	高功率1.8V基准电压缓冲器。使能以支持正常ADC转换。 禁用1.8V高功率ADC基准电压缓冲器。 使能1.8V高功率ADC基准电压缓冲器。	0x1	R/W

ADC重复转换次数寄存器

地址：0x400C21F0；复位：0x00000160；名称：REPEATADCCNV

表75. REPEATADCCNV位功能描述

位	位名称	设置	描述	复位	访问类型
[31:5]	保留		保留。	0x00016	R
[4]	NUM		向此位写入1可使能单次或连续转换。	0x0	R
[3:1]	保留		保留。	0x0	R
0	EN	0 1	使能重复ADC转换。 禁用重复ADC转换。 使能重复ADC转换。	0x0	R/W

缓冲器配置寄存器

地址：0x400C238C；复位：0x005F3D00；名称：ADCBUFCON

在高功率模式下，此寄存器的建议值为0x005F3D0F；在低功耗模式下，建议值为0x005F3D04。

表76. ADCBUFCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:4]	保留		保留。	0x0	R
3	CHOPDIS	0 1	配置偏移消除缓冲器斩波。 使能斩波。 禁用斩波。	0x0	R/W
2	CHOPDIS	0 1	配置ADC缓冲器斩波。 使能斩波。 禁用斩波。	0x0	R/W
1	CHOPDIS	0 1	配置PGA斩波。 使能斩波。 禁用斩波。	0x0	R/W
0		0 1	配置前端缓冲器斩波。 使能斩波。 禁用斩波。		

校准锁定寄存器

地址：0x400C2230；复位：0x00000000；名称：CALDATLOCK

表77. CALDATLOCK位功能描述

位	位名称	设置	描述	复位	访问类型
[31:0]	KEY	0xDE87A5AF	校准数据寄存器的密码。防止校准阶段后覆盖数据。 校准数据寄存器读/写操作。	0x0	R/W

失调校准低功耗TIA0通道寄存器

地址：0x400C2288；复位：0x00000000；名称：ADCOFFSETLPTIA0

表78. ADCOFFSETLPTIA0位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE	0x3FFF 0x0001 0x0000 0x7FFF 0x4000	低功耗TIA0的失调校准。表示为二进制补码数。校准分辨率为ADCDAT LSB大小的0.25 LSB。 4095.75 (最大正失调校准值)。 0.25 (最小正失调校准值)。 0 (无偏移调整)。 -0.25 (最小负失调校准值)。 -4096.0 (最大负失调校准值)。	0x0	R/W

低功耗TIA0通道增益校准寄存器

地址：0x400C228C；复位：0x00004000；名称：ADCGNLPTIA0

表79. ADCGNLPTIA0位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE	0x7FFF 0x4001 0x4000 0x3FFF 0x2000 0x0001 0x0000	低功耗TIA0的增益误差校准。TIA测量模式下的ADC偏移校正，表示为二进制补码数。 2 (最大正增益调整)。 1.000061 (最小正增益调整)。 ADC结果乘以1。无增益调整。默认值。 0.999939 (最小负增益调整)。 ADC结果乘以0.5。 0.000061 (最大负增益调整)。 无效值。导致ADC结果为0。	0x4000	R/W

失调校准低功耗TIA1通道寄存器

地址：0x400C22C0；复位：0x00000000；名称：ADCOFFSETLPTIA1

表80. ADCOFFSETLPTIA1位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE	0x3FFF 0x0001 0x0000 0x7FFF 0x4000	低功耗TIA1的失调校准。表示为二进制补码数。校准分辨率为ADCDAT LSB大小的0.25 LSB。 4095.75 (最大正失调校准值)。 0.25 (最小正失调校准值)。 0 (无调整)。 -0.25 (最小负失调校准值)。 -4096.0 (最大负失调校准值)。	0x0	R/W

低功耗TIA1通道增益校准寄存器

地址：0x400C22C4；复位：0x00004000；名称：ADCGNLPTIA1

表81. ADCGNLPTIA1位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE	0x7FFF	低功耗TIA1的增益误差校准。TIA测量模式下的ADC偏移校正，表示为二进制补码数。 2 (最大正增益调整)。	0x4000	R/W

位	位名称	设置	描述	复位	访问类型
		0x4001	1.000061 (最小正增益调整)。		
		0x4000	ADC结果乘以1。无增益调整。默认值。		
		0x3FFF	0.999939 (最小负增益调整)。		
		0x2000	ADC结果乘以0.5。		
		0x0001	0.000061 (最大负增益调整)。		
		0x0000	无效值。导致ADC结果为0。		

失调校准高速TIA通道寄存器

地址：0x400C2234；复位：0x00000000；名称：ADCOFFSETHSTIA

表82. ADCOFFSETHSTIA位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE		高速TIA失调校准。用于高速TIA测量模式的ADC偏移校正，表示为二进制补码数。校准分辨率为ADCDAT LSB大小的0.25 LSB。	0x0	R/W
		0x3FFF	4095.75 (最大正失调校准值)。		
		0x0001	0.25 (最小正失调校准值)。		
		0x0000	0 (无偏移校正)。		
		0x7FFF	-0.25 (最小负偏移校正)。		
		0x4000	-4096.0 (最大负偏移校正)。		

高速TIA通道增益校准寄存器

地址：0x400C2284；复位：0x00004000；名称：ADCGNHSTIA

表83. ADCGNHSTIA位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE		增益误差校准高速TIA通道。	0x4000	R/W
		0x7FFF	2 (最大正增益调整)。		
		0x4001	1.000061 (最小正增益调整)。		
		0x4000	ADC结果乘以1。无增益调整。默认值。		
		0x3FFF	0.999939 (最小负增益调整)。		
		0x2000	ADC结果乘以0.5。		
		0x0001	0.000061 (最大负增益调整)。		
		0x0000	无效值。导致ADC结果为0。		

失调校准电压通道 (PGA增益 = 1) 寄存器

地址：0x400C2244；复位：0x00000000；名称：ADCOFFSETGN1

表84. ADCOFFSETGN1位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE		失调校准增益1。增益 = 1的电压通道的ADC偏移校正，表示为二进制补码数。校准分辨率为ADCDAT LSB大小的0.25 LSB。	0x0	R/W
		0x3FFF	4095.75 (最大正失调校准值)。		
		0x0001	0.25 (最小正失调校准值)。		
		0x0000	0 (无偏移调整)。		
		0x7FFF	-0.25 (最小负失调校准值)。		
		0x4000	-4096 (最大负失调校准值)。		

增益校准电压输入通道 (PGA增益 = 1) 寄存器

地址: 0x400C2240; 复位: 0x00004000; 名称: ADCGAINGN1

表85. ADCGAINGN1位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE	0x7FFF 2 (最大正增益调整)。 0x4001 1.000061 (最小正增益调整)。 0x4000 ADC结果乘以1。无增益调整。默认值。 0x3FFF 0.999939 (最小负增益调整)。 0x2000 ADC结果乘以0.5。 0x0001 0.000061 (最大负增益调整)。 0x0000 无效值。导致ADC结果为0。	增益校准PGA增益1。电压输入通道的ADC增益校正。存储为带符号数。位14是符号位, 位[13:0]代表小数部分。	0x4000	R/W

失调校准电压通道 (PGA增益 = 1.5) 寄存器

地址: 0x400C22CC; 复位: 0x00000000; 名称: ADCOFFSETGN1P5

表86. ADCOFFSETGN1P5位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE	0x3FFF 4095.75 (最大正失调校准值)。 0x0001 0.25 (最小正失调校准值)。 0x0000 0 (无偏移调整)。 0x7FFF -0.25 (最小负失调校准值)。 0x4000 -4096 (最大负失调校准值)。	失调校准增益1.5。PGA增益 = 1.5时的ADC偏移校正。	0x0	R/W

增益校准电压输入通道 (PGA增益 = 1.5) 寄存器

地址: 0x400C2270; 复位: 0x00004000; 名称: ADCGAINGN1P5

表87. ADCGAINGN1P5位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE	0x7FFF 2 (最大正增益调整)。 0x4001 1.000061 (最小正增益调整)。 0x4000 ADC结果乘以1。无增益调整。默认值。 0x3FFF 0.999939 (最小负增益调整)。 0x2000 ADC结果乘以0.5。 0x0001 0.000061 (最大负增益调整)。 0x0000 无效值。导致ADC结果为0。	增益校准PGA增益1.5。电压输入通道的ADC增益校正。存储为带符号数。位14是符号位, 位[13:0]代表小数部分。	0x4000	R/W

失调校准电压输入通道 (PGA增益 = 2) 寄存器

地址: 0x400C22C8; 复位: 0x00000000; 名称: ADCOFFSETGN2

表88. ADCOFFSETGN2位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE		失调校准电压通道增益2。PGA增益 = 2的输入的ADC偏移校正, 表示为二进制补码数。校准分辨率为ADCDAT LSB大小的0.25 LSB。	0x0	R/W
		0x3FFF	4095.75 (最大正失调校准值)。		
		0x0001	0.25 (最小正失调校准值)。		
		0x0000	0 (无偏移调整)。		
		0x7FFF	-0.25 (最小负失调校准值)。		
		0x4000	-4096 (最大负失调校准值)。		

增益校准电压输入通道 (PGA增益 = 2) 寄存器

地址: 0x400C2274; 复位: 0x00004000; 名称: ADCGAINGN2

表89. ADCGAINGN2位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE		增益校准PGA增益2。电压输入通道的ADC增益校正。存储为带符号数。位14是符号位, 位[13:0]代表小数部分。	0x4000	R/W
		0x7FFF	2 (最大正增益调整)。		
		0x4001	1.000061 (最小正增益调整)。		
		0x4000	ADC结果乘以1。无增益调整。默认值。		
		0x3FFF	0.999939 (最小负增益调整)。		
		0x2000	ADC结果乘以0.5。		
		0x0001	0.000061 (最大负增益调整)。		
		0x0000	无效值。导致ADC结果为0。		

失调校准电压输入通道 (PGA增益 = 4) 寄存器

地址: 0x400C22D4; 复位: 0x00000000; 名称: ADCOFFSETGN4

表90. ADCOFFSETGN4位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE		失调校准增益4。PGA增益 = 4时的ADC偏移校正。	0x0	R/W
		0x3FFF	4095.75 (最大正失调校准值)。		
		0x0001	0.25 (最小正失调校准值)。		
		0x0000	0 (无偏移调整)。		
		0x7FFF	-0.25 (最小负失调校准值)。		
		0x4000	-4096 (最大负失调校准值)。		

增益校准电压输入通道 (PGA增益 = 4) 寄存器

地址: 0x400C2278; 复位: 0x00004000; 名称: ADCGAINGN4

表91. ADCGAINGN4位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE		增益校准PGA增益4。电压输入通道的ADC增益校正。存储为带符号数。位14是符号位, 位[13:0]代表小数部分。	0x4000	R/W
		0x7FFF	2 (最大正增益调整)。		
		0x4001	1.000061 (最小正增益调整)。		
		0x4000	ADC结果乘以1。无增益调整。默认值。		
		0x3FFF	0.999939 (最小负增益调整)。		
		0x2000	ADC结果乘以0.5。		
		0x0001	0.000061 (最大负增益调整)。		
		0x0000	无效值。导致ADC结果为0。		

失调校准电压输入通道 (PGA增益 = 9) 寄存器

地址: 0x400C22D0; 复位: 0x00000000; 名称: ADCOFFSETGN9

表92. ADCOFFSETGN9位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE		失调校准增益9。PGA增益 = 9时的ADC偏移校正。	0x0	R/W
		0x3FFF	4095.75 (最大正失调校准值)。		
		0x0001	0.25 (最小正失调校准值)。		
		0x0000	0 (无偏移调整)。		
		0x7FFF	-0.25 (最小负失调校准值)。		
		0x4000	-4096 (最大负失调校准值)。		

增益校准电压输入通道 (PGA增益 = 9) 寄存器

地址: 0x400C2298; 复位: 0x00004000; 名称: ADCGAINGN9

表93. ADCGAINGN9位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE		增益校准PGA增益9。电压输入通道的ADC增益校正。存储为带符号数。位14是符号位, 位[13:0]代表小数部分。	0x4000	R/W
		0x7FFF	2 (最大正增益调整)。		
		0x4001	1.000061 (最小正增益调整)。		
		0x4000	ADC结果乘以1。无增益调整。默认值。		
		0x3FFF	0.999939 (最小负增益调整)。		
		0x2000	ADC结果乘以0.5。		
		0x0001	0.000061 (最大负增益调整)。		
		0x0000	无效值。导致ADC结果为0。		

失调校准温度传感器通道0寄存器

地址：0x400C223C；复位：0x00000000；名称：ADCOFFSETTEMPSENS0

表94. ADCOFFSETTEMPSENS0位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE	0x3FFF 4095.75 (最大正失调校准值)。 0x0001 0.25 (最小正失调校准值)。 0x0000 0 (无偏移调整)。 0x7FFF -0.25 (最小负失调校准值)。 0x4000 -4096 (最大负失调校准值)。	失调校准温度传感器。温度传感器通道的ADC偏移校正，表示为二进制补码数。校准分辨率为ADCDAT LSB大小的0.25 LSB。	0x0	R/W

增益校准温度传感器通道0寄存器

地址：0x400C2238；复位：0x00004000；名称：ADCGAINTEMPSENS0

表95. ADCGAINTEMPSENS0位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
[14:0]	VALUE	0x7FFF 2 (最大正增益调整)。 0x4001 1.000061 (最小正增益调整)。 0x4000 ADC结果乘以1。无增益调整。默认值。 0x3FFF 0.999939 (最小负增益调整)。 0x2000 ADC结果乘以0.5。 0x0001 0.000061 (最大负增益调整)。 0x0000 无效值。导致ADC结果为0x8000。	增益校准温度传感器通道。温度传感器通道的ADC增益校正。存储为带符号数。位14是符号位，位[13:0]代表小数部分。	0x4000	R/W

最小值检查寄存器

地址：0x400C20A8；复位：0x00000000；名称：ADCMIN

表96. ADCMIN位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0	R
[15:0]	MINVAL		ADC最小值阈值。此值为ADCDAT低阈值。如果ADC测量值小于ADCMIN，则ADCINTSTA的位4设置为1。	0x0	R/W

最小缓慢移动值寄存器

地址：0x400C20AC；复位：0x00000000；名称：ADCMINSM

表97. ADCMINSM位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0	R
[15:0]	MINCLRVAL		ADCMIN迟滞值。如果ADC测量值小于ADCMIN，则ADCINTSTA的位4设置为1。ADCINTSTA的位4会保持设置状态到ADCDAT > ADCMIN + ADCMINSM的位[15:0]。	0x0	R/W

最大值检查寄存器

地址：0x400C20B0；复位：0x00000000；名称：ADCMAX

表98. ADCMAX位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0	R
[15:0]	MAXVAL		ADC最大阈值。可选的最大ADCDAT阈值。如果ADC测量值大于ADCMAX，则ADCINTSTA的位5设置为1。	0x0	R/W

最大缓慢移动寄存器

地址：0x400C20B4；复位：0x00000000；名称：ADCMAXSMEN

表99. ADCMAXSMEN位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0	R
[15:0]	MAXSWEN		ADC最大迟滞值。如果ADC测量值大于ADCMAX，则ADCINTSTA的位5设置为1。ADCINTSTA的位5会保持设置状态到ADCDAT < ADCMAX - ADCMAXSMEN的位[15:0]。	0x0	R/W

变化值检查寄存器

地址：0x400C20B8；复位：0x00000000；名称：ADCDELTA

表100. ADCDELTA位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0	R
[15:0]	DELTAVAL		ADCDAT码差值限值选项。如果两个连续ADCDAT结果的差值大于ADCDELTA的位[15:0]，则会通过ADCINTSTA的位6设置错误标志。	0x0	R/W

统计模块配置寄存器

地址：0x400C21C4；复位：0x00000000；名称：STATSCON包括均值和异常值检测模块。

表101. STATSCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:7]	保留		保留。	0x0	R
[6:4]	SAMPLENUM	0 1 10 11 100	样本大小。设置用于每次统计计算的ADC样本数。 0 128个样本。 1 64个样本。 10 32个样本。 11 16个样本。 100 8个样本。	0x0	R/W
[3:1]	保留		保留。	0x0	R/W
0	STATSEN	0 1	统计使能。 0 禁用统计。 1 使能统计。	0x0	R/W

均值输出寄存器

地址：0x400C21C8；复位：0x00000000；名称：STATSMEAN

表102. STATSMEAN位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0	R
[15:0]	MEAN		均值输出。针对STATSCON位[6:4]设置的ADC样本数计算的平均值。STATSCON, Bits[6:4].	0x0	R

DSPUPDATEEN寄存器的密钥访问

地址：0x400C0434；复位：0x00000000；名称：MKEY

表103. MKEY位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	KEY		DSPUPDATEEN寄存器的密钥访问。要访问DSPUPDATEEN寄存器，应先将0xA51F写入该寄存器。写入DSPUPDATEEN之后，将0x0000写入此寄存器以再次锁定密钥。	0x0	W W

数字逻辑测试使能寄存器

地址：0x400C0438；复位：0x00000000；名称：DSPUPDATEEN

表104. DSPUPDATEEN位功能描述

位	位名称	设置	描述	复位	访问类型
[31:1]	保留		保留。	0x0	R/W
0	DSPLOOP		ADC数字逻辑测试使能。允许高速DAC波形发生器创建连接到ADC输出数字逻辑的数字值。 0 禁用数字逻辑测试功能。 1 使能数字逻辑测试功能。	0x0	R/W

温度传感器1控制寄存器

地址：0x400C2374；复位：0x00020000；名称：TEMPCON1

表105. TEMPCON1位功能描述

位	位名称	设置	描述	复位	访问类型
[31:18]	保留		保留。	0x0	R
17	PWD		关断控制。关断温度传感器1通道。 0 在活动模式下使能温度传感器1。 1 关断温度传感器1通道。	0x1	R/W
16	EN		测试信号使能。使能温度传感器1。开启。 0 使能转换。 1 关闭。禁用转换。	0x0	R/W
[15:0]	ISWCON		偏置电流选择。切换控制寄存器。每个位控制连接到VBE晶体管的开关。	0x0	R/W

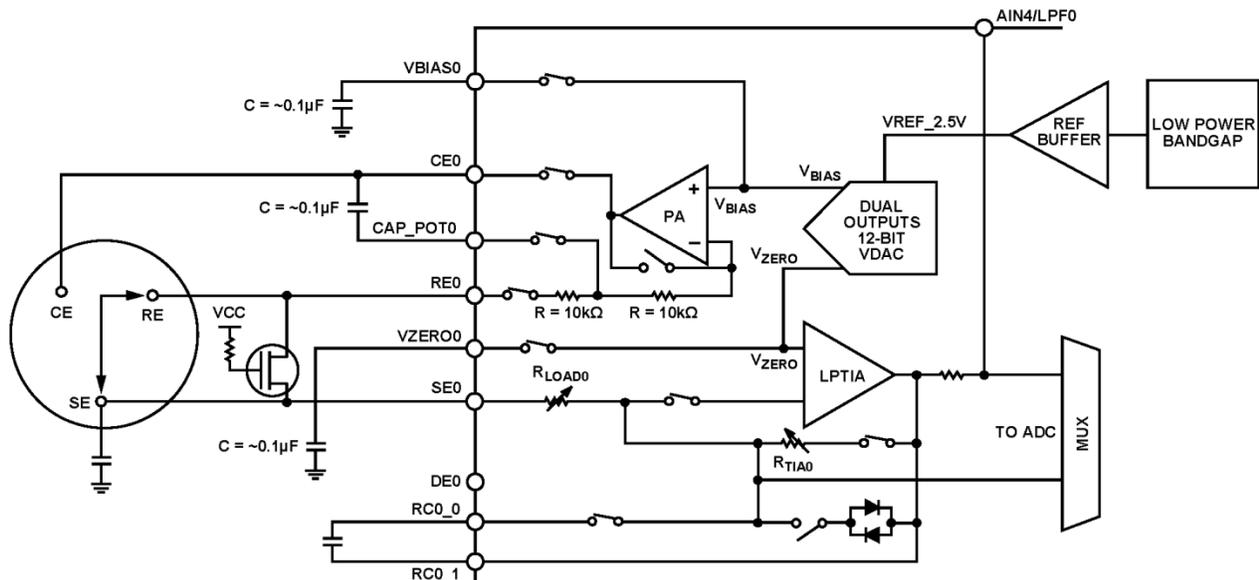
低功耗恒电势器放大器和低功耗TIA

ADuCM355具有两个低功耗TIA和两个低功耗恒电势器放大器。本部分详细介绍这些元件的工作原理。

低功耗恒电势器放大器

ADuCM355具有两个低功耗恒电势器放大器，用于设置外部电化学传感器的偏置电压。偏置电压是感应电极和参考电极之间的电压。所需的偏置电压取决于所使用的电化学传感器。偏置电压由低功耗DAC设置。详情参见“低功耗DAC”部分。

图15显示了连接到3引脚电化学传感器的恒电势器放大器。恒电势器放大器（在图15中标记为PA）以双通道DAC的 V_{BIAS} 输出作为其同相输入。放大器输出连接到反电极。参考电极连接到恒电势器的反相输入。因此，参考电极上的电压由通过恒电势器放大器的 V_{BIAS} DAC输出电压确定。



NOTES
1. NOT ALL SWITCHES SHOWN HERE.

图15. 低功耗恒电势器、低功耗TIA和DAC连接到一个电化学传感器

低功耗TIA

ADuCM355有两个低功耗TIA通道。负载电阻和增益电阻值在Lx寄存器中指定。对于选定的PGA增益设置，应选择TIA增益电阻以使ADC输入电压范围最大。例如，若PGA增益设置为1，应选择一个TIA增益电阻以最大化±900 mV范围。所需增益电阻通过下式计算：

$$I_{MAX} = 0.9/R_{TIA} \quad (4)$$

其中：

I_{MAX} 为预期的满量程输入电流。

R_{TIA} 为LPTIACONx的位[9:5]选择的TIA增益电阻。

用户代码可以选择多种工作模式。不同模式通过配置一系列开关来选择。图16显示了通道0的各种开关。这些开关在LPTIASW0寄存器中控制。图17中的开关由通道1的LPTIASW1寄存器控制。两个通道的开关0 (SW0)至开关13 (SW13)相同。Channel 1 does not have SW15 or SW14.

通道1没有SW15和SW14。LPTIASW0寄存器的位0控制SW0，LPTIASW0寄存器的位1控制SW1。

低功耗TIA保护二极管

图16显示了与 R_{TIA0} 增益电阻并联的背靠背保护二极管。这些二极管可通过控制SW0来连接或断开，而SW0又由LPTIASWx的位0控

制。当切换 R_{TIA} 增益设置以放大小电流时，这些二极管用于防止TIA饱和。这些二极管的漏电流规格取决于其两端的电压。如果二极管两端的差分电压大于200 mV，则漏电流很大。如果大于500 mV，漏电流可能大于1 nA，甚至达到几微安。

更改 R_{TIA} 值时，应闭合SW0；更改完成后，再次断开SW0。当使用氧气电化学传感器时，如果低功率TIA输入路径上检测到大电流，应闭合短路开关SW1以保护低功率TIA输入电路。SW1由LPTIASWx的位1控制。有关图16和图17中的高速TIA的完整详细信息，参见“高速TIA电路”部分。

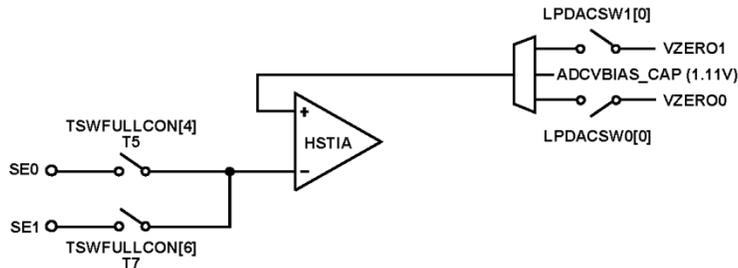
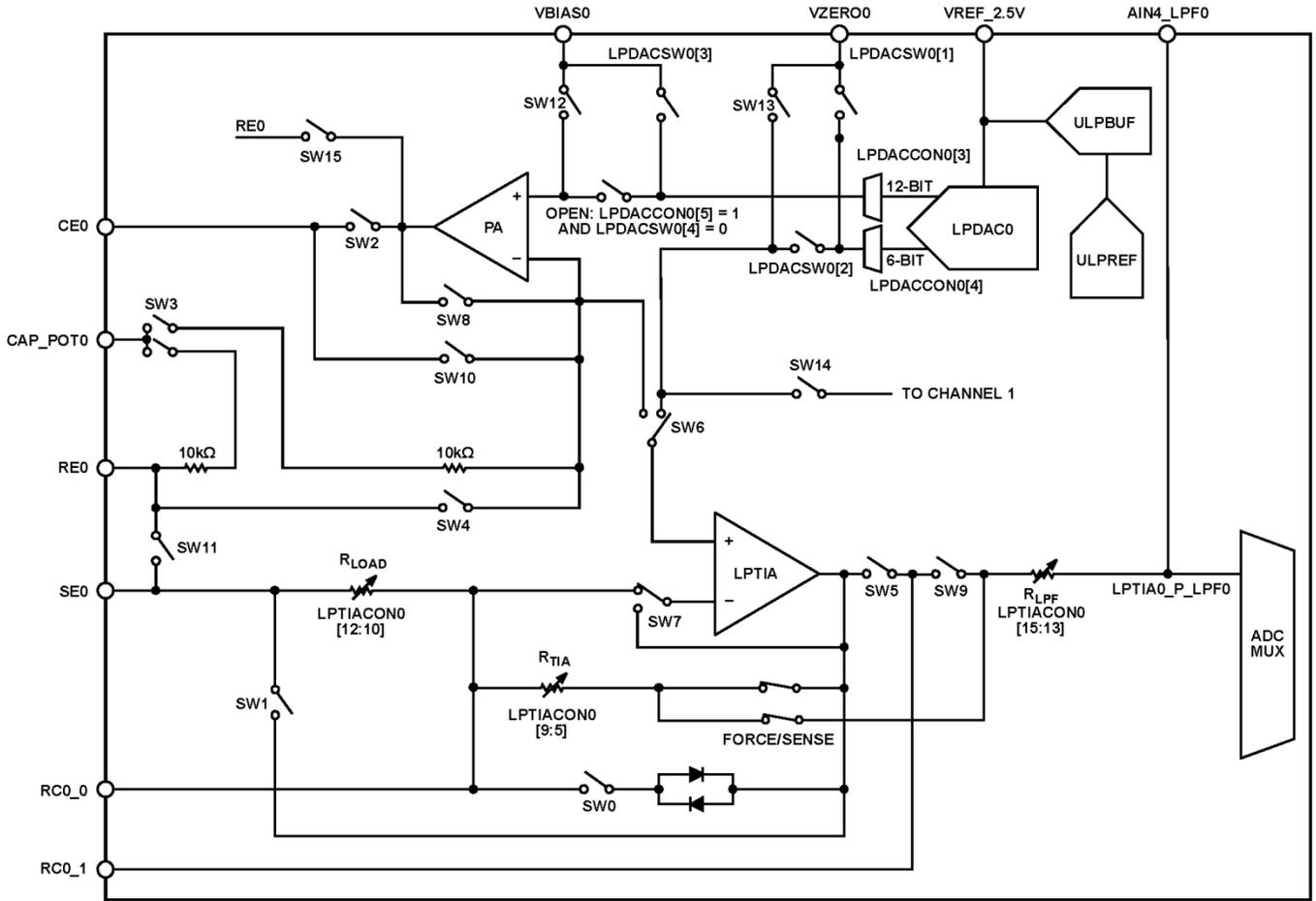


图16. 通道0的低功耗TIA、低功耗恒电势器和低功耗DAC开关

18875-016

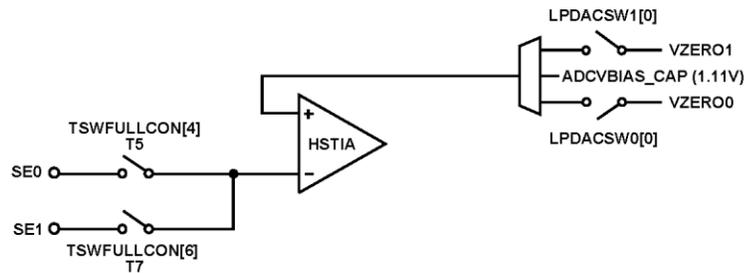
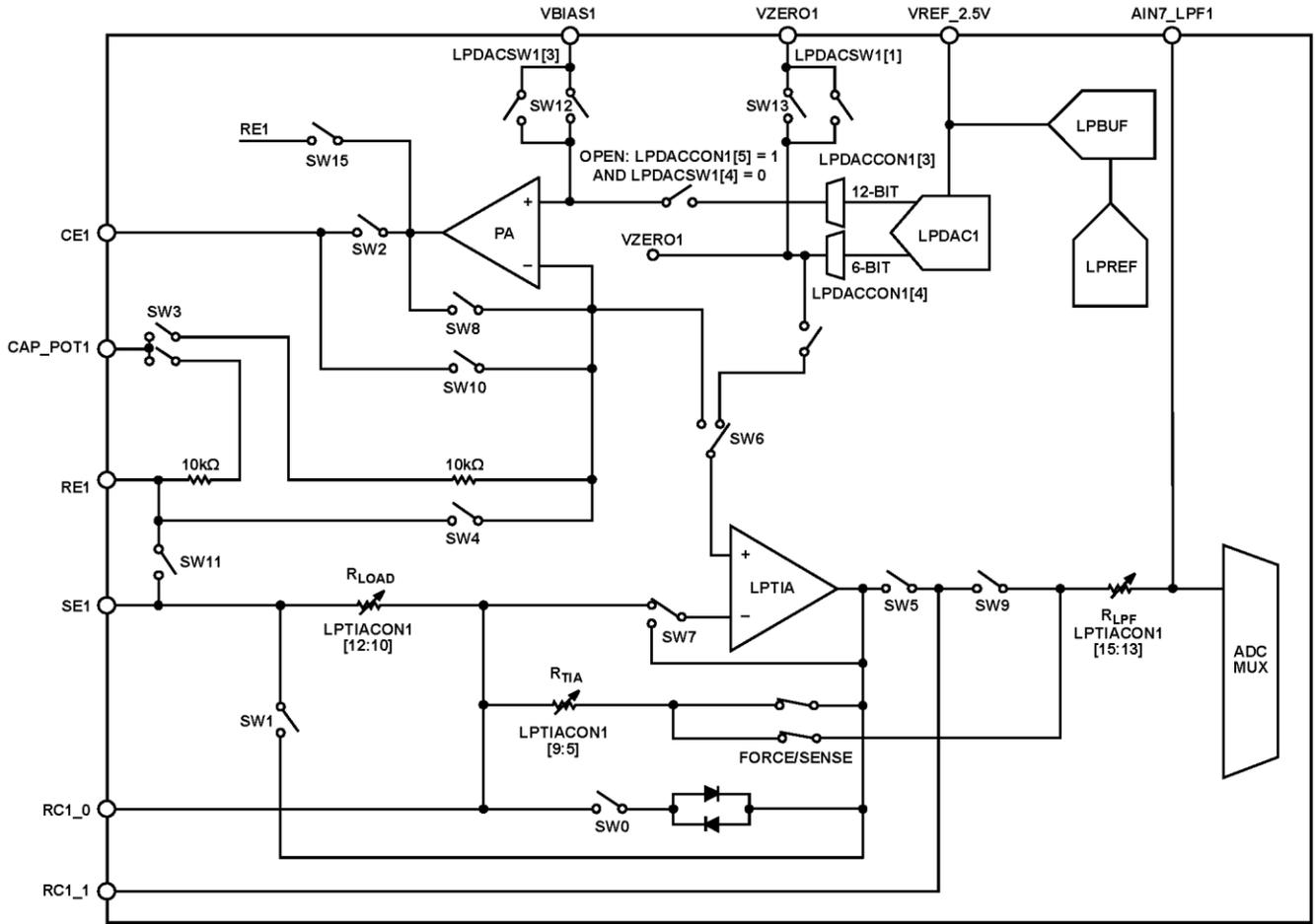


图17. 通道1的低功耗TIA、低功耗恒电势器和低功耗DAC开关

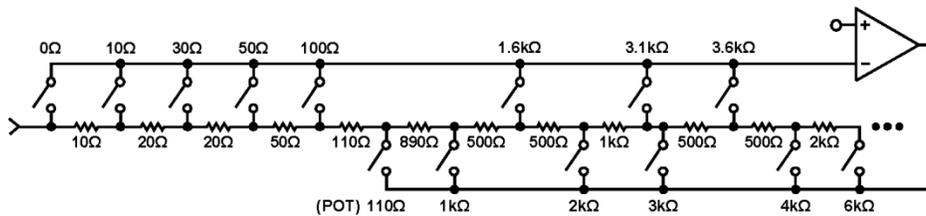


图18. 低功耗TIA R_{LOAD} 和 R_{GAIN} 配置

18675-017

18675-259

图18显示了低功耗TIA的 R_{LOAD} 和 R_{GAIN} 设置之间的关系。 R_{LOAD} 通过设置LPTIACON0的位[12:10]来配置。 R_{GAIN} 通过LPTIACON0的位[9:5]来配置。当 R_{LOAD} 较大时，它使用 R_{GAIN} 组中的电阻，这会减小 R_{GAIN} 的大小。详情参见LPTIACON0位域中的描述。

低功耗TIA和恒电势器放大器限流特性

除保护二极管外，低功耗TIA还内置限流特性。如果低功耗TIA的拉/灌电流大于ADuCM355数据手册中规定的过流保护限值，放大器就会将电流箝位在此限值。如果启动时传感器的拉/灌电流超过过流限值，放大器就会箝位输出电流。使用此特性的频率或时间不要超过数据手册中的规定。关于这些特性的全面说明，参见ADuCM355数据手册。

低功耗TIA驱动和检测特性

LPTIACONx的位[9:5]为低功耗TIA选择不同的增益电阻值，图16和图17中将其标记为 R_{TIA} 。低功耗TIA的反馈路径上显示的驱动和检测连接用于避免开关上的电压($I \times R$)下降，这些开关用于为内部 R_{TIA} 选择不同的 R_{TIA} 设置。

配合低功耗TIA放大器使用的外部 R_{TIA} 增益电阻

要使用外部 R_{TIA} 增益电阻，请执行以下步骤：

- 对于通道0，将外部 R_{TIA} 连接在RC0_0和RC0_1引脚上。对于通道1，将外部 R_{TIA} 连接在RC1_0和RC1_1引脚上。
- 清除LPTIACONx位[9:5] = 0b00000，断开内部 R_{TIA} 与TIA输出端的连接。
- 设置LPTIASWx位9 = 1，闭合SW9开关。使用内部 R_{TIA} 时，应断开SW9开关。

低功耗DAC

低功耗DAC设计用于设置传感器偏置电压。在图15中，传感器偏置电压为参考电极与感应电极之间的电压差。

每个低功耗DAC有两个输出，一个输出为12位分辨率（VBIA0引脚），一个输出为6位分辨率（VZERO0引脚）。低功耗DAC由两个6位电阻串DAC组成。6位主电阻串DAC提供VZERO0 DAC输出，由多达63个电阻组成。每个电阻的值相同。

带有6位subDAC的6位主电阻串提供VBIA0 DAC输出。在12位模式下，MSB从主电阻串DAC中选择一个电阻。该电阻的上端用作6位subDAC的顶部，下端连接到6位subDAC电阻串的底部。

12位和6位subDAC之间的电阻匹配意味着64个LSB 12位（VBIA0引脚）等于一个LSB 6位（VZERO0引脚）。图19显示了低功耗DAC结构。主DAC电阻串显示了构成VZERO0输出的6位和VBIA0输出的6个MSB的64个电阻。主DAC构成6位DAC输出（VZERO0输出），由LPDACDATx的位[17:12]控制。输出范围为0.2 V至2.36615V。主DAC模块的右侧显示了12位DAC输出（VBIA0输出）的6个MSB，它们由LPDACDATx的位[11:0]控制。这些位的电压阶跃等于6位VZERO0输出阶跃。12位输出能够达到2.4V。

subDAC模块显示了用于生成12位输出的6个LSB的64电阻串。低功耗DAC由LPDACCONx的位[5:0]控制。

LOW POWER DAC BLOCK DIAGRAM

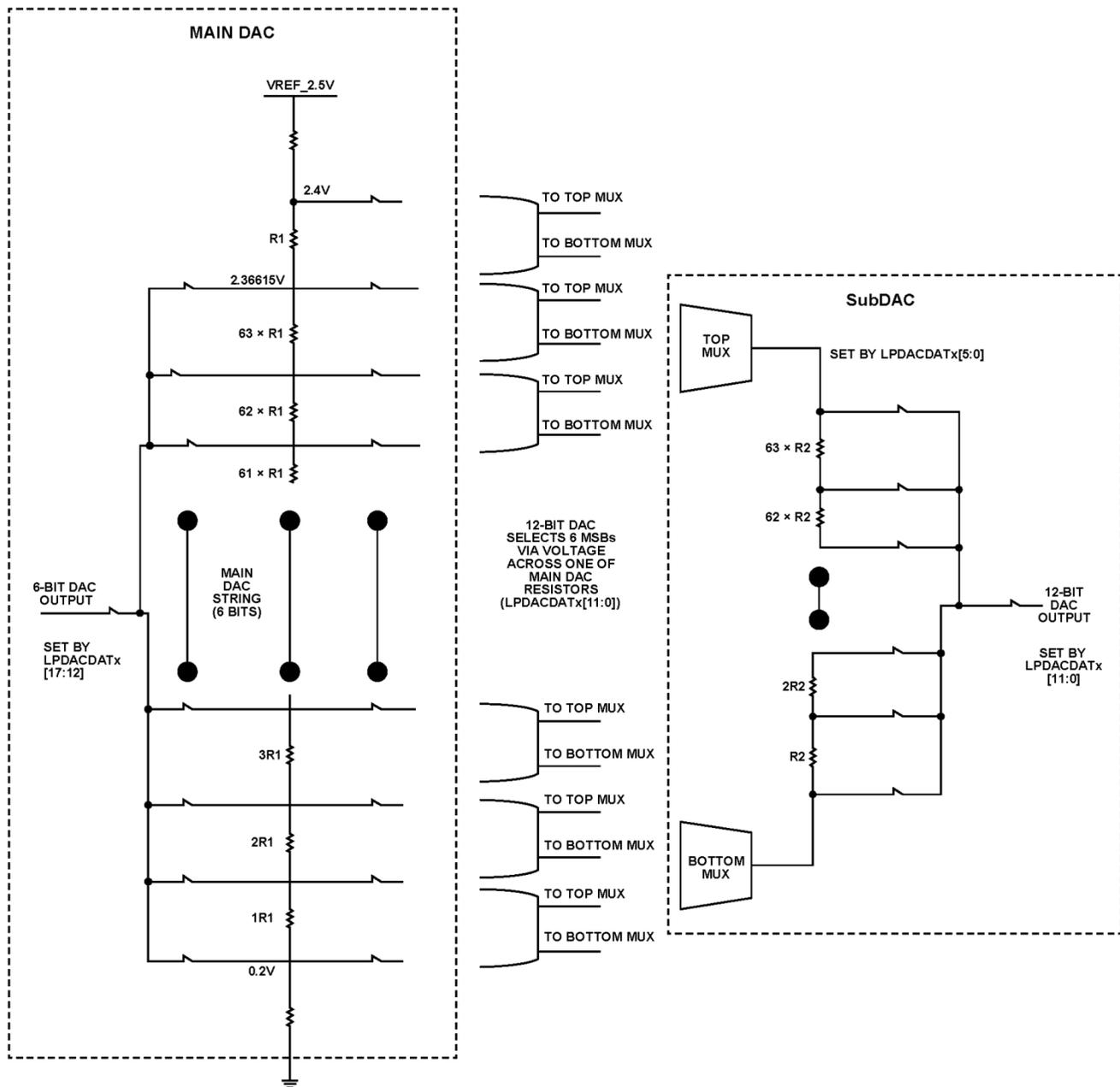


图19. 低功耗DAC框图

低功耗DAC开关选项

有多个开关选项可供用户配置低功耗DAC的各种工作模式。这些开关有利于许多不同的应用场景，例如电化学阻抗谱分析。图16显示了LPDACSWx的位[4:0]控制的开关位置。这些开关既可通过LPDACCONx的位5自动控制，也可通过LPDACSWx寄存器单独控制。

当LPDACCONx的位5清0时，开关配置为正常模式。SW2和SW3闭合，而SW0、SW1和SW4断开。当LPDACCONx的位5置1时，开关配置为诊断模式。SW0和SW4闭合，而SW1、SW2和SW3断开。此特性设计用于普通模式下的电化学应用场景，其中低功耗TIA用于测量感应电极。在诊断模式下，高速TIA用于测量感应电极。将VZEROx输出从低功耗TIA切换到高速TIA，传感器上的有效偏置（VBIAS到VZERO）不受影响。使用高速TIA有利于高带宽测量，例如阻抗、脉冲和循环伏安法。

要单独控制开关，应使用LPDACSW_x寄存器。LPDACSW_x的位5必须设置为1，以便通过LPDACSW_x的位[4:0]分别控制每个开关。

12位和6位输出之间的关系，使能硬件补偿

12位和6位输出大多是独立的。但是，所选的12位值对6位输出确实有负载效应，必须在用户代码中进行补偿，特别是当12位输出电平大于6位输出时。

当12位输出小于6位输出时，

$$12\text{位DAC输出电压} = 0.2\text{ V} + (\text{LPDACDAT}_x\text{的位}[11:0] \times 0.54\text{ mV}) \quad (5)$$

$$6\text{位DAC输出电压} = 0.2\text{ V} + (\text{LPDACDAT}_x\text{的位}[17:12] \times 34.38\text{ mV}) \quad (6)$$

当12位输出大于或等于6位输出时，

$$12\text{位DAC输出电压} = 0.2\text{ V} + (\text{LPDACDAT}_x\text{的位}[11:0] \times 0.54\text{ mV}) + 0.54\text{ mV} \quad (7)$$

$$6\text{位DAC输出电压} = 0.2\text{ V} + (\text{LPDACDAT}_x\text{的位}[17:12] \times 34.38\text{ mV}) \quad (8)$$

其中，0.54 mV约为12位DAC的1 LSB，34.38 mV约为6位DAC的1 LSB。

建议在用户代码中添加如下内容：

```
12BITCODE = LPDACDATx[11:0];
6BITCODE = LPDACDATx[17:12];
if (12BITCODE > (6BITCODE * 64))
    LPDACDATx[11:0] = (12BITCODE - 1);
```

如果LPDACDAT_x位[11:0] = 4095，则12位输出的最小电压为2.39946 V，因为LPDACDAT_x位[11:0] = 4095与LPDACDAT_x位[11:0] = 4094具有相同效果。

低功耗DAC应用场景

电化学电流测量

在电化学测量中，12位输出通过图20所示的恒电势器电路设置参考电极引脚上的电压。CE0和RE0引脚上的电压为V_{BIAS}。6位输出设置低功耗TIA正引脚上的偏置电压，后者进而设置SE0上的电压。该电压为V_{ZERO}。传感器上的偏置电压实际上是12位输出和6位输出之间的差值。

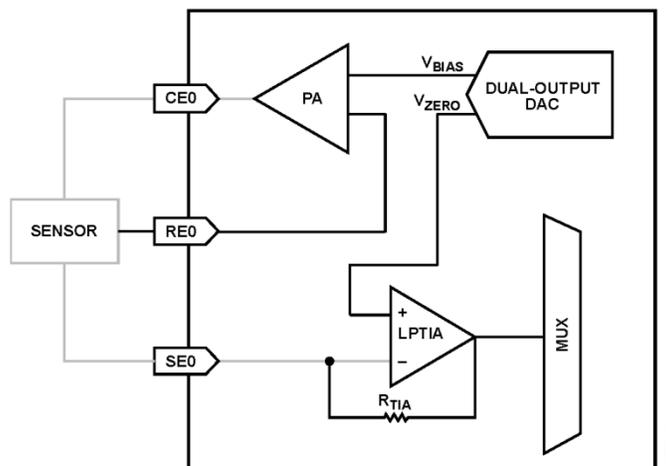


图20. 电化学标准配置

各种工作模式的推荐开关设置

对于各种测量类型，表106详细列出了低功耗恒电势器环路的推荐开关设置。对于所有测量类型，设置为1表示闭合开关，设置为0表示断开开关。LPTIASW_x的位[13:0]控制图16和图17中的SW13至SW0。

表106. 低功耗恒电势器环路的推荐开关设置

测量名称	LPDACCONx 位5设置	LPDACSWx位 [5:0]设置	LPTIASWx位 [13:0]设置	描述
电流测量模式	0	0xXX (任意)	0x302C或0b11 0000 0010 1100	正常直流电流测量。连接VBIASx和VZEROx DAC的外部电容。
带二极管保护的电流测量模式	0	0xXX (任意)	0x302D或0b11 0000 0010 1101	正常直流电流测量，低功耗TIA背靠背二极管保护使能。连接VBIASx和VZEROx DAC的外部电容。
短路开关使能的电流测量模式	0	0xXX (任意)	0x302E或0b11 0000 0010 1110	正常直流电流测量，短路开关保护使能。SW1闭合以将感应电极输入连接到低功耗TIA的输出。连接VBIASx和VZEROx DAC的外部电容。如果外部传感器在上电后必须充电，并且有许多电流流入流出SEx引脚，则此设置很有用。
零偏置传感器的电流测量模式	0	0xXX (任意)	0x306C或0b11 0000 0110 1100	电流测量模式，SW6配置为将传感器参考电极和感应电极设置为VBIASx电平。恒电势器放大器反相输入和低功耗TIA同相输入短路。对于零偏置电压传感器可提供最佳噪声性能。
双引线传感器的电流测量模式	0	0xXX (任意)	0x342C或0b11 0100 0010 1100	电流测量模式，SW10闭合以在内部将反电极短接至参考电极。
使用低功耗TIA的计时电流法（低功耗脉冲测试）	1	0x32	0x0014或0b00 0000 0001 0100	VBIASx输出产生脉冲并发送到反电极。低功耗DAC上的电容断开连接。低功耗TIA测量感应电极电流响应。
感应电极上使用高速TIA的计时电流法（全功率脉冲测试）	1	0x31	0x0094或0b00 0000 1001 0100	VBIASx输出产生脉冲并发送到反电极。低功耗DAC上的电容断开连接。高速TIA测量感应电极电流响应。
使用高速TIA的伏安法（全功率脉冲测试）	1	0x31	0x0094或0b00 0000 1001 0100	VBIASx输出产生脉冲并发送到反电极。低功耗DAC上的电容断开连接。高速TIA测量感应电极或DEx引脚电流响应。高速TIA电阻和开关单独配置。
恒电势器放大器和低功耗TIA处于单位增益模式（测试模式）	0	0xXX (任意)	0x04A4或0b00 0100 1010 0100	恒电势器放大器处于单位增益模式，输出到CEx引脚。低功耗TIA处于单位增益模式，输出至RCx_1引脚。对于检查VBIASx或VZEROx DAC输出很有用。

电化学阻抗谱分析

在许多电化学应用中，执行诊断测量具有重要价值。典型的诊断技术是在传感器上进行阻抗测量。对于某些类型的传感器，阻抗测量期间必须保持传感器的直流偏置。ADuCM355有利于进行这种测量。为了维持传感器上的直流偏置，应设置LPDACCONx的位5 = 1。VZEROx设置为高速TIA的输入，高速DAC用于产生交流信号。交流信号的电平通过低功耗DAC的VBIASx输出设置。SE0和SE1引脚上的电压由VZEROx维持。还必须通过设置AFECON位21来使能高速DAC直流缓冲器。

寄存器汇总：低功耗TIA/恒电势器和DAC电路

表107. 低功耗恒电势器和TIA控制寄存器汇总

地址	名称	描述	复位	访问类型
0x400C20EC	LPTIACON0	低功耗TIA控制位通道0	0x00000003	R/W
0x400C20E4	LPTIASW0	通道0的低功耗TIA开关配置	0x00000000	R/W
0x400C20E8	LPTIACON1	低功耗TIA控制位通道1	0x00000003	R/W
0x400C20E0	LPTIASW1	通道1的低功耗TIA开关配置	0x00000000	R/W

表108. 低功耗DAC控制寄存器汇总

地址	名称	描述	复位	访问类型
0x400C2120	LPDACDAT0	低功耗DAC0数据输出	0x00000000	R/W
0x400C2124	LPDACSW0	低功耗DAC0开关控制	0x00000000	R/W
0x400C2128	LPDACCON0	低功耗DAC0控制	0x00000002	R/W
0x400C212C	LPDACDAT1	低功耗DAC1数据输出	0x00000000	R/W
0x400C2130	LPDACSW1	低功耗DAC1开关控制	0x00000000	R/W
0x400C2134	LPDACCON1	低功耗DAC1控制	0x00000002	R/W
0x400C2050	LPREFBUFCON	低功耗基准电压源控制	0x00000000	R/W

寄存器详解：低功耗TIA/恒电势器和DAC电路

低功耗TIA控制位通道0寄存器

地址：0x400C20EC；复位：0x00000003；名称：LPTIACON0

表109. LPTIACON0位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0	R
[15:13]	TIARFILT		<p>设置低通滤波器电阻。配置TIA输出低通滤波器截止频率。</p> <p>0 断开TIA输出与AIN4_LPF0引脚的连接。对需要ADC快速响应的诊断很有用。此位设置将低功耗TIA输出与低通滤波器电容断开。</p> <p>1 旁路电阻。0Ω选项。</p> <p>10 20 kΩ。</p> <p>11 100 kΩ。</p> <p>100 200 kΩ。</p> <p>101 400 kΩ。</p> <p>110 600 kΩ。</p> <p>111 1MΩ。实现最佳直流电流测量性能的推荐值。低通滤波器的最低截止频率设置。</p>	0x0	R/W
[12:10]	TIARL		<p>设置R_{LOAD}。</p> <p>0 0Ω。</p> <p>1 10Ω。</p> <p>10 30Ω。</p> <p>11 50Ω。</p> <p>100 100Ω。</p> <p>101 1.6kΩ。R_{TIA}增益电阻必须≥2kΩ。</p> <p>110 3.1kΩ。R_{TIA}增益电阻必须≥4kΩ。</p> <p>111 3.6kΩ。R_{TIA}增益电阻必须≥4kΩ。</p>	0x0	R/W
[9:5]	TIAGAIN		<p>设置R_{TIA}。</p> <p>0 断开R_{TIA}。</p> <p>1 200Ω。用于氧气传感器。R_{TIA}是R_{LOAD}和固定串联110Ω的组合。假设R_{LOAD} = 10Ω。由TIARL位设置。R_{TIA}增益设置 = 100 Ω - R_{LOAD} + 110 Ω固定值。总TIA增益为200。</p> <p>10 1kΩ。如果R_{LOAD} ≤ 100 Ω，则R_{TIA}增益 = (100 Ω - R_{LOAD}) + 1 kΩ。如果R_{LOAD} > 100 Ω，则1 kΩ R_{TIA}不支持R_{TIA}增益。</p> <p>11 2kΩ。R_{TIA}增益 = 2 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>100 3kΩ。R_{TIA}增益 = 3 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>101 4kΩ。R_{TIA}增益 = 4 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>110 6kΩ。R_{TIA}增益 = 6 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>111 8kΩ。R_{TIA}增益 = 8 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>1000 10kΩ。R_{TIA}增益 = 10 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>1001 12kΩ。R_{TIA}增益 = 12 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>1010 16kΩ。R_{TIA}增益 = 16 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>1011 20kΩ。R_{TIA}增益 = 20 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>1100 24kΩ。R_{TIA}增益 = 24 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>1101 30kΩ。如果R_{LOAD} ≤ 100 Ω，则R_{TIA}增益 = (100 Ω - R_{LOAD}) + 30 Ω。如果R_{LOAD} > 100 Ω，则R_{TIA}增益 = 30 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>1110 32kΩ。R_{TIA}增益 = 32 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>1111 40kΩ。R_{TIA}增益 = 40 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>10000 48kΩ。R_{TIA}增益 = 48 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>10001 64kΩ。R_{TIA}增益 = 64 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>10010 85kΩ。R_{TIA}增益 = 85 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>10011 96kΩ。R_{TIA}增益 = 96 kΩ - (R_{LOAD} - 100 Ω)。</p> <p>10100 100kΩ。R_{TIA}增益 = 100 kΩ - (R_{LOAD} - 100 Ω)。</p>	0x0	R/W

位	位名称	设置	描述	复位	访问类型
		10101 10110 10111 11000 11001 11010	120kΩ。R _{TIA} 增益 = 120 kΩ - (R _{LOAD} - 100 Ω)。 128kΩ。R _{TIA} 增益 = 128 kΩ - (R _{LOAD} - 100 Ω)。 160kΩ。R _{TIA} 增益 = 160 kΩ - (R _{LOAD} - 100 Ω)。 196kΩ。R _{TIA} 增益 = 196 kΩ - (R _{LOAD} - 100 Ω)。 256kΩ。R _{TIA} 增益 = 256 kΩ - (R _{LOAD} - 100 Ω)。 512kΩ。R _{TIA} 增益 = 512 kΩ - (R _{LOAD} - 100 Ω)。		
[4:3]	IBOOST	00 01 10 11	电流升压控制。 00 正常模式。 01 增加放大器输出级电流，以对外部电容负载快速充电。旨在与大电流传感器一起使用，例如氧气电化学传感器。 10 TIA和恒电势器放大器的总静态电流加倍。提高放大器带宽。对诊断测试有用。 11 TIA和恒电势器放大器的总静态电流加倍并增加输出级电流。提高放大器带宽和输出电流能力。对大电流传感器（如氧气电化学传感器）的诊断测试很有用。	0x0	R/W
2	HALFPWR	0 1	半功率模式选择。此控制位可降低传感器通道0的TIA和恒电势器放大器的工作功耗。 0 正常模式。默认值。 1 恒电势器放大器和TIA电流减半。降低性能。	0x0	R/W
1	PAPDEN	0 1	恒电势器放大器关断。低功耗恒电势器放大器0关断控制位。 0 上电。 1 关断。	0x1	R/W
0	TIAPDEN	0 1	TIA关断。低功耗TIA0关断控制位。 0 上电。 1 关断。	0x1	R/W

低功耗TIA通道0开关配置寄存器

地址：0x400C20E4；复位：0x00000000；名称：LPTIASW0

有关该寄存器中提到的开关的详细信息，参见图16。

表110. LPTIASW0位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0	R
15	RECAL	0 1	TIA SW15控制。高电平有效。 0 断开通道0恒电势器放大器输出与RE0引脚的连接。 1 将恒电势器放大器0的输出连接到RE0引脚。	0x0	R/W
14	VZEROSHARE	0 1	TIA SW14控制。高电平有效。 0 断开开关。默认值。 1 将TIA0输入短接到TIA1输入并共享VZEROx引脚。	0x0	R/W
13	TIABIASSEL	0 1	TIA SW13控制。高电平有效。 0 从VZERO0引脚断开TIA偏置电压。 1 将TIA偏置电压连接到VZERO0引脚。	0x0	R/W
12	PABIASSEL	0 1	TIA SW12控制。高电平有效。 0 从VBIAS0引脚断开恒电势器放大器偏置电压。 1 将恒电势器放大器的偏置电压连接到VBIAS0引脚。	0x0	R/W
11	SW11	0 1	SW11开关控制，高电平有效。 0 断开开关。 1 闭合开关。	0x0	R/W
10	SW10	0 1	SW10开关控制，高电平有效。 0 断开开关。 1 闭合开关。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
9	SW9	0 1	SW9开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W
8	SW8	0 1	SW8开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W
7	SW7	0 1	SW7开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W
6	SW6	0 1	SW6开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W
5	SW5	0 1	SW5开关控制，高电平有效。闭合以连接RC0_0和RC0_1引脚之间的外部电容或R _{TIA} 。 断开开关。 闭合开关。	0x0	R/W
4	SW4	0 1	SW4开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W
3	SW3	0 1	SW3开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W
2	SW2	0 1	SW2开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W
1	SW1	0 1	SW1开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W
0	SW0	0 1	SW0开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W

低功耗TIA控制位通道1寄存器

地址：0x400C20E8；复位：0x00000003；名称：LPTIACON1

表111. LPTIACON1位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0	R
[15:13]	TIARFILT	0 1 10 11 100 101 110 111	设置低通滤波器电阻。 断开TIA输出与AIN7_LPF1引脚的连接。对需要ADC快速响应的诊断很有用。 将低功耗TIA输出与低通滤波器电容断开。 旁路电阻。 20 kΩ。 100 kΩ。 200 kΩ。 400 kΩ。 600 kΩ。 1MΩ。实现最佳直流电流测量性能的推荐值。低通滤波器的最低截止频率设置。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
[12:10]	TIARL	0 0Ω。 1 10Ω。 10 30Ω。 11 50Ω。 100 100Ω。 101 1.6kΩ。R _{TIA} 必须≥2kΩ。 110 3.1kΩ。R _{TIA} 必须≥4kΩ。 111 3.6kΩ。R _{TIA} 必须≥4kΩ。	设置R _{LOAD} 。	0x0	R/W
[9:5]	TIAGAIN	0 断开R _{TIA} 。 1 200Ω。用于氧气传感器。TIA增益电阻是R _{LOAD} 和固定串联110Ω的组合。假设R _{LOAD} = 10Ω。由TIARL位设置。R _{TIA} 增益设置 = 100 Ω - R _{LOAD} + 110 Ω固定值。总TIA增益为200。 10 1kΩ。如果R _{LOAD} ≤ 100 Ω，则R _{TIA} 增益 = (100 Ω - R _{LOAD}) + 1 kΩ。如果R _{LOAD} > 100 Ω，则1 kΩ R _{TIA} 不支持R _{TIA} 增益。 11 2kΩ。R _{TIA} 增益 = 2 kΩ - (R _{LOAD} - 100 Ω)。 100 3kΩ。R _{TIA} 增益 = 3 kΩ - (R _{LOAD} - 100 Ω)。 101 4kΩ。R _{TIA} 增益 = 4 kΩ - (R _{LOAD} - 100 Ω)。 110 6kΩ。R _{TIA} 增益 = 6 kΩ - (R _{LOAD} - 100 Ω)。 111 8kΩ。R _{TIA} 增益 = 8 kΩ - (R _{LOAD} - 100 Ω)。 1000 10kΩ。R _{TIA} 增益 = 10 kΩ - (R _{LOAD} - 100 Ω)。 1001 12kΩ。R _{TIA} 增益 = 12 kΩ - (R _{LOAD} - 100 Ω)。 1010 16kΩ。R _{TIA} 增益 = 16 kΩ - (R _{LOAD} - 100 Ω)。 1011 20kΩ。R _{TIA} 增益 = 20 kΩ - (R _{LOAD} - 100 Ω)。 1100 24kΩ。R _{TIA} 增益 = 24 kΩ - (R _{LOAD} - 100 Ω)。 1101 30kΩ。如果R _{LOAD} ≤ 100 Ω，则R _{TIA} 增益 = (100 Ω - R _{LOAD}) + 30 kΩ。如果R _{LOAD} > 100 Ω，则R _{TIA} 增益 = 30 kΩ - (R _{LOAD} - 100 Ω)。 1110 32kΩ。R _{TIA} 增益 = 32 kΩ - (R _{LOAD} - 100 Ω)。 1111 40kΩ。R _{TIA} 增益 = 40 kΩ - (R _{LOAD} - 100 Ω)。 10000 48kΩ。R _{TIA} 增益 = 48 kΩ - (R _{LOAD} - 100 Ω)。 10001 64kΩ。R _{TIA} 增益 = 64 kΩ - (R _{LOAD} - 100 Ω)。 10010 85kΩ。R _{TIA} 增益 = 85 kΩ - (R _{LOAD} - 100 Ω)。 10011 96kΩ。R _{TIA} 增益 = 96 kΩ - (R _{LOAD} - 100 Ω)。 10100 100kΩ。R _{TIA} 增益 = 100 kΩ - (R _{LOAD} - 100 Ω)。 10101 120kΩ。R _{TIA} 增益 = 120 kΩ - (R _{LOAD} - 100 Ω)。 10110 128kΩ。R _{TIA} 增益 = 128 kΩ - (R _{LOAD} - 100 Ω)。 10111 160kΩ。R _{TIA} 增益 = 160 kΩ - (R _{LOAD} - 100 Ω)。 11000 196kΩ。R _{TIA} 增益 = 196 kΩ - (R _{LOAD} - 100 Ω)。 11001 256kΩ。R _{TIA} 增益 = 256 kΩ - (R _{LOAD} - 100 Ω)。 11010 512kΩ。R _{TIA} 增益 = 512 kΩ - (R _{LOAD} - 100 Ω)。	设置R _{TIA} 。	0x0	R/W
[4:3]	IBOOST	00 正常模式。 01 增加放大器输出级电流，以对外部电容负载快速充电。旨在与大电流传感器一起使用，例如氧气电化学传感器。 10 TIA和恒电势器放大器的总静态电流加倍。提高放大器带宽。对诊断测试有用。 11 TIA和恒电势器放大器的总静态电流加倍并增加输出级电流。提高放大器带宽和输出电流能力。对大电流传感器（如氧气电化学传感器）的诊断测试很有用。	电流升压控制。	0x0	R/W
2	HALFPWR	0 正常模式。默认值。 1 恒电势器放大器和TIA电流减半。降低性能。	半功率模式选择。此控制位可降低传感器通道1的TIA和恒电势器放大器的工作功耗。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
1	PAPDEN	0 1	恒电势器放大器关断。低功耗恒电势器放大器1关断控制位。 上电。 关断。	0x1	R/W
0	TIAPDEN	0 1	TIA关断。低功耗TIA1关断控制位。 上电。 关断。	0x1	R/W

低功耗TIA通道1开关配置寄存器

地址：0x400C20E0；复位：0x00000000；名称：LPTIASW1

有关该寄存器中提到的开关的详细信息，参见图17。

表112. LPTIASW1位功能描述

位	位名称	设置	描述	复位	访问类型
[31:14]	保留		保留。	0x0	R
13	TIABIASSEL	0 1	TIA SW13控制，高电平有效。 从VZERO0引脚断开TIA偏置电压。 将TIA偏置电压连接到VZERO0引脚。	0x0	R/W
12	PABIASSEL	0 1	TIA SW12控制，高电平有效。 从VBIAS1引脚断开恒电势器放大器偏置电压。 将恒电势器放大器的偏置电压连接到VBIAS1引脚。	0x0	R/W
11	SW11	0 1	SW11开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W
10	SW10	0 1	SW10开关控制，高电平有效。 断开开关 闭合开关	0x0	R/W
9	SW9	0 1	SW9开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W
8	SW8	0 1	SW8开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W
7	SW7	0 1	SW7开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W
6	SW6	0 1	SW6开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W
5	SW5	0 1	SW5开关控制，高电平有效。闭合以连接RC1_0和RC1_1引脚之间的外部电容或R _{TIA} 电阻。 断开开关。 闭合开关。	0x0	R/W
4	SW4	0 1	SW4开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W
3	SW3	0 1	SW3开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
2	SW2	0 1	SW2开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W
1	SW1	0 1	SW1开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W
0	SW0	0 1	SW0开关控制，高电平有效。 断开开关。 闭合开关。	0x0	R/W

LPDAC0数据输出寄存器

地址：0x400C2120；复位：0x00000000；名称：LPDACDAT0

表113. LPDACDAT0位功能描述

位	位名称	设置	描述	复位	访问类型
[31:18]	保留		保留。	0x0	R
[17:12]	DACIN6	0 111111	6位值，1 LSB = 34.375 mV。低功耗DAC0 6位输出数据寄存器的值介于0和0x3F之间，可以设置6位输出电压。 0.2 V。 2.366 V。	0x0	R/W
[11:0]	DACIN12	0 0xFFF	12位值，1 LSB = 537 μ V。低功耗DAC0 12位输出数据寄存器的值介于0和0xFFF之间，可以设置12位输出电压。 0.2 V。 2.4 V。	0x0	R/W

LPDAC0开关控制寄存器

地址：0x400C2124；复位：0x00000000；名称：LPDACSW0

表114. LPDACSW0位功能描述

位	位名称	设置	描述	复位	访问类型
[31:6]	保留		保留。	0x0	R
5	LPMODEDIS	0 1	开关控制。控制连接到低功耗DAC0输出的开关。 0 开关连接到通过LPDACCON0位5配置的低功耗DAC输出。默认值。 1 覆盖LPDACCON0位5。连接到低功耗DAC0输出的开关通过LPDACSW0位[4:0]控制。	0x0	R/W
4	SW4	0 1	LPDAC0 SW4控制。 0 断开VBIAS0 DAC输出与低功耗放大器0的正输入的直接连接。默认值。 1 将VBIAS0 DAC输出直接连接到低功耗放大器0的正输入。	0x0	R/W
3	SW3	0 1	LPDAC0 SW3控制。 0 断开VBIAS0 DAC输出与低通滤波器和VBIAS0引脚的连接。 1 将VBIAS0 DAC输出连接到低通滤波器和VBIAS0引脚。默认值。	0x0	R/W
2	SW2	0 1	LPDAC0 SW2控制。 0 断开VZERO0 DAC输出与低功耗TIA0正输入的直接连接。默认值。 1 将VZERO0 DAC输出直接连接到低功耗TIA0的正输入。	0x0	R/W
1	SW1	0 1	LPDAC0 SW1控制。 0 断开VZERO0 DAC输出与低通滤波器和VZERO0引脚的连接。 1 将VZERO0 DAC输出连接到低通滤波器和VZERO0引脚。默认值。	0x0	R/W
0	SW0	0 1	LPDAC0 SW0控制。 0 断开VZERO0 DAC输出与高速TIA正输入的连接。默认值。 1 将VZERO0 DAC输出连接到高速TIA正输入。	0x0	R/W

LPDAC0控制寄存器

地址：0x400C2128；复位：0x00000002；名称：LPDACCON0

表115. LPDACCON0位功能描述

位	位名称	设置	描述	复位	访问类型
[31:7]	保留		保留。	0x0	R
6	WAVETYPE	0 1	低功耗DAC源。 直接来自LPDACDAT0寄存器。 波形发生器。	0x0	R/W
5	DACMDE	0 1	LPDAC0开关设置。LPDAC0输出开关的控制位。 LPDAC0开关设置为正常模式。清0即为正常输出开关操作。默认值。 LPDAC0开关设置为诊断模式。	0x0	R/W
4	VZEROMUX	0 1	VZERO0复用选择。选择哪个DAC0输出连接到VZERO0节点。 确保将相同的值写入LPDACCON0的位3 = 1。如果此位清0，则必须将VBIASMUX清0。 VZERO0 6位。默认值。清0时，VZERO0输出为6位。VZERO0 12位。置1时，VZERO0输出为12位。	0x0	R/W
3	VBIASMUX	0 1	VBIAS复用选择。选择哪个DAC0输出连接到VBIAS0节点。确保将相同的值写入LPDACCON0的位4。如果此位设置为1，则VZEROMUX位必须设置为1。如果此位清0，则必须将VZEROMUX清0。 VBIAS0 12位。默认值。12位DAC连接到VBIAS0。 VBIAS0 6位。6位DAC连接到VBIAS0。	0x0	R/W
2	REFSEL	0 1	LPDAC0基准电压源选择。 VREF_2.5V基准电压源0。选择低功耗2.5 V基准电压源作为LPDAC0基准电压源。默认值。 AVDD基准电压源1。设置为1时选择AVDD作为低功耗DAC0基准电压源。	0x0	R/W
1	PWDEN	0 1	LPDAC0关断。低功耗DAC的关断控制位。 LPDAC0上电。让LPDAC0上电。 LPDAC0关断。默认值。关断LPDAC0，LPDAC0输出上的所有开关都断开。	0x1	R/W
0	RSTEN	0 1	使能对LPDAC0的写操作。允许写入LPDACDAT0寄存器。 禁用LPDAC0写操作。默认值。如果清0，则LPDACDAT0始终为0。对LPDACDAT0的写操作被禁用。 使能LPDAC0写操作。置1时允许写入LPDACDAT0寄存器。	0x0	R/W

LPDAC1数据输出寄存器

地址：0x400C212C；复位：0x00000000；名称：LPDACDAT1

表116. LPDACDAT1位功能描述

位	位名称	设置	描述	复位	访问类型
[31:18]	保留		保留。	0x0	R
[17:12]	DACIN6	000000 111111	6位值，1 LSB = 34.375 mV。低功耗DAC1 6位输出数据寄存器的值介于0和0x3F之间，可以设置6位输出电压。 0.2 V。 2.366 V。	0x0	R/W
[11:0]	DACIN12	0x000 0xFFFF	12位值，1 LSB = 537μV。低功耗DAC1 12位输出数据寄存器的值介于0和0xFFFF之间，可以设置12位输出电压。 0.2 V。 2.4 V。	0x0	R/W

LPDAC1开关控制寄存器

地址：0x400C2130；复位：0x00000000；名称：LPDACSW1

表117. LPDACSW1位功能描述

位	位名称	设置	描述	复位	访问类型
[31:6]	保留		保留。	0x0	R
5	LPMODEDIS		开关控制。控制连接到LPDAC1输出的开关。 0 开关连接到通过LPDACCON1位5配置的低功耗DAC输出。默认值。 1 覆盖LPDACCON1位5。连接到LPDAC1输出的开关通过LPDACSW1位[4:0]控制。	0x0	R/W
4	SW4		LPDAC1 SW4控制。 0 断开VBIAS0 DAC输出与低功耗放大器1的正输入的直接连接。默认值。 1 将VBIAS1 DAC输出直接连接到低功耗放大器1的正输入。	0x0	R/W
3	SW3		LPDAC1 SW3控制。 0 断开VBIAS1 DAC输出与低通滤波器和VBIAS1引脚的连接。 1 将VBIAS1 DAC输出连接到低通滤波器和VBIAS1引脚。默认值。	0x0	R/W
2	SW2		LPDAC1 SW2控制。 0 断开VZERO0 DAC输出与低功耗TIA0正输入的直接连接。默认值。 1 将VZERO0 DAC输出直接连接到低功耗TIA0正输入。	0x0	R/W
1	SW1		低功耗DAC1 SW1控制。 0 断开VZERO1 DAC输出与低通滤波器和VZERO1引脚的连接。 1 将VZERO1 DAC输出连接到低通滤波器和VZERO1引脚。默认值。	0x0	R/W
0	SW0		低功耗DAC1 SW0控制。 0 断开VZERO1 DAC输出与高速TIA正输入的连接。默认值。 1 将VZERO1 DAC输出连接到高速TIA正输入。	0x0	R/W

LPDAC1控制寄存器

地址：0x400C2134；复位：0x00000002；名称：LPDACCON1

表118. LPDACCON1位功能描述

位	位名称	设置	描述	复位	访问类型
[31:7]	保留		保留。	0x0	R
6	WAVETYPE		低功耗DAC源。 0 直接来自LPDACDAT1。 1 波形发生器。	0x0	R/W
5	DACMDE		低功耗DAC1开关设置。低功耗DAC1输出开关的控制位。 0 低功耗DAC1开关设置为正常模式。 1 低功耗DAC1开关设置为诊断模式。	0x0	R/W
4	VZEROMUX		VZERO1输出。选择哪个低功耗DAC1输出连接到VZERO1节点。确保将相同的值写入VBIASMUX位。如果此位设置为1，则LPDACCON1的位3 = 1。如果此位清0，则LPDACCON1的位3 = 0。 0 VZERO1 6位。默认值。清0时，VZERO1输出为6位。 1 VZERO1 12位。置1时，VZERO1输出为12位。	0x0	R/W
3	VBIASMUX		位选择。选择哪个低功耗DAC1输出连接到VBIAS1节点。确保将相同的值写入VZEROMUX位。如果此位设置为1，则LPDACCON1的位4 = 1。如果此位清0，则LPDACCON1的位4 = 0。 0 12位输出。默认值。12位DAC连接到VBIAS1引脚。 1 6位输出。6位DAC连接到VBIAS1引脚。	0x0	R/W
2	REFSEL		低功耗DAC1基准电压源选择。 0 选择来自低功耗缓冲器的2.5 V作为DAC基准电压源。默认值。 1 选择AVDD电源作为DAC基准电压源。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
1	PWDEN	0 1	低功耗DAC1电源。低功耗DAC1的关断控制位。 0 低功耗DAC1上电。清0时，低功耗DAC1上电。 1 低功耗DAC1关断。默认值。关断低功耗DAC1并断开低功耗DAC1输出上的所有开关。	0x1	R/W
0	RSTEN	0 1	使能对LPDACDAT1的写操作。 0 禁用低功耗DAC1写操作。默认值。如果清0，则LPDACDAT1始终为0。对LPDACDAT1的写操作被禁用。 1 使能低功耗DAC1写操作。	0x0	R/W

低功耗基准电压源控制寄存器

地址：0x400C2050；复位：0x00000000；名称：LPREFBUFCON

表119. LPREFBUFCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:3]	保留		保留。	0x0	R
2	BOOSTCURRENT	0 1	同时使用通道0和通道1恒电势器通道时，应将此位置1。 0 仅使用一个恒电势器通道以仅支持一个低功耗DAC并节省功耗时，可以选择将此位清0。 1 设置为1可增强低功耗基准电压缓冲器的偏置电流，以支持驱动两个低功耗DAC。	0x0	R/W
1	LPBUF2P6DIS	0 1	低功耗带隙输出缓冲器。通常清0以使能低功耗基准电压缓冲器。 0 使能低功耗2.5V缓冲器。 1 关断低功耗2.5V缓冲器。	0x0	R/W
0	LPREFDIS	0 1	低功耗带隙关断位。通常清0以使能低功耗基准电压源。 0 使能低功耗基准电压源。 1 关断低功耗基准电压源。	0x0	R/W

高速TIA电路

高速TIA用于测量高达200 kHz的宽带输入信号。高速TIA的输出传输到主ADC多路复用器，可以选择高速TIA作为ADC输入通道。高速TIA为特别设计，配合高速DAC和激励放大器进行阻抗测量。要将高速TIA连接到外部传感器引脚，用户必须按照“Tx开关”部分所述配置Tx开关。

主要特性

要开启高速TIA，应设置AFECON位11 = 1。清0可关断高速TIA。高速TIA默认关闭。

高速TIA的可编程灵活性已内置于输入信号选择、 R_{TIA} 选择、 R_{LOAD} 选择和共模电压源中。输入信号选项如下：

- SE0输入引脚来自通道0传感器的感应电极。
- SE1输入引脚来自通道1传感器的感应电极。
- AIN0、AIN1、AIN2和AIN3/BUF_VREF1V8输入引脚。
- DE0输入引脚。这是诊断电极0引脚(DE0)。该引脚具有自己的 R_{LOAD03} 和 R_{TIA2_03} 选项，可通过DE0RESCON寄存器进行配置。
- DE1输入引脚。这是诊断电极1引脚(DE1)。该引脚具有自己的 R_{LOAD05} 和 R_{TIA2_05} 选项，可通过DE1RESCON寄存器进行配置。

对于DE0和DE1输入， R_{TIA2_x} 选项的范围为50Ω至160.1kΩ。对于所有其他引脚，增益范围为200Ω至160kΩ。SE0和SE1通道的 R_{LOADx} 选项是一个固定的100Ω电阻。但对于DE0和DE1输入引脚， R_{LOADx} 是可编程的。 R_{LOADx} 的值为0 Ω、10 Ω、30 Ω、50 Ω和100 Ω。

表120. 使用DE0和DE1电极时，高速TIA的 R_{LOAD} 和 R_{TIA} 的配置

DE0RESCON位[7:0] (DE0)和DE1RESCON位[7:0] (DE1)设置	R_{LOAD03} 和 R_{LOAD05} 值(Ω)	R_{TIA2_03} 和 R_{TIA2_05} 值
0xFF	不连接	不连接
0x00	0	50 Ω
0x18	0	100 Ω
0x38	0	200 Ω
0x58	0	1.1 kΩ
0x60	0	5.1 kΩ
0x68	0	10.1 kΩ
0x70	0	20.1 kΩ
0x78	0	40.1 kΩ
0x80	0	80.1 kΩ
0x88	0	160.1 kΩ
0x9	10	50 Ω
0x21	10	100 Ω
0x39	10	190 Ω
0x59	10	1.09 Ω
0x61	10	5.09 kΩ
0x69	10	10.09 kΩ
0x71	10	20.09 kΩ
0x79	10	40.09 kΩ
0x81	10	80.09 kΩ
0x89	10	160.09 kΩ
0x12	30	50 Ω
0x2A	30	100 Ω
0x4A	30	210 Ω
0x5A	30	1.07 kΩ
0x62	30	5.07 kΩ
0x6A	30	10.07 kΩ
0x72	30	20.07 kΩ

DE0RESCON位[7:0] (DE0)和DE1RESCON位[7:0] (DE1)设置	RLOAD03和RLOAD05值(Ω)	R _{TIA2_03} 和R _{TIA2_05} 值
0x7A	30	40.07 k Ω
0x82	30	80.07 k Ω
0x8A	30	160.07 k Ω
0x1B	50	50 Ω
0x33	50	100 Ω
0x4B	50	190 Ω
0x5B	50	1.05 k Ω
0x63	50	5.05 k Ω
0x6B	50	10.05 k Ω
0x73	50	20.05 k Ω
0x7B	50	40.05 k Ω
0x83	50	80.05 k Ω
0x8B	50	160.05 k Ω
0x34	100	50 Ω
0x3C	100	100 Ω
0x54	100	200 Ω
0x5C	100	1 k Ω
0x64	100	5 k Ω
0x6C	100	10 k Ω
0x74	100	20 k Ω
0x7C	100	40 k Ω
0x84	100	80 k Ω
0x8C	100	160 k Ω

高速TIA共模电压设置（高速TIA放大器的正输入）可通过HSTIACON位[1:0]配置。配置选项如下：

- 内部1.1 V基准电压源（同ADCVBIAΣ_CAP引脚电压）。
- 传感器通道0低功耗DAC输出（VZERO0引脚）。详情参见表110和表115。
- 传感器通道1低功耗DAC输出（VZERO1引脚）。详情参见表112和表118。

图21显示了高速TIA与外部引脚的连接，以及该部分接收信号电路中的可编程开关和电阻位置。

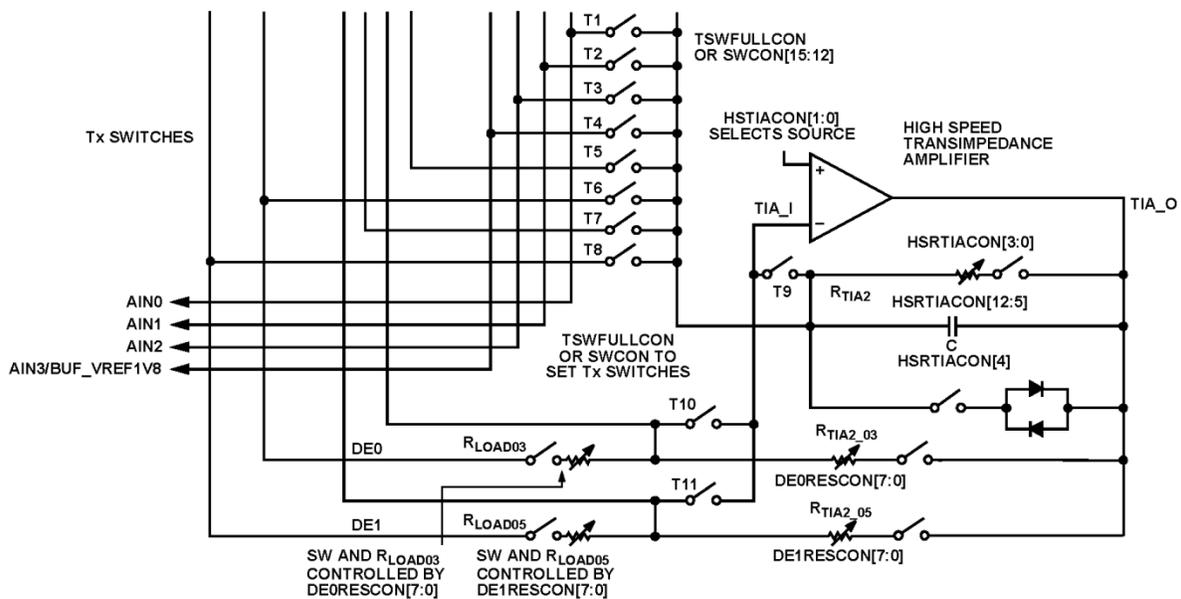


图21. 高速TIA电路

DE0和DE1输入配合高速TIA使用

要将DE0用作高速TIA的输入，须设置如下寄存器值：

- DE0RESCON = 设置 R_{LOAD03} 和 R_{TIA2_03} 所需的值。参见表120。
- HSRTIACON位[3:0] = 0xF，断开 R_{TIA2} 与高速TIA的连接。
- DE1RESCON = 0xFF，断开 R_{TIA2_05} 与高速TIA的连接。

要将DE1用作高速TIA的输出，须设置如下寄存器值：

- DE1RESCON = 设置 R_{LOAD05} 和 R_{TIA2_05} 所需的值。参见表120。
- HSRTIACON位[3:0] = 0xF，断开 R_{TIA2} 与高速TIA的连接。
- DE1RESCON = 0xFF，断开 R_{TIA2_03} 与高速TIA的连接。

高速TIA限流特性

除保护二极管外，高速TIA还内置限流特性。如果TIA的拉/灌电流大于过流保护限值，放大器就会将电流箝位在此限值。电流箝位典型值约为17 mA。完整规格参见ADuCM355数据手册。使用此特性的频率或时间不要超过数据手册中的规定。

外部 R_{TIA} 选择

高速TIA可以选择 R_{TIA} ，以代替内部 R_{TIA2} 、 R_{TIA2_03} 或 R_{TIA2_05} 增益选项。DE0引脚或DE1引脚可以连接到 R_{TIA} 的一侧。此 R_{TIA} 可以连接到高速TIA的输出。AIN0、AIN1、AIN2或AIN3/BUF_VREF1V8引脚可以连接到外部增益电阻的另一侧，如图22所示。

要使用DE0和AIN0（输入）引脚将高速TIA与 R_{TIA} 连接，须设置如下寄存器值：

- DE0RESCON = 0x97， $0\ \Omega$ R_{LOAD03} 和 $0\ \Omega$ R_{TIA2_03} 与外部 R_{TIA} 串联。
- DE1RESCON = 0xFF。
- HSRTIACON位[3:0] = 0xF。
- 闭合T1和T10开关（配置TSWFULLCON寄存器）。

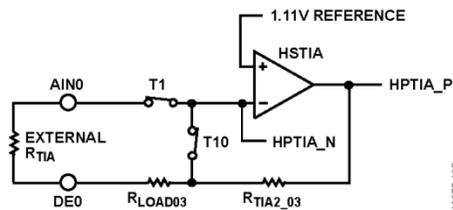


图22. 外部 R_{TIA} 连接在高速TIA两端

寄存器汇总：高速TIA电路

AFECON位11和AFECON位5与高速TIA模块有关。详情参见表52。

表121. 高速TIA电路寄存器汇总

地址	名称	描述	复位	访问类型
0x400C20F0	HSRTIACON	高速R _{TIA} 配置	0x0000000F	R/W
0x400C20F4	DE1RESCON	DE1高速TIA电阻配置	0x000000FF	R/W
0x400C20F8	DE0RESCON	DE0高速TIA电阻配置	0x000000FF	R/W
0x400C20FC	HSTIACON	高速TIA放大器配置	0x00000000	R/W

寄存器详解：高速TIA电路

高速 R_{TIA} 配置寄存器

地址：0x400C20F0；复位：0x0000000F；名称：HSRTIACON

此寄存器控制高速TIA R_{TIA} 、电流保护二极管和反馈电容。

表122. HSRTIACON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:13]	保留		保留。	0x0	R
[12:5]	CTIACON	00000000 0 pF。 00000001 1 pF。 00000010 2 pF。 00000100 4 pF。 00001000 8 pF。 00010000 16 pF。 00100000 保留。 x1xxxxxx 未使用。	配置与 R_{TIA} 并联的电容。该电容可改善放大器环路的稳定性。此位置1时，会增加与 R_{TIA} 并联的电容。该电容与RTIACON位选择的 R_{TIA} 值形成一个电阻/电容(RC)滤波器。确保截止频率设置大于输入信号频率。为了获得最佳稳定性，请使用尽可能大的电容值（最大31 pF）。	0x0	R/W
4	TIASW6CON	0 SW6断开，二极管不与 R_{TIA} 并联。 1 SW6接通，二极管与 R_{TIA} 并联。	SW6控制。使用SW6选择是否将二极管与 R_{TIA} 并联使用。	0x0	R/W
[3:0]	RTIACON	0000 $R_{TIA} = 200 \Omega$ 。 0001 $R_{TIA} = 1 \text{ k}\Omega$ 。 0010 $R_{TIA} = 5 \text{ k}\Omega$ 。 0011 $R_{TIA} = 10 \text{ k}\Omega$ 。 0100 $R_{TIA} = 20 \text{ k}\Omega$ 。 0101 $R_{TIA} = 40 \text{ k}\Omega$ 。 0110 $R_{TIA} = 80 \text{ k}\Omega$ 。 0111 $R_{TIA} = 160 \text{ k}\Omega$ 。 1000至1111 R_{TIA} 开路。	配置一般 R_{TIA} 值。要使用此 R_{TIA} ，须设置TSWFULLCON位8 = 1和TSWFULLCON位[10:9] = 00。	0xF	R/W

DE1高速TIA电阻配置寄存器

地址：0x400C20F4；复位：0x000000FF；名称：DE1RESCON

表123. DE1RESCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:8]	保留		保留。	0x0	R
[7:0]	DE1RCON		DE1 R_{LOAD05} 和 R_{TIA2_05} 设置。DE1高速TIA电阻设置。要使用此 R_{LOAD} ，应设置TSWFULLCON位[10:8] = 0b100，以断开T9和T10开关但闭合T11。要设置 R_{LOAD05} 和 R_{TIA2_05} 电阻值，参见表120。	0xFF	R/W

DE0高速TIA电阻配置寄存器

地址：0x400C20F8；复位：0x000000FF；名称：DE0RESCON

表124. DE0RESCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:8]	保留		保留。	0x0	R
[7:0]	DE0RCON		DE0 R _{LOAD03} 和R _{TIA2_03} 设置。DE0高速TIA电阻设置。要使用此R _{LOAD} ，应设置TSWFULLCON位[10:8] = 0b010，以断开T9和T11开关但闭合T10。要设置R _{LOAD03} 和R _{TIA2_03} 电阻值，参见表120。	0xFF	R/W

高速TIA放大器配置寄存器

地址：0x400C20FC；复位：0x00000000；名称：HSTIACON

表125. HSTIACON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:2]	保留		保留。	0x0	R
[1:0]	VBIASSEL		选择高速TIA正输入。 00 ADCVBIAS_CAP。1.1 V电压源。 01 低功耗DAC0的V _{ZERO} 输出。 10 低功耗DAC1的V _{ZERO} 输出。 11 保留。	0x0	R/W

高速DAC电路

测量外部传感器的阻抗时，12位高速DAC会产生一个交流激励信号。通过写入数据寄存器或使用自动波形发生器模块，可以直接控制DAC输出信号。高速DAC信号被馈送到激励放大器，其专门设计用于将该交流信号耦合到传感器的正常直流偏置电压之上。或者，可以将高速DAC用作常规电压源。详情参见“校准高速DAC”部分。

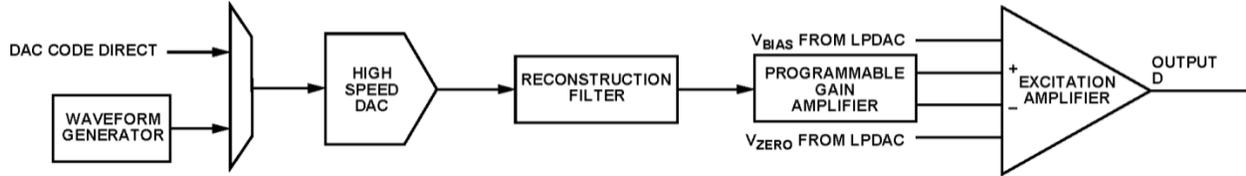


图23. 高速DAC模块概览

高速DAC输出信号生成

设置高速DAC输出电压的方法有以下两种：

- 直接写入DAC码寄存器。写入12位寄存器HSDACDAT，其MSB为符号位。值0x800对应0 V输出。0xFFF为正满量程。0x000为负满量程。
- 使用自动波形发生器。波形发生器可编程以产生固定频率和固定幅度的信号。如果用户选择正弦波，则有用于调整输出信号的偏移和相位的选项可用。

要使用波形发生器产生正弦波，请执行下列步骤：

1. 设置AFECON位14 = 1，开启波形发生器。
2. 设置WGCON位[2:1] = 10，选择正弦波形。
3. 设置WGAMPLITUDE位[10:0]以设置正弦波幅度。正弦波会在共模电压上下自动摆动。因此，幅度控制仅需要11位。
4. 设置WGFCW位[23:0]以设置正弦波输出频率。对于80 kHz以上的输出频率，必须将高速DAC配置为高功率模式。详情参见“功耗模式配置寄存器”部分。对于此配置，使用如下公式

$$f_{OUT} = f_{ACLK} \times \frac{WGFCW \text{ Bits}[23:0]}{2^{30}} \quad (9)$$

其中：

f_{OUT} 为输出频率。

f_{ACLK} 为模拟时钟频率16 MHz。

高速DAC核心功耗模式

高速DAC的基准电压源是内部1.8 V精密基准电压。

高速DAC有三种基本工作模式，可满足不同的功耗与输出速度权衡考虑。

低功耗模式

配置高速DAC为低功耗模式时，应注意以下要求和特性：

- 清除PMBW位0 = 0，使电流消耗最小。当高速DAC输出频率必须 ≤ 80 kHz时，建议使用此设置。
- 在低功耗模式下，DAC和ADC的系统时钟为16 MHz。
- 确保CLKSEL位[1:0]选择16 MHz时钟源。例如，若CLKSEL位[1:0] = 00，则选择内部高速振荡器。确保系统时钟分频比为1（CLKCON0位[5:0] = 0或1）。
- 如果选择内部高速振荡器作为系统时钟源，务必选择16 MHz选项。设置HPOSCCON位2 = 1。

高功率模式

配置高速DAC为高功率模式时，应注意以下要求和特性：

- 可提高高速DAC放大器支持的带宽。
- 设置PMBW位0 = 1。功耗增加，但输出信号带宽提高到最大200 kHz。
- 在这种模式下，DAC和ADC的系统时钟必须为32 MHz。
- 确保CLKSEL位[1:0]选择32 MHz时钟源。例如，若CLKSEL位[1:0] = 00，则选择内部高速振荡器。确保系统时钟分频比为1 (CLKCON0位[5:0] = 0或1)。
- 如果选择内部高速振荡器作为系统时钟源，务必选择32 MHz选项。清除HPOSICON位2 = 0。

休眠模式

配置高速DAC为休眠模式时，应注意以下要求和特性：

- 当ADuCM355进入休眠模式时，高速DAC电路的时钟关断以节省功耗。
- 当ADuCM355处于活动模式但不需要高速DAC时，应禁用高速DAC电路以节省功耗。为此，应清除AFECON寄存器中的位20、位14、位10、位9和位6。如果ADC在使用，应将位5保持设置状态，因为位5控制着高功率基准电压源。

休眠模式下的推荐配置

为使连接到激励放大器P和N节点的开关上的漏电流最小，并使高速TIA上的漏电流最小，应将这些开关连接到内部1.8 V LDO稳压器产生的电压，如下所示：

- 闭合PL和PL2开关。PSWFULLCON位[14:13] = 11。
- 闭合NL和NL2开关。NSWFULLCON位[11:10] = 11。

在休眠模式下，认为传感器只需要来自低功耗放大器的直流偏置电压。

高速DAC滤波器选项

高速DAC的输出级上有一个可配置的重构滤波器。此滤波器必须根据DAC的输出信号频率来适当配置，这一点很重要。PMBW的位[3:2]配置滤波器的3 dB截止频率。应确保该截止频率高于所需的DAC输出频率。输出滤波器截止频率的详细信息如下：

- 如果DAC输出信号频率 < 80 kHz，设置PMBW位[3:2] = 01可获得最佳性能。
- 如果DAC输出信号频率 < 100 kHz，设置PMBW位[3:2] = 10可获得最佳性能。
- 如果DAC输出信号频率 < 250 kHz，设置PMBW位[3:2] = 11可获得最佳性能。

高速DAC输出衰减选项

高速DAC输出有调整选项，可更改送至传感器的输出信号幅度。在衰减或放大之前，12位DAC串的输出约为±300 mV。DAC输出端有一个1或0.2的增益级，由HSDACCON的位0控制。PGA级有一个2或0.25的增益选项，由HSDACCON的位12控制。

建议仅使用最大和最小总增益选项，最小DAC码为0x200，最大DAC码为0xE00。DAC特征输出范围如下：

- HSDACCON位12 = 0且HSDACCON位0 = 0。总增益为2。对于HSDACDAT代码0x200至代码0xE00，此设置为传感器提供约±607 mV的满量程电压。
- HSDACCON位12 = 1且HSDACCON位0 = 1。对于HSDACDAT代码0x200至代码0xE00，此设置为传感器提供约±15.1 mV的满量程电压。

将来自高速DAC的交流信号耦合到低功耗DAC设置的直流电平

ADuCM355包含两个独立的低功耗恒电势器通道，这些通道配置两个单独的电化学传感器。正常工作时，参考电极和工作电极之间的传感器偏置电压直接由低功耗DAC输出VBIASx和VZEROx设置。设置见图15。

正常工作时，不使用高速DAC电路。但是，要将交流信号连接到反电极上，必须断开恒电势器放大器与传感器的连接，并且必须从高速DAC激励放大器输出端施加整个信号。传感器的偏置电压设置也必须由高速TIA而非低功耗TIA完成。对于被测通道，高速DAC产生的交流信号耦合到低功耗DAC设置的直流电压电平。DACDCBUFCON寄存器的位1选择LPDAC0或LPDAC1作为耦合到高速DAC的直流电平电压源。

图24所示的DAC直流缓冲器通过设置AFECON位21 = 1使能。此设置将传感器直流偏置电压馈送到激励放大器。对于适当的LPDACx通道，设置LPTIASWx的位[11:0] = 0x180可将低功耗TIA和恒电势器开关设置为交流阻抗测量模式。

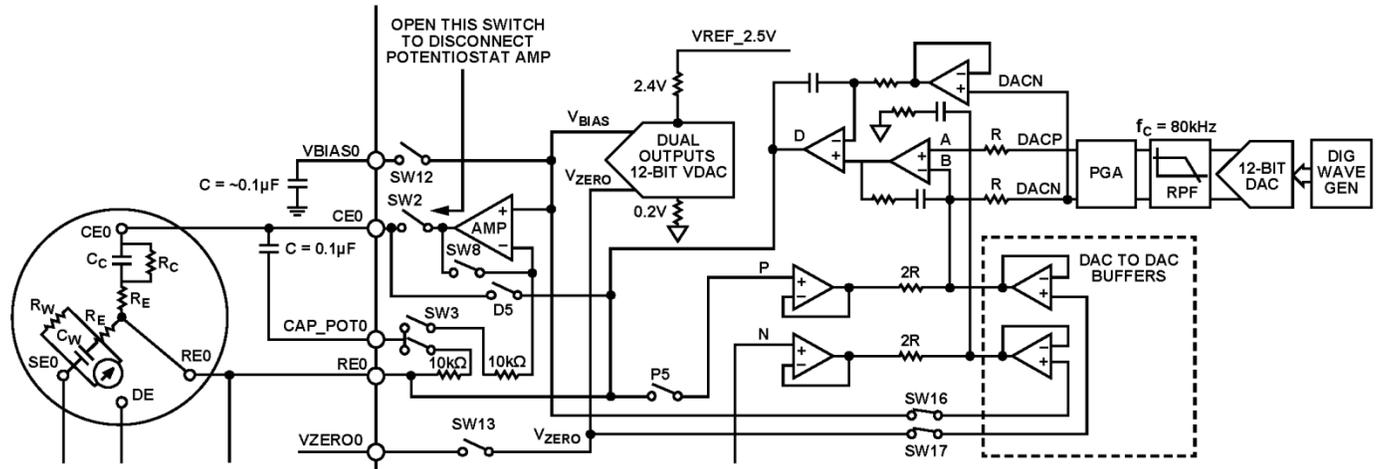


图24. 耦合到低功耗DAC所设置的直流电平的交流信号路径

在阻抗测量期间避免激励和测量频率之间的一致性误差

表126详细列出了避免阻抗测量期间激励频率与测量频率之间出现不一致性误差的推荐设置。

表126. 避免不一致性误差的推荐设置

参数	推荐设置
Hanning窗口	始终开启 (DFTCON位0 = 1)。使能Hanning窗口可避免不一致性引起的问题。禁用Hanning窗口可能会导致性能下降。
高速DAC更新速率	在低功耗模式下，典型值为16 MHz或27 MHz。(HSDACCON位[8:1] = 0x1B)。在高功率模式下，典型值为32 MHz或7 MHz。(HSDACCON位[8:1] = 0x7)。
ADC采样速率	低功耗模式，800 kSPS，高频振荡器 = 16 MHz。高功率模式，1.6 MSPS，高频振荡器 = 32 MHz。

校准高速DAC

高速DAC在生产测试过程中未校准。本部分介绍针对低功耗和高功率模式下所有增益设置的高速DAC校准。如果打算使用DAC来生成传感器的激励信号，则应校准高速DAC。如果激励信号存在偏置误差，并且必须测量电流或电压输出，则DAC输出电压可能超过所选TIA或ADC输入缓冲器和PGA设置的裕量。

使用所需的HSDACCON位12和HSDACCON位0设置校准高速DAC。例如，如果使用HSDACCON位12 = 0和HSDACCON位0 = 0校准DAC，而用户更改HSDACCON位12 = 1，那么对于新的输出范围，如果未重新校准DACOFFSET寄存器或DACOFFSETHP寄存器，则会引入误差。

高速DAC是差分输出DAC，其在施加于放大器的激励N节点的电压上摆动。图26显示了高速DAC与外部校准电阻(R_{cal})以及内部与ADC的连接。

要校准偏置，应确保R_{cal}两端测得的差分电压为0V。务必确保针对选定的高速DAC输出范围和功耗模式校准偏置误差。

增益校准是可选的，用于调整峰峰值电压摆幅。峰峰值电压摆幅也可以通过更改最小和最大DAC码来调整。

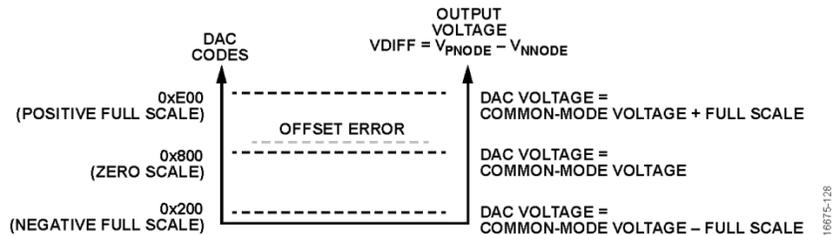


图25. 高速DAC转换函数

高速DAC转换函数如图25所示。请注意，在图26中，校准电路的共模电压设置由高速TIA的同相输入设置。

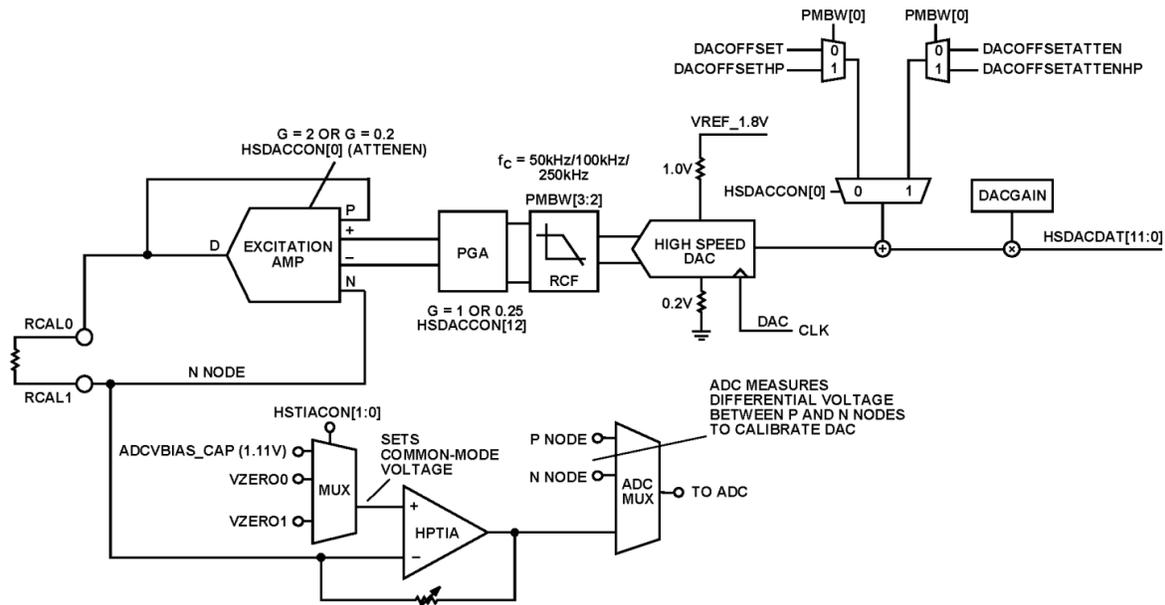


图26. 使用RCAL的高速DAC校准电路

EVAL-ADuCM355QSPZ套件中提供的示例功能演示了如何使用ADC测量RCAL两端的差分电压，以及如何适当调整偏移校准电阻，直到该差分电压约为0V。

表127列出了针对每种高速DAC输出设置和模拟芯片的选定功耗模式的适当校准。

表127. 每种输出范围的高速校准寄存器分配

HSDACCON位 12设置	HSDACCON位 0设置	典型输出范围 (码0x200至码0xE00)	相关校准寄存器		
			低功耗模式	高功率模式	低功耗模式/高功率模式
0	0	±607 mV	DACOFFSET	DACOFFSETHP	DACGAIN
1	0	±75 mV	DACOFFSET	DACOFFSETHP	DACGAIN
1	1	±15.14 mV	DACOFFSETATTEN	DACOFFSETATTENHP	DACGAIN
0	1	±121.2 mV	DACOFFSETATTEN	DACOFFSETATTENHP	DACGAIN

寄存器汇总：高速DAC电路

表128. 高速DAC控制寄存器汇总

地址	名称	描述	复位	访问类型
0x400C2010	HSDACCON	高速DAC配置	0x0000001E	R/W
0x400C2048	HSDACDAT	直接写入DAC输出控制值	0x00000800	R/W
0x400C2104	DACDCBUFCON	DAC DC缓冲器配置	0x00000000	R/W
0x400C2260	DACGAIN	DAC增益	0x00000800	R/W
0x400C2264	DACOFFSETATTEN	使能衰减器（低功耗模式）的DAC偏移	0x00000000	R/W
0x400C2268	DACOFFSET	禁用衰减器（低功耗模式）的DAC偏移	0x00000000	R/W
0x400C22B8	DACOFFSETATTENHP	使能衰减器（高功率模式）的DAC偏移	0x00000000	R/W
0x400C22BC	DACOFFSETHP	禁用衰减器（高功率模式）的DAC偏移	0x00000000	R/W

表129. 用于高速DAC的波形发生器寄存器汇总

地址	名称	描述	复位	访问类型
0x400C2014	WGCON	波形发生器配置	0x00000030	R/W
0x400C2030	WGFCW	波形发生器的正弦频率控制字	0x00000000	R/W
0x400C2034	WGPHASE	波形发生器的正弦相位偏移	0x00000000	R/W
0x400C2038	WGOFFSET	波形发生器的正弦偏移	0x00000000	R/W
0x400C203C	WGAMPLITUDE	波形发生器的正弦幅度	0x00000000	R/W

寄存器详解：高速DAC电路

高速DAC配置寄存器

地址：0x400C2010；复位：0x0000001E；名称：HSDACCON

表130. HSDACCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:13]	保留		保留。	0x0	R
12	INAMPGNMDE	0 1	激励放大器增益控制。选择激励放大器的增益。 0 增益 = 2。 1 增益 = 0.25。对于此选项，HSDACCON的位0也必须设置为1。	0x0	R/W
[11:9]	保留		保留。	0x0	R/W
[8:1]	RATE		DAC更新速率。DAC更新速率 = ACLK/HSDACCON位[8:1]。ACLK可以是16 MHz或32 MHz的高速振荡器，也可以是32 kHz的低功耗振荡器。	0xF 0xF	R/W
0	ATTENEN	0 1	PGA级增益衰减。使能DAC输出端的PGA衰减器。 0 禁用DAC衰减器。增益为1。 1 使能DAC衰减器。增益为0.2。对于此选项，HSDACCON的位12也必须设置为1。	0x0	R/W

直接写入DAC输出控制值寄存器

地址：0x400C2048；复位：0x00000800；名称：HSDACDAT

表131. HSDACDAT位功能描述

位	位名称	设置	描述	复位	访问类型
[31:12]	保留		保留。	0x0	R
[11:0]	DACDAT		DAC码值。直接写入DAC。最小码为0x000，最大码为0xFFF。中间电平(0x800)对应于0V输出电压。	0x800	R/W

DAC DC缓冲器配置寄存器

地址：0x400C2104；复位：0x00000000；名称：DACDCBUFCON

表132. DACDCBUFCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:2]	保留		保留。	0x0	R
1	CHANSEL	0 1	DAC DC通道选择。选择要在其上耦合高速DAC交流信号的低功耗DAC输出通道。 0 LPDAC0设置直流电平。选择LPDAC0作为激励放大器的共模电平。 1 LPDAC1设置直流电平。选择LPDAC1作为激励放大器的共模电平。	0x0	R/W
0	保留		保留。	0x0	R/W

DAC增益寄存器

地址：0x400C2260；复位：0x0000800；名称：DACGAIN

受CALDATLOCK保护。对HSDACCON位12和HSDACCON位0的所有设置都有效。

表133. DACGAIN位功能描述

位	位名称	设置	描述	复位	访问类型
[31:12]	保留		保留。	0x0	R
[11:0]	VALUE	0x000 0x800 0xFFF	高速DAC增益校正系数。无符号数。 发生最大负增益调整。 无增益调整。 发生最大正增益调整。	0x800	R/W

使能衰减器（低功耗模式）的DAC偏移寄存器

地址：0x400C2264；复位：0x00000000；名称：DACOFFSETATTEN

HSDACCON位12 = 1且HSDACCON位0 = 1时，LSB调整典型值为4.9 μ V。HSDACCON位12 = 1且HSDACCON位0 = 0时，LSB调整典型值为24.7 μ V。**表134. DACOFFSETATTEN位功能描述**

位	位名称	设置	描述	复位	访问类型
[31:12]	保留		保留。	0x0	R
[11:0]	VALUE	0x7FF 0x001 0x000 0xFFFF 0x800	DAC偏移校正系数。是以二进制补码格式表示的带符号数，精度为0.5 LSB。使能衰减器时使用。 最大正调整。产生正满量程/2 - 0.5 LSB调整。 产生0.5 LSB调整。 无偏移调整。 产生-0.5 LSB调整。 最大负调整。产生负满量程/2调整。	0x0	R/W

禁用衰减器（低功耗模式）的DAC偏移寄存器

地址：0x400C2268；复位：0x00000000；名称：DACOFFSET

HSDACCON位12 = 0且HSDACCON位0 = 0时，LSB调整典型值为197.7 μ V。HSDACCON位12 = 0且HSDACCON位0 = 1时，LSB调整典型值为39.5 μ V。**表135. DACOFFSET位功能描述**

位	位名称	设置	描述	复位	访问类型
[31:12]	保留		保留。	0x0	R
[11:0]	VALUE	0x7FF 0x001 0x000 0xFFFF 0x800	DAC偏移校正系数。是以二进制补码格式表示的带符号数，精度为0.5 LSB。禁用衰减器时使用。 最大正调整。产生正满量程/2 - 0.5 LSB调整。 产生0.5 LSB调整。 无偏移调整。 产生-0.5 LSB调整。 最大负调整。产生负满量程/2调整。	0x0	R/W

使能衰减器（高功率模式）的DAC偏移寄存器**地址：0x400C22B8；复位：0x00000000；名称：DACOFFSETATTENHP**

受CALDATLOCK寄存器保护。HSDACCON位12 = 1且HSDACCON位0 = 1时，LSB调整典型值为4.9 μ V。HSDACCON位12 = 1且HSDACCON位0 = 0时，LSB调整典型值为24.7 μ V。

表136. DACOFFSETATTENHP位功能描述

位	位名称	设置	描述	复位	访问类型
[31:12]	保留		保留。	0x0	R
[11:0]	VALUE		DAC偏移校正系数。是以二进制补码格式表示的带符号数，精度为0.5 LSB。使能衰减器时使用。 0x7FF 最大正调整。产生正满量程/2 - 0.5 LSB调整。 0x001 产生0.5 LSB调整。 0x000 无偏移调整。 0xFFF 产生-0.5 LSB调整。 0x800 最大负调整。产生负满量程/2调整。	0x0	R/W

禁用衰减器（高功率模式）的DAC偏移寄存器**地址：0x400C22BC；复位：0x00000000；名称：DACOFFSETHP**

此寄存器受CALDATLOCK寄存器保护。HSDACCON位12 = 0且HSDACCON位0 = 0时，LSB调整典型值为197.7 μ V。HSDACCON位12 = 0且HSDACCON位0 = 1时，LSB调整典型值为39.5 μ V。

表137. DACOFFSETHP位功能描述

位	位名称	设置	描述	复位	访问类型
[31:12]	保留		保留。	0x0	R
[11:0]	VALUE		DAC偏移校正系数。是以二进制补码格式表示的带符号数，精度为0.5 LSB。禁用衰减器时使用。 0x7FF 最大正调整。产生正满量程/2 - 0.5 LSB调整。 0x001 产生0.5 LSB调整。 0x000 无偏移调整。 0xFFF 产生-0.5 LSB调整。 0x800 最大负调整。产生负满量程/2调整。	0x0	R/W

波形发生器配置寄存器**地址：0x400C2014；复位：0x00000030；名称：WGCON****表138. WGCON位功能描述**

位	位名称	设置	描述	复位	访问类型
[31:5]	保留		保留。	0x0	R
5	DACGAINCAL	0 1	DAC增益使能。使用ADI工厂调整期间计算并存储在DACGAIN寄存器中的DAC增益。 0 旁路DAC增益校正。 1 使用DACGAIN寄存器中的值使能DAC增益校正。	0x1	R/W
4	DACOFFSETCAL	0 1	旁路DAC偏移。使用校准程序期间计算的DAC偏移。 0 旁路DAC偏移校正。 1 使能DAC偏移校正。当HSDACCON位0 = 0时，偏移值位于DACOFFSET寄存器（低功耗模式）或DACOFFSETHP寄存器（高功率模式）中。当HSDACCON位0 = 1时，偏移值位于DACOFFSETATTEN寄存器（低功耗模式）或DACOFFSETATTENHP寄存器（高功率模式）中。	0x1	R/W
3	保留		保留。	0x0	R

位	位名称	设置	描述	复位	访问类型
[2:1]	TYPESEL	00 10 11, 01	选择波形类型。 直接写入DAC。用户代码直接写入HSDACDAT寄存器。 正弦波。将AFECON的位4设置为1，将此位设置为10，DAC就会输出正弦波。 保留。	0x0	R/W
0	保留		保留。始终清0。	0x0	W W

波形发生器正弦波频率控制字寄存器

地址：0x400C2030；复位：0x00000000；名称：WGFCW

表139. WGFCW位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x0	R
[23:0]	SINEFCW		正弦波发生器频率控制字。选择正弦波形的输出频率。默认情况下，输出频率为ACLK频率 × (SINEFCW/2 ³⁰)。	0x0	R/W

波形发生器正弦波相位偏移寄存器

地址：0x400C2034；复位：0x00000000；名称：WGPHASE

表140. WGPHASE位功能描述

位	位名称	设置	描述	复位	访问类型
[31:20]	保留		保留。	0x0	R
[19:0]	SINEOFFSET		正弦波相位偏移。SINEOFFSET位[19:0] = 相位 (度) / 360 × 2 ²⁰ 。例如，要获得45°相位偏移，SINEOFFSET位[19:0] = 45/360 × 2 ²⁰ 。此MMR须在设置WGCON位[2:1]和AFECON位14之前设置。	0x0	R/W

波形发生器正弦波偏移寄存器

地址：0x400C2038；复位：0x00000000；名称：WGOFFSET

表141. WGOFFSET位功能描述

位	位名称	设置	描述	复位	访问类型
[31:12]	保留		保留。	0x0	R
[11:0]	SINEOFFSET		正弦波偏移。在正弦波模式下，增加到波形发生器输出上。以二进制补码格式表示的带符号数。此MMR须在设置WGCON位[2:1]和AFECON位14之前设置。	0x0	R/W

波形发生器正弦波幅度寄存器

地址：0x400C203C；复位：0x00000000；名称：WGAMPLITUDE

表142. WGAMPLITUDE位功能描述

位	位名称	设置	描述	复位	访问类型
[31:11]	保留		保留。	0x0	R
[10:0]	SINEAMPLITUDE		正弦波幅度。无符号数。在正弦波模式下，缩放波形发生器。DAC输出电压取决于HSDACCON位0和HSDACCON位12的值。此MMR须在设置WGCON位[2:1]和AFECON位14之前设置。	0x0	R/W

将外部传感器连接到高速DAC和高速TIA的可编程开关

ADuCM355可灵活地将外部引脚连接到高速DAC激励放大器和高速TIA反相输入端。外部引脚连接为不同传感器类型的阻抗测量提供了许多选项，并允许将交流信号耦合到传感器的直流偏置电压上。配置这些开关时，用户必须考虑低功耗放大器输出上的开关设置。参见图16。上电时，所有开关均断开，传感器处于断开状态。有关休眠模式下推荐配置的详细信息，参见“休眠模式下的推荐配置”部分。

Dx开关

这些开关选择连接到高速DAC激励放大器输出的引脚。对于电化学气体传感器阻抗测量，此引脚为CE0或CE1引脚。如果DR0开关闭合，则Dx开关可以通过RCAL0引脚连接到外部校准电阻。

Px开关

这些开关选择连接到高速DAC激励放大器P输入的引脚。对于电化学气体传感器，此引脚通常为RE0或RE1。如果PR0开关闭合，则Px开关可以通过RCAL0引脚连接到外部 R_{CAL} 。

Nx开关

这些开关选择连接到高速DAC激励放大器N输入的引脚。如果NR1开关闭合，则Nx开关可以通过RCAL1引脚连接到外部 R_{CAL} 。

Tx开关

这些开关选择连接到高速TIA反相输入的引脚。如果TR1开关闭合，则Tx开关可以通过RCAL1引脚连接到外部 R_{CAL} 。

控制所有开关的选项

图27显示了所有连接到高速DAC激励放大器和高速TIA反相输入的开关。

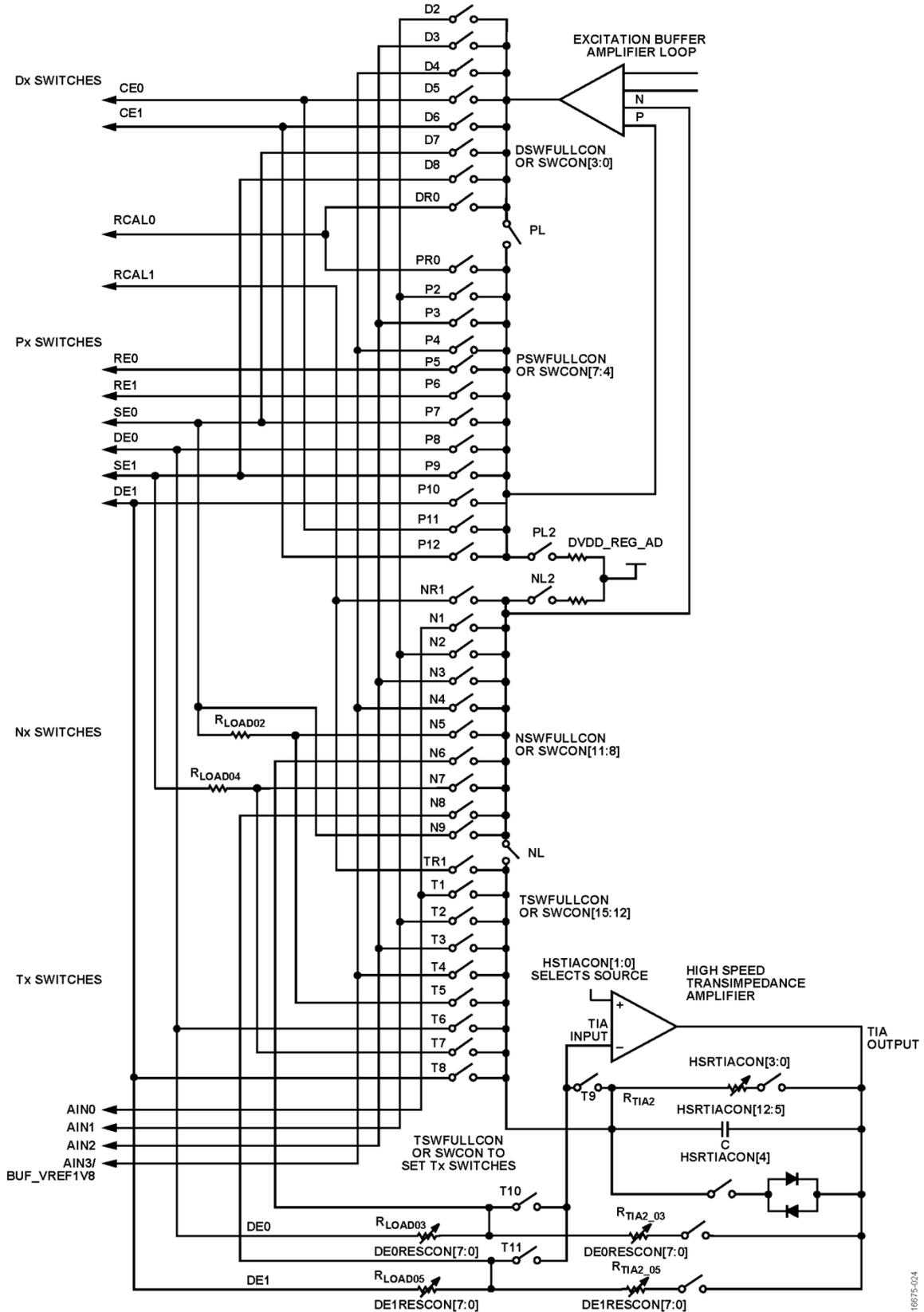


图27. 开关矩阵框图, 所有连接到高速DAC激励放大器 and 高速TIA反相输入的开关

16675-024

控制高速DAC激励放大器和高速TIA反相输入的可编程开关有两种选择：SWCON16位 = 0且SWCON16位 = 1。

若SWCON位16 = 0，则选择SWCON寄存器作为这些开关的控制源。Tx、Nx、Px和Dx开关的分组控制如下：

- Tx开关通过SWCON位[15:12]控制。选择单个外部引脚作为高速TIA反相输入的T输入。
- Nx开关通过SWCON位[11:8]控制。选择单个外部引脚作为高速DAC激励放大器的N输入。
- Px开关通过SWCON位[7:4]控制。选择单个外部引脚作为高速DAC激励放大器的P输入。
- Dx开关通过SWCON位[3:0]控制。选择单个外部引脚作为高速DAC激励放大器的D输出。

若SWCON位16 = 1，各开关可以按如下方式分别配置：

- Dx开关通过DSWFULLCON寄存器位控制。
- Px开关通过PSWFULLCON寄存器位控制。
- Nx开关通过NSWFULLCON寄存器位控制。
- Tx开关（包括T9/T10和T11）通过TSWFULLCON寄存器位控制。

如果SWCON位16 = 1且使用xSWFULLCON寄存器，请执行以下步骤：

1. 清除SWCON位16 = 0。
2. 写入DSWFULLCON、TSWFULLCON、NSWFULLCON和PSWFULLCON。
3. 设置SWCON位16 = 1。最后的写操作确保所有开关同时更新。

随时可以从开关状态寄存器中读取所有开关的状态。这些寄存器指示每个开关是断开还是闭合。完整开关状态寄存器参见“寄存器详解：可编程开关”部分。

寄存器汇总：可编程开关

随时可以从开关状态寄存器中读取所有开关的状态。这些状态指示每个开关是断开还是闭合。开关状态寄存器有DSWSTA、PSWSTA、NSWSTA和TSWSTA。

表143. 可编程开关矩阵寄存器汇总

地址	名称	描述	复位	访问类型
0x400C200C	SWCON	开关矩阵配置	0x0000FFFF	R/W
0x400C2150	DSWFULLCON	Dx开关矩阵全面配置	0x00000000	R/W
0x400C2154	NSWFULLCON	Nx开关矩阵全面配置	0x00000000	R/W
0x400C2158	PSWFULLCON	Px开关矩阵全面配置	0x00000000	R/W
0x400C215C	TSWFULLCON	Tx开关矩阵全面配置	0x00000000	R/W
0x400C21B0	DSWSTA	Dx开关矩阵状态	0x00000000	R
0x400C21B4	PSWSTA	Px开关矩阵状态	0x00000000	R
0x400C21B8	NSWSTA	Nx开关矩阵状态	0x00000000	R
0x400C21BC	TSWSTA	Tx开关矩阵状态	0x00000000	R

寄存器详解：可编程开关

开关矩阵配置寄存器

地址：0x400C200C；复位：0x0000FFFF；名称：SWCON

表144. SWCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:20]	保留		保留。	0x0	R
19	T11CON	1 0	T11开关控制。 1 T11闭合。 0 T11断开。	0x0	R/W
18	T10CON	1 0	T10开关控制。 1 T10闭合。 0 T10断开。	0x0	R/W
17	T9CON	1 0	T9开关控制。 1 T9闭合。 0 T9断开。	0x0	R/W
16	SWSOURCESEL	1 0	开关控制选择。选择寄存器以控制可编程开关。开关控制源。 1 由DSWFULLCON、TSWFULLCON、PSWFULLCON和NSWFULLCON寄存器控制的开关。 0 Dx、Tx、Px和Nx开关通过SWCON寄存器分组控制。	0x0	R/W
[15:12]	TMUXCON	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010至1111	Tx开关多路复用器的控制。不包括对T11至T9开关的控制。 0000 所有开关断开。 0001 T1闭合，其他断开。 0010 T2闭合，其他断开。 0011 T3闭合，其他断开。 0100 T4闭合，其他断开。 0101 T5闭合，其他断开。 0110 保留。 0111 T7闭合，其他断开。 1000 TR1闭合，其他断开。 1001 所有开关闭合。 1010至1111 所有开关断开。	0xF	R/W
[11:8]	NMUXCON	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011至1110 1111	Nx开关多路复用器的控制。 0000 NL2闭合，其他断开。 0001 N1闭合，其他断开。 0010 N2闭合，其他断开。 0011 N3闭合，其他断开。 0100 N4闭合，其他断开。 0101 N5闭合，其他断开。 0110 N6闭合，其他断开。 0111 N7闭合，其他断开。 1000 N8闭合，其他断开。 1001 N9闭合，其他断开。 1010 NR1闭合，其他断开。 1011至1110 NL闭合，其他断开。 1111 所有开关断开。	0xF	R/W
[7:4]	PMUXCON	0000 0001 0010 0011 0100 0101 0110	Px开关多路复用器的控制。 0000 PL2闭合，其他断开。 0001 PRO闭合，其他断开。 0010 P2闭合，其他断开。 0011 P3闭合，其他断开。 0100 P4闭合，其他断开。 0101 P5闭合，其他断开。 0110 P6闭合，其他断开。	0xF	R/W

位	位名称	设置	描述	复位	访问类型
		0111	P7闭合, 其他断开。		
		1000	P8闭合, 其他断开。		
		1001	P9闭合, 其他断开。		
		1010	P10闭合, 其他断开。		
		1011	P11闭合, 其他断开。		
		1100	P12闭合, 其他断开。		
		1101至1110	PL闭合, 其他断开。		
		1111	所有开关断开。		
[3:0]	DMUXCON	0000	Dx开关多路复用器的控制。 所有开关断开。	0xF	R/W
		0001	DR0闭合, 其他断开。		
		0010	D2闭合, 其他断开。		
		0011	D3闭合, 其他断开。		
		0100	D4闭合, 其他断开。		
		0101	D5闭合, 其他断开。		
		0110	D6闭合, 其他断开。		
		0111	D7闭合, 其他断开。		
		1000	D8闭合, 其他断开。		
		1001	所有开关闭合。		
		1010至1111	所有开关断开。		

Dx开关矩阵全面配置寄存器

地址: 0x400C2150; 复位: 0x00000000; 名称: DSWFULLCON

通过此寄存器可以对Dx开关进行单独控制。位名称与图27中所示的开关名称相同。写入该寄存器后, SWCON位16必须设置为1, 新的开关设置才能生效。

表145. DSWFULLCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:8]	保留		保留。	0x0	R
7	D8	0 1	D8开关控制。将激励放大器的D节点连接到SE1引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
6	D7	0 1	D7开关控制。将激励放大器的D节点连接到SE0引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
5	D6	0 1	D6开关控制。将激励放大器的D节点连接到CE1引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
4	D5	0 1	D5开关控制。将激励放大器的D节点连接到CE0引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
3	D4	0 1	D4开关控制。将激励放大器的D节点连接到AIN3/BUF_VREF1V8引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
2	D3	0 1	D3开关控制。将激励放大器的D节点连接到AIN2引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
1	D2	0 1	D2开关控制。将激励放大器的D节点连接到AIN1引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
0	DR0	0 1	DR0开关控制。将激励放大器D节点连接到RCAL0引脚。 0 开关断开。 1 开关闭合。	0x0	R/W

Nx开关矩阵全面配置寄存器

地址：0x400C2154；复位：0x00000000；名称：NSWFULLCON

通过此寄存器可以对Nx开关进行单独控制。位名称与图27中所示的开关名称相同。写入该寄存器后，SWCON位16必须设置为1，新的开关设置才能生效。

表146. NSWFULLCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:12]	保留		保留。	0x0	R
11	NL2	0 1	NL2开关控制。置1则闭合NL2开关，清0则断开。 0 开关断开。 1 开关闭合。	0x0	R/W
10	NL	0 1	NL开关控制。置1则闭合NL开关，清0则断开。该开关将激励放大器的N节点短接到高速TIA反相输入。 0 开关断开。 1 开关闭合。	0x0	R/W
9	NR1	0 1	NR1开关控制。置1则闭合NR1开关，清0则断开。将激励放大器的N节点连接到RCAL1引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
8	N9	0 1	N9开关控制。置1则闭合N9开关，清0则断开。将激励放大器的N节点连接到SE0引脚(旁路R _{LOAD02})。 0 开关断开。 1 开关闭合。	0x0	R/W
7	N8	0 1	N8开关控制。置1则闭合N8开关，清0则断开。将激励放大器的N节点连接到R _{LOAD05} /T11。 0 开关断开。 1 开关闭合。	0x0	R/W
6	N7	0 1	N7开关控制。置1则闭合N7开关，清0则断开。通过R _{LOAD04} 将激励放大器的N节点连接到SE1引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
5	N6	0 1	N6开关控制。置1则闭合N6开关，清0则断开。将激励放大器的N节点连接到R _{LOAD03} /T10。 0 开关断开。 1 开关闭合。	0x0	R/W
4	N5	0 1	N5开关控制。置1则闭合N5开关，清0则断开。通过R _{LOAD02} 将激励放大器的N节点连接到SE0引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
3	N4	0 1	N4开关控制。置1则闭合N4开关，清0则断开。将激励放大器的N节点连接到AIN3/BUF_VREF1V8引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
2	N3	0 1	N3开关控制。置1则闭合N3开关，清0则断开。将激励放大器的N节点连接到AIN2引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
1	N2	0 1	N2开关控制。置1则闭合N2开关，清0则断开。将激励放大器的N节点连接到AIN1引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
0	N1	0 1	N1开关控制。置1则闭合N1开关，清0则断开。将激励放大器的N节点连接到AIN0引脚。 0 开关断开。 1 开关闭合。	0x0	R/W

Px开关矩阵全面配置寄存器

地址：0x400C2158；复位：0x00000000；名称：PSWFULLCON

通过此寄存器可以对Px开关进行单独控制。位名称与图27中所示的开关名称相同。写入该寄存器后，SWCON位16必须设置为1，新的开关设置才能生效。

表147. PSWFULLCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
14	PL2	0 1	PL2开关控制。控制PL2开关。 0 开关断开。 1 开关闭合。	0x0	R/W
13	PL	0 1	PL开关控制。将激励放大器的D节点和P节点短接在一起。 0 开关断开。 1 开关闭合。	0x0	R/W
12	保留		保留。	0x0	R/W
11	P12	0 1	P12开关控制。将激励放大器的P节点连接到CE1引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
10	P11	0 1	P11开关控制。将激励放大器的P节点连接到CE0引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
9	P10	0 1	P10开关控制。将激励放大器的P节点连接到DE1引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
8	P9	0 1	P9开关控制。将激励放大器的P节点连接到SE1引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
7	P8	0 1	P8开关控制。将激励放大器的P节点连接到DE0引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
6	P7	0 1	P7开关控制。将激励放大器的P节点连接到SE0引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
5	P6	0 1	P6开关控制。将激励放大器的P节点连接到RE1引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
4	P5	0 1	P5开关控制。将激励放大器的P节点连接到RE0引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
3	P4	0 1	P4开关控制。将激励放大器的P节点连接到AIN3/BUF_VREF1V8引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
2	P3	0 1	P3开关控制。将激励放大器的P节点连接到AIN2引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
1	P2	0 1	P2开关控制。将激励放大器的P节点连接到AIN1引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
0	PRO	0 1	PRO开关控制。将激励放大器的P节点连接到RCAL0引脚。 0 开关断开。 1 开关闭合。	0x0	R/W

Tx开关矩阵全面配置寄存器**地址：0x400C215C；复位：0x00000000；名称：TSWFULLCON**

通过此寄存器可以对Tx开关进行单独控制。位名称与图27中所示的开关名称相同。请注意，写入该寄存器后，SWCON位16必须设置为1，新的开关设置才能生效。

表148. TSWFULLCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:12]	保留		保留。	0x0	R
11	TR1		TR1开关控制。将RCAL1引脚连接到高速TIA反相输入。 0 开关断开。 1 开关闭合。	0x0	R/W
10	T11		T11开关控制。将DE1引脚连接到高速TIA反相输入。 0 开关断开。 1 开关闭合。	0x0	R/W
9	T10		T10开关控制。将DE0引脚连接到高速TIA反相输入。 0 开关断开。 1 开关闭合。	0x0	R/W
8	T9		T9开关控制。与T10和T11结合使用。 0 开关断开。断开时，高速TIA反相输入可以是DE0或DE1（通过T10和T11）。 1 开关闭合。确保T10和T11断开。高速TIA反相输入由T1、T2、T3、T4、T5和T7确定。	0x0	R/W
7	T8		T8开关控制。允许将RCAL路径连接到DE1输入上以校准RTIA2_05电阻。 0 开关断开。 1 开关闭合。	0x0	R/W
6	T7		T7开关控制。通过T9和RLOAD04将高速TIA反相输入连接到SE1引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
5	T6		T6开关控制。允许将RCAL路径连接到DE0输入上以校准RLOAD03和RTIA2_03电阻。 0 开关断开。 1 开关闭合。	0x0	R/W
4	T5		T5开关控制。通过T9和RLOAD02将高速TIA反相输入连接到SE0引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
3	T4		T4开关控制。通过T9将高速TIA反相输入连接到AIN3/BUF_VREF1V8引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
2	T3		T3开关控制。通过T9将高速TIA反相输入连接到AIN2引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
1	T2		T2开关控制。通过T9将高速TIA反相输入连接到AIN1引脚。 0 开关断开。 1 开关闭合。	0x0	R/W
0	T1		T1开关控制。通过T9将高速TIA反相输入连接到AIN0引脚。 0 开关断开。 1 开关闭合。	0x0	R/W

Dx开关矩阵状态寄存器

地址：0x400C21B0；复位：0x00000000；名称：DSWSTA

此寄存器提供图27所示Dx开关的状态。

表149. DSWSTA位功能描述

位	位名称	设置	描述	复位	访问类型
[31:8]	保留		保留。	0x0	R
7	D8STA		D8开关状态。 0 开关断开。 1 开关闭合。	0x0	R
6	D7STA		D7开关状态。 0 开关断开。 1 开关闭合。	0x0	R
5	D6STA		D6开关状态。 0 开关断开。 1 开关闭合。	0x0	R
4	D5STA		D5开关状态。 0 开关断开。 1 开关闭合。	0x0	R
3	D4STA		D4开关状态。 0 开关断开。 1 开关闭合。	0x0	R
2	D3STA		D3开关状态。 0 开关断开。 1 开关闭合。	0x0	R
1	D2STA		D2开关状态。 0 开关断开。 1 开关闭合。	0x0	R
0	D1STA		D1开关状态。 0 开关断开。 1 开关闭合。	0x0	R

Px开关矩阵状态寄存器

地址：0x400C21B4；复位：0x00000000；名称：PSWSTA 此寄存器提供图27所示Px开关的状态。

表150. PSWSTA位功能描述

位	位名称	设置	描述	复位	访问类型
[31:15]	保留		保留。	0x0	R
14	PL2STA		PL2开关控制。 0 开关断开。 1 开关闭合。	0x0	R
13	PLSTA		PL开关控制。 0 开关断开。 1 开关闭合。	0x0	R
12	P13STA		P13开关状态。 0 开关断开。 1 开关闭合。	0x0	R
11	P12STA		P12开关状态。 0 开关断开。 1 开关闭合。	0x0	R

位	位名称	设置	描述	复位	访问类型
10	P11STA		P11开关状态。 0 开关断开。 1 开关闭合。	0x0	R
9	P10STA		P10开关状态。 0 开关断开。 1 开关闭合。	0x0	R
8	P9STA		P9开关状态。 0 开关断开。 1 开关闭合。	0x0	R
7	P8STA		P8开关状态。 0 开关断开。 1 开关闭合。	0x0	R
6	P7STA		P7开关状态。 0 开关断开。 1 开关闭合。	0x0	R
5	P6STA		P6开关状态。 0 开关断开。 1 开关闭合。	0x0	R
4	P5STA		P5开关状态。 0 开关断开。 1 开关闭合。	0x0	R
3	P4STA		P4开关状态。 0 开关断开。 1 开关闭合。	0x0	R
2	P3STA		P3开关状态。 0 开关断开。 1 开关闭合。	0x0	R
1	P2STA		P2开关状态。 0 开关断开。 1 开关闭合。	0x0	R
0	PROSTA		PRO开关控制。 0 开关断开。 1 开关闭合。	0x0	R

Nx开关矩阵状态寄存器

地址：0x400C21B8；复位：0x00000000；名称：NSWSTA

此寄存器提供图27所示Nx开关的状态。

表151. NSWSTA位功能描述

位	位名称	设置	描述	复位	访问类型
[31:12]	保留		保留。	0x0	R
11	NL2STA		NL2开关状态。 0 开关断开。 1 开关闭合。	0x0	R
10	NLSTA		NL开关状态。 0 开关断开。 1 开关闭合。	0x0	R
9	NR1STA		NR1开关状态。 0 开关断开。 1 开关闭合。	0x0	R
8	N9STA		N9开关状态。 0 开关断开。 1 开关闭合。	0x0	R

位	位名称	设置	描述	复位	访问类型
7	N8STA		N8开关状态。 0 开关断开。 1 开关闭合。	0x0	R
6	N7STA		N7开关状态。 0 开关断开。 1 开关闭合。	0x0	R
5	N6STA		N6开关状态。 0 开关断开。 1 开关闭合。	0x0	R
4	N5STA		N5开关状态。 0 开关断开。 1 开关闭合。	0x0	R
3	N4STA		N4开关状态。 0 开关断开。 1 开关闭合。	0x0	R
2	N3STA		N3开关状态。 0 开关断开。 1 开关闭合。	0x0	R
1	N2STA		N2开关状态。 0 开关断开。 1 开关闭合。	0x0	R
0	N1STA		N1开关状态。 0 开关断开。 1 开关闭合。	0x0	R

Tx开关矩阵状态寄存器

地址：0x400C21BC；复位：0x00000000；名称：TSWSTA

此寄存器提供图27所示Tx开关的状态。

表152. TSWSTA位功能描述

位	位名称	设置	描述	复位	访问类型
[31:12]	保留		保留。	0x0	R
11	TR1STA		TR1开关状态。 0 开关断开。 1 开关闭合。	0x0	R
10	T11STA		T11开关状态。 0 开关断开。 1 开关闭合。	0x0	R
9	T10STA		T10开关状态。 0 开关断开。 1 开关闭合。	0x0	R
8	T9STA		T9开关状态。 0 开关断开。 1 开关闭合。	0x0	R
7	T8STA		T8开关状态。 0 开关断开。 1 开关闭合。	0x0	R
6	T7STA		T7开关状态。 0 开关断开。 1 开关闭合。	0x0	R
5	T6STA		T6开关状态。 0 开关断开。 1 开关闭合。	0x0	R

位	位名称	设置	描述	复位	访问类型
4	T5STA		T5开关状态。 0 开关断开。 1 开关闭合。	0x0	R
3	T4STA		T4开关状态。 0 开关断开。 1 开关闭合。	0x0	R
2	T3STA		T3开关状态。 0 开关断开。 1 开关闭合。	0x0	R
1	T2STA		T2开关状态。 0 开关断开。 1 开关闭合。	0x0	R
0	T1STA		T1开关状态。 0 开关断开。 1 开关闭合。	0x0	R

序列器

序列器特性

ADuCM355序列器的特性如下：

- 可编程，适合循环精确应用。
- 四个独立的命令序列。
- 6 kB SRAM用于存储序列。
- FIFO用于存储测量结果。
- 通过唤醒定时器或直接写入寄存器进行控制。
- 来自用户可屏蔽源的各种中断。

序列器概述

序列器的作用是让数字芯片无需负责低级AFE操作，并提供对模拟DSP模块的循环精确控制。序列器能够处理时序关键操作而不受系统负载的影响。

ADuCM355硬件支持四个命令序列。这些序列可以存储在SRAM中，以在不同的测量程序之间切换。序列器一次只能执行一个序列。但是，用户可以配置序列器执行的序列及其执行顺序。

序列器从命令存储器存储的序列中读取命令，并根据命令等待一定的时间或将某个值写入MMR。执行按顺序进行，无分支。序列器无法读取MMR值或来自模拟或DSP模块的信号。

要启用序列器，须将SEQCON寄存器中的SEQEN位置1。要禁用序列器，须将0写入此位。

序列器命令的执行速率是在SEQCON寄存器的SEQWRTMR位中提供。当序列器执行写命令时，序列器执行MMR写操作，然后等待SEQWRTMR时钟周期，再获取序列中的下一个命令。效果与写命令后跟随一个等待命令相同。此设置的主要目的是减小生成任意波形时的代码大小。在等待或超时命令之后，SEQWRTMR位没有任何作用。

除了单个写命令后面跟着一个等待命令之外，还可以连续执行多个写命令，然后执行等待命令。无论有多少寄存器写操作（后面跟随一个精确执行的延迟时间），序列器都能快速设置任何配置。

将SEQCON寄存器的SEQHALT位置1也能暂停序列器。此选项适用于所有功能，包括FIFO操作、内部定时器和波形生成。当序列器暂停时，允许读取MMR。此模式用于软件开发期间进行调试。

序列器执行的命令数量可以从SEQCNT寄存器中读取。每次从命令存储器读取命令并执行时，计数器递增1。要复位计数器，须对SEQCNT寄存器执行写操作。

序列器会计算其执行的所有命令的循环冗余校验(CRC)。使用的算法是CRC-8，使用 $x^8 + x^2 + x + 1$ 多项式。CRC-8算法对32位输入数据（序列器指令）进行处理。每个32位输入在一个时钟周期内处理，结果立即可供主机控制器读取。CRC值可以从SEQCRC寄存器读取。要通过与命令计数相同的机制来复位该寄存器，须写入SEQCNT寄存器。SEQCRC寄存器复位为种子值0x01。SEQCRC是一个只读寄存器。

序列器命令

序列器可以执行两类命令：写命令和定时器命令，后者包括等待命令和超时命令。

写命令

使用写指令将数据写入寄存器。寄存器地址必须位于0x400C0000和0x400C21FC之间。图28显示了指令格式。MSB等于1，表示写命令。

在图28中，ADDR为写地址，数据为要写入MMR的数据。所有写指令都是在一个周期内完成。地址字段为7位宽，允许访问AFE寄存器块中从地址0x0到地址0x1FC的寄存器。所有MMR访问都是32位。禁止字节和半字访问。所有访问都是只写。地址字段和MMR地址之间存在直接映射关系。图28中的ADDR对应于16位MMR地址的位[8:2]。

例如，当直接通过芯片到芯片接口写入WGCON寄存器时，使用的地址为0x400C2014。要使用序列器写入同一寄存器，地址字段必须为0b0000101（外部控制器使用的地址的位[8:2]）。

数据字段为24位宽，仅允许写入MMR位[23:0]。无法通过序列器写入MMR的全部32位。但是，任何MMR都不使用位[31:24]。因此，序列器可以写入所有已分配的MMR位。

定时器命令

序列器中有两个定时器命令，每个命令都有一个单独的硬件计数器。

等待命令用于在序列器执行中引入等待状态。当编程设置的计数器达到0时，从命令存储器读取下一个命令即可恢复执行。图29显示了定时器命令的格式，图30显示了等待命令的格式。

超时命令启动一个独立于序列器流程运行的计数器。当定时器到期时，会产生两个中断之一：序列器超时错误中断(INTSEL17)或序列器超时完成中断(INTSEL16)。两个中断都是在INTCSELx寄存器中配置。序列超时已完成中断在超时周期结束时置位。在超时周期结束时，如果序列器未到达执行终点，则会置位序列超时错误中断。这些中断通过写入INTCCLR寄存器中的相应位来清除。主机控制器可以随时通过SEQTIMEOUT寄存器读取计数器的当前值。

由于序列器执行由于序列器写命令而停止时，超时计数器不会复位。但是，如果主机控制器将0写入SEQCON寄存器的SEQEN位，则计数器会复位。此复位适用于主机必须中止序列的情况。

两个定时器命令的时间单位均为一个ACLK周期。对于16 MHz的时钟频率，定时器分辨率为62.5 ns，最大超时为67.1秒。即使SEQCON寄存器的SEQWRTMR位非零，这些值也是如此。

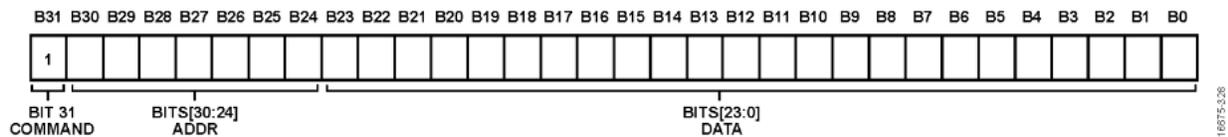


图28. 序列器写命令

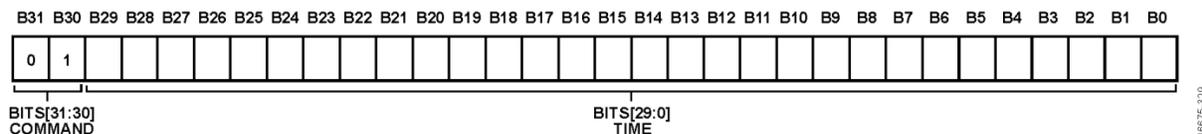


图29. 序列器定时器命令

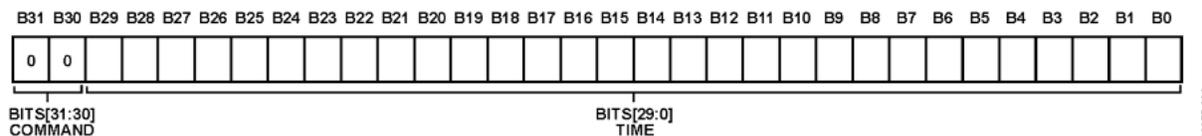


图30. 序列器等待命令

序列器工作原理

图31显示了设置序列器进行测量所需的典型步骤。引导器件后，请执行以下步骤来配置序列器、命令存储器和数据FIFO：

1. 配置命令存储器。
2. 将序列加载到SRAM中。
3. 设置序列0 (SEQ0)至序列3 (SEQ3)信息序列。
4. 配置数据FIFO。
5. 配置睡眠和唤醒定时器。
6. 配置中断。
7. 配置睡眠和唤醒方法。

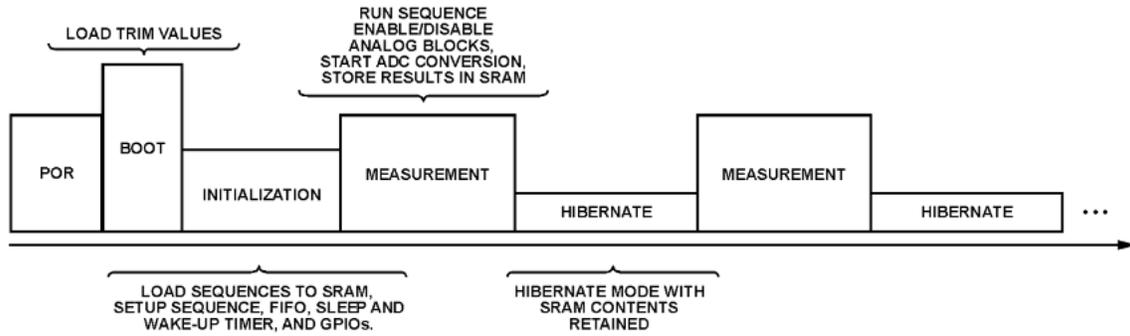


图31. 运行序列

命令存储器

命令存储器存储序列命令，并提供外部微控制器和序列器之间的关联。通过CMDDATACON寄存器的位[2:0]进行选择，命令存储器可配置为使用2 kB、4 kB或6 kB SRAM存储器大小。

命令存储器可以使用的大量存储空间有助于创建较大、较复杂的序列。通过读取SEQxINFO寄存器的位[26:16]确定序列中的命令数。

命令存储器是单向的。主机微控制器通过写入CMDFIFOWADDR寄存器来指定命令的目标地址，并将命令内容写入CMDFIFOWRITE寄存器。序列器从存储器中读取命令以执行。

有多个中断与命令FIFO相关，包括FIFO阈值中断、FIFO空中断和FIFO满中断。更多信息请参阅“AFE中断”部分。

加载序列

通过写入两个寄存器将序列命令写入SRAM。SRAM中的命令地址写入CMDFIFOWADDR寄存器。命令内容写入CMDFIFOWRITE寄存器。当所有命令都写入SRAM时，写入SEQxINFO寄存器以设置SEQ0至SEQ3信息序列。

从SEQ0到SEQ3的每个信息序列都需要一个SRAM中的起始地址和该序列的总命令数。命令数写入SEQxINFO寄存器的位[26:16]。起始地址写入SEQxINFO寄存器的位[10:0]。确保四个序列之间没有重叠。没有硬件机制来警告用户序列存在重叠。

与序列器相关的中断源包括：

- 序列超时错误。
- 序列器超时命令已完成。
- 序列结束中断。要使该中断置位，必须在序列器命令结束时将SEQCON寄存器的位0清零。

数据FIFO

外部控制器读取数据FIFO之前，FIFO为模拟和DSP模块的输出提供了一个缓冲器。

数据FIFO可以使用的存储器是在CMDDATACON寄存器的DATA_MEM_SEL位中进行选择。可用存储器选项有2 kB、4 kB和6 kB。数据FIFO和命令存储器共享同一6 kB SRAM。因此，应确保命令存储器和数据FIFO之间没有重叠。

数据FIFO可通过CMDDATACON寄存器的位[11:9]配置为FIFO模式或流模式。在流模式下，当FIFO已满时，旧数据会被丢弃以为新数据腾出空间。在FIFO模式下，当FIFO已满时，新数据会被丢弃。在FIFO模式下，勿让FIFO溢出。如果有溢出，所有新数据都会丢失。

数据FIFO始终是单向的。AFE模块中的可选择源写入数据，外部微控制器从DATAFIFORD寄存器读取数据（参见表220）。

在FIFOCON寄存器的位[15:13]中选择数据FIFO的数据源（参见表219）。可用源选项包括ADC数据、DFT结果、sinc2滤波器结果以及统计模块均值结果。

与数据FIFO相关的中断标志包括空、满、上溢、下溢和阈值。用户可以使用INTCFLAGx寄存器读取这些中断（更多信息参阅“AFE中断”部分）。每个标志有一个相关联的可屏蔽中断。

上溢和下溢标志仅在一个时钟周期内有效。

将1写入FIFOCON寄存器的位11可启用数据FIFO。数据FIFO阈值通过写入DATAFIFOTHRES寄存器来设置。在任何时候，主机微控制器都可以通过读取FIFOCNTSTA寄存器的位[26:16]来读取数据FIFO中的字数。

当FIFO为空时，从数据FIFO读取数据会返回0x00000000。INTCFLAGx寄存器中的下溢标志FLAG27位也被置位。

数据FIFO字格式

数据FIFO字的格式如图32所示。数据FIFO中的每个字都是32位。七个MSB是功能安全应用所需的ECC。数据FIFO字的位[24:23]构成序列标识(ID)，指示结果来自SEQ0到SEQ3中的哪个序列。

数据FIFO字的位[22:16]包含通道ID，指示数据的来源（参见表153）。数据FIFO字的16个LSB是实际数据（参见图32）。

当数据源为DFT结果时，数据是18位宽，并且采用二进制补码格式。格式如图33所示。通道ID为5位宽，5'b11111表示DFT结果。

序列器与睡眠和唤醒定时器

有关详细信息，请参阅“睡眠和唤醒定时器”部分。

序列器冲突

如果序列之间发生冲突，例如当SEQ0运行时SEQ1请求到达，则会忽略SEQ1而让SEQ0完成。同时会产生中断，指示序列1被忽略。

回读寄存器不会导致资源冲突。当序列器使能时，不允许处理器写入MMR。如果发生冲突，则序列器享有优先级。如果序列器和处理器同时写入，主机控制器会被忽略。针对这种冲突没有错误报告。当序列器运行时，勿写入寄存器。但也有例外，用户可以自由写入一些寄存器而不会发生任何冲突。SEQCON寄存器允许结束序列执行（SEQEN位）和暂停序列（SEQHALT位）。

表153. 通道ID描述

数据FIFO字，位[22:16]	描述
11111XX ¹	DFT结果
11110XX	来自统计模块的均值
1XXXXXX	Sinc2滤波器结果，XXXXXX为ADC多路复用器的正设置（ADCCON寄存器的位[5:0]）
0XXXXXX	Sinc3滤波器结果，XXXXXX为ADC多路复用器的正设置（ADCCON寄存器的位[5:0]）

¹ X表示无关。

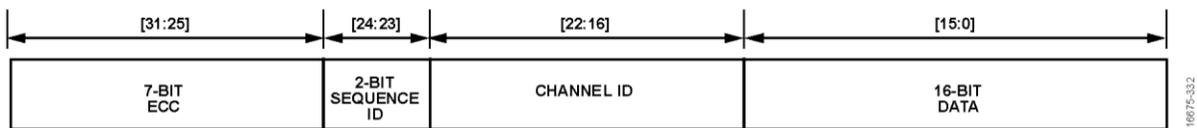


图32. 数据FIFO字格式

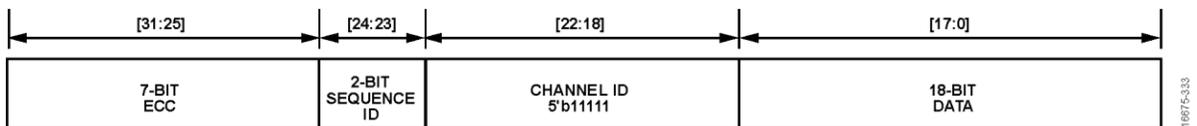


图33. 数据FIFO DFT字格式

序列器和FIFO寄存器

表154. 序列器和FIFO寄存器汇总

地址	名称	描述	复位	访问类型
0x400C2004	SEQCON	序列器配置寄存器	0x00000002	R/W
0x400C2008	FIFOCON	FIFO配置寄存器	0x00001010	R/W
0x400C2060	SEQCRC	序列器CRC值寄存器	0x00000001	R
0x400C2064	SEQCNT	序列器命令计数器寄存器	0x00000000	R/W
0x400C2068	SEQTIMEOUT	序列器超时计数器寄存器	0x00000000	R
0x400C206C	DATAFIFORD	数据FIFO读寄存器	0x00000000	R
0x400C2070	CMDFIFOWRITE	命令FIFO写寄存器	0x00000000	W
0x400C2118	SEQSLPLOCK	序列器睡眠控制锁定寄存器	0x00000000	R/W
0x400C211C	SEQTRGSLP	序列器触发睡眠寄存器	0x00000000	R/W
0x400C21CC	SEQ0INFO	序列0信息寄存器	0x00000000	R/W
0x400C21D0	SEQ2INFO	序列2信息寄存器	0x00000000	R/W
0x400C21D4	CMDFIFOWADDR	命令FIFO写地址寄存器	0x00000000	R/W
0x400C21D8	CMDDATACON	命令数据控制寄存器	0x00000410	R/W
0x400C21E0	DATAFIFOTHRES	数据FIFO阈值寄存器	0x00000000	R/W
0x400C21E4	SEQ3INFO	序列3信息寄存器	0x00000000	R/W
0x400C21E8	SEQ1INFO	序列1信息寄存器	0x00000000	R/W
0x400C2200	FIFOCNTSTA	命令和数据FIFO内部数据计数寄存器	0x00000000	R
0x400C0430	TRIGSEQ	触发序列寄存器	0x0000	R/WS

序列器配置寄存器

地址：0x400C2004；复位：0x00000002；名称：SEQCON

表155. SEQCON寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0	R
[15:8]	SEQWRTMR		序列器写命令定时器。这些位充当时钟分频器，仅影响写命令，不影响等待命令。当生成任意波形时，此分频器可以减小代码大小。定时器的时钟源为ACLK。	0x0	R/W
[7:5]	保留		保留。	0x0	R
4	SEQHALT	0 正常执行。 1 执行暂停。	暂停序列调试功能。此位提供了一种暂停AFE接口的方法。	0x0	R/W
[3:2]	保留		保留。	0x0	R
1	SEQHALTFIFOEMPTY	1 如果命令FIFO为空且序列器尝试读取（下溢状况），则序列器停止。 0 即使FIFO为空，序列器也会继续尝试读取。	暂停序列器。在命令FIFO为空的情况下尝试读取时（下溢状况），此位控制序列器是否停止。	0x1	R/W
0	SEQEN	0 序列器禁用（默认）。 1 序列器使能。	使能序列器。当此位设置为1时，序列器从命令FIFO读取并执行命令。	0x0	R/W

FIFO配置寄存器

地址：0x400C2008；复位：0x00001010；名称：FIFOCON

表156. FIFOCON寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	RESERVED		保留。	0x0	R
[15:13]	DATAFIFOSRCSEL	000、001、110或111 010 011 100 101	数据FIFO源选择。 ADC数据。ADC数据为sinc3滤波器的输出。 DFT数据。实部是18位，虚部是18位。最低两位是小数，因为ADC是16位。 Sinc2滤波器输出，数据为16位。 统计方差输出。 平均结果，均值为16位数据。	0x0	R/W
12	保留		保留。	0x1	R/W
11	DATAFIFOEN	0 1	数据FIFO使能。 FIFO复位，不能进行数据传输。此设置将读写指针设置为默认值（FIFO空）。状态指示FIFO为空。 正常工作时，FIFO不复位。	0x0	R/W
[10:0]	保留		保留。	0x0	R/W

序列器CRC值寄存器

地址：0x400C2060；复位：0x00000001；名称：SEQCRC

SEQCRC寄存器提供从序列器执行的所有命令计算得到的校验和值。

表157. SEQCRC寄存器位功能描述

位	位名称	描述	复位	访问类型
[31:8]	保留	保留。	0x0	R
[7:0]	CRC	序列器命令CRC值。使用的算法为CRC-8。	0x1	R

序列器命令计数器寄存器

地址：0x400C2064；复位：0x00000000；名称：SEQCNT

SEQCNT寄存器提供命令计数，每次序列器执行一个命令时，命令计数递增1。此寄存器不受密钥保护。

表158. SEQCNT寄存器位功能描述

位	位名称	描述	复位	访问类型
[31:16]	保留	保留。	0x0	R
[15:0]	Count	序列器命令计数。每次序列器执行一个命令时，此计数递增1。要复位为0或清除SEQCRC寄存器，应向该寄存器写入1。	0x0	R/W1 R/W1

序列器超时计数器寄存器

地址：0x400C2068；复位：0x00000000；名称：SEQTIMEOUT

表159. SEQTIMEOUT寄存器位功能描述

位	位名称	描述	复位	访问类型
[31:30]	保留	保留。	0x0	R
[29:0]	超时	序列器超时计数器当前值。	0x0	R

数据FIFO读寄存器

地址：0x400C206C；复位：0x00000000；名称：DATAFIFORD

表160. DATAFIFORD寄存器位功能描述

位	位名称	描述	复位	访问类型
[31:0]	DATAFIFOOUT	数据FIFO读取。当数据FIFO为空时，读取该寄存器返回0x00000000。有关字格式的详细信息，参见图32和图33。	0x0	R

命令FIFO写寄存器

地址：0x400C2070；复位：0x00000000；名称：CMDFIFOWRITE

表161. CMDFIFOWRITE寄存器位功能描述

位	位名称	描述	复位	访问类型
[31:0]	CMDFIFOIN	命令FIFO写入。如果在命令FIFO为满时写入其中，则忽略写操作，所有当前命令都不受影响。	0x0	W

序列器睡眠控制锁定寄存器

地址：0x400C2118；复位：0x00000000；名称：SEQSLPLOCK

SEQSLPLOCK寄存器保护SEQTRGSLP寄存器。

表162. SEQSLPLOCK寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[31:20]	保留		保留。	0x0	R
[19:0]	SEQ_SLP_PW	0x400C 0xA47E5	SEQTRGSLP寄存器密码。这些位防止序列器意外触发睡眠状态。 写入0xA47E5以外的任何值就会锁定SEQTRGSLP寄存器。 将此值写入该寄存器可解锁SEQTRGSLP寄存器。	0x0	R/W

序列器触发睡眠寄存器

地址：0x400C211C；复位：0x00000000；名称：SEQTRGSLP

SEQTRGSLP寄存器受SEQSLPLOCK寄存器保护。

表163. SEQTRGSLP寄存器位功能描述

位	位名称	描述	复位	访问类型
[31:1]	保留	保留。	0x0	R
0	TRGSLP	序列器触发睡眠。首先写入SEQSLPLOCK寄存器。将此命令放在序列的末尾。如果在序列结束时进入睡眠状态，应将此命令设置为1。	0x0	R/W

序列0信息寄存器

地址：0x400C21CC；复位：0x00000000；名称：SEQ0INFO

表164. SEQ0INFO寄存器位功能描述

位	位名称	描述	复位	访问类型
[31:27]	保留	保留。	0x0	R
[26:16]	SEQ0INSTNUM	SEQ0指令数。	0x0	R/W
[15:11]	保留	保留。	0x0	R
[10:0]	SEQ0STARTADDR	SEQ0起始地址。	0x0	R/W

序列2信息寄存器

地址：0x400C21D0；复位：0x00000000；名称：SEQ2INFO

表165. SEQ2INFO寄存器位功能描述

位	位名称	描述	复位	访问类型
[31:27]	保留	保留。	0x0	R
[26:16]	SEQ2INSTNUM	SEQ2指令数。	0x0	R/W
[15:11]	保留	保留。	0x0	R
[10:0]	SEQ2STARTADDR	SEQ2起始地址。	0x0	R/W

命令FIFO写地址寄存器

地址：0x400C21D4；复位：0x00000000；名称：CMDFIFOWADDR

表166. CMDFIFOWADDR寄存器位功能描述

位	位名称	描述	复位	访问类型
[31:11]	保留	保留。	0x0	R
[10:0]	WADDR	写地址。这些位是存储命令的SRAM中的地址。	0x0	R/W

命令数据控制寄存器

地址：0x400C21D8；复位：0x00000410；名称：CMDDATACON

表167. CMDDATACON寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[31:12]	保留		保留。	0x0	R
[11:9]	DATAMEMMDE	10 11	数据FIFO模式选择。 FIFO模式。 流模式。	0x2	R/W
[8:6]	DATA_MEM_SEL	000 001 010 011	数据FIFO大小选择。 保留。 2 kB SRAM。 4 kB SRAM。 6 kB SRAM。	0x0	R/W
[5:3]	CMDMEMMDE	01 10 11	命令FIFO模式。 存储器模式。保留。 保留。	0x2	R/W
[2:0]	CMD_MEM_SEL	0x0 0x1 0x2 0x3	命令存储器选择。 保留。 2 kB SRAM。 4 kB SRAM。 6 kB SRAM。	0x0	R/W

数据FIFO阈值寄存器

地址：0x400C21E0；复位：0x00000000；名称：DATAFIFOTHRES

表168. DATAFIFOTHRES寄存器位功能描述

位	位名称	描述	复位	访问类型
[31:27]	保留	保留。	0x0	R
[26:16]	HIGHTHRES	高阈值。	0x0	R/W
[15:0]	保留	保留。	0x0	R

序列3信息寄存器

地址：0x400C21E4；复位：0x00000000；名称：SEQ3INFO

表169. SEQ3INFO寄存器位功能描述

位	位名称	描述	复位	访问类型
[31:27]	保留	保留。	0x0	R
[26:16]	INSTNUM	SEQ3指令数。	0x0	R/W
[15:11]	保留	保留。	0x0	R
[10:0]	STARTADDR	SEQ3起始地址。	0x0	R/W

序列1信息寄存器

地址：0x400C21E8；复位：0x00000000；名称：SEQ1INFO

表170. SEQ1INFO寄存器位功能描述

位	位名称	描述	复位	访问类型
[31:27]	保留	保留。	0x0	R
[26:16]	SEQ1INSTNUM	SEQ1指令数。	0x0	R/W
[15:11]	保留	保留。	0x0	R
[10:0]	SEQ1STARTADDR	SEQ1起始地址。	0x0	R/W

命令和数据FIFO内部数据计数寄存器

地址：0x400C2200；复位：0x00000000；名称：FIFOCNTSTA

表171. FIFOCNTSTA寄存器位功能描述

位	位名称	描述	复位	访问类型
[31:27]	保留	保留。	0x0	R
[26:16]	DATAFIFOCNTSTA[10:0]	数据FIFO中的当前字数。	0x0	R
[15:0]	保留	保留。	0x0	R

触发序列寄存器

地址：0x400C0430；复位：0x0000；名称：TRIGSEQ

表172. TRIGSEQ寄存器位功能描述

位	位名称	描述	复位	访问类型
[15:4]	保留	保留。	0x0	R
3	TRIG3	触发序列3。	0x0	R/W
2	TRIG2	触发序列2。	0x0	R/W
1	TRIG1	触发序列1。	0x0	R/W
0	TRIG0	触发序列0。	0x0	R/WS

AFE中断

ADUCM355模拟前端提供了中断选项，可以将其配置用于切换数字芯片上的内部GPIO引脚。GPIO引脚在内部连接，没有从LGA封装引出。

中断控制器中断

中断控制器分为两个模块。每个模块由一个INTCSELx寄存器和一个INTCFLAGx寄存器组成。仅INTCSEL0中断被内部GPIO引脚连接到数字芯片。INTCSEL1中断仅用于轮询。INTCPOL和INTCCLR寄存器是两个模块通用的。在INTCSELx寄存器中使能某个中断后，INTCFLAGx寄存器中的相应位会置1。表173列出了可用中断源。

配置中断

配置INTC中断的第一步是配置内部连接到AFE中断控制器输出的数字芯片GPIO引脚。要配置GPIO引脚，请执行以下步骤：

1. 将内部GPIO2引脚1配置为GPIO，如下所示：

```
DioCfgPin(pADI_GPIO2, PIN1, 0);
```

2. 将内部P2.1引脚配置为输入，如下所示：

```
DioIenPin(pADI_GPIO2, PIN1, 1); /* Enable P2.1 input path. */
```

3. 使能外部中断3并配置下降沿，如下所示：

```
EiCfg(EXTINT3, INT_EN, INT_FALL); /* Falling edge. */
```

4. 在NVIC中使能中断，如下所示：

```
NVIC_EnableIRQ(AFE_EVT3_IRQn);
```

完成这些步骤后，配置数字芯片的INTC中断。要配置AFE INTC中断，首先应写入INCT0POL以配置极性。要使能所需的中断，应写入INTCSEL0寄存器。要清除中断源，须写入INTCCLR寄存器中的相应位。

自定义中断

用户可以在INTCSELx寄存器的位[12:9]中选择四个自定义中断源。为使这些自定义中断产生中断事件，须写入AFEGENINTSTA寄存器的相应位。只能通过序列器写入该寄存器。

表173. 中断源汇总

INTCFLAGx寄存器标志名称	中断源描述
FLAG0	ADC结果IRQ状态。
FLAG1	DFT结果IRQ状态。
FLAG2	Sinc2滤波器结果就绪IRQ状态。
FLAG3	温度结果IRQ状态。
FLAG4	ADC最小值不合格IRQ状态。
FLAG5	ADC最大值不合格IRQ状态。
FLAG6	ADC变化值不合格IRQ状态。
FLAG7	均值IRQ状态。
FLAG13	引导加载完成IRQ状态。
FLAG15	序列结束IRQ状态。
FLAG16	序列器超时已完成IRQ状态（参见“定时器命令”部分）。
FLAG17	序列器超时命令错误IRQ状态（参见“定时器命令”部分）。
FLAG23	数据FIFO满IRQ状态。
FLAG24	数据FIFO空IRQ状态。
FLAG25	数据FIFO阈值IRQ状态，阈值在DATAFIFOTHRES寄存器中设置。
FLAG26	数据FIFO上溢IRQ状态。
FLAG27	数据FIFO下溢IRQ状态。
FLAG29	异常值IRQ状态，检测何时检测到异常值。
FLAG31	尝试打断IRQ状态。当序列A正在运行时，如果发生序列B请求，就会设置此中断。该中断表示序列B被忽略。

中断寄存器**表174. 中断寄存器汇总**

地址	名称	描述	复位	访问类型
0x400C3000	INTCPOL	中断极性寄存器	0x00000000	R/W
0x400C3004	INTCCLR	中断清零寄存器	0x00000000	W
0x400C3008	INTCSEL0	中断控制器选择寄存器	0x00002000	R/W
0x400C300C	INTCSEL1	中断控制器选择寄存器	0x00002000	R/W
0x400C3010	INTFLAG0	中断控制器标志寄存器	0x00000000	R
0x400C3014	INTFLAG1	中断控制器标志寄存器	0x00000000	R
0x400C209C	AFEGENINTSTA	模拟生成中断寄存器	0x00000010	R/W1C

中断极性寄存器

地址：0x400C3000；复位：0x00000000；名称：INTCPOL

表175. INTCPOL寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[31:1]	保留		保留。	0x0	R
0	INTPOL	0 1	中断极性。 0 输出负边沿中断。 1 输出上升沿中断。	0x0	R/W

中断清零寄存器

地址：0x400C3004；复位：0x00000000；名称：INTCCLR

表176. INTCCLR寄存器位功能描述

位	位名称	描述	复位	访问类型
31	INTCLR31	尝试打断中断(IRQ)。写入1清0。	0x0	W
30	保留	保留。	0x0	W
29	INTCLR29	异常值IRQ。写入1清0。	0x0	W
28	保留	保留。	0x0	W
27	INTCLR27	数据FIFO下溢IRQ。写入1清0。	0x0	W
26	INTCLR26	数据FIFO上溢IRQ。写入1清0。	0x0	W
25	INTCLR25	数据FIFO阈值IRQ。写入1清0。	0x0	W
24	INTCLR24	数据FIFO空IRQ。写入1清0。	0x0	W
23	INTCLR23	数据FIFO满IRQ。写入1清0。	0x0	W
22	保留	保留。	0x0	W
17	INTCLR17	序列器超时错误IRQ。写入1清0。	0x0	W
16	INTCLR16	序列器超时已完成IRQ。写入1清0。	0x0	W
15	INTCLR15	序列结束IRQ。写入1清0。	0x0	W
14	保留	保留。	0x0	W
13	INTCLR13	引导加载完成IRQ。写入1清0。	0x0	W
12	INTCLR12	自定义中断3。写入1清0。	不适用	不适用
11	INTCLR11	自定义中断2。写入1清0。	不适用	不适用
10	INTCLR10	自定义中断1。写入1清0。	不适用	不适用
9	INTCLR9	自定义中断0。写入1清0。	不适用	不适用
8	保留	保留。	0x0	W
7	INTCLR7	均值IRQ。写入1清0。	0x0	W
6	INTCLR6	ADC变化值不合格IRQ。写入1清0。	0x0	W
5	INTCLR5	ADC最大值不合格IRQ。写入1清0。	0x0	W
4	INTCLR4	ADC最小值不合格IRQ。写入1清0。	0x0	W
3	INTCLR3	温度结果IRQ。写入1清0。	0x0	W
2	INTCLR2	Sinc2滤波器结果就绪IRQ。写入1清0。	0x0	W
1	INTCLR1	DFT结果IRQ。写入1清0。	0x0	W
0	INTCLR0	ADC结果IRQ。写入1清0。	0x0	W

中断控制器选择寄存器

地址：0x400C3008；复位：0x00002000；名称：INTCSEL0

地址：0x400C300C；复位：0x00002000；名称：INTCSEL1

表177. INTCSEL0和INTCSEL1寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
31	INTSEL31	0 1	尝试打断IRQ使能。 禁用中断。 使能中断。	0x0	R/W
30	保留		保留。	0x0	R/W
29	INTSEL29	0 1	异常值IRQ使能。 禁用中断。 使能中断。	0x0	R/W
28	保留		保留。	0x0	R/W
27	INTSEL27	0 1	数据FIFO下溢IRQ使能。 禁用中断。 使能中断。	0x0	R/W
26	INTSEL26	0 1	数据FIFO上溢IRQ使能。 禁用中断。 使能中断。	0x0	R/W
25	INTSEL25	0 1	数据FIFO阈值IRQ使能。 禁用中断。 使能中断。	0x0	R/W
24	INTSEL24	0 1	数据FIFO空IRQ使能。 禁用中断。 使能中断。	0x0	R/W
23	INTSEL23	0 1	数据FIFO满IRQ使能。 禁用中断。 使能中断。	0x0	R/W
[22:18]	保留		保留。	0x0	R/W
17	INTSEL17	0 1	序列器超时错误IRQ使能。 禁用中断。 使能中断。	0x0	R/W
16	INTSEL16	0 1	序列器超时已完成IRQ使能。 禁用中断。 使能中断。	0x0	R/W
15	INTSEL15	0 1	序列结束IRQ使能。 禁用中断。 使能中断。	0x0	R/W
14	保留		保留。	0x0	R/W
13	INTSEL13	0 1	引导加载完成IRQ使能。 禁用中断。 使能中断。	0x1	R/W
12	INTSEL12	0 1	自定义中断3使能。 禁用中断。 使能中断。	0x0	R/W
11	INTSEL11	0 1	自定义中断2使能。 禁用中断。 使能中断。	0x0	R/W
10	INTSEL10	0 1	自定义中断1使能。 禁用中断。 使能中断。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
9	INTSEL9		自定义中断0使能。 0 禁用中断。 1 使能中断。	0x0	R/W
8	保留		保留。	0x0	R/W
7	INTSEL7		均值IRQ使能。 0 禁用中断。 1 使能中断。	0x0	R/W
6	INTSEL6		ADC变化值不合格IRQ使能。 0 禁用中断。 1 使能中断。	0x0	R/W
5	INTSEL5		ADC最大值不合格IRQ使能。 0 禁用中断。 1 使能中断。	0x0	R/W
4	INTSEL4		ADC最小值不合格IRQ使能。 0 禁用中断。 1 使能中断。	0x0	R/W
3	INTSEL3		温度结果IRQ使能。 0 禁用中断。 1 使能中断。	0x0	R/W
2	INTSEL2		Sinc2滤波器结果就绪IRQ使能。 0 禁用中断。 1 使能中断。	0x0	R/W
1	INTSEL1		DFT结果IRQ使能。 0 禁用中断。 1 使能中断。	0x0	R/W
0	INTSELO		ADC结果IRQ使能。 0 禁用中断。 1 使能中断。	0x0	R/W

中断控制器标志寄存器

地址：0x400C3010；复位：0x00000000；名称：INTCFLAG0

地址：0x400C3014；复位：0x00000000；名称：INTCFLAG1

表178. INTCFLAG0和INTCFLAG1寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
31	FLAG31		尝试打断IRQ状态。当序列A正在运行时，如果序列B请求到达，就会设置此位，表示序列B被忽略。 0 中断未置为有效。 1 中断置为有效。	0x0	R
30	保留		保留。	0x0	R
29	FLAG29		异常值IRQ状态。 0 中断未置为有效。 1 中断置为有效。	0x0	R
28	保留		保留。	0x0	R
27	FLAG27		数据FIFO下溢IRQ状态。 0 中断未置为有效。 1 中断置为有效。	0x0	R
26	FLAG26		数据FIFO上溢IRQ状态。 0 中断未置为有效。 1 中断置为有效。	0x0	R

位	位名称	设置	描述	复位	访问类型
25	FLAG25	0 1	数据FIFO阈值IRQ状态。 中断未置为有效。 中断置为有效。	0x0	R
24	FLAG24	0 1	数据FIFO空IRQ状态。 中断未置为有效。 中断置为有效。	0x0	R
23	FLAG23	0 1	数据FIFO满IRQ状态。 中断未置为有效。 中断置为有效。	0x0	R
[22:18]	保留		保留。	0x0	R
17	FLAG17	0 1	序列器超时错误IRQ状态。 中断未置为有效。 中断置为有效。	0x0	R
16	FLAG16	0 1	序列器超时已完成IRQ状态。 中断未置为有效。 中断置为有效。	0x0	R
15	FLAG15	0 1	序列结束IRQ状态。 中断未置为有效。 中断置为有效。	0x0	R
14	保留		保留。	0x0	R
13	FLAG13	0 1	引导加载完成IRQ状态。 中断未置为有效。 中断置为有效。	0x0	R
12	FLAG12	0 1	自定义中断3状态。 中断未置为有效。 中断置为有效。	0x0	R
11	FLAG11	0 1	自定义中断2状态。 中断未置为有效。 中断置为有效。	0x0	R
10	FLAG10	0 1	自定义中断1状态。 中断未置为有效。 中断置为有效。	0x0	R
9	FLAG9	0 1	自定义中断0状态。 中断未置为有效。 中断置为有效。	0x0	R
8	保留		保留。	0x0	R
7	FLAG7	0 1	均值IRQ状态。 中断未置为有效。 中断置为有效。	0x0	R
6	FLAG6	0 1	ADC变化值不合格IRQ状态。此位置1时，表示两个连续ADC结果之间的差值大于ADCDELTA寄存器指定的值。此位清0时，表示自上次清0以来，没有检测到两个连续ADC值之间的差值大于限值的情况。 中断未置为有效。 中断置为有效。	0x0	R
5	FLAG5	0 1	ADC最大值不合格IRQ状态。此位置1时，表示ADC结果大于ADCMAX寄存器指定的最大值。此位清0时，表示没有检测到ADC值大于最大值的情况。 中断未置为有效。 中断置为有效。	0x0	R

位	位名称	设置	描述	复位	访问类型
4	FLAG4	0 1	ADC最小值不合格IRQ状态。此位置1时，表示ADC结果小于ADCMIN寄存器指定的最小值。此位清0时，表示自上次清0以来，没有检测到ADC值小于最小值的情况。 中断未置为有效。 中断置为有效。	0x0	R
3	FLAG3	0 1	温度结果IRQ状态。 中断未置为有效。 中断置为有效。	0x0	R
2	FLAG2	0 1	Sinc2滤波器结果就绪IRQ状态。 中断未置为有效。 中断置为有效。	0x0	R
1	FLAG1	0 1	DFT结果IRQ状态。 中断未置为有效。 中断置为有效。	0x0	R
0	FLAG0	0 1	ADC结果IRQ状态。 中断未置为有效。 中断置为有效。	0x0	R

模拟生成中断寄存器

地址：0x400C209C；复位：0x00000010；名称：AFEGENINTSTA

AFEGENINTSTA寄存器提供自定义中断生成。只能通过序列器写入此寄存器。

表179. AFEGENINTSTA寄存器位功能描述

位	位名称	描述	复位	访问类型
[31:4]	保留	保留。	0x1	R
3	CUSTOMINT3	通用自定义中断3。使用序列器程序手动设置此位。将1写入此位会触发中断。	0x0	R/W1C
2	CUSTOMINT2	通用自定义中断2。使用序列器程序手动设置此位。将1写入此位会触发中断。	0x0	R/W1C
1	CUSTOMINT1	通用自定义中断1。使用序列器程序手动设置此位。将1写入此位会触发中断。	0x0	R/W1C
0	CUSTOMINT0	通用自定义中断0。使用序列器程序手动设置此位。将1写入此位会触发中断。	0x0	R/W1C

睡眠和唤醒定时器

睡眠和唤醒定时器特性

ADuCM355 集成了一个20位睡眠和唤醒定时器。睡眠和唤醒定时器提供对序列器的自动控制，并且可以按从SEQ0到SEQ3的任何顺序依次运行多达八个序列。每个序列都有一个明确的睡眠周期(SEQxSLEEPx)和一个明确的活动周期(SEQxWUPx)。定时器由内部32 kHz振荡器时钟源提供时钟。

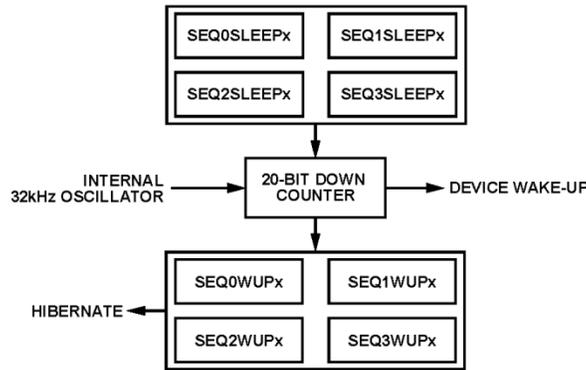


图34. 睡眠和唤醒定时器框图

睡眠和唤醒定时器概述

睡眠和唤醒定时器模块由一个倒计时的20位定时器组成。时钟源为32 kHz内部低频振荡器。

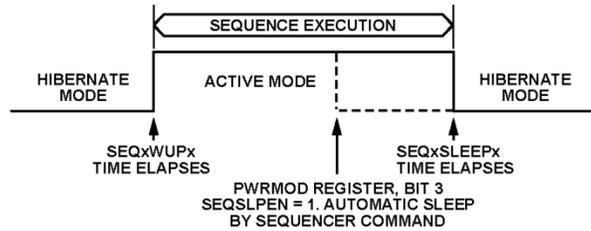


图35. 睡眠和唤醒时序图

当定时器到期时，器件会自动唤醒并运行序列。最多可以按顺序运行八个序列。当定时器到期时，器件返回睡眠状态。如果定时器在序列完成执行之前到期，则序列中的剩余命令会被忽略。因此，用户代码必须确保SEQxSLEEPx寄存器中的值足够大，以允许序列执行所有命令。

建议使用唤醒定时器禁用定时器睡眠功能（AFE PWRMOD位2 = 0），并使用序列器进入休眠模式。设置AFE PWRMOD寄存器的位3 = 1，使序列器可将器件置于休眠模式。

配置一个确定的序列顺序

睡眠和唤醒定时器提供了按特定顺序定期执行序列的功能。序列的执行顺序在SEQORDER寄存器中定义。该寄存器中有八个可用槽（A到H）。每个槽可以配置四个序列中的任何一个。图36显示了此特性的示例图。有四个确定的执行序列，SEQ0、SEQ1、SEQ2和SEQ3，如图36所示。

要配置ADuCM355以实现此序列顺序，请采用以下寄存器设置：

1. SEQORDER位[1:0] = 00
2. SEQORDER位[3:0] = 01
3. SEQORDER位[5:4] = 10
4. SEQORDER位[7:6] = 11
5. CON位[3:1] = 011

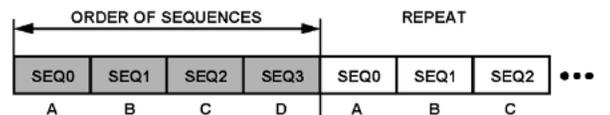


图36. 序列顺序图

睡眠和唤醒定时器建议操作

使用睡眠和唤醒定时器优化性能和功耗时，建议采用如下步骤：

1. 设置AFE PWRMOD寄存器的位2以禁用定时器睡眠功能。请注意，睡眠和唤醒定时器不会将器件置于休眠模式。在序列末尾写入SEQTRGSLP寄存器会使器件进入睡眠模式。睡眠模式可优化功耗。
2. 设置TMRCON寄存器的位0以启用定时器唤醒功能。
3. 设置AFE PWRMOD寄存器的位[3:1]，并将SEQSLPLOCK寄存器设置为0xA47E5，使能序列器触发睡眠。
4. 在CON寄存器的位[3:1]中设置最终序列。如果仅使用一个序列，请选择该序列。
5. 将睡眠时间和唤醒时间写入SEQxSLEEPH、SEQxSLEEPL、SEQxWUPH和SEQxWUPL寄存器。
6. 使用SEQORDER寄存器配置序列的触发顺序。
7. 将1写入CON寄存器的位0以启用定时器。

当CON寄存器的位0 = 1时，定时器加载来自SEQxWUPH和SEQxWUPL寄存器的值并开始倒计时。当定时器达到零时，器件唤醒并按SEQORDER寄存器的位[1:0]中指定的顺序执行序列。定时器加载来自SEQxSLEEPH和SEQxSLEEPL寄存器的值，并在序列器运行时再次开始倒计时。当定时器到期时，如果TMRCON寄存器的位0 = 1，则ADuCM355返回睡眠模式。如果AFE PWRMOD寄存器的位3 = 1，则ADuCM355在最后一个序列结束时返回睡眠模式。

使用内部32 kHz振荡器时，最长休眠时间为32秒。

要计算SEQxWUPx和SEQxSLEEPx寄存器的码值，请使用下式：

$$Code = ClkFreq \times Time$$

其中：

*Code*为SEQxWUPx寄存器的码值。

*ClkFreq*为内部振荡器的频率，单位为Hz。

*Time*为所需的超时持续时间，单位为秒。

睡眠和唤醒定时器寄存器

表180. 睡眠和唤醒定时器寄存器汇总

地址	名称	描述	复位	访问类型
0x400C0800	CON	定时器控制寄存器	0x0000	R/W
0x400C0804	SEQORDER	顺序控制寄存器	0x0000	R/W
0x400C0808	SEQ0WUPL	序列0唤醒时间寄存器(LSB)	0xFFFF	R/W
0x400C0818	SEQ1WUPL	序列1唤醒时间寄存器(LSB)	0xFFFF	R/W
0x400C0828	SEQ2WUPL	序列2唤醒时间寄存器(LSB)	0xFFFF	R/W
0x400C0838	SEQ3WUPL	序列3唤醒时间寄存器(LSB)	0xFFFF	R/W
0x400C080C	SEQ0WUPH	序列0唤醒时间寄存器(MSB)	0x000F	R/W
0x400C081C	SEQ1WUPH	序列1唤醒时间寄存器(MSB)	0x000F	R/W
0x400C082C	SEQ2WUPH	序列2唤醒时间寄存器(MSB)	0x000F	R/W
0x400C083C	SEQ3WUPH	序列3唤醒时间寄存器(MSB)	0x000F	R/W
0x400C0810	SEQ0SLEEPL	序列0睡眠时间寄存器(LSB)	0xFFFF	R/W
0x400C0820	SEQ1SLEEPL	序列1睡眠时间寄存器(LSB)	0xFFFF	R/W
0x400C0830	SEQ2SLEEPL	序列2睡眠时间寄存器(LSB)	0xFFFF	R/W
0x400C0840	SEQ3SLEEPL	序列3睡眠时间寄存器(LSB)	0xFFFF	R/W
0x400C0814	SEQ0SLEEPH	序列0睡眠时间寄存器(MSB)	0x000F	R/W
0x400C0824	SEQ1SLEEPH	序列1睡眠时间寄存器(MSB)	0x000F	R/W
0x400C0834	SEQ2SLEEPH	序列2睡眠时间寄存器(MSB)	0x000F	R/W
0x400C0844	SEQ3SLEEPH	序列3睡眠时间寄存器(MSB)	0x000F	R/W
0x400C0A1C	TMRCON	定时器唤醒配置寄存器	0x0000	R/W

定时器控制寄存器

地址：0x400C0800；复位：0x0000；名称：CON

CON寄存器是唤醒定时器控制寄存器。

表181. CON寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[15:7]	保留		保留。	0x0	R
6	MSKTRG		屏蔽睡眠和唤醒定时器触发序列的功能。此位屏蔽睡眠和唤醒定时器触发序列的功能。屏蔽触发后，它不会进入序列器。	0x0	R/W
[5:4]	RESERVED		保留。	0x0	R
[3:1]	ENDSEQ		结束序列。这些位选择一个SEQORDER位以结束时序序列。 000 睡眠和唤醒定时器停止于序列A，然后返回到序列A。 001 睡眠和唤醒定时器停止于序列B，然后返回到序列A。 010 睡眠和唤醒定时器停止于序列C，然后返回到序列A。 011 睡眠和唤醒定时器停止于序列D，然后返回到序列A。 100 睡眠和唤醒定时器停止于序列E，然后返回到序列A。 101 睡眠和唤醒定时器停止于序列F，然后返回到序列A。 110 睡眠和唤醒定时器停止于序列G，然后返回到序列A。 111 睡眠和唤醒定时器停止于序列H，然后返回到序列A。	0x0	R/W
0	EN		睡眠和唤醒定时器 0 使能位。禁用睡眠和唤醒计时器。 1 使能睡眠和唤醒计时器。	0x0	R/W

顺序控制寄存器

地址：0x400C0804；复位：0x0000；名称：SEQORDER

SEQORDER寄存器控制命令序列执行顺序。

表182. SEQORDER寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[15:14]	SEQH		序列H配置。这些位为定时器序列H选择SEQ0、SEQ1、SEQ2或SEQ3。 00 填入SEQ0。 01 填入SEQ1。 10 填入SEQ2。 11 填入SEQ3。	0x0	R/W
[13:12]	SEQG		序列G配置。这些位为定时器序列G选择SEQ0、SEQ1、SEQ2或SEQ3。 00 填入SEQ0。 01 填入SEQ1。 10 填入SEQ2。 11 填入SEQ3。	0x0	R/W
[11:10]	SEQF		序列F配置。这些位为定时器序列F选择SEQ0、SEQ1、SEQ2或SEQ3。 00 填入SEQ0。 01 填入SEQ1。 10 填入SEQ2。 11 填入SEQ3。	0x0	R/W
[9:8]	SEQE		序列E配置。这些位为定时器序列E选择SEQ0、SEQ1、SEQ2或SEQ3。 00 填入SEQ0。 01 填入SEQ1。 10 填入SEQ2。 11 填入SEQ3。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
[7:6]	SEQD	00 01 10 11	序列D配置。这些位为定时器序列D选择SEQ0、SEQ1、SEQ2或SEQ3。 填入SEQ0。 填入SEQ1。 填入SEQ2。 填入SEQ3。	0x0	R/W
[5:4]	SEQC	00 01 10 11	序列C配置。这些位为定时器序列C选择SEQ0、SEQ1、SEQ2或SEQ3。 填入SEQ0。 填入SEQ1。 填入SEQ2。 填入SEQ3。	0x0	R/W
[3:2]	SEQB	00 01 10 11	序列B配置。这些位为定时器序列B选择SEQ0、SEQ1、SEQ2或SEQ3。 填入SEQ0。 填入SEQ1。 填入SEQ2。 填入SEQ3。	0x0	R/W
[1:0]	SEQA	00 01 10 11	序列A配置。这些位为定时器序列A选择SEQ0、SEQ1、SEQ2或SEQ3。 填入SEQ0。 填入SEQ1。 填入SEQ2。 填入SEQ3。	0x0	R/W

序列0至序列3唤醒时间寄存器(LSB)

地址：0x400C0808；复位：0xFFFF；名称：SEQ0WUPL

地址：0x400C0818；复位：0xFFFF；名称：SEQ1WUPL

地址：0x400C0828；复位：0xFFFF；名称：SEQ2WUPL

地址：0x400C0838；复位：0xFFFF；名称：SEQ3WUPL

这些寄存器设置序列睡眠时间。计数器为20位。这些寄存器设置16个LSB。当此定时器到期时，器件会唤醒。

表183. SEQxWUPL寄存器位功能描述

位	位名称	描述	复位	访问类型
[15:0]	WAKEUPTIME0[15:0]	序列和睡眠周期。此寄存器定义器件保持睡眠模式的时间长度。当经过此时间时，器件会唤醒。	0xFFFF	R/W

序列0至序列3唤醒时间寄存器(MSB)

地址：0x400C080C；复位：0x000F；名称：SEQ0WUPH

地址：0x400C081C；复位：0x000F；名称：SEQ1WUPH

地址：0x400C082C；复位：0x000F；名称：SEQ2WUPH

地址：0x400C083C；复位：0x000F；名称：SEQ3WUPH

这些寄存器设置序列睡眠时间。计数器为20位。这些寄存器设置4个MSB。当此定时器到期时，器件会唤醒。

表184. SEQxWUPH寄存器位功能描述

位	位名称	描述	复位	访问类型
[15:4]	保留	保留。	0x0	R
[3:0]	WAKEUPTIME0[19:16]	序列和睡眠周期。此寄存器定义器件保持睡眠模式的时间长度。当经过此时间时，器件会唤醒。	0xF 0xF	R/W

序列0至序列3睡眠时间寄存器(LSB)

地址：0x400C0810；复位：0xFFFF；名称：SEQ0SLEEPL

地址：0x400C0820；复位：0xFFFF；名称：SEQ1SLEEPL

地址：0x400C0830；复位：0xFFFF；名称：SEQ2SLEEPL

地址：0x400C0840；复位：0xFFFF；名称：SEQ3SLEEPL

SEQxSLEEPL寄存器定义SEQ0至SEQ3的器件活动时间。计数器为20位。这些寄存器设置16个LSB。

表185. SEQxSLEEPL寄存器位功能描述

位	位名称	描述	复位	访问类型
[15:0]	SLEEPTIME0[15:0]	序列和活动周期。此寄存器定义器件保持活动模式的时间长度。当经过此时间时，器件返回睡眠模式。	0xFFFF	R/W

序列0至序列3休眠时间寄存器(MSB)

地址：0x400C0814；复位：0x000F；名称：SEQ0SLEEPH

地址：0x400C0824；复位：0x000F；名称：SEQ1SLEEPH

地址：0x400C0834；复位：0x000F；名称：SEQ2SLEEPH

地址：0x400C0844；复位：0x000F；名称：SEQ3SLEEPH

SEQxSLEEPH寄存器定义SEQ0至SEQ3的器件活动时间。计数器为20位。这些寄存器设置4个MSB。

表186. SEQxSLEEPH寄存器位功能描述

位	位名称	描述	复位	访问类型
[15:4]	保留	保留。	0x0	R
[3:0]	SLEEPTIME0[19:16]	序列和活动周期。这些位定义器件保持活动模式的时间长度。当经过此时间时，器件返回睡眠模式。	0xF	R/W

定时器唤醒配置寄存器

地址：0x400C0A1C；复位：0x0000；名称：TMRCON

表187. TMRCON寄存器位功能描述

位	位名称	设置	描述	复位	访问类型
[15:1]	保留		保留。	0x0	R
0	TMRINTEN	0 1	唤醒定时器使能。进入休眠模式之前设置此位，使得睡眠和唤醒定时器可以唤醒芯片。 禁用唤醒定时器。 使能唤醒定时器。	0x0	R/W

用例配置

ADuCM355主要用于控制和测量电化学传感器。本部分详细说明ADuCM355与电化学传感器一起使用的主要用例的建议设置。

保持传感器直流偏置时的休眠模式

在这种模式下，数字芯片和模拟芯片处于休眠模式。

数字芯片

在数字芯片上，低功耗LDO稳压器和低功耗32 kHz振荡器处于活动状态。该LDO稳压器和振荡器支持保留SRAM内容，以及维持数字输入/输出引脚的配置，同时将电流消耗降至最低。

模拟芯片

在模拟芯片上，低功耗LDO稳压器和低功耗32 kHz振荡器处于活动状态。低功耗基准电压源、低功耗DAC、低功耗恒电势器和低功耗TIA也都处于活动状态，以维持外部传感器的直流偏置电压。进入或退出此模式时，将低功耗放大器连接到外部传感器的开关也不受影响。有关如何进入和退出休眠模式的代码示例，参见“休眠模式，模式2”部分。

为了维持电化学传感器的偏置电压，低功耗恒电势器放大器和低功耗TIA的推荐模拟芯片配置为LPTIASWx = 0x302C。图38显示了如何使用此值配置低功耗恒电势器放大器中的开关。

将未使用引脚连接到内部1.8 V数字LDO稳压器轨，使开关矩阵中未使用开关的漏电流最小。另外，应将激励放大器P、N和D节点绑定到固定电平。请参阅图37中的PL、PL2、NL2和NL开关，了解哪些信号路径必须连接至1.8 V以使漏电流影响最小。要闭合这些开关，请使用以下代码：

```
SWCON &= 0xEFFFF;      // Clear SWCON[16] to allow access to NSWFULLCON/PSWFULLCON
NSWFULLCON |= 0xC00;    // Close NL2 and NL switches
PSWFULLCON |= 0x6000;   // Close PL2 and PL switches
SWCON |= 0x10000;      // Set SWCON[16] to update switches
```

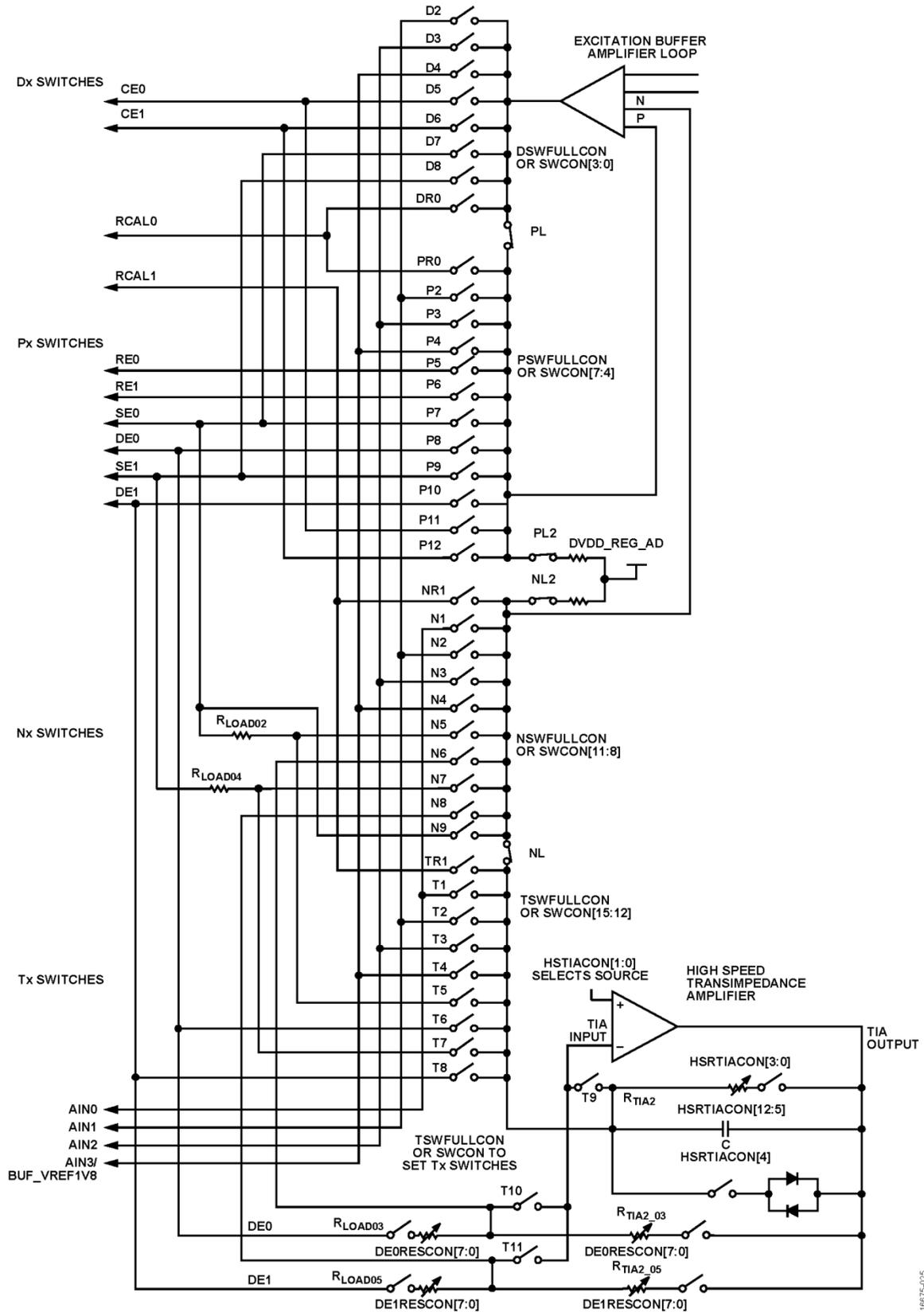


图37. 休眠模式下未使用AFE电路的漏电流最小化的推荐开关设置

测量直流电流输出

测量直流电流输出时，ADC上电并设置为测量低功耗TIA输入通道。用户可以选择在将ADC结果读到数字芯片之前对结果进行平均，或者使用DMA模式将ADC结果直接移至数字芯片SRAM。

配置恒电势器环路

配置低功耗DAC，使之与所用外部电化学传感器所需的传感器偏置电压匹配。例如，对于工作电极和参考电极之间需要0 V偏置电压的传感器，必须将 V_{BIAS} 和 V_{ZERO} DAC输出设置为相同的电压。同样，LPDACDAT0 = 0x1A680将 V_{BIAS0} 和 V_{ZERO0} 的输出均设置为约1.1V。

其他指南如下：

- 根据需要配置LPDACCON0寄存器。设置LPDACCON0位5 = 0时，低功耗DAC开关正常工作。
- LPTIASW0位[13:12] = 11将 V_{BIAS}/V_{ZERO} 电压源连接到外部电容以滤除噪声。
- 适当配置其他低功耗恒电势器开关。
 - 对于LPTIA0，设置LPTIASW0 = 0x302C可以将低功耗TIA0开关设置为正常模式。
 - 有关这些设置如何影响低功耗恒电势器环路的详细信息，参见图38。
- 根据ADuCM355规格，通过LPTIACON0位[12:10]配置低功耗TIA R_{LOAD} 。例如：

```
pADI_AFE->LPTIACON0 = 0xE680; // Enable LPTIA, 1 MΩ Low-Pass Filter resistor,
10 Ω RLOAD, 100 K Gain resistor
```

设置传感器偏置电压后，经过传感器的建立时间后再开始测量其输出电流。

ADC配置为直流测量模式

ADC多路复用器有两个用于低功耗TIA0的测量选项。一个是通过低通滤波器（ADCCON位[5:0] = 0x21），另一个是旁路低通滤波器选项（ADCCON位[5:0] = 0x02）。选择低通滤波器作为ADC的正输入通道，噪声最低。选择LPTIA0反相输入（ADCCON位[12:8] = 0x2）作为ADC负输入通道。

使用所提供的软件库，以下函数调用选择LPTIA0作为ADC输入：

```
AfeAdcChan(MUXSELP_LPTIA0_LPF,
MUXSELN_VZERO0); // Select LPTIA0_LPF input versus VZERO0 to the ADC
```

要选择LPTIA1作为ADC输入，请使用以下函数调用：

```
AfeAdcChan(MUXSELP_LPTIA1_LPF,
MUXSELN_VZERO1); // Select LPTIA1_LPF input versus VZERO1 to the ADC
```

为了获得最佳性能，在ADC转换时，请勿对模拟芯片进行任何读或写访问，以最大程度地减少芯片间接口耦合到ADC电路的噪声。或者，可以暂停Arm Cortex-M3内核，直到ADC转换完成为止。

还必须配置ADCCON和ADCBUFCON寄存器。例如：

```
ADCCON = 0x010XXX; // PGA gain =1.5x
ADCBUFCON[3:0] = 0x4; // Enables chopping of the ADC input - default value
```

配置LPTIACON位[15:13]，选择TIA输出上低通滤波器的电阻值。此设置配置可编程电阻 R_f ，该电阻位于低功耗TIA输出和ADC多路复用器之间。可编程电阻与AIN4_LPF0和AIN7_LPF1引脚上的外部电容相结合，在低功耗TIA输出端形成低通滤波器。用户必须权衡所需的ADC测量建立时间与低功耗TIA输出滤波器的截止频率。

ADuCM355 ADC提供可选的数字后处理和滤波功能，这些功能可提高传感器测量精度。针对均值、过采样以及50 Hz/60 Hz交流电源抑制滤波，ADCFILTERCON寄存器提供了可编程选项。配置ADCFILTERCON寄存器时，须权衡ADC更新速率与所需的ADC噪声性能。

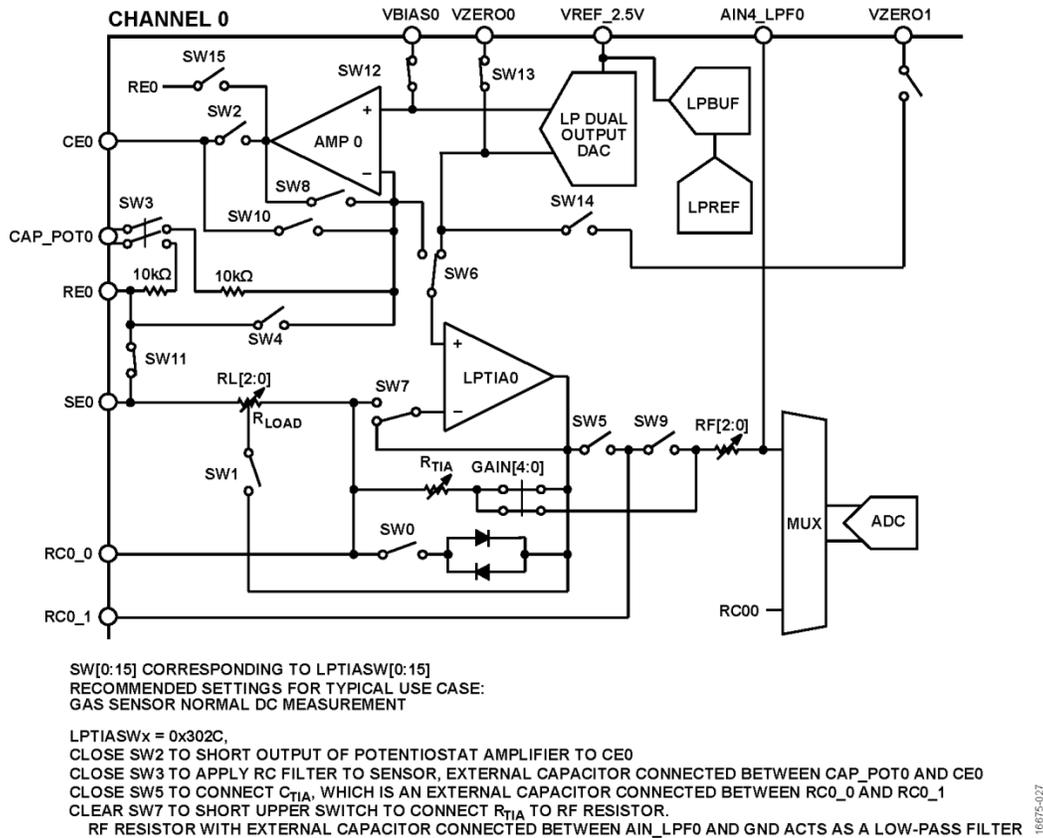


图38. 用于低功耗恒电势器放大器和低功耗TIA的开关，使用低功耗TIA
(3线电化学传感器配置) 测量SE0节点的直流电流

脉冲测试 (计时安培分析法)

脉冲测试需要扰动电化学传感器的正常偏置电压并监视其输出电流响应。脉冲测试通常用于检查传感器的响应能力。对于电化学气体传感器，脉冲测试法检查氧化和还原期间电极之间通过内部电解质的电荷通路是否运行正常。通常，电流随着传感器偏置电压的阶跃而急剧并迅速增加。如果电流阶跃响应很慢，传感器电解质可能有问题。

使用低功耗TIA进行脉冲测试

假定使用“测量直流电流输出”部分中的步骤对恒电势器和ADC进行初始配置。本部分还会介绍阶跃之前、之中和之后的电流测量。

V_{BIAS} DAC电平的阶跃比激励传感器的典型阶跃要高出5 mV至10 mV。典型阶跃持续时间为100 ms。要将开关配置为恒电势器模式以进行脉冲测试，须设置LPTIASWx位[11:0] = 0x014以使用低功耗TIA，写入LPDACDAT0寄存器以更改VBIAS0输出电压，并写入LPDACDAT1寄存器以更改VBIAS1输出电压。

使用高速TIA进行脉冲测试

在该测试中，用户可以选择使用高速TIA通道来测量传感器的电流。在这种情况下，SE0或SE1引脚路由到高速TIA，而不是低功耗TIA。图40显示了信号路径。

以下代码将SE0引脚连接到高速TIA，并将SE0引脚与低功耗TIA0断开：

```
pADI_AFE->LPTIASW0 &= 0xF000; // Mask SW12 to 15 control bits
pADI_AFE->LPTIASW0 = 0x94; // Disconnect SE from LPTIA -ve input and connect to HSTIA
// Configure SW0 to SW11 for HSTIA PULSE/RAMP test setting

pADI_AFE->LPDACCON0 |= 0x20; // Configure LPDAC0 switches for Diagnostic mode
pADI_AFE->LPDACSW0 = 0x32; // Disconnect the VBIAS0 and VZERO0 from external caps
pADI_AFE->SWCON &=
(!BITM_AFE_SWCON_SWSOURCESEL); // Step 1: to write to T-Switch control register
```

```

pADI_AFE->TSWFULLCON = 0x110;    // Step 2: Close T9 & T5. Leave T10, T11 open
pADI_AFE->SWCON |=
    BITM_AFE_SWCON_SWSOURCESEL;    // Step 3: to write to T-Switch control register
AfeHSTIACon(AMPPOWER_NORM,
    HSTIABIAS_VZERO0); // Set common-mode source as Vzero0 if HSTIA with Chan0 required
AfeHSTIASeCfg(HSTIA_RTIA_80K,    // RTIA setting
    BITM_HSTIA_CTIA_1PF,    // internal load of 1pF
    0);    // protection diodes disconnected

```

如果选择高速TIA作为ADC输入通道,

```

AfeAdcChan(MUXSELP_HSTIA_P,
    MUXSELN_HSTIA_N);    // Select HSTIA output as ADC input versus HSTIA_N to the ADC

```

如果传感器输出引脚连接到诊断电极 (DE0或DE1), 则用户可以将 R_{LOAD} 值减小到100Ω以下。

为在传感器偏置电压上产生急剧的电压瞬变, 须断开SW12和SW13 (如图16所示) 以将低功耗DAC输出、 V_{BIAS} 和 V_{ZERO} 与外部100 nF滤波电容断开连接。配置LPTIASWx位[13:12] = 00, LPDACCON0位5 = 1, LPDACSW0 = 0x32。

要配置恒电势器中的开关进行脉冲测试, 须设置LPTIASWx位[11:0] = 0x094以使用高速TIA。有关退出脉冲测试时减少传感器建立时间的建议, 参见“退出循环伏安模式”部分。

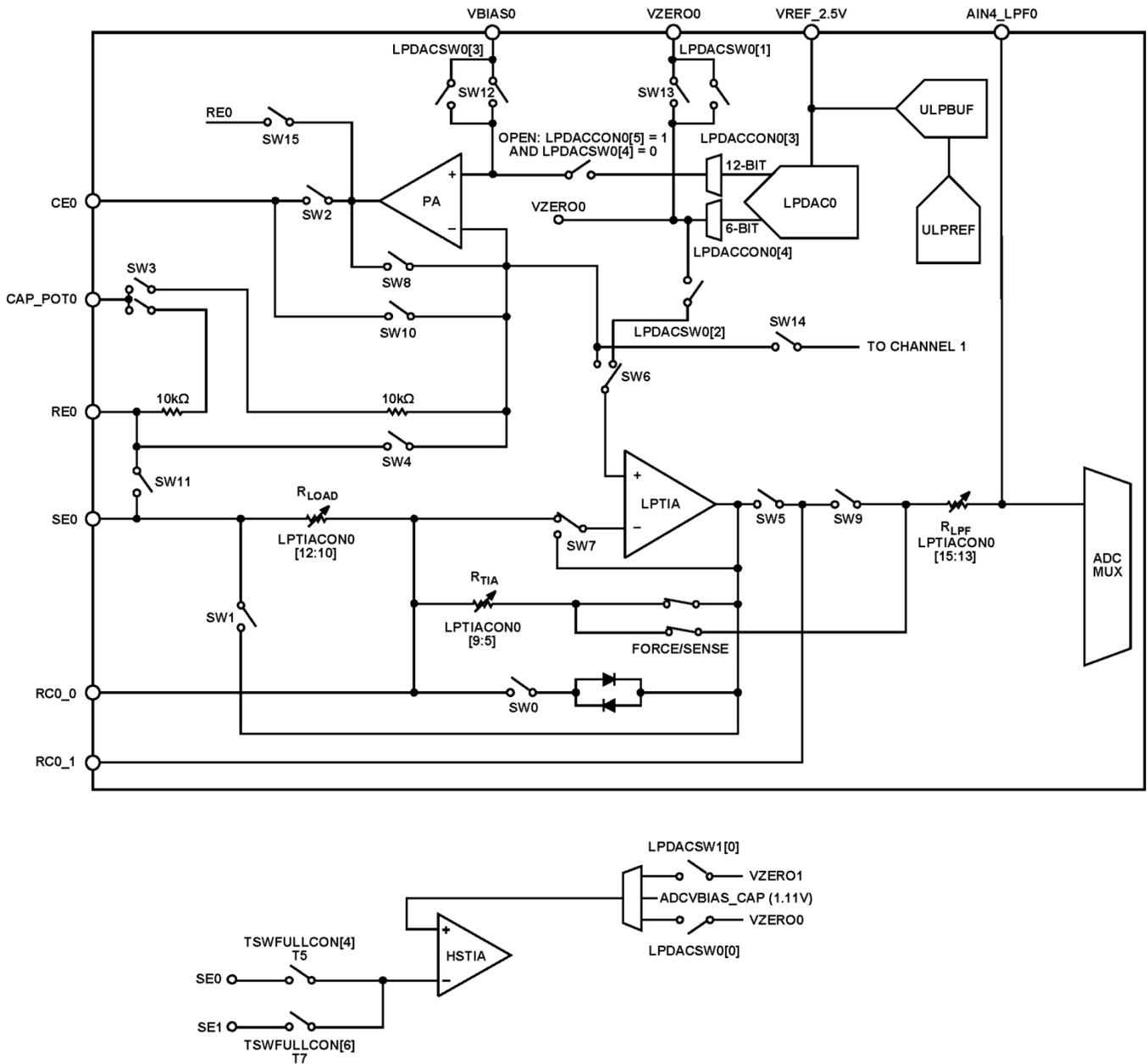
循环伏安法

循环伏安法类似于脉冲测试, 不同之处在于低功耗DAC的 V_{BIAS} 和 V_{ZERO} 输出均可改变, 以将传感器偏置电压和传感器共模电压设置为不同电平。高速TIA用于测量传感器 (而不是低功耗TIA) 的电流输出。

为在传感器偏置电压上产生急剧的电压瞬变, 须断开SW12和SW13 (如图16所示) 以将低功耗DAC输出、 V_{BIAS} 和 V_{ZERO} 与外部100 nF滤波电容断开连接。配置LPTIASWx位[13:12] = 00, LPDACCON0位5 = 1, LPDACSW0 = 0x32, 断开SW12和SW13。

要配置恒电势器环路中的开关以使用高速TIA进行斜坡测试, 须设置LPTIASWx位[11:0] = 0x094。有关此配置的开关设置, 参见图39。

为了捕获伏安循环中每个阶跃的全电流瞬态, 可能需要针对速度而非噪声性能来优化ADC滤波器设置。

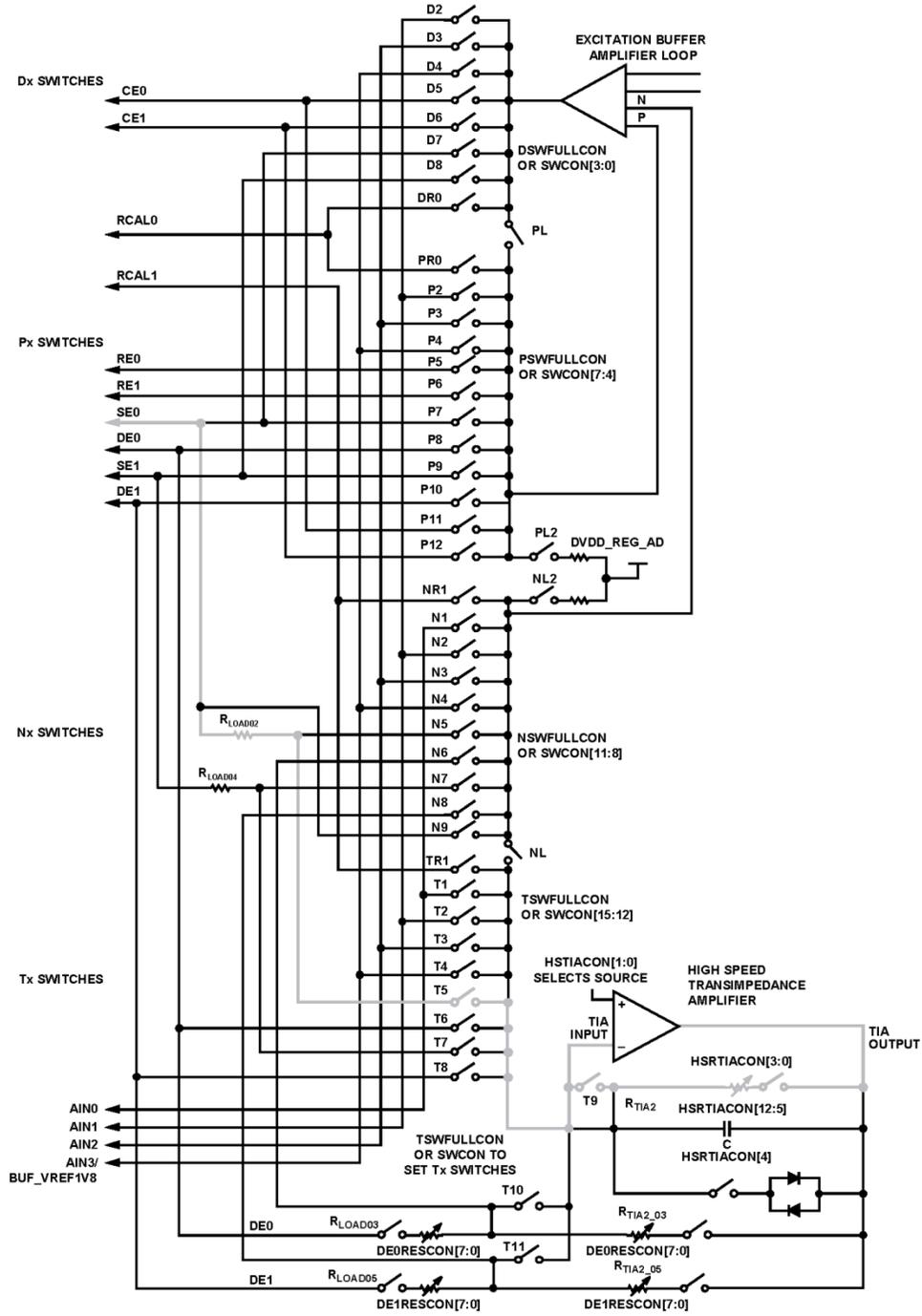


CORRESPONDING TO LPTIASw_x[0:15]
FOR RAMP TEST USING HPTIA,

- LPTIASw_x = 0x0094 (SW2, SW4 CLOSED, SW7 AS SHOWN ABOVE – OTHERS OPENED)
- CLOSE SW2 TO SHORT OUTPUT OF POTENTIOSTAT AMPLIFIER TO COUNTER ELECTRODE.
- OPEN SW3 TO DISCONNECT RC FILTER FROM SENSOR, EXTERNAL CAPACITOR NOT CONNECTED BETWEEN CAP_POT0 AND CE0.
- CLOSE SW4 TO CONNECT RE0 FROM POTENTIOSTAT AMPLIFIER INVERTING INPUT.
- OPEN SW5 TO DISCONNECT C_{TIA}, WHICH IS THE EXTERNAL CAPACITOR CONNECTED BETWEEN RC0_0 AND RC0_1.
- SET SW7 BIT TO SHORT LOW POWER TIA INVERTING INPUT (-) TO THE LOW POWER TIA OUTPUT.

图39. 低功耗恒电势器、低功耗TIA和开关矩阵的开关，使用高速TIA在SE0节点上执行循环伏安或脉冲测试

18675-028



- SWCON = 0x2500 T5 AND T9 CLOSED, OTHER Dx, Px, Nx AND Tx SWITCHES OPENED (TSWSTA = 0x110)
- LPDACSW0 = 0x35

图40. 低功耗恒电势器、低功耗TIA和开关矩阵的信号路径，使用高速TIA在SE0节点上执行循环伏安或脉冲测试

16675-228

退出循环伏安模式

当退出伏安模式以回到正常偏置传感器或恢复直流测量时，须采取措施将传感器建立时间降至最短，如下所述：

1. 在调整开关以提供正常直流偏置之前，将低功耗DAC输出重新配置为所需的直流电平。写入LPDACDAT0寄存器或LPDACDAT1寄存器。
2. 断开高速TIA电路与传感器的连接。清除TSWFULLCON位[10:9] = 0b00，断开开关矩阵的T10和T11开关。将DE0RESCON和DE1RESCON设置为0xFF，断开高速TIA增益电阻。为了节省功耗，可通过清除AFECON位11 = 0来关断高速TIA。
3. 将低功耗DAC开关配置为正常直流测量。写入LPDACSWx = 0。清除LPDACCONx位5 = 0，使低功耗DAC周围的开关正常工作。设置LPDACCONx的位[4:3]，将V_{BIAS}和V_{ZERO}设置为12位或6位模式。
4. 配置低功耗DAC之后，设置低功耗TIA。将低功耗TIA开关设置为正常运行。低功耗TIA周围的SW0和SW1开关可以短时间闭合，以让低功耗TIA为传感器充电，使传感器的SE0节点可以更快地建立到VZEROx输出偏置电压设置。参见图16，找到低功耗TIA电路中的SW0和SW1。

保持传感器直流偏置时的交流阻抗测量

以下几节详细介绍80 kHz以下的交流阻抗测量的示例配置设置。阻抗测量技术是一种比率测量，阻抗测量在已知的固定外部R_{CAL}上完成，独立于传感器的阻抗测量。

在此示例配置中，使用电化学传感器通道0通过SE0电极进行阻抗测量。在图41、图42和图43中，幅度为±10 mV p-p的交流信号耦合到偏置为0 V (V_{BIAS} - V_{ZERO} = 0) 的直流传感器上。但是，直流传感器共模电压为1.1V。交流信号幅度可以增加至15 mV。

衰减器开启时，高速DAC满量程输出约为±607 mV/40 = ±15.1 mV p-p。ADC电压计算公式为：±15.1 mV/R_{LOAD}×R_{TIA}。R_{LOAD0}固定为100Ω，故R_{TIA}上的电流约为150μA。本参考手册中的测试是针对±750 mV的ADC电压而设计的。因此，设置R_{TIA} = 5kΩ。

阻抗测量分五步执行，详述如下。以下步骤假定传感器为3电极电化学传感器，参考电极和工作电极之间的偏置要求为0 V。

第1步：初始化ADuCM355用于阻抗测量

电化学传感器通过低功耗恒电势器环路保持偏置。要配置ADC和高速DAC工作模式，请执行以下步骤：

1. 清除PMBW位0 = 0，将ADC和DAC电路配置为低功耗模式，以使电流消耗最低。
 2. 将AFECON寄存器的位20、位15、位14和位[11:5]设置为1，使能高速DAC和ADC基准电压源、高速DAC激励放大器和缓冲器以及DFT硬件加速器。波形发生器也必须使能。当使用直流偏置电压大于0 V的传感器时，设置位21。
 3. 测量<80 kHz的信号时，使能ADC输入缓冲器的斩波模式。ADCBUFCON位[3:0] = 0x4使能ADC前端缓冲器和PGA斩波。当测量>80 kHz的信号时（例如在高功率模式下），应禁用ADC输入缓冲器的斩波。ADCBUFCON位[3:0] = 0xF禁用ADC输入斩波。
- 要设置ADC，请配置和校准ADC。理想情况下，使用所需的R_{TIA}和ADC PGA增益设置将ADC校准为电流输入（高速TIA）。详情参见“ADC校准”部分。配置ADC输出数据送入DFT模块，并在DFTCON寄存器中配置DFT模块使用的采样数。

要设置高速DAC，首先应开启高速DAC。适当配置以下寄存器，使用波形发生器生成所需频率和幅度的正弦波：

- HSDACCON。配置增益设置。
- PMBW位[3:2]。使用该寄存器配置重构滤波器设置。
- WGCON。主波形控制寄存器。
- WGFCW。配置交流正弦波的频率。如有必要，调整WGPHASE、WGOFFSET和WGAMPLITUDE寄存器。
- DACDCBUFCON。选择低功耗DAC0或低功耗DAC1作为共模电压激励放大器的直流电平。

开启高速DAC之后，如有必要，校准高速DAC输出（可选）。将输出码设置为0x800可以校准高速DAC，消除偏移误差，如下所述：

- 将激励放大器连接到 R_{CAL} 。
- 选择ADC输入作为激励放大器的N节点和P节点，测量 R_{CAL} 两端的差分电压：ADCCON位[12:0] = 0x1424。有四个偏移校准寄存器：DACOFFSET、DACOFFSETATTEN、DACOFFSETHP和DACOFFSETATTENHP。相关寄存器取决于激励放大器增益设置以及器件处于低功耗还是高功率模式。参见表127。

要设置恒电势器电路进行阻抗测量，请确保低功耗DAC处于开启状态，同时将VBIAS0和VZERO0输出设置为在RE0和SE0引脚上提供相同的电压。默认情况下，让电化学传感器完全由低功耗恒电势器环路偏置。使用恒电势器电路进行阻抗测量时，使用的设置与休眠模式和测量直流电流输出相同(LPTIASW0 = 0x302C)。

以下代码是配置低功耗环路中的开关的示例：

```
AfeLpTiaSwitchCfg (channel,
                    SWMODE_NORM); // Low Power Loop Normal switch settings (0x302C)
```

要设置高速TIA进行阻抗测量，请执行以下步骤：

1. 为高速TIA选择 R_{TIA} 值、功耗设置和偏置电压源。HSRTIACON寄存器配置高速TIA并联电容和主 R_{TIA} 电阻。HSTIACON寄存器配置高速TIA的功耗模式。对于 $\leq 80\text{kHz}$ 的阻抗测量，清除HSTIACON的位[6:2] = 00000。位[1:0]为00。
2. 选择高速TIA作为ADC输入，如以下代码所示。

```
AfeAdcChan (MUXSELP_HSTIA_P,
            MUXSELN_HSTIA_N); //Select HSTIA output as ADC input versus HSTIA_N to the ADC
```

第2步：测量 R_{LOAD02} 和外部传感器(R_{SENSOR})

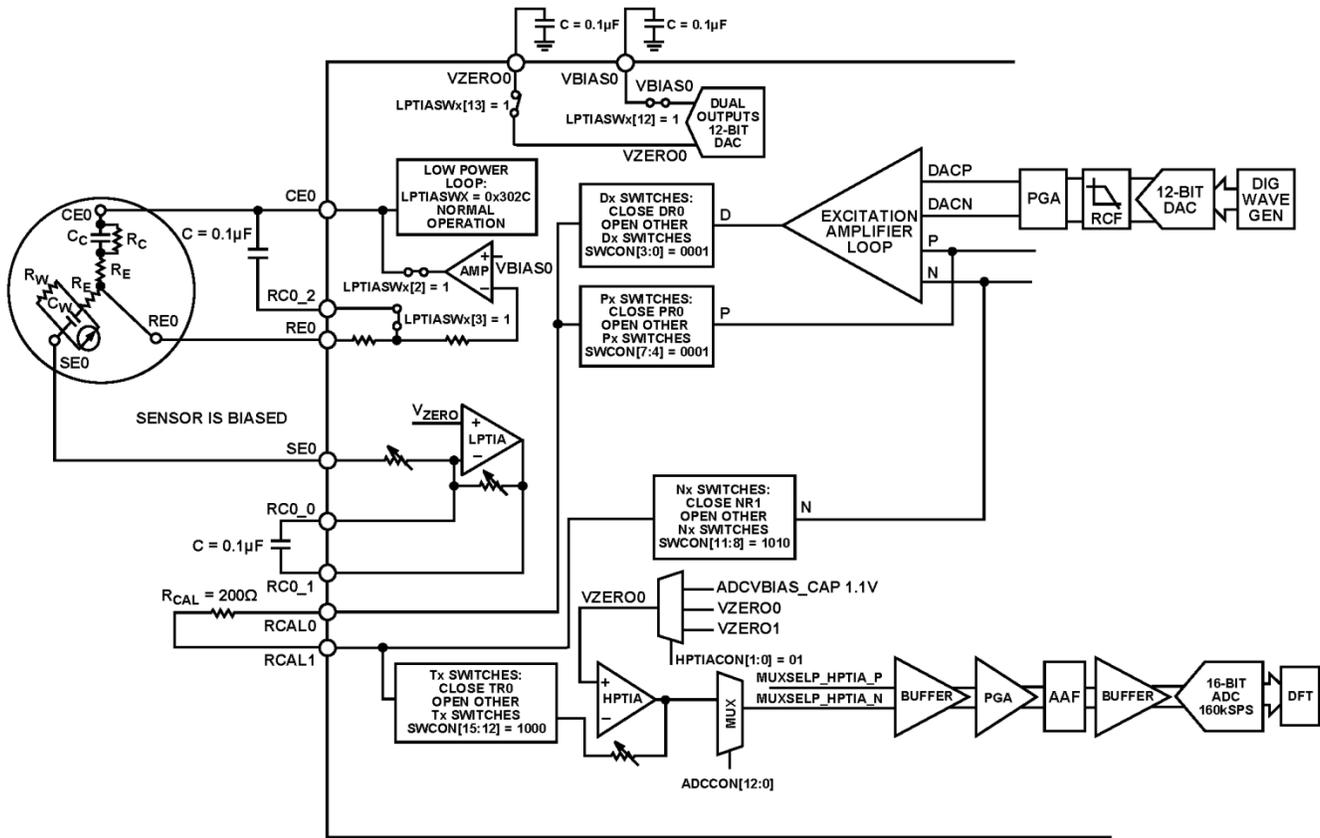
在此步骤中，电化学传感器保持偏置状态，但工作电极电压由高速TIA而非低功耗TIA设置。

R_{LOAD02} 是固定值负载电阻(100 Ω)。在图41中，参考电极为传感器阻抗。波形发生器和高速DAC在参考电极和感应电极传感器节点所需的直流偏置电压上生成10 mV幅度的正弦波形。DACN是从高速DAC输入到激励环路的偏置电压。高速DAC生成的正弦波施加到DACP节点上。N、P、DACN和DACP是激励放大器的四个输入。P节点和N节点之间的差分电压与DACP和DACN之间的差分电压相同。

传感器处于偏置状态，意味着所需直流电压施加于参考电极和工作电极之间。交流信号施加到传感器上，直流偏置电压也保持不变。D节点提供正确的电压和电流。这样，刺激正弦波形施加到电化学传感器参考电极和高速TIA输入之间。参考电极+ R_{LOAD02} 包含在此交流激励环路中。在此处，高速TIA输出通过ADC信号链测量。设定数量的ADC样本被馈送到DFT模块，该模块输出一个复数（实数或虚数），反映参考电极+ R_{LOAD02} 的ADC测量的DFT结果。使用第4步之后确定的 R_{CAL} 阻抗测量结果和比率测量，可以获得准确的参考电极+ R_{LOAD02} 阻抗值。

根据以下示例代码，适当配置Tx、Dx、Nx和Px开关：

```
AfeSwitchDPNT (SWID_D5_CE0, SWID_P5_RE0, SWID_N5_SE0RLOAD, SWID_T5_SE0RLOAD | SWID_T9);
// Connect Excitation Amplifier D to the LP
// Connect Excitation Amplifier P to RE0
// Connect Excitation Amplifier N to SE0 via RLOAD02
// Connect HSTIA to SE0 via RLOAD02. Close T9
```

图41. 阻抗测量第三步, $R_{LOAD02} + R_{SENSOR}$ 测量

第3步: 测量 R_{LOAD02}

在测量序列的这一阶段, 电化学传感器的反电极和参考电极处于浮空状态。

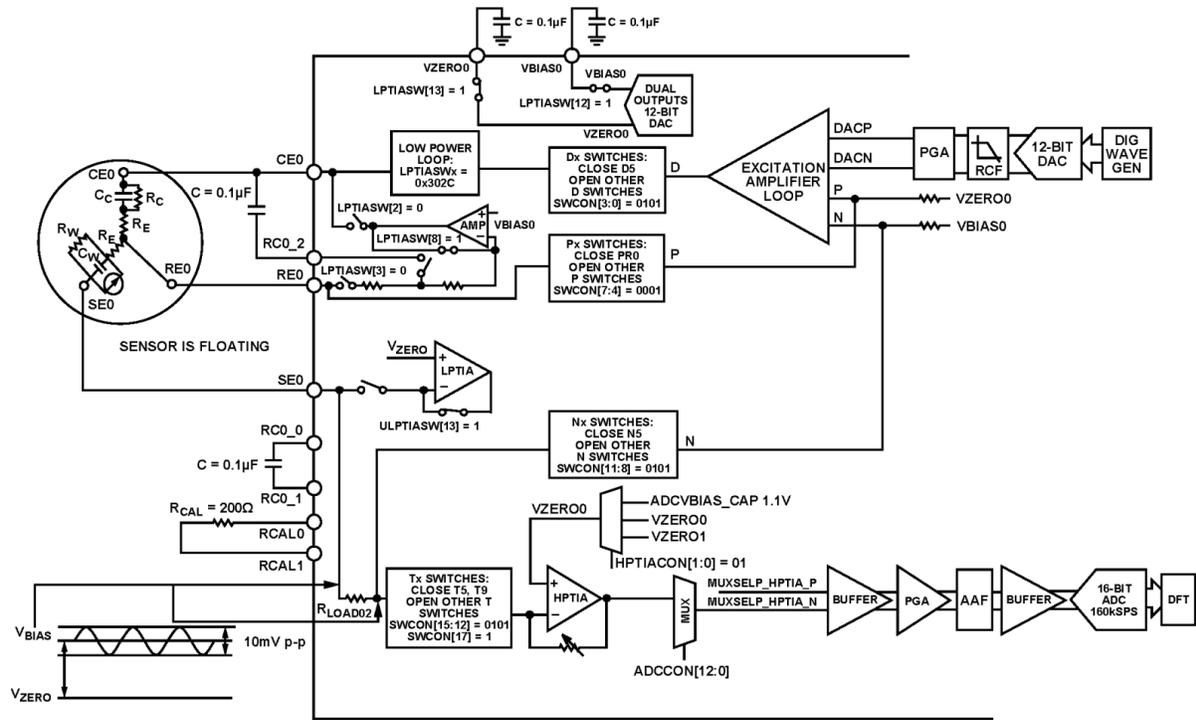
第2步和第3步的主要区别如下:

- 参考电极与激励放大器P节点断开连接。
- 反电极与激励放大器D节点断开连接, 直接连至 R_{LOAD02} 。
- 激励放大器D节点连接到工作电极节点。

因此, 激励信号施加到 R_{LOAD02} , 传感器处于浮空状态, 如图42所示。交流励磁环路D节点、P节点和 R_{LOAD02} 短路。交流励磁环路N节点、TIA T节点和 R_{LOAD02} 短路。通过高速TIA测量激励。ADC信号链和DFT用于计算 R_{LOAD02} 电阻的阻抗。

根据以下示例代码, 适当配置Tx、Dx、Nx和Px开关:

```
AfeSwitchDPNT(SWID_D7_WE0,SWID_P7_WE0,SWID_N5_SE0RLOAD,SWID_T5_SE0RLOAD|SWID_T9);
// Connect Excitation Amplifier D to the WE Electrode
// Connect Excitation Amplifier P to CE0
// Connect Excitation Amplifier N to SE0 via RLOAD02
// Connect HSTIA to SE0 via RLOAD02. Close T9
```


图43. R_{CAL} 测量

R_{CAL} 测量用于通过比率测量来校准第3步中的 $R_{SENSOR} + R_{LOAD}$ 测量。如图43所示，对于第4步，电化学传感器通过低功耗恒电势器和低功耗TIA放大器偏置。波形发生器和高DAC产生10 mV幅度的正弦波形。

通过设置Dx开关和Px开关以闭合DR0和PR0开关（SWCON位[7:0] = 0x11），交流激励环路D节点、P节点和RCAL0引脚短路。其他Dx开关和Px开关断开。通过设置Nx开关和Tx开关以闭合NR1和TR1开关（SWCON位[15:8] = 0x85），交流激励环路N节点、高速TIA T节点和RCAL1引脚短路。闭合T9以选择 R_{TIA02} （SWCON位17 = 1）。其他Nx开关和Tx开关断开。激励施加到200Ω R_{CAL} 和高速TIA上。ADC信号链和DFT模块用于计算 R_{CAL} 的阻抗。

设置低功耗环路开关，使得激励放大器 and 高速TIA可以设置传感器的直流偏置电压电平。以下示例代码演示了如何配置低功耗环路中的开关：

```
AfeLpTiaSwitchCfg (channel, SWMODE_AC); //Low Power Loop for AC impedance switch settings (0x3180)
```

第5步：计算电化学传感器感应电极节点的阻抗

计算第2步、第3步和第4步的幅度和相位。以下示例代码和公式说明了如何计算每一步的幅度和相位：

```
// Get RMS result of each step based on DFT REAL and IMAG outputs
DFT_Mag[i] = DFTREAL* DFTREAL+ DFTIMAG* DFTIMAG;
DFT_Mag[i] = sqrt(DFT_Mag[i]);

// Use atan2 function to get phase result of each step based on DFT REAL and IMAG outputs
Phase[i] = atan2(DFTIMAG, DFTREAL); // returns value between -pi to +pi (radians) of
ATAN2 (IMAG/Real)
```

在第4步中，

$$\frac{V(s)}{Z_{CAL(magnitude)}} = I(s)_{CAL}$$

(10)

其中:

$V(s)$ 为信号电压。

$I(s)_{CAL}$ 为校准电流。

$Z_{CAL}(magnitude)$ 为校准的阻抗幅度。

因此,

$$V(s) = I(s) \times Z_{CAL} \quad (11)$$

在第2步中,

$$\frac{V(s)}{Z_{RE+RLOAD02}} = I(s)_{RE+RLOAD02} \quad (12)$$

其中:

$Z_{RE+RLOAD02}$ 为传感器和负载电阻2的阻抗。

$I(s)_{RE+RLOAD02}$ 为流经传感器和负载电阻2的电流。

因此,

$$Z_{RE+RLOAD02} = \frac{V(s)}{I(s)_{RE+RLOAD02}} \quad (13)$$

在第3步中,

$$\frac{V(s)}{Z_{RLOAD02}} = I(s)_{RLOAD02} \quad (14)$$

其中:

$Z_{RLOAD02}$ 为负载电阻2的阻抗。

$I(s)_{RLOAD02}$ 为流经负载电阻2的电流。

因此,

$$Z_{RLOAD02} = \frac{V(s)}{I(s)_{RLOAD02}} \quad (15)$$

因此, 基于第2步到第4步,

$$\begin{aligned} Z_{RE} &= Z_{RE+RLOAD02} - Z_{RLOAD02} = \frac{V(s)}{I(s)_{RE+RLOAD02}} - \frac{V(s)}{I(s)_{RLOAD02}} \\ &= I(s)_{CAL} \times Z_{CAL} \times \left(\frac{1}{I(s)_{RE+RLOAD02}} - \frac{1}{I(s)_{RLOAD02}} \right) \\ &= I(s)_{CAL} \times Z_{CAL} \times \frac{I(s)_{RLOAD02} - I(s)_{RE+RLOAD02}}{I(s)_{RE+RLOAD02} \times I(s)_{RLOAD02}} \end{aligned} \quad (16)$$

如果 $Z_{CAL}(\text{幅度}) = 200 \Omega$ 且 $Z_{CAL}(\text{相位}) = 0$, 则可得到如下等式:

$$Z_{RE}(magnitude) = |Z_{RE+RLOAD02} - Z_{RLOAD02}| = 200 \times |I(s)_{CAL}| \times \frac{|I(s)_{RLOAD02} - I(s)_{RE+RLOAD02}|}{|I(s)_{RE+RLOAD02}| \times |I(s)_{RLOAD02}|} \quad (17)$$

其中:

$Z_{RE}(magnitude)$ 为传感器的阻抗幅度。

$I(s)$ 值可以用DFT结果替换。

$$\begin{aligned} Z_{RE}(phase) &= \text{Ang}(Z_{RE+RLOAD02} - Z_{RLOAD02}) \\ &= 0 + \text{Ang}_{I(s)_{CAL}} + \text{Ang}_{I(s)_{RLOAD02} - I(s)_{RE+RLOAD02}} - \text{Ang}_{I(s)_{RE+RLOAD02}} - \text{Ang}_{I(s)_{RLOAD02}} \end{aligned} \quad (18)$$

其中:

$Z_{RE}(phase)$ 为传感器阻抗测量的相位部分。

$\text{Ang}()$ 为计算相位的函数。

DMA控制器

DMA控制器用于在外设和存储位置之间执行数据传输任务，使得微控制器单元(MCU)不必承担这些任务。DMA可以快速移动数据，而无需CPU操作，让CPU可以执行其他操作。

DMA特性

ADuCM355提供专用且独立的DMA通道。每个DMA通道有两个可编程优先级。各优先级利用DMA通道号所确定的固定优先级进行仲裁。通道号越低，则优先级越高。例如，SPI0发送的优先级最高，次高优先级是SPI0接收。

各DMA通道可以访问一个主要或备选通道控制结构。支持多种DMA传输类型，例如：

- 存储器到存储器。
- 存储器到外设。
- 外设到存储器。

DMA概述

DMA控制器总共有20个通道。这20个通道专门用来管理来自特定外设的DMA请求。通道分配如表188所示。

表188. DMA通道分配

通道号	外设描述
0	SPI1发送
1	SPI1接收
2、3、6、7、13、14	保留
4	SPI0发送
5	SPI0接收
8	UART0发送
9	UART0接收
10	I2C从机发送
11	I2C从机接收
12	I2C主机
15	闪存
16	软件DMA
17	AFE芯片ADC
18至23	软件DMA

DMA模拟芯片

AFE芯片上的ADC可以连接到DMA控制器。提供一个八字FIFO用于缓冲。FIFO的输出为DMA控制器。用户可以从以下输入中进行选择：

- ADC sinc3结果 (16位)
- DFT结果，实部在前，虚部在后 (每个器件18位)
- ADC sinc2和低通滤波器结果 (16位)
- ADC均值结果 (16位)

AFE芯片数据FIFO

DMA通道17与AFE芯片数据FIFO相关联。要使能该芯片，须将1写入FIFOCON的位12。当使能FIFO (FIFOCON位11 = 1) 且FIFOCON位12 = 1时，只要FIFO不为空，FIFO就会发出DMA请求。

程序流程

执行以下步骤之后，只要FIFO接收数据，数据FIFO就会发出DMA请求。如果传输的字节数与控制数据配置寄存器(CFG)的位[13:4]指定的值匹配，则DMA_DONE内部中断被置为有效。要针对特定DMA通道设置DMA控制器，请执行以下步骤：

1. 将CFG的位0设置为1，使能DMA控制器。
2. 使能DMA数据FIFO通道并将CFG的位17设置为EN_SET。
3. 配置数据FIFO通道的DMA控制描述。参阅“通道控制数据结构”部分。
4. 选择数据FIFO的数据源 (FIFOCON位[15:13])。
5. 设置FIFOCON位11和FIFOCON位12以允许FIFO和DMA请求。
6. 使能DMA_DONE中断。

DMA架构概念

DMA通道提供了一种使用系统接口在存储器空间之间或存储器与外设之间传输数据的方法。通过DMA通道可以高效地在整个系统中分发数据，从而将内核释放出来执行其他操作。每个支持DMA传输的外设都有自己的专用DMA通道或带有自己的寄存器组的通道，这些寄存器配置和控制DMA传输的工作模式。

DMA工作模式

DMA控制器有两条总线，一条连接到与Cortex-M3内核共享的系统总线，另一条连接到16位外设。DMA请求可以让CPU停止访问系统总线若干总线周期，例如当CPU和DMA指向相同的目标（存储器或外设）时。DMA控制器取出位于系统存储器中的通道控制数据结构以执行数据传输。

具有DMA功能的外设在使能DMA之后，可以请求DMA控制器进行传输。在一个通道的设定DMA传输次数结束时，DMA控制器产生一个对应该通道的单周期DMA_DONE中断。DMA_DONE中断指示DMA传输已完成。针对各DMA通道，NVIC提供了独立的中断使能位。

通道控制数据结构

每个通道有两个与之相关的控制数据结构：主要和备选。对于简单传输模式，DMA控制器既可使用主要数据结构，也可使用备选数据结构。对于较复杂的数据传输模式，如乒乓式或分散/聚集式，DMA控制器同时使用主要数据结构和备选数据结构。这两种控制数据结构在存储器中占用4个32位位置，如表189所示。整个通道控制数据结构如表190所示。

在控制器能够执行DMA传输之前，必须在系统存储器SRAM的指定位置设置DMA通道相关的数据结构。编程确定来源和目标数据大小、传输次数和仲裁次数。指定存储位置的内容如下：

- 来源端指针存储器位置包含来源数据的端地址。
- 目标端指针存储器位置包含目标数据的端地址。
- 控制数据配置存储器位置包含通道配置控制数据。

表189. 通道控制数据结构

偏移地址	偏移寄存器名称	描述
0x00	SRC_END_PTR	来源端指针
0x04	DST_END_PTR	目标端指针
0x08	CHNL_CFG	控制数据配置
0x0C	保留	保留

表190. 主要和备选DMA结构的存储器映射¹

通道号	主要结构		备选结构	
	寄存器描述	偏移地址	寄存器描述	偏移地址
通道23	保留, 置0	0x17C	保留, 置0	0x1DC
	控制	0x178	控制	0x1D8
	目标端指针	0x174	目标端指针	0x1D4
	来源端指针	0x170	来源端指针	0x1D0
...
通道1	保留, 置0	0x01C	保留, 置0	0x11C
	控制	0x018	控制	0x118
	目标端指针	0x014	目标端指针	0x114
	来源端指针	0x010	来源端指针	0x110
通道0	保留, 置0	0x00C	保留, 置0	0x10C
	控制	0x008	控制	0x108
	目标端指针	0x004	目标端指针	0x104
	来源端指针	0x000	来源端指针	0x100

¹带省略号(...)的行表示通道23和通道1之间的所有通道。这些通道遵循相同的寄存器命名规范和偏移地址模式。

用户必须在源代码中定义DMA结构，如“示例代码：定义DMA结构”部分所示。定义结构之后，必须将其起始地址赋予给DMA基址指针寄存器PDBPTR。这样，各DMA通道的各寄存器便处于偏移地址（如表190之规定）加上PDBPTR寄存器值。

当DMA控制器收到对某个通道的请求时，它将相应的数据结构从系统存储器读入内部缓存中。如果在收到DMA_DONE中断之前更新系统存储器中的描述符，则不能保证系统行为符合预期。用户在收到DMA_DONE之前，建议不要更新描述符。

示例代码：定义DMA结构

要定义DMA结构，请使用以下代码：

```
memset(dmaChanDesc, 0x0, sizeof(dmaChanDesc)); // Set up the DMA base address pointer register.
uiBasPtr = (unsigned int)&dmaChanDesc; // Set up the DMA base pointer.
pADI_DMA->CFG = 1; // Enable DMA controller
pADI_DMA->PDBPTR = uiBasPtr;
```

来源数据结束指针

SRC_END_PTR存储位置存储最后一个位置的地址，数据作为DMA传输的一部分从该地址中读取。必须用来源数据的结束地址设置该存储位置，控制器才能执行DMA传输。当控制器开始第一次DMA数据传输时，控制器读取此存储位置。DMA控制器不写入该存储位置。

表191. 来源数据结束指针

位	名称	描述
[31:0]	SRC_END_PTR	来源数据的结束地址

目标数据结束指针

DST_END_PTR存储位置存储最后一个位置的地址，数据作为DMA传输的一部分写入该地址。必须用目标数据的结束地址设置该存储位置，控制器才能执行DMA传输。当控制器开始第一次DMA数据传输时，控制器读取此存储位置。DMA控制器不写入该存储位置。

表192. 目标数据结束指针

位	名称	描述
[31:0]	DST_END_PTR	来源数据的结束地址

控制数据配置

对于每次DMA传输，CHNL_CFG存储器位置向控制器提供DMA传输控制信息。

表193. CHNL_CFG控制数据配置

位	名称	来源数据宽度	设置	描述
[31:30]	DST_INC	字节 半字 字	00 01 10 11 00 01 10 11 00 01 10 11	目标地址增量。地址增量取决于源数据宽度。 来源地址增量为字节。 来源地址增量为半字。 来源地址增量为字。 不递增。地址保持设置为DST_END_PTR存储位置中包含的值。 保留。 来源地址增量为半字。 来源地址增量为字。 不递增。地址保持设置为DST_END_PTR存储位置中包含的值。 保留。 保留。 来源地址增量为字。 不递增。地址保持设置为DST_END_PTR存储位置中包含的值。
[29:28]	保留			未定义。写为零。
[27:26]	SRC_INC	字节 半字 字	00 01 10 11 00 01 10 11 00 01 10 11	来源地址增量。地址增量取决于源数据宽度。 来源地址增量为字节。 来源地址增量为半字。 来源地址增量为字。 不递增。地址保持设置为SRC_END_PTR存储位置中包含的值。 保留。 来源地址增量为半字。 来源地址增量为字。 不递增。地址保持设置为SRC_END_PTR存储位置中包含的值。 保留。 保留。 来源地址增量为字。 不递增。地址保持设置为SRC_END_PTR存储位置中包含的值。
[25:24]	SRC_SIZE		00 01 10 11	来源数据大小。 字节。 半字。 字。 保留。
[23:18]	保留			未定义。写入0。

位	名称	来源数据宽度	设置	描述
[17:14]	R_POWER		0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010至 1111	重新仲裁之前的DMA传输。设置这些位以控制在控制器重新仲裁之前可以发生多少次DMA传输。对于所有涉及外设的DMA传输，必须将这些位设为0000。对于涉及外设的DMA传输，若在此位置写入非0000的值，则DMA操作将是不确定的。 1 2 4 8 16 32 64 128 256 512 1024
[13:4]	N_MINUS_1		0x000 0x001 0x002 ... 0x3FF	针对该通道配置的传输次数减1。10位值表示DMA传输次数（非总字节数）减1。 1次DMA传输。 2次DMA传输。 3次DMA传输。 1024次DMA传输。
3	保留			未定义。写入0。
[2:0]	CYCLE_CTRL		000 001 010 011 100 101 110 111	DMA周期的传输类型。 停止（无效）。 基本。 自动请求。 乒乓式。 存储器分散/聚集式主要。 存储器分散/聚集式备选。 外设分散/聚集式主要。 外设分散/聚集式备选。

在DMA传输过程中，如果在数据传输过程中发生任何错误，CHNL_CFG将被写回系统存储器，同时更新N_MINUS_1位以反映尚未完成的传输次数。当完整的DMA周期完成时，CYCLE_CTRL位变为无效，表示传输已完成。

DMA优先级

一个通道的优先性由其编号和优先级决定。每个通道可以有两个优先级：默认或高。

具有高优先级的所有通道优先于具有默认优先级的通道。优先级相同时，通道编号较低的通道具有较高优先级。通过写入PRI_SET寄存器中的相应位，可以更改DMA通道优先级。

DMA传输类型

DMA控制器支持多种类型的DMA传输。要选择不同的类型，须向控制数据结构的CHNL_CFG位置中的CYCLE_CTRL位（位[2:0]）写入适当的值。

无效 (CHNL_CFG位[2:0] = 000)

CHNL_CFG位[2:0] = 000表示该通道未使能DMA传输。控制器完成一个DMA周期之后，将周期类型设为无效，以防止重复相同的DMA周期。

基本 (CHNL_CFG位[2:0] = 001)

在基本模式下，控制器可配置为使用主要数据结构或备选数据结构。外设必须为每次数据传输提供一个请求。通道使能之后，当控制器收到请求时，它便执行如下操作：

1. 控制器执行一次传输。如果剩余传输次数为0，则跳到第3步。
2. 控制器仲裁。如果有更高优先级通道在请求服务，则控制器服务该通道。如果外设或软件向控制器发出请求，则控制器回到第1步。
3. 传输结束时，控制器在NVIC中产生对应的DMA_DONE通道中断。

自动请求 (CHNL_CFG位[2:0] = 010)

当控制器工作在自动请求模式下时，控制器只需要收到一个请求以使它便可完成整个DMA周期。这样可以进行大量数据传输而不会显著增加服务更高优先级请求的延迟时间，或者要求处理器或外设提供多个请求。自动请求模式对存储器到存储器复制应用非常有用。

在自动请求模式下，控制器可配置为使用主要数据结构或备选数据结构。通道使能之后，当控制器收到请求时，它便执行如下操作：

1. 控制器对该通道执行最少($2^{\text{CHNL_CFG位}[17:14]}$, N)次传输，其中N为传输次数。如果剩余传输次数为0，则跳到第3步。
2. 自动产生该通道的请求。控制器仲裁。如果该通道具有最高优先级，则DMA周期回到第1步。
3. 传输结束时，控制器为对应的DMA通道产生中断。

乒乓式 (CHNL_CFG位[2:0] = 011)

在乒乓模式下，控制器利用其中一个数据结构执行一个DMA周期，然后利用另一个数据结构执行一个DMA周期。控制器不停地交替使用主要数据结构和备选数据结构，直至读取到无效数据结构或MCU禁用该通道。

乒乓模式可以使用存储器中的不同缓冲器传输数据。在典型应用中，启动传输之前，主机必须同时配置主要数据结构和备选数据结构。传输进行时，主机随后可以在对应的传输结束时，在中断服务例程中配置主要或备选控制数据结构。

完成与各控制数据结构相关的传输之后，DMA控制器使用DMA_DONE中断来中断MCU。利用主要或备选控制数据结构的各次传输的工作方式与基本DMA传输相同。

软件乒乓式DMA传输 (CHNL_CFG位[2:0] = 011)

在这种模式下，如果DMA请求来自软件，则在每个仲裁周期之后将自动生成一个请求，直到完成主要或备选描述符任务为止。此最终描述符必须使用自动请求传输类型。此模式如图44所示。

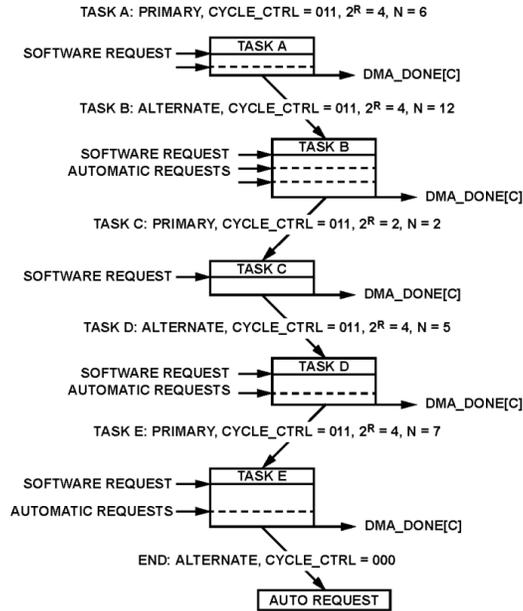


图44. 软件乒乓式DMA传输

外设乒乓式DMA传输 (CHNL_CFG位[2:0] = 011)

在这种模式下，如果DMA请求来自外设，则外设必须在每次数据传输后发送DMA请求，以完成主要或备选描述符任务，最终描述符必须设定为使用基本传输类型。此模式如图45所示。

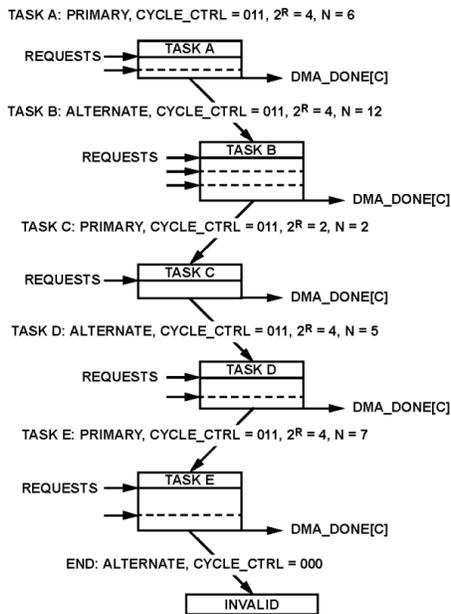


图45. 外设乒乓式DMA传输

存储器分散/聚集式 (CHNL_CFG位[2:0] = 100或101)

在存储器分散/聚集模式下，控制器必须配置为同时使用主要数据结构和备选数据结构。控制器利用主要数据结构设置备选数据结构的控制配置。备选数据结构用于实际数据传输，其与自动请求DMA传输类似。每次主要传输完成后，控制器执行仲裁。控制器只需一个请求就能完成全部传输。这种模式用于执行多个存储器到存储器复制任务的场合。MCU可以同时配置所有任务，无需在任务之间进行干预。当利用基本周期完成全部分散/聚集处理时，控制器在NVIC中产生对应的DMA通道中断。

在存储器分散/聚集模式下，控制器接收到初始请求后，利用主要数据结构执行4次DMA传输，以设置备选数据结构的控制结构。完成这些传输之后，控制器利用备选数据结构启动DMA周期。完成该周期之后，控制器再次利用主要数据结构执行4个DMA周期。控制器不停地交替使用主要数据结构和备选数据结构，直至处理器将备选数据结构配置为基本周期或者DMA读取到无效数据结构。

表194详细列出了主要数据结构的CHNL_CFG存储器位置字段；对于存储器分散/聚集模式，这些字段必须写入定值。此模式也显示在图46中。

表194. 存储器分散/聚集模式下主要数据结构的CHNL_CFG，CHNL_CFG位[2:0] = 100

位	名称	描述
[31:30]	DST_INC	设置为10，配置控制器对地址使用字增量。
[29:28]	保留	未定义。写入0。
[27:26]	SRC_INC	设置为10，配置控制器对地址使用字增量。
[25:24]	SRC_SIZE	设置为10，配置控制器使用字传输。
[23:18]	保留	未定义。写入0。
[17:14]	R_POWER	设置为0010，表示DMA控制器准备执行4次传输。
[13:4]	N_MINUS_1	配置控制器执行N次DMA传输，其中N为4的倍数。
3	保留	未定义。写入0。
[2:0]	CYCLE_CTRL	设置为100，配置控制器执行存储器分散/聚集DMA周期。

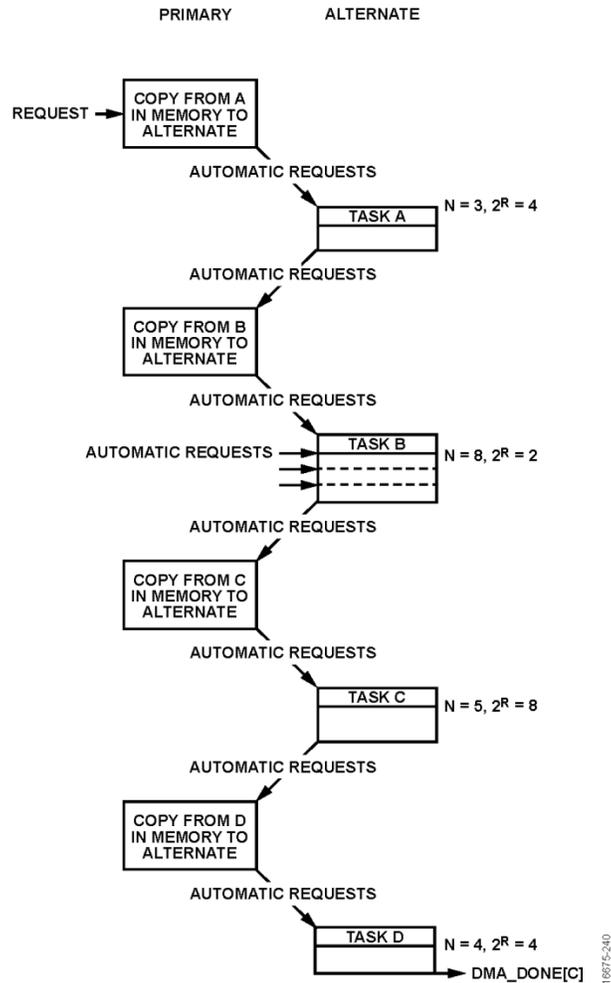


图46. 存储器分散/聚集式DMA传输

外设分散/聚集式 (CHNL_CFG位[2:0] = 110或111)

在外设分散/聚集模式下，控制器必须配置为同时使用主要数据结构和备选数据结构。控制器利用主要数据结构设置备选数据结构的控制结构。备选数据结构用于实际数据传输，每次传输采用备选数据结构和基本DMA传输进行。每次主要传输完成后，控制器不执行仲裁。这种模式用于要执行多个外设到存储器DMA任务的场合。Cortex-M3可以同时配置所有任务，无需在任务之间进行干预。

除了仲裁和请求要求之外，外设分散/聚集模式与存储器分散/聚集模式非常相似。当利用基本周期完成全部分散/聚集处理时，MCU在NVIC中产生对应的DMA_DONE通道中断。

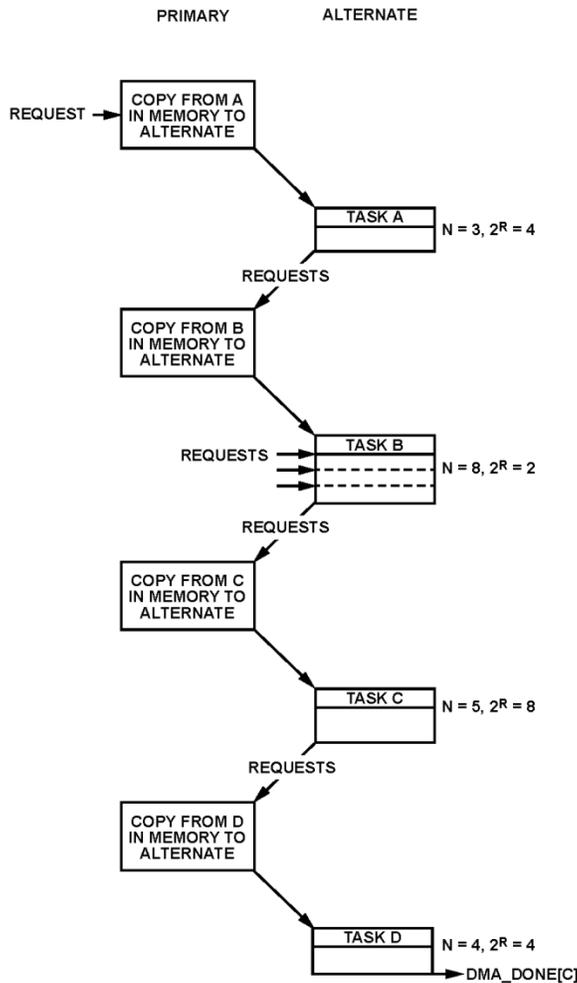
在外设分散/聚集模式下，控制器从外设接收到初始请求后，利用主要数据结构执行4次DMA传输，以设置备选控制数据结构。然后，控制器利用备选数据结构立即启动DMA周期，而不重新仲裁。

完成此周期之后，控制器重新仲裁；如果其从具有最高优先级的外设收到请求，则控制器利用主要数据结构再次执行4次DMA传输。然后，控制器利用备选数据结构立即启动DMA周期，而不重新仲裁。控制器不停地交替使用主要数据结构和备选数据结构，直至处理器将备选数据结构配置为基本周期或者DMA读取到无效数据结构。

表195列出了主要数据结构的CHNL_CFG存储器位置字段；对于外设分散/聚集模式，这些字段必须写入定值。此模式如图47所示。

表195. 外设分散/聚集模式下主要数据结构的CHNL_CFG, CHNL_CFG位[2:0] = 110

位	名称	描述
[31:30]	DST_INC	设置为10, 配置控制器对地址使用字增量。
[29:28]	保留	未定义。写入0。
[27:26]	SRC_INC	设置为10, 配置控制器对地址使用字增量。
[25:24]	SRC_SIZE	设置为10, 配置控制器使用字传输。
[23:18]	保留	未定义。写入0。
[17:14]	R_POWER	设置为0010, 表示DMA控制器执行了4次传输而不重新仲裁。
[13:4]	N_MINUS_1	配置控制器执行N次DMA传输, 其中N为4的倍数。
3	保留	未定义。写入0。
[2:0]	CYCLE_CTRL	设置为110, 配置控制器执行外设分散/聚集DMA周期。



NOTES
 1. FOR ALL PRIMARY TO ALTERNATE TRANSITIONS, THE CONTROLLER DOES NOT ENTER THE ARBITRATION PROCESS AND IMMEDIATELY PERFORMS THE DMA TRANSFER THAT THE ALTERNATE CHANNEL CONTROL DATA STRUCTURE SPECIFIES.

16675-041

图47. 外设分散/聚集式DMA传输

DMA中断和异常

错误管理

发生DMA错误时，DMA控制器会向内核生成错误中断。总线错误或无效描述符获取可能引起DMA错误。获取描述符或执行数据传输时，可能发生总线错误。读取或写入保留地址位置时，可能发生总线错误。

发生总线错误时，故障通道会被自动禁用，并设置ERRCHNL_CLR寄存器中的相应状态位。若NVIC中使能了DMA错误，则该错误还会产生一个中断。此外，相应通道的CHNL_CFG数据结构会更新为最新的N计数。用户可以检查N计数以确定在总线错误之前发生了多少次数据传输。

当控制器取到无效描述符时，故障通道会被自动禁用，并设置INVALIDDESC_CLR寄存器中的相应状态位。若NVIC中使能了DMA错误，则该错误还会产生一个中断。

地址计算

DMA控制器根据SRC_END_PTR的内容、CHNL_CFG中的来源地址增量设置和CHNL_CFG位[13:4](N_MINUS_1)的当前值计算来源读取地址。同样，目标写入地址根据DST_END_PTR的内容、CHNL_CFG中的目标地址增量设置和CHNL_CFG位[13:4]的当前值来计算。在以下示例代码中，N_MINUS_1为针对该通道配置的传输次数减1。

```
Source Read Address = SRC_END_PTR - (N_MINUS_1 << (SRC_INC)) for SRC_INC = 0, 1, 2
Source Read Address = SRC_END_PTR for SRC_INC = 3
Destination Write Address = DST_END_PTR - (N_MINUS_1 << (DST_INC)) for DST_INC = 0, 1, 2
Destination Write Address = DST_END_PTR for DST_INC = 3
```

地址递减

可以为来源地址和目标地址使能地址递减。设置SRCADDR_SET寄存器中的相应位，可以使能通道的来源地址递减。同样，设置DSTADDR_SET寄存器中的相应位，可以使能通道的目标地址递减。写入来源数据结束指针(SRC_END_PTR)和目标数据结束指针(DST_END_PTR)的值仍用作DMA周期中最后一次传输的地址。但是，起始地址的计算方式与来源读取或目标写入的地址增量方案不同。

在以下计算中，N_MINUS_1是当前要完成的传输次数。此外，任何通道不得同时使用字节交换和地址递减。如果同时使用，DMA数据传输操作将无法预测。图48显示了来源和目标递减的所有组合及其数据移动方向。

如果在通道的SRCADDR_SET寄存器中设置了来源递减位，则其来源地址计算如下：

```
Source Read Address = SRC_END_PTR + (N_MINUS_1 << (SRC_INC)) for SRC_INC = 0, 1, 2
```

或

```
Source Read Address = SRC_END_PTR for SRC_INC = 3
```

如果在通道的DSTADDR_SET寄存器中设置了目标递减位，则其来源地址计算如下：

```
Destination Write Address = DST_END_PTR + (N_MINUS_1 << (DST_INC)) for DST_INC = 0, 1, 2
```

或

```
Destination Write Address = DST_END_PTR for DST_INC = 3
```

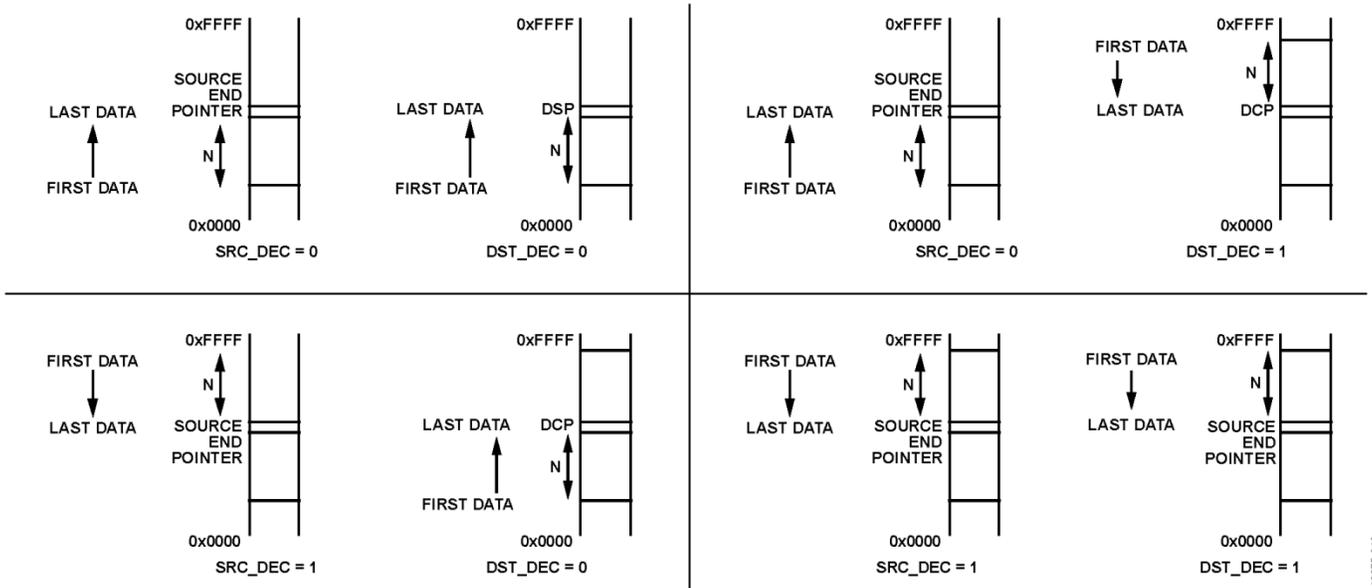


图48. 镜像递减

中止DMA传输

写入EN_CLR寄存器中与要中止的通道对应的位，可以中止正在进行的DMA传输。请勿将CFG设置为0，因为此操作可能会破坏DMA结构。

字节序操作

默认情况下，DMA控制器使用小端方法执行传输。但是，通过设置BS_SET寄存器中的相应通道位，可以更改此默认行为。字节序操作称为字节交换。

禁用字节交换

字节交换默认禁用，在这种情况下，数据传输被视为小端式。从外设到达的数据从32位字的LSB开始按顺序放置。例如，如果16字节的数据以0x01（开始）、0x02、0x03、0x04...0x0F、0x10的形式到达SPI，则DMA按如下方式将其存储在存储器中：

```
04_03_02_01
08_07_06_05
0C_0B_0A_09
10_0F_0E_0D
```

使能字节交换

字节交换发生在32位数据边界上。传输大小必须是4的倍数。任何通道不得同时使用字节交换和地址递减。如果同时使用，DMA数据传输操作将无法预测。使用字节交换时，确保全部数据传输的来源数据地址始终不变。字节交换功能与DMA传输大小无关，可以是8位、16位或32位。

如果16字节的数据以0x01（开始）、0x02、0x03、0x04...0x0F、0x10的形式到达SPI，则DMA按如下方式将数据存储在存储器中：

```
01_02_03_04
05_06_07_08
09_0A_0B_0C
0D_0E_0F_10
```

DMA通道使能和禁用

发出DMA请求之前，必须使能DMA通道。否则，对相应通道的DMA请求将被作为DMA_DONE中断驱动。写入EN_SET寄存器中的相应位可以使任一DMA通道。当生成相应的DMA_DONE中断时，DMA控制器禁用该通道。但是，用户可以通过写入EN_CLR寄存器中的相应位来禁用任何通道。

当一个通道被禁用时，基于DMA控制器的当前状态，该通道执行以下操作之一：

- 如果用户禁用该通道，并且该通道没有任何待处理的请求，则会立即将其禁用。
- 如果用户禁用了未被服务的通道，但是其请求已发出，则其未处理请求将被清除，并且该通道立即被禁用。
- 如果用户禁用仲裁后已选择但尚未开始传输的通道，控制器将完成仲裁周期，然后禁用该通道。
- 如果用户在通道正接受服务时禁用该通道，控制器将完成当前仲裁周期。

DMA主机使能

CFG的位0用作DMA控制器的软复位。仅当该位设置为1时，才能执行DMA控制器中的任何活动。将该位清0会清除控制器中所有缓存的描述符，并复位控制器。

关断注意事项

在关闭芯片电源使其进入休眠模式之前，应完成所有正在进行的DMA传输。但是，如果用户决定尽快休眠（忽略当前数据传输），则必须在进入休眠模式之前通过清除CFG位0来禁用DMA控制器。如果在DMA传输正进行时选择了休眠模式，传输将中断。DMA回到禁用状态。休眠或上电复位后，必须通过设置CFG的位0再次使能DMA。

在休眠模式下，以下DMA寄存器内容会被保留：

- PDBPTR
- ADBPTR
- RMSK_SET
- RMSK_CLR
- PRI_SET
- PRI_CLR
- BS_SET
- BS_CLR
- SRCADDR_SET
- SRCADDR_CLR
- DSTADDR_SET
- DSTADDR_CLR

寄存器汇总：DMA

表196. DMA寄存器汇总

地址	名称	描述	复位	访问类型
0x40010000	STAT	状态	0x00180000	R
0x40010004	CFG	配置	0x00000000	W
0x40010008	PDBPTR	通道主要控制数据基指针	0x00000000	R/W
0x4001000C	ADBPTR	通道备选控制数据基指针	0x00000200	R
0x40010014	SWREQ	通道软件请求	0x00000000	W
0x40010020	RMSK_SET	通道请求屏蔽设置	0x00000000	R/W
0x40010024	RMSK_CLR	通道请求屏蔽清零	0x00000000	W
0x40010028	EN_SET	通道使能设置	0x00000000	R/W
0x4001002C	EN_CLR	通道使能清零	0x00000000	W
0x40010030	ALT_SET	通道主要/备选设置	0x00000000	R/W
0x40010034	ALT_CLR	通道主要/备选清零	0x00000000	W
0x40010038	PRI_SET	通道优先级设置	0x00000000	W
0x4001003C	PRI_CLR	通道优先级清零	0x00000000	W
0x40010048	ERR_CLR	总线错误清零	0x00000000	R/W
0x4001004C	ERRCHNL_CLR	每通道总线错误	0x00000000	R/W
0x40010050	INVALIDDESC_CLR	每通道无效描述符清零	0x00000000	R/W
0x40010800	BS_SET	通道字节交换使能设置	0x00000000	R/W
0x40010804	BS_CLR	通道字节交换使能清零	0x00000000	W
0x40010810	SRCADDR_SET	通道来源地址递减使能设置	0x00000000	R/W
0x40010814	SRCADDR_CLR	通道来源地址递减使能清零	0x00000000	W
0x40010818	DSTADDR_SET	通道目标地址递减使能设置	0x00000000	R/W
0x4001081C	DSTADDR_CLR	通道目标地址递减使能清零	0x00000000	W
0x400C2008	FIFO_CON	FIFO配置	0x00001010	R/W
0x400C206C	DATAFIFORD	数据FIFO读取	0x00000000	R

寄存器详解：DMA

状态寄存器

地址：0x40010000；复位：0x00180000；名称：STAT

表197. STAT位功能描述

位	位名称	设置	描述	复位	访问类型
[31:21]	保留		保留。	0x000	R
[20:16]	CHANM1		可用DMA通道数减1。24个通道可用，寄存器回读值为0x17。	0x18	R
[15:1]	保留		保留。	0x000	R
0	MEN		控制器使能状态。 0 控制器已禁用。 1 控制器已使能。	0x0	R

配置寄存器

地址：0x40010004；复位：0x00000000；名称：CFG

表198. CFG位功能描述

位	位名称	设置	描述	复位	访问类型
[31:1]	保留		保留。	0x00000000	R
0	MEN		控制器使能。 0 禁用控制器。 1 使能控制器。	0x0	W

通道主要控制数据基指针寄存器

地址：0x40010008；复位：0x00000000；名称：PDBPTR

PDBPTR寄存器必须设置为指向系统存储器中的通道主要控制数据基指针。必须赋予DMA控制器的系统存储器量取决于所用的DMA通道数以及是否使用备选通道控制数据结构。当DMA控制器处于复位状态时，无法读取此寄存器。

表199. PDBPTR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:0]	地址		指向主要数据结构基址的指针。5 + log ₂ M LSB被保留，必须写入0；M为通道数。	0x0000 0000	R/W

通道备选控制数据基指针寄存器

地址：0x4001000C；复位：0x00000200；名称：ADBPTR

ADBPTR只读寄存器返回备选通道控制数据结构的基址。此寄存器使得应用软件无需计算备选数据结构的基址。当DMA控制器处于复位状态时，无法读取此寄存器。

表200. ADBPTR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:0]	地址		备选数据结构的基址。	0x200	R

通道软件请求寄存器

地址：0x40010014；复位：0x00000000；名称：SWREQ

SWREQ寄存器用于使能软件DMA请求的产生。该寄存器的每一位代表DMA控制器中的对应通道。M为DMA通道数。

表201. SWREQ位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		产生软件请求。将适当的位置1即可在对应的DMA通道上产生软件DMA请求。位0对应DMA通道0。位M-1对应DMA通道M-1。完成对应的软件请求之后，这些位自动由硬件清零。 0 没有为通道C创建DMA请求。 1 已为通道C创建DMA请求。	0x000000	W

通道请求屏蔽设置寄存器

地址：0x40010020；复位：0x00000000；名称：RMSK_SET

表202. RMSK_SET位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		DMA通道的屏蔽请求。此寄存器禁用外设的DMA请求。该寄存器的每一位代表DMA控制器中的对应通道。将适当的位置1即可屏蔽对应DMA通道的请求。位0对应DMA通道0。位M-1对应DMA通道M-1。 0 读取0时，通道C的请求已使能。写入0时无作用。 1 读取1时，通道C的请求已禁用。写入1时，禁止与通道C相关的外设产生DMA请求。	0x000000	R/W

通道请求屏蔽清零寄存器

地址：0x40010024；复位：0x00000000；名称：RMSK_CLR

表203. RMSK_CLR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		清除请求屏蔽设置位。此寄存器通过清除RMSK_SET寄存器设置的屏蔽来使能外设的DMA请求。该寄存器的每一位代表DMA控制器中的对应通道。将适当的位置1即可将RMSK_SET位[23:0]中对应的位清0。位0对应DMA通道0。位M-1对应DMA通道M-1。 0 不起作用。使用RMSK_SET寄存器禁用DMA请求。 1 使能与通道C相关的外设产生DMA请求。	0x000000	W

通道使能设置寄存器

地址：0x40010028；复位：0x00000000；名称：EN_SET

表204. EN_SET位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		使能DMA通道。此寄存器用于使能DMA通道。读取该寄存器将返回通道的使能状态。该寄存器的每一位代表DMA控制器中的对应通道。将适当的位置1即可使能对应的通道。位0对应DMA通道0。位M-1对应DMA通道M-1。 0 读取0时，通道C已禁用。写入0时无作用。使用EN_CLR寄存器禁用该通道。 1 读取1时，通道C已使能。写入1时使能通道C。	0x000000	R/W

通道使能清零寄存器

地址：0x4001002C；复位：0x00000000；名称：EN_CLR

表205. EN_CLR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		禁用DMA通道。此寄存器用于禁用DMA通道。此寄存器是只写寄存器。该寄存器的每一位代表DMA控制器中的对应通道。当控制器完成DMA周期时，它会自动禁用通道，即把相应的位置1。将适当的位置1即可禁用对应的通道。位0对应DMA通道0。位M-1对应DMA通道M-1。 0 不起作用。使用EN_SET寄存器使能该通道。 1 禁用通道C。	0x000000	W

通道主要/备选设置寄存器

地址：0x40010030；复位：0x00000000；名称：ALT_SET

ALT_SET寄存器用于将适当的DMA通道配置为使用备选控制数据结构。读取该寄存器将返回对应DMA通道正在使用何种数据结构的状态信息。该寄存器的每一位代表DMA控制器中的对应通道。对于乒乓式、存储器分散/聚集式和外设分散/聚集式传输，DMA控制器会视需要自动将这些位置1/清0。

表206. ALT_SET位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		控制结构状态和选择备用结构。返回通道控制数据结构状态，或者为对应DMA通道选择备选数据结构。位0对应DMA通道0。位M-1对应DMA通道M-1。 0 读取0时，DMA通道C使用主要数据结构。写入0时无作用。使用ALT_CLR寄存器将通道C设置为0。 1 读取1时，DMA通道C使用备选数据结构。写入1时，选择通道C的备选数据结构。	0x000000	R/W

通道主要/备选清零寄存器

地址：0x40010034；复位：0x00000000；名称：ALT_CLR

ALT_CLR只写寄存器用于将适当的DMA通道配置为使用主要控制数据结构。该寄存器的每一位代表DMA控制器中的对应通道。对于乒乓式、存储器分散/聚集式和外设分散/聚集式传输，DMA控制器会视需要自动将这些位置1/清0。

表207. ALT_CLR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		选择主要数据结构。将适当的位置1即可为对应DMA通道选择主要数据结构。位0对应DMA通道0。位M-1对应DMA通道M-1。 0 不起作用。使用ALT_SET寄存器选择备选数据结构。 1 为通道C选择主要数据结构。	0x000000	W

通道优先级设置寄存器

地址：0x40010038；复位：0x00000000；名称：PRI_SET

表208. PRI_SET位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		配置通道优先级。此寄存器用于将一个DMA通道配置为使用高优先级。读取该寄存器将返回通道优先级屏蔽的状态。该寄存器的每一位代表DMA控制器中的对应通道。此寄存器返回通道优先级屏蔽状态，或者将通道优先级设置为高。位0对应DMA通道0。位M-1对应DMA通道M-1。 0 读取0时，DMA通道C使用默认优先级。写入0时无作用。使用PRI_CLR寄存器将通道C设置为默认优先级。 1 DMA通道C使用高优先级。	0x000000	W

通道优先级清零寄存器

地址：0x4001003C；复位：0x00000000；名称：PRI_CLR

表209. PRI_CLR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHPRICLR		将通道配置为默认优先级。此只写寄存器用于将一个DMA通道配置为使用默认优先级。该寄存器的每一位代表DMA控制器中的对应通道。将适当的位置1即可为对应DMA通道选择默认优先级。位0对应DMA通道0。位M-1对应DMA通道M-1。 0 不起作用。使用PRI_SET寄存器将通道C设置为高优先级。 1 通道C使用默认优先级。	0x000000	W

总线错误清零寄存器

地址：0x40010048；复位：0x00000000；名称：ERR_CLR

表210. ERR_CLR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		总线错误状态。此寄存器用于读取和清除DMA总线错误状态。如果控制器在执行传输时遇到总线错误，或者读取到无效描述符（其周期控制为0b000），就会设置错误状态。如果一个通道发生总线错误或读取到无效周期控制，控制器会自动禁用该通道。其它通道不受影响。写入1可将此位清0。 0 读取0时，未发生总线错误或无效周期控制。写入0时无作用。 1 读取1时，总线错误或无效周期控制待处理。写入1时，位清0。	0x000000	R/W1C

每通道总线错误寄存器

地址：0x4001004C；复位：0x00000000；名称：ERRCHNL_CLR

表211. ERRCHNL_CLR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		每通道总线错误状态和每通道总线错误清零。此寄存器用于读取和清除每通道DMA总线错误状态。如果控制器在执行传输时遇到总线错误，就会设置错误状态。如果一个通道发生总线错误，控制器会自动禁用该通道。其它通道不受影响。写入1可将此位清0。 0 读取0时，未发生总线错误。写入0时无作用。 1 读取1时，总线错误控制待处理。写入1时，位清0。	0x000000	R/W1C

每通道无效描述符清除寄存器

地址：0x40010050；复位：0x00000000；名称：INVALIDDESC_CLR

表212. INVALIDDESC_CLR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		每通道无效描述符状态和每通道无效描述符状态清除。此寄存器用于读取和清除每通道DMA无效描述符状态。如果控制器读取无效描述符（其周期控制为0b000），则设置每通道无效描述符状态。如果控制器读取某个通道的无效周期控制，控制器会自动禁用该通道。其它通道不受影响。写入1可将此位清0。 0 读取0时，未发生无效周期控制。写入0时无作用。 1 读取1时，无效周期控制待处理。写入1时，位清0。	0x000000	R/W1C

通道字节交换使能设置寄存器

地址：0x40010800；复位：0x00000000；名称：BS_SET

表213. BS_SET位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		字节交换状态。此寄存器用于配置DMA通道使用字节交换。该寄存器的每一位代表DMA控制器中的对应通道。位0对应DMA通道0。位M-1对应DMA通道M-1。 0 读取0时，通道C字节交换已禁用。写入0时无作用。 1 读取1时，通道C字节交换已使能。写入1时，使能通道C上的字节交换。	0x000000	R/W

通道字节交换使能清零寄存器

地址：0x40010804；复位：0x00000000；名称：BS_CLR

表214. BS_CLR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		禁用字节交换。BS_CLR只写寄存器用于将一个DMA通道配置为不使用字节交换，而使用默认操作。该寄存器的每一位代表DMA控制器中的对应通道。位0对应DMA通道0。位M-1对应DMA通道M-1。 0 不起作用。使用BS_SET寄存器使能通道C的字节交换。 1 禁用通道C的字节交换。	0x000000	W

通道来源地址递减使能设置寄存器

地址：0x40010810；复位：0x00000000；名称：SRCADDR_SET

表215. SRCADDR_SET位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		来源地址递减状态和配置来源地址递减。SRCADDR_SET寄存器用于将DMA通道的来源地址配置为递减该地址，而不是在每次访问后递增该地址。该寄存器的每一位代表DMA控制器中的对应通道。位0对应DMA通道0。位M-1对应DMA通道M-1。 0 读取0时，通道C来源地址递减已禁用。写入0时无作用。使用SRCADDR_CLR寄存器禁用通道C的来源地址递减。 1 读取1时，通道C来源地址递减已使能。写入1时，使能通道C的来源地址递减。	0x000000	R/W

通道来源地址递减使能清零寄存器

地址：0x40010814；复位：0x00000000；名称：SRCADDR_CLR

表216. SRCADDR_CLR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		禁用来源地址递减。此寄存器用于配置DMA通道使用递增模式下的默认来源地址。该寄存器的每一位代表DMA控制器中的对应通道。位0对应DMA通道0。位M-1对应DMA通道M-1。 0 不起作用。使用SRCADDR_SET寄存器使能通道C的来源地址递减。 1 禁用通道C的来源地址递减。	0x000000	W

通道目标地址递减使能设置寄存器

地址：0x40010818；复位：0x00000000；名称：DSTADDR_SET

表217. DSTADDR_SET位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		目标地址递减状态和配置目标地址递减。DSTADDR_SET寄存器用于将DMA通道的目标地址配置为递减该地址，而不是在每次访问后递增该地址。该寄存器的每一位代表DMA控制器中的对应通道。位0对应DMA通道0。位M-1对应DMA通道M-1。 0 读取0时，通道C目标地址递减已禁用。写入0时无作用。使用DSTADDR_CLR寄存器禁用通道C的目标地址递减。 1 读取1时，通道C目标地址递减已使能。写入1时，使能通道C的目标地址递减。	0x000000	R/W

通道目标地址递减使能清零寄存器

地址：0x4001081C；复位：0x00000000；名称：DSTADDR_CLR

表218. DSTADDR_CLR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:24]	保留		保留。	0x00	R
[23:0]	CHAN		禁用目标地址递减。此寄存器用于配置DMA通道使用递增模式下的默认目标地址。该寄存器的每一位代表DMA控制器中的对应通道。位0对应DMA通道0。位M-1对应DMA通道M-1。 0 不起作用。使用DSTADDR_SET寄存器使能通道C的目标地址递减。 1 禁用通道C的目标地址递减。	0x000000	W

FIFO配置寄存器

地址：0x400C2008；复位：0x00001010；名称：FIFOCON

表219. FIFOCON位功能描述

位	位名称	设置	描述	复位	访问类型
[31:16]	保留		保留。	0x0	R
[15:13]	DATAFIFOSRCSEL	000、001、 110、111 010 011 100 101	选择数据FIFO的来源。 ADC数据。ADC数据为sinc3滤波器的输出。 DFT数据，18位实部和18位虚部。 Sinc2输出。 统计方差输出。 统计均值结果。	0x0	R/W
12	DATAFIFODMAREQEN	0 1	使能数据FIFO DMA通道。 禁用对数据FIFO的DMA请求。 使能对数据FIFO的DMA请求。	0x1	R/W
11	DATAFIFOEN	0 1	数据FIFO使能。 FIFO复位。不能进行任何数据传输。将读指针和写指针设置为默认值（空FIFO）。状态指示FIFO是否为空。 正常工作。FIFO未复位。	0x0	R/W
[10:0]	保留		保留。	0x10	R

数据FIFO读寄存器

地址：0x400C206C；复位：0x00000000；名称：DATAFIFORD

表220. DATAFIFORD位功能描述

位	位名称	设置	描述	复位	访问类型
[31:25]	ECC		低25位的ECC。	0x0	R
[24:18]	保留		保留。	0x0	R
[17:0]	DATAFIFOOUT		数据FIFO读取。如果数据FIFO为空，读取该寄存器将返回0x00000000。	0x0	R

闪存控制器

闪存控制器特性

ADuCM355处理器包含128 kB嵌入式闪存，可通过闪存控制器加以访问。嵌入式闪存具有72位宽数据总线，每次访问提供两个32位字的数据和一个对应的8位ECC字节。

闪存控制器与缓存控制器模块耦合，缓存控制器模块提供两个Arm高速总线(AHB)端口：一个用于读取数据(DCode)，另一个用于读取指令(ICode)。闪存控制器中实现了一种预取机制来优化ICode读取性能。

闪存写操作受密钥孔密钥孔机制支持，通过Arm外设总线(APB)写入存储器映射寄存器。闪存控制器支持基于DMA的密钥孔密钥孔写操作。

闪存控制器概述

闪存控制器具有如下特性：

- 当读取ICode接口上的连续地址时，预取缓冲器提供最佳性能。
- ICode和DCode读访问同时进行。当争用时，DCode具有优先权。如果ICode从预取中返回缓冲数据，则可以同时读取。
- 基于DMA的密钥孔密钥孔写操作，包括用于顺序访问的地址自动递增。
- ECC用于错误检测和纠正。错误和纠正可以作为ICode或DCode总线上的总线错误报告，产生中断或予以忽略。

支持的命令

闪存控制器支持如下命令：

- 读取通过ICode和DCode接口支持。
- 写入由密钥孔密钥孔机制通过存储器映射寄存器提供。
- 批量擦除。清除所有用户数据和程序代码。
- 页面擦除。从闪存的2 kB页面中清除用户数据或程序代码。
- 签名。为用户数据或程序代码的任何连续整页集合生成并验证签名。
- 中止。终止正在执行的命令。

保护和完整性特性

保护和完整性特性包括如下：

- 固定用户密钥，这是执行受保护命令（包括批量擦除和页擦除）所需要的。
- 可选且用户可定义的用户可访问存储器写保护。
- 可选8位ECC。由用户代码使能，默认禁用。

闪存控制器工作原理

128 kB的闪存块可用于存放用户代码和数据，范围从0到0x1FFFF。不能在擦除闪存页面的同时执行闪存。闪存提供64位数据总线，外加8位用于对应的ECC元数据。存储器按页组织，每页大小为2 kB，并为ECC保留了256个字节。有关闪存的详细信息，参见图49；有关闪存页面结构的完整概览，参见图50。

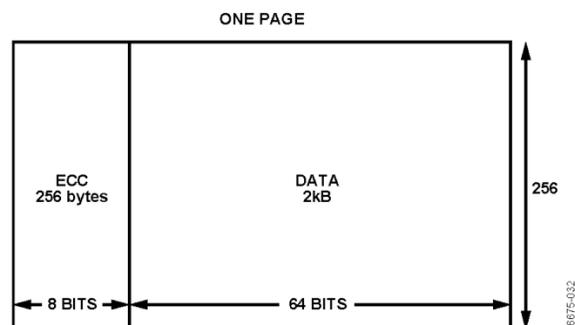


图49. ADuCM355闪存页面结构

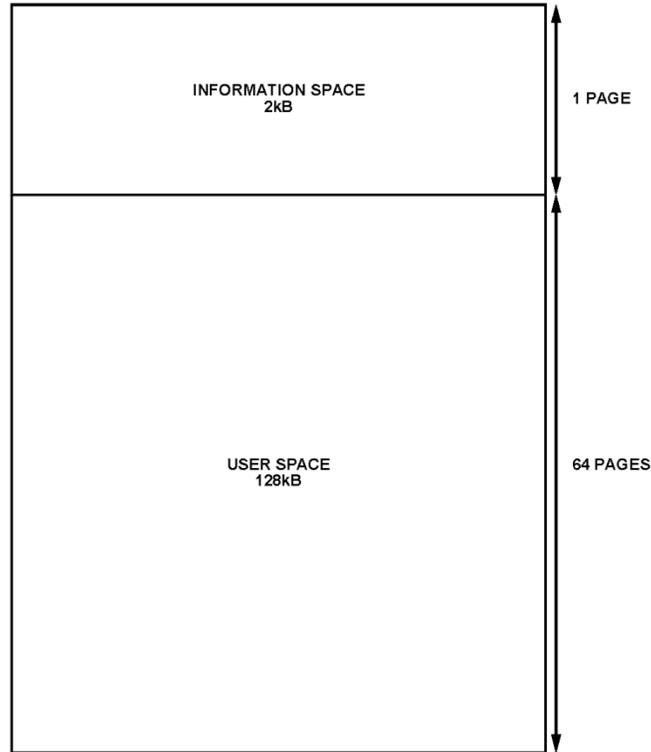


图50. ADuCM355闪存结构

闪存结构

存储页面分为两部分：信息空间和用户空间。器件总存储量一般仅指用户空间的大小。

信息空间

信息空间是保留给ADI公司使用的，一般存储启动程序（内核）、一些调整和校准值以及其他器件特定的元数据。用户代码可读取除顶部128个字节外的信息空间，但尝试擦除和写入操作会被拒绝。如果用户代码试图读取受保护的信息空间范围，也会产生总线错误。其他只读元数据可以在信息空间范围内提供给用户使用，但它是软件定义的。因此，闪存控制器未定义地址和数据类型。

除了顶部128个字节的受保护空间，其余信息空间可由用户代码自由读取。用户无法对信息空间进行编程或擦除，这些命令会被拒绝。用户代码可以对ADuCM355执行批量擦除命令，而不会影响信息空间的内容。这种批量擦除提供了一种将新的用户固件和数据上传到器件而不影响启动加载程序的机制。用户可访问的信息空间如图51所示。

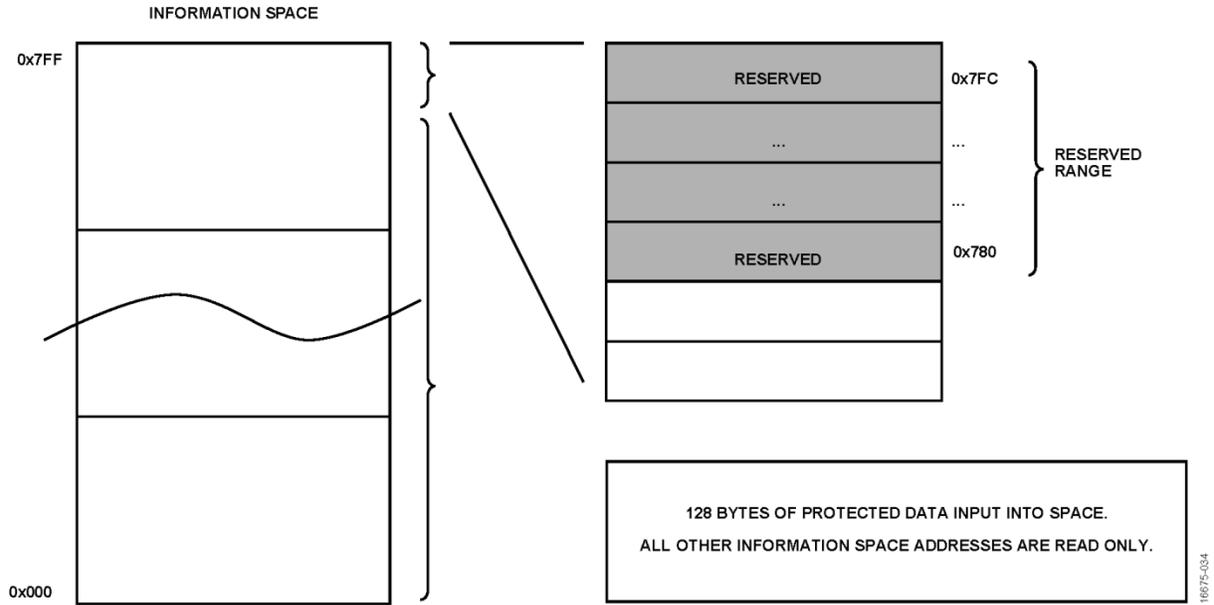


图51. 信息空间用户可访问区域

用户空间元数据

用户空间是闪存中用于存储用户数据和程序代码的部分。闪存控制器将用户空间中的几个小地址范围用作元数据，以提供各种保护和完整性特性。

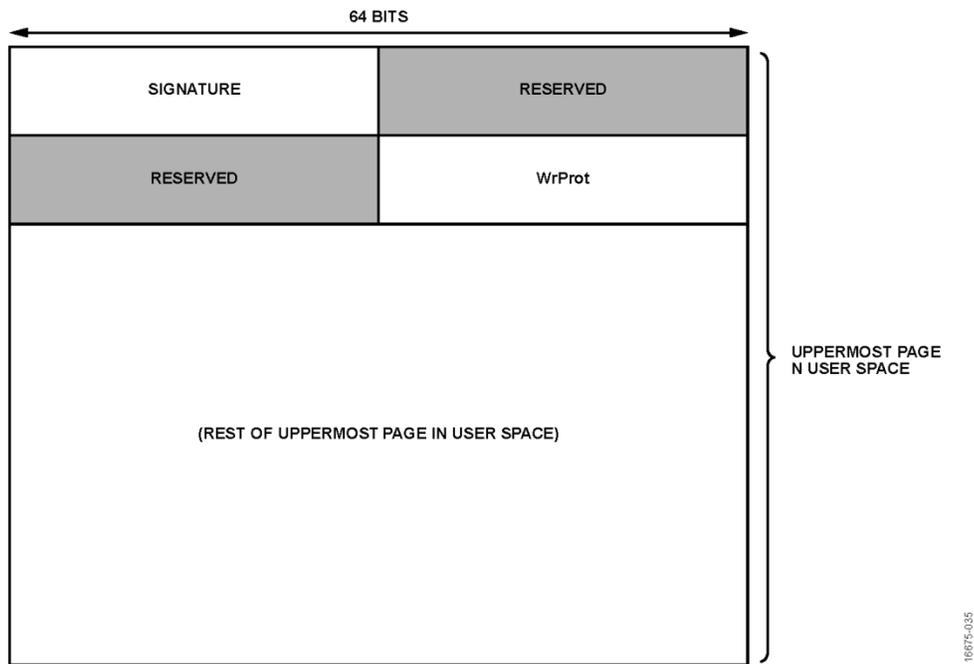


图52. ADuCM355 闪存结构, 第64页顶部, 地址0x1F800至0x1FFFF

写入这些位置时，用户必须始终将0xFFFFFFFF写入保留位置。如果用户打算在运行时写入任一位置，应确保这些保留位置保持全1 (0xFFFFFFFF)。如果在对相邻元数据杂散进行运行时修改之前将数据存储到这些保留位置，则读取此元数据时很可能产生ECC错误。

闪存控制器利用元数据的前四个保留字来使能保护和完整性特性。有关这些特性的更多信息，参阅“保护和完整性”部分。

闪存访问

用户代码可以读取、写入和擦除闪存。读访问通过缓存控制器提供，使用两个AHB端口（如图53所示）：ICode用于指令，DCode用于数据。写访问通过密钥孔密钥孔写操作提供，使用存储器映射寄存器的APB控制。密钥孔密钥孔写操作实现支持基于DMA的写操作和用户手动发起的写操作。

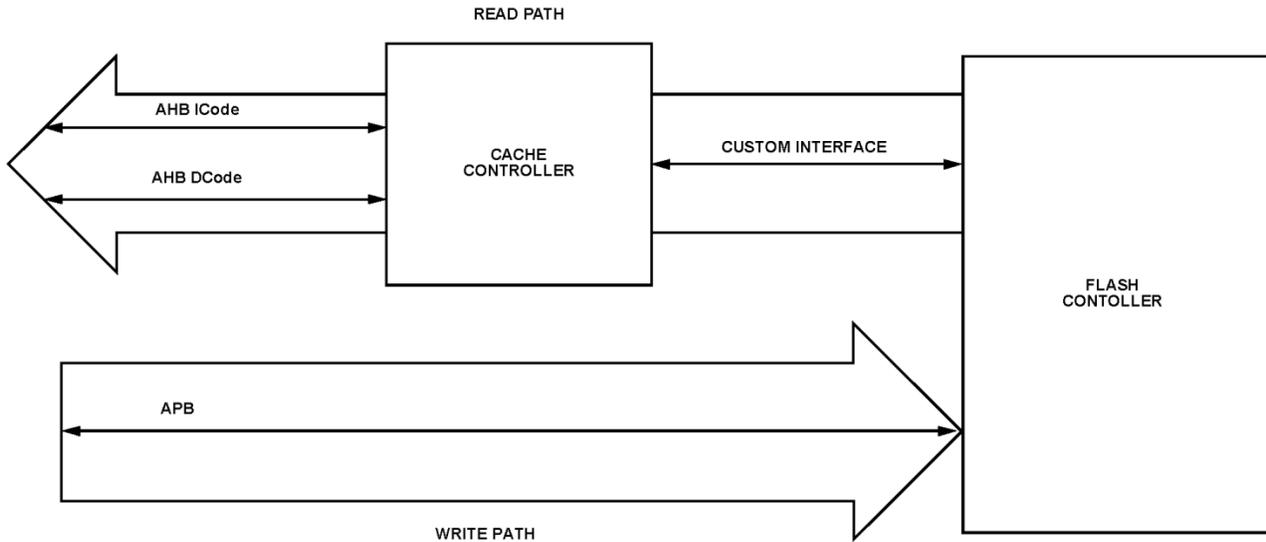


图53. 闪存读取和写入数据路径

如果用户代码读取受保护或超出范围的地址，则会产生总线错误。写入或擦除受保护的地址会导致状态寄存器中的相应错误标志设置。写入和擦除操作的地址设置会自动限制在闪存地址范围内。

读取闪存

闪存控制器提供两个接口用于读取非易失性存储器：ICode和DCode。通过缓存控制器模块的AHB访问ICode和DCode接口。闪存控制器包括一个用于ICode的预取缓冲器，同一周期中可以在ICode和DCode接口上同时返回数据。

只有经过原子式初始化过程之后，才能读取闪存。在闪存控制器初始化期间的读操作会被暂停。如果闪存控制器正在忙于执行另一条命令（例如写入闪存），读操作也会暂停，除非预取缓冲器满足这些读取要求。

擦除闪存

通过“擦除页面”命令擦除用户空间时，闪存控制器提供页面级粒度。或者，用户代码可以使用批量擦除命令一次擦除整个用户空间。这两个命令的执行时间相同。

写保护页面无法被擦除，擦除命令会被拒绝。写保护页面也会拒绝批量擦除命令。

写入闪存

擦除闪存时，各位置1；写入数据时，选择性地将相关位清0。没有写操作能将任何位设置为1。因此，一般写访问必须前置一个擦除操作。

用户内容的初始上传一般在批量擦除操作之后立即发生。闪存中已写入位置的后续修改一般是在使用用户代码进行选择性页面擦除操作之后进行。在此过程中，用户必须将整个页面复制到SRAM，擦除受影响的页面，修改存储器中的内容，最终将页面写回到闪存中。

用户空间保护可以阻止页面擦除操作（参阅“保护和完整性”部分）。批量擦除或空白检查后，所有用户空间保护均将自动清除。请注意，仅当所有用户空间都已被擦除后，空白检查才能通过。在这两种情况下，没有用户空间内容受保护。

密钥孔密钥孔写操作

密钥孔密钥孔写操作是一种间接写操作，其中用户代码将目标地址和数据值写入存储器映射寄存器，然后命令闪存控制器在后台执行写操作。闪存控制器仅支持通过密钥孔写操作对闪存进行写访问。对写访问的这种约束使得闪存控制器可以保证写操作以原子式数据字（64位）正确执行，并带有关联的ECC字节（如果使能的话，参见“保护和完整性”部分）。

如果使能了ECC，则在两次写操作之间不擦除受影响页面的情况下，无法对单个数据字位置进行多次写操作，否则会报告ECC错误。根据闪存知识产权(IP)规范，无论ECC或数据值如何，擦除操作之间最多可对单个闪存位置（数据字）进行两次写操作。每次擦除时，对任何位置写入两次以上会损坏非易失性存储器或缩短其使用寿命。如果每个位置需要多次写操作，应禁用闪存某些区域的ECC，并将该区域作为写操作的目标位置。

密钥孔密钥孔操作包括对以下位的写操作：

- KH_ADDR位[18:3]。闪存中的目标地址（例如0x104）。闪存控制器自动修整低位以使地址数据字对齐。
- KH_DATA0位[31:0]。要写入的64位数据字的低32位（例如0x76543210）。
- KH_DATA1位[31:0]。要写入的64位数据字的高32位（例如0xFEDCBA98）。
- CMD位[3:0]。在闪存中置位写命令。

置位写命令后，闪存控制器启动对KH_ADDR位[18:3]中所提供地址的64位双字写操作。不支持字（32位）、半字（16位）和字节（8位）写操作。由于仅将0写入闪存，因此如果用户考虑了ECC，则可以根据需要使用屏蔽来写入各个位或字节。

使能DMA访问（UCFG位0置1）时，请勿写入任何密钥孔寄存器。在使能DMA的情况下手动写入这些寄存器可能会导致杂散闪存写操作，使DMA和闪存控制器失去同步，这可能会使DMA控制器长时间暂停（约20 μ s至40 μ s）。

突发写操作

闪存的每2 kB页面由八行（每行256字节）组成。对闪存IP进行编程的设计约束使得单行内可以进行背靠背写操作，这比跨行边界的等效写操作能够更快地完成。为了优化写操作，应当以最大256个字节的对齐块写入闪存。例如，行0是从闪存偏移地址0x00到地址0xFC。类似地，行1023是从0x3FF00到0x3FFFC。

为了再次从这种写入性能中受益，必须在闪存控制器完成第一次写操作之前请求第二次和随后的64位写操作。当第一次64位写操作即将完成时，STAT位3标志会置1。此设置为用户代码提供了一个可管理的时间窗，在此期间可以置位下一写请求。置位该标志后，可以对其进行轮询，或者选择产生中断。表221对STAT位3(WRALCOMP)和其他可用状态标志有进一步说明。

表221. 状态标志

标志名称	描述
CMDBUSY	命令繁忙。控制器正在处理来自CMD寄存器的命令时为高电平。
WRCLOSE	密钥孔密钥孔关闭。在写命令的前半部分为高电平，当密钥孔密钥孔寄存器可以自由地针对后续写命令编程时清零。
CMDCOMP	命令完成。粘滞标志，命令完成时设置。写入1清0。
WRALCOMP	写操作接近完成。粘滞标志，当正在进行的写命令剩余约20 μ s至40 μ s时设置。写入1清0。

下表概述了执行多次写操作（可以在一行内执行突发操作）的过程：

1. 等待STAT位CMDBUSY标志清零，以确保先前的命令正常执行。
2. 禁用所有中断，使得对KH_ADDR寄存器、KH_DATA0寄存器、KH_DATA1寄存器和CMD寄存器的顺序写入不会被中断服务程序(ISR)中断，其中也可能有闪存写操作。
3. 通过密钥孔密钥孔访问请求第一个64位直写操作。
4. 将写命令写入CMD寄存器后，闪存控制器开始写入过程。
5. 读取STAT寄存器，查看是否设置了任何错误标志，从而检查写命令是否得到接受。如果命令产生错误，则不会执行写操作。
6. 设置IEN位1以在置位WRALCOMP时使能中断产生，并重新使能其他中断。
7. 继续用户程序。WRALCOMP中断向量指向中断服务程序，以在适当的时间请求下一次写入。

8. WRALCOMP产生中断时，将调用BurstWriteISR中断。
9. 禁用所有中断，使得对KH_ADDR寄存器、KH_DATA0寄存器、KH_DATA1寄存器和CMD寄存器的顺序写入不会被另一个ISR中断，其中也可能有闪存写操作。
10. 读取STAT寄存器，验证多个状态标志的状态。通过写回相同的值来清除标志，并确保状态位设置正确。WRALCOMP标志置1，表示对于突发写操作，仍有时间执行下一个写操作。CMDBUSY置1，表示当前写操作仍在进行中。CMDCOMP未置1，表示命令已经完成；因此，当前正在执行的命令不是较早的写命令（另一个功能已启动新命令）。WRCLOSE未置1。如果WRCLOSE置1，则密钥孔寄存器关闭，无法写入。当WRALCOMP置位时，WRCLOSE清零。
11. 如果不需要进一步写操作，则等待STAT位2置1，清除该位，然后退出子程序。
12. 写入KH_ADDR寄存器、KH_DATA0寄存器、KH_DATA1寄存器和CMD寄存器，通过密钥孔访问请求下一个64位双字直写操作。
13. 读取STAT寄存器，查看是否设置了任何错误标志，从而检查写命令是否得到接受。
14. 重新使能中断。
15. 退出ISR。

为防止损坏闪存，如果可能的话，应从SRAM执行对闪存进行很多次写访问的代码。如果需要访问ICode来获取下一条指令，则写操作会导致ICode读取暂停，从而降低性能。缓存控制器可以部分缓解这种性能下降的情况。

在突发写入期间，闪存控制器会使写操作重叠；因此，任何报告的写失败（例如由于写保护而导致的访问被拒绝）都可能反映两个重叠写操作中任何一个的状态。突发写失败应被解释为当前和先前的写入请求均失败。

DMA写操作

密钥孔写操作一般要求每次闪存写访问写入四个存储器映射寄存器。对于一系列顺序写操作中除第一个外的所有写操作，可选的地址自动递增特性可以将每个闪存写事务所需的APB流量减少到三个寄存器写操作（KH_DATA0、KH_DATA1和CMD）。第一个写操作需要设置起始地址。DMA写操作将APB事务数量减少到两个。每对KH_DATA0和KH_DATA1寄存器写操作都会导致单个闪存写命令执行，并且地址自动递增到下一个数据字。无论自动递增的值如何，DMA写操作总是以这种方式增加地址。

要执行基于DMA的写操作，用户代码必须首先配置DMA控制器（单独的外设模块）以进行基本访问。DMA模式支持与外设（包括闪存控制器）进行数据传输。设置DMA控制器模块后，它将处于空闲状态，直到闪存控制器将DMA请求信号变为有效为止。

用户代码必须手动写入KH_ADDR才能设置DMA写操作的初始目标地址。必须将DMA控制器配置为将所有输出数据写到KH_DATA1。对KH_DATA1的每对DMA写操作都执行一个闪存写命令，等待相应的延迟经过后，发出下一个DMA请求信号。

要启动闪存控制器从DMA控制器请求数据的过程，必须将闪存控制器配置为DMA访问。要使能DMA模式，用户代码必须设置UCFG位0。在使能DMA模式并且闪存控制器处于空闲状态之后，闪存控制器将DMA请求信号驱动到DMA模块。在适当的时间驱动DMA请求信号以支持突发写操作。当前写操作接近完成时，发出新的请求。有关DMA功能的更多信息，参见“DMA控制器”部分。

保护和完整性

信息空间的完整性

用户代码对信息空间的内容没有任何控制权。如果在上电复位时完整性检查失败，则将重复尝试该检查，直到发生了预设次数的尝试或完整性检查通过为止，这就为器件提供了从上电期间发生的电源故障中恢复的能力。对于所有其他复位（软件复位除外，这种复位不会重新初始化闪存控制器），完整性检查仅尝试一次。

如果信息空间完整性检查失败，则认为该器件已失效。将器件处理掉或退回ADI公司进行故障分析。如果未通过信息空间完整性检查，闪存控制器便进入特殊目的调试模式。在这种模式下，用户空间保护自动变为有效，并且会设置闪存控制器本地JTAG保护以允许JTAG（或其他串行线型接口）与ICode、DCode和APB接口进行交互。

在这种特殊目的调试模式下，会发生以下情况：

- 所有ICode读操作都返回总线错误。若不通过完整性检查，则不会从闪存执行代码。
- 所有对用户空间的DCode读操作都返回总线错误。
- 除顶部128个字节外，对信息空间的所有DCode读操作都被允许。读取顶部128个字节将返回总线错误。
- 所有写命令都被拒绝。写尝试会设置闪存缓存控制器STAT寄存器中的相应错误位。
- 只有满足安全性要求，才能旁路用户空间保护。

复位后的签名检查状态从STAT的位13读取。签名检查期间的ECC状态可从STAT的位[16:15]获得。如果使能了JTAG接口，这些值可通过普通JTAG读操作来读取。

用户空间保护

器件提供了两层用户空间保护。访问保护用于保护用户空间免受所有读或写操作的影响。该保护机制可以手动触发，但通常是在系统故障或串行线调试接口使能时自动变为有效。

写保护是一项用户特性，可保护用户空间页面的一些块，使其不受所有写或擦除命令的影响。写保护可以由用户在运行时设置，或由ADI引导加载程序设置。如果用户设置了保护，则用户将所需值存储在闪存中，以便引导加载程序在启动期间使用。

访问保护

访问保护可防止第三方通过JTAG或串行线读取或篡改用户数据和程序代码。访问保护适用于整个用户空间。当使能串行线调试或闪存初始化（信息空间签名检查）失败时，就会使能访问保护。串行线调试和闪存初始化的使能是自动特性，用户无需执行任何操作，这些机制会自动使能访问保护。

使能访问保护后，所有用户空间读操作都会返回总线错误，写操作被拒绝，擦除操作受WRPROT位[31:0]的限制。

执行MASSERASE或BLANKCHECK命令可以旁路访问保护。如果WRPROT寄存器被更改为非复位值，则不允许执行MASSERASE命令。BLANKCHECK命令始终可以执行，但仅当所有用户空间均已处于擦除状态时才能成功。

写保护

用户空间的用户可定义区域可以这样配置：闪存控制器拒绝任何对其进行修改的尝试，从而影响写入和擦除命令。写保护可以在运行时进行配置，或存储在用户空间元数据中，以便在器件启动期间由ADI引导加载程序加载。

运行时配置

写保护通过修改WRPROT存储器映射寄存器来配置。WRPROT寄存器中的字位是一个32位宽的位域，代表用户空间页面的32个大小类似块的写保护状态。闪存分为128页的用户空间存储区。为了设置写保护，这些页面在逻辑上分为32个块，每个块四个页面。对于这32个块，写保护是独立控制的，WRPROT的每一位控制唯一一块（用户空间的四个页面）的保护机制。WRPROT的最低有效位对应用户空间的最低有效页面。

WRPROT寄存器中的位是低电平有效位。0表示写保护有效，1表示对相应页面块没有保护。WRPROT寄存器粘滞在0。使能保护后，不复位器件将无法禁用保护。用户代码可以随时清除WRPROT位[31:0]中的相应位来将任何页面块的写保护变为有效。应尽可能早在用户代码中置位写保护，对块零（闪存页面0至页面3）实施写保护，并将用户引导和完整性检查代码放在该块中。通过采取这些措施，用户便可完全控制写保护，而无需依靠ADI引导加载程序来设置WRPROT寄存器。

元数据配置

用户空间的最高有效页包含一个32位字段，代表一组1位写保护标志，32个逻辑块中的每个逻辑块对应一位，与WRPROT寄存器的功能匹配。详情参见“用户空间元数据”部分。

复位操作后，ADI引导加载程序从闪存中读取写保护位，并将其存储在WRPROT寄存器中。闪存的默认（擦除）状态为全1。因此，WRPROT寄存器的默认值会禁用对用户空间中所有页面的保护。WRPROT位[31:0]的每个位对应四个用户空间页面中一个块的保护状态。

用户代码可以在运行时清除WRPROT寄存器元数据字中的位，也可以将该字包含在用户数据和程序代码的初始上载中。运行时写入WRPROT寄存器元数据字不会立即影响写保护状态。

如果需要立即保护，用户代码还必须将相同的值写入WRPROT寄存器。写入WRPROT元数据时，应考虑包括最高有效页的写保护，防止元数据被页面擦除或发生其他修改。与所有闪存位置一样，请勿执行重复写操作而中间不擦除，因为重复写操作往往会在回读期间造成ECC错误。

使能保护后（WRPROT中的相应位已清零），如果不复位器件就无法禁用保护。因此，通过用户空间元数据对任何页面块使能写保护之后，如果不擦除用户空间的最高有效页面或以其他方式影响引导加载程序的流程，就无法禁用写保护。

以下序列概述了对闪存中的写保护元数据字进行编程的过程：

1. 确保自上次写入元数据以来，已擦除用户空间的最高有效页面。
2. 直接将WRPROT元数据字的所需值写入闪存。将0写入特定位以使能对相应块的保护。在256 kB闪存中，该字位于地址0x3FFF0。
3. 通过轮询状态寄存器来验证写操作是否完成。
4. 复位器件。WRPROT位[31:0]由引导加载程序自动从用户空间上下载到WRPROT寄存器，用于实施保护方案。

签名

签名用于检查闪存内容的完整性。签名计算不包括闪存数据总线的ECC部分或从被签名页面集读取的最高有效字。最高有效字被认为是元数据，旨在保存给定页面集的预期签名值。

闪存控制器实现了自己的独立CRC引擎，用于生成和验证签名。但是，这种实现将CRC加速器外设与初始值0xFFFFFFFF匹配。有关所用CRC算法的更多信息，参见“循环冗余校验”部分。

签名可以在上传之前生成，包含在用户数据和程序代码的初始上传中，或者可以在运行时生成并存储到闪存中。运行时生成利用CRC加速器或调用闪存控制器的签名生成逻辑。

ECC字节对应于闪存中的64位数据字。因此，如果使能ECC，必须一次写入全部最高有效64位（包括32位签名字）。否则，ECC字节会被第二次写操作破坏。如果使用闪存控制器生成签名值，应将未使用的32位与签名字配对，并让其保持已擦除状态(0xFFFFFFFF)。否则，器件复位后（取决于WRPROT配置）可能会发生杂散ECC错误，器件可能变得无法使用。

签名命令为从起始页到结束页的所有数据生成签名，但签名元数据字除外。用户必须分别写入PAGE_ADDR0位[18:10]和PAGE_ADDR1位[18:10]来定义起始页和结束页。

要生成或验证签名，请执行以下步骤：

1. 将一组连续页面的起始地址写入PAGE_ADDR0位[18:10]。如果超出范围，该命令将被拒绝。
2. 将一组连续页面的结束地址写入PAGE_ADDR1位[18:10]。如果超出范围，该命令将被拒绝。
3. 写入Key位[31:0]。将用户密钥值(0x676C7565)写入密钥寄存器。
4. 写入CMD位[3:0]。将签名命令(0x3)写入CMD寄存器。
5. 等待。命令完成后会设置STAT位2。
6. 如果使用闪存控制器生成签名以写入闪存元数据，则可以从签名寄存器中读取签名值。
7. 生成的签名会自动与被签名区域的最高32位字中存储的数据进行比较。如果生成的结果与存储的值不匹配，STAT寄存器会报告失败，置位STAT位2中的验证错误。

计算签名时，对闪存的所有其他访问都暂停。生成并验证256 kB块（全部用户空间）的签名会导致32 kB闪存读取（每个读操作64位）的停顿时间，或大约64,000个HCLK周期。PAGE_ADDR0位[18:10]和PAGE_ADDR1位[18:10]地址可以写为字节地址，但闪存控制器会将其用作页面地址。发生这种情况时，低10位地址将被忽略。如果PAGE_ADDR1位[18:10]小于PAGE_ADDR0位[18:10]，签名命令会被拒绝。签名始终在连续地址范围内以页面级别的粒度执行。

密钥寄存器

为了防止杂散的和潜在有破坏性的闪存访问，某些命令和寄存器受密钥保护。用户密钥不是安全要素，也不是为了保密。相反，此密钥可保护用户免受软件错误的负面影响，尤其是在早期软件开发期间。

用户密钥

该密钥用于防止意外访问某些闪存特性和地址。密钥值为0x676C7565。必须输入此密钥才能运行受保护的用户命令（擦除页面、签名、批量擦除和中止）或使能对UCFG寄存器的写访问。输入后，密钥将保持有效，直到将不正确的值写入密钥寄存器或将命令写入CMD寄存器为止。当请求任何命令时，此密钥会被自动清除。如果输入此密钥以使能对UCFG寄存器的写访问，建议在更新寄存器后立即清除密钥。

ECC

闪存控制器为闪存读操作提供基于ECC的错误检测和纠正。信息空间的ECC默认使能，因此可以确保闪存初始化功能正常工作。信息空间签名检查会无条件考虑ECC。对于任何双字64位闪存数据访问，闪存控制器使用8位Hamming修改码来纠正1位错误或检测2位错误。

使能后，ECC引擎在签名检查期间处于活动状态（参阅“保护和完整性”部分）。用户代码可以请求对整个用户空间进行签名检查，然后检查STAT位[8:7]，以确定用户空间中是否存在单位或双位数据损坏。

默认值和配置

在用户空间中，ECC默认关闭，但可以通过用户代码有选择地使能。使能ECC要求设置ECC_CFG位0。使能后，ECC可应用于整个用户空间，也可以配置为仅应用于一个有限范围。单页地址指针（ECC_CFG位[31:8]）用于定义ECC的起始地址。设置ECC_CFG位0后，从起始页到用户空间顶部（包含起止地址）的所有闪存地址均使能ECC。

可以选择将ECC错误报告为总线错误供ICode或DCode读取，也可以生成中断。通过写入IEN位[7:6]和IEN位[5:4]，1位纠正和2位错误检测可以使用独立的错误报告选项。

错误处理

“签名”部分说明了信息空间签名检查期间ECC错误的影响。在任何读操作中，如果ECC引擎发现1位错误，该错误将被自动纠正。在这种情况下，1位错误要么在ECC字节本身中，要么在用户读取的64位双字中。如果发现2位错误，ECC引擎只能报告检测事件。2位错误无法纠正。

根据读操作发生的时间（例如在ICode或DCode读取期间，或者作为签名检查等内置命令的一部分），状态寄存器中的相应标志会被设置。详情参见“状态寄存器”部分。

如果在IEN位[7:6]或IEN位[5:4]中使能了中断生成，则引起中断的ECC错误的源地址在ECC_ADDR寄存器中提供，中断服务程序可读取。

执行签名命令期间的ECC错误

签名检查期间观察到的ECC错误会在完成检查后生成相应的状态寄存器标志，但不会填充ECC_ADDR寄存器。

并发错误

如果ECC错误同时发生在DCode和ICode上（例如ICode预取匹配和DCode闪存读取出错），则ECC错误状态信息将被优先处理。在第一优先级中，2位ECC错误的优先级高于1位ECC错误或校正的优先级。例如，如果DCode读取时观察到的2位ECC错误与ICode读取时观察到的1位ECC错误或校正处于同一周期，则仅更新DCode的ECC错误状态。

在第二优先级中，ICode的优先级高于DCode。例如，如果ICode读取和DCode读取在同一周期中观察到2位错误，则仅更新ICode的ECC错误状态。

读取已擦除位置

擦除后，闪存将保持全1的值，包括附加到每6位数据字的ECC字节。64个1的正确ECC元数据不是0xFF。因此，在擦除状态下，闪存会保存代表一定数量位错误的数据和ECC元数据。由于这个原因，任何对已擦除位置的闪存读操作都会自动旁路ECC引擎。如果用户代码读取的位置的64位数据字和ECC字节全为1，则读操作返回的数据不指示任何ECC错误。

时钟与定时

闪存控制器已预先配置为在26 MHz或更低的核时钟频率以及13 MHz的参考时钟频率下为所有闪存操作提供安全的时序参数。

闪存工作模式

ADuCM355处理器使用的闪存支持以下功耗优化特性。

休眠模式

用户代码可以将睡眠命令写入CMD寄存器，从而将闪存IP置于低功耗睡眠模式。在睡眠命令后的第一次闪存访问时，闪存控制器会自动将闪存IP从睡眠状态唤醒。用户代码可以通过读取STAT位6来观察闪存的睡眠状态。

闪存唤醒事件由缓存控制器、DMA读操作、用户代码或其他外设触发，它们也可能随时尝试读取闪存。确保用户代码偶尔轮询STAT的位6，以验证闪存IP仍处于用户期望的休眠状态。

当闪存IP处于睡眠模式时，闪存控制器不接受任何新命令。此模式下唯一支持的命令是空闲和中止。进入睡眠模式后，DMA写请求会自动暂停。

基于系统中断的中止（通过ABORT_EN_LO寄存器配置）一般用在使能系统中断的情况下中止任何正在进行的闪存命令。然而，这种中断不会将闪存从睡眠模式中唤醒。如果可以通过访问闪存来处理系统中断，它将保持睡眠模式。如果处理终端需要访问闪存，闪存访问本身会唤醒闪存IP。

从睡眠中唤醒需要大约5 μ s的延迟，然后才能执行读操作或命令。此延迟是闪存IP的要求。用户代码可以通过执行空闲命令来提早唤醒闪存IP。此命令会唤醒闪存IP，对控制器没有任何其他影响。

为了保持一致性，也可以使用中止命令来唤醒闪存IP。使用中止命令唤醒与使用空闲命令唤醒的不同之处仅在于状态寄存器报告STAT位[5:4] = 11，以匹配用户代码对状态寄存器值的预期检查。

关断模式支持

器件休眠时，ADuCM355处理器会自动关断闪存IP。为了支持此特性，闪存控制器与电源管理单元一起运行，并延迟休眠状态，直到完成所有正在进行的闪存访问为止。用户代码负责在进入休眠模式之前读取和评估闪存状态寄存器，因为休眠模式下不会保留状态寄存器内容。中止命令可用于突然结束正在执行的闪存命令。应谨慎使用中止命令，以免最终损坏闪存阵列。

时钟门控

一系列时钟门控被插入闪存控制器中，以便自动关闭模块中未使用的元件。无需用户配置或控制。闪存控制器中未使用的部分会在适当的时候自动关闭。例如在睡眠模式下，闪存控制器的大部分会被关闭以节省功耗。

闪存中断和异常

闪存控制器可以有选择地针对许多事件生成中断。表222列出了可以产生中断的事件以及用于控制每个事件的中断产生的IEN寄存器位域。

表222. 中断和位域

名称 (位域)	描述
ECC_ERROR	当观察到2位ECC错误且此位域设置为2时，生成IRQ。
ECC_CORRECT	当观察到1位ECC校正且此位域设置为2时，生成IRQ。
CMDFAIL	当命令或写操作出错时，生成IRQ。
WRALCMPLT	当活动闪存写操作即将完成且密钥孔寄存器已准备好进行下一次写操作时，生成IRQ。如果及时完成，则发生突发写操作。
CMDCMPLT	当命令或闪存写操作完成时，生成IRQ。

闪存编程模型

此列表提供了一个使用闪存控制器执行页面擦除命令的示例序列。经过一些修改，该序列可用于其他命令。

1. 用要擦除的页面地址对PAGE_ADDR0或PAGE_ADDR1寄存器进行编程。
2. 将闪存用户密钥写入密钥寄存器。
3. 将要执行的命令写入CMD寄存器。
4. 轮询闪存缓存控制器STAT寄存器是否设置了STAT位2。

寄存器汇总：闪存缓存控制器

表223. FLCC寄存器汇总

地址	名称	描述	复位	访问类型
0x40018000	STAT	状态	0x00000000	R/W
0x40018004	IEN	中断使能	0x40	R/W
0x40018008	CMD	命令	0x00000000	R/W
0x4001800C	KH_ADDR	写地址	0x00000000	R/W
0x40018010	KH_DATA0	写入低位数据	0xFFFFFFFF	R/W
0x40018014	KH_DATA1	写入高位数据	0xFFFFFFFF	R/W
0x40018018	PAGE_ADDR0	低页地址	0x00000000	R/W
0x4001801C	PAGE_ADDR1	高页地址	0x00000000	R/W
0x40018020	KEY	密钥	0x00000000	W
0x40018024	WR_ABORT_ADDR	写入中止地址	0XXXXXXXXX	R
0x40018028	WRPROT	写保护	0xFFFFFFFF	R/W
0x4001802C	SIGNATURE	签名	0XXXXXXXXX	R
0x40018030	UCFG	用户配置	0x00000000	R/W
0x4001803C	ABORT_EN_LO	IRQ中止使能 (低位)	0x00000000	R/W
0x40018040	ABORT_EN_HI	IRQ中止使能 (高位)	0x00000000	R/W
0x40018044	ECC_CFG	ECC配置	0x00000002	R/W
0x40018048	ECC_ADDR	ECC状态 (地址)	0x00000000	R
0x40018050	ADI_POR_SEC	ADI闪存安保	0x00000000	R/W

寄存器详解：闪存缓存控制器(FLCC)

状态寄存器

地址：0x40018000；复位：0x00000000；名称：STAT

此寄存器提供有关当前命令状态、错误检测和校正的信息。

表224. STAT位功能描述

位	位名称	设置	描述	复位	访问类型
[31:30]	保留		保留。	0x0	R
29	CACHESRAMPERR		缓存控制器中的SRAM奇偶校验错误。此寄存器提供由于ICode总线上缓存SRAM奇偶校验错误而产生的AHB错误的详细信息。	0x0	R
[28:27]	ECCDCODE		DCode AHB错误ECC状态。提供由于DCode总线上ECC错误或校正而产生的AHB错误的详细信息。 00 无错误。自复位或上次清除寄存器以来，未报告任何错误或校正。 01 2位错误。关于AHB读访问，已检测并报告2位ECC错误。 10 1位校正。关于AHB读访问，已检测并报告1位ECC校正。 11 保留。	0x0	R/W1C
[26:25]	ECCICODE		ICode AHB错误ECC状态。提供由于ICode总线上ECC错误或校正而产生的AHB错误的详细信息。 00 无错误。自复位或上次清除寄存器以来，未报告任何错误或校正。 01 2位错误。关于AHB读访问，已检测并报告2位ECC错误。 10 1位校正。关于AHB读访问，已检测并报告1位ECC校正。 11 保留。	0x0	R/W1C
[24:20]	保留		保留。	0x0	R
[19:17]	ECCERRCNT		ECC校正计数器。此计数器记录重叠的ECC 1位校正报告。当配置为在发生ECC校正事件的情况下生成IRQ或AHB错误时，此位域对首次报告的校正后发生的ECC校正次数进行计数。计数器溢出时将保持满量程，清除ECCICODE或ECCDCODE状态位时将自动清零。	0x0	R/W1C
[16:15]	ECCINFOSIGN		闪存初始化的ECC状态。信息空间自动签名检查结束后的ECC状态。 00 无错误。未报告任何错误。 01 2位错误。在签名检查期间检测到一个或多个2位ECC错误。签名检查失败。 10 1位错误。在签名检查期间执行了一次或多次1位ECC校正。如果校验和仍然匹配，则签名检查通过。 11 1位和2位错误。在签名检查期间每个ECC事件（1位校正和2位错误）至少检测到一次。签名检查失败。	0x0	R
14	INIT		闪存控制器初始化正在进行中。闪存控制器初始化正在进行中。在此位变为无效之前，AHB访问暂停，APB命令会被忽略。	0x0	R
13	SIGNERR		初始化期间签名检查失败。指示在闪存控制器初始化期间自动签名检查失败。该寄存器值仅在签名检查完成后才有效。	0x0	R
12	保留		保留。	0x0	R
11	OVERLAP		命令重叠。在忙于执行另一个命令的同时请求一个命令时，此位置1。重叠的命令会被忽略。	0x0	R/W1C

位	位名称	设置	描述	复位	访问类型
[10:9]	ECCRDERR	00 无错误。 01 2位错误。ECC引擎在AHB读访问期间检测到无法校正的2位错误。 10 1位校正。ECC引擎在AHB读访问期间校正了一个1位错误。 11 1位和2位事件。ECC引擎检测到1位和2位数据损坏，从而触发了IRQ。一次读取只能报告一种类型的事件。此状态表明后续AHB读访问引发了备选ECC错误事件。默认情况下，1位ECC校正报告为IRQ，2位ECC错误报告为总线故障。不建议将这两种类型都报告为IRQ，因为当试图诊断哪个故障首先出现时，状态位会变得模棱两可。	0x0	R/W1C	
[8:7]	ECCERRCMD	00 无错误，签名检查期间完成了闪存读操作。 01 2位错误。在签名命令期间，一个或多个闪存位置上检测到2位错误，未予纠正。 10 1位错误。执行签名命令时，校正了一个或多个闪存位置的1位错误。 11 1位或2位错误。在签名命令期间，在一个或多个闪存位置上检测到1位和2位错误。	0x0	R/W1C	
6	SLEEPING	闪存阵列处于低功耗（睡眠）模式。表示闪存阵列处于低功耗（睡眠）模式。当需要处理其他数据事务时，闪存控制器会自动唤醒闪存。用户可以随时通过将空闲命令写入CMD寄存器来唤醒闪存。闪存唤醒时间不一，典型值约为5 μ s。如果可能，建议用户在将闪存用于性能优化之前约5 μ s开始唤醒闪存。	0x0	R	
[5:4]	CMDFAIL	00 完成。命令完成。 01 忽略。对受保护或超出范围的存储位置的访问会被忽略。 10 验证错误。发生了读取验证错误。擦除失败和签名检查失败均返回此状态。在擦除失败的情况下，擦除闪存页面之后，控制器会读取相应的字以验证擦除是否完成。如果数据仍然存在，则擦除失败，此位域报告失败。在签名检查失败的情况下，如果执行签名命令后，所得签名与签名检查块的最高有效32位字中存储的数据不匹配，则签名检查失败，此位域报告失败。 11 中止。指示命令被用户代码或系统中断中止。详情参见IRQ中止使能（低位）寄存器部分和IRQ中止使能（高位）寄存器部分。	0x0	R/W1C	
3	WRALCOMP	写操作接近完成。当正在进行的写操作即将完成时，写数据寄存器会重新打开以供访问。在CMDCOMP位置位之前请求另一个写操作将导致突发写操作。突发写操作利用闪存的低级协议，可显著提高性能（每次写操作节省大约15 μ s）。突发写操作的性能提升仅适用于闪存阵列同一行内的背靠背写操作。	0x0	R/W1C	

位	位名称	设置	描述	复位	访问类型
2	CMDCOMP		命令完成。命令完成时此位置位。当请求新命令时，它会自动清零。上电复位(POR)之后，闪存控制器执行多种操作，例如验证信息空间中代码的完整性。在该过程结束时，控制器设置此位以指示该过程已完成。	0x0	R/W1C
1	WRCLOSE		写寄存器已关闭。关闭写入数据寄存器 (KH_DATA0和KH_DATA1)、地址寄存器 (KH_ADDR)和命令寄存器(CMD)以供访问。在写入正在进行的部分时间里，此位置位。如果此位为高电平，则闪存控制器正在使用相关寄存器，无法写入其中。当WRALCOMP标志变为高电平时，此位清零，表明正在进行的写命令已使用了相关数据，现在可以用新数据覆盖这些寄存器。	0x0	R
0	CMDBUSY		命令繁忙。当闪存模块主动执行任何通过命令寄存器输入的命令时，此位置位。请求命令与此位置位之间存在少许延迟。轮询命令是否完成时，应观察CMDCOMP位而不是此位。	0x0	R

中断使能寄存器

地址：0x40018004；复位：0x40；名称：IEN

用于指定何时生成中断。

表225. IEN位功能描述

位	位名称	设置	描述	复位	访问类型
[31:8]	保留		保留。	0x0	R
[7:6]	ECC_ERROR		控制对2位ECC错误事件的响应，是否产生总线错误、中断或两者都不产生。 0 不产生对ECC事件的响应。 1 响应ECC事件，产生总线错误。 10 响应ECC事件，产生IRQ。	0x1	R/W
[5:4]	ECC_CORRECT		控制对1位ECC校正事件的响应，是否产生总线错误、中断或两者都不产生。 0 不产生对ECC事件的响应。 1 响应ECC事件，产生总线错误。 10 响应ECC事件，产生IRQ。	0x0	R/W
3	保留		保留。	0x0	R
2	CMDFAIL		命令失败中断使能。如果此位置1，则当命令或闪存写操作出错时，就会产生中断。	0x0	R/W
1	WRALCMPLT		写操作接近完成中断使能。	0x0	R/W
0	CMDCMPLT		命令完成中断使能。如果此位置1，则当命令或闪存写操作完成时，就会产生中断。	0x0	R/W

命令寄存器

地址0x40018008，复位：0x00000000，名称：CMD

写入此寄存器以执行指定命令。大多数命令请求要被接受，首先须将用户密钥写入密钥寄存器。详情参见“密钥寄存器”部分。

表226. CMD位功能描述

位	位名称	设置	描述	复位	访问类型
[31:4]	保留		保留。	0x0	R
[3:0]	VALUE		命令。将命令值写入此寄存器以开始特定操作。除了写和空闲命令外，所有命令都要求先将用户密钥写入密钥寄存器。 0x0 空闲。无需密钥。不执行任何命令。如果闪存IP处于睡眠状态，此命令会唤醒闪存，并返回命令完成消息，无错误码。 0x1 中止。需要用户密钥。在对时间敏感的事件期间，请谨慎使用中止命令来访问闪存IP。例如，低电压警报可以中止正在进行的闪存写或擦除命令，以使用户代码能够关闭器件。过度使用中止命令可能会损坏闪存阵列。如果发出此命令，当前正在执行的任何命令都会突然停止（如果可以停止的话）。状态指示命令已完成，但发生中止错误。中止是在另一个命令正在执行时可以发出的唯一命令，但将一个写命令叠加在一个正在进行的写命令之上是例外。所有其他重叠的命令组合均无效，除非新命令是中止命令。如果中止写入或擦除操作，可能会违反某些闪存IP时序要求，因而无法确定写入或擦除操作是否已成功。读取受影响的位置，确定被中止命令的结果。被中止的命令可能导致闪存被弱编程。建议务必擦除受影响的区域并对其重新编程。根据闪存控制器执行命令的进程，中止并非总是可能的。某些闪存IP时序参数不得违反。很难预测这些参数在软件中是什么。因此，应将中止视为请求，其对实际命令持续时间可能没有影响。 0x2 要求闪存进入睡眠模式。需要用户密钥。睡眠时，任何ICode、DCode或DMA事务都会自动唤醒闪存。唤醒过程大约需要5μs。如果用户代码可以提前大约5μs预测到需要闪存，则用户可以将空闲命令写入CMD寄存器以手动唤醒闪存。中止命令也可以用来唤醒器件，并返回相应的状态位，指示睡眠命令已中止。由于任何原因而唤醒时，器件将保持唤醒状态，直到用户代码置位睡眠命令为止。 0x3 签名。需要用户密钥。使用此命令为一个数据块产生签名。只能为整页组成的块生成签名。将起始页的地址写入PAGE_ADDR0寄存器，将结束页的地址写入PAGE_ADDR1寄存器，然后将此代码写入CMD寄存器以开始签名生成。命令完成后，便可从签名寄存器中读取签名。 0x4 写入无需密钥。此命令从KH_ADDR寄存器、KH_DATA0寄存器和KH_DATA1寄存器获取地址和数据，并针对指定地址执行单个64位写操作。有关更多信息，参见“写入闪存”部分和“写保护寄存器”部分。 0x5 检查所有用户空间，如果用户空间有任何位清零则失败。需要用户密钥。对所有用户空间执行空白检查。如果用户空间中的任何位被清零，该命令将失败，并返回读取验证状态。如果所有用户空间均为0xFF，则命令成功通过。此命令旨在支持早期客户软件开发。当未编程的器件以安全特性引导，防止读写用户空间时，此命令可用于验证用户空间是否不包含专有信息。如果此命令通过，则清除用户空间的读写保护。 0x6 擦除页面。需要用户密钥。将要擦除的页面地址写入PAGE_ADDR0寄存器，然后将此代码写入CMD寄存器。擦除完成后将自动验证整个页面，确保完全擦除。如果发生读取验证错误，STAT寄存器会指示出来。要擦除多页，请等待前一页已擦除完毕，检查状态，然后发出命令启动下一页擦除。 0x7 批量擦除。需要用户密钥。擦除所有闪存用户空间。擦除完成后将自动验证整个用户空间，确保完全擦除。如果发生读取验证错误，状态寄存器会指示出来。	0x0	R/W

写入地址寄存器**地址：0x4001800C；复位：0x00000000；名称：KH_ADDR**

此寄存器写入写命令所针对的64位双字闪存位置中任何字节的字节地址。所有写操作针对的都是闪存阵列中的64位双字单元。用户代码可以屏蔽字节数据以模拟字节、半字或字写入。闪存IP规范警告不要在两次擦除之间写入任何位置两次以上。多次写入一个位置时，注意ECC元数据无法正确更新。使用代码禁用相关闪存区域的ECC。写入超出闪存有效范围的地址会使该地址饱和，以防止混叠。目标地址务必为有效的闪存地址位置。

表227. KH_ADDR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:19]	保留		保留。	0x0	R
[18:3]	VALUE		写命令要写入的地址。	0x0	R/W
[2:0]	保留		保留。	0x0	R

写入低位数据寄存器**地址：0x40018010；复位：0xFFFFFFFF；名称：KH_DATA0**

此寄存器包含要写入闪存的64位双字数据的下半部分。

表228. KH_DATA0位功能描述

位	位名称	设置	描述	复位	访问类型
[31:0]	VALUE		写命令要写入的64位双字数据的下半部分。	0xFFFFFFFF	R/W

写入高位数据寄存器**地址：0x40018014；复位：0xFFFFFFFF；名称：KH_DATA1**

此寄存器包含要写入闪存的64位双字数据的上半部分。

表229. KH_DATA1位功能描述

位	位名称	设置	描述	复位	访问类型
[31:0]	VALUE		写命令要写入的64位双字数据的上半部分。如果使能了DMA，则该寄存器用作FIFO。写入该寄存器会将旧数据推入64位数据的下半部分(KH_DATA0)。在DMA模式下两次写入该寄存器时，FIFO变满，并自动执行闪存写入命令。	0xFFFFFFFF	R/W

低页地址寄存器**地址：0x40018018；复位：0x00000000；名称：PAGE_ADDR0**

向该寄存器写入字节地址以选择该字节所在的页面。

所选页面可用于擦除页面命令（选择要擦除的页面）或签名命令（为要计算签名的块选择起始页）。对于同时使用PAGE_ADDR0寄存器和PAGE_ADDR1寄存器的命令，应确保PAGE_ADDR0始终小于或等于PAGE_ADDR1，否则该命令会被拒绝。

写入超出闪存有效范围的地址会使该地址寄存器饱和，以防止闪存空间混叠。

表230. PAGE_ADDR0位功能描述

位	位名称	设置	描述	复位	访问类型
[31:19]	保留		保留。	0x0	R
[18:10]	VALUE		页面地址的低地址位。	0x0	R/W
[9:0]	保留		保留。	0x0	R

高页地址寄存器

地址：0x4001801C；复位：0x00000000；名称：PAGE_ADDR1

向该寄存器写入字节地址以选择该字节所在的页面。

所选页面可用于签名命令（为要计算签名的块选择结束页）。对于同时使用PAGE_ADDR0寄存器和PAGE_ADDR1寄存器的命令，应确保PAGE_ADDR0始终小于或等于PAGE_ADDR1，否则该命令会被拒绝。

写入超出闪存有效范围的地址会使该地址寄存器饱和，以防止闪存空间混叠。

表231. PAGE_ADDR1位功能描述

位	位名称	设置	描述	复位	访问类型
[31:19]	保留		保留。	0x0	R
[18:10]	VALUE		页面地址的高地址位。	0x0	R/W
[9:0]	保留		保留。	0x0	R

密钥寄存器

地址：0x40018020；复位：0x00000000；名称：KEY

当用户代码写入密钥以访问受保护的特性时，必须将密钥值写入此寄存器。

表232. KEY的位功能描述

位	位名称	设置	描述	复位	访问类型
[31:0]	VALUE	0x676C7565	密钥寄存器。将适当的密钥值写入此寄存器来解锁受保护的特性。 用户密钥。向此位域写入十六进制值0x676C7565，以使某些寄存器能被修改或某些命令能被执行。此密钥用作检查，以防止意外修改设置或闪存内容。它不是安保要素，也不是机密信息。	0x0	W

写入中止地址寄存器

地址：0x40018024；复位：0xFFFFFFFF；名称：WR_ABORT_ADDR

此寄存器包含最近中止的写命令的地址。仅在启动已中止的写命令时，才会填充此地址。如果命令被中止得足够早而对闪存IP没有影响，则该地址不会更新。

表233. WR_ABORT_ADDR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:0]	VALUE		保存目标地址。保存正在进行的写命令所的目标地址，并在中止事件后保留其值。用户代码可以读取该寄存器以确定受写入中止影响的闪存位置。请求执行新的闪存命令后，不能保证寄存器值会持续存在。因此，在中止写入后应立即读取该值。	0xFFFFFFFF	R

写保护寄存器

地址：0x40018028；复位：0xFFFFFFFF；名称：WRPROT

修改此寄存器需要用户密钥。在器件启动期间可以自动配置该寄存器，在这种情况下，引导加载程序从用户空间读取数据并将该数据加载到该寄存器中。

用户代码可以通过写入闪存中的适当位置来影响非易失性写保护（参见“保护和完整性”部分）。默认情况下，闪存中的相关位置为0x3FFF0（用户空间中的第四个最高有效字），但可以通过ADI引导加载程序重新定位。

或者，用户代码可以在运行时直接写入该寄存器，以置位对任何未保护块的保护。块可以添加保护，但不能移除保护，复位后更改会丢失。建议在用户代码开发过程中采用此方法。

上电复位(POR)会清除所有写保护，但在使能用户访问闪存阵列之前，ADI引导加载程序会重新置位用户空间中的写保护（由WRPROT字定义）。移除写保护只能通过用户空间中最高有效页的擦除页面命令（假设该页面当前未受保护）或通过批量擦除命令来执行。完成批量擦除命令后，用户空间中的所有页面保护会被立即清除。在这种擦除之后，用户可以立即写入用户空间，而无需复位器件。

表234. WRPROT位功能描述

位	位名称	设置	描述	复位	访问类型
[31:0]	WORD		清除位以对用户空间页面的相关组加以写保护。清除后，这些位只能通过复位器件来再次设置。此32位字的每一位代表总可用用户空间的1/32。对于由2 kB页组成的256 kB器件（128页），每一位代表四页一组的写保护状态。对于由2 kB页组成的128 kB器件（64页），每一位代表两页一组的写保护状态。对于由2 kB页组成的64 kB器件（32页），每一位代表一页的写保护状态。此寄存器的最高有效位对应于用户空间中的最高有效页组。	0xFFFFFFFF	R/WOC

签名寄存器

地址：0x4001802C；复位：0xFFFFFFFF；名称：SIGNATURE

表235. SIGNATURE位功能描述

位	位名称	设置	描述	复位	访问类型
[31:0]	VALUE		提供对最近生成的签名的读访问。	0xFFFFFFFF	R

用户配置寄存器

地址：0x40018030；复位：0x00000000；名称：UCFG

需要用户密钥。写入该寄存器可使能用户对DMA和自动递增特性的控制。用户代码完成对该寄存器的访问之后，将任意数据写入密钥寄存器以重新置位保护。

表236. UCFG位功能描述

位	位名称	设置	描述	复位	访问类型
[31:2]	保留		保留。	0x0	R
1	AUTOINCEN		密钥孔访问的地址自动递增。设置此位后，KH_ADDR在每个写命令期间或在每个读命令之后自动递增0x8，使用户代码可以写入一系列连续的闪存位置，而无需手动设置每个写操作的闪存地址。KH_ADDR寄存器递增；当STAT位5置位时，在写命令期间或读命令之后，用户代码可以观察该寄存器。当此位置1时，用户代码不能直接修改KH_ADDR。	0x0	R/W
0	KHDMAEN		密钥孔DMA使能。当此位置1时，闪存控制器与DMA控制器交互。在设置该位之前，将起始地址写入KH_ADDR寄存器。然后配置DMA控制器，将数据写入KH_DATA1寄存器（地址必须与数据字对齐），始终写入32位字对(R_POWER = 1)，并写入整数个数据对（对于奇数个字，用户代码必须在没有DMA的帮助下手动写入一个字）。所有DMA写操作都会自动递增目标地址（类似于UCFG位1的行为）。DMA控制器只能用于写入从KH_ADDR值开始的顺序地址。每当DMA控制器提供一对要写入的字时，闪存控制器就会自动开始写操作。与DMA控制器的交互设计为使用突发写操作，这样可以显著缩短整体编程时间。	0x0	R/W

IRQ中止使能（低位）寄存器

地址：0x4001803C；复位：0x00000000；名称：ABORT_EN_LO

表237. ABORT_EN_LO位功能描述

位	位名称	设置	描述	复位	访问类型
[31:0]	VALUE[31:0]		系统IRQ中止使能。要允许系统中断中止正在进行的闪存命令，须将1写入该寄存器中对应于所需系统IRQ编号的位。	0x0	R/W

IRQ中止使能（高位）寄存器

地址：0x40018040；复位：0x00000000；名称：ABORT_EN_HI

表238. ABORT_EN_HI位功能描述

位	位名称	设置	描述	复位	访问类型
[31:0]	VALUE[63:32]		系统IRQ中止使能。要允许系统中断中止正在进行的闪存命令，须将1写入该寄存器中对应于所需系统IRQ编号的位。	0x0	R/W

ECC配置寄存器

地址：0x40018044；复位：0x00000002；名称：ECC_CFG

表239. ECC_CFG位功能描述

位	位名称	设置	描述	复位	访问类型
[31:8]	PTR		ECC起始页指针。将起始页地址的位[31:8]写入该寄存器的位[31:8]。此位是用户闪存中任何页面的字节地址。该地址的最低几位会被闪存控制器忽略，从而形成页面地址。当ECC使能且用户代码从指定的页面读取任何地址时，就会执行ECC功能。读取权重较低页面会完全绕过ECC。	0x0	R/W
[7:2]	保留		保留。	0x0	R
1	INFOEN		信息空间ECC使能位。信息空间的ECC默认使能。清除此位会禁用信息空间中的ECC。此位不受密钥保护。	0x1	R/W
0	EN		ECC使能。设置此位以使用户空间的ECC。对用户空间中从ECC_CFG位[31:8]中的任何地址到用户空间顶部（含本数）的所有未来闪存读操作都使能ECC。清零（或访问允许范围之外的地址）时，闪存控制器返回原始数据，以响应对用户空间的ICode和DCode读取。没有进行或报告错误校正。	0x0	R/W

ECC状态（地址）寄存器

地址：0x40018048；复位：0x00000000；名称：ECC_ADDR

发生ECC错误或校正事件时，此寄存器会更新。如果选择了IEN寄存器的相应位，则ECC错误和校正事件会生成中断，从而产生总线故障。此寄存器记录自复位或上次清除ECC状态位以来的第一个ECC错误或校正事件的地址以产生中断。如果在与新ECC事件（选择生成IRQ）相同的周期中清除状态位，则会记录新的地址，状态位保持设置状态。

错误的优先级高于校正。两个或更多位被破坏会导致错误。一位被校正后，会返回正确的数据。如果在同一周期中发生错误和校正，该寄存器会报告错误地址。当发生两个相同优先级的ECC事件（两个错误或两个校正）时，ICode总线的优先级高于DCode。因此，如果ICode和DCode总线在同一周期内生成相同类型的ECC事件，该寄存器中存储的将是ICode地址。

除非通过复位，否则无法清除该寄存器。它始终保存最近报告的ECC校正或错误的地址。

表240. ECC_ADDR位功能描述

位	位名称	设置	描述	复位	访问类型
[31:19]	保留		保留。	0x0	R
[18:0]	VALUE		检测到ECC错误的地址。	0x0	R

ADI闪存安保寄存器

地址：0x40018050；复位：0x00000000；名称：ADI_POR_SEC

该寄存器仅在POR或外部复位后才复位。

表241. ADI_POR_SEC位功能描述

位	位名称	设置	描述	复位	访问类型
[31:1]	保留		保留。	0x0	R
0	SECURE		防止读取或写入用户空间。该位置1可以防止对用户空间进行读或写访问。该位在设置后为粘滞位，需要用户密钥。置1后，如果不使用POR或外部复位来复位器件，则无法将此位清0。该位在用户空间安保机制中发挥着直接作用。置1时，此位可防止访问用户空间。DCode读取会返回总线故障且数据总线 = 0。ICode读取会返回总线故障且数据总线 = 0。APB写操作会被拒绝，闪存内容保持不变。设置后，用户仍可执行批量擦除和页面擦除操作。但是，WRPROT寄存器仍然适用，只能删除未受保护的页面。如有任何页面受到保护，则不允许进行批量擦除。有关更多信息，参见“安保特性”部分。	0x0	R/W1S

SRAM

本部分概述ADuCM355处理器的SRAM功能。有关SRAM_INITSTAT、SRAM_CTL和SRAMRET寄存器的详细信息，参见“寄存器汇总：电源管理单元”部分。

该存储器空间包含要实时执行的应用指令和常数数据。支持通过Cortex-M3内核进行读写访问，并支持系统外设进行读写DMA访问。SRAM分为32 kB的数据SRAM和32 kB的指令SRAM。如果未使能指令SRAM，则其相关的32 kB可映射为数据SRAM，得到64 kB的数据SRAM。

INITIALIZATION ADDRESS	END ADDRESS	MODE 0 CACHE OFF 32kB INSTRUCTION SRAM 32kB DATA SRAM	MODE 1 4kB CACHE 28kB INSTRUCTION SRAM 32kB DATA SRAM	MODE 2 CACHE OFF 0kB INSTRUCTION SRAM 64kB DATA SRAM	MODE 3 4kB CACHE 0kB INSTRUCTION SRAM 60kB DATA SRAM
0x0000 0000	0x0003 FFFF	256kB FLASH	256kB FLASH	256kB FLASH	256kB FLASH
0x1000 0000	0x1000 0FFF	16kB INSTRUCTION SRAM	16kB INSTRUCTION SRAM		
0x1000 1000	0x1000 1FFF				
0x1000 2000	0x1000 2FFF				
0x1000 3000	0x1000 3FFF				
0x1000 4000	0x1000 4FFF	12kB INSTRUCTION SRAM	12kB INSTRUCTION SRAM		
0x1000 5000	0x1000 5FFF				
0x1000 6000	0x1000 6FFF	12kB INSTRUCTION SRAM			
0x1000 7000	0x1000 7FFF				
0x2000 0000	0x2000 0FFF	12kB DATA SRAM	8kB DATA SRAM	8kB DATA SRAM	8kB DATA SRAM
0x2000 1000	0x2000 1FFF				
0x2000 2000	0x2000 2FFF	8kB DATA SRAM	8kB DATA SRAM	8kB DATA SRAM	8kB DATA SRAM
0x2000 3000	0x2000 3FFF				
0x2000 4000	0x2000 4FFF			16kB DATA SRAM	16kB DATA SRAM
0x2000 5000	0x2000 5FFF				
0x2000 6000	0x2000 6FFF				
0x2000 7000	0x2000 7FFF				
0x2004 0000	0x2004 0FFF	16kB DATA SRAM	16kB DATA SRAM	16kB DATA SRAM	16kB DATA SRAM
0x2004 1000	0x2004 1FFF				
0x2004 2000	0x2004 2FFF				
0x2004 3000	0x2004 3FFF				
0x2004 4000	0x2004 4FFF			12kB DATA SRAM	12kB DATA SRAM
0x2004 5000	0x2004 5FFF				
0x2004 6000	0x2004 6FFF				
0x2004 7000	0x2004 7FFF			4kB DATA SRAM	

NOT MAPPED
 ALWAYS RETAINED
 NOT RETAINED
 RETAINED DURING HIBERNATE IF PROGRAMMED BY USER

图54. ADuCM355 SRAM存储器详情

SRAM特性

ADuCM355处理器使用的SRAM支持以下特性：

- 用于数据SRAM、指令SRAM和缓存SRAM的低功耗控制器。
- 总可用存储器：64 kB。
- 休眠模式下最多可保留存储器：32 kB。
- 数据SRAM有32 kB。在休眠模式下，有一个选项可以保留8 kB或16 kB。
- 指令SRAM有32 kB。在休眠模式下，有一个选项可以保留16 kB。
- 如果未使能指令SRAM，则其相关的32 kB可映射为数据SRAM。在这种情况下，可以选择保留8 kB、16 kB、24 kB或32 kB的数据SRAM。

- 当缓存控制器使能时，4 kB的指令SRAM保留用于缓存数据。在休眠模式下，这些4 kB的缓存数据不会被保留。
- 所有SRAM存储器均提供奇偶校验位错误检测（可选）。每个32位字对应两个奇偶校验位。可以配置不同存储区域使能或禁用奇偶校验。奇偶校验默认开启。
- 支持字节、半字和字访问。

指令与数据SRAM

如果SRAM_CTL位31置1，则将32 kB的SRAM映射到起始地址0x10000000，作为两个16 kB指令SRAM（参见图54中的模式0和模式1）。32 kB的数据SRAM映射为两部分，第一部分从0x20000000开始，第二部分从0x20040000开始。如果使用高速缓存功能，则只有28 kB可用于指令SRAM（参见图54中的模式1）。

如果SRAM_CTL位31为0并且禁用了缓存，则有64 kB的SRAM映射为数据SRAM。存储器分为两部分。第一个(32 kB)映射到起始地址0x20000000，第二个(32 kB)映射到0x20040000（参见图54中的模式2）。如果使用高速缓存功能，则第二部分仅映射28 kB。因此，总可用数据SRAM为60 kB（参见图54中的模式3）。

默认情况下，在上电和硬件复位时，32 kB SRAM可用作SRAM指令。如果用户必须使用总计64 kB的数据SRAM，则在用户代码开始时，须将SRAM_CTL位31编程为0。缓存控制器使能后，无法访问SRAM存储区5。如果尝试访问，则会产生总线错误（未映射地址）。

休眠模式下的SRAM内容保留

休眠模式下保留的SRAM大小取决于用户配置。数据SRAM的前8 kB（存储区0）的内容映射到0x20000000，并始终予以保留。从0x20040000开始映射的SRAM（存储区3、存储区4和存储区5）内容在休眠模式下无法保留。如果使能SRAM_CTL位1，则从0x20002000到0x20003FFF（存储区1）映射的8 kB数据SRAM在休眠模式下会得以保留。如果SRAM_CTL位31 = 1且SRAM_CTL位2使能，则从0x10000000到0x10003FFF（存储区2）映射的16 kB指令SRAM会得以保留。如果SRAM_CTL位31 = 0，则保留从0x20004000到0x20007FFF映射的16 kB数据SRAM。

SRAM编程模型，堆栈

SRAM起始地址设置为0x20000000，堆栈指针设置在0x20002000。堆栈从0x20001FFF向下写入。其覆盖的存储区域始终会被保留。要为堆栈区域保留指定的大小，用户可以声明所需大小的数据数组，其结束位置为0x20001FFF，这样编译器分配新变量时就不会覆盖堆栈。

SRAM奇偶校验

为了提高鲁棒性，可以对所有SRAM存储区或用户选定的一组SRAM存储区使能奇偶校验。对于每个字，奇偶校验最多可以检测到两个错误。通过置位每个SRAM存储区的SRAM_CTL位[5:0]，可以使能奇偶校验特性。内核默认使能这些位。

读取数据以及写入字节或半字数据时，会检查奇偶校验。当执行字写入（32位）时，不检查奇偶校验。如果检测到奇偶校验错误，则会生成总线错误。写入字节或半字时，即使检测到奇偶校验错误，写操作也会完成，并且会根据新数据更新奇偶校验位。用户必须在总线故障中断例程中管理奇偶校验错误。

SRAM初始化

如果使能了奇偶校验，必须初始化SRAM内容以避免出现虚假的奇偶校验错误。一个专用硬件特性可以自动初始化所选的SRAM存储区。完成此过程需要1024个HCLK周期。用户可以对该硬件进行全面编程，因此，初始化可以自动或手动启动。

初始化会覆盖所选SRAM存储区的内容。因此，初始化必须在写入这些SRAM块之前执行。在初始化序列期间，如果检测到对正在初始化的SRAM存储区的写或读访问，则该访问会被挂起，直到初始化序列完成为止。在SRAM存储区的初始化过程中，未选定要初始化的存储区可以照常访问。

特定SRAM存储区的初始化是否完成，可以通过轮询SRAM_INITSTAT只读寄存器中的相应SRAM_INITSTAT位[5:0]来监视。每次初始化特定SRAM存储区时，其关联的SRAM_INITSTAT位[5:0]会被清除并保持低电平，直到初始化完成。

上电后，SRAM存储区0（8 kB）会自动初始化。此存储器内容会始终保留，并包含堆栈指针和关键信息。将来不必覆盖存储区0的内容，因为已经执行了初始化。应避免初始化已经初始化的SRAM存储区，因为其中可能已包含用户信息。

更多SRAM存储区（其中已使能奇偶校验）的初始化，可以通过写入SRAM_CTL寄存器随时实现。将需要使能奇偶校验的SRAM存储区的相应SRAM_CTL位[5:0]设置为1。另外，将SRAM_CTL位13设置为1。SRAM_CTL位13在写入后会自动清0，并触发初始化序列。

退出休眠模式后，未保留的SRAM存储区的内容会丢失。如果这些存储区使能了奇偶校验，则需要初始化。退出休眠模式后，有两种办法可初始化所需的SRAM存储区，如下所示：

- 退出休眠模式后，通过写入SRAM_CTL位13来初始化。初始化SRAM_CTL位[5:0]设置为1的SRAM存储区。
- 休眠模式后自动初始化。休眠模式后，无需写入SRAM_CTL。要选择自动模式，应在休眠或初始化之前设置SRAM_CTL位14。退出休眠模式后，此寄存器中选择进行初始化的SRAM会自动初始化。

初始化会复位所选存储区的内容。用户须仔细选择要初始化哪些存储区，以免丢失用户信息。写入SRAM_CTL位15可以随时中止初始化序列。此位在写入后会自动清0。

缓存

缓存和指令SRAM中的初始化

使能缓存可以显著提高从闪存执行的应用程序的性能。缓存与SRAM共存。使能缓存后，SRAM的一部分会被分配给缓存；因此，缓存不能用于其他目的。指令缓存大小为4 kB。从休眠状态唤醒时，不会保留指令缓存的内容。上电时指令缓存被禁用。

使用缓存时，相关SRAM存储区（存储区5）的奇偶校验也可以使能。当SRAM存储区5用作缓存时，不需要初始化。只有在使能奇偶校验的情况下对SRAM进行字节或半字访问时，才需要初始化。当SRAM存储区5用作缓存时，所有访问都是字访问。由于缓存不需要初始化，因此在休眠模式后可以立即使用缓存功能。不存在初始化时间损失。为避免意外的总线错误，使能缓存时，请忽略SRAM存储区5的任何初始化。

与缓存一样，当使能奇偶校验时，用作指令存储器的SRAM存储区也不需要任何初始化。因此，在休眠模式后可以立即使用指令SRAM。如果初始化是在指令SRAM上触发的，它会被提交。如果指令SRAM在初始化的同时接收到对其的访问，该访问将暂停，直到初始化完成。

编程指南

使能缓存的序列如下：

1. 读取FLCC_STAT寄存器中的位0，确保禁用缓存。轮询该位直到其清0。
2. 将用户密钥写入FLCC密钥寄存器。
3. 将FLCC设置寄存器中的位0置1以使能缓存。

有关SRAM块的寄存器详情，参见表29。

寄存器汇总：缓存 (FLCC)

表242. FLCC寄存器汇总

地址	名称	描述	复位	访问类型
0x40018058	STAT	缓存状态	0x00000000	R
0x4001805C	SETUP	缓存设置	0x00000000	R/W
0x40018060	KEY	缓存密钥	0x00000000	W

寄存器详解：缓存 (FLCC)

缓存状态寄存器

地址：0x40018058；复位：0x00000000；名称：STAT

表243. STAT位功能描述

位	位名称	设置	描述	复位	访问类型
[31:1]	保留		保留。	0x00000000	R
0	ICEN	0 1	指令缓存使能。 0 禁用。所有AHB访问都通过闪存进行。 1 使能。对AHB访问使能指令缓存。	0x0	R

缓存设置寄存器

地址：0x4001805C；复位：0x00000000；名称：SETUP

需要缓存用户密钥才能使能对此位置的写操作。写入该寄存器后，密钥会被清除。

表244. SETUP位功能描述

位	位名称	设置	描述	复位	访问类型
[31:1]	保留		保留。	0x00000000	R
0	ICEN	0 1	指令缓存使能。 0 禁用。所有AHB访问都通过闪存进行。 1 对AHB访问使能。	0x0	R/W

缓存密钥寄存器

地址：0x40018060；复位：0x00000000；名称：KEY

表245. KEY的位功能描述

位	位名称	设置	描述	复位	访问类型
[31:0]	VALUE		缓存密钥寄存器。输入0xF123F456设置用户密钥。读取时返回0x0。写入设置寄存器之后，密钥自动清零。	0x00000000	W

芯片标识

ADuCM355的数字和模拟芯片包含芯片ID和硬件版本寄存器，可通过软件读取该寄存器，以便用户确定芯片的当前版本。自动测试设备(ATE)测试程序、内核版本和唯一芯片ID号可以从表246详细列出的只读位置读取。

表246. 内核和ATE测试程序版本详情

地址	描述	访问类型
0x4074C	ATE测试程序版本，16位值	R
0x40760	内核版本号，16位值	R
0x40770	每个器件唯一的16字节序列号，16字节值	R

寄存器汇总：系统（数字芯片）

表247. 系统寄存器汇总

地址	名称	描述	复位	访问类型
0x40002020	ADIID	ADI标识（数字芯片）	0x4144	R
0x40002024	CHIPID	芯片标识符（数字芯片）	0x0284	R
0x40002040	SWDEN	串行线调试使能	0x6E65	W

表248. AFE控制寄存器汇总

地址	名称	描述	复位	访问类型
0x400C0400	ADIID	ADI标识（模拟芯片）	0x4144	R
0x400C0404	CHIPID	芯片标识（模拟芯片）	0x5502	R
0x400C0428	DIE2DIESTA	16位暂存寄存器测试芯片间通信	0xAA55	R/W

寄存器详解：系统（数字芯片）

ADI标识（数字芯片）寄存器

地址：0x40002020；复位：0x4144；名称：ADIID

ADI公司Cortex器件标识。

表249. ADIID位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		ADI公司标识。读取固定值0x4144，告知调试器其已连接到ADI公司实现的基于Cortex的器件。	0x4144	R

芯片标识符（数字芯片）寄存器

地址：0x40002024；复位：0x0284；名称：CHIPID

数字芯片的芯片标识。

表250. CHIPID位功能描述

位	位名称	设置	描述	复位	访问类型
[15:4]	PARTID		器件标识符。	0x28	R
[3:0]	修订版		芯片版本。	0x4	R

串行线调试使能寄存器

地址：0x40002040；复位：0x6E65；名称：SWDEN

此寄存器用于使能SWD接口。内部上电或外部引脚复位时，此寄存器复位。此寄存器不受软件复位的影响。

表251. SWDEN位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		使能SWD接口。将en (0x6E65)或EN (0x4E45)写入该寄存器会使能SWD接口。将rp (0x7072)或RP (0x5052)写入该寄存器会禁用SWD接口。写入任何其他值会被忽略。写入EN或RP时，不能修改该寄存器。该寄存器通过POR或引脚复位来复位，但不能通过软件或WDT复位来复位。	0x6E65	W

ADI标识（模拟芯片）寄存器

地址：0x400C0400；复位：0x4144；名称：ADIID

ADI公司标识符。

表252. ADIID位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	ADIID		ADI公司标识符。始终等于0x4144。	0x4144	R

芯片标识（模拟芯片）寄存器

地址：0x400C0404；复位：0x5502；名称：CHIPID

表253. CHIPID位功能描述

位	位名称	设置	描述	复位	访问类型
[15:4]	PARTID		器件标识符。	0x550	R
[3:0]	版本		芯片版本号。	0x2	R

16位暂存寄存器测试芯片间通信寄存器

地址：0x400C0428；复位：0xAA55；名称：DIE2DIESTA

表254. DIE2DIESTA位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	STA		用户可编程暂存寄存器。用户可以使用此寄存器来验证芯片间通信。	0xAA55	R/W

数字输入和输出

数字输入和输出特性

ADuCM355具有多个双向GPIO引脚(GPIOx/PWMx)。多数GPIO引脚具有多重功能，可通过用户代码进行配置。上电时，这些引脚被配置为三态。有三个16位宽端口。但在某些端口上，并非所有位都能访问。应忽略不可访问的位。所有GPIO端口引脚均提供输入中断功能。典型GPIO引脚结构如图55所示。

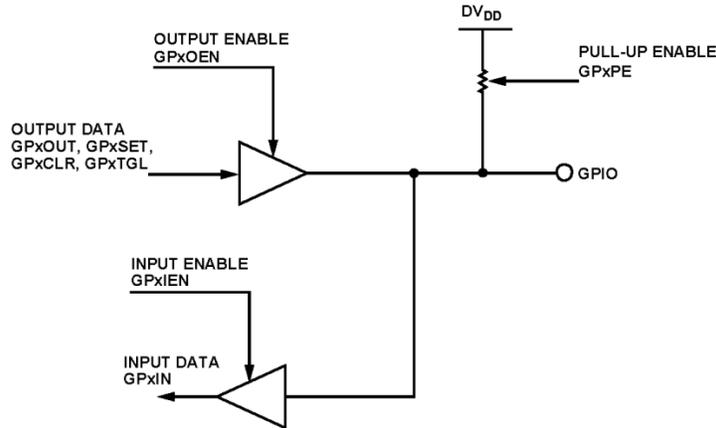


图55. 带上拉电阻的引脚的GPIO结构

数字输入和输出概述

GPIO按组分三个端口：端口0、端口1和端口2。各GPIO皆可配置为输入、输出或完全断开电路。在输入模式下，内部上拉或下拉电阻可通过软件使能。所有输入和输出引脚都能在全电源电压范围（ $DVDD = 2.8\text{ V}$ 至 3.6 V 最大值）内工作，GPIO低输入电压(V_{INL})和GPIO高输入电压(V_{INH})指定为电源电压的百分比，如下所示：

$$V_{INL} = 0.25 \times DVDD_{\text{最大值}} \quad (19)$$

$$V_{INH} = 0.6 \times DVDD_{\text{最小值}} \quad (20)$$

绝对最大输入电压为 $DVDD + 0.3\text{ V}$ 。配置为输入或开路的GPIO典型漏电流为每个GPIO 10 nA 。当ADuCM355进入省电模式时，GPIO引脚保持原来的状态。在省电模式下，驱动外设无法驱动引脚。如果UART正在驱动一个引脚，则当进入深度睡眠模式时，它会与该引脚相隔离，电源会被切断。其状态和控制会在唤醒时恢复。

端口0、端口1和端口2的某些位未从封装引出。表255中的引脚定义指出了哪些位可以访问。无法访问位仍然得到实现。默认情况下，这些引脚为三态。

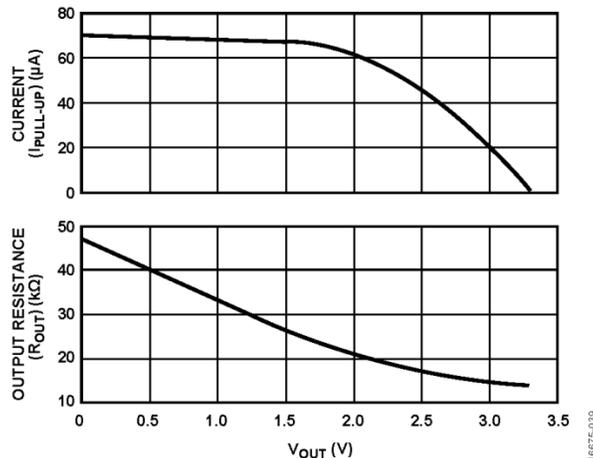


图56. 典型端口0、端口1和端口2上拉特性

数字输入和输出操作

每个数字输入和输出的配置、读取和写入均独立于其它位。

通用输入数据(GPxIN)

当通过GPxIEN寄存器配置为输入时，GPIO引脚的状态可以通过GPxIN寄存器读取。

通用输出数据(GPxOUT)

当通过GPxOEN寄存器配置为输出时，GPxOUT寄存器的值通过GPIO引脚输出。

输入/输出数据输出使能(GPxOEN)

GPxOEN寄存器使能GPxOUT寄存器的值通过GPIO引脚输出。

输入/输出上拉使能(GPxPE)

在输入模式下，GPxPE寄存器使能和禁用内部上拉电阻。所有端口0、端口1和端口2引脚都有内部上拉电阻。上拉电阻采用金属氧化物半导体场效应晶体管(MOSFET)实现，其典型性能如图56所示。

GPIO中断使能(GPxIEN)

这些寄存器使能各GPIO引脚的输入引脚中断源。

位反转模式

位反转模式可反转一个端口中的一个或多个GPIO数据输出，而不影响其他输出。仅与GPxTGL寄存器中的1对应的GPIO引脚会反转。其余GPIO不受影响。

中断

每个GPIO引脚都可以与一个中断关联。每个GPIO引脚可以独立使能中断，并且中断始终是边沿检测。每次GPIO引脚转换仅产生一个中断。检测到的边缘的极性可以为正（从低到高）或负（从高到低）。每个GPIO中断事件可以映射到两个中断之一（中断A或中断B），使得系统可以更灵活地将GPIO中断分组以进行服务，以及设置中断优先级。每个GPIO引脚的中断状态可以通过访问GPxINT状态寄存器来确定和清除。设置GPxIEN寄存器中的相应位可以使能完整输入路径。

中断极性

中断的极性决定中断是在上升沿还是下降沿被接受。基于所属的分组，每个GPIO引脚都有一个对应的中断寄存器(GPxPOL)。中断寄存器配置每个引脚的中断极性。当设置为0时，中断事件在相应引脚上的高电平到低电平转换时锁存。当设置为1时，中断事件在相应引脚上的低电平到高电平转换时锁存。

中断A使能

每个GPIO端口都有一个对应的中断使能A寄存器(GPxIENA)；对于端口中的每个引脚，可以使能或屏蔽该寄存器。这些寄存器中的各位决定锁存的边沿事件是中断内核（中断A）还是被屏蔽。无论何种情况，GPxINT状态寄存器的相应位都会捕获事件的发生。设置为0时，中断A不使能（被屏蔽）。该GPIO引脚不产生内核中断。设置为1时，中断A使能。检测到有效沿时，会生成内核中断源。

中断B使能

每个GPIO端口都有一个对应的中断使能B寄存器(GPxIENB)；对于端口中的每个引脚，可以使能或屏蔽该寄存器。这些寄存器中的各位决定锁存的边沿事件是中断内核（中断B）还是被屏蔽。无论何种情况，GPxINT状态寄存器的相应位都会捕获事件的发生。设置为0时，中断B不使能（被屏蔽）。该GPIO引脚不产生内核中断。设置为1时，中断B使能。检测到有效沿时，会生成内核中断源。

中断状态

每个GPIO端口都有一个中断状态寄存器(GPxINT)，用于捕获其引脚上发生的中断。这些寄存器位指示已在相应的GPIO引脚上检测到适当配置的上升沿或下降沿。

当检测到事件时，即使GPIO引脚回到非活动状态，GPxINT也会保持设置状态，直到被清除。退出复位状态时，上拉电阻与下降沿检测的结合可能导致GPxINT状态被清除。但是，如果外部电路改变引脚上的电压电平，则情况可能并非如此。初始使能GPxIENA和GPxIENB中断之前，以及配置GPIOx引脚时，应检查GPxINT寄存器的状态。

将1写入GPxINT中的相应位，可清除中断位。写入0无效。如果使能了内核中断（GPxIENA、GPxIENB），则GPxINT中断值1会导致内核中断。在中断处理期间将该GPxINT位清零。当GPxINT读出0时，由于该位上次被清零，因此在相应的GPIO引脚上未检测到上升沿或下降沿。读出1时，表示在相应的GPIO引脚上检测到上升沿或下降沿（GPxPOL可选）。通过软件向相应的GPxINT位写入1可将此位清零。

以下是使能BM/P1.1作为输入中断的示例代码：

```
pADI_GPIO1->PE = 0x2;           // Enable internal pull-up resistors on P1.1
pADI_GPIO1->IEN = 0x1;         // Enable P1.1 input path
pADI_GPIO1->IENA = 0x2;       // Enable External Interrupt A on P1.11
pADI_GPIO1->POL = 0x0;        // Interrupt on falling edge
NVIC_EnableIRQ(SYS_GPIO_INTA_IRQn); // Enable GPIO_INTA interrupt source in NVIC
```

以下是GPIO引脚中断处理例程的示例代码：

```
void GPIO_A_Int_Handler()
{
    unsigned int uiIntSta = 0;
    uiIntSta = pADI_GPIO1->INT;
    if ((uiIntSta & 0x2) == 0x2) // interrupt expected on P1.1
    {
        pADI_GPIO1->INT |= 0x2;
    }
}
```

以下是将P0.3/SPI0_ $\overline{\text{CS}}$ 设置为输出的示例代码。写入GP0OUT、GP0SET、GP0CLR和GP0TGL以设置P0.3/SPI0_ $\overline{\text{CS}}$ 的电平：

```
pADI_GPIO0->OEN |= 0x8; // Configure P0.3 as an output
```

数字芯片端口复用器

此模块控制指定引脚的GPIO功能。一些引脚可以用作GPIO或执行其他特定功能。仅允许配置端口2的P2.4引脚。禁止尝试写入其他端口引脚。表255中的空白单元意味着不适用。

表255. GPIO复用表

GPIO引脚	配置模式			
	00	01	10	11
GP0 (GP0CON控制如下位)				
P0.0/SPI0_CLK	GPIO (GP0CON位[1:0] = 0x0)	SPI0串行时钟(SCLK) (GP0CON位[1:0] = 0x1)		
P0.1/SPI0_MOSI	GPIO (GP0CON位[3:2] = 0x0)	SPI0 MOSI (GP0CON位[3:2] = 0x1)		
P0.2/SPI0_MISO	GPIO (GP0CON位[5:4] = 0x0)	SPI0 MISO (GP0CON位[5:4] = 0x1)		
P0.3/SPI0_C \bar{S}	GPIO (GP0CON位[7:6] = 0x0)	SPI0片选 (GP0CON位[7:6] = 0x1)		SPI1就绪 (GP0CON位[7:6] = 0x3)
P0.4/I2C_SCL	GPIO (GP0CON位[9:8] = 0x0)	I2C I2C_SCL (GP0CON位[9:8] = 0x1)		
P0.5/I2C_SDA	GPIO (GP0CON位[11:10] = 0x0)	I2C I2C_SDA (GP0CON位[11:10] = 0x1)		
P0.10/UART_SOUT	GPIO (GP0CON位[21:20] = 0x0)	UART SOUT引脚 (GP0CON位[21:20] = 0x1)		
P0.11/UART_SIN	GPIO (GP0CON位[23:22] = 0x0)	UART SIN引脚 (GP0CON位[23:22] = 0x1)		
GP1 (GP1CON控制如下位)				
P1.0/SYS_WAKE	GPIO (GP1CON位[1:0] = 0x0)			
BM/P1.1	GPIO引导 (GP1CON位[3:2] = 0x0)	GPIO (GP1CON位[3:2] = 0x1)		
P1.2/SPI1_CLK	GPIO (GP1CON位[5:4] = 0x0)	SPI1 SCLK (GP1CON位[5:4] = 0x1)		
P1.3/SPI1_MOSI	GPIO (GP1CON位[7:6] = 0x0)	SPI1 MOSI (GP1CON位[7:6] = 0x1)		
P1.4/SPI1_MISO	GPIO (GP1CON位[9:8] = 0x0)	SPI1 MISO (GP1CON位[9:8] = 0x1)		
P1.5/SPI1_C \bar{S}	GPIO (GP1CON位[11:10] = 0x0)	SPI1片选 (GP1CON位[11:10] = 0x1)		
P2.4	GPIO (GP2CON位[9:8] = 0x0)			

AFE芯片数字端口复用器

此模块控制三个数字芯片引脚GPIO引脚。这些引脚中的两个引脚引出为GPIO0/PWM0和GPIO1/PWM1。第三个引脚（称为P2.2）是内部引脚，绑定到数字芯片P0.10/UART_SOUT引脚，支持将AFE芯片系统时钟连接到数字芯片。

表256. AFE芯片GPIO复用表

GPIO	配置模式 (GP2CON控制如下位)			
	00	01	10	11
GPIO0	保留	PWM0 (GP2CON位[1:0] = 0x1)	GPIO (GP2CON位[1:0] = 0x2)	保留
GPIO1	保留	PWM1 (GP2CON位[3:2] = 0x1)	GPIO (GP2CON位[3:2] = 0x2)	保留
P2.2 (仅内部)	CLK_OUT (GP2CON位[5:4] = 0x0)	保留	保留	保留

寄存器汇总：数字输入和输出

表257. 数字芯片GPIO寄存器汇总

地址	名称	描述	复位	访问类型
0x40020000	GPIOCON	GPIO端口0配置	0x00000000	R/W
0x40020004	GPIOEN	GPIO端口0输出使能	0x0000	R/W
0x40020008	GPIOPE	GPIO端口0输入/输出上拉使能	0x2	R/W
0x4002000C	GPIOIEN	GPIO端口0输入路径使能	0x0000	R/W
0x40020010	GPIOIN	GPIO端口0寄存数据输入	0xXXXX	R
0x40020014	GPIOOUT	GPIO端口0数据输出	0x0000	R/W
0x40020018	GPIOSET	GPIO端口0数据输出设置	0x0000	W
0x4002001C	GPIOCLR	GPIO端口0数据输出清零	0x0000	W
0x40020020	GP0TGL	GPIO端口0引脚反转	0x0000	W
0x40020024	GP0POL	GPIO端口0中断极性	0x0000	R/W
0x40020028	GPIOIENA	GPIO端口0中断A使能	0x0000	R/W
0x4002002C	GPIOIENB	GPIO端口0中断B使能	0x0000	R/W
0x40020030	GP0INT	GPIO端口0中断状态	0x43C0	R/W
0x40020034	GP0DS	GPIO端口0驱动强度选择	0x0000	R/W
0x40020040	GP1CON	GPIO端口1配置	0x00000000	R/W
0x40020044	GP1OEN	GPIO端口1输出使能	0x0000	R/W
0x40020048	GP1PE	GPIO端口1输入/输出上拉使能	0x0002	R/W
0x4002004C	GP1IEN	GPIO端口1输入路径使能	0x0002	R/W
0x40020050	GP1IN	GPIO端口1寄存数据输入	0xXXXX	R
0x40020054	GP1OUT	GPIO端口1数据输出	0x0000	R/W
0x40020058	GP1SET	GPIO端口1数据输出设置	0x0000	W
0x4002005C	GP1CLR	GPIO端口1数据输出清零	0x0000	W
0x40020060	GP1TGL	GPIO端口1引脚反转	0x0000	W
0x40020064	GP1POL	GPIO端口1中断极性	0x0000	R/W
0x40020068	GP1IENA	GPIO端口1中断A使能	0x0000	R/W
0x4002006C	GP1IENB	GPIO端口1中断B使能	0x0000	R/W
0x40020070	GP1INT	GPIO端口1中断状态	0x7800	R/W
0x40020074	GP1DS	GPIO端口1驱动强度选择	0x0000	R/W
0x40020080	GP2CON	GPIO端口2配置	0x00000000	R/W
0x40020084	GP2OEN	GPIO端口2输出使能	0x0000	R/W
0x40020088	GP2PE	GPIO端口2输入/输出上拉使能	0x0000	R/W
0x4002008C	GP2IEN	GPIO端口2输入路径使能	0x0000	R/W
0x40020090	GP2IN	GPIO端口2寄存数据输入	0x0XXX	R
0x40020094	GP2OUT	GPIO端口2数据输出	0x0000	R/W
0x40020098	GP2SET	GPIO端口2数据输出设置	0x0000	W
0x4002009C	GP2CLR	GPIO端口2数据输出清零	0x0000	W
0x400200A0	GP2TGL	GPIO端口2引脚反转	0x0000	W
0x400200A4	GP2POL	GPIO端口2中断极性	0x0000	R/W
0x400200A8	GP2IENA	GPIO端口2中断A使能	0x0000	R/W
0x400200AC	GP2IENB	GPIO端口2中断B使能	0x0000	R/W
0x400200B0	GP2INT	GPIO端口2中断状态	0x4	R/W
0x400200B4	GP2DS	GPIO端口2驱动强度选择	0x0000	R/W

表258. AFE芯片GPIO寄存器汇总

地址	名称	描述	复位	访问类型
0x400C0080	CON	AFE GPIO端口配置	0x00	R/W
0x400C0084	OEN	AFE GPIO端口输出使能	0x0	R/W
0x400C0088	PE	AFE GPIO端口输出上拉和下拉使能	0x2	R/W
0x400C008C	IEN	AFE GPIO端口输入路径使能	0x0	R/W
0x400C0090	IN	AFE GPIO端口寄存数据输入	0x0	R
0x400C0094	OUT	AFE GPIO端口数据输出	0x0	R/W
0x400C0098	SET	AFE GPIO端口数据输出设置	0x0	W
0x400C009C	CLR	AFE GPIO端口数据输出清零	0x0	W
0x400C00A0	TGL	AFE GPIO端口引脚反转	0x0	W

寄存器详解：数字输入和输出

在每个端口上，并非所有位都能被用户访问。不可访问的位被保留。关于可访问位的更多信息，请参阅表255。

GPIO端口配置寄存器

地址：0x40020000；复位：0x00000000；名称：GP0CON

地址：0x40020040；复位：0x00000000；名称：GP1CON

地址：0x40020080；复位：0x00000000；名称：GP2CON

表259. GP0CON、GP1CON、GP2CON位功能描述

位	位名称	设置	描述 ¹	访问类型
[31:30]	CON15		端口x.15的配置位。参见表255。	R/W
[29:28]	CON14		端口x.14的配置位。参见表255。	R/W
[27:26]	CON13		端口x.13的配置位。参见表255。	R/W
[25:24]	CON12		端口x.12的配置位。参见表255。	R/W
[23:22]	CON11		端口x.11的配置位。参见表255。	R/W
[21:20]	CON10		端口x.10的配置位。参见表255。	R/W
[19:18]	CON9		端口x.9的配置位。参见表255。	R/W
[17:16]	CON8		端口x.8的配置位。参见表255。	R/W
[15:14]	CON7		端口x.7的配置位。参见表255。	R/W
[13:12]	CON6		端口x.6的配置位。参见表255。	R/W
[11:10]	CON5		端口x.5的配置位。参见表255。	R/W
[9:8]	CON4		端口x.4的配置位。参见表255。	R/W
[7:6]	CON3		端口x.3的配置位。参见表255。	R/W
[5:4]	CON2		端口x.2的配置位。参见表255。	R/W
[3:2]	CON1		端口x.1的配置位。参见表255。	R/W
[1:0]	CON0		端口x.0的配置位。参见表255。	R/W

¹X为0表示端口0，为1表示端口1，为2表示端口2。

GPIO端口输出使能寄存器

地址：0x40020004；复位：0x0000；名称：GP0OEN

地址：0x40020044；复位：0x0000；名称：GP1OEN

地址：0x40020084；复位：0x0000；名称：GP2OEN

表260. GP0OEN、GP1OEN、GP2OEN位功能描述

位	位名称	设置	描述	访问类型
[15:0]	OEN		引脚输出驱动使能。 0 禁用对应GPIO的输出。 1 使能对应GPIO的输出。	R/W

GPIO端口输入/输出上拉使能寄存器

地址：0x40020008；复位：0x2；名称：GP0PE

地址：0x40020048；复位：0x0002；名称：GP1PE

地址：0x40020088；复位：0x0000；名称：GP2PE

表261. GP0PE、GP1PE、GP2PE位功能描述

位	位名称	设置	描述	访问类型
[15:0]	PUL		输入和输出模式下的引脚上拉使能。 0 禁用对应GPIO的上拉电阻。 1 使能对应GPIO的上拉电阻。	R/W

GPIO端口输入路径使能寄存器

地址：0x4002000C；复位：0x0000；名称：GP0IEN

地址：0x4002004C；复位：0x0002；名称：GP1IEN

地址：0x4002008C；复位：0x0000；名称：GP2IEN

表262. GP0IEN、GP1IEN、GP2IEN位功能描述

位	位名称	设置	描述	访问类型
[15:0]	IEN		输入路径使能。对于外部中断和读取引脚值，必须置1。 0 禁用对应GPIO的输入路径。 1 使能对应GPIO的输入路径。	R/W

GPIO端口寄存数据输入寄存器

地址：0x40020010；复位：0xXXXX；名称：GP0IN

地址：0x40020050；复位：0xXXXX；名称：GP1IN

地址：0x40020090；复位：0x0XXX；名称：GP2IN

表263. GP0IN、GP1IN、GP2IN位功能描述

位	位名称	设置	描述	访问类型
[15:0]	IN		寄存数据输入。每一位反映GPIO引脚的状态。	R

GPIO端口数据输出寄存器

地址：0x40020014；复位：0x0000；名称：GP0OUT

地址：0x40020054；复位：0x0000；名称：GP1OUT

地址：0x40020094；复位：0x0000；名称：GP2OUT

表264. GP0OUT、GP1OUT、GP2OUT位功能描述

位	位名称	设置	描述	访问类型
[15:0]	OUT		数据输出。对此寄存器勿使用位带别名地址。 0 用户清0时，将对应的GPIO驱动到低电平。 1 用户置1时，将对应的GPIO驱动到高电平。	R/W

GPIO端口数据输出设置寄存器

地址：0x40020018；复位：0x0000；名称：GP0SET

地址：0x40020058；复位：0x0000；名称：GP1SET

地址：0x40020098；复位：0x0000；名称：GP2SET

表265. GP0SET、GP1SET、GP2SET位功能描述

位	位名称	设置	描述	访问类型
[15:0]	SET		将输出设置为高电平。对此寄存器勿使用位带别名地址。 0 此位清0无影响。 1 用户置1时，将对应的GPIO驱动到高电平。	W

GPIO端口数据输出清零寄存器

地址：0x4002001C；复位：0x0000；名称：GP0CLR

地址：0x4002005C；复位：0x0000；名称：GP1CLR

地址：0x4002009C；复位：0x0000；名称：GP2CLR

表266. GP0CLR、GP1CLR、GP2CLR位功能描述

位	位名称	设置	描述	访问类型
[15:0]	CLR	0 1	数据输出清零。将输出设置为低电平。对此寄存器勿使用位带别名地址。 此位清0无影响。 置1时，将对应的GPIO引脚驱动到低电平。	W

GPIO端口引脚反转寄存器

地址：0x40020020；复位：0x0000；名称：GP0TGL

地址：0x40020060；复位：0x0000；名称：GP1TGL

地址：0x400200A0；复位：0x0000；名称：GP2TGL

表267. GP0TGL、GP1TGL、GP2TGL位功能描述

位	位名称	设置	描述	访问类型
[15:0]	TGL	0 1	反转端口引脚输出。对此寄存器勿使用位带别名地址。 此位清0无影响。 用户代码置1时，反转对应的GPIO引脚。	W

GPIO端口中断极性寄存器

地址：0x40020024；复位：0x0000；名称：GP0POL

地址：0x40020064；复位：0x0000；名称：GP1POL

地址：0x400200A4；复位：0x0000；名称：GP2POL

表268. GP0POL、GP1POL、GP2POL位功能描述

位	位名称	设置	描述	访问类型
[15:0]	POL	0 1	GPIO引脚中断极性控制。 此位清0时，高电平到低电平转换触发引脚中断。 此位置1时，低电平到高电平转换触发引脚中断。	R/W

GPIO端口中断A使能寄存器

地址：0x40020028；复位：0x0000；名称：GP0IENA

地址：0x40020068；复位：0x0000；名称：GP1IENA

地址：0x400200A8；复位：0x0000；名称：GP2IENA

表269. GP0IENA、GP1IENA、GP2IENA位功能描述

位	位名称	设置	描述	访问类型
[15:0]	INTAEN	0 1	GPIO引脚中断A使能寄存器。 此位清0时，禁用对应的引脚中断。 此位置1时，使能对应的引脚中断。	R/W

GPIO端口中断B使能寄存器

地址：0x4002002C；复位：0x0000；名称：GPOIENB

地址：0x4002006C；复位：0x0000；名称：GP1IENB

地址：0x400200AC；复位：0x0000；名称：GP2IENB

表270. GPOIENB、GP1IENB、GP2IENB位功能描述

位	位名称	设置	描述	访问类型
[15:0]	INTBEN		GPIO引脚中断B使能寄存器。	R/W
		0	此位清0时，禁用对应的引脚中断。	
		1	此位置1时，使能对应的引脚中断。	

GPIO端口中断状态寄存器

地址：0x40020030；复位：0x43C0；名称：GPOINT

地址：0x40020070；复位：0x7800；名称：GP1INT

地址：0x400200B0；复位：0x4；名称：GP2INT

表271. GPOINT、GP1INT、GP2INT位功能描述

位	位名称	设置	描述	访问类型
[15:0]	INTSTATUS		GPIO引脚中断状态寄存器。	R/W1C
		0	指示相应引脚上没有中断。	
		1	置1时，此位指示相应引脚中断事件已被锁存。要清除此位和中断事件，请向该位写入1。写入0无效。	

GPIO端口驱动强度选择寄存器

地址：0x40020034；复位：0x0000；名称：GP0DS

地址：0x40020074；复位：0x0000；名称：GP1DS

地址：0x400200B4；复位：0x0000；名称：GP2DS

表272. GP0DS、GP1DS、GP2DS位功能描述

位	位名称	设置	描述	访问类型
[15:0]	DS		驱动强度控制。对此寄存器勿使用位带别名地址。	R/W
		0	此位清0时，驱动强度正常。	
		1	用户代码将此位置1时，对应GPIO引脚的驱动强度最大。	

AFE GPIO端口配置寄存器

地址：0x400C0080；复位：0x00；名称：CON

表273. CON位功能描述

位	位名称	设置	描述	复位	访问类型
[15:4]	保留		保留。	0x000	R/W
[3:2]	CON1		GPIO1/PWM1配置位。	0x0	R/W
		00	PWM1。		
		10	GPIO。		
[1:0]	CON0		GPIO0/PWM0配置位。	0x0	R/W
		00	PWM0。		
		01	GPIO。		

AFE GPIO端口输出使能寄存器

地址：0x400C0084；复位：0x0；名称：OEN

表274. OEN位功能描述

位	位名称	设置	描述	复位	访问类型
[15:3]	保留		保留。	0x0000	R/W
2	OEN1		AFE芯片时钟到数字芯片的输出使能。AFE芯片焊盘P2.2内部连接到数字芯片内部焊盘P1.10。 0 断开数字芯片P1.10内部焊盘到AFE芯片时钟的路径。 1 使能AFE芯片时钟到数字芯片的路径。	0	R/W
[1:0]	OEN0		引脚输出驱动使能。每个位设置时，相应引脚的输出即使能。这些位清零时，相应引脚的输出即禁用。	0x0	R/W

AFE GPIO端口输出上拉和下拉使能寄存器

地址：0x400C0088；复位：0x2；名称：PE

表275. PE位功能描述

位	位名称	设置	描述	复位	访问类型
[15:3]	保留		保留。	0x0000	R/W
[2:0]	PE		引脚拉动使能。每个位设置时，相应引脚的上拉和下拉电阻即使能。每个位清零时，相应引脚的上拉和下拉电阻即禁用。	0x0	R/W

AFE GPIO端口输入路径使能寄存器

地址：0x400C008C；复位：0x0；名称：IEN

表276. IEN位功能描述

位	位名称	设置	描述	复位	访问类型
[15:2]	保留		保留。	0x0000	R/W
[1:0]	IEN		输入路径使能。每个位设置时，使能GPIO引脚的输入路径；清零时禁用输入路径。	0x0	R/W

AFE GPIO端口寄存数据输入

地址：0x400C0090；复位：0x0；名称：IN

表277. IN位功能描述

位	位名称	设置	描述	复位	访问类型
[15:2]	保留		保留。	0x0000	R/W
[1:0]	IN		寄存数据输入。如果相应的输入缓冲器使能，则每个位反映GPIO引脚的状态。如果引脚输入缓冲器禁用，则显示的值为零。	0x0	R

AFE GPIO端口数据输出寄存器

地址：0x400C0094；复位：0x0；名称：OUT

表278. OUT位功能描述

位	位名称	设置	描述	复位	访问类型
[15:2]	保留		保留。	0x0000	R/W
[1:0]	OUT		数据输出。用户置1时，将对应的GPIO驱动到高电平。用户清0时，将对应的GPIO驱动到低电平。	0x0	R/W

AFE GPIO端口数据输出设置寄存器

地址：0x400C0098；复位：0x0；名称：SET

表279. SET位功能描述

位	位名称	设置	描述	复位	访问类型
[15:2]	保留		保留。	0x0000	R/W
[1:0]	SET		将AFE芯片端口引脚(GPIOx/PWMx)的输出设置为高电平。用户置1时，将对应的GPIO驱动到高电平。此位清0无影响。	0x0	W

AFE GPIO端口数据输出清零寄存器

地址：0x400C009C；复位：0x0；名称：CLR

表280. CLR位功能描述

位	位名称	设置	描述	复位	访问类型
[15:2]	保留		保留。	0x0000	R/W
[1:0]	CLR		将AFE芯片端口引脚(GPIOx/PWMx)的输出设置为低电平。置1时，将对应的GPIO引脚驱动到低电平。此位清0无影响。	0x0	W

AFE GPIO端口引脚反转寄存器

地址：0x400C00A0；复位：0x0；名称：TGL

表281. TGL位功能描述

位	位名称	设置	描述	复位	访问类型
[15:2]	保留		保留。	0x0000	R/W
[1:0]	TGL		反转端口引脚输出。置1时，反转对应的GPIO引脚。此位清0无影响。	0x0	W

I²C串行接口

I²C特性

I²C接口以主机或从机模式工作，具有2字节发送和接收FIFO。I²C接口支持7位和10位寻址模式，可以是四个7位器件地址，也可以是一个10位地址和两个7位地址的组合，并支持主机模式和从机模式下的重复起始从机。总线上的其他器件可以使能时钟延展，而不会引起ADuCM355的任何问题。它还提供主机仲裁、主机连续读取模式或最多512字节固定读取以及内部和外部回送。DMA控制器支持主机和从机模式下的DMA，以及对无应答信号从机的软件控制。

I²C概述

I²C数据传输使用串行时钟引脚(I2C_SCL)和串行数据引脚(I2C_SDA)。这些引脚以“线与”门控格式配置，可在多主机系统中进行仲裁。

I²C系统的传输序列由主器件启动，主器件在总线空闲时产生一个起始条件。在起始地址发送期间，主机发送从机的地址和数据发送器的方向。如果主机没有输掉仲裁且从机应答了初始地址传输，那么就会开始数据传输。这种传输会持续到主机发送一个停止条件为止，然后总线进入空闲状态。图57所示为典型I²C传输。

可配置主机产生串行时钟。频率由用户在串行时钟分频寄存器DIV中设置。主机通道经过设置，可以在快速模式(400 kHz)或标准模式(100 kHz)下工作。

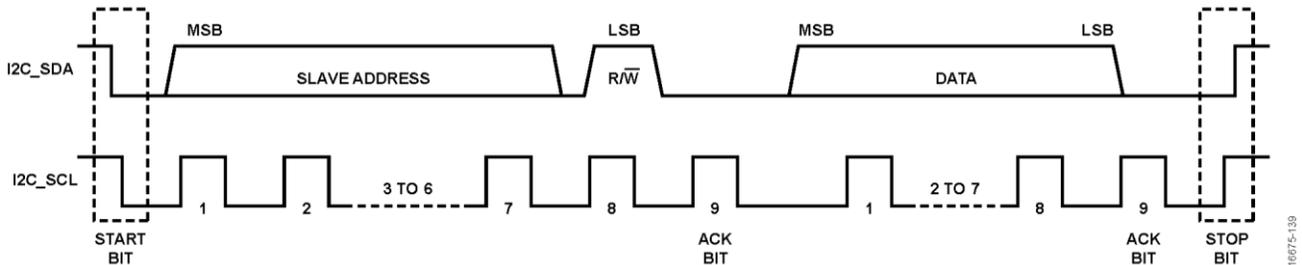


图57. 典型I²C传输序列

用户可在I²C总线系统中写入I²C总线外设地址。没有进行传输时，可随时修改这个ID。用户最多可以设置4个由外设识别的从机地址。外设的发送和接收移位寄存器各有2字节FIFO。控制寄存器中的IRQ和状态位用于告知处理器内核何时需要处理FIFO。

I²C工作原理

I²C启动

运行I²C外设需要下列步骤：

1. 设置CTL5位5和CTL5位3 = 0，使能I²C外设的PCLK。PCLK频率通过CTL1位[13:8]控制。
2. 通过GP0CON寄存器将数字引脚（P0.4/I2C_SCL和P0.5/I2C_SDA）配置为I²C操作。
3. 确保提高P0.4/I2C_SCL引脚和P0.5/I2C_SDA引脚的驱动强度，以保证I²C通信可靠，详见以下示例代码：

```
GP0DS = 0x30; // Increase drive strength of I2C pins.
```
4. 根据需要将I²C寄存器配置为从机或主机操作。
5. 根据需要将I²C从机或主机中断源。

使用I²C时，用户须通过GP0POL寄存器禁用I²C引脚的内部上拉电阻。GPIO多路复用配置模式对于P0.4/I2C_SCL是I2C_SCL，对于P0.5/I2C_SDA是I2C_SDA。

7位寻址

ID0寄存器、ID1寄存器、ID2寄存器和ID3寄存器包含从器件ID。ADuCM355将四个IDx寄存器与地址字节做比较。为确保寻址准确，IDx寄存器的7个MSB必须与最先接收到的地址字节的7个MSB相同。在地址识别过程中，IDx寄存器的LSB（R/W或传输方向）被忽略。主机利用ADR1寄存器寻址器件。

10位寻址

对于主机和从机模式，此特性通过设置SCTL来使能。从机的10位地址存储在ID0和ID1寄存器中，其中ID0寄存器包含地址的第一个字节，R/W位和高5位必须设置为11110，如图58所示。ID1寄存器包含10位地址的余下8位。ID2和ID3寄存器仍可设置为7位地址。

主机利用ADR1和ADR2寄存器与10位地址从机通信。格式如图58所示。要对使用10位地址的从机执行读操作，主机必须先发送10位地址并将R/W位清零。然后，主机必须产生一个重复开始条件，并且仅发送地址的第一个字节，同时R/W位置1。当主机仍然繁忙时，重复起始条件通过写入ADR1而产生。

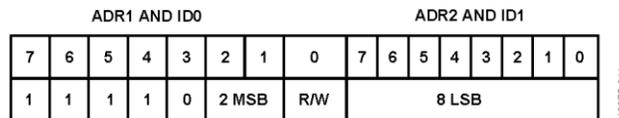


图58. 10位地址格式

重复起始条件是指向从机发送第二个起始条件，且第一个和第二个起始条件之间没有发送停止条件。此序列允许主机通过改变R/W位逆转传输方向，但不必放弃对总线的控制权。图59所示为一个传输序列示例。此序列一般用在如下情况：要读取的寄存器的能力由发送到器件的第一个数据确定。

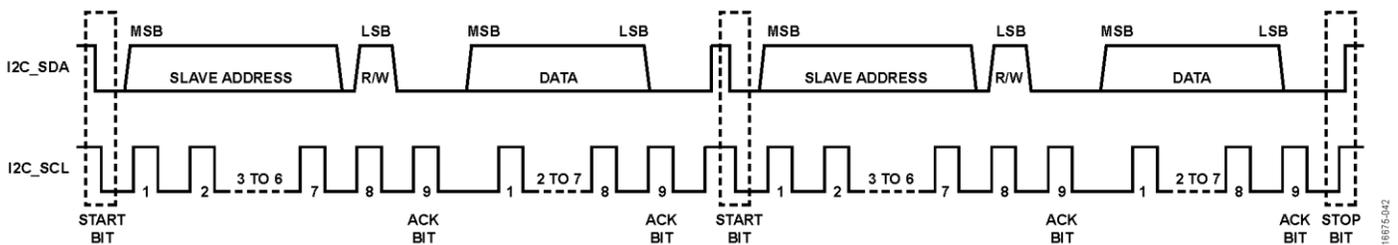


图59. I²C重复起始序列

在从机侧，当接收到重复起始条件和从机地址时，会产生一个中断（若SCTL寄存器使能了中断）。使用SSTAT MMR中的START和REPSTART状态位可以区分是此序列还是接收到起始条件加从机地址。

在主机侧，当主机仍忙于处理时，如果写入ADR1寄存器，主机会产生重复起始条件。I²C状态机开始发送从机地址后，便可安全地写入ADR1寄存器。

例如，若需要一个涉及到写入、重复起始然后读/写的处理，则应在状态机开始发送器件地址之后，或者在收到第一个MTXREQ中断之后，写入ADR1寄存器。当发送FIFO清空时，产生重复起始条件。同样，若需要一个涉及到读取、重复起始然后读/写的处理，则应在状态机开始发送器件地址之后，或者在收到第一个MRXREQ中断之后，写入主机第一地址字节寄存器ADR1。当达到请求的接收数量时，产生重复起始条件。

I²C时钟控制

PCLK为I²C外设提供时钟。要使能I²C模块的时钟，必须将CTL5位5和CTL5位3清0。PCLK的频率由CTL1位[13:8]确定。系统中的I²C主机生成用于传输的串行时钟。主机通道经过配置，可以在快速模式(400 kHz)或标准模式(100 kHz)下工作。

DIV MMR中定义的比特率如下：

$$f_{SCL} = f_{I2CCLK} / (Low + High + 3) \quad (21)$$

其中：

f_{SCL} 为I²C波特率。

f_{I2CCLK} 为PCLK频率。

Low 为时钟的低电平周期，DIV[7:0]。

$High$ 为时钟的高电平周期，DIV[15:8]。

$$High = REQD_HIGH_TIME / PCLK_PERIOD - 2$$

其中：

$REQD_HIGH_TIME$ 为所需的高电平时间周期。

$PCLK_PERIOD$ 为PCLK周期。

$$Low = REQD_LOW_TIME/PCLK_PERIOD - 1$$

其中REQD_LOW_TIME为所需的低电平时间周期。

对于100 kHz SCL操作，低电平时间为5 μs，高电平时间5 μs，PCLK频率为26 MHz，

$$High = (5 \mu s / (1/26,000,000)) - 2 = 128 = 0x80 \quad (22)$$

$$Low = (5 \mu s / (1/26,000,000)) - 1 = 129 = 0x81 \quad (23)$$

$$f_{SCL} = 26,000,000 / (128 + 129 + 3) = 100 \text{ kHz} \quad (24)$$

复位I²C模块

复位I²C模块需要三步。请勿在两个连续通信序列上复位I²C外设。

在主机模式下，步骤如下：

1. 将MCTL位0清0，禁用I²C主机。
2. 将SHCTL位0置1，这是一个只写寄存器。写入此位会复位I²C模块的启停检测电路，并将MSTAT位10清0。
3. 将MCTL位0置1，重新使能I²C主机。

在从机模式下，步骤如下：

1. 将SCTL位0清0，禁用I²C从机。
2. 将SHCTL位0置1，这是一个只写寄存器。写入此位会复位I²C模块的启停检测电路。
3. 将SCTL位0置1，重新使能I²C从机。

I²C工作模式

主机传输启动

如果主机使能位（MCTL位0）置1，则向ADR1寄存器写入一个值便会启动主机传输序列。如果MTX寄存器中的数据有效，它便是在写入序列期间地址字节后传输的第一个字节。

从机传输启动

如果从机使能位（SCTL位0）置1，则会监控寄存器ID0、寄存器ID1、寄存器ID2或寄存器ID3中的器件地址的从机传输序列。如果识别了器件地址，器件就会加入从机传输序列中。

请注意，从机操作总是从以下三个中断源之一置位开始：读请求（MRXREQ、SRXREQ）、写请求（MTXREQ、STXREQ）或广播中断（GCINT）。软件必须总是寻找停止中断，以确保事务已正确完成，并取消置位停止中断状态位。

接收和发送数据FIFO

发送数据路径包括主机和从机发送FIFO（每个2字节深）、MTX寄存器和STX寄存器以及一个发送移位器。发送状态位MSTAT位[1:0]和SSTAT位0表示发送FIFO中是否存在有效数据。当一个串行字节开始传输时，来自发送FIFO的数据载入发送移位器。在一个主动传输序列期间，如果发送FIFO未满载，发送请求位（MSTAT位2或SSTAT位2）就会置位。图60显示了主机读取请求开始时从机发送FIFO未满载的影响。读取位之后可能会产生额外的发送中断。如果发送FIFO未满载，则会发生额外的发送中断。

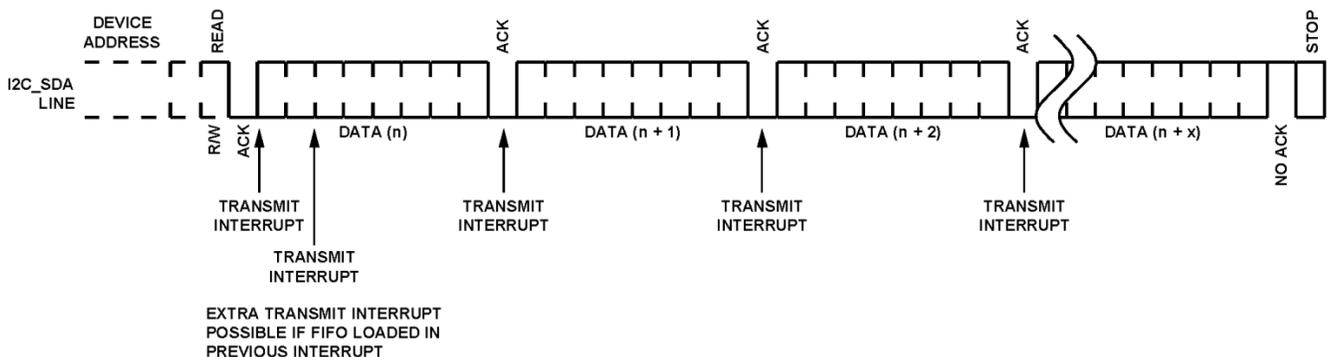


图60. I²C从机发送中断详情

在从机中，当加载发送移位器时，如果没有有效数据可供发送，发送下溢状态位就会置位（MSTAT位12或SSTAT位1）。在从机模式下，必须在I2C_SCL的下降沿之前，以及在置位应答或无应答之前，将一个字节载入发送FIFO。在对应R/W位的I2C_SCL下降沿上，如果发送FIFO为空，则从机返回不应答，因为在这种情况下，从机控制应答或不应答。

如果在从机发送序列中正确发送了第一个字节，但对于同一传输中的后续字节，发送FIFO为空，则从机返回先前发送的字节。此操作是因为在从机传输序列期间，主机控制应答或不应答。如果发送FIFO中没有数据且主机正在写入数据，主机就会产生停止条件。

接收数据路径包括主机和从机接收FIFO、MRX寄存器和SRX寄存器。两者都是两字节深。接收请求中断位（MSTAT位3或SSTAT位3）表示接收FIFO中是否存在有效数据。每收到一个字节，数据便载入接收FIFO。如果接收FIFO中的有效数据被接收移位器覆盖，接收上溢状态位就会置位（MSTAT位9或SSTAT位4）。

自动时钟延展

ASTRETCH_SCL寄存器控制自动时钟延展。如果使能自动时钟延展，则在如下情况下，在I2C_SCL的下降沿之后，在应答或不应答之前，I²C硬件会将I2C_SCL引脚保持在低电平：

- 当对主机或从机的有效读取请求处于活动状态时，发送FIFO为空。
- 当即将接收另一个字节时，接收FIFO已满。如果在超时周期结束时仍未读取接收FIFO，则返回不应答，并且主机以停止条件结束序列。

当使能自动时钟延展时，应使能超时特性以支持从未完成的数据传输中恢复。主机模式和从机模式的单独状态位指示是否发生了延展超时。建议使能自动时钟延展，尤其是在从机模式下。

在超时周期结束时，在对应R/W位的I2C_SCL下降沿上，如果发送FIFO为空，则从机将在超时周期后返回不应答。如果在从机发送序列中正确发送了第一个字节，但对于使能了时钟延展的同一传输中的后续字节，发送FIFO为空，则在超时周期结束时，从机返回先前发送的字节。

主机无应答

接收数据时，如果主机FIFO已满且试图向FIFO再写入一个字节，主机就会用不应答回应。最后收到的字节不会写入FIFO，而是丢失。

从机无应答

如果从机不想应答一个读取访问，那么不将数据写入从机发送FIFO就会产生一个不应答。如果从机不想应答主机写操作，应将从机控制寄存器SCTL位7置位。

通常，从机会应答写入接收FIFO中的所有字节。如果接收FIFO已满，从机将无法写入更多字节，因而不会应答后续未写入FIFO的字节。此时，主机必须停止处理。

如果R/W位置1且发送FIFO为空，则从机不会应答一个匹配器件地址。因此，微控制器响应从机发送请求和置位应答的时间非常短。由于这个原因，建议置位SCTL位5。

广播

I²C广播用于寻址I²C总线上的每个器件。广播地址为0x00或0x01。第一个字节是地址字节，之后是命令字节。

如果地址字节为0x00，则第二字节（即命令字节）可以是如下值之一：

- 0x6。I²C接口（主机和从机）复位。广播中断状态置位，广播ID位（SSTAT位[9:8]）为0x1。用户代码必须采取纠正措施来复位整个系统，或者简单地重新使能I²C接口。
- 0x4。广播中断状态置位，广播ID位（SSTAT位[9:8]）为0x2。

如果地址字节为0x01，则发出硬件广播。这种情况下，第二字节为硬件主机地址。

对于任何广播，收到第二字节之后，广播中断状态位就会置1，用户代码须采取纠正措施重新设置器件地址。

如果SCTL位2置1，从机总是会应答广播的第一字节。如果第二字节是0x04或0x06，或者第二字节是硬件广播且SCTL位3置1，则从机也会应答广播的第二字节。

ALT寄存器包含硬件广播序列的备选器件ID。如果硬件广播使能位、广播使能位和从机使能位（SCTL寄存器中的HGCEN、GCEN和SLVEN）全都置1，器件将辨识出硬件广播。当发出一个广播序列且该序列的第二字节与ALT寄存器相同时，器件会辨识出硬件广播序列。

PC复位模式

向SCTL位0写入0时，从机状态机复位。向MCTL位0写入0时，主机状态机复位。

PC测试模式

将MCTL位2置1，可使器件处于内部回送模式。有四个FIFO，分别用于主机发送和接收以及从机发送和接收。因此，I²C外设实际上可以设置为与其自身通信。如果设置主机对从机寻址，就可以实现外部回送。

PC低功耗模式

如果主机和从机均禁用（MCTL位0 = SCTL位0 = 0），则I²C部分关闭。要完全关断I²C模块，应设置CTL5位3 = 1以禁用芯片I²C部分的时钟。

关断注意事项

如果主机或从机空闲，可以通过清除主机控制寄存器MCTL或从机控制寄存器SCTL的位0来立即将其禁用。但是，如果主机或从机处于活动状态，则会发生四种可能的事件，因此有如下四种关断器件的方法：

- I²C是主机，正在接收数据。基于MRXCNT寄存器中设定的计数，器件正则接收数据。如果MRXCNT位8置1，则它处于连续读取模式。要停止读取传输，应将此位清0，并为MRXCNT寄存器赋值MCRXCNT位[7:0] + 1，其中MCRXCNT位[7:0]提供当前读取计数。+1表示完成还有一定的空间。如果新设定的值小于当前计数，则I²C主机将一直接收，直到当前计数溢出并达到设定的计数。当发生这种溢出时，传输在接收到下一字节后结束。收到事务处理完毕中断后，内核通过清除MCTL位0来禁用主机。
- I²C是主机，正在发送数据。软件通过设置STAT位9刷新发送FIFO，通过清除MCTL位5禁用发送请求。当发送请求被禁用时，当前传输在发送完进行中的字节之后结束。收到事务处理完毕中断后，软件将MCTL位0清0。在完成之前禁用主机可能导致总线无限期停止。
- I²C是从机，正在接收数据。软件设置SCTL位7，对下一次通信不应答，此后外部主机必须停止。收到停止中断后，内核通过清除SCTL位0来禁用从机。
- I²C是从机，正在发送数据。从机发送开始后，它不能对进一步处理不应答，因为应答仅由主机驱动。因此，从机发送必须等到外部主机发出停止条件为止。收到停止中断后，可以禁用从机。但是，如果必须立即禁用从机，则只能以传输错误数据（全部为0xFF）为代价执行此操作，因为I²C_SDA线不再被驱动，并且在数据阶段被上拉。在这种情况下，总线不会停止。

DMA请求

有四个DMA通道来为I²C主机和从机服务。从机控制寄存器和主机控制寄存器提供了DMA使能位。

ADuCM355 断电时的I²C引脚

当ADuCM355没有上电时，请勿将逻辑高电平信号施加到任何数字引脚。任何时候都能施加于数字输入引脚的最大电压为DVDD + 0.3V。如果超过此限值，ESD保护二极管便开始导通至地。如果ADuCM355未上电，但I²C总线引脚处于逻辑高电平状态，则ADuCM355引脚保护结构会将I²C_SCL和I²C_SDA拉至地，导致总线上已上电器件出现问题。

建议在总线上开始任何通信之前，所有带I²C总线的器件（包括ADuCM355）都已完全上电。

寄存器汇总：I²C表282. I²C寄存器汇总

地址	名称	描述	复位	访问类型
0x40003000	MCTL	主机控制	0x0000	R/W
0x40003004	MSTAT	主机状态	0x6000	R
0x40003008	MRX	主机接收数据	0x0000	R
0x4000300C	MTX	主机发送数据	0x0000	R/W
0x40003010	MRXCNT	主机接收数据计数	0x0000	R/W
0x40003014	MCRXCNT	主机当前接收数据计数	0x0000	R
0x40003018	ADR1	第一主机地址字节	0x0000	R/W
0x4000301C	ADR2	第二主机地址字节	0x0000	R/W
0x40003024	DIV	串行时钟周期分频	0x1F1F	R/W
0x40003028	SCTL	从机控制	0x0000	R/W
0x4000302C	SSTAT	从机I ² C状态、错误和IRQ	0x0001	R
0x40003030	SRX	从机接收	0x0000	R
0x40003034	STX	从机发送	0x0000	R/W
0x40003038	ALT	硬件广播ID	0x0000	R/W
0x4000303C	ID0	第一从机地址器件ID	0x0000	R/W
0x40003040	ID1	第二从机地址器件ID	0x0000	R/W
0x40003044	ID2	第三从机地址器件ID	0x0000	R/W
0x40003048	ID3	第四从机地址器件ID	0x0000	R/W
0x4000304C	FSTAT	主机和从机FIFO状态	0x0000	R/W
0x40003050	SHCTL	主机和从机共享控制	0x0000	W
0x40003058	ASTRETCH_SCL	主机和从机自动延展控制模式	0x0000	R/W

寄存器详解：I²C

主机控制寄存器

地址：0x40003000；复位：0x0000；名称：MCTL

表283. MCTL位功能描述

位	位名称	设置	描述	复位	访问类型
[15:12]	保留		保留。	0x0	R
11	MTXDMA	0 1	使能主机发送DMA请求。 禁用DMA模式。 使能I ² C主机DMA发送请求。	0x0	W
10	MRXDMA	0 1	使能主机接收DMA请求。 禁用DMA模式。 使能I ² C主机DMA接收请求。	0x0	W
9	保留		保留。	0x0	R/W
8	IENCOMP	0 1	处理完成（或检测到停止条件）中断使能。 检测到停止条件时不产生中断。 检测到停止条件时产生中断。	0x0	R/W
7	IENACK	0 1	使能应答未收到中断。 禁用应答未收到中断。 使能应答未收到中断。	0x0	R/W
6	IENALOST	0 1	使能输掉仲裁中断。 禁用输掉仲裁中断。 使能输掉仲裁中断。	0x0	R/W
5	IENMTX	0 1	使能发送请求中断。 禁用发送请求中断。 使能发送请求中断。	0x0	R/W
4	IENMRX	0 1	使能接收请求中断。 禁用接收请求中断。 使能接收请求中断。	0x0	R/W
3	保留		保留。将0写入此位。	0x0	R/W
2	LOOPBACK	0 1	内部回送使能。主机也可以回送传输到从机，只要器件地址一致，这也称为外部回送。 离开器件的I2C_SCL和I2C_SDA不复用到其对应的输入上。 离开器件的I2C_SCL和I2C_SDA复用到其对应的输入上。	0x0	R/W
1	COMPETE		启动延时禁用。此位置1时，允许器件争夺所有权，即使另一个器件正在产生一个起始条件。	0x0	R/W
0	MASEN	0 1	主机使能。不使用主机时，必须禁用主机以关闭主机时钟，节省功耗。在事务处理完成之前，请勿清0（参见MSTAT位8）。 禁用主机。 使能主机。	0x0	R/W

主机状态寄存器

地址：0x40003004；复位：0x6000；名称：MSTAT

表284. MSTAT位功能描述

位	位名称	设置	描述	复位	访问类型
15	保留		保留。	0x0	R
14	SCLFILT		I2C_SCL线的状态。此位为I2C_SCL上毛刺滤波器的输出。不驱动时，I2C_SCL始终处于高电平。	0x1	R
13	SDAFILT		I2C_SDA线的状态。此位为I2C_SDA上毛刺滤波器的输出。不驱动时，I2C_SDA始终处于高电平。	0x1	R
12	MTXUNDR		主机发送下溢。当I ² C主机因为发送FIFO变空而结束处理时置位。只有MCTL位5置1，此位才会置位。	0x0	RC

位	位名称	设置	描述	复位	访问类型
11	MSTOP		此I ² C主机驱动的停止条件。当I ² C主机在I ² C总线上产生一个停止条件时置位。此位置位指示处理完成、发送下溢、接收上溢或从机不应答。此位不同于TCOMP位，因为当由于任何其它I ² C主机而出现停止条件时，此位不会置位。此位置位不会产生中断。然而，如果MCTL位8为1，则每个停止条件都会产生一个中断，并且可读取此位。当读取此位时，状态清零。	0x0	RC
10	LINEBUSY		线路繁忙。在I ² C总线上检测到启动条件时置位。在I ² C总线上检测到停止条件时解除置位。	0x0	R
9	MRXOVR		主机接收FIFO溢出。接收FIFO已满后，又有一个字节写入FIFO时，此位置位。当读取此位时，状态清零。	0x0	RC
8	TCOMP		处理完成或检测到停止条件。处理完毕。在I ² C总线上检测到停止条件时，此位置位。如果MCTL位8为1，则当此位置位时会产生中断。只有使能主机(MCTL位0 = 1)，此位才会置位。利用此位确定何时可以安全地禁用主机。当此主机输掉仲裁时，此位也可以用来等待I ² C总线上的另一个主机处理完成。当读取此位时，状态清零。此位可产生中断。	0x0	RC
7	NACKDATA		未收到对数据写入的应答响应。当未收到对数据写入传输的应答响应时，此位置位。如果MCTL位7为1，则当此位置位时会产生中断。此位可产生中断。读取MSTAT寄存器时，此位清0。	0x0	RC
6	MBUSY		主机忙。此位指示主机状态机正在进行处理。当状态机空闲或者另一器件取得I ² C总线控制权时，此位清0。	0x0	R
5	ALOST		输掉仲裁。当主机输掉仲裁时，此位置位。如果MCTL位6为1，则当此位置位时会产生中断。读取MSTAT寄存器时，此位清0。此位可产生中断。	0x0	RC
4	NACKADDR		未收到对地址的应答响应。当未收到对地址的应答响应时，此位置位。如果MCTL位7为1，则当此位置位时会产生中断。读取MSTAT寄存器时，此位清0。此位可产生中断。	0x0	RC
3	MRXREQ		Master Receive Request. This bit asserts when there is data in the receive FIFO. If MCTL, Bit 4 is 1, an interrupt is generated when this bit asserts. This bit can drive an interrupt. 主机接收请求。当接收FIFO中存在数据时，此位置位。如果MCTL位4为1，则当此位置位时会产生中断。此位可产生中断。	0x0	R
2	MTXREQ		主机发送请求。当方向位为0且发送FIFO为空或不满时，此位置位。如果MCTL位5为1，则当此位置位时会产生中断。此位可产生中断。	0x0	R
[1:0]	MTXF	00 10 11	主机发送FIFO状态。显示主机发送FIFO状态。 FIFO空。 FIFO中有1字节数据。 FIFO满。	0x0	R

主机接收数据寄存器

地址：0x40003008；复位：0x0000；名称：MRX

表285. MRX位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	VALUE		主机接收。允许访问接收数据FIFO。该FIFO可容纳2字节。	0x0	R

主机发送数据寄存器

地址：0x4000300C；复位：0x0000；名称：MTX

表286. MTX位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	VALUE		主机发送。对于测试和调试目的，读取此寄存器时，返回主机当前正在发送的字节。写入发送寄存器的字节可以在以后进行回读，即当在线路上发送该字节时。此寄存器允许访问发送数据FIFO。该FIFO可容纳2字节。	0x0	R/W

主机接收数据计数寄存器

地址：0x40003010；复位：0x0000；名称：MRXCNT

表287. MRXCNT位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	保留		保留。	0x0	R
8	EXTEND		扩展读操作。当一个读操作需要读取的字节数多于256时，使用此位。例如，要接收412字节，应写入0x100（此位 = 1）。等待接收第一个字节，然后每收到一个字节便检查该寄存器。当该寄存器中的计数位返回0时，说明已接收256个字节。然后将0x09C写入该寄存器。	0x0	R/W
[7:0]	COUNT		接收计数。将需要的字节数减1值写入这些位。如果需要1个字节，则写入0。如果所需字节数超过256，请使用扩展位。	0x0	R/W

主机当前接收数据计数寄存器

地址：0x40003014；复位：0x0000；名称：MCRXCNT

表288. MCRXCNT位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	COUNT		当前接收计数。此寄存器指示接收到的总字节数。如果请求256字节，当处理完毕时，此寄存器读出0。	0x0	R

第一主机地址字节寄存器

地址：0x40003018；复位：0x0000；名称：ADR1

表289. ADR1位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	ADR1 ADR1		地址字节0。如果需要7位地址，则ADR1的位7至位1为地址，位0为方向（0 = 写，1 = 读）。如果需要10位地址，则ADR1的位7至位3为11110，位2至位1为地址的2个MSB，位0为0。	0x0	R/W

第二主机地址字节寄存器

地址：0x4000301C；复位：0x0000；名称：ADR2

表290. ADR2位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	ADR2		地址字节1。仅当用10位地址寻址从机时才需要此寄存器。ADR2的位7至0为地址的低8位。	0x0	R/W

串行时钟周期分频寄存器

地址：0x40003024；复位：0x1F1F；名称：DIV

表291. DIV位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	HIGH		串行时钟高电平时间。此寄存器控制时钟高电平时间。PCLK驱动定时器。要得出所需的高电平时间，计算如下： $High = (REQD_HIGH_TIME/PCLK_PERIOD) - 2$ 。例如，为产生低电平时间为1300 ns且高电平时间为1200 ns的400kHz I2C_SCL，内核时钟频率为26 MHz， $Low = 1300\text{ ns}/38\text{ ns} - 1 = 0x21$ （十进制33）。 $High = 1200\text{ ns}/38\text{ ns} - 2 = 0x1D$ （十进制29）。此寄存器复位值为0x1F，其给出的I2C_SCL高电平时间为33个PCLK周期。	0x1F	R/W
[7:0]	LOW		串行时钟低电平时间。此寄存器控制时钟低电平时间。PCLK驱动定时器。要得出所需的低电平时间，计算如下： $Low = (REQD_LOW_TIME/PCLK_PERIOD) - 1$ 。此寄存器复位值为0x1F，其给出的I2C_SCL低电平时间为32个PCLK周期。	0x1F	R/W

从机控制寄存器

地址：0x40003028；复位：0x0000；名称：SCTL

表292. SCTL位功能描述

位	位名称	设置	描述	复位	访问类型
15	保留		保留。	0x0	R
14	STXDMA	0 禁用DMA模式。 1 使能I ² C从机DMA接收请求。	使能从机发送DMA请求。	0x0	R/W
13	SRXDMA	0 禁用DMA模式。 1 使能I ² C从机DMA接收请求。	使能从机接收DMA请求。	0x0	R/W
12	IENREPST	0 SSTAT位13置位时不产生中断。 1 SSTAT位13置位时产生中断。	重复起始中断使能。	0x0	R/W
11	保留		保留。	0x0	R/W
10	IENSTX		从机发送请求中断使能。	0x0	R/W
9	IENSRX		从机接收请求中断使能。	0x0	R/W
8	IENSTOP		检测到停止条件中断使能。	0x0	R/W
7	NACK		不应答下一通信。如果此位置1，则不应答下一通信。	0x0	R/W
6	保留		保留。将0写入此位。	0x0	R/W
5	EARLYTXR		提早发送请求模式。此位置1时，允许在方向位I2C_SCL时钟脉冲的正沿之后立刻产生发送请求。	0x0	R/W
4	GCSBCLR	0 不清除广播状态和广播ID位。 1 广播状态和广播ID位清零。只有写入此位或完全复位，才能复位广播状态和广播ID位。	广播状态位清0。	0x0	W
3	HGCEN		硬件广播使能位。当此位和广播使能位置1时，如果收到一个广播信号和一个数据字节，器件将对ALT寄存器的内容和接收移位寄存器的内容进行比较。如果这些寄存器的内容匹配，表明器件接收到一个硬件广播。当器件需要紧急呼叫一个主机而又不知道呼叫哪一个时，可使用该呼叫。这是“对可能相关的主机”的呼叫。要求主机注意的器件会将将自己的地址嵌入到消息中。根据2000年1月的I ² C总线规范，ALT寄存器的LSB必须始终写入1。	0x0	R/W
2	GCEN		广播使能。此位使能I ² C从机应答I ² C广播，地址0x00（写操作）。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
1	ADR10EN		使能10位寻址。如果此位清0，从机可以支持4个从机地址，分别在ID0寄存器至ID3寄存器中设置。此位置1时，使能10位寻址。从机支持一个10位地址，其存储在ID0和ID1中，ID0包含该地址的第一个字节，高5位必须为11110。ID3和ID4均可写入7位地址。	0x0	R/W
0	SLVEN	0 1	从机使能。 禁用从机，从机状态机触发器处于复位状态。 使能从机。	0x0	R/W

从机I²C状态、错误和IRQ寄存器

地址：0x4000302C；复位：0x0001；名称：SSTAT

表293. SSTAT位功能描述

位	位名称	设置	描述	复位	访问类型
15	保留		保留。	0x0	R
14	开始		起始和匹配地址。如果在I2C_SCL和I2C_SDA上检测到起始条件且器件地址匹配，或者收到广播代码（地址 = 00000000）且广播已使能，或者收到高速代码（地址 = 00001XXX），或者收到起始字节(00000001)，则此位置位。收到停止或起始条件时，此位清0。	0x0	R
13	REPSTART		重复起始和匹配地址。如果起始条件已经置位，然后检测到重复起始条件，则此位置位。读取时或收到停止条件时，此位清0。此位可产生中断。	0x0	RC
[12:11]	IDMAT	00 01 10 11	器件ID匹配。 接收到的地址匹配ID寄存器0。 接收到的地址匹配ID寄存器1。 接收到的地址匹配ID寄存器2。 接收到的地址匹配ID寄存器3。	0x0	R
10	STOP		起始和匹配地址后停止。在上一个起始条件和匹配地址后，如果从机接收到一个停止条件，则此位由硬件置1。读取状态寄存器后该位清0。如果从机控制寄存器SCTL位8置位，则当此位置1时，从机中断请求置位。此位可产生中断。	0x0	RC
[9:8]	CID	00 01 10 11	广播ID。当SCTL位4置1时，此位清0。广播复位不会清除这些状态位。 无广播。 广播复位和程序地址。 广播程序地址。 广播匹配可供选择的ID。	0x0	R
7	GCINT		广播中断。此位总是产生中断。从机收到任何类型的广播时，此位置位。向从机控制寄存器中的GCSBCLR写入1时，此位清0。如果呼叫是广播复位，所有寄存器恢复为默认值。如果呼叫是硬件广播，接收FIFO将保存广播的第2个字节，它可以与ALT寄存器内容进行比较。	0x0	R
6	SBUSY		从机忙。如果从机收到I ² C起始条件，则此位由硬件置1。如果地址与ID寄存器内容不匹配，或者从机收到I ² C停止条件，或者重复起始地址不匹配，则此位由硬件清0。	0x0	R
5	NOACK		从机未产生应答。此位置位时，表示从机用不应答响应其器件地址。如果没有数据要发送且序列是一个从机读取序列，或者从机控制寄存器中的不应答位置1且寻址该器件时，此位置位。读取SSTAT寄存器时，此位清0。	0x0	RC
4	SRXOF		从机接收FIFO溢出。向从机接收FIFO写入一个字节，而FIFO已满，这种情况下此位置位。	0x0	RC
3	SRXREQ		从机接收请求。只要从机接收FIFO不空，此位就会置位。读取或清空从机接收FIFO可将此位清0。此位在读入字节最后一个数据位的I2C_SCL时钟脉冲下降沿置位。此位可产生中断。	0x0	RC

位	位名称	设置	描述	复位	访问类型
2	STXREQ		从机发送请求。如果SCTL位5 = 0，则当收到的传输方向位为高电平时，此位置1。只要发送FIFO未满，此位便保持置位状态。最初，此位在读入方向位的SCL脉冲负边沿置位（如果器件地址匹配）。如果SCTL位5 = 1，则当收到的传输方向位为高电平时，此位置1。只要发送FIFO未满，此位便保持置位状态。最初，此位在读入方向位的I2C_SCL脉冲正边沿后置位（如果器件地址匹配）。读取SSTAT寄存器时，此位清0。	0x0	RC
1	STXUR		从机发送FIFO下溢。如果主机要求从机发送数据，且在SCL上升沿发送FIFO为空，则此位置1。	0x0	RC
0	STXFSEREQ		从机发送FIFO状态或提早请求。如果SCTL位5 = 0，只要发送FIFO为空，此位便会置位。如果SCTL位5 = 1，则当收到的传输方向位为高电平时，此位置1。如果器件地址匹配，则此位在读入方向位的I2C_SCL时钟脉冲正边沿置位。对于传输，此位仅置位一次；如果SCTL位5置位，则读取此位时此位清0。	0x1	R/W

从机接收寄存器

地址：0x40003030；复位：0x0000；名称：SRX

表294. SRX位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	SRX		从机接收寄存器。	0x0	R

从机发送寄存器

地址：0x40003034；复位：0x0000；名称：STX

表295. STX位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	ISTX		从机发送寄存器。	0x0	R/W

硬件广播ID寄存器

地址：0x40003038；复位：0x0000；名称：ALT

表296. ALT位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	ALT		从机备选。此寄存器与SCTL位3一起使用来匹配一个产生硬件广播的主机。当无法将从机地址写入主机，相反从机必须能识别出主机地址时，使用此寄存器。	0x0	R/W

第一从机地址器件ID寄存器

地址：0x4000303C；复位：0x0000；名称：ID0

表297. ID0位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	ID0		从器件ID 0。ID0位[7:1]写入器件ID。ID0位0为无关位。关于此寄存器如何设置10位地址，参见SCTL位1。注意避免使用I2C保留的从机地址，即小于0x10和大于0xF6的值。	0x0	R/W

第二从机地址器件ID寄存器

地址：0x40003040；复位：0x0000；名称：ID1

表298. ID1位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	ID1		从器件ID 1。ID1位[7:1]写入器件ID。ID1位0为无关位。关于此寄存器如何设置10位地址，参见SCTL位1。注意避免使用I ² C保留的从机地址，即小于0x10和大于0xF6的值。	0x0	R/W

第三从机地址器件ID寄存器

地址：0x40003044；复位：0x0000；名称：ID2

表299. ID2位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	ID2		从器件ID 2。ID2位[7:1]写入器件ID。ID2位0为无关位。关于此寄存器如何设置10位地址，参见SCTL位1。注意避免使用I ² C保留的从机地址，即小于0x10和大于0xF6的值。	0x0	R/W

第四从机地址器件ID寄存器

地址：0x40003048；复位：0x0000；名称：ID3

表300. ID3位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	ID3		从器件ID 3。ID3位[7:1]写入器件ID。ID3位0为无关位。关于此寄存器如何设置10位地址，参见SCTL位1。注意避免使用I ² C保留的从机地址，即小于0x10和大于0xF6的值。	0x0	R/W

主机和从机FIFO状态寄存器

地址：0x4000304C；复位：0x0000；名称：FSTAT

表301. FSTAT位功能描述

位	位名称	设置	描述	复位	访问类型
[15:10]	保留		保留。	0x0	R/W
9	MFLUSH	0 1	清空主机发送FIFO。 不起作用。 清空主机发送FIFO。如果输掉仲裁或从机用不应答响应，主机发送FIFO必须清空。	0x0	W
8	SFLUSH	0 1	清空从机发送FIFO。 不起作用。 清空从机发送FIFO。	0x0	W
[7:6]	MRXF	00 01 10 11	主机接收FIFO状态。该状态表示FIFO中的字节数。 FIFO空。 FIFO中有1个字节。 FIFO中有2个字节。 保留。	0x0	R
[5:4]	MTXF	00 01 10 11	主机发送FIFO状态。该状态表示FIFO中的字节数。 FIFO空。 FIFO中有1个字节。 FIFO中有2个字节。 保留。	0x0	R

位	位名称	设置	描述	复位	访问类型
[3:2]	SRXF	00 01 10 11	从机接收FIFO状态。该状态表示FIFO中的字节数。 FIFO空。 FIFO中有1个字节。 FIFO中有2个字节。 保留。	0x0	R
[1:0]	STXF	00 01 10 11	从机发送FIFO状态。该状态表示FIFO中的字节数。 FIFO空。 FIFO中有1个字节。 FIFO中有2个字节。 保留。	0x0	R

主机和从机共享控制寄存器

地址：0x40003050；复位：0x0000；名称：SHCTL

表302. SHCTL位功能描述

位	位名称	设置	描述	复位	访问类型
[15:1]	保留		保留。	0x0000	R/W
0	RST	0 1	复位LINEBUSY。此位置1会复位LINEBUSY状态位（MSTAT寄存器的位10）。 不起作用。 复位I ² C启停检测电路。	0x0	W

主机和从机自动延展控制模式寄存器

地址：0x40003058；复位：0x0000；名称：ASTRETCH_SCL

表303. ASTRETCH_SCL位功能描述

位	位名称	设置	描述	复位	访问类型
[15:10]	保留		保留。	0x0	R
9	SLVTMO	0 1	从机延展超时状态位。 当读取此位时，此位清0。 当从机自动延展模式超时时，此位置1。	0x0	R
8	MSTTMO	0 1	主机延展超时状态位。 当读取此位时，此位清0。 当主机自动延展模式超时时，此位置1。	0x0	R
[7:4]	SLV	0000 0001 至 1110 1111	从机自动延展模式控制。这些位控制从机操作的自动延展模式。这些位允许从机将I ² C_SCL线保持低电平，获得更多时间来处理中断、加载FIFO或读取FIFO。使用超时特性可避免总线锁定状况，即从机无限期地将I ² C_SCL保持低电平。作为从机发送器，I ² C_SCL自动从I ² C_SCL的负边沿延展（如果从机发送FIFO为空），然后针对地址字节发送应答或不应答，或针对数据字节发送数据。当从机发送FIFO不再为空或发生超时时，延展停止。作为从机接收器，当从机接收FIFO已满时，I ² C_SCL时钟自动从I ² C_SCL的负边沿延展，然后发送应答或不应答。当从机接收FIFO不再处于溢出状态或发生超时时，延展停止。 禁用从机时钟自动延展。 使能从机时钟自动延展。超时时间定义如下： $\frac{DIV[15:8] + (DIV[7:4] - 1)}{ULCLK / CTL1[13:8] - CTL1[13:8]} \times (2^{ASTRETCH_SCL[7:4]})$ 注意，I ² C总线波特率对从机延展超时时间没有影响。 使能从机时钟自动延展，超时时间无限。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
[3:0]	MST		<p>主机自动延展模式控制。这些位控制主机操作的自动延展模式。这些位允许主机将 I2C_SCL 线保持低电平，获得更多时间来处理中断、加载 FIFO 或读取 FIFO。使用超时特性可避免总线锁定状况，即主机无限期地将 I2C_SCL 保持低电平。作为主机发送器，I2C_SCL 自动从 I2C_SCL 的负边沿延展（如果主机发送 FIFO 为空），然后针对地址字节发送应答或不应答，或针对数据字节发送数据。当主机发送 FIFO 不再为空或发生超时时，延展停止。作为主机接收器，当主机接收 FIFO 已满时，I2C_SCL 时钟自动从 I2C_SCL 的负边沿延展，然后发送应答或不应答。当主机接收 FIFO 不再处于溢出状态或发生超时时，延展停止。</p> <p>0000 禁用主机时钟自动延展。</p> <p>0001 至 1110 使能主机时钟自动延展。超时时间定义如下：</p> $\frac{DIV[15:8] + (DIV[7:4] - 1)}{UCLK / CTL1[13:8] - CTL1[13:8]} \times (2^{ASTRETCH_SCL[3:0]})$ <p>1111 使能主机时钟自动延展，超时时间无限。</p>	0x0	R/W

串行外设接口

SPI特性

ADuCM355集成了两个具有以下标准特性的完整硬件SPI:

- 串行时钟相位模式和串行时钟极性模式。
- LSB优先传输选项。
- 回送模式。
- 主机或从机模式。
- 流控制，仅通道1的SPI (SPI1)通道。
- 支持3引脚SPI主机或从机，单个双向数据引脚。
- 传输和中断模式。
- 连续传输模式。
- 发送和接收FIFO。
- 中断模式。1个字节至8个字节后中断。
- 接收溢出模式和运行模式下发送。
- 开路数据输出模式。
- 支持全双工通信（同时发送和接收）。

SPI概述

ADuCM355集成了两个完整的硬件SPI。SPI是一种工业标准同步串行接口，允许8位数据的同步发送和同时接收（也称为全双工）。在ADuCM355上实现的两个SPI能以主机和从机模式工作，最大比特率达6.5 Mbps。

可选工作模式包括:

- 流控制。由SPI1支持，它有一个可选的额外就绪引脚（P0.3/SPI0 $\overline{\text{CS}}$ ）。流控制有助于慢速从器件与快速主器件接口。另一种选择是在就绪数据期间插入等待状态，这对主机模式有帮助，即用户希望从从机突发读取一系列数据并在每次突发读取之间留出时序间隙。间隙或等待状态由定时器控制。
- 快速模式。
- 3引脚模式。该模式下的SPI0_MOSI和SPI1_MOSI引脚为双向引脚。

SPI模块还具有DMA特性。各SPI模块都有两个DMA通道，其与Arm Cortex-M3处理器的microDMA控制器接口。一个DMA通道用于发送数据，另一个用于接收数据。

SPI工作原理

在SPI操作中， $\overline{\text{CS}}$ 表示SPI0 $\overline{\text{CS}}$ 引脚和SPI1 $\overline{\text{CS}}$ 引脚，SCLK表示SPI0_CLK引脚和SPI1_CLK引脚，MOSI表示SPI0_MOSI引脚和SPI1_MOSI引脚，而MISO表示SPI0_MISO引脚和SPI1_MISO引脚。

SPI端口可配置为主机或从机工作模式，由4组引脚组成：MISO、MOSI、SCLK和 $\overline{\text{CS}}$ 。使能SPI外设之前，必须以SPI模式配置用于SPI通信的GPIO。通过SPI通信时，应使能MISO和MOSI引脚上的内部上拉电阻。

MISO引脚

在主机模式下，MISO引脚被配置为输入线路；在从机模式下，配置为输出线路。主机上的MISO线路（数据输入）必须与从机内的MISO线路（数据输出）相连。传送的数据是以字节（8位）为单位的串行数据，MSB优先。

MOSI引脚

在主机模式下，MOSI引脚被配置为输出线路；在从机模式下，配置为输入线路。主机上的MOSI线路（数据输出）必须与从机内的MOSI线路（数据输入）相连。传送的数据是以字节（8位）为单位的串行数据，MSB优先。

SCLK引脚

主机SCLK用于同步MOSI SCLK周期中发送和接收的数据。所以，发送或接收一个字节需要8个SCLK周期。在主机模式下，SCLK配置成输出端，而在从机模式下，SCLK配置成输入端。

在主机模式下，SPIx_CTL寄存器控制时钟的极性和相位，比特率在SPIx_DIV寄存器中定义，如下所示：

$$f_{SCLK} = \frac{PCLK}{2 \times (1 + SPIx_DIV[5:0])} \quad (25)$$

其中PCLK等于系统时钟除以CTL1位[13:8]中设置的系数。

通过降低SPI模块的时钟速率，可以降低SPI模块的功耗。最大数据速率是13 Mbps。

在从机模式下，必须用预期输入时钟的相位和极性对SPIx_CTL寄存器进行配置。从机从外部主机接收数据，速率可达20 Mbps。在主机模式和从机模式下，数据都在SCLK信号的一个沿发送，并在另一个沿采样。因此，从机时钟的极性和相位必须与主机的配置一致。

PO.3/SPIO_CS引脚和P1.5/SPI1_CS引脚

在SPI从机模式时，片选（低电平有效输入信号）置位可启动传输。然后，SPI端口开始发送和接收8位数据，直到传输结束为止，此时CS解除置位。在从机模式下，CS总是输入。

在SPI主机模式下，CS是低电平有效输出信号。传输开始后，该引脚自动置位；传输完成后，该引脚自动解除置位。

如果ADuCM355主机希望与多个SPI从机通信，则可以将GPIO连接到从机的片选线。使用CSRISE和CSFALL位（分别为SPIx_STAT位13和SPIx_STAT位14）确定何时将GPIO拉低或拉高。

SPI传输启动

在主机模式下，传输和中断模式位（SPIx_CTL位6）决定SPI串行传输的启动方式。如果此位置1，则在写入发送FIFO后启动串行传输。如果此位清0，则在读取接收FIFO后启动串行传输。读操作必须在SPI接口空闲时执行。在活动传输期间执行的读操作不会启动另一次传输。

对于SPIx_CTL位1和SPIx_CTL位6的任何设置，SPI都会同时接收和发送数据。因此，在数据传输期间，SPI也会接收数据并填充接收FIFO。如果不从接收FIFO读取数据，当FIFO开始上溢时，会发生上溢中断。如果用户不想读取接收数据或接收上溢中断，可设置SPIx_CTL位12，这样接收数据就不会保存到接收FIFO中。同样，若要仅接收数据而不将数据写入发送FIFO，可设置SPIx_CTL位13，避免接收来自发送FIFO的下溢中断。

发送启动的传输

对于由写入发送FIFO启动的传输，一旦将第一个字节写入FIFO，SPI就会启动传输，而不考虑SPIx_IEN位[2:0]的配置。立即从FIFO读取第一个字节，写入发送移位寄存器，传输开始。

如果连续传输使能位（SPIx_CTL位11）置1，传输将连续进行，直到发送FIFO内无有效数据为止。在SPIx_CNT位[13:0]数量的字节结束时（如果SPIx_CNT位[13:0] > 0），或者发送FIFO中没有有效数据时（如果SPIx_CNT位[13:0] = 0），传输完成。片选信号在整个传输期间保持有效。如果SPIx_CNT位15清0且SPIx_CNT位[13:0] > 0，则当SPIx_CNT位[13:0]中的所有字节均已传输时，传输停止。如果SPIx_CNT位15置1，则在每传输完SPIx_CNT位[13:0]数量的字节之后开始一个新帧。在这种情况下，总是传输SPIx_CNT位[13:0]中字节数的倍数。如果FIFO中没有数据或空间，传输将暂停，直到有数据或空间可用。只要FIFO中仍存在有效数据，传输就会继续。如果SPIx_CTL位11清0，则每次传输仅包括一个8位串行传输。如果发送FIFO中存在有效数据，那么在一个停顿周期后启动新传输，并且片选信号解除置位。

接收启动的传输

由读取接收FIFO启动的传输取决于FIFO中收到的字节数。如果SPIx_IEN位[2:0] = 0b111，读取接收FIFO时，SPI将启动一个8字节传输。如果设置了连续模式（SPIx_CTL位11 = 1），8个字节将连续传输，片选信号在字节之间不会解除置位。但在连续模式下，如果SPIx_CNT位[13:0] > 0，则片选信号将在整个帧持续时间内保持置位。SPI会引入停顿周期，直到FIFO有空间可用时才为SPIO_CLK或SPI1_CLK提供时钟。如果未设置连续模式，则传输8个字节，每次传输之间存在一个停顿周期，在此期间片选信号解除置位。

如果SPIx_IEN位[2:0] = 0b110，读取接收FIFO将启动一个7字节传输。如果SPIx_IEN位[2:0] = 0b001，读取接收FIFO将启动一个2字节传输。如果SPIx_IEN位[2:0] = 0b000，读取接收FIFO将启动一个1字节传输。当SPI正在接收数据时，读取接收FIFO不会在当前传输完毕后启动另一次传输。

在连续模式下，如果SPIx_CNT位[13:0] > 0且SPIx_CNT位15 = 1，则在SPI帧末尾读取接收FIFO必定会启动一个新的SPI帧。要在任何给定帧停止SPI传输，请在读取最后一组接收字节之前将SPIx_CNT位15清0。

SPI传输协议图显示了SPI的数据传输协议，以及控制寄存器(SPIx_CTL)中的CPHA和CPOL位对该协议的影响。参见图61和图62。

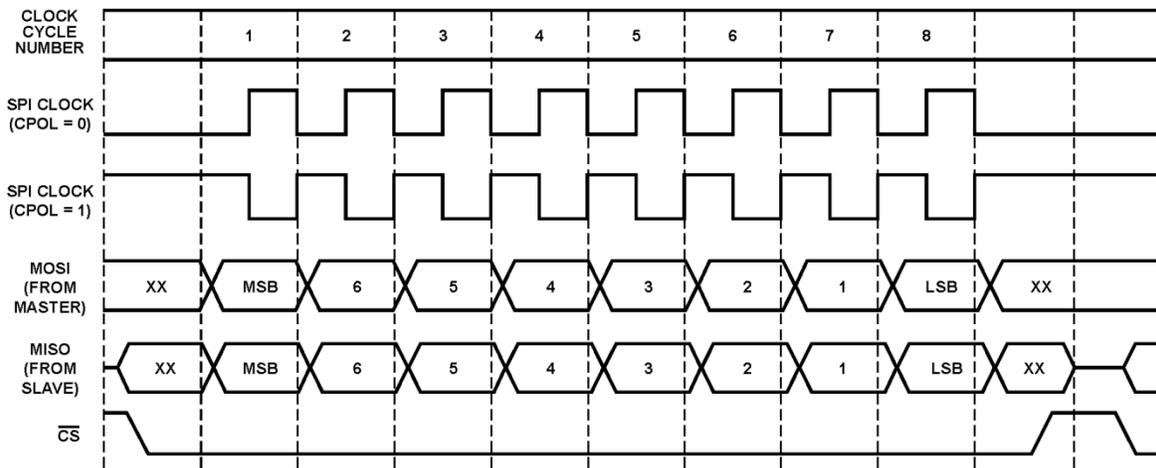


图61. SPI传输协议, CPHA = 0

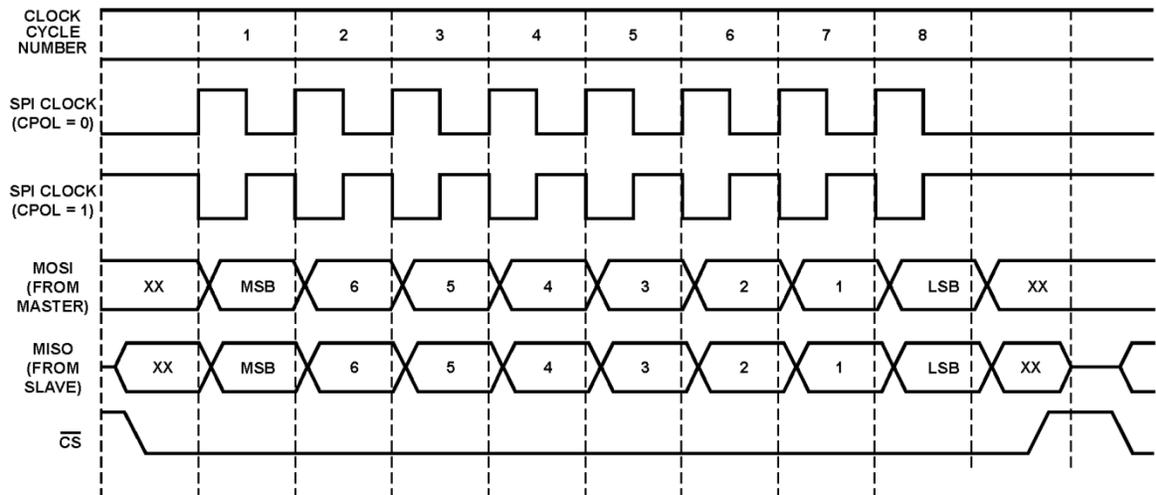


图62. SPI传输协议, CPHA = 1

在从机模式下传输

在从机模式下，传输由器件片选信号置位来启动。主机最多可支持4条片选输出线，但在从机模式下仅使用1个片选输入。器件作为从机发送和接收8位数据，直到传输结束，此时片选信号解除置位。图61和图62中的SPI传输协议图展示了SPI的数据传输协议，以及SPIx_CTL位2和SPIx_CTL位3对该协议的影响。片选信号不得接地。

SPI数据下溢和上溢

如果发送零使能位 (SPIx_CTL位7) 清0，则在启动传输后，若FIFO中无有效数据，将移出上次传输的最后字节。如果SPIx_CTL位7置1，则在启动传输后，若FIFO中无有效数据，将发送0。如果接收上溢覆盖使能位 (SPIx_CTL位8) 置1，并且FIFO中没有剩余空间，则接收FIFO中的有效数据会被接收到的新串行字节覆盖。如果SPIx_CTL位8清0，并且FIFO中没有剩余空间，则会丢弃接收到的新串行字节。当SPIx_CTL位8置1时，SPI接收FIFO中的内容不明，用户代码须将其丢弃。

全双工操作

SPI支持读写同时进行。在主机模式下实施全双工传输时，请使用如下程序：

1. 通过P0.1/SPI0_MOSI引脚和P1.3/SPI1_MOSI引脚上的发送启动传输序列。设置SPIx_CTL位6 = 1。如果使能了中断，发生发送中断时将触发中断，但接收字节时不会触发中断。
2. 如果使用中断，SPIx_STAT位5指示的SPI发送中断或发送FIFO下溢中断（SPIx_STAT位4）将在第一字节传输的约3到4个SPI周期后置位。如有必要，可写SPIx_TX寄存器以将一个字节重载到发送FIFO中。
3. 通过MISO引脚收到第一字节不会更新接收FIFO状态位（SPIx_FIFO_STAT位[11:8]），直到 \overline{CS} 变为低电平的12个SPI周期之后。因此，在能够处理第一接收字节之前，可能会出现两个发送中断。
4. 出现最后一个发送中断之后，可能需要再读取两个字节。处理完最后一个发送中断之后，建议在SPI中断处理程序外部轮询SPIx_FIFO_STAT位[11:8]。

SPI中断

每个SPI有一条中断线，并且有11个中断源。SPIx_STAT位0反映中断线的状态，而SPIx_STAT位[15:12]和SPIx_STAT位[7:1]反映11个中断源的状态。SPI产生发送中断或接收中断。二者不能同时使能。利用SPIx_CTL位6使能适当的中断。如果TIM = 1，则使能发送IRQ。如果TIM = 0，则使能接收IRQ。此外，SPI0和SPI1中断源必须在NVIC寄存器中使能，如下所示：ISER0位15 = SPI0，ISER0位16 = SPI1。

发送中断

如果SPIx_CTL位6置1，则发送FIFO状态会引起中断。SPIx_IEN位[2:0]控制何时发生中断，如表304所示。

表304. SPIx_IEN位[2:0] IRQ模式位

SPIx_IEN位[2:0]设置	中断条件
000	每发送一个字节后产生一个中断。从FIFO读取字节并将其写入移位寄存器时，中断发生。
001	每发送两个字节后产生一个中断。
010	每发送三个字节后产生一个中断。
011	每发送四个字节后产生一个中断。
100	每发送五个字节后产生一个中断。
101	每发送六个字节后产生一个中断。
110	每发送七个字节后产生一个中断。
111	每发送八个字节后产生一次中断。

中断产生取决于发送的字节数，而不是FIFO中的字节数。发送中断与接收中断不同，后者取决于接收FIFO中的字节数，而不是接收到的字节数。

读取状态寄存器会清除发送中断。此中断的状态可通过读取SPIx_STAT位5得知。若SPIx_CTL位13保持高电平，则禁用中断。写入控制寄存器SPIx_CTL会将发送字节计数器复位到0。例如，若SPIx_IEN位[2:0]设置为0x3，并且在发送3个字节后写入SPIx_CTL，则发送中断要等到再发送4个字节时产生。

接收中断

如果TIM位（SPIx_CTL位6）清0，则接收FIFO状态会导致产生接收中断。SPIx_IEN位[2:0]控制何时发生中断。读取SPIx_STAT寄存器可清除该中断。此中断的状态可通过读取SPIx_STAT位6得知。

中断仅在写入数据到FIFO时产生。例如，若SPIx_IEN位[2:0]设置为0b000，则接收到第一个字节后就会产生中断。读取状态寄存器时，中断变为无效。若未从FIFO读取该字节，不会重新产生中断。只有FIFO再收到一个字节，才会产生另一个中断。

中断取决于FIFO中的有效字节数，而不是接收到的字节数。例如，当SPIx_IEN位[2:0]设置为0b001时，若FIFO中有两个或更多字节，则接收到一个字节后会产生中断。不是每收到两个字节产生一个中断。若SPIx_CTL位12保持高电平，则禁用接收中断。

下溢和上溢中断

SPIx_STAT位7和SPIx_STAT位4产生SPI中断。若在发送FIFO中没有数据的情况下启动传输，SPIx_STAT位4会置1，指示下溢状况，这种状况会引起中断。读取状态寄存器会清除中断和状态位。无论SPIx_IEN位[2:0]如何，都会发生该中断。如果SPIx_CTL位13置1，则禁用此中断。

当接收到数据且接收FIFO已满时，SPIx_STAT位7置1，指示上溢状况，这种状况会引起中断。读取状态寄存器会清除中断和状态位。无论SPIx_CTL位[2:0]如何，都会发生该中断。如果SPIx_CTL位12置1，则禁用此中断。

当SPI接收上溢位（SPIx_STAT位7）置1时，SPI接收FIFO的内容不明，不得使用。检测到此错误状况时，用户必须清空接收FIFO。读取状态寄存器或将SPIx_CTL位0清0时，所有中断都会被清除。如果相关清空位置位，接收和发送中断也会被清除。否则，即使重新配置SPI，中断也会继续有效。

SPI线或模式

在多主机或多从机系统中使用SPI时，为防止竞争，数据输出引脚MOSI和MISO可配置为像开路驱动器那样工作。选择此特性时，需要一个外部上拉电阻。线或位（SPIx_CTL位4）控制数据线的焊盘使能输出。

SPI CSERR状况

CSERR位（SPIx_STAT位12）指示所有8个SCLK周期完成之前，是否检测到 $\overline{\text{CS}}$ 信号错误解除置位情况。此位会产生中断，并且在所有工作模式下均可用；从机模式、主机模式和DMA传输期间。如果发生由SPIx_STAT位12产生的中断，则必须禁用SPIx_CTL位0并重新启动以实现干净的恢复，确保后续传输没有错误。

SPI DMA

两个DMA通道专门用于发送和接收。SPI DMA通道必须在Arm Cortex-M3处理器的microDMA控制器中进行配置。将SPIx_DMA寄存器中的DMA请求位设置为接收或发送，可以使能一个通道或同时使能两个通道上的DMA请求。若仅使能DMA发送请求（SPIx_DMA位1），则接收FIFO在SPI传输期间会上溢并产生上溢中断，除非用户代码读取收到的数据。为避免产生上溢中断，接收FIFO清空位置1，或者在NVIC中禁用SPI中断。若仅使能DMA接收请求（SPIx_DMA位2），发送FIFO会下溢。为避免产生下溢中断，必须禁用SPI中断。

使用DMA时，不会产生SPI发送（SPIx_STAT位5）中断和SPI接收（SPIx_STAT位6）中断。使用microDMA控制器时，会产生SPI发送下溢（SPIx_STAT位4）中断和接收上溢（SPIx_STAT位7）中断。SPIx_IEN位[2:0]在发送模式下不使用，在接收模式下须设置为0b000。

SPIx_DMA位0控制DMA传输的开始。只有SPIx_DMA位0 = 1时才会产生DMA请求。DMA传输结束时，必须将此位清0，防止对microDMA控制器产生额外的DMA请求。若在发送模式下，发送FIFO中留有的数据会被发送。所有DMA数据传输都是16位传输。应据此对DMA进行编程。例如，若要通过SPI传输16字节的数据，应设置DMA执行8个半字（16位）传输。若要传输17个字节，则需要进行9个半字传输。

在DMA模式下，发送和接收FIFO为两字节宽。SPI首先访问位[7:0]，然后访问位[15:8]。这与计数或SPIx_CTL位5设置无关。

例如，若SPI_CNT位[13:0] = 3，则发送和接收的顺序为字节1、字节0，然后是字节3（忽略）和字节2。SPI_CTL位5不影响DMA模式下的FIFO访问顺序。SPI_CTL位5仅影响如何通过SPI传输每个字节。

DMA主机发送配置

必须配置DMA SPI发送通道。配置NVIC以使能DMA发送主机中断。

所有DMA传输都是16位传输。当DMA缓冲器中的所有数据都发送完毕时，DMA产生中断。用户代码必须禁用DMA请求。数据仍在发送FIFO中，因为只要发送FIFO中有自由空间，就会产生DMA请求，使得FIFO保持填满状态。用户代码可在SPIx_FIFO_STAT寄存器中检查FIFO中仍有多少字节。SPI模块必须配置如下：

```

SPI_DIV = SPI_SERIAL_FREQ; //configures serial clock frequency.
SPI_CTL = 0x1043;          //enables SPI in master mode and transmit mode, receive FIFO
//flush enabled.
SPI_CNT.VALUE = NUM_BYTES_TO transfer; //sets the number of bytes to transfer. SPI_DMA = 0x1;
//((optional) enables FIFO to accept 16-bit
//core data writes.
SPI_TX = 0xXXXX;         //(optional) up to four 16-bit core writes can be performed
//to preload FIFO.
SPI_DMA = 0x3;           //enable DMA mode, enable transmit DMA request.

```

DMA主机接收配置

SPIx_CNT寄存器仅适用于DMA接收主机模式。此寄存器设置SPI主机需要接收的字节数，或主机必须产生的时钟数。当收到需要的字节数时，就不会启动更多传输。要启动DMA主机接收传输，用户代码应完成一次伪读取。将此伪读取添加到SPIx_CNT数中。

当SPIx_CTL位0禁用SPI时，或者用户代码更改SPIx_CNT寄存器时，计数接收字节数的计数器复位。

执行SPI DMA主机接收

必须配置DMA SPI接收通道。NVIC必须配置为使能DMA接收主机中断。SPI模块必须配置如下：

```

SPI_DIV = SPI_SERIAL_FREQ; //configures serial clock frequency.
SPI_CTL = 0x2003;          //enable SPI in master mode and
//receive mode, 1 byte transfer.
SPI_DMA = 0x5;            //enable DMA mode, enable receive DMA request. SPI_CNT.VALUE = XXX;
//number of bytes to be received.
A = SPI_RX;              //dummy read.

```

产生适当数量的时钟周期后，DMA传输便停止。所有DMA数据传输都是16位传输。应据此对DMA进行编程。例如，若要通过SPI接收16字节的数据，应设置DMA执行8个16位传输。若要接收17个字节，则需要进行9个16位传输。对最后的DMA传输应填充额外字节。如果将DMA传输设置为字节宽传输，则会发生数据错误。

传输完适当数量的字节时，DMA传输便停止。为在传输完成时产生DMA中断，DMA缓冲器与SPIx_CNT必须大小一致。SPIx_CNT必须始终 ≥ 2 。

SPI和关断模式

在主机模式下，进入关断模式之前，应通过SPIx_CTL位0禁用SPI模块。在从机模式下，无论是中断驱动还是DMA工作模式，均须通过GPIO寄存器（使用SPIx_STAT位11）检查片选线电平，确保SPI不在进行通信，并且在片选线为高电平时禁用SPI模块。上电时可以重新使能SPI模块。关断后将保留以下位域：

- SPIx_CTL寄存器的所有位域，SPIx_CTL位0除外，其在上电时复位为0，使得设计在唤醒时可以干净地启动。
- SPIx_IEN位[2:0]位域。
- SPIx_DIV位[5:0]位域。
- SPIx_RD_CTL位8。
- SPIx_FLOW_CTL位4。

不保留所有其他位域。因此，这些位域在上电时都会复位。退出关断模式时，软件会根据需要对所有非保留寄存器重新编程。然后，必须设置SPIx_CTL位0以重新使能SPI模块。

寄存器汇总：SPI0/SPI1

表305. SPI寄存器汇总

地址	名称	描述	复位	访问类型
0x40004000	SPI0_STAT	状态	0x0800	R
0x40004004	SPI0_RX	接收	0x0000	R
0x40004008	SPI0_TX	发射	0x0000	W
0x4000400C	SPI0_DIV	波特率选择	0x0000	R/W
0x40004010	SPI0_CTL	配置	0x0000	R/W
0x40004014	SPI0_IEN	中断配置	0x0000	R/W
0x40004018	SPI0_CNT	传输字节计数	0x0000	R/W
0x4000401C	SPI0_DMA	DMA使能	0x0000	R/W
0x40004020	SPI0_FIFO_STAT	FIFO状态	0x0000	R
0x40004024	SPI0_RD_CTL	读取控制	0x0000	R/W
0x40004028	SPI0_FLOW_CTL	流程控制	0x0000	R/W
0x4000402C	SPI0_WAIT_TMR	流控制等待定时器	0x0000	R/W
0x40004034	SPI0_CS_OVERRIDE	片选覆盖	0x0000	R/W
0x40024000	SPI1_STAT	状态	0x0800	R
0x40024004	SPI1_RX	接收	0x0000	R
0x40024008	SPI1_TX	发射	0x0000	W
0x4002400C	SPI1_DIV	波特率选择	0x0000	R/W
0x40024010	SPI1_CTL	配置	0x0000	R/W
0x40024014	SPI1_IEN	中断配置	0x0000	R/W
0x40024018	SPI1_CNT	传输字节计数	0x0000	R/W
0x4002401C	SPI1_DMA	DMA使能	0x0000	R/W
0x40024020	SPI1_FIFO_STAT	FIFO状态	0x0000	R
0x40024024	SPI1_RD_CTL	读取控制	0x0000	R/W
0x40024028	SPI1_FLOW_CTL	流程控制	0x0000	R/W
0x4002402C	SPI1_WAIT_TMR	流控制等待定时器	0x0000	R/W
0x40024034	SPI1_CS_OVERRIDE	片选覆盖	0x0000	R/W

寄存器详解：SPI0/SPI1

状态寄存器

地址：0x40004000；复位：0x0800；名称：SPI0_STAT

地址：0x40024000；复位：0x0800；名称：SPI1_STAT

表306. SPI0_STAT、SPI1_STAT位功能描述

位	位名称	设置	描述	复位	访问类型
15	RDY		<p>在用于流控制的就绪指示器上检测到一个边沿。此位指示P0.3线上有一个有效边沿（取决于流控制模式）。如果SPIx_FLOW_CTL位[1:0] = 0b10，则只要在P0.3信号上检测到有效边沿，该位就会置1。如果SPIx_FLOW_CTL位[1:0] = 0b11，则在MISO信号上检测到有效边沿时，该位置1。</p> <p>0 如果SPIx_FLOW_CTL位[1:0] = 0b00或0b01。有效边沿（上升或下降）由SPI_FLOW_CTL位4确定。</p> <p>1 当SPIx_IEN位11设置为1时，该位会引起中断，此中断只能通过向该位写入1来清除。</p>	0x0	R/W1C
14	CSFALL		<p>在从机连续模式下检测到片选下降沿。当SPIx_IEN位8设置为1时，该位会引起中断，这可用于识别SPI数据帧的开始。</p> <p>0 向此位写入1时清0。</p> <p>1 当片选线上有一个下降沿时置1。用于识别SPI数据帧的开始。</p>	0x0	R/W1C
13	CSRISE		<p>在从机连续模式下检测到片选上升沿。当SPIx_IEN位8设置为1时，该位会引起中断。</p> <p>0 向此位写入1或SPIx_CTL位0清0时清0。</p> <p>1 当片选线上有一个上升沿时置1。此位可用于识别SPI数据帧的结束。</p>	0x0	R/W1C
12	CSERR		<p>检测到片选错误状况。</p> <p>0 向此位写入1时清0。</p> <p>1 当片选线突然解除置位时（甚至完整数据字节尚未传输完毕），此位置1。此位会引起中断。</p>	0x0	R/W1C
11	CS		<p>片选状态。此位反映SPI模块看到的实际片选状态。此位使用SCLK到PCLK同步。因此，当片选改变状态时，会有些许延迟。</p> <p>0 片选线为低电平。</p> <p>1 片选线为高电平。</p>	0x1	R
[10:8]	保留		保留。	0x0	R
7	RXOVR		<p>SPI接收FIFO上溢。</p> <p>0 向此位写入1或SPIx_CTL位0清0时清0。</p> <p>1 接收FIFO已满，再一次向该FIFO内加载数据时，该位置1。如果SPIx_IEN位10 = 1，则该位会产生中断，除非SPIx_CTL位12置1。</p>	0x0	R/W1C
6	RXIRQ		<p>SPI接收IRQ。DMA模式下不可用。</p> <p>1 向此位写入1或SPIx_CTL位0清0时清0。</p> <p>0 产生接收中断时，此位置1。当SPIx_CTL位6（即TIM）清0且接收到所需字节数时，此位置1。</p>	0x0	R/W1C
5	TXIRQ		<p>SPI发送IRQ。状态位。此位在DMA模式下不可用。</p> <p>0 向此位写入1或SPIx_CTL位0清0时清0。</p> <p>1 产生发送中断时，该位被置1。当SPIx_CTL位6置1且发送完所需字节数时，此位置1。</p>	0x0	R/W1C
4	TXUNDR		<p>SPI发送FIFO下溢。</p> <p>0 向此位写入1或SPIx_CTL位0清0时清0。</p> <p>1 当启动发送但发送FIFO内没有有效数据时，此位置1。如果SPIx_IEN位9 = 1，则该位会产生中断，除非SPIx_CTL位13置1。</p>	0x0	R/W1C

位	位名称	设置	描述	复位	访问类型
3	TXDONE		在读取命令模式下，SPI发送完成。 0 向此位写入1或SPIx_CTL位0清0时清0。 1 在读取命令中完成整个发送时置1。此位在SPIx_IEN位12置1时产生一个中断，并且仅在SPIx_RD_CTL位0置1时有效。	0x0	R/W1C
2	TXEMPTY		SPI发送FIFO空中断。 0 向此位写入1或SPIx_CTL位0清0时清0。 1 发送FIFO为空时置1。如果SPIx_IEN位14置1，则该位会产生中断，除非SPIx_CTL位13置1。	0x0	R/W1C
1	XFRDONE		SPI传输完成。此位指示主机模式下SPI传输完成的状态。 0 向此位写入1时清0。 1 当传输完SPIx_CNT位[13:0]数量的字节时，该位置1。在从机模式下，或者如果SPIx_CNT位[13:0] = 0，则该位无效。如果SPIx_IENx位13置1，则该位会产生中断。它使用主状态机的状态来确定SPI传输是否完成。因此，片选覆盖不影响此位。	0x0	R/W1C
0	IRQ		SPI中断状态。 0 当所有SPI中断源都被清除时，该位清0。 1 当发生基于SPI的中断时，该位置1。	0x0	R

接收寄存器

地址：0x40004004；复位：0x0000；名称：SPI0_RX

地址：0x40024004；复位：0x0000；名称：SPI1_RX

表307. SPI0_RX、SPI1_RX位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	BYTE2		8位接收缓冲器。这8位仅用于DMA模式，其中所有FIFO访问都是半字访问。若禁用DMA，其返回0。	0x0	R
[7:0]	BYTE1		8位接收缓冲器。	0x0	R

发送寄存器

地址：0x40004008；复位：0x0000；名称：SPI0_TX

地址：0x40024008；复位：0x0000；名称：SPI1_TX

表308. SPI0_TX、SPI1_TX位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	BYTE2		8位发送缓冲器。这8位仅用于DMA模式，其中所有FIFO访问都是半字访问。若禁用DMA，其返回0。	0x0	W
[7:0]	BYTE1		8位发送缓冲器。	0x0	W

波特率选择寄存器

地址：0x4000400C；复位：0x0000；名称：SPI0_DIV

地址：0x4002400C；复位：0x0000；名称：SPI1_DIV

表309. SPI0_DIV、SPI1_DIV位功能描述

位	位名称	设置	描述	复位	访问类型
[15:6]	保留		保留。	0x0	R
[5:0]	VALUE		SPI时钟分频器。时钟分频器值是用于对UCLK分频以产生串行时钟的系数。	0x0	R/W

配置寄存器

地址：0x40004010；复位：0x0000；名称：SPI0_CTL

地址：0x40024010；复位：0x0000；名称：SPI1_CTL

表310. SPI0_CTL、SPI1_CTL位功能描述

位	位名称	设置	描述	复位	访问类型
15	保留		保留。	0x0	R
14	CSRST	0 1	片选错误位的复位模式。 0 位计数器从停止处继续。当片选信号置位时，SPI可接收剩余的位，用户代码必须忽略SPIx_STAT位12中断。 1 发生片选错误状况后，位计数器复位，用户代码应将SPIx_CTL位0清0。出现片选错误后，应将该位置1以便恢复。	0x0	R/W
13	TFLUSH	0 1	SPI发送FIFO清空使能。 0 禁用发送FIFO清空。 1 清空发送FIFO。该位无法自清0；需要单次清空操作时，必须使该位反转。如果该位保持为1，则将发送最后被发送的值或0x00，具体取决于ZEN位的值。该位为1时，无法对发送FIFO进行写操作。	0x0	R/W
12	RFLUSH	0 1	SPI接收FIFO清空使能。 0 禁用接收FIFO清空。 1 清空接收FIFO。该位无法自清0；需要单次清空操作时，必须使该位反转。该位置1后，所有传入的数据都将被忽略，且不产生中断。如果置1且TIM位 = 0，则读取接收FIFO会启动传输。	0x0	R/W
11	CON	0 1	连续传输使能。 0 禁用连续传输。每一次传输都是单独的8位串行传输。如果SPIx_TX寄存器中存在有效数据，那么经过一个串行时钟周期的停顿后会启动新的传输。 1 使能连续传输。在主机模式下，主机连续发送数据，直到发送FIFO内无有效数据为止。片选信号在每次8位串行传输期间会置位并保持置位状态，直到发送FIFO为空。	0x0	R/W
10	LOOPBACK	0 1	回送使能。 0 正常模式。 1 将MISO连接到MOSI并测试软件。	0x0	R/W
9	OEN	0 1	从机MISO输出使能。 0 禁用MISO引脚上的输出驱动器。此位清0时，MISO引脚变为开路。 1 MISO正常工作。	0x0	R/W
8	RXOF	0 1	SPI接收上溢覆盖使能。 0 新接收到的串行数据会被丢弃。 1 新接收到的串行字节覆盖接收寄存器中的有效数据。	0x0	R/W
7	ZEN	0 1	发送零使能。 0 当发送FIFO中无有效数据时，发送上次发送的值。 1 当发送FIFO中无有效数据时，发送0x00。	0x0	R/W
6	TIM	0 1	SPI传输和中断模式。 0 通过读取SPIx_RX寄存器启动传输。仅当接收FIFO已满时才发生中断。 1 通过写入SPIx_TX寄存器启动传输。仅当发送FIFO为空时才发生中断。	0x0	R/W
5	LSB	0 1	LSB优先传输使能。 0 MSB优先发送。 1 LSB优先发送。	0x0	R/W
4	WOM	0 1	SPI线或模式。 0 正常输出电平。 1 使能开路数据输出模式。数据输出引脚需要外部上拉电阻。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
3	CPOL	0 1	串行时钟极性。 0 串行时钟空闲低电平。 1 串行时钟空闲高电平。	0x0	R/W
2	CPHA	0 1	串行时钟相位模式。 0 串行时钟脉冲出现在每一个串行位传输结束时。 1 串行时钟脉冲出现在每一个串行位传输开始时。	0x0	R/W
1	MASEN	0 1	主机模式使能。 0 使能从机模式。 1 使能主机模式。	0x0	R/W
0	SPIEN	0 1	SPI使能。 0 禁用SPI。 1 使能SPI。	0x0	R/W

中断配置寄存器

地址：0x40004014；复位：0x0000；名称：SPI0_IEN

地址：0x40024014；复位：0x0000；名称：SPI1_IEN

表311. SPI0_IEN、SPI1_IEN位功能描述

位	位名称	设置	描述	复位	访问类型
15	保留		保留。	0x0	R
14	TXEMPTY	0 1	发送FIFO空中断使能。每当发送FIFO被清空时，此位使能SPIx_STAT位2中断。 0 禁用TXEMPTY中断。 1 使能TXEMPTY中断。	0x0	R/W
13	XFRDONE	0 1	SPI传输完成中断使能。此位使能SPIx_STAT位1中断。 0 禁用XFRDONE中断。 1 使能XFRDONE中断。	0x0	R/W
12	TXDONE	0 1	SPI发送完成中断使能。在读取命令模式下，此位使能SPIx_STAT位3中断。在读取命令模式下，该中断可用于指示SPI传输方向的变化。 0 禁用TXDONE中断。 1 使能TXDONE中断。	0x0	R/W
11	RDY	0 1	就绪信号边沿中断使能。每当P0.3信号上出现有效边沿时，该位就会使能SPIx_STAT位15中断。如果SPIx_FLOW_CTL位[1:0] = 0b10，则只要在P0.3信号上检测到有效边沿，该位就会置1。如果SPIx_FLOW_CTL位[1:0] = 0b11，则在MISO信号上检测到有效边沿时，该位置1。如果SPIx_FLOW_CTL位[1:0] = 0b00或0b01，则该位始终为0。有效边沿（上升或下降）由SPIx_FLOW_CTL位4决定。 0 禁用就绪信号边沿中断。 1 使能就绪信号边沿中断。	0x0	R/W
10	RXOVR	0 1	接收上溢中断使能。 0 禁用接收上溢中断。 1 使能接收上溢中断。	0x0	R/W
9	TXUNDR	0 1	发送下溢中断使能。 0 禁用发送下溢中断。 1 使能发送下溢中断。	0x0	R/W
8	CS	0 1	在从机连续模式下的每个片选边沿上使能中断。 0 不产生中断，状态位不置位。 1 如果将SPI模块配置为连续模式下的从机，则片选信号上的任何边沿都会产生中断，并且相应的状态位（SPIx_STAT位14和SPIx_STAT位13）置位。如果SPI不处于连续模式，或者SPI模块为主机，则此位不起作用。	0x0	R/W
[7:3]	保留		保留。	0x0	R

位	位名称	设置	描述	复位	访问类型
[2:0]	IRQMODE		SPI IRQ模式位。这些位用于配置在传输过程中何时发生发送或接收中断。对于DMA接收传输，这些位为0b000。	0x0	R/W
		000	传输完1个字节后，产生发送中断。FIFO接收到1个或更多字节时，产生接收中断。		
		001	传输完2个字节后，产生发送中断。FIFO接收到2个或更多字节时，产生接收中断。		
		010	传输完3个字节后，产生发送中断。FIFO接收到3个或更多字节时，产生接收中断。		
		011	传输完4个字节后，产生发送中断。FIFO接收到4个或更多字节时，产生接收中断。		
		100	传输完5个字节后，产生发送中断。FIFO接收到5个或更多字节时，产生接收中断。		
		101	传输完6个字节后，产生发送中断。FIFO接收到6个或更多字节时，产生接收中断。		
		110	传输完7个字节后，产生发送中断。FIFO接收到7个或更多字节时，产生接收中断。		
		111	传输完8个字节后，产生发送中断。当FIFO已满时，产生接收中断。		

传输字节计数寄存器

地址：0x40004018；复位：0x0000；名称：SPI0_CNT

地址：0x40024018；复位：0x0000；名称：SPI1_CNT

此寄存器仅在主机模式下使用。

表312. SPI0_CNT、SPI1_CNT位功能描述

位	位名称	设置	描述	复位	访问类型
15	FRAMECONT		继续帧传输。此位与SPIx_CTL位11和SPIx_CNT位[13:0]位域一起使用。此位用于控制SPI数据帧传输。	0x0	R/W
		0	写入此位时，如果此位清0，则SPI主机仅传输SPIx_CNT位[13:0]大小的一个帧。读取此位时，如果值位大于0，则在传输完指定数量的字节后停止SPI传输。		
		1	写入此位时，SPI主机以帧传输数据，每帧有SPIx_CNT帧位[13:0]个字节。如果SPIx_CNT位[13:0] = 0，则此位域无效，因为只要发送或接收FIFO准备就绪，SPI主机就会继续传输。如果SPIx_CTL位11 = 0，则此位域无效，因为所有SPI帧均为单字节宽，而与其他控制位域无关。读取此位时，只要发送或接收FIFO准备就绪，便会继续进行SPI传输。		
14	保留		保留。	0x0	R
[13:0]	VALUE		传输字节计数。此位域指定要传输的字节数。接收和发送两种传输类型都会使用此计数。此值确保主机模式传输在适当的时间终止，并且16位SPIx_DMA传输用字节填充或视需要予以丢弃，以与奇数传输数一致。通过将SPIx_CTL位0清0来复位。	0x0	R/W

DMA使能寄存器

地址：0x4000401C；复位：0x0000；名称：SPI0_DMA

地址：0x4002401C；复位：0x0000；名称：SPI1_DMA

表313. SPI0_DMA、SPI1_DMA位功能描述

位	位名称	设置	描述	复位	访问类型
[15:3]	保留		保留。	0x0	R
2	RXEN		使能接收DMA请求。	0x0	R/W
		0	禁用接收DMA中断。		
		1	使能接收DMA中断。		

位	位名称	设置	描述	复位	访问类型
1	TXEN	0 1	使能发送DMA请求。 禁用发送DMA中断。 使能发送DMA中断。	0x0	R/W
0	EN EN		使能DMA数据传输。由用户代码置1时，启动DMA传输。DMA传输结束时，由用户代码清0。必须将此位清0，防止对μDMA控制器产生额外的DMA请求。	0x0	R/W

FIFO状态寄存器

地址：0x40004020；复位：0x0000；名称：SPI0_FIFO_STAT

地址：0x40024020；复位：0x0000；名称：SPI1_FIFO_STAT

表314. SPI0_FIFO_STAT、SPI1_FIFO_STAT位功能描述

位	位名称	设置	描述	复位	访问类型
[15:12]	保留		保留。	0x0	R
[11:8]	RX	0000 0001 0010 0011 0100 0101 0110 0111 1000	SPI接收FIFO状态。当禁用DMA时，此位域指定接收FIFO中的字节数。在DMA模式下，这些位表示接收FIFO中的半字数。 接收FIFO为空。 接收FIFO中有1个有效字节或半字。 接收FIFO中的2个有效字节或半字。 接收FIFO中的3个有效字节或半字。 接收FIFO中的4个有效字节或半字。 接收FIFO中的5个有效字节或半字。 接收FIFO中的6个有效字节或半字。 接收FIFO中的7个有效字节或半字。 接收FIFO中的8个有效字节或半字。接收FIFO已满。	0x0	R
[7:4]	保留		保留。	0x0	R
[3:0]	TX	0000 0001 0010 0011 0100 0101 0110 0111 1000	SPI发送FIFO状态。当禁用DMA时，此位域指定发送FIFO中的字节数。在DMA模式下，这些位表示发送FIFO中的半字数。 发送FIFO为空。 发送FIFO中有1个有效字节或半字。 发送FIFO中的2个有效字节或半字。 发送FIFO中的3个有效字节或半字。 发送FIFO中的4个有效字节或半字。 发送FIFO中的5个有效字节或半字。 发送FIFO中的6个有效字节或半字。 发送FIFO中的7个有效字节或半字。 发送FIFO中的8个有效字节或半字。发送FIFO已满。	0x0	R

读取控制寄存器

地址：0x40004024；复位：0x0000；名称：SPI0_RD_CTL

地址：0x40024024；复位：0x0000；名称：SPI1_RD_CTL

此寄存器仅在主机模式下使用。

表315. SPI0_RD_CTL、SPI1_RD_CTL位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	保留		保留。	0x0	R
8	THREEPIN		3引脚SPI模式。此位域指定SPI接口是使用双向数据引脚（3引脚接口）还是专用单向数据引脚（4引脚接口）进行发送和接收。此位仅在读取命令模式下且SPIx_FLOW_CTL位[1:0] = 0b01时有效。如果选择3引脚模式，则MOSI引脚在发送阶段由主机驱动。经过SPI_WAIT_TMR SCLK周期的等待时间后，从机应驱动该MOSI引脚。将SPI_FLOW_CTL位[1:0]设为01可引入等待状态，以提供周转时间。否则，从机的周转时间仅有半个SCLK周期（在SCLK的采样和驱动沿之间）。如果使用此模式，应设置OVERLAP位 = 0。 0 SPI是一个4引脚接口。 1 SPI是一个3引脚接口。	0x0	R/W
[7:6]	保留		保留。	0x0	R
[5:2]	TXBYTES		读取命令的发送字节计数减1。此位域指定从从机读取数据之前要发送的字节数减1。此位域可以接受0到15的值，对应于1到16个发送字节。接受的字节包括所有必须发送到从机的字节，例如命令和地址（如果需要）。设计不区分命令和地址，而是从发送FIFO发送指定数量的字节。如果命令发送和数据接收之间存在延迟，应考虑为此延迟填充发送字节数（大部分为0）。	0x0	R/W
1	OVERLAP		发送和接收重叠模式。此位指定发送和接收的开始是否重叠。对于大多数从机，只有主机完成命令和地址的传输后，才会开始读取数据。这种传输是不重叠的。在某些从机中，在接收命令时可能会送出状态字节，这称为重叠模式。因此，从片选帧的开端开始接收字节。在重叠模式下，SPIx_CNT位[13:0]表示要接收的总字节数。设置SPIx_CNT位[13:0]时，应考虑到额外的状态字节（除了实际读取的字节之外）。 0 禁用发送接收重叠。 1 使能发送接收重叠。	0x0	R/W
0	CMDEN		读取命令使能。SPI读取命令模式，在这种模式下发送命令和地址，读取数据应当在同一片选帧中。如果此位清0，则SPIx_RD_CTL寄存器、SPIx_FLOW_CTL寄存器和SPIx_WAIT_TMR寄存器的所有其他位域均无作用。 0 禁用读取命令模式。 1 使能读取命令模式。	0x0	R/W

流控制寄存器

地址：0x40004028；复位：0x0000；名称：SPI0_FLOW_CTL

地址：0x40024028；复位：0x0000；名称：SPI1_FLOW_CTL

此寄存器仅在主机模式下使用。

表316. SPI0_FLOW_CTL、SPI1_FLOW_CTL位功能描述

位	位名称	设置	描述	复位	访问类型
[15:12]	保留		保留。	0x0	R
[11:8]	RDBURSTSZ		读取数据突发大小减1。此位域指定在等待流控制之前，对从机的单次突发读操作要接收的字节数减1。如果SPIx_FLOW_CTL位[1:0] = 0b00，则此位无效。对于SPIx_FLOW_CTL位[1:0]的所有其他值，此位域有效。此位域的取值范围是0到15，表示读取突发大小为1字节到16字节。此模式对于周期性读取固定宽度转换结果很有用。	0x0	R/W
[7:5]	保留		保留。	0x0	R
4	RDYPOL		P0.3线的极性。此位域指定P0.3引脚的极性，该极性指示从机的读取数据已准备就绪。如果SPIx_FLOW_CTL位[1:0] = 0b10，则此位域表示P0.3引脚的极性。否则，如果SPIx_FLOW_CTL位[1:0] = 0b11，则此位域表示MISO线的极性。对于SPIx_FLOW_CTL位[1:0]的所有其他值，忽略此位。 0 极性为高电平有效。SPI主机等到P0.3变为高电平为止。 1 极性为低电平有效。SPI主机等到P0.3变为低电平为止。	0x0	R/W
[3:2]	保留		保留。	0x0	R
[1:0]	MODE		流控制模式。数据读取的流控制配置。当使用P0.3信号进行流控制时，P0.3可以是与SPI模块的该P0.3输入相连的任何控制信号。 00 禁用流控制。 01 流控制基于定时器SPIx_WAIT_TMR。 10 流控制基于P0.3信号。 11 流控制基于MISO引脚。	0x0	R/W

流控制等待定时器寄存器

地址：0x4000402C；复位：0x0000；名称：SPI0_WAIT_TMR

地址：0x4002402C；复位：0x0000；名称：SPI1_WAIT_TMR

此寄存器仅在主机模式下使用。

表317. SPI0_WAIT_TMR、SPI1_WAIT_TMR位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		流控制等待定时器。此位域指定在继续SPI读取之前要等待的SCLK周期数。此位域的取值范围是0到65,535。仅当SPIx_FLOW_CTL位[1:0] = 0b01b时，此位域才有效。对于SPIx_FLOW_CTL位[1:0]的所有其他值，忽略此位域。值为0表示等待时间为1个SCLK周期。	0x0000	R/W

片选覆盖寄存器

地址：0x40004034；复位：0x0000；名称：SPI0_CS_OVERRIDE

地址：0x40024034；复位：0x0000；名称：SPI1_CS_OVERRIDE

此寄存器仅在主机模式下使用。

表318. CS_OVERRIDE位功能描述

位	位名称	设置	描述	复位	访问类型
[15:2]	保留		保留。	0x0	R
[1:0]	CTL		片选覆盖控制。此位覆盖主机状态机的片选输出。特殊SPI传输可能需要此位。请勿用于常规SPI传输。 00 片选不是强制性的。 01 片选被强制驱动1。 10 片选被强制驱动0。 11 片选不是强制性的。	0x0	R/W

UART串行接口

UART概述

UART外设是全双工UART，与行业标准16450 UART或16550 UART兼容。UART负责数据的串行格式和并行格式转换。串行通信遵循异步协议，支持各种字长、停止位以及奇偶校验生成等选项。该UART还包含中断处理硬件。该UART有一个小数分频器，有利于高精度波特率的生成。

可从多种独特事件产生中断，如数据缓冲器满或空、传输错误检测和断点检测等。UART模块支持调制解调器信号，但这些信号未被引出到外部引脚。调制解调器信号在内部连接。

UART特性

ADuCM355具有行业标准16450 UART或16550 UART外设，并支持DMA。

UART工作原理

串行通信

其遵循异步串行通信协议，具有如下选项：

- 5至8个数据位。
- 1、2或1.5个停止位。
- 无、偶数或奇数奇偶校验。

所有数据字都需要一个起始位和至少一个停止位，这为每个字创建了一个7位到12位的范围。写入发送保持寄存器(COMTX)，即可启动发送操作。经过一个同步延迟后，数据移入内部发送移位寄存器，并在该寄存器中以下式给出的波特率（比特率）移出，同时按要求添加起始位、停止位和奇偶校验位：

$$\text{波特率} = PCLK(M + (N/2048) \times 2^{OSR+2} \times \text{UART_COMDIV}) \quad (26)$$

其中：

$PCLK$ 为通过CNT1位[13:8]配置的分频根时钟。

$M = 1$ 至3 (COMFBR位[12:11])。

$N = 0$ 至2047 (COMFBR位[10:0])。

$\text{UART_COMDIV} = 1$ 至65,536。

所有数据字均以低位起始位开始。COMTX到发送移位寄存器的传输引起发送寄存器变空状态标志置1。除停止位数始终为1外，接收操作使用的数据格式与发送配置相同。检测到起始位后，接收字移位至内部接收移位寄存器。收到正确的位数（包括停止位）后，数据和相关状态会更新，接收移位寄存器传输到接收缓冲寄存器(COMRX)。接收到的字传输至接收缓冲器并经过适当的同步延迟后，接收缓冲寄存器已满状态标志 (COMIIR位[3:1] = 0b010) 更新。

一个速率等于波特率 2^{OSR+2} 倍的采样时钟用来对数据进行采样，采样时刻尽可能接近位的中点。还有一个接收滤波器，用来移除小于采样时钟周期两倍的杂散脉冲。数据以LSB优先方式发送和接收。

编程输入和输出模式

在编程输入和输出模式下，软件负责将数据移入移出UART。这种移动通常是通过中断服务例程实现的，其响应发送和接收中断，读取或写入适当的数据。这种模式对软件有一些限制，软件必须在一定时间内响应，以防止接收通道发生上溢错误。

处理器需要频繁地轮询状态标志，因此通常不执行，除非系统能够忍受相关开销。中断可利用COMIEN寄存器禁用。

当COMTX不为空时，请勿对其进行写操作；当COMTX未空时，请勿对其进行读操作，否则此类操作会产生错误结果。当COMTX不为空时，新字会覆盖COMTX，前一个字永远不会被传输。当COMRX未空时，会再次读取先前接收到的字。应通过正确使用中断或状态寄存器轮询来避免这些错误。硬件不会检测这些错误。

中断

UART外设的接收和发送中断均通过一个中断输出连接中断控制器。要确定中断原因，必须通过软件读取COMIIR寄存器。在DMA模式下，打断中断不可用。在输入或输出模式下接收时，以下情况会产生中断：

- COMRX已满。
- 接收上溢错误。
- 接收奇偶校验错误。
- 接收帧错误。
- 接收FIFO超时，如果使能了FIFO (16550 UART)。
- 打断中断 (UART输入引脚UART_SIN保持低电平)。
- COMTX变空。

缓冲器要求

此UART采用双缓冲，意味着它有一个保持寄存器和一个移位寄存器。

FIFO模式(16550 UART)

该UART实现了16字节深的发送FIFO和接收FIFO。因此，该UART与行业标准16550 UART兼容。默认禁用这些FIFO。要使能FIFO，须设置COMFCR位0。使能后，在接收和发送工作模式下，内部FIFO允许存储16个字节，接收FIFO中每个字节可以存储3位错误数据。

接收FIFO中收到的字节数的中断和DMA触发通过COMFCR位[7:6]编程。DMA请求通过COMFCR位3编程。如果此位置1，则还必须通过将COMFCR位0设置为1来使能FIFO。如果数据包中的剩余字节数少于中断触发数，则会发生超时中断。该超时由COMIIR位[3:1] = 0b110指示。该超时周期等于四个连续字符的周期，单个字符时间为一个起始位、n个数据位、一个奇偶校验位和一个停止位，其中n取决于COMLCR位[1:0]选择的字长。

DMA模式

在DMA模式下，不是由用户代码将数据移入移出UART。进入外部DMA模块的DMA请求信号指示UART已准备好发送或接收数据。这些DMA请求信号可利用COMIEN寄存器禁用。

自动波特率检测

自动波特率检测(ABD)模块用于自动匹配两个UART器件的波特率。配置通用波特率之前，必须使能接收器以检测模式。COMACR位0使接收器在ABD模式下工作。20位计数器逻辑计数所编程的上升沿或下降沿与另一个上升沿或下降沿之间的周期数。达到预期边沿数后产生一个中断。计数器可能溢出并产生超时中断，例如当存在连续打断状况或没有预期边沿时。

举例来说，如果在8位模式下接收的数据字节为0x0D (0b00001101，导致回车)，且没有奇偶校验位，LSB优先，则读取的每位为：DATA0 = 1，DATA1 = 0，DATA2 = 1，DATA3 = 1，DATA4 = DATA5 = DATA6 = DATA7 = 0。

有三个下降沿和三个上升沿。可以将1 (十进制) 写入COMACR位[6:4] (第二个边沿)，将5 (十进制) 写入COMACR位[11:8] (第六个边沿)，以在第一个上升沿和第二个上升沿之间计数。更多信息参见图63。

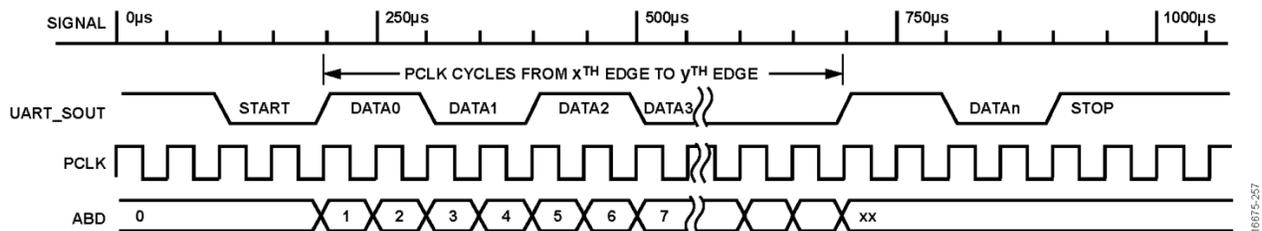


图63. 自动波特率示例

类似地，对于0x7F (0b01111111, ASCII DEL值删除键)，COMACR位[6:4] = 1且COMACR位[11:8] = 3，以在第一个上升沿和第二个上升沿之间计数。必须禁用自动波特率以清除内部计数器，然后对下一个序列重新使能（如果需要）。根据UART波特率配置，ABD结果可以计算如下：

$$\text{CNT位}[19:0] = \text{CountedBits} \times 2\text{OSR} + 2 \times \text{COMDIV} \times (\text{COMFBR位}[12:11] + \text{COMFBR位}[10:0])/2048$$

其中：

*CountedBits*是有效起始边沿和结束边沿之间的有效位数。它由选定边沿上的应用代码和用于ABD的字符确定。

*COMDIV*计算如下：

如果CNT位[19:0] < 8 × CountedBits，则OSR = 0，COMDIV = 1，COMFBR位[10:0] = 512 × CNT位[19:0]/CountedBits - 2048。

如果CNT位[19:0] < 16 × CountedBits，则OSR = 1，COMDIV = 1，COMFBR位[10:0] = 256 × CNT位[19:0]/CountedBits - 2048。

如果CNT位[19:0] < 32 × CountedBits，则OSR = 2，COMDIV = 1，COMFBR位[10:0] = 128 × CNT位[19:0]/CountedBits - 2048。

如果CNT位[19:0] ≥ 32 × CountedBits，则OSR = 3。

如果CNT位[19:0]能被32 × CountedBits整除，则COMDIV = (CNT位[19:0]/32)/CountedBits。

否则，COMDIV = $2\log_2((\text{CNT}[19:0]/32)/\text{CountedBits})$ ，COMFBR位[10:0] = $((64 \times \text{CNT}[19:0])/(\text{COMDIV})/\text{CountedBits}) - 2048$ 。

为了减少截断错误，DIVM位域 (COMFBR位[12:11]) 设置为1。DIV位域 (COMDIV位[15:0]) 设置为最接近2的幂的数。COMASRH位[7:0]和COMASRL位[15:4]组成CNT位[19:0]。

时钟门控

空闲时，驱动UART逻辑的时钟自动关闭，并且不能访问。COMCTL位1不能禁用此自动时钟门控。

UART和关断模式

在关闭芯片电源使其进入休眠模式之前，应完成正在进行的UART传输。或者，在将器件置于休眠状态之前，将COMDIV寄存器清除为0x0000来禁用UART。如果在UART传输开启时选择了休眠模式，则从休眠返回后传输不会继续。UART中的所有中间数据、状态和状态逻辑都被清除。但是，当发送时，发送焊盘(UART_SOUT)在休眠模式下仍然有效。休眠后，通过设置COMDIV寄存器（如果先前已清除）可以使能UART。如果需要DMA模式，则必须配置COMIEN位[5:4]。

表319详细列出了休眠模式期间保留的寄存器。所有其他寄存器和内部逻辑都被硬件默认值清除。

表319. 休眠模式期间保留的寄存器

寄存器	受影响的位
COMIEN	ELSI, ERBFI
COMLCR	BRK, SP, EPS, PEN, WLS
COMFCR	RFTRIG, FDMAMD, FIFOEN
COMFBR	FBEN, DIVM, DIVN
COMDIV	DIV
COMLCR2	OSR
COMCTL	RXINV, FORCECLKON
COMRSC	DISTX, DISRX, OENSP, OENP

关于UART接收从休眠模式唤醒的建议

如果使用UART接收输入将ADuCM355从休眠模式唤醒，请注意，UART模块以及ADuCM355芯片的其余部分在UART唤醒字节的第一个下降沿之后需要10μs的建立时间。此延迟意味着ADuCM355可能无法正确读取第一个UART接收字节，尤其是在UART波特率≥57,600的情况下。

为了通过UART接收引脚可靠地退出休眠模式，请执行以下两个操作之一：

- 确保ADuCM355接收到的唤醒字符是一个打断(break)字节。一旦接收到打断字节，ADuCM355 UART就会设置COMLSR位4寄存器中的打断指示器状态标志。该标志会产生一个中断。
- 将ADuCM355拉低并维持≤1μs的时间。该设置会触发UART唤醒。≥10μs之后，可以继续正常UART通信。

寄存器汇总：UART

表320. UART寄存器汇总

地址	名称	描述	复位	访问类型
0x40005000	COMTX	发送保持	0x0000	W
0x40005000	COMRX	接收缓冲	0x0000	R
0x40005004	COMIEN	中断使能器	0x0000	R/W
0x40005008	COMIIR	中断识别	0x0001	RC
0x4000500C	COMLCR	线路控制	0x0000	R/W
0x40005010	COMMCR	调制解调器控制	0x0000	R/W
0x40005014	COMLSR	线路状态	0x0060	RC
0x40005018	COMMSR	调制解调器状态	0x0000	RC
0x4000501C	COMSCR	暂存缓冲	0x0000	R/W
0x40005020	COMFCR	FIFO控制	0x0000	R/W
0x40005024	COMFBR	小数波特率	0x0000	R/W
0x40005028	COMDIV	波特率分频器	0x0000	R/W
0x4000502C	COMLCR2	第二线路控制	0x0002	R/W
0x40005030	COMCTL	UART控制	0x0100	R/W
0x40005034	COMRFC	接收FIFO计数	0x0000	R
0x40005038	COMTFC	发送FIFO计数	0x0000	R
0x4000503C	COMRSC	RS485半双工控制	0x0000	R/W
0x40005040	COMACR	自动波特率控制	0x0000	R/W
0x40005044	COMASRL	自动波特率状态 (低)	0x0000	R
0x40005048	COMASRH	自动波特率状态 (高)	0x0000	R

寄存器详解：UART

发送保持寄存器

地址：0x40005000；复位：0x0000；名称：COMTX

COMRX和COMTX共用地址，但实现为不同的寄存器。如果写入这些寄存器，则用户访问发送保持寄存器(COMTX)。如果读取这些寄存器，则用户访问接收缓冲寄存器(COMRX)。

表321. COMTX位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	THR		发送保持寄存器。这是一个8位寄存器，用户可向其中写入要发送的数据。如果COMIEN位1置1，则COMTX为空时会产生中断。当COMTX已经为空时，如果用户代码将COMIEN位1置1，则会立即产生中断。	0x0	W

接收缓冲寄存器

地址：0x40005000；复位：0x0000；名称：COMRX

表322. COMRX位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	RBRBR		接收缓冲寄存器。这是一个8位寄存器，用户可从中读取收到的数据。如果COMIEN位0置1，则当此寄存器通过串行输入端口满载接收数据时，会产生中断。如果用户代码在COMRX已满时将COMIEN位0置1，则会立即产生中断。	0x0	R

中断使能寄存器

地址：0x40005004；复位：0x0000；名称：COMIEN

COMIEN是中断使能寄存器，用于配置哪个中断源产生中断。在此寄存器中，仅低4位用于使能中断。位4和位5用于使能UART DMA信号。UART DMA通道和中断必须在DMA模块中配置。

表323. COMIEN位功能描述

位	位名称	设置	描述	复位	访问类型
[15:6]	保留		保留。	0x0	R
5	EDMAR	0 1	接收模式下的DMA请求。 禁用DMA请求。 使能DMA请求。	0x0	R/W
4	EDMAT	0 1	发送模式下的DMA请求。 禁用DMA请求。 使能DMA请求。	0x0	R/W
3	EDSSI	0 1	调制解调器状态中断。当设置COMMSR位[3:0]时产生中断。 禁用中断。 使能中断。	0x0	R/W
2	ELSI	0 1	接收状态中断。 禁用中断。 使能中断。	0x0	R/W
1	ETBEI	0 1	发送缓冲器空中断。 禁用中断。 使能中断。	0x0	R/W
0	ERBFI	0 1	接收缓冲器满中断。 禁用中断。 使能中断。	0x0	R/W

中断识别寄存器

地址：0x40005008；复位：0x0001；名称：COMIIR

表324. COMIIR位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:6]	FEND	00 11	FIFO使能。 FIFO未使能，16450 UART模式。 FIFO使能，16550 UART模式。	0x0	R
[5:4]	保留		保留。	0x0	R
[3:1]	STA	000 001 010 110 011	中断状态。当NIRQ为低电平有效时，此位指示中断，并且对此位使用如下解码。 调制解调器状态中断。读取COMMSR可清零。 发送缓冲器空中断。写入COMTX或读取COMIIR可清零。 接收缓冲器满中断。读取COMRX可清零。 接收FIFO超时。读取COMRX可清零。 接收线路状态中断。读取COMLSR可清零。	0x0	RC
0	NIRQ		中断标志。	0x1	RC

线路控制寄存器

地址：0x4000500C；复位：0x0000；名称：COMLCR

表325. COMLCR位功能描述

位	位名称	设置	描述	复位	访问类型
[15:7]	保留		保留。	0x0	R
6	BRK	1 0	设置打断。 强制UART_SOUT引脚为0。 UART_SOUT引脚正常工作。	0x0	R/W
5	SP	0 1	附加奇偶校验位。用于强制奇偶校验位为特定值。置1时，奇偶校验基于以下位设置：当EPS = 1且PEN = 1时，强制奇偶校验为0。当EPS = 0且PEN = 1时，强制奇偶校验为1。当EPS = X且PEN = 0时，不发送奇偶校验位。 奇偶校验不是基于EPS和PEN的强制值。 奇偶校验是基于EPS和PEN的强制值。	0x0	R/W
4	EPS	0 1	奇偶校验选择。只有使能奇偶校验时（PEN置1），此位才有意义。 发送并检查奇校验。 发送并检查偶校验。	0x0	R/W
3	PEN	0 1	奇偶校验使能。此位用于使能要发送和检查的奇偶校验。发送和检查的值基于EPS和SP的设置。 不发送或检查奇偶校验。 发送并检查奇偶校验。	0x0	R/W
2	STOP STOP	0 1	停止位。用于控制发送的停止位数。所有情况下，在收到数据时仅评估第一个停止位。 无论字长（WLS位）为多少，仅发送1个停止位。 基于字长发送停止位。如果字长为5位（WLS = 00），则发送1.5个停止位；如果字长为6（WLS = 01）、7（WLS = 10）或8（WLS = 11）位，则传送2个停止位。	0x0	R/W
[1:0]	WLS	00 01 10 11	字长选择。选择每次发送的位数。 5位。 6位。 7位。 8位。	0x0	R/W

调制解调器控制寄存器

地址：0x40005010；复位：0x0000；名称：COMMCR

表326. COMMCR位功能描述

位	位名称	设置	描述	复位	访问类型
[15:5]	保留		保留。	0x0	R
4	LOOPB ACK	0 正常工作，禁用回送。 1 使能回送。	回送模式。在回送模式下，强制UART_SOUT为高电平。调制解调器的信号也直接连接到状态输入，即COMMCR中的RTS连接到COMMSR中的CTS，COMMCR中的DTR连接到COMMSR中的DSR，COMMCR中的OUT1连接到COMMSR中的RI，COMMCR中的OUT2连接到COMMSR中的DCD。	0x0	R/W
3	OUT2	0 强制OUT2为逻辑1。 1 强制OUT2为逻辑0。	输出2。	0x0	R/W
2	OUT1	0 强制OUT1为逻辑1。 1 强制OUT1为逻辑0。	输出1。	0x0	R/W
1	RTS	0 强制RTS为逻辑1。 1 强制RTS为逻辑0。	发送请求位。	0x0	R/W
0	DTR	0 强制DTR为逻辑1。 1 强制DTR为逻辑0。	数据终端准备就绪。	0x0	R/W

线路状态寄存器

地址：0x40005014；复位：0x0060；名称：COMLSR

表327. COMLSR位功能描述

位	位名称	设置	描述	复位	访问类型
[15:6]	保留		保留。	0x0	R
7	FIFOER R		接收FIFO中的数据字节有奇偶校验错误、帧错误或打断指示。仅用于16550 UART模式。如果接收FIFO中没有更多错误，则此位清0。	0x0	RC
6	TEMT	0 已经写入COMTX，其中包含要发送的数据。注意不要覆盖其值。 1 COMTX和发送移位寄存器变空，可将新数据安全写入COMTX。数据已传输。	COMTX和移位寄存器变空状态。	0x1	R
5	THRE	0 已经写入COMTX，其中包含要发送的数据。注意不要覆盖其值。 1 COMTX变空，可将新数据安全写入COMTX。之前的数据可能尚未传输，仍在移位寄存器中。	COMTX变空。读取COMRX时此位清0。	0x1	R
4	BI	0 未检测到UART_SIN比最大字长要长。 1 UART_SIN保持低电平的时间超过最大字长。	打断指示符。若置1，此位将在读取COMLSR后清0。	0x0	RC
3	FE	0 未检测到无效停止位。 1 在接收字中检测到无效停止位。	帧错误。若置1，此位将在读取COMLSR后清0。	0x0	RC
2	PE	0 未检测到奇偶校验错误。 1 一个接收字发生奇偶校验错误。	奇偶校验错误。若置1，此位将在读取COMLSR后清0。	0x0	RC

位	位名称	设置	描述	复位	访问类型
1	OE	0 1	溢出错误。若置1，此位将在读取COMLSR后清0。 接收数据未被覆盖。 读取COMRX之前，接收数据被新数据覆盖。	0x0	RC
0	DR	0 1	数据就绪。只有读取COMRX才能将此位清0。若置1，此位不会自动清0。 COMRX不包含新接收数据。 COMRX包含需要读取的接收数据。	0x0	RC

调制解调器状态寄存器

地址：0x40005018；复位：0x0000；名称：COMMSR

表328. COMMSR位功能描述

位	位名称	设置	描述	复位	访问类型
[15:4]	保留		保留。	0x0	R
3	DDCD	0 1	Δ DCD。若置1，此位将在读取COMMSR后自动清0。 上次读取COMMSR后，DCD未改变状态。 上次读取COMMSR后，DCD已改变状态。	0x0	R
2	TERI	0 1	下降沿响铃指示。若置1，此位将在读取COMMSR后自动清0。 上次读取COMMSR后，RI未从0变为1。 上次读取COMMSR后，RI已从0变为1。	0x0	R
1	DDSR	0 1	Δ DSR。若置1，此位将在读取COMMSR后自动清0。 上次读取COMMSR后，DSR未改变状态。 上次读取COMMSR后，DSR已改变状态。	0x0	R
0	DCTS	0 1	Δ CTS。若置1，此位将在读取COMMSR后自动清0。 上次读取COMMSR后，CTS未改变状态。 上次读取COMMSR后，CTS已改变状态。	0x0	R

暂存缓冲寄存器

地址：0x4000501C；复位：0x0000；名称：COMSCR

表329. COMSCR位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	SCR		暂存。暂存寄存器是一个8位寄存器，用于存储立即结果。暂存寄存器中的值不影响UART功能或性能。此寄存器仅实现了8位。位[15:8]是只读位，读取时总是返回0x00。SCR可以写入从0到255的任意值。读取此寄存器将返回最后写入的值。	0x0	R/W

FIFO控制寄存器

地址：0x40005020；复位：0x0000；名称：COMFCR

表330. COMFCR位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:6]	RFTRIG	00 01 10 11	接收FIFO触发水平。 1字节触发接收中断。 4字节触发接收中断。 8字节触发接收中断。 14字节触发接收中断。	0x0	R/W
[5:4]	保留		保留。	0x0	R

位	位名称	设置	描述	复位	访问类型
3	FDMA MD		FIFO DMA模式。 0 当COMRX寄存器中的RBR或接收FIFO中有数据时，接收DMA请求置位；当RBR或接收FIFO为空时，接收DMA请求解除置位。当COMTX寄存器中的THR或发送FIFO为空时，发送DMA请求置位；只要有数据写入COMTX寄存器，发送DMA请求就会解除置位。 1 当达到接收FIFO触发水平或超时，接收DMA请求置位；当接收FIFO为空时，接收DMA请求解除置位。当发送FIFO为空时，发送DMA请求置位；当发送FIFO全满时，发送DMA请求解除置位。	0x0	R/W
2	TFCLR		清除发送FIFO。 0 不起作用。 1 清除发送FIFO。	0x0	W
1	RFCLR		清除接收FIFO。 0 不起作用。 1 清除接收FIFO。	0x0	W
0	FIFOEN		使能FIFO以16550 UART模式工作。	0x0	R/W

小数波特率寄存器

地址：0x40005024；复位：0x0000；名称：COMFBR

表331. COMFBR位功能描述

位	位名称	设置	描述	复位	访问类型
15	FBEN		小数波特率发生器使能。UART的小数波特率生成和最终波特率的计算方法如下： $Baud\ Rate = ((UCLK)/(2 \times (M + N/2048)) 16 \times COMDIV)$ $波特率 = ((UCLK)/(2 \times (M + N/2048)) 16 \times COMDIV)$	0x0	R/W
[14:13]	保留		保留。	0x0	R
[12:11]	DIVM		小数波特率M分频位，1至3。此位不得为0。	0x0	R/W
[10:0]	DIVN		小数波特率N分频位，0至2047。	0x0	R/W

波特率分频器寄存器

地址：0x40005028；复位：0x0000；名称：COMDIV

表332. COMDIV位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	DIV		波特率分频器。确保COMDIV寄存器不为0。允许的DIV值范围是1到65,535。	0x1	R/W

第二线路控制寄存器

地址：0x4000502C；复位：0x0002；名称：COMLCR2

表333. COMLCR2位功能描述

位	位名称	设置	描述	复位	访问类型
[15:2]	保留		保留。	0x0	R
[1:0]	OSR		过采样率。 00 4倍过采样。 01 8倍过采样。 10 16倍过采样。 11 32倍过采样。	0x2	R/W

UART控制寄存器

地址：0x40005030；复位：0x0100；名称：COMCTL

表334. COMCTL位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	修订版		UART版本ID。	0x1	R
[7:5]	保留		保留。	0x0	R
4	RXINV		反转接收线路。 0 不反转接收线路（空闲高电平）。 1 反转接收线路（空闲低电平）。	0x0	R/W
[3:2]	保留		保留。	0x0	R
1	FORCECLKON		始终将PCLK提供给UART。 0 PCLK至UART自动时钟门控。 1 PCLK至UART始终开启。	0x0	R/W
0	保留		保留。	0x0	R

接收FIFO计数寄存器

地址：0x40005034；复位：0x0000；名称：COMRFC

表335. COMRFC位描述

位	位名称	设置	描述	复位	访问类型
[15:5]	保留		保留。	0x0	R
[4:0]	RFC		当前接收FIFO数据字节。	0x0	R

发送FIFO计数寄存器

地址：0x40005038；复位：0x0000；名称：COMTFC

表336. COMTFC位功能描述

位	位名称	设置	描述	复位	访问类型
[15:5]	保留		保留。	0x0	R
[4:0]	TFC		当前发送FIFO数据字节。	0x0	R

RS485半双工控制寄存器

地址：0x4000503C；复位：0x0000；名称：COMRSC

表337. COMRSC位功能描述

位	位名称	设置	描述	复位	访问类型
[15:4]	保留		保留。	0x0	R
3	DISTX		接收时禁用发送。	0x0	R/W
2	DISRX		发送时禁用接收。	0x0	R/W
1	OENSP		UART_SOUT在完全停止位之前解除置位。 0 UART_SOUT与完全停止位同时解除置位。 1 UART_SOUT比完全停止位早半位解除置位。	0x0	R/W
0	OENP		UART_SOUT极性。 0 高电平有效。 1 低电平有效。	0x0	R/W

自动波特率控制寄存器

地址：0x40005040；复位：0x0000；名称：COMACR

表338. COMACR位功能描述

位	位名称	设置	描述	复位	访问
[15:1]	保留		保留。	0x0	R
[11:8]	EEC		Ending Edge Count. 0000 First edge. 0001 Second edge. 0010 Third edge. 0011 Fourth edge. 0100 Fifth edge. 0101 Sixth edge. 0110 Seventh edge. 0111 Eighth edge. 1000 Ninth edge.	0x0	R/W
7	保留		保留。	0x0	R
[6:4]	SEC		Starting Edge Count. 000 First edge. Always the falling edge of UART start bit. 001 Second edge. 010 Third edge. 011 Fourth edge. 100 Fifth edge. 101 Sixth edge. 110 Seventh edge. 111 Eighth edge.	0x0	R/W
3	保留		保留。	0x0	R
2	TOIEN		Enable Time Out Interrupt.	0x0	R/W
1	DNIEN		Enable Done Interrupt.	0x0	R/W
0	ABE		Autobaud Enable.	0x0	R/W

自动波特率状态（低）寄存器

地址：0x40005044；复位：0x0000；名称：COMASRL

表339. COMASRL位功能描述

位	位名称	设置	描述	复位	访问类型
[15:4]	CNT[11:0]		自动波特率计数器值。	0x0	R
3	NEETO		由于未找到有效结束边沿而超时。	0x0	RC
2	NSETO		由于未找到有效开始边沿而超时。	0x0	RC
1	BRKTO		由于长时间打断状况而超时。	0x0	RC
0	DONE		自动波特率操作已完成。	0x0	RC

自动波特率状态（高）寄存器

地址：0x40005048；复位：0x0000；名称：COMASRH

表340. COMASRH位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
[7:0]	CNT[19:12]		自动波特率计数器值。	0x0	R

数字芯片通用定时器

数字芯片通用定时器特性

ADuCM355数字芯片集成了三个相同的通用16位递增或递减定时器：定时器0、定时器1和定时器2。这些定时器可以由32 kHz内部低频振荡器、PCLK或内部26 MHz高频振荡器提供时钟。可通过1、4、16或256倍预分频器对时钟源进行向下分频处理。提供自由振荡模式和周期模式。定时器具有捕捉事件特性，每个定时器能够捕捉32个不同事件。通用定时器概览参见图64。

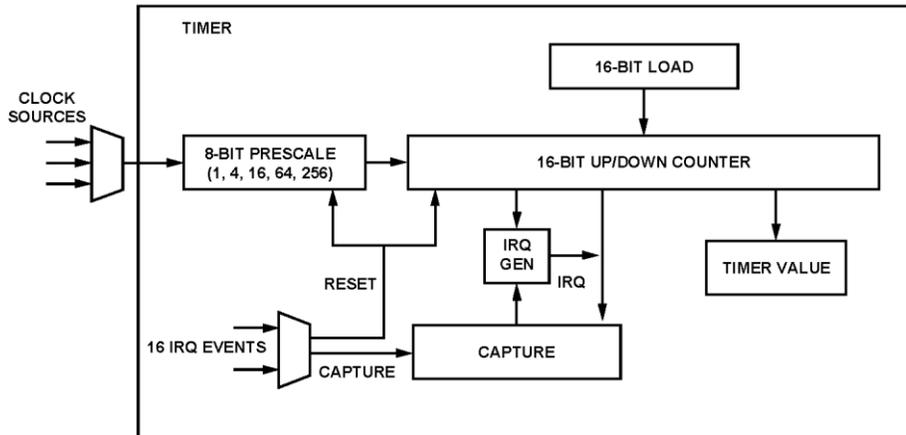


图64. 通用定时器功能框图

通用定时器概述

定时器可以在自由振荡或周期模式下工作。在自由振荡模式下，计数器从最大值递减到0或从0递增到最大值，然后重新开始。在周期模式下，计数器以加载寄存器（GPTx_LOAD，对于定时器0，x为0；对于定时器1，x为1；对于定时器2，x为2）中的值为起始值递减或递增至0或最大值。然后，计数器以加载寄存器中的值重新开始计数。

通过访问计数器的值寄存器GPTx_ACURCNT或GPTx_CURCNT，可以随时读出计数器的值。GPTx_ACURCNT假定定时器和CPU同步（使用相同的时钟源）。如果定时器使用其他时钟源（例如低频振荡器），请勿使用GPTx_ACURCNT。在这种情况下，请使用GPTx_CURCNT。GPTx_CURCNT返回同步定时器值，但由于需要同步周期，结果会稍有延迟。

CON0寄存器选择定时器模式，配置时钟源，选择递增或递减，启动计数器，并控制事件捕捉功能。

每当计数器的值达到0（递减计数）或最大值（递增计数）时，都会产生一个中断信号。向某一定时器的时间清除中断寄存器（GPTx_CLRINT）写入1，可以清除IRQ。

此外，定时器0、定时器1和定时器2均有捕捉寄存器，其可以被选定的IRQ中断源初始置位触发。中断触发时，定时器的当前值被复制到GPTx_CAPTURE寄存器，定时器继续运行。该功能可以更精确地判断事件置位。

通用定时器工作原理

自由振荡模式

在自由振荡模式下，将使能位（GPTx_CTL位4）置1且将模式位（GPTx_CTL位3）置0可启动定时器。若是递增/递减计数，定时器将从0/最大值递增/递减至最大值/0。最大值为216，即1或0xFFFF。达到最大值或零时会发生超时中断，GPTx_STAT位0置1。要清除定时器中断，用户代码必须向GPTx_CLRINT位0写入1。如果GPTx_CTL位7置1，则当GPTx_CLRINT位0置1时，计时器会继续计数并重新加载。

周期模式

在周期模式下，首先须载入初始GPTx_LOAD值，然后将使能位（GPTx_CTL位4）置1以启动定时器。定时器值从GPTx_LOAD中的值递增至最大值或递减至0，取决于GPTx_CTL位2的设置（递增或递减）。达到最大值或0时，定时器产生中断。GPTx_LOAD重新载入GPTx_CURCNT，定时器继续递增或递减。更改GPTx_CTL或GPTx_LOAD寄存器之前，必须禁用定时器。如果在加载定时器时更改GPTx_LOAD寄存器，可能会产生不明结果。默认情况下，计数器会在产生中断信号时自动重载。如果GPTx_CTL位7置1，则当用户代码写入GPTx_CLRINT时，计数器也会重新加载，这使得用户对GPTx_LOAD的更改可以立即生效，而不必等到下一次超时。

定时器间隔可通过下式计算：如果将定时器设置为递减计数，那么，

$$\text{间隔} = (\text{GPTx_LOAD} \times \text{预分频器}) / \text{时钟源} \quad (27)$$

例如，若GPTx_LOAD = 0x100，预分频器 = 4，时钟源 = 高频振荡器，则间隔为39.38μs（其中高频振荡器 = 26 MHz）。

如果将定时器设置为递增计数，那么，

$$\text{间隔} = ((\text{最大值} - \text{GPTx_LOAD}) \times \text{预分频器}) / \text{时钟源} \quad (28)$$

异步时钟源

将某一定时器的控制寄存器的使能位（GPTx_CTL位4）置1，可以启动相应的定时器。然而，如果定时器时钟源为低频振荡器，必须注意以下几点：

- 如果GPTx_STAT位6置1，请勿写入GPTx_CTL。在配置GPTx_CTL之前，必须读取GPTx_STAT。当GPTx_STAT位6清0时，可以修改寄存器，确保完成处理器与定时器时钟域之间的定时器控制同步。GPTx_STAT位6是定时器繁忙状态位。
- 清除GPTx_CLRINT中的中断后，应确保寄存器写操作已完成，然后才能从中断处理程序返回。需要时可使用数据同步屏障（DSB）指令，并确认GPTx_STAT位7 = 0，如下所示：

```
__asm void asmDSB()
{
  nop
  DSB
  BX LR
}
```

- 通过访问计数器的值寄存器(GPTx_CURCNT)，可以随时读出计数器的值。在异步配置中，GPTx_CURCNT务必读两次。如果两次读到的结果不同，必须再读一次寄存器以确定正确的值。

使能位置1或清0后，必须先读取GPTx_STAT，再写入某一定时器寄存器。当GPTx_STAT位7清0时，可以修改寄存器，确保定时器已完成处理器与定时器时钟域之间的同步。典型同步时间为2个定时器时钟周期。

GPTx_CTL寄存器用于使能定时器，选择模式，选择预分频器值，以及控制事件捕捉功能。

捕捉事件功能

通用定时器可以捕获若干中断事件。这些事件如表341所列。与通用定时器相关的任何事件都能导致16位GPTx_CURCNT寄存器的内容被捕捉到16位GPTx_CAPTURE寄存器中。GPTx_CTL有一个5位位域可以选择要捕捉的事件。

发生选定的中断事件时，GPTx_CURCNT寄存器的内容便会被复制到GPTx_CAPTURE寄存器中。当GPTx_STAT位1置1时，表示有一个捕捉事件待处理。向GPTx_CLRINT位1写入1可将此位清0。GPTx_CAPTURE寄存器也会保持其值，直到向GPTx_CLRINT位1写入1才能覆盖该值。

表341. 捕捉事件功能

事件选择范围位, CON0位[12:8]	定时器0捕捉源	定时器1捕捉源	定时器2捕捉源
0000	WUT	UART	SYS_WAKE
0001	SYS_WAKE	SPI0	保留
0010	保留	保留	保留
0011	保留	SPI1	保留
0100	保留	I ² C从机	DMA错误
0101	保留	I ² C主机	WUT
0110	DVDD_REG	保留	通用定时器0
0111	保留	保留	通用定时器1
1000	保留	保留	保留
1001	GPIO中断A	保留	保留
1010	GPIO中断B	保留	保留
1011	通用定时器1	保留	保留
1100	通用定时器1	SYS_WAKE	保留
1101	闪存控制器	保留	保留
1110	保留	通用定时器0	保留
1111	保留	通用定时器2	保留

通用定时器电源门控

为了限制功耗，通用定时器电源被关断，时钟输入被禁用。要使能每个通用定时器模块的时钟输入，须将CTL5寄存器中的相应位清0。在写入任何定时器控制寄存器之前，必须清除该寄存器。

寄存器汇总：通用定时器

表342. 定时器寄存器汇总

地址	名称	描述	复位	访问类型
0x40000000	GPT0_LOAD	16位同步加载值	0x0000	R/W
0x40000004	GPT0_CURCNT	16位定时器同步值	0x0000	R
0x40000008	GPT0_CTL	控制	0x000A	R/W
0x4000000C	GPT0_CLRINT	清除中断	0x0000	W
0x40000010	GPT0_CAPTURE	采集	0x0000	R
0x40000014	GPT0_ALOAD	16位异步加载值	0x0000	R/W
0x40000018	GPT0_ACURCNT	16位定时器异步值	0x0000	R
0x4000001C	GPT0_STAT	状态	0x0000	R
0x40000400	GPT1_LOAD	16位同步加载值	0x0000	R/W
0x40000404	GPT1_CURCNT	16位定时器同步值	0x0000	R
0x40000408	GPT1_CTL	控制	0x000A	R/W
0x4000040C	GPT1_CLRINT	清除中断	0x0000	W
0x40000410	GPT1_CAPTURE	采集	0x0000	R
0x40000414	GPT1_ALOAD	16位异步加载值	0x0000	R/W
0x40000418	GPT1_ACURCNT	16位定时器异步值	0x0000	R
0x4000041C	GPT1_STAT	状态	0x0000	R
0x40000800	GPT2_LOAD	16位同步加载值	0x0000	R/W
0x40000804	GPT2_CURCNT	16位定时器同步值	0x0000	R
0x40000808	GPT2_CTL	控制	0x000A	R/W
0x4000080C	GPT2_CLRINT	清除中断	0x0000	W
0x40000810	GPT2_CAPTURE	采集	0x0000	R
0x40000814	GPT2_ALOAD	16位异步加载值	0x0000	R/W
0x40000818	GPT2_ACURCNT	16位定时器异步值	0x0000	R
0x4000081C	GPT2_STAT	状态	0x0000	R

寄存器详解：通用定时器

16位同步加载值寄存器

地址：0x40000000；复位：0x0000；名称：GPT0_LOAD

地址：0x40000400；复位：0x0000；名称：GPT1_LOAD

地址：0x40000800；复位：0x0000；名称：GPT2_LOAD

表343. GPT0_LOAD、GPT1_LOAD、GPT2_LOAD位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	LOAD		加载值。若选择周期模式（GPTx_CTL位3 = 1），则递增或递减计数器周期性加载此值。在递增或递减计数器超时事件中写入此位会被延迟到该事件消失后。	0x0000	R/W

16位定时器同步值寄存器

地址：0x40000004；复位：0x0000；名称：GPT0_CURCNT

地址：0x40000404；复位：0x0000；名称：GPT1_CURCNT

地址：0x40000804；复位：0x0000；名称：GPT2_CURCNT

表344. GPT0_CURCNT、GPT1_CURCNT、GPT2_CURCNT位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		当前计数。反映当前递增或递减计数器值。由于时钟同步器影响，值会延迟2个PCLK周期。	0x0000	R

控制寄存器

地址：0x40000008；复位：0x000A；名称：GPT0_CTL

地址：0x40000408；复位：0x000A；名称：GPT1_CTL

地址：0x40000808；复位：0x000A；名称：GPT2_CTL

表345. GPT0_CTL、GPT1_CTL、GPT2_CTL位功能描述

位	位名称	设置	描述	复位	访问类型
15	SYNCBYP		同步旁路。用于旁路模块内的同步逻辑。仅用于通用定时器和CPU由同一时钟源提供时钟的场合。	0x0	R/W
14	保留		保留。	0x0	R
13	EVTEN		事件选择。用于使能或禁用对事件的捕捉。此位与事件选择范围一同使用。发生选定的事件时，递增或递减计数器的当前值被捕捉到GPTx_CAPTURE中。 0 不捕捉事件。 1 捕捉事件。	0x0	R/W
[12:8]	EVTRANGE		事件选择范围。定时器事件选择范围（0至31）。	0x0	R/W
7	RLD		重载控制。此位仅用于周期模式。此位允许用户选择递增或递减计数器是在超时事件时复位，还是在CLRINT位0置1时也会复位。 0 递增或递减计数器仅在发生超时事件时复位。 1 当CLRINT位0置1时，复位递增/递减计数器。	0x0	R/W
[6:5]	CLK		时钟选择位。用于从4个可用时钟源中选择定时器时钟。 00 PCLK。 01 高频振荡器。26 MHz高频振荡器。 10 低频振荡器。32 kHz低频振荡器。 11 保留。	0x0	R/W
4	EN		定时器使能。用于使能和禁用定时器。此位清0将复位定时器，包括GPTx_CURCNT寄存器。 0 禁用定时器。默认值。 1 使能定时器。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
3	MODE		定时器模式。此位控制定时器是以周期模式还是自由振荡模式工作。在周期模式下，递增或递减计数器从定义的加载值(GPTx_LOAD)开始。在自由振荡模式下，递增或递减计数器从0x0000或0xFFFF开始，具体取决于定时器是递增还是递减计数。 0 定时器以自由振荡模式工作。 1 定时器以周期模式工作。默认值。	0x1	R/W
2	UP		递增计数。用于控制定时器是递增计数还是递减计数。 0 定时器设置为递减计数。默认值。 1 定时器设置为递增计数。	0x0	R/W
[1:0]	PRE		预分频器。控制应用于定时器选定时钟的预分频器分频系数。如果选择时钟源0 (PCLK)或时钟源1 (HCLK)，则预分频器值0意味着4分频，否则意味着1分频。 00 源时钟/1或源时钟/4。如果SYNCBYP = 1，则除以1；如果SYNCBYP = 0，则除以4。 01 源时钟/16。 10 源时钟/64。 11 源时钟/256。	0x2	R/W

清除中断寄存器

地址：0x4000000C；复位：0x0000；名称：GPT0_CLRINT

地址：0x4000040C；复位：0x0000；名称：GPT1_CLRINT

地址：0x4000080C；复位：0x0000；名称：GPT2_CLRINT

表346. GPT0_CLRINT、GPT1_CLRINT、GPT2_CLRINT位功能描述

位	位名称	设置	描述	复位	访问类型
[15:2]	保留		保留。	0x000	R
1	EVTCAPT		清除已捕捉事件中断。此位用于清除捕捉事件中断。 0 不起作用。 1 清除捕捉事件中断。	0x0	W1C
0	超时		清除超时中断。此位用于清除超时中断。 0 不起作用。 1 清除超时中断。	0x0	W1C

捕捉寄存器

地址：0x40000010；复位：0x0000；名称：GPT0_CAPTURE

地址：0x40000410；复位：0x0000；名称：GPT1_CAPTURE

地址：0x40000810；复位：0x0000；名称：GPT2_CAPTURE

表347. GPT0_CAPTURE、GPT1_CAPTURE、GPT2_CAPTURE位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		16位捕捉值。GPTx_CAPTURE会保持其值到用户代码将GPTx_CLRINT位1置1为止。若不写入GPTx_CLRINT位1，即使发生另一个事件，GPTx_CAPTURE也不会被覆盖。	0x0000	R

16位异步加载值寄存器

地址：0x40000014；复位：0x0000；名称：GPT0_ALOAD

地址：0x40000414；复位：0x0000；名称：GPT1_ALOAD

地址：0x40000814；复位：0x0000；名称：GPT2_ALOAD

表348. GPT0_ALOAD、GPT1_ALOAD、GPT2_ALOAD位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		16位捕捉值。GPTx_CAPTURE会保持其值到用户代码将GPTx_CLRINT位1置1为止。若不写入GPTx_CLRINT位1，即使发生另一个事件，GPTx_CAPTURE也不会被覆盖。仅在选择同步时钟源（GPTx_CTL位[6:5] = 00或高频振荡器同时为定时器和CPU提供时钟）时使用。	0x0000	R

16位定时器异步值寄存器

地址：0x40000018；复位：0x0000；名称：GPT0_ACURCNT

地址：0x40000418；复位：0x0000；名称：GPT1_ACURCNT

地址：0x40000818；复位：0x0000；名称：GPT2_ACURCNT

表349. GPT0_ACURCNT、GPT1_ACURCNT、GPT2_ACURCNT位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		计数器值。反映当前递增或递减计数器值。读取GPTx_ACURCNT，旁路时钟同步逻辑，让定时器依靠CLK运行。仅在选择同步时钟源（GPTx_CTL位[6:5] = 00或高频振荡器同时为定时器和CPU提供时钟）时使用。	0x0000	R

状态寄存器

地址：0x4000001C；复位：0x0000；名称：GPT0_STAT

地址：0x4000041C；复位：0x0000；名称：GPT1_STAT

地址：0x4000081C；复位：0x0000；名称：GPT2_STAT

表350. GPT0_STAT、GPT1_STAT、GPT2_STAT位功能描述

位	位名称	设置	描述	复位	访问类型
[15:8]	保留		保留。	0x0	R
7	PDOK		GPTx_CLRINT同步。当用户设置GPTx_CLRINT位0 = 1时，此位自动置1。当清除中断请求已越过时钟域并在定时器时钟域中起作用时，此位自动清0。 0 在定时器时钟域中清除中断。 1 在定时器时钟域中更新GPTx_CLRINT位0。	0x0	R
6	BUSY		定时器繁忙。此位告知用户，对GPTx_CTL的写操作正在跨入定时器时钟域。写入GPTx_CTL之后检查该位，并禁止进一步写操作，直到将该位清0为止。 0 定时器已准备好接收发送给GPTx_CTL的命令。 1 定时器未准备好接收发送给GPTx_CTL的命令。	0x0	R
[5:2]	保留		保留。	0x0	R
1	CAPTURE		捕捉事件待处理。 0 无捕捉事件待处理。 1 有一个捕捉事件待处理。	0x0	R
0	超时		发生超时事件。当计数器值达到0（递减）或最大值（递增）时，此位自动置1。当用户将GPTx_CLRINT位0置1时，此位清0。 0 未发生超时事件。 1 已发生超时事件。	0x0	R

模拟芯片通用定时器

模拟芯片通用定时器特性

ADuCM355模拟芯片集成了两个相同的通用16位递增或递减定时器：AGPT0和AGPT1。定时器可以由模拟芯片上的32 kHz内部低频振荡器、模拟芯片PCLK、内部16 MHz或32 MHz高频振荡器或外部时钟输入提供时钟。可通过1、4、16或256倍预分频器对时钟源进行向下分频处理。提供自由振荡模式和周期模式。定时器具有PWM输出特性。配置INTEN寄存器以使能AFE通用定时器中断。

AFE PWM

ADuCM355中的AFE芯片具有专用PWM输出特性。PWM的高电平周期为定时器加载寄存器与PWMMAT0寄存器或PWMMATCH寄存器中的值之差。PWM的低电平周期为PWMMAT0寄存器或PWMMATCH寄存器与上溢值0xFFFF之差。增加或减少加载值会提高或降低PWM输出频率。

以下示例将PWM设置为2 ms（高）周期和1.56 ms（低）周期的占空比：

```
void PWM1Init(void)
{
    AfeDioCfgPin(pADI_AGPIO2, PIN1, 1);
    /*1MHz GPT clock, count up, periodic */
    AfeGptCfg(pADI_AGPT1, TCTL_CLK_PCLK, TCTL_PRE_DIV16, BITM_TMR_CTL_UP|BITM_TMR_CTL_MODE);
    /*count 2000, 2ms period: 64000 - 62000, assuming 16MHz clock and prescaler of 16 */
    AfeGptLd(pADI_AGPT1, 62000);
    /*Low period is 65535-64000*/
    AfePwmCfg(pADI_AGPT1, PWM_IDLEHI, PWM_MATCH_MODE);
    AfePwmMatch(pADI_AGPT1, 64000);

    /*start timer, output PWM*/
    pADI_AGPT1->CON1 |= BITM_TMR_CTL_EN;
}
```

寄存器汇总：模拟芯片通用定时器

表351. AGPT0寄存器汇总

地址	名称	描述	复位	访问类型
0x400C0D00	LD0	16位加载值	0x0000	R/W
0x400C0D04	VAL0	16位定时器值	0x0000	R
0x400C0D08	CON0	控制	0x000A	R/W
0x400C0D0C	CLR0	清除中断	0x0000	W
0x400C0D14	ALD0	16位加载值，异步	0x0000	R/W
0x400C0D18	AVAL0	16位定时器值，异步	0x0000	R
0x400C0D1C	STA0	状态	0x0000	R
0x400C0D20	PWMCON0	PWM控制	0x0000	R/W
0x400C0D24	PWMMAT0	PWM匹配值	0x0000	R/W
0x400C0D28	INTEN	中断使能	0x0000	R/W

表352. AGPT1寄存器汇总

地址	名称	描述	复位	访问类型
0x400C0E00	LOAD	16位加载值	0x0000	R/W
0x400C0E04	CURCNT	16位定时器值	0x0000	R
0x400C0E08	CTL	控制	0x000A	R/W
0x400C0E0C	CLRINT	清除中断	0x0000	W
0x400C0E14	ALOAD	16位加载值，异步	0x0000	R/W
0x400C0E18	ACURCNT	16位定时器值，异步	0x0000	R
0x400C0E1C	STAT	状态	0x0000	R
0x400C0E20	PWMCTL	PWM控制	0x0000	R/W
0x400C0E24	PWMMATCH	PWM匹配值	0x0000	R/W

寄存器详解：模拟芯片通用定时器

16位加载值寄存器

地址：0x400C0D00；复位：0x0000；名称：LD0

表353. LD0位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	LOAD		加载值。若选择周期模式 (CON0位3 = 1)，则递增或递减计数器周期性加载此值。在递增或递减计数器超时事件中写入LD0会被延迟到该事件消失后。	0x0	R/W

16位定时器值寄存器

地址：0x400C0D04；复位：0x0000；名称：VAL0

表354. VAL0位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VAL		当前计数。反映当前递增或递减计数器值。由于时钟同步器影响，值会延迟2个PCLK周期。	0x0	R

控制寄存器

地址：0x400C0D08；复位：0x000A；名称：CON0

表355. CON0位功能描述

位	位名称	设置	描述	复位	访问类型
15	SYNCBYP		同步旁路。用于旁路模块内的同步逻辑。仅与同步时钟一起使用。此位域还将CON0位[1:0]的最大预分频器计数从3更改为0。	0x0	R/W
14	RSTEN		计数器和预分频器复位使能。用于使能和禁用复位特性。与EVTEN和EVENT选择范围一同使用。当发生选定事件时，16位计数器和8位预分频器会复位。PWM解调模式下需要此复位。	0x0	R/W
13	EVTEN		事件选择。用于使能和禁用对事件的捕捉。与事件选择范围一同使用。发生选定的事件时，递增或递减计数器的当前值被捕捉到GPTx_CAPTURE中。 0 不捕捉事件。 1 捕捉事件。	0x0	R/W
[12:8]	EVENT		事件选择范围。定时器事件选择范围 (0至31)。	0x0	R/W
7	RLD		重载控制。此位仅用于周期模式。此位允许用户选择递增或递减计数器是在超时事件时复位，还是在CLRIO位0置1时复位。 1 当清除超时中断位置1时，复位递增或递减计数器。 0 递增或递减计数器仅在发生超时事件时复位。	0x0	R/W
[6:5]	CLK		时钟选择位。用于从4个可用时钟源中选择定时器时钟。 00 AFE PCLK。 01 AFE高功率振荡器。 10 AFE低频振荡器。 11 外部时钟。	0x0	R/W
4	ENABLE		定时器使能。用于使能和禁用定时器。此位清0将复位定时器，包括VAL0寄存器。 0 禁用定时器。默认值。 1 使能定时器。	0x0	R/W
3	MOD		定时器模式。此位用于控制定时器是以周期模式还是自由振荡模式工作。在周期模式下，递增或递减计数器从定义的加载值开始。在自由振荡模式下，递增或递减计数器从0x0000或0xFFFF开始，具体取决于定时器是递增还是递减计数。 1 定时器以周期模式工作。默认值。 0 定时器以自由振荡模式工作。	0x1	R/W

位	位名称	设置	描述	复位	访问类型
2	UP		递增计数。用于控制定时器是递增计数还是递减计数。 1 定时器设置为递增计数。 0 定时器设置为递减计数。默认值。	0x0	R/W
[1:0]	PRE		预分频器。控制应用于定时器选定时钟的预分频器分频系数。 00 源时钟/1或源时钟/4。CON0位15置1时，源为源时钟/1。清0时，源为源时钟/4。 01 源时钟/16。 10 源时钟/64。 11 源时钟/256。	0x2	R/W

清除中断寄存器

地址：0x400C0D0C；复位：0x0000；名称：CLRIO

表356. CLRIO位功能描述

位	位名称	设置	描述	复位	访问类型
[15:2]	保留		保留。	0x0	R
1	CAP		清除已捕捉事件中断。此位用于清除捕捉事件中断。 1 清除捕捉事件中断。 0 不起作用。	0x0	W1C
0	TMOUT		清除超时中断。此位用于清除超时中断。 1 清除超时中断。 0 不起作用。	0x0	W1C

16位加载值，异步寄存器

地址：0x400C0D14；复位：0x0000；名称：ALD0

仅在选择同步时钟源（CON0位[6:5] = 00）时使用。

表357. ALD0位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	ALOAD		加载值，异步。若选择周期模式（CON0位3 = 1），则递增或递减计数器周期性加载此值。写入ALOAD，旁路时钟同步逻辑，让定时器依靠PCLK运行。	0x0	R/W

16位定时器值，异步寄存器

地址：0x400C0D18；复位：0x0000；名称：AVAL0

仅在选择同步时钟源（CON0位[6:5] = 00）时使用。

表358. AVAL0位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	AVAL		计数器值。反映当前递增或递减计数器值。读取AVAL，旁路时钟同步逻辑，让定时器依靠PCLK运行。	0x0	R

状态寄存器

地址：0x400C0D1C；复位：0x0000；名称：STA0

表359. STA0位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	保留		保留。	0x0	R
8	RSTCNT		发生计数器复位。表示由于事件检测，当前正在复位计数器。CON0位14必须置1。	0x0	R
7	PDOK		清除中断寄存器同步。当用户设置CLRIO位0 = 1时，此位自动置1。当清除中断请求已越过时钟域并在定时器时钟域中起作用时，此位自动清0。 1 在定时器时钟域中更新中断位。 0 在定时器时钟域中清除中断。	0x0	R
6	BUSY		定时器繁忙。此位告知用户，对CON0的写操作正在跨入定时器时钟域。写入CON0之后检查该位，并禁止进一步写操作，直到将该位清0为止。 0 定时器已准备好接收发送给控制寄存器的命令。 1 定时器未准备好接收发送给控制寄存器的命令。	0x0	R
[5:2]	保留		保留。	0x0	R
1	CAP		捕捉事件待处理。已捕获当前定时器值。 0 无捕捉事件待处理。 1 有一个捕捉事件待处理。	0x0	R
0	TMOUT		发生超时事件。当计数器值达到0（递减）或最大值（递增）时，此位自动置1。用户将CLRIO位0置1时，此位清0。 0 未发生超时事件。 1 已发生超时事件。	0x0	R

PWM控制寄存器

地址：0x400C0D20；复位：0x0000；名称：PWMCON0

表360. PWMCON0位功能描述

位	位名称	设置	描述	复位	访问类型
[15:2]	保留		保留。	0x0	R
1	IDLE		PWM空闲状态。此位用于设置PWM空闲状态。	0x0	R/W
0	MATCHEN		使能PWM匹配。此位用于控制PWM工作模式。 0 PWM处于反转模式。 1 PWM处于匹配模式。	0x0	R/W

PWM匹配值寄存器

地址：0x400C0D24；复位：0x0000；名称：PWMMAT0

表361. PWMMAT0位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	MATCHVAL		PWM匹配值。当PWM以匹配模式工作时使用该值。当递增或递减计数器等于该匹配值时，PWM输出置位。发生超时事件时，PWM输出再次解除置位。如果从未达到匹配值，或者与超时事件同时发生，则PWM输出保持空闲状态。	0x0	R/W

中断使能寄存器

地址：0x400C0D28；复位：0x0000；名称：INTEN

表362. INTEN位功能描述

位	位名称	设置	描述	复位	访问类型
[15:1]	保留		保留。	0x0	R
0	INTEN		中断使能。当PWM以匹配模式工作时使用该值。当递增或递减计数器等于该匹配值时，PWM输出置位。发生超时事件时，PWM输出再次解除置位。如果从未达到匹配值，或者与超时事件同时发生，则PWM输出保持空闲状态。	0x0	R/W

16位加载值寄存器

地址：0x400C0E00；复位：0x0000；名称：LOAD

表363. LOAD位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		加载值。若选择周期模式（CTL位3 = 1），则递增或递减计数器周期性加载此值。在递增或递减计数器超时事件中从该位执行写操作会被延迟到该事件消失后。	0x0	R/W

16位定时器值寄存器

地址：0x400C0E04；复位：0x0000；名称：CURCNT

表364. CURCNT位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		当前计数。反映当前递增或递减计数器值。由于时钟同步器影响，值会延迟2个PCLK周期。	0x0	R

控制寄存器

地址：0x400C0E08；复位：0x000A；名称：CTL

表365. CTL位功能描述

位	位名称	设置	描述	复位	访问类型
15	SYNCBYP		同步旁路。用于旁路模块内的同步逻辑。仅与同步时钟一起使用。此位域还将PRE位的最大预分频器计数从3更改为0。	0x0	R/W
14	RSTEN		计数器和预分频器复位使能。用于使能和禁用复位特性。与CTL位13 (EVTEN)和CTL位[12:8] (EVTRANGE)一起使用。当发生选定事件时，16位计数器和8位预分频器会复位。PWM解调模式下需要此复位。	0x0	R/W
13	EVTEN		事件选择。用于使能和禁用对事件的捕捉。与CTL位[12:8] (EVTRANGE)一起使用。发生选定的事件时，递增或递减计数器的当前值被捕捉到GPTx_CAPTURE中。 0 不捕捉事件。 1 捕捉事件。	0x0	R/W
[12:8]	EVTRANGE		事件选择范围。定时器事件选择范围（0至31）。	0x0	R/W
7	RLD		重载控制。此位仅用于周期模式。此位允许用户选择递增或递减计数器是在在超时事件时复位，还是在CLRINT位0置1时也会复位。 1 当清除超时中断位置1时，复位递增或递减计数器。 0 递增或递减计数器仅在发生超时事件时复位。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
[6:5]	CLK	00 01 10 11	时钟选择位。用于从4个可用时钟源中选择定时器时钟。 AFE PCLK。 AFE高功率振荡器。 AFE低频振荡器。 External clock。 外部时钟。	0x0	R/W
4	EN	0 1	定时器使能。用于使能和禁用定时器。此位清0将复位定时器，包括CURCNT寄存器。 禁用定时器。默认值。 使能定时器。	0x0	R/W
3	MODE	1 0	定时器模式。此位用于控制定时器是以周期模式还是自由振荡模式工作。在周期模式下，递增或递减计数器从定义的ALOAD位[15:0]开始。在自由振荡模式下，递增或递减计数器从0x0000或0xFFFF开始，具体取决于定时器是递增还是递减计数。 定时器以周期模式工作。默认值。 定时器以自由振荡模式工作。	0x1	R/W
2	UP	1 0	递增计数。用于控制定时器是递增计数还是递减计数。 定时器设置为递增计数。 定时器设置为递减计数。默认值。	0x0	R/W
[1:0]	PRE	00 01 10 11	预分频器。控制应用于定时器选定时钟的预分频器分频系数。 源时钟/1或源时钟/4。当CTL位15置1时，为源时钟/1。清0时，为源时钟/4。 源时钟/16。 源时钟/64。 源时钟/256。	0x2	R/W

清除中断寄存器

地址：0x400C0E0C；复位：0x0000；名称：CLRINT

表366. CLRINT位功能描述

位	位名称	设置	描述	复位	访问类型
[15:2]	保留		保留。	0x0	R
1	EVTCAPT	1 0	清除已捕捉事件中断。此位用于清除捕捉事件中断。 清除捕捉事件中断。 不起作用。	0x0	W1C
0	超时	1 0	清除超时中断。此位用于清除超时中断。 清除超时中断。 不起作用。	0x0	W1C

16位加载值，异步寄存器

地址：0x400C0E14；复位：0x0000；名称：ALOAD

仅在选择同步时钟源（CTL位[6:5] = 00）时使用。

表367. ALOAD位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		加载值，异步。若选择周期模式（CTL位5 = 1），则递增或递减计数器周期性加载此值。写入此寄存器，旁路时钟同步逻辑，让定时器依靠PCLK运行。	0x0	R/W

16位定时器值，异步寄存器

地址：0x400C0E18；复位：0x0000；名称：ACURCNT

仅在选择同步时钟源（CTL位[6:5] = 00）时使用。

表368. ACURCNT位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		计数器值。反映当前递增或递减计数器值。读取此寄存器，旁路时钟同步逻辑，让定时器依靠PCLK运行。	0x0	R

状态寄存器

地址：0x400C0E1C；复位：0x0000；名称：STAT

表369. STAT位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	保留		保留。	0x0	R
8	CNTRST		发生计数器复位。表示由于事件检测，当前正在复位计数器。CTL位14必须置1。	0x0	R
7	PDOK		清除中断寄存器同步。当用户设置CLRINT位0 = 1时，此位自动置1。当清除中断请求已超过时钟域并在定时器时钟域中起作用时，此位自动清0。 1 在定时器时钟域中更新清除超时中断位。 0 在定时器时钟域中清除中断。	0x0	R
6	BUSY		定时器繁忙。此位告知用户，对CTL的写操作正在跨入定时器时钟域。写入CTL之后检查该位，并禁止进一步写操作，直到将该位清0为止。 0 定时器已准备好接收发送给控制寄存器的命令。 1 定时器未准备好接收发送给控制寄存器的命令。	0x0	R
[5:1]	保留		保留。	0x0	R
0	超时		发生超时事件。当计数器值达到0（递减）或最大值（递增）时，此位自动置1。用户将CLRINT位0置1时，此位清0。 0 未发生超时事件。 1 已发生超时事件。	0x0	R

PWM控制寄存器

地址：0x400C0E20；复位：0x0000；名称：PWMCTL

表370. PWMCTL位功能描述

位	位名称	设置	描述	复位	访问类型
[15:2]	保留		保留。	0x0	R
1	IDLESTATE		PWM空闲状态。用于设置PWM空闲状态。 0 PWM空闲时为低电平。 1 PWM空闲时为高电平。	0x0	R/W
0	MATCH		使能PWM匹配。用于控制PWM工作模式。 0 PWM处于反转模式。 1 PWM处于匹配模式。	0x0	R/W

PWM匹配值寄存器

地址：0x400C0E24；复位：0x0000；名称：PWMMATCH

表371. PWMMATCH位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		PWM匹配值。当PWM以匹配模式工作时使用该值。当递增或递减计数器等于该匹配值时，PWM输出置位。发生超时事件时，PWM输出再次解除置位。如果从未达到匹配值，或者与超时事件同时发生，则PWM输出保持空闲状态。	0x0	R/W

AFE看门狗定时器

看门狗定时器特性和框图

为了满足将看门狗定时器与所有处理器时钟源分开的IEC 61508标准要求，使用模拟芯片看门狗定时器来从无效软件状态恢复。通过用户代码使能看门狗定时器后，它需要周期性服务来防止强制执行处理器复位操作。在气体传感器应用中，所需的最大看门狗定时器复位周期为16秒。

看门狗定时器是一个具有上限和下限刷新周期的窗口式定时器。如果满足以下条件，则看门狗定时器会触发复位：

- 在最大间隔之前未刷新定时器。最大间隔由用户通过WDTLD寄存器设置。
- 在最短间隔之前刷新定时器。最短间隔由用户通过WDTMINLD寄存器设置。
- 通过将0xCCCC写入WDTCLRI寄存器来刷新定时器。
- 通过向WDTCLRI寄存器写入0xCCCC以外的值来强制看门狗定时器复位。

看门狗定时器由低频振荡器提供时钟（参见“时钟分频器配置寄存器”部分）。除复位期间、调试模式下以及休眠模式下有选择地禁用之外，它都有时钟可用。

看门狗定时器是一个带可编程预分频器的16位递减定时器。预分频器源是可选的，分频系数有1、16、256和4096四种。当WDTCON位8 = 1时，模拟芯片看门狗定时器控制寄存器确保最大超时周期为16383.5秒。WDTCON位8 = 1会导致32.768 kHz时钟2分频。当WDTCON位8 = 0时，最大超时为8191.75秒。默认超时周期为32秒。

看门狗定时器工作原理

只要复位，看门狗定时器就会使用初始配置初始化。此初始配置可通过用户代码修改。但是，设置看门狗定时器使能寄存器会对看门狗定时器配置或使能寄存器加以写保护，使得看门狗定时器保持运行。只有复位才能清除写保护，并允许重新配置定时器。如果看门狗定时器未使能，可以随时重新配置看门狗定时器。

当看门狗定时器递减到0时，会产生一个复位信号。将0xCCCC写入WDTCLRI寄存器可防止这种复位。在自由振荡模式下，将0xCCCC写入WDTCLRI会导致看门狗定时器重载看门狗定时器配置。在这种情况下，看门狗定时器立即开始一个新的超时周期，并再次开始计数。

看门狗定时器的复位输出仅依靠32 kHz时钟工作，不要求系统时钟活动。因此，复位输出可以配合所有关断模式（包括休眠模式）使用。

在MCU软件调试模式下，应在软件调试之前禁用WDT。这些写入特定寄存器的特定值消除了恶意代码刷新看门狗定时器的可能性。

窗式看门狗特性

窗口式看门狗特性使看门狗定时器具有更高的鲁棒性，可用于安全关键型应用。使能窗口特性后，用户代码刷新看门狗定时器的速度过快或过慢都会触发看门狗定时器复位。当窗口特性使能（WDTCON位9 = 1）时，必须在计数器值达到0之前刷新看门狗定时器。计数器经过WDTMINLD寄存器中写入的值之后，也必须刷新WDT。

以下是设置窗口式看门狗特性的指令示例：

```
pADI_AFEWDT->WDTLD = 0x800; //16 second timeout period
pADI_AFEWDT->WDTMINLD = 0x600; // Min window is 4s after start
pADI_AFEWDT->WDTCON = 0x248; // Enable Windowed feature
```

中断模式

如果在通过SWD端口进行调试时发生看门狗复位，则调试器与ADuCM355之间的通信可能会丢失。因此，在调试的时候，用户可以选择配置看门狗定时器生成中断而不是复位。只能在代码开发和调试期间使能此功能。在完整的用户应用中，应使能看门狗定时器生成复位。在中断模式下，将WDTCON位0设置为1或0不起作用。以下是在中断模式下设置看门狗定时器的指令示例：

```
pADI_AFEWDT->WDTLD = 0x200; //4second timeout period
pADI_AFEWDT->WDTCON = 0x44A; // WDT IRQ, Window On, periodic, Clock div256,
NVIC_EnableIRQ(AFE_Watchdog_IRQn); // Enable the NVIC interrupt for the AFE Watchdog timer
```

寄存器汇总：AFE看门狗定时器

表372. AFEWDT寄存器汇总

地址	名称	描述	复位	访问类型
0x400C0900	WDTLD	看门狗定时器加载值	0x1000	R/W
0x400C0904	WDTVALS	当前计数值	0x1000	R
0x400C0908	WDTCON	看门狗定时器控制	0x00C9	R/W
0x400C090C	WDTCLRI	刷新看门狗	0x0000	W
0x400C0918	WDTSTA	定时器状态	0x0000	R
0x400C091C	WDTMINLD	最小加载值	0x0800	R/W

寄存器详解：AFE看门狗定时器

看门狗定时器加载值寄存器

地址：0x400C0900；复位：0x1000；名称：WDTLD

表373. WDTLD位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	LOAD		看门狗定时器加载值。此值可由用户编程，计数器从此值开始递减计数到0。	0x1000	R/W

当前计数值寄存器

地址：0x400C0904；复位：0x1000；名称：WDTVALS

读取时，返回计数器的值。

表374. WDTVALS位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	CCOUNT		当前看门狗定时器计数值。只读寄存器。	0x1000	R

看门狗定时器控制寄存器

地址：0x400C0908；复位：0x00C9；名称：WDTCON

表375. WDTCON位功能描述

位	位名称	设置	描述	复位	访问类型
[15:11]	保留		保留。	0x0	R/W
10	WDTIRQEN	0 1	看门狗定时器中断使能。 0 禁用。当计数器超时或WDTMINLD内发生刷新时，用户将该位清0以产生复位。 1 使能。调试特性。如果计数器超时或WDTMINLD内发生刷新，则发生中断而不是复位。	0x0	R/W
9	MINLOAD_EN	0 1	定时器窗口控件。使能后，如果用户在计数器达到WDTMINLD寄存器中的值之前刷新定时器，则会发生复位或IRQ。 0 禁用。禁用窗口特性。如果用户代码在计数器达到0之前写入WDTCLRI，则看门狗会被刷新。 1 使能。使能窗口特性。仅当用户代码在计数器达到0之前，但在计数器超过WDT中设置的最小加载值之后写入WDTCLRI，看门狗才会被刷新。	0x1	R/W
8	CLKDIV2	0 1	时钟源。 0 模拟芯片32.768 kHz振荡器。 1 模拟芯片32.768 kHz振荡器2分频。	0x0	R/W
7	保留		保留。	0x1	R
6	MDE	0 1	定时器模式选择。 0 自由振荡模式。在自由振荡模式下，定时器在0x1000时绕回。 1 周期模式。默认值。在此模式下，计数器从WDTLD值递减计数到0。	0x1	R/W
5	EN	0 1	定时器使能。 0 用户清0，禁用定时器。 1 用户置1，使能定时器。默认值。	0x1	R/W
4	保留		保留。	0x0	R
[3:2]	PRE	00 01 10 11	预分频器。 00 源时钟/1。 01 源时钟/16。 10 源时钟/256。默认值。 11 源时钟/4096。	0x2	R/W

位	位名称	设置	描述	复位	访问类型
1	IRQ		WDT中断使能。 0 看门狗定时器超时导致复位。 1 看门狗定时器超时导致中断而不是复位。	0x0	R/W
0	PDSTOP		关断停止使能。 0 在休眠模式下继续计数。在休眠模式下，看门狗定时器继续递减计数。 1 在休眠模式下停止计数。进入休眠模式后，看门狗定时器暂停递减计数。退出休眠模式时，从当前计数值开始恢复递减计数（计数不复位）。	0x1	R/W

刷新看门狗寄存器

地址：0x400C090C；复位：0x0000；名称：WDTCLRI

表376. WDTCLRI位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	CLRWDG		刷新寄存器。用户写入0xCCCC以复位、重加或重启计数器或清除IRQ。写入任何其他值都会引起看门狗复位或IRQ。只写，读出0。	0x0	W

定时器状态寄存器

地址：0x400C0918；复位：0x0000；名称：WDTSTA

表377. WDTSTA位功能描述

位	位名称	设置	描述	复位	访问类型
[15:7]	保留		保留。	0x0	R/W
6	TMINLD		WDTMINLD寄存器写状态。 0 WDTMINLD值已完全更新。Arm和AFE看门狗时钟域与WDTMINLD值匹配。 1 WDTMINLD值正在更新。Arm外设总线和WDTMINLD值正在同步到32 kHz时钟域。	0x0	R
5	保留		保留。	0x0	R
4	LOCK		锁定状态。 0 定时器操作未锁定。 1 定时器已使能且锁定。如果用户代码已将WDTCON位5置1，则硬件会自动将此位置1。	0x0	R
3	CON		WDTCON写入状态。 0 WDTCON为最新值。Arm外设总线和看门狗定时器时钟域匹配WDTCON值。 1 WDTCON寄存器同步。Arm外设总线和看门狗定时器时钟域正在与WDTCON值同步。	0x0	R
2	TLD		WDTVALS写入状态。 0 Arm和AFE看门狗时钟WDTLD寄存器值匹配。 1 正在进行同步。Arm外设总线WDTLD值正在同步到32 kHz时钟域。	0x0	R
1	CLRI		WDTCLRI写入状态。 0 Arm外设总线WDTCLRI写同步未完成。 1 Arm外设总线WDTCLRI写操作正在同步到WDT时钟域。后一同步完成时，WDT重新启动（若已写入0xCCCC）。	0x0	R
0	IRQ		WDT中断。看门狗定时器中断发生时置1。 0 看门狗定时器中断未挂起。 1 看门狗定时器中断待处理。通过写入WDTCLRI寄存器清0。	0x0	R

最小加载值寄存器**地址：0x400C091C；复位：0x0800；名称：WDTMINLD**

看门狗定时器的最小超时周期。窗口下限。

表378. WDTMINLD位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	MIN_LOAD		WDT最小加载值。如果软件在计数器达到MIN_LOAD值之前写入WDTCLR1，则会发生WDT复位或IRQ。	0x800	R/W

数字芯片唤醒定时器

概述

数字芯片WUT是ADuCM355的最高优先级中断，如表41所示。WUT还是能够将数字芯片从休眠模式唤醒的四个中断源之一。WUT由低频振荡器提供时钟。根据低频振荡器的精度规格，该定时器不适合于实时时钟设置，但某些寄存器名称表示支持真正的实时时钟。由于WUT由32 kHz振荡器提供时钟，因此在执行CPU读取或写入唤醒定时器寄存器的操作时要小心。它提供同步状态位，指示32 kHz时钟域中的读或写访问何时完成。

产品特性

数字芯片WUT有如下主要特性：

- 32 kHz输入时钟可通过预分频器进一步分频，分频系数为 2^0 至 2^{15} 。
- 定时器计数寄存器标称为32位值，由16位寄存器CNT1和CNT0配置，总计为位[31:0]。如果使用CNT2（小数分频寄存器），则该值可扩展为47位，即CNT1、CNT0和CNT2构成位[46:0]。当初始化或重新使能WUT计数时，或者当更改预分频比时，预分频器会自动清零，以使WUT计数值恰好位于预分频序列开始和模60计数翻转的重合边界处。
- WUT模块可以从多个源产生中断，通过设置CR0寄存器可以取消屏蔽中断。中断源反映在SR0寄存器中。定时器中断源包括两个可以选择使能的独立警报特性（一个为绝对时间，另一个为模60周期时间），定时器计数等于警报值时会引起处理器中断。
- 在CPU的要求下，WUT可以获取并保存其经过的实时计数的快照，使得CPU可以将一个时间戳与传入的数据包相关联。WUT保留快照以供CPU回读。快照是持久性的，只有当CPU发出捕捉新值的请求时才会覆写。

定期和周期模60中断

要使能周期中断，可以使用定时器的模60特性。如果余数模数等于CR0位[10:5]中的值，或发生模数警报或中断，则模数模块会将定时器计数器除以60。

要使能周期中断，请执行以下步骤：

1. 写入CR1位[8:5]，选择定时器预分频值。此设置配置定时器的基本时钟频率。
2. 轮询WSYNCCR0位，等待SR0寄存器将其设置为1，因为MMR写操作发生在较慢的RTC域中。
3. 选择0以后发生中断的计数值。将0到59之间的值写入CR0位[10:5]。
4. 使能MOD60ALMINTEN中断源。设置CR0位11 = 1。
5. 使能模60警报。设置CR0位4 = 1。
6. 设置CR0位0 = 1以设置定时器的全局使能位，启动定时器。

定时器匹配警报值中断

当定时器计数器的值与用户在警报寄存器CNT1和CNT0（位[31:0]）中设置的值或警报寄存器CNT1、CNT0和CNT2（位[46:0]）中设置的值匹配时，WUT会生成中断。要设置此中断，请执行以下步骤：

1. 将CNTx寄存器复位为0。
2. 配置预分频器以分频CR1寄存器中的WUT基本时钟。
3. 轮询WSYNCCR0位，等待SR0寄存器将其设置为1，因为MMR写操作发生在较慢的WUT域中。
4. 用预期警报时间对ALM0寄存器、ALM1寄存器、RTC寄存器和ALM2寄存器进行编程。
5. 通过设置CR0的位2来使能警报中断。
6. 设置CR0寄存器中的ALMEN和CNTEN位。
7. 等待WUT警报中断，该中断在CNTx寄存器值与ALMx寄存器值匹配时触发。

WUT功能描述

WUT的简化框图如图65所示。计数、警报、快照和唤醒中断等所有功能均位于专用的32 kHz、定时、始终开启的WUT电源域上。与CPU的APB接口（包括用于报告(posted)寄存器写操作的排队和分派逻辑）和Cortex NVIC的中断位于主电源门控核心域的PCLK和FCLK定时部分。

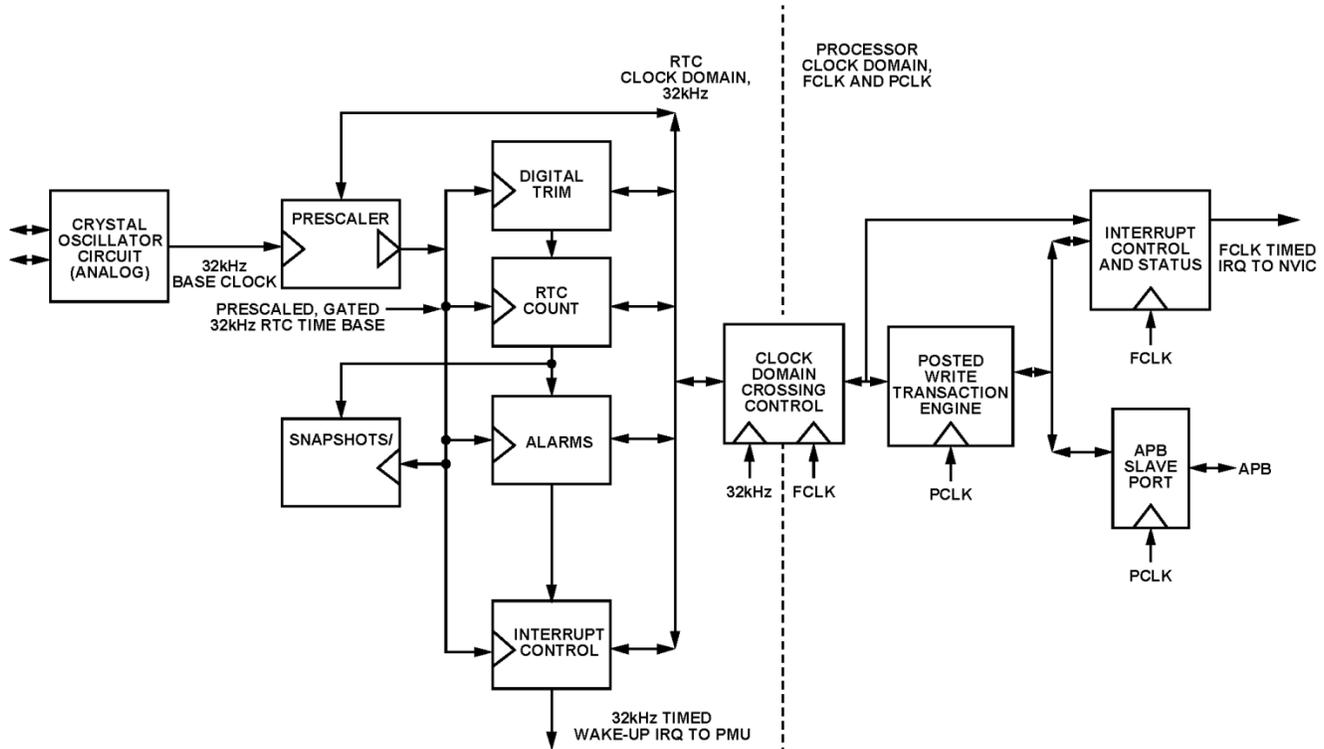


图65. 数字芯片WUT框图

16675-047

WUT工作模式

WUT初始上电

WUT在专用电压域中运行，正常条件下该电压域会持续供电。但是，首次安装电池或更换电池时，会发生上电复位(POR)。此POR会复位所有WUT寄存器。一旦检测到WUT故障，CPU就会对定时器的计数寄存器重新编程，并清除定时器控制寄存器中的故障标志。CPU可以选择对定时器的警报寄存器进行编程，以在警报和计数值匹配时生成中断。

持久粘滞唤醒事件

当器件处于关断模式时，定时器警报事件不会丢失。如果使能了警报，则WUT会置位所产生的中断，随后当处理器电源恢复时，NVIC可以看到该中断的RCLK定时版本。为了简化此中断，定时器将同一中断的32 kHz定时版本发送到PMU中的唤醒控制器，这将使数字内核重新上电。当CPU唤醒时，它可以检查PMU和WUT来了解唤醒中断事件的原因。

WUT容纳CPU报告写操作的能力

如果CPU对WUT中源于32 kHz的MMR的报告写操作由于对32 kHz域的其他类似寄存器写操作队列而正等待WUT时钟域进行分派，则CPU对同一WUT寄存器的第二次或后续写操作无法堆叠以覆盖挂起的事务。WUT会拒绝任何此类尝试。这会导致WUT中发生SR0位4中断事件（参见“状态0寄存器”部分）。

定时器计数器快照

CPU可以将0x7627的软件密钥写入GWY寄存器，从而指示定时器获取其经过的时间计数的快照。这会导致三个快照寄存器(SNAP0、SNAP1和SNAP2)更新为三个计数寄存器(CNT0、CNT1和CNT2)的当前值，并保持该快照，直到随后CPU要求覆盖快照为止。

WUT建议：时钟和电源

停止PCLK

在进入任何会导致PCLK停止的模式之前，CPU必须首先等待，直到WUT确认没有尚未完成的报告写操作。CPU可以通过读取SR0和SR2寄存器来进行此检查。

关断时确保在WUT电源边界上没有通信

当CPU提前知道要关断电源时，它必须检查确认WUT中没有等待执行的报告写操作，或取消WUT中所有排队并正在执行的报告写操作。取消操作是通过将取消密钥0xA2C5写入GWY寄存器来实现的，会立即生效。这些动作可维持WUT始终开启的一半的完整性。

在内核断电之前，请勿再向WUT提交任何寄存器写操作，以确保CPU和WUT之间没有通信。当WUT电源域隔离栅随后激活时，此类通信会使WUT易于受损。

寄存器汇总：数字芯片唤醒定时器

表379. WUT寄存器汇总

地址	名称	描述	复位	访问类型
0x40001400	CR0	控制0	0x03C4	R/W
0x40001404	SR0	状态0	0x7F88	R/W
0x40001408	SR1	状态1	0x0078	R
0x4000140C	CNT0	计数0	0x0000	R/W
0x40001410	CNT1	计数1	0x0000	R/W
0x40001414	ALM0	警报0	0xFFFF	R/W
0x40001418	ALM1	警报1	0xFFFF	R/W
0x40001420	GWY	网关	0x0000	W
0x40001428	CR1	控制1	0x01E0	R/W
0x4000142C	SR2	状态2	0xC000	R/W
0x40001430	SNAP0	快照0	0x0000	R
0x40001434	SNAP1	快照1	0x0000	R
0x40001438	SNAP2	快照2	0x0000	R
0x4000143C	MOD	模数	0x0040	R
0x40001440	CNT2	计数2	0x0000	R
0x40001444	ALM2	警报2	0x0000	R/W
0x40001488	SR6	状态6	0x7900	R

寄存器详解：数字芯片唤醒定时器

控制0寄存器

地址：0x40001400；复位：0x03C4；名称：CR0

CR0是WUT的两个控制寄存器中的主要寄存器，另一个是CR1。CPU使用CR0使能和禁用所有主流WUT操作。WUT控制的粒度由CR1寄存器扩展。

表380. CR0位功能描述

位	位名称	设置	描述	复位	访问类型
15	WPNDINTEN	0 1	使能CPU响应源自WPENDINT的中断。基于SR0寄存器中的WPENDINT粘滞中断，此位域使能CPU响应WUT中断。 0 禁用CPU响应源自WPENDINT的中断。 1 使能CPU响应源自WPENDINT的中断。	0x0	R/W
14	WSYNCINTEN	0 1	使能CPU响应源自WSYNCINT的中断。基于SR0 MMR的WSYNCINT粘滞中断源域，WSYNCINTEN使能CPU响应WUT中断。只要对32 kHz源MMR或MMR位域的报告写操作的影响对CPU可见，WSYNCINTEN就会激活。 0 禁用CPU响应源自WSYNCINT的中断。 1 使能CPU响应源自WSYNCINT的中断。	0x0	R/W
13	WPNDERRINTEN	0 1	当发生WUT寄存器写操作待处理错误时，使能CPU响应源自WPNDERRINT的中断。执行寄存器写操作之前，CPU可以在SR1中检查相关寄存器的待处理状态来避免写操作待处理错误。如果发生WPNDERRINT错误，且此位设置为1，则WUT中断CPU。 0 如果WUT中发生写操作待处理错误，则禁用中断。 1 如果WUT中发生写操作待处理错误，则使能中断。	0x0	R/W
12	ISOINTEN	0 1	使能CPU响应源自ISOINT的中断。基于SR0状态寄存器中的ISOINT粘滞中断，此位使能CPU响应中断。当除WUT之外的器件所有电源域都即将断电时，WUT会激活隔离栅，以便WUT可以独立于内核继续运行。随后器件其余部分恢复电源时，WUT将激活ISOINT中断源，以作为刚结束的断电事件的粘滞记录。当内核重新获得电源时，WUT会降低其隔离栅，使此激活发生。如果通过该位使能，则WUT根据ISOINT中断CPU。然后，CPU可以检查SR0的ISOINT位域，以确定CPU是否已从完全断电中恢复。 0 禁用CPU响应源自ISOINT的中断。 1 使能CPU响应源自ISOINT的中断。	0x0	R/W
11	MOD60ALMINTEN	0 1	使能CPU响应源自周期MOD60ALMINT的中断。此位允许CPU使能定时器在以超出模60边界的WUT时间为单位的位移时间处发生周期性重复中断，该位移时间由MOD60ALM位给出。 0 禁用模60 WUT经过时间引起的周期中断。 1 使能模60 WUT经过时间引起的周期中断。	0x0	R/W
[10:5]	MOD60ALM		超出模60边界的周期性模60警报时间，以预分频WUT时间为单位。此位允许CPU将WUT的周期性警报中断放在从CNT1和CNT0中的值的模60边界（翻转事件）开始的任意整数个预分频WUT时间单位处。MOD60ALM允许使用0到59的值。如果配置更大的值，此值会被视为零预分频的WUT时间单位。边界定义如下：CPU将一对新值写入CNT1和CNT0寄存器时，CPU使用CR0位0将WUT从禁用状态使能时，或者CR0位0使能WUT时。例如，值为30将导致WUT的模60周期中断在超出模60边界的30个时间单位处发送给CPU。	0x1E	R/W

位	位名称	设置	描述	复位	访问类型
4	MOD60ALMEN	0 1	使能超出模60边界的WUT模60时间计数。使能检测超过值60的计数器值，而MOD60ALMINTEN使能产生相应的中断。 0 禁用确定模60 WUT的经过时间。 1 使能确定模60 WUT的经过时间。	0x0	R/W
3	保留		保留。清0。	0x0	R/W
2	ALMINTEN	0 1	使能CPU响应源自ALMINT的警报中断。ALMINTEN赋予CPU对警报事件（警报计数与WUT计数匹配）是否触发中断具有额外的控制权。在正常情况下，ALMINTEN设置为活动状态，尤其是当ALMEN使能警报状况检测时。如果使能了警报中断但警报本身被禁用，则不会发生中断。 0 禁用警报中断。 1 如果WUT警报和计数值匹配，则使能中断。	0x1	R/W
1	ALMEN	0 1	使能WUT警报绝对操作。要让警报逻辑起作用并检测到警报事件，必须将该位设置为活动状态。此类事件定义为WUT计数值和警报寄存器（即CNT1、CNT0、CNT2、ALM1、ALM0和ALM2）之间的匹配。虽然各寄存器的宽度为16位，但计数和报警值以及匹配条件是按47位定义的。由ALMEN使能后，警报事件的检测将被保留在状态寄存器SR0的粘滞中断源位域ALMINT中。 0 禁用警报事件检测。 1 使能警报事件检测。	0x0	R/W
0	CNTEN	0 1	WUT的全局使能。CNTEN使能对经过时间的实时计数，并充当WUT的主机使能。如果通过激活CNTEN使能WUT，则此事件将导致预分频器与WUT使用的模60计数器重新对齐，以在SR0中产生MOD60ALMINT源中断。 0 禁用WUT。 1 使能WUT。	0x0	R/W

状态0寄存器

地址：0x40001404；复位：0x7F88；名称：SR0

有关WUT操作的信息可通过三个状态寄存器提供给CPU：SR0、SR1和SR2。这些寄存器包括所有与WUT中的CPU中断源和错误状况有关的标志。

表381. SR0位功能描述

位	位名称	设置	描述	复位	访问类型
15	保留		保留。	0x0	R
14	ISOENB	0 1	32 kHz源寄存器的可见性状态，考虑电源域隔离。此位指示位于WUT中始终开启的一半的32 kHz源MMR是否对CPU可见。在正常供电操作期间，ISOENB为高电平，确认所有寄存器均可见。如果器件从休眠状态恢复时ISOENB为低电平，则源自32 kHz的信息对CPU尚不可见。 0 由于隔离，位于WUT中始终开启的一半的32 kHz源MMR对CPU尚不可见。 1 位于WUT中始终开启的一半的32 kHz源MMR对CPU可见。	0x1	R
13	保留		保留。	0x1	R
12	WSYNCALM1	0 1	对ALM1寄存器的报告写操作的同步状态。WSYNCALM1指示对ALM1的报告写操作的影响是否对CPU可见。 0 报告写操作的结果对CPU尚不可见。 1 报告写操作的结果对CPU可见。	0x1	R

位	位名称	设置	描述	复位	访问类型
11	WSYNCALM0		对ALM0寄存器的报告写操作的同步状态。WSYNCALM0指示对ALM0的报告写操作的影响是否对CPU可见。 0 报告写操作的结果对CPU尚不可见。 1 报告写操作的结果对CPU可见。	0x1	R
10	WSYNCCNT1		对CNT1寄存器的报告写操作的同步状态。WSYNCCNT1指示对CNT1的报告写操作的影响是否对CPU可见。 0 报告写操作的结果对CPU尚不可见。 1 报告写操作的结果对CPU可见。	0x1	R
9	WSYNCCNT0		对CNT0寄存器的报告写操作的同步状态。WSYNCCNT0指示对CNT0的报告写操作的影响是否对CPU可见。 0 报告写操作的结果对CPU尚不可见。 1 报告写操作的结果对CPU可见。	0x1	R
8	WSYNCSR0		对SR0寄存器中的中断源的报告间隙的同步状态。WSYNCSR0指示对SR0的报告写操作的影响是否对CPU可见。SR0中的WPNDEIRINT、WSYNCINT和WPENDINT位的间隙不需要报告或相关的屏蔽，因为这些位域来自内核的时钟域。其间隙是直接的。 0 报告写操作的结果对CPU尚不可见。 1 报告写操作的结果对CPU可见。	0x1	R
7	WSYNCCR0		对CR0寄存器的报告写操作的同步状态。WSYNCCR0指示对CR0的报告写操作的影响是否对CPU可见。 0 报告写操作的结果对CPU尚不可见。 1 报告写操作的结果对CPU可见。	0x1	R
6	WPENDINT		写挂起中断。WPENDINT是一个粘滞中断源，只要CPU中有空间将新的写处理发布到RTC中的32 kHz源MMR或MMR位域，就会激活该中断源。要能使WPENDINT中断，须将CR0寄存器中的WPENDINTEN设置为1。该位写入1时清0。 0 自上次清除WPENDINT以来，WUT中的报告写处理的挂起状态没有改变。 1 自上次清除WPENDINT以来，已分派一个报告写处理，使CPU获得一个间隙向同一MMR进行新的报告写操作。	0x0	R/W1C
5	WSYNCINT		写同步中断。WSYNCINT是一个粘滞中断源，只要对32 kHz源MMR或MMR位域的报告写事务完成，并且随后其影响对CPU可见，就会激活该中断源。通过检查SR0（位[12:7]）和SR2（位[15:14]）的报告写操作的同步状态，CPU可以确定哪个报告写处理刚刚完成并导致WSYNCINT中断源粘滞（或重新粘滞，如果已激活的话）。该位写入1时清0。 0 自CPU上次清除WSYNCINT以来，没有发生过报告写处理对32 kHz源MMR或MMR位域的影响。 1 自CPU上次清除WSYNCINT以来，报告写处理对32 kHz源MMR或MMR位域的影响已对CPU时钟域可见。	0x0	R/W1C
4	WPNDEIRINT		写待处理错误中断源。此位是一个粘滞中断源，指示发生了错误，原因是CPU试图写WUT寄存器，而对同一寄存器的前一写操作正在等待执行。如果发生多个写待处理错误，WPNDEIRINT会粘滞在第一次发生时的状态。该位写入1时清0。 0 自CPU上次清除WPNDEIRINT以来，WUT未拒绝任何报告写操作。 1 WUT拒绝了一个报告写操作，原因是同一MMR的前一报告写操作仍在等待执行。自CPU上次清除WPNDEIRINT以来，发生了这种拒绝事件。	0x0	R/W1C

位	位名称	设置	描述	复位	访问类型
3	ISOINT		WUT电源域隔离中断源。ISOINT是一个粘滞中断源，指示WUT是否因为内核断电而不得不激活其电源域隔离栅。内核重新获得电源后，CPU可以读取ISOINT来获知有关此类电源事件的信息。该位写入1时清0。 0 自CPU上次清除ISOINT中断源以来，始终开启的WUT电源域尚未激活其与内核的隔离栅。 1 由于电源事件，始终开启的WUT电源域已激活其与内核的隔离栅，并且随后取消了隔离。此事件是自CPU上次清除ISOINT以来发生的。该位写入1时清0。	0x1	R/W1C
2	MOD60ALMINT		模60 WUT警报中断源。MOD60ALMINT是一个粘滞标志，它是可选使能的CPU中断的来源。CNT1和CNT0每递增60次，以MOD60ALM递增的位移超出模60边界时，就会激活此中断。该位写入1时清0。 0 自CPU上次将该位清零以来，未发生MOD60ALMINT中断事件。 1 自CPU上次将该位清零以来，已发生MOD60ALMINT中断事件。	0x0	R/W1C
1	ALMINT		警报中断源。ALMINT是一个粘滞标志，它是可选使能的CPU中断的来源。ALMINT指示由于WUT计数和警报寄存器值匹配而发生了警报事件。匹配定义为CNT1、CNT0和CNT2中的值等于ALM1、ALM0和ALM2给出的警报时间。此类事件的检测由CRO中的ALMEN使能。ALMINT通过写入1来清0。 0 自CPU上次将该位清零以来，未发生ALMINT中断事件。 1 自CPU上次将该位清零以来，已发生ALMINT中断事件。	0x0	R/W1C
0	保留		保留。	0x0	R

状态1寄存器

地址：0x40001408；复位：0x0078；名称：SR1

表382. SR1位功能描述

位	位名称	设置	描述	复位	访问类型
[15:13]	保留		保留。	0x0	R
12	WPNDALM1		对ALM1寄存器的报告写操作的待处理状态。WPNDALM1指示对ALM1的报告寄存器写操作当前是否待处理。 0 WUT可以接受对ALM1 MMR的新报告写操作。 1 先前对ALM1的报告写操作仍在等待执行。不能接受任何新的对此MMR的报告写操作。	0x0	R
11	WPNDALM0		对ALM0寄存器的报告写操作的待处理状态。WPNDALM0指示对ALM0的报告寄存器写操作当前是否待处理。 0 WUT可以接受对ALM0 MMR的新报告写操作。 1 先前对ALM0的报告写操作仍在等待执行。不能接受任何新的对此MMR的报告写操作。	0x0	R
10	WPNCNT1		对CNT1寄存器的报告写操作的待处理状态。WPNCNT1指示对CNT1的报告寄存器写操作当前是否待处理。 0 WUT可以接受对CNT1 MMR的新报告写操作。 1 先前对CNT1的报告写操作仍在等待执行。不能接受任何新的对此MMR的报告写操作。	0x0	R
9	WPNCNT0		对CNT0寄存器的报告写操作的待处理状态。WPNCNT0指示对CNT0的报告寄存器写操作当前是否待处理。 0 WUT可以接受对CNT0 MMR的新报告写操作。 1 先前对CNT0的报告写操作仍在等待执行。不能接受任何新的对此MMR的报告写操作。	0x0	R
8	WPNSR0		SR0寄存器中的中断源的报告间隙的待处理状态。WPNSR0指示SR0中的中断源的报告间隙当前是否待处理。间隙始终会被接受并累计到SR0的同一待处理事务中。这样，累计不会破坏先前的报告间隙。这与其他MMR相反，在其他MMR中，报告写数据（而不是报告间隙）不能汇总到一个事务中。	0x0	R

位	位名称	设置	描述	复位	访问类型
		0	WUT可以接受位于32 kHz域中的SR0中断源的新报告间隙。		
		1	保存在32 kHz域中的SR0中断源的先前报告间隙仍在等待执行。仍可将更多间隙汇总到现有待处理事务中。		
7	WPNDCR0		对CR0的报告写操作的待处理状态。	0x0	R
		0	WUT可以接受对CR0的新报告写操作。		
		1	先前对CR0的报告写操作仍在等待执行。不能接受任何新的对此MMR的报告写操作。		
[6:0]	保留		保留。	0x78	R

计数0寄存器

地址：0x4000140C；复位：0x0000；名称：CNT0

CNT0包含WUT计数器的低16位，该计数器以经过的预分频WUT时间单位保存一个实时计数。CPU可以读取CNT0的瞬时值。CPU也可以重新定义该寄存器中的值。在这种情况下，WUT从重新定义的值开始继续实时计数。

对CNT0的任何写操作都要等到CPU对CNT1执行相应的写操作为止，以便可以将合并的32位计数重定义作为单个事务执行。CNT0和CNT1可以按任何顺序写入，但成对写操作必须由CPU执行才能对WUT计数起作用。以任意顺序对CNT0和CNT1进行成对写操作会将WUT中的预分频器清零，导致CPU重新定义经过的时间，使其与新创建的模1和模60边界精确对齐。这种重新定义还会导致WUT创建调整边界并启动新的调整间隔。当CPU重新定义WUT计数时，不会同时进行计数的调整。

WUT支持在CR0位0处于活动状态的同时立即重新定义CNT0和CNT1。或者，CPU在重新定义这些寄存器时，可以先让CR0位0无效来禁用WUT。

表383. CNT0位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		WUT实时计数的预分频非小数低16位。	0x0	R/W

计数1寄存器

地址：0x40001410；复位：0x0000；名称：CNT1

CNT1包含WUT计数器的高16位，该计数器以经过的预分频WUT时间单位保存一个实时计数。对CNT1的任何写操作都要等到CPU对CNT0执行相应的写操作为止，以便可以将合并的32位计数重定义作为单个事务执行。

表384. CNT1位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		WUT实时计数的预分频非小数高16位。	0x0	R/W

警报0寄存器**地址：0x40001414；复位：0xFFFF；名称：ALM0**

ALM0包含预分频非小数WUT警报目标时间值的低16位，整个警报由ALM1、ALM0和ALM2定义。

对ALM0的任何写操作都要等到CPU对ALM1和ALM2执行相应的写操作为止，以便可以将合并的47位警报重定义作为单个事务执行。ALM0、ALM1和ALM2可以按任何顺序写入，但这三个写操作必须由CPU执行才能对WUT警报起作用。无论CR0寄存器中的ALMEN或CNTEN位处于活动状态与否，都可以写入ALM0。

表385. ALM0位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		WUT警报目标时间的预分频非小数低16位。警报寄存器的复位值与WUT计数不同，以避免虚假警报。	0xFFFF	R/W

警报1寄存器**地址：0x40001418；复位：0xFFFF；名称：ALM1**

ALM1包含预分频非小数WUT警报目标时间值的高16位，整个警报由ALM1、ALM0和ALM2定义。

对ALM1的任何写操作都要等到CPU对ALM0和ALM2执行相应的写操作为止，以便可以将合并的47位警报重定义作为单个事务执行。ALM0、ALM1和ALM2可以按任何顺序写入，但这三个写操作必须由CPU执行才能对WUT警报起作用。无论CR0寄存器中的ALMEN或CNTEN位处于活动状态与否，都可以写入ALM1。

表386. ALM1位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		WUT警报目标时间的预分频非小数高16位。警报寄存器的复位值与WUT计数不同，以避免虚假警报。	0xFFFF	R/W

网关寄存器**地址：0x40001420；复位：0x0000；名称：GWY**

GWY是网关MMR地址，CPU可以通过它命令在WUT中采取措施。CPU通过将特定密钥写入GWY来实现此目的。GWY回读值为全零。WUT支持以下独立的软件密钥命令：

- 立即取消WUT中所有报告的和正在执行的写处理。
- 将CNT1、CNT0和CNT2 MMR的粘滞快照捕捉到SNAP1、SNAP0和SNAP2中。

表387. GWY位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	SWKEY		CPU发出的软件密钥命令。此寄存器是写操作目标寄存器，用于激活CPU向WUT发出的软件密钥命令。支持的密钥为FLUSH_RTC和SNAPSHOT_RTC。FLUSH_RTC是值为0xA2C5的软件密钥，通过寄存器写入GWY来传递。FLUSH_RTC会使WUT清空所有报告的写处理，并立即停止当前正在执行的任何处理。只有内核即将失去电源，CPU希望在WUT始终开启的一半激活隔离栅之前干净快速地终止电源域边界上的通信活动时，CPU才会使用此密钥。SNAPSHOT_RTC是值为0x7627的密钥，通过寄存器写入GWY来传递。SNAPSHOT_RTC会使WUT获取CNT1、CNT0和CNT2的值的快照，并将其存储在SNAP1、SNAP0和SNAP2中。在请求新快照之前，快照是粘滞的。	0x0	W

控制1寄存器

地址：0x40001428；复位：0x01E0；名称：CR1

此寄存器是辅助控制寄存器，用于扩展由CR0提供的WUT控制级别。

CR1允许使能SR2中的其他粘滞中断源。这些中断源会扇入WUT外设中断，可以选择告知CPU以下信息：WUT计数何时发生变化，何时发生了预分频（模1）门控时钟事件以增加WUT计数，何时出现了调整边界，CNT1或CNT0中的32位WUT计数何时翻转，WUT计数的模60版本何时翻转。

表388. CR1位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	保留		保留。	0x0	R
[8:5]	PRESCALE2EXP		WUT基时钟的二的幂的预分频系数。PRESCALE2EXP定义2的幂，WUT基时钟（标称32 kHz）以该值预分频，然后通过增加CNT1和CNT0 MMR的内容来计数时间。相比之下，RTC1可以间隔位[15:0]中的任何2的幂对时钟进行预分频，以用作其时基。 0000 WUT基时钟预分频，系数为 $2^0 = 1$ 。 0001 WUT基时钟预分频，系数为 $2^1 = 2$ 。 0010 WUT基时钟预分频，系数为 $2^2 = 4$ 。 0011 WUT基时钟预分频，系数为 $2^3 = 8$ 。 0100 WUT基时钟预分频，系数为 $2^4 = 16$ 。 0101 WUT基时钟预分频，系数为 $2^5 = 32$ 。 0110 WUT基时钟预分频，系数为 $2^6 = 64$ 。 0111 WUT基时钟预分频，系数为 $2^7 = 128$ 。 1000 WUT基时钟预分频，系数为 $2^8 = 256$ 。 1001 WUT基时钟预分频，系数为 $2^9 = 512$ 。 1010 WUT基时钟预分频，系数为 $2^{10} = 1024$ 。 1011 WUT基时钟预分频，系数为 $2^{11} = 2048$ 。 1100 WUT基时钟预分频，系数为 $2^{12} = 4096$ 。 1101 WUT基时钟预分频，系数为 $2^{13} = 8192$ 。 1110 WUT基时钟预分频，系数为 $2^{14} = 16384$ 。 1111 WUT基时钟预分频，系数为 $2^{15} = 32768$ 。	0xF	R/W
4	CNTMOD60ROLLINTEN		使能SR2中的WUT模60计数翻转中断源CNTMOD60ROLLINT。 0 禁用CNTMOD60ROLLINT中断。 1 使能CNTMOD60ROLLINT中断。	0x0	R/W
3	CNTROLLINTEN		为WUT计数翻转中断源使能SR2中的CNTROLLINT。 0 禁用CNTROLLINT作为WUT外设中断的指示器。 1 使能CNTROLLINT作为WUT外设中断的指示器。	0x0	R/W
2	保留		保留。	0x0	R/W
1	PSINTEN		使能SR2中的预分频模1中断源PSINT。 0 禁用SR2中的PSINT作为WUT外设中断的指示器。 1 使能SR2中的PSINT作为WUT外设中断的指示器。	0x0	R/W
0	CNTINTEN		使能SR2中的WUT计数中断源CNTINT。 0 禁用SR2中的CNTINT作为WUT外设中断的指示器。 1 使能SR2中的CNTINT作为WUT外设中断的指示器。	0x0	R/W

状态2寄存器

地址：0x4000142C；复位：0xC000；名称：SR2

SR2是一个状态寄存器，可进一步补充SR0和SR1提供的状态信息。

SR2包含粘滞中断源，可以通过CR1寄存器选择性地使能。这些中断源告知CPU：WUT计数何时发生变化，控制WUT计数前进的预分频门控时钟何时激活，何时出现了调整边界，32位WUT计数何时翻转，WUT计数的模60版本何时翻转。

SR2中的所有中断源都是粘滞的高电平有效信号。将0b1值写入SR2中的相应位可以将该位清0。

表389. SR2位功能描述

位	位名称	设置	描述	复位	访问类型
15	WSYNCALM2MIR	0 1	对ALM2的报告写操作的同步状态。此位指示对ALM2的报告写操作的影响是否对CPU可见。 0 对CR1的报告写操作的结果对CPU尚不可见。 1 对CR1的报告写操作的结果对CPU可见。	0x1	R
14	WSYNCCR1MIR	0 1	对CR1的报告写操作的同步状态。此位指示对CR1的报告写操作的影响是否对CPU可见。如果此位为0，则对CR1的报告写操作目前正在排队或正在执行，但该处理的结果对CPU尚不可见。当此位变为1并因而激活SR0位5粘滞中断源时，对CR1的写操作的影响即对处理器可见。 0 对CR1的报告写操作的结果对CPU尚不可见。 1 对CR1的报告写操作的结果对CPU可见。	0x1	R
13	WPNDALM2MIR	0 1	对ALM2的报告写操作的待处理状态。此位指示对ALM2的报告寄存器写操作目前是否正挂起并等待执行，意味着此时无法再接受对同一MMR的写操作。 0 对CR1的报告写操作的结果对CPU尚不可见。 1 对CR1的报告写操作的结果对CPU可见。	0x0	R
12	WPNDCR1MIR	0 1	对CR1的报告写操作的待处理状态。此位指示对CR1的报告寄存器写操作目前是否正挂起并等待执行，意味着此时无法再接受对同一MMR的写操作。 0 WUT可以接受对CR1的新报告写操作。 1 先前对CR1的报告写操作仍在等待执行。不能接受任何新的对此MMR的报告写操作。	0x0	R
[11:7]	保留		保留。	0x0	R
6	CNTMOD60ROLL	0 1	WUT计数模60翻转。当CPU对CR1位4中断源引起的中断做出反应时，或者如果CPU看到CR1位4（粘滞位）置1，CPU可以利用此位确认MOD寄存器中的CNTMOD60值是否仍反映翻转，或自实际发生翻转以来已经移动。如果CPU对CR1位4引起的WUT中断的响应迟钝，或者未将CR1位4使能为RTC的辅助中断源，则为后者。 0 CNTMOD60中的WUT实时计数的模60值未因翻转而增加。 1 CNTMOD60中的当前WUT实时计数的模60值已从最大值（或其调整距离范围内的值）翻转到最小值（或其调整距离范围内的值）。	0x0	R
5	CNTROLL		WUT计数翻转。CNTROLL指示CNT1、CNT0和CNT2给出的WUT实时计数的当前值是否是从最大可能值到最小可能值的翻转而引起的（以最近的预分频时间单位递增）。当CPU对CNTROLLINT中断源引起的中断做出反应时，或者如果CPU看到CNTROLLINT（粘滞位）置1，CPU可以利用此位确认CNT1、CNT0和CNT2中的值是否仍反映翻转，或自实际发生翻转以来已经移动。如果CPU对CNTROLLINT引起的WUT中断的响应迟钝，或者未将CNTROLLINT使能为RTC的辅助中断源，则为后者。	0x0	R

位	位名称	设置	描述	复位	访问类型
		0	CNT1、CNT0和CNT2中的WUT实时计数未因翻转而增加。		
		1	CNT1、CNT0和CNT2中的当前WUT实时计数已从最大值（或其调整距离范围内的值）翻转到最小值（或其调整距离范围内的值）。		
4	CNTMOD60ROLLINT		WUT模60计数翻转中断源。当CNT1和CNT0计数值的模60等效值从59翻转为0时，此位保持高电平有效。WUT计数每增加60个预分频单位（如果正调整有效则少于60个）发生一次这种翻转事件。 0 自此位上次清0以来，CNTMOD60中CNT1和CNT0的模60值未翻转。 1 自此位上次清0以来，CNTMOD60中CNT1和CNT0的模60值已翻转。	0x0	R/W1C
3	CNTROLLINT		WUT计数翻转中断源。当CNT1和CNT0的计数值从 $2^{32}-1$ 翻转到0或被调整，调整增量使WUT经过（可能跨越）这些最大值和最小值时，此位保持高电平有效。 0 自此位上次清0以来，CNT1和CNT0未翻转。 1 自此位上次清0以来，CNT1和CNT0已翻转。	0x0	R/W1C
2	保留		保留。	0x0	R/W1C
1	PSINT		WUT预分频模1边界中断源。只要定义预分频WUT时间单位和WUT计数递增的门控时钟被激活，此位便保持高电平有效。为使PSINT引起RTC中断，CR1 PSINTEN位中的中断扇出的相应使能位必须为高电平有效。此中断源通过写入1来清除。RTC1具有完整的中断功能。 0 自上次清除此位以来，CNT1、CNT0和CNT2中WUT计数的预分频门控时钟未激活。 1 自上次清除此位以来，CNT1、CNT0和CNT2中WUT计数的预分频门控时钟已激活。	0x0	R/W1C
0	CNTINT	1	WUT计数中断源。只要CNT1或CNT0的值发生变化，CNTINT就会保持高电平有效。这种事件与预分频WUT时间单位（如PSINT所示）的发生不同，因为WUT计数可以重新定义或调整，这可能会或不会导致值变化。将1写入SR2中的对应位置可清除该中断源。	0x0	R/W1C
		0	自上次清除该位以来，CNT1和CNT0的值无变化。		
		1	自上次清除该位以来，CNT1和CNT0的值有变化。		

快照0寄存器

地址：0x40001430；复位：0x0000；名称：SNAP0

SNAP0是CNT0值的粘滞快照。它与对应的SNAP1和SNAP2同时更新，从而覆盖SNAP1、SNAP0和SNAP2的所有先前值。此更新和覆盖发生在CPU将快照请求密钥0x7627写入GWY时。

表390. SNAP0位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		包含CNT0的粘滞快照。此通道获取CNT1、CNT0和CNT2中的47位WUT计数的粘滞快照，并将其分别存储在SNAP1、SNAP0和SNAP2中。	0x0	R

快照1寄存器**地址：0x40001434；复位：0x0000；名称：SNAP1**

SNAP1是CNT1值的粘滞快照。它与对应的SNAP0和SNAP2同时更新，从而覆盖SNAP1、SNAP0和SNAP2的所有先前值。此更新和覆盖发生在CPU将快照请求密钥0x7627写入GWY寄存器时。

表391. SNAP1位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	VALUE		包含CNT1的粘滞快照。此通道获取CNT1、CNT0和CNT2中的47位WUT计数的粘滞快照，并将其分别存储在SNAP1、SNAP0和SNAP2中。	0x0	R

快照2寄存器**地址：0x40001438；复位：0x0000；名称：SNAP2**

SNAP2是CNT2值的粘滞快照。它与对应的SNAP0和SNAP1同时更新，从而在CPU将快照请求密钥0x7627写入GWY寄存器时覆盖SNAP1、SNAP0和SNAP2的所有先前值。

表392. SNAP2位功能描述

位	位名称	设置	描述	复位	访问类型
15	保留		保留。	0x0	R
[14:0]	VALUE		包含CNT2的粘滞快照。此通道获取CNT1、CNT0和CNT2中的47位WUT计数的粘滞快照，并将其分别存储在SNAP1、SNAP0和SNAP2中。	0x0	R

模数寄存器**地址：0x4000143C；复位：0x0040；名称：MOD**

MOD是一个只读寄存器，提供CNT1和CNT0计数值的模60等效值CNTMOD60。此模60值等于经过最近模60翻转事件后的预分频WUT时间单位的位移。翻滚与60模边界同义。

每当发生以下任一事件时，WUT都会重新调整自身以创建模60和模1的重合边界：

- 在WUT使能时，CPU将一对新值写入CNT1和CNT0寄存器，以重新定义经过的时间单位计数，随后执行该报告的成对写操作。
- CPU使用CR0位0将WUT从禁用状态使能。

通过该寄存器可访问的其他只读位域有：WUT计数的最新增量的大小(INCR)，以及关于此增量是否与调整边界一致的确切确认。WUT对其绝对（32位）计数和模60等效值应用相同的增量。

为了便于调试并厘清CNTMOD60和CNTx之间的关系，MOD的高位填充CNT0的LSB，使得CNTMOD60和主WUT计数的一部分可以同时读出，并得知它们相互对齐。

表393. MOD位功能描述

位	位名称	设置	描述	复位	访问类型
[15:11]	CNT0_4TOZERO		CNT0位[4:0]的镜像。这些位是CNT0位[4:0]的镜像，可以与MOD的CNTMOD60位域同时回读。同时使用此镜像可以更好地了解和调试WUT计数的模60与绝对版本之间的关系。	0x0	R
10	保留		保留。	0x0	R
[9:6]	INCR		增加到CNT1和CNT0中的WUT计数的最新增量值。INCR是只读值，WUT计数最近以该值递增。一般情况下，当WUT使能时，此值为1。	0x1	R

位	位名称	设置	描述	复位	访问类型
[5:0]	CNTMOD60		WUT计数的模60值。CNTMOD60是CNT1和CNT0中的预分频WUT计数的模60值。CNTMOD60从0计数到59，然后再次翻转为0。它与CNT1、CNT0和CNT2中的主WUT计数一起递增和调整。在以下情况下，CNTMOD60变为0：以预分频时间单位递增并从值59正常翻转时；在WUT使能时，CPU将一对新值写入CNT1和CNT0寄存器以重新定义经过的时间计数，并且随后执行此报告的成对写操作；CPU使用CR0的CNTEN位将WUT从禁用状态使能时；通过CNTEN使能WUT时。WUT中的预分频度由CR1中的PRESCALE2EXP改变。	0x0	R

计数2寄存器

地址：0x40001440；复位：0x0000；名称：CNT2

CNT2包含WUT计数的小数部分，该计数以预分频时间单位表示，并由CNT1、CNT0和CNT2给出。实时计数（包括CNT2中的小数位）的整体分辨率为一个32 kHz时钟周期。

经过CR1的PRESCALE2EXP位域给出的预分频序列位数，CNT2从全零变为全1（以一个32 kHz周期为单位），并向CPU提供WUT预分频器内部序列计数的只读视图。通过完全遍历这种序列，预分频器有效地将CNT1和CNT0中WUT计数的非小数主要部分递增一个预分频时间单位。因此，预分频序列计数等于主WUT计数的小数部分。

表394. CNT2位功能描述

位	位名称	设置	描述	复位	访问类型
15	保留		保留。	0x0	R
[14:0]	VALUE		WUT实时计数的小数位。CNT2包含WUT计数的小数部分，该计数以预分频时间单位表示，并由CNT1、CNT0和CNT2给出。因此，实时计数（包括CNT2中的小数位）的整体分辨率为一个32 kHz时钟周期。在以下情况下，CNT2变为0：在WUT使能时，CPU将一对新值写入CNT1和CNT0寄存器以重新定义经过的时间单位计数，并且随后执行此报告的成对写操作；CPU使用CR0的CNTEN位将WUT从禁用状态使能时；使能WUT时。WUT中的预分频度由CR1中的PRESCALE2EXP改变。	0x0	R

警报2寄存器

地址：0x40001444；复位：0x0000；名称：ALM2

ALM2指定WUT警报目标时间值的小数未预分频位，最小值为单个32 kHz时钟周期，整个警报由ALM1、ALM0和ALM2定义。

ALM2中可以合法写入可选值1的有效位数等于CR1 MMR的PRESCALE2EXP位域指定的预分频位数。如果将ALM2中的某位设置为1，从而与PRESCALE2EXP不兼容，WUT将把ALM2的整个值视为零。

对ALM2的任何写操作都要等到CPU对ALM0和ALM1执行相应的写操作为止，以便可以将合并的47位警报重定义作为单个事务执行。ALM0、ALM1和ALM2可以按任何顺序写入，但这三个写操作必须由CPU执行才能对WUT警报起作用。无论CR0寄存器中的ALMEN或CNTEN处于活动状态与否，都可以写入ALM2。

相比之下，RTC1上存在对小数警报时间的完全支持，因此可以使用ALM2将警报指定为单个32 kHz时钟周期。

表395. ALM2位功能描述

位	位名称	设置	描述	复位	访问类型
15	保留		保留。	0x0	R
[14:0]	VALUE		WUT警报目标时间的小数未预分频位。请注意，任何写入ALM2的值都必须与CR1 MMR的PRESCALE2EXP位域指定的预分频位数保持一致。如果使用PRESCALE2EXP配置的预分频程度无法达到ALM2中的值，则ALM2的整个值都会被视为零。	0x0	R/W

状态6寄存器

地址：0x40001488；复位：0x7900；名称：SR6

SR6是一个状态寄存器，提供输入捕捉通道SNAP0、SNAP1和SNAP2的快照的未读状态。

表396. SR6位功能描述

位	位名称	设置	描述	复位	访问类型
[15:11]	保留		保留。	0xF	R
[10:9]	RTCFRZCNTPTR		<p>CNTx MMR的三重读取序列的指针。此位指示CNTx寄存器的三重读取序列中下一个读操作的序列号。CNTx允许对CNT2、CNT1和CNT0中包含的47位WUT计数进行连贯的三重16位读取。CNTx始终按三次读操作的序列进行读取（不过这些读操作在时间上可以散开，或夹带其他APB访问），因此序列中的第一次读操作返回CNT0的当前值。与第一次读操作同时，获取CNT2和CNT1值的快照，从而在CNTx序列的第二次和第三次读操作中，分别返回CNT1和CNT2的快照值。这样，虽然CNT2、CNT1和CNT0的实际值在WUT实时计数时会不断递增，但对CNTx的三重读取将获得总共47位的WUT计数，它们是一体的且相互关联。此位既表示三重读取的序列号，又用作读取CNTx时返回的值的读取数据选择。通常，此位从0b00开始一直递增1，并在每次读取时从0b10绕回到0b00。但是，要清除CNTx指针并重新初始化CNTx读操作的计数序列，CPU可以将软件密钥（值0x9376）写入GWY寄存器。</p> <p>00 CNTx的下一次读取将使CNTx的读取数据成为CNT0的当前值，并获取CNT2和CNT1的当前值的相干快照，以在随后的两次CNTx读取期间返回。SNAP0、SNAP1和SNAP2中可读取的值源于软件启动的快照。</p> <p>01 CNTx的下一次读取是三重读取序列中的第二次读取，返回序列中第一次读取CNTx时获取的CNT1快照。</p> <p>10 CNTx的下一次读取是三重读取序列中的第三次读取，返回序列中第一次读取CNTx时获取的CNT2快照。</p>	0x0	R
[8:0]	保留		保留。	0x100	R

循环冗余校验

数字芯片上的CRC加速器仅计算数字芯片上一块存储位置的CRC。确切存储位置可以是在SRAM中、闪存中或存储器映射寄存器的任意组合。CRC加速器生成一个校验和，可将其与预期签名值进行比较。最终的CRC比较由MCU负责。AFE芯片模块不支持CRC功能。

CRC特性

ADuCM355 MCU使用的CRC支持以下特性：

- 为数据块生成CRC签名。
- 最大32位的可编程多项式长度。
- 一次处理32位数据。
- MSB优先和LSB优先的CRC实现。
- 各种数据镜像功能。
- 初始种子由用户编程。
- DMA控制器（使用软件DMA）可用于数据传输，以减轻MCU的工作负荷。

CRC功能描述

下面详细介绍CRC的功能。对用于计算存储器块CRC的地址递减和递增选项的控制位于DMA控制器中，有关这些选项的详细信息参见“DMA控制器”部分。

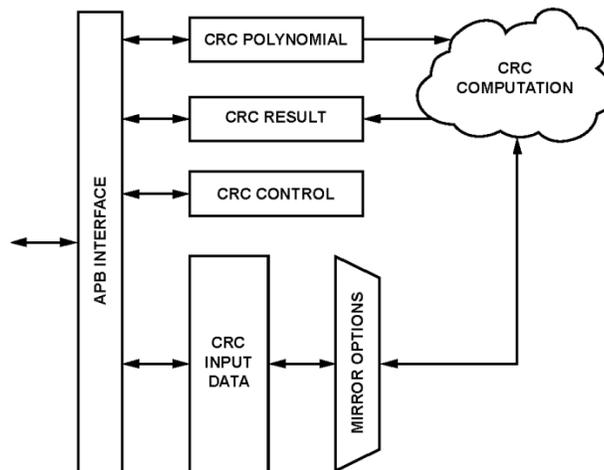


图66. CRC框图

16675-156

CRC架构概念

CRC加速器处理32位数据字，这些数据字可通过CRC加速器专用的DMA通道提供给该模块或直接由MCU提供给该模块。CRC加速器保证CRC输出立即可用。

CRC工作模式

加速器对其接收的数据流计算CRC，一次32位。然后，使用DMA引擎或直接通过MCU将CRC写入模块。

CRC处理32位数据字。如果数据字少于32位，MCU必须填充数据，使之成为32位数据单元。通过设置CTL位[4:2]，可以在位级、字节级或字级（仅限32位数据）执行对输入数据的数据镜像。

工作时，CRC算法使用写入IPDATA寄存器的传入数据流运行。对于接收到的每个新数据字都会计算CRC，并使用计算出的CRC更新结果寄存器。CRC加速器保证CRC结果立即作为结果寄存器中的当前数据提供。

当接收到新的数据字时，CRC引擎使用当前结果生成下一个结果。结果寄存器可以使用初始种子进行编程。x位多项式的种子值的位宽必须为x。种子必须在结果寄存器中对齐。

多项式

CRC加速器支持使用任意长度的多项式来计算CRC。多项式必须写入多项式寄存器。对于MSB优先的实现，写入CRC多项式寄存器时应省略最高次幂，并将多项式左对齐。对于LSB优先的实现，多项式应右对齐并忽略LSB。结果寄存器包含x位MSB，作为x位CRC多项式的校验和。

以下示例解释CRC多项式。

用于MSB优先计算的16位多项式编程

多项式: CRC-16-CCITT

$$x^{16} + x^{12} + x^5 + 1 = (1) 0001 0000 0010 0001 = 0x1021$$

其中最大指数 (x^{16} 项) 是暗含的。因此，多项式为0001 0000 0010 0001。

多项式寄存器左对齐时，寄存器格式详见表397。

表397. 16位多项式编程寄存器格式，MSB优先的计算

寄存器	位	值
CRC多项式寄存器(POLY)	[31:24]	0001 0000
	[23:16]	0010 0001
	[15:8]	0x08B0
CRC结果寄存器 (结果)	[7:0]	0x08B0
	[31:24]	CRC
	[23:16]	结果
CRC结果寄存器中设置的初始种子 (结果)	[15:8]	0x08B0
	[7:0]	0x08B0
	[31:24]	CRC
	[23:16]	种子
	[15:8]	0x08B0
	[7:0]	0x08B0

用于LSB优先计算的16位多项式编程

多项式: CRC-16-CCITT

$$x^{16} + x^{12} + x^5 + 1 = 1000 0100 0000 1000 (1) = 0x8408$$

其中最小指数 (x^0 项) 是暗含的。因此，多项式为1000 0100 0000 1000。

多项式寄存器右对齐时，寄存器格式详见表398。

表398. 16位多项式编程寄存器格式，LSB优先的计算

寄存器	位	值
CRC多项式寄存器(POLY)	[31:24]	0x08B0
	[23:16]	0x08B0
	[15:8]	1000 0100
CRC结果寄存器 (结果)	[7:0]	0000 1000
	[31:24]	0x08B0
	[23:16]	0x08B0
CRC结果寄存器中设置的初始种子 (结果)	[15:8]	CRC
	[7:0]	结果
	[31:24]	0x08B0
	[23:16]	0x08B0
	[15:8]	CRC
	[7:0]	种子

用于MSB优先计算的8位多项式编程

多项式: CRC-8-ATM

$$x^8 + x^2 + x + 1 = (1) 0000 0111 = 0x07$$

其中最大指数 (x^8 项) 是暗含的。因此, 多项式为0000 0111。

多项式寄存器左对齐时, 寄存器格式详见表399。

表399. 8位多项式编程寄存器格式, MSB优先的计算

寄存器	位	值
CRC多项式寄存器(POLY)	[31:24]	0000 0111
	[23:16]	0x08B0
	[15:8]	0x08B0
	[7:0]	0x08B0
CRC结果寄存器 (结果)	[31:24]	CRC结果
	[23:16]	0x08B0
	[15:8]	0x08B0
	[7:0]	0x08B0
CRC结果寄存器中设置的初始种子 (结果)	[31:24]	CRC种子
	[23:16]	0x08B0
	[15:8]	0x08B0
	[7:0]	0x08B0
	[31:24]	0x08B0
	[7:0]	0x08B0

用于LSB优先计算的8位多项式编程

多项式: CRC-8-ATM

$$x^8 + x^2 + x + 1 = 1000 0011 (1) = 0x83$$

其中最小指数 (x^0 项) 是暗含的。因此, 多项式为1000 0011。

多项式寄存器右对齐时, 寄存器格式详见表400。

表400. 8位多项式编程寄存器格式, LSB优先的计算

寄存器	位	值
CRC多项式寄存器(POLY)	[31:24]	0x08B0
	[23:16]	0x08B0
	[15:8]	0x08B0
	[7:0]	1000 0011
CRC结果寄存器 (结果)	[31:24]	0x08B0
	[23:16]	0x08B0
	[15:8]	0x08B0
	[7:0]	CRC结果
CRC结果寄存器中设置的初始种子 (结果)	[31:24]	0x08B0
	[23:16]	0x08B0
	[15:8]	0x08B0
	[7:0]	CRC种子
	[31:24]	0x08B0
	[7:0]	0x08B0

CRC引擎默认使用以下32位CRC多项式 (根据IEEE 802.3标准):

$$g(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

默认情况下, 此值针对MSB优先的计算而设置, 如表401所示。

表401. 默认CRC多项式寄存器(POLY)值

位	值
[31:24]	0x04
[23:16]	0xC1
[15:8]	0x1D
[7:0]	0xB7

复位和休眠模式

保留CRC配置位，模块使能位（CTL位0）除外。退出休眠模式后，必须再次使能该模块。退出休眠模式后，CRC多项式和CRC结果寄存器会被保留。有关复位后和休眠模式下CRC寄存器的详细信息，参见表402。

表402. 通过寄存器复位和休眠

寄存器	复位	休眠
CTL	0x10000000	保留除EN外的所有其他位
POLY	0x04C11DB7	保留
IPDATA	0x0	不保留
结果	0x0	保留

CRC数据传输

数据流可以通过DMA控制器或直接使用MCU写入模块。

CRC中断和异常

完成向CRC模块的数据传输时，DMA通道会产生一个中断。

CRC编程模型

CRC模块用于在后台计算一块数据的CRC签名，与此同时内核可以执行其他任务。CRC模块支持两种CRC计算模式：内核访问和DMA访问。

内核访问步骤

要访问内核，请执行以下步骤：

1. 将所需的对齐多项式写入POLY寄存器，如“多项式”部分所述。
2. 将初始种子写入结果寄存器。种子必须对齐并写入结果寄存器，如“多项式”部分所述。
3. 写入CTL寄存器以使能加速器功能。注意，以下步骤需要对CTL寄存器执行单次写操作：
 - a. 将EN位设置为1。
 - b. 修改CTL寄存器中的W16SWP、BYTMIRR和BITMIRR位，配合应用的不同镜像选项。有关更多信息，参见“镜像选项”部分。
 - c. 设置或复位LSBFIRST位，以指示CRC计算是使用LSB优先还是MSB优先。
 内核可以通过写入IPDATA寄存器开始向CRC模块发送数据。只要有数据写入IPDATA寄存器，CRC加速器就会继续计算CRC。应用程序负责计数写入CRC模块的字数。写入所有字之后，应用程序可以读取结果寄存器。
4. 读取结果寄存器。此寄存器包含CRC计算的x位结果：如果是MSB优先，则为x个MSB位；如果是LSB优先，则为x个LSB位。
5. 对下一个数据块计算CRC。要计算下一个数据块的CRC，请重复步骤1至步骤4。
6. 将CTL中的EN位清0以禁用CRC加速器模块，确保该模块处于低功耗状态。

DMA访问步骤

CRC加速器模块支持软件DMA。要访问DMA，请执行以下步骤：

1. 将所需的左对齐多项式写入POLY寄存器，如“多项式”部分所述。
2. 将初始种子值写入结果寄存器。种子必须对齐并写入结果寄存器，如“多项式”部分所述。
3. 写入CTL寄存器以使能加速器功能。注意，以下步骤需要对CTL寄存器执行单次写操作：
 - a. 将EN位设置为1。
 - b. 修改CTL寄存器中的W16SWP、BYTMIRR和BITMIRR位，配合应用的不同镜像选项。有关更多信息，参见“镜像选项”部分。
 - c. 设置或复位LSBFIRST位，以指示CRC计算是LSB优先还是MSB优先。
 DMA可以通过写入IPDATA寄存器开始发送CRC数据。只要有数据写入IPDATA寄存器，CRC加速器模块就会继续计算CRC。
4. 使用所需的参数设置DMA通道：DST_END_PTR为IPDATA寄存器地址，数据大小为字，目标无增量是所使用的通道。有关对DMA进行编程的更多信息，参见“DMA控制器”部分。DMA通道的DMA_DONE中断信号表示已完成向CRC模块的数据传输。
5. 重复步骤1到步骤4，直到所有数据都已发送到加速器模块。

6. 读取结果寄存器。此寄存器包含CRC计算的x位结果：如果是MSB优先，则为x个MSB位；如果是LSB优先，则为x个LSB位。
7. 对下一个数据块计算CRC。要计算下一个数据块的CRC，请重复步骤1至步骤5。
8. 将CTL中的EN位清0以禁用CRC加速器模块，确保该模块处于低功耗状态。

镜像选项

CTL中的W16SWP、BITMIRR和BYTMIRR位确定计算CRC的位顺序。对于32位多项式，表403详细列出了CRC模块内使用的所有镜像选项。

DIN位[31:0]是写入IPDATA寄存器的数据，CIN位[31:0]是数据镜像后的数据。串行引擎按顺序计算CIN位[31:0]，从MSB位开始，以LSB位结束（按降序从CIN位31到CIN位0）。

表403. 使用32位多项式的32位输入数据的镜像选项

W16SWP	BYTMIRR	BITMIRR	输入数据DIN位[31:0]	CRC输入数据 (CIN位[31:0])
0	0	0	DIN位[31:0]	CIN位[31:0] = DIN位[31:0]
0	0	1	DIN位[31:0]	CIN位[31:0] = DIN位[31:24]; DIN位[23:16]; DIN位[15:8]; DIN位[7:0]
0	1	0	DIN位[31:0]	CIN位[31:0] = DIN位[31:24]; DIN位[23:16]; DIN位[15:8]; DIN位[7:0]
0	1	1	DIN位[31:0]	CIN位[31:0] = DIN位[31:24]; DIN位[23:16]; DIN位[15:8]; DIN位[7:0]
1	0	0	DIN位[31:0]	CIN位[31:0] = DIN位[31:16]; DIN位[15:0]
1	0	1	DIN位[31:0]	CIN位[31:0] = DIN位[31:24]; DIN位[23:16]; DIN位[15:8]; DIN位[7:0]
1	1	0	DIN位[31:0]	CIN位[31:0] = DIN位[31:24]; DIN位[23:16]; DIN位[15:8]; DIN位[7:0]
1	1	1	DIN位[31:0]	CIN位[31:0] = DIN位[31:24]; DIN位[23:16]; DIN位[15:8]; DIN位[7:0]

寄存器汇总：CRC

表404. CRC寄存器汇总

地址	名称	描述	复位	访问类型
0x40040000	CTL	CRC控制寄存器	0x10000000	R/W
0x40040004	IPDATA	输入数据字寄存器	0x00000000	W
0x40040008	RESULT	CRC结果寄存器	0x00000000	R/W
0x4004000C	POLY	可编程CRC多项式	0x04C11DB7	R/W
0x40040010至0x40040017	IPBITSN	输入数据位	0x00表示8个字节	W
0x40040010	IPBYTE	输入数据字节	0x00	W

寄存器详解：CRC

CRC控制寄存器

地址：0x40040000；复位：0x10000000；名称：CTL

表405. CTL位功能描述

位	位名称	设置	描述	复位	访问类型
[31:28]	REVID		版本ID。	0x1	R
[27:5]	保留		保留。	0x0	R
4	W16SWP		字16交换。此位交换32位字中的16位半字。 0 禁用字16交换。 1 使能字16交换。	0x0	R/W
3	BYTMIRR		字节镜像。此位交换每个16位半字中的8位字节。 0 禁用字节镜像。 1 使能字节镜像。	0x0	R/W
2	BITMIRR		位镜像。此位交换每个字节内的位。 0 禁用位镜像。 1 使能位镜像。	0x0	R/W
1	LSBFIRST		LSB优先计算顺序。 0 MSB优先的CRC计算。 1 LSB优先的CRC计算。	0x0	R/W
0	EN		CRC外设使能。 0 禁用CRC外设。 1 使能CRC外设。	0x0	R/W

输入数据字寄存器

地址：0x40040004；复位：0x00000000；名称：IPDATA

表406. IPDATA位功能描述

位	位名称	设置	描述	复位	访问类型
[31:0]	VALUE		数据输入。	0x0	W

CRC结果寄存器

地址：0x40040008；复位：0x00000000；名称：RESULT

表407. RESULT位功能描述

位	位名称	设置	描述	复位	访问类型
[31:0]	VALUE		CRC复位。	0x0	R/W

可编程CRC多项式寄存器

地址：0x4004000C；复位：0x04C11DB7；名称：POLY

表408. POLY位功能描述

位	位名称	设置	描述	复位	访问类型
[31:0]	VALUE		CRC约简多项式。	0x4C11DB7	R/W

输入数据位寄存器

地址：0x40040010至0x40040017（增量为0x01）；复位：0x00；名称：IPBITSN

表409. IPBITSN位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	DATA_BITS		输入数据位。这些位域用于计算1位到7位输入数据的CRC数据字节。对x位输入数据的CRC计算可以通过将字节写入此寄存器的位x来实现。	0x0	W

输入数据字节寄存器

地址：0x40040010；复位：0x00；名称：IPBYTE

表410. IPBYTE位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	DATA_BYTE		输入数据字节。写入数据到此位域以计算数据字节的CRC。	0x0	W

硬件设计考虑

典型系统配置

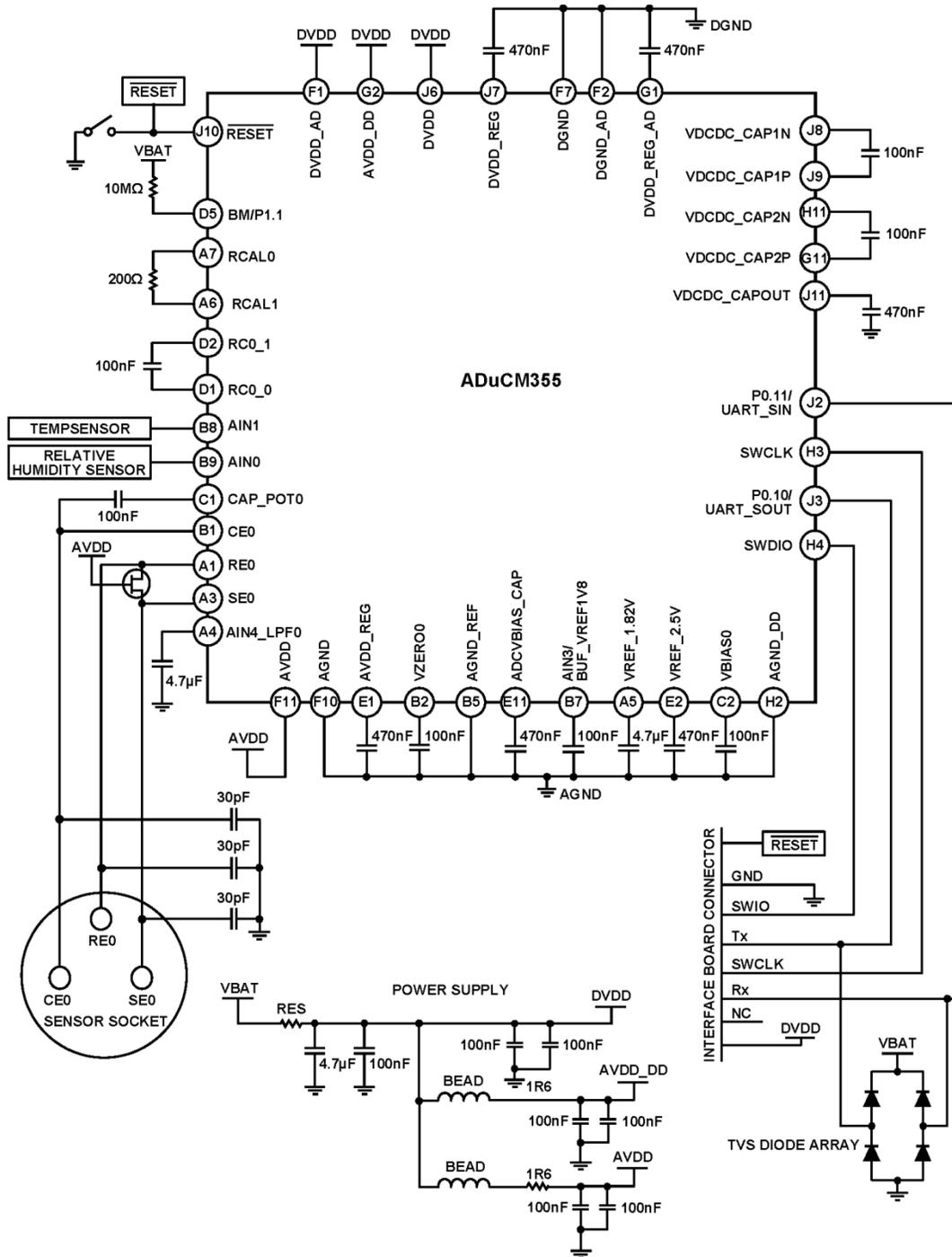


图67. ADuCM355典型系统配置

18675-009

串行线调试接口

SWD接口为引脚有限的封装提供一个调试端口。SWD用SWCLK引脚和一个双向数据引脚(SWDIO)取代5引脚JTAG端口，提供所有一般的JTAG调试和测试功能。对于ARM 20引脚JTAG接口，SWDIO和SWCLK分别叠加在TMS和TCK引脚上（参见图68）。

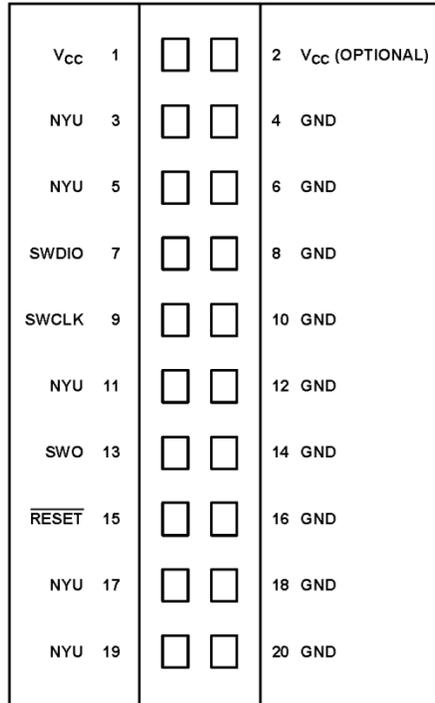


图68. SWD 20引脚连接器布局

表411. SWD连接

信号	连接
SWDIO	数据输入/输出引脚。SWDIO使用一个100 kΩ上拉电阻接V _{CC} 。
SWO	不连接。
SWCLK	时钟引脚。SWCLK使用一个100 kΩ上拉电阻接V _{CC} 。
V _{CC}	正电源电压。JTAG接口驱动器的电源。
GND	数字地。
RESET	不连接。
NYU	不连接，未使用。

I²C指最初由Philips Semiconductors（现为NXP Semiconductors）开发的一种通信协议。



ESD警告

ESD（静电放电）敏感器件。带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

法律条款和条件

ADI公司确信其所提供的信息是准确可靠的。但是，对于其使用以及任何可能因其使用而导致的对第三方专利或其他权利的侵犯，ADI公司概不负责。不含有对ADI公司专利或者专利权的暗示性或其他形式的许可。所有商标和注册商标均属各自所有人所有。本文档所含的信息如有更改，恕不另行通知。不得对ADI公司提供的软件或硬件进行拆解、反编译或逆向工程。关于从ADI公司购买产品的标准条款和条件位于以下网址：<https://www.analog.com/cn/support/customer-service-resources/sales/terms-and-conditions.html>。

©2019-2020 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
UG16675sc-2/20(B)

