

实现数据转换器的接地并解开“AGND”和“DGND”的谜团

作者：Walt Kester、James Bryant、Mike Byrne

简介

目前的信号处理系统一般需要混合信号器件，例如模数转换器 (ADC)、数模转换器 (DAC) 和快速数字信号处理器 (DSP)。由于需要处理宽动态范围的模拟信号，因此拥有高性能 ADC 和 DAC 显得更加重要。在恶劣的数字环境内，能否保持宽动态范围和低噪声与采用良好的高速电路设计技术密切相关，包括适当的信号路由、去耦和接地。

过去，一般认为“高精度、低速”电路与所谓的“高速”电路有所不同。对于 ADC 和 DAC，采样（或更新）频率一般用作区分速度标准。不过，以下两个示例显示，实际操作中，目前大多数信号处理 IC 真正实现了“高速”，因此必须作为此类器件来对待，才能保持高性能。DSP、ADC 和 DAC 均是如此。

所有适合信号处理应用的采样 ADC（内置采样保持电路的 ADC）均采用具有快速上升和下降时间（一般为数纳秒）的高速时钟工作，即使吞吐量看似较低也必须视为高速器件。例如，中速 12 位逐次逼近型 (SAR) ADC 可采用 10 MHz 内部时钟工作，而采样速率仅为 500 kSPS。

Σ - Δ 型 ADC 具有高过采样比，因此还需要高速时钟。即使是高分辨率、所谓的“低频” Σ - Δ 工业测量 ADC（吞吐速率 10 Hz 至 7.5 kHz）也采用 5 MHz 或更高时钟工作，并且提供高达 24 位的分辨率（例如 ADI 公司的 AD77xx 系列）。

更复杂的是，混合信号 IC 具有模拟和数字两种端口，因此如何使用适当的接地技术就更加茫然。此外，某些混合信号 IC 具有相对较低的数字电流，而另一些具有高数字电流。许多情况下，两种类型必须区分对待，才能实现最佳接地。

数字和模拟设计工程师倾向于从不同角度考察混合信号器件，本教程旨在确立适用于大多数混合信号器件的一般接地原则，而不必了解内部电路的具体细节。

接地层和电源层

保持低阻抗大面积接地层对目前所有的模拟和数字电路都很重要。接地层不仅用作去耦高频电流（源于快速数字逻辑）的低阻抗返回路径，还能将 EMI/RFI 辐射降至最低。由于接地层的屏蔽作用，电路受外部 EMI/RFI 的影响也会降低。

接地层还允许使用传输线路技术（微带线或带状线）传输高速数字或模拟信号，此类技术需要可控阻抗。

由于“母线 (buss wire)”在大多数逻辑转换等效频率下具有阻抗，将其用作“地”完全不能接受。例如，#22 标准导线具有约 20 nH/英寸的电感。由逻辑信号产生的压摆率为 10 mA/ns 的瞬态电流，在此频率下流经 1 英寸该导线将形成 200 mV 的无用压降：

$$\Delta v = L \frac{\Delta i}{\Delta t} = 20 \text{ nH} \times \frac{10 \text{ mA}}{\text{ns}} = 200 \text{ mV.} \quad \text{公式 1}$$

对于具有 2 V 峰峰值范围的信号，此压降会转化为约 10% 的误差（大约 3.5 位精度）。即使在全数字电路中，该误差也会大幅降低逻辑噪声裕量。

图 1 为数字返回电流调制模拟返回电流的典型情况（顶图）。接地返回导线电感和电阻由模拟和数字电路共享，这会造成相互影响，最终产生误差。一个可能的解决方案是让数字返回电流路径直接流向 GND REF，如底图所示。这就是“星型”或单点接地系统的基本概念。在包含多个高频返回路径的系统中很难实现真正的单点接地，因为各返回电流导线的物理长度将引入寄生电阻和电感，所以获得低阻抗高频接地就很困难。实际操作中，电流回路必须由大面积接地层组成，以便实现高频电流下的低阻抗。如果无低阻抗接地层，则几乎不可能避免上述共享阻抗，特别是在高频下。

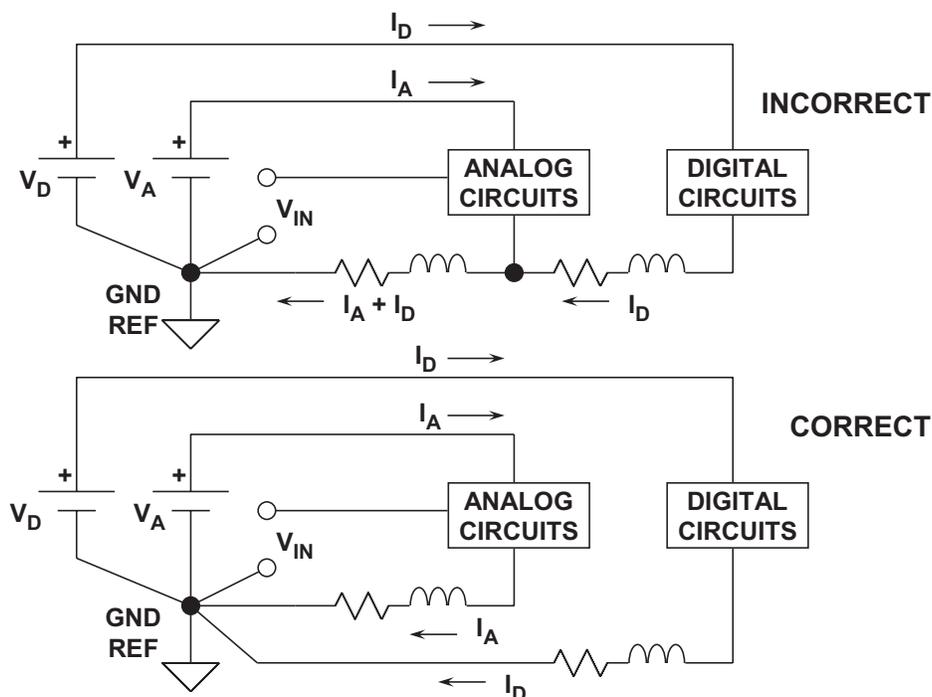


图 1：流入模拟返回路径的数字电流产生误差电压

所有集成电路接地引脚应直接焊接到低阻抗接地层，从而将串联电感和电阻降至最低。对于高速器件，不推荐使用传统 IC 插槽。即使是“小尺寸”插槽，额外电感和电容也可能引入无用的共享路径，从而破坏器件性能。如果插槽必须配合 DIP 封装使用，例如在制作原型时，个别“引脚插槽”或“笼式插座”是可以接受的。以上引脚插槽提供封盖和无封盖两种版本（AMP 产品型号 5-330808-3 和 5-330808-6）。由于使用弹簧加载金触点，确保了 IC 引脚具有良好的电气和机械连接。不过，反复插拔可能降低其性能。

低频和高速去耦

每个电源在进入 PC 板时，应通过高质量电解电容去耦至低阻抗接地层。这样可以将电源线路上的低频噪声降至最低。在每个独立的模拟级，各 IC 封装电源引脚需要更局部、仅针对高频的滤波。

图 2 显示了此技术，图示左侧为正确实施方案，右侧为错误实施方案。左侧示例中，典型的 $0.1 \mu F$ 芯片陶瓷电容借助过孔直接连接到 PCB 背面的接地层，并通过第二个过孔连接到 IC 的 GND 引脚上。相比之下，右侧的设置不太理想，给去耦电容的接地路径增加了额外的 PCB 走线电感，使有效性降低。

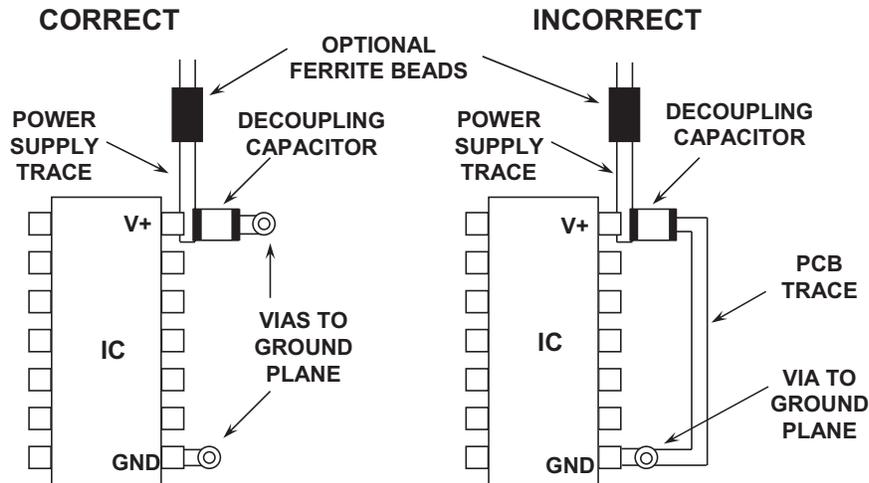


图 2：局部高频电源滤波器通过较短的低电感路径（接地层）提供最佳滤波和去耦

所有高频（即 ≥ 10 MHz）IC 应使用类似于图 2 的旁路方案实现最佳性能。铁氧体磁珠并非 100% 必要，但会增强高频噪声隔离和去耦，通常较为有利。这里可能需要验证磁珠永远不会在 IC 处理高电流时饱和。

请注意，对于一些铁氧体，即使在完全饱和前，部分磁珠也可能变成非线性，所以如果需要功率级在低失真输出下工作，应检查这一点。

双面和多层印刷电路板

系统内的每个 PCB 至少应有完整的一层专用于接地层。理想情况下，双面电路板的一面应完全用于接地层，另一面用于互连。但在实际操作中，这不可能，因为必须去除部分接地层，用于配置信号和电源跨越、过孔和通孔。尽管如此，还是应尽可能节约面积，至少保留 75%。完成初始布局后，请仔细检查接地层，确保没有隔离的接地“孤岛”，因为位于接地“孤岛”内的 IC 接地引脚没有通向接地层的电流返回路径。另外应检查接地层的相邻大面积间有无薄弱连接，否则可能大幅降低接地层有效性。毫无疑问，自动路由电路板布局技术一般不适合混合信号电路板上的布局，因此强烈建议手动干预。

用表面贴装 IC 高密度集成的系统有大量互连，必须使用多层电路板。这样，至少一整层可专用于接地。简单的 4 层电路板有内部接地和电源层，外面两层用于表面贴装元件的互连。电源层和接地层彼此相邻可以提供额外的层间电容，有助于电源的高频去耦。大多数系统中，4 层也嫌不足，还需要其他层用于信号和电源的路由。

多卡混合信号系统

在多卡系统中，降低接地阻抗的最佳方式是使用“母板”PCB 作为卡间互连背板，从而为背板提供连续接地层。PCB 连接器的引脚应至少有 30 至 40% 专用于接地，这些引脚应连接到背板母板上的接地层。最后，实现整体系统接地方案有两种可能途径：

1. 背板接地层可通过多个点连接到机壳接地，从而扩散各种接地电流返回路径。该方法通常称为“多点”接地系统，如图 3 所示。
2. 接地层可连接到单个系统“星型接地”点（一般位于电源）。

前一个方法最常用于全数字系统，不过，只要数字电路引起的接地电流足够低且扩散到大面积上，也可用于混合信号系统。PC 板、背板直到机壳都一直保持低接地阻抗。不过，接地与金属板壳连接的部位必须具有良好的电气接触。这需要自攻金属板螺丝或“咬合”垫圈。机壳材料使用阳极氧化铝时必须特别小心，此时机壳表面用作绝缘体。

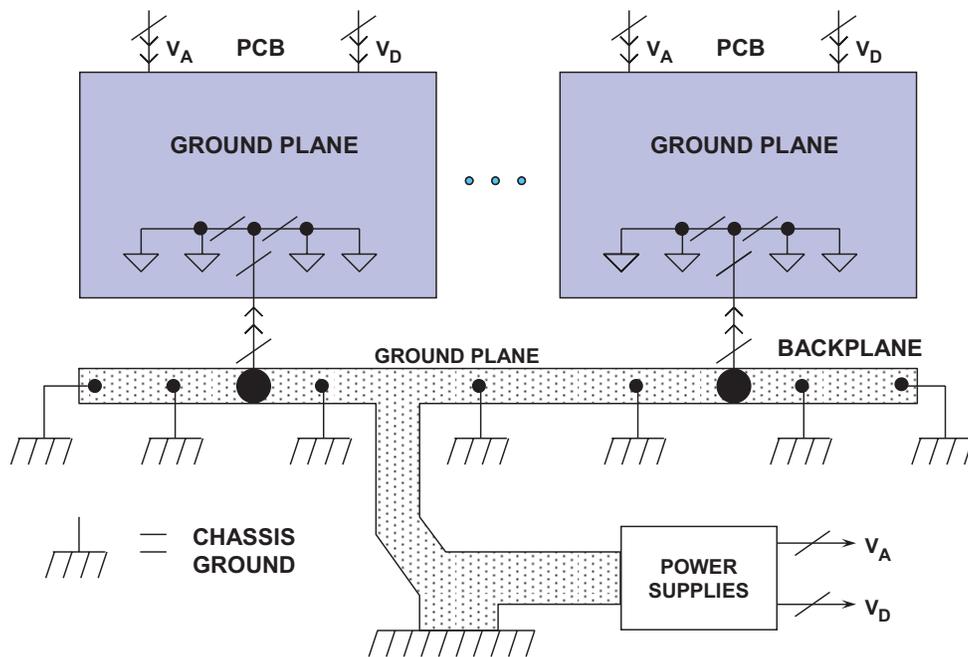


图 3：多点接地概念

第二种方法（“星型接地”）通常用于模拟和数字接地系统相互分离的高速混合信号系统，需进一步讨论。

分离模拟和数字接地层

在使用大量数字电路的混合信号系统中，最好在物理上分离敏感的模拟元件与多噪声的数字元件。另外针对模拟和数字电路使用分离的接地层也很有利。避免重叠可以将两者间的容性耦合降至最低。分离的模拟和数字接地层通过母板接地层或“接地网”（由连接器接地引脚间的一连串有线互连构成），在背板上继续延伸。如图 4 所示，两层一直保持分离，直至回到共同的系统“星型”接地，一般位于电源。接地层、电源和“星型”接地间的连接应由多个总线条或宽铜织带构成，以便获得最小的电阻和电感。每个 PCB 上插入背对背肖特基二极管，以防止插拔卡时两个接地系统间产生意外直流电压。此电压应小于 300 mV，以免损坏同时与模拟和数字接地层相连的 IC。推荐使用肖特基二极管，它具有低电容和低正向压降。低电容可防止模拟与数字接地层间发生交流耦合。肖特基二极管在约 300 mV 时开始导电，如果预期有高电流，可能需要数个并联的二极管。某些情况下，铁氧体磁珠可替代肖特基二极管，但会引入直流接地环路，在高精度系统中会很麻烦。

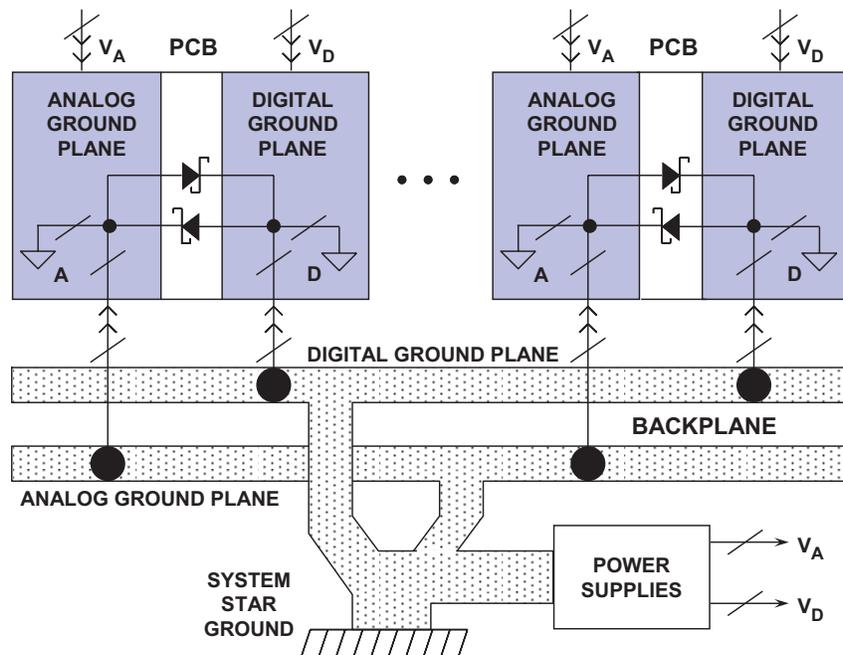


图 4：分离模拟和数字接地层

IC 上的“DGND”名称表示此引脚连接到 IC 的数字地，但并不意味着此引脚必须连接到系统的数字地。

这种安排确实可能给模拟接地层注入少量数字噪声。但这些电流非常小，只要确保转换器输出不会驱动较大扇出（通常不会如此设计）就能降至最低。将转换器数字端口上的扇出降至最低，还能让转换器逻辑转换少受振铃影响，尽可能减少数字开关电流，从而降低耦合至转换器模拟端口的可能。通过插入小型有损铁氧体磁珠，如图 5 所示，逻辑电源引脚 (V_D) 可进一步与模拟电源隔离。转换器的内部瞬态数字电流将在小环路内流动，从 V_D 经去耦电容到达 DGND（此路径用图中粗实线表示）。因此瞬态数字电流不会出现在外部模拟接地层上，而是局限于环路内。 V_D 引脚去耦电容应尽可能靠近转换器安装，以便将寄生电感降至最低。这些去耦电容应为低电感陶瓷型，通常介于 $0.01 \mu\text{F}$ 和 $0.1 \mu\text{F}$ 之间。

小心对待 ADC 数字输出

将缓冲寄存器放置在转换器旁（如图 5 所示）不失为好办法，可将转换器数字线路与数据总线上的噪声隔离开。寄存器也有助于将转换器数字输出上的负载降至最低，同时提供数字输出与数据总线间的法拉第屏蔽。尽管许多转换器具有三态输出/输入，但此隔离寄存器依然代表着一种良好的设计方式。某些情况下，可能需要在模拟接地层上紧靠转换器输出添加额外的缓冲寄存器，以提供更好的隔离。

ADC 输出与缓冲寄存器输入间的串联电阻（图 5 中标示为“R”）有助于将数字瞬态电流降至最低，这些电流可能影响转换器性能。电阻可将数字输出驱动器与缓冲寄存器输入的电容器隔离开。此外，由串联电阻和缓冲寄存器输入电容构成的 RC 网络用作低通滤波器，以减缓快速边沿。

典型 CMOS 栅极与 PCB 走线和通孔结合在一起，将产生约 10 pF 的负载。若无隔离电阻， 1 V/ns 的逻辑输出压摆率将产生 10 mA 的动态电流：

$$\Delta I = C \frac{\Delta v}{\Delta t} = 10 \text{ pF} \times \frac{1 \text{ V}}{\text{ns}} = 10 \text{ mA} . \quad \text{公式 2}$$

驱动 10 pF 的寄存器输入电容时，500 Ω 串联电阻可将此输出电流降至最低，并产生约 11 ns 的上升和下降时间：

$$t_r = 2.2 \times \tau = 2.2 \times R \cdot C = 2.2 \times 500 \Omega \times 10 \text{ pF} = 11 \text{ ns.} \quad \text{公式 3}$$

TTL 寄存器具有较高输入电容，可略微增加动态开关电流，应避免使用。

缓冲寄存器和其他数字电路应接地并去耦至 PC 板的数字接地层。请注意，模拟与数字接地层间的任何噪声均可降低转换器数字接口上的噪声裕量。由于数字噪声抗扰度在数百或数千毫伏水平，因此一般不太可能有问题。模拟接地层噪声通常不高，但如果数字接地层上的噪声（相对于模拟接地层）超过数百毫伏，则应采取措施减小数字接地层阻抗，从而将数字噪声裕量保持在可接受的水平。任何情况下，两个接地层之间的电压不得超过 300 mV，否则 IC 可能受损。

另外最好分离模拟与数字电路的电源，即使两者电压相同。模拟电源应当用于为转换器供电。如果转换器具有指定的数字电源引脚 (V_D)，应采用独立模拟电源供电，或者如图所示进行滤波。所有转换器电源引脚应去耦至模拟接地层，所有逻辑电路电源引脚应去耦至数字接地层，如图 6 所示。

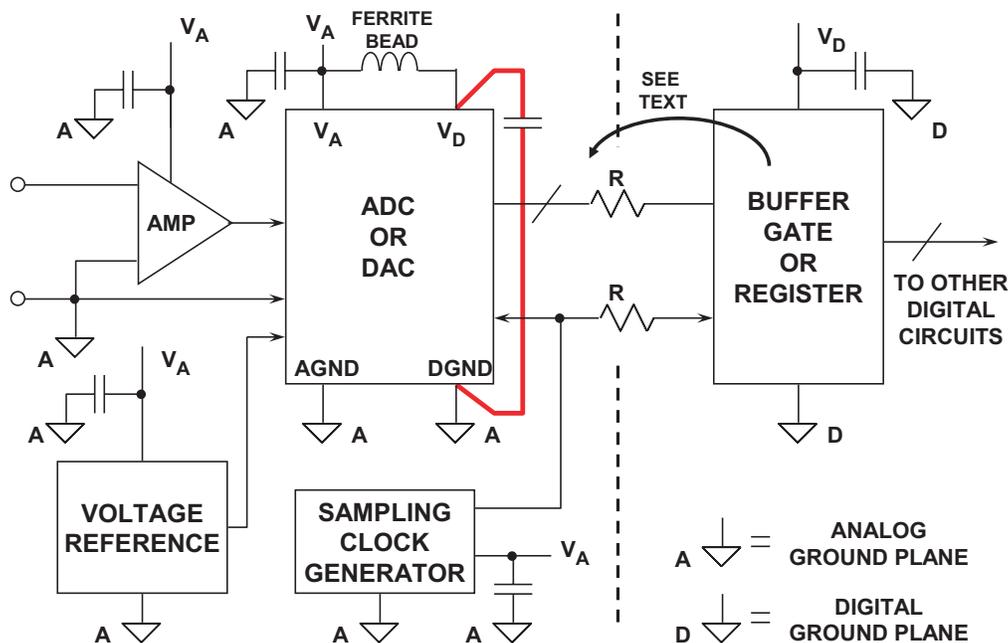


图 6：接地和去耦点

某些情况下，不可能将 V_D 连接到模拟电源。一些较新的高速 IC 可能采用 +5 V 电源为模拟电路供电，而采用 +3 V 电源为数字接口供电，以便与 3 V 逻辑接口。这种情况下，IC 的 +3 V 引脚应直接去耦至模拟接地层。另外建议将铁氧体磁珠与电源走线串联，以便将引脚连接到 +3 V 数字逻辑电源。

采样时钟产生电路应与模拟电路同样对待，也接地并深度去耦至模拟接地层。采样时钟上的相位噪声会降低系统 SNR，下文将予以讨论。

采样时钟考量

在高性能采样数据系统中，应使用低相位噪声振荡器产生 ADC（或 DAC）采样时钟，因为采样时钟抖动会调制模拟输入 / 输出信号，并提高噪声和失真底。采样时钟发生器应与高噪声数字电路隔离开，同时接地并去耦至模拟接地层，与处理运算放大器和 ADC 一样。

采样时钟抖动对 ADC 信噪比的 (SNR) 影响可用以下公式近似计算：

$$\text{SNR} = 20 \log_{10} \left[\frac{1}{2\pi f t_j} \right], \quad \text{公式 4}$$

其中 SNR 是完美无限分辨率 ADC 的 SNR，此时唯一的噪声源来自均方根采样时钟抖动 t_j 。注意，以上公式中的 f 是模拟输入频率。通过简单示例可知，如果 $t_j = 50 \text{ ps rms}$ ， $f = 100 \text{ kHz}$ ，则 $\text{SNR} = 90 \text{ dB}$ ，相当于约 15 位的动态范围。时钟抖动对 SNR 的这一影响在[教程 MT-007](#)中有详细论述。

应注意，以上示例中的 t_j 是外部时钟抖动和内部 ADC 时钟抖动（称为孔径抖动）的方和根 (rss) 值。不过，在大多数高性能 ADC 中，内部孔径抖动与采样时钟上的抖动相比可以忽略。

理想情况下，采样时钟振荡器应参考分离接地系统中的模拟接地层。不过由于系统限制，此方法未必可行。许多情况下，采样时钟必须从数字接地层上产生的更高频率、多用途系统时钟获得，接着必须从数字接地层上的原点传递至模拟接地层上的 ADC。两层之间的接地噪声直接添加到时钟信号，并产生过度抖动。抖动可造成信噪比降低，还会产生干扰谐波。

通过使用图 7 所示的小 RF 变压器或高速差分驱动器和接收机 IC，发射采样时钟信号作为差分信号，可在某种程度上解决此问题。许多高速 ADC 具有差分采样时钟输入，更便于采用此方法。如果使用有源差分驱动器和接收机，应选择 ECL、低电平 ECL 或 LVDS，从而将相位抖动降至最低。在 +5 V 单电源系统中，ECL 逻辑可连接在地与 +5 V (PECL) 电源之间，并将输出交流耦合至 ADC 采样时钟输入。不管是哪种情况，原始主系统时钟必须从低相位噪声振荡器产生，而不是 DSP、微处理器或微控制器的时钟输出。

为了促进系统时钟管理，ADI 公司提供一系列[时钟产生和分配产品](#)和全套[锁相环 \(PLL\)](#)。

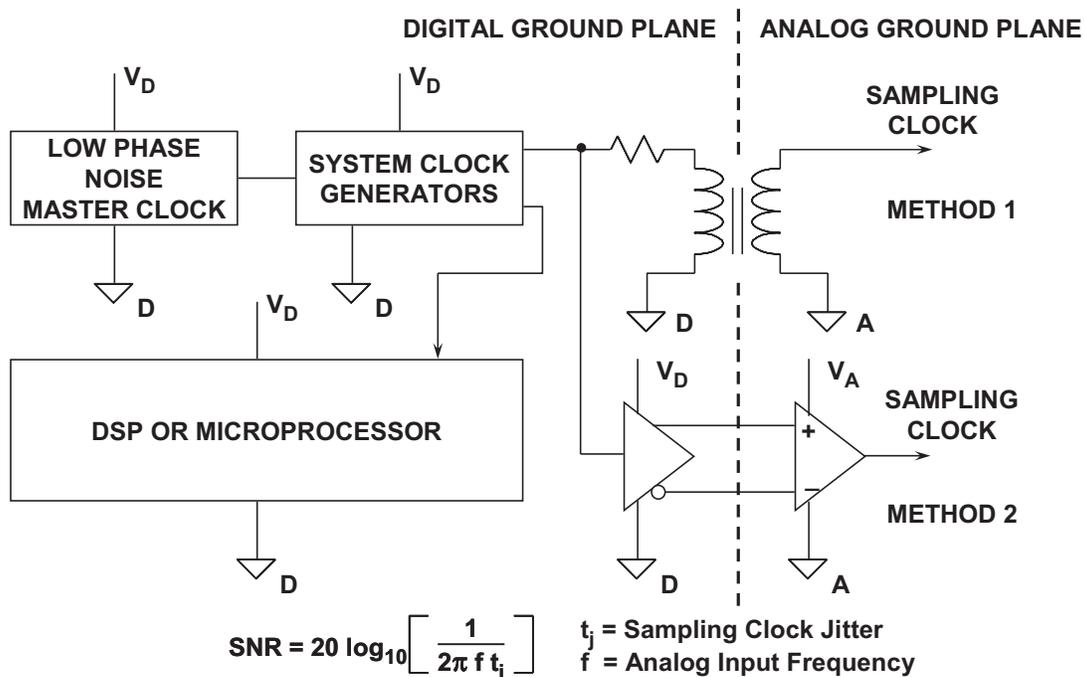


图 7：从数模接地层进行采样时钟分配

混合信号接地的困惑根源：对多卡系统应用单卡接地概念

大多数 ADC、DAC 和其他混合信号器件数据手册是针对单个 PCB 讨论接地，通常是制造商自己的评估板。将这些原理应用于多卡或多 ADC/DAC 系统时，就会让人感觉困惑茫然。通常建议将 PCB 接地层分为模拟层和数字层。另外建议将转换器的 AGND 和 DGND 引脚连接在一起，并且在同一点连接模拟接地层和数字接地层，如图 8 所示。这样就基本在混合信号器件上产生了系统“星型”接地。

所有高噪声数字电流通过数字电源流入数字接地层，再返回数字电源；与电路板敏感的模拟部分隔离开。系统星型接地结构出现在混合信号器件中模拟和数字接地层连接在一起的位置。该方法一般用于具有单个 PCB 和单个 ADC/DAC 的简单系统，通常不适合多卡混合信号系统。在不同 PCB(或适用情况的相同 PCB 上)上具有数个 ADC 或 DAC 的系统中，模拟和数字接地层在数个点连接，使得建立接地环路成为可能，而单点“星型”接地系统则不可能。鉴于以上原因，此接地方法不适用于多卡系统，上述方法应当用于具有低数字电流的混合信号 IC。

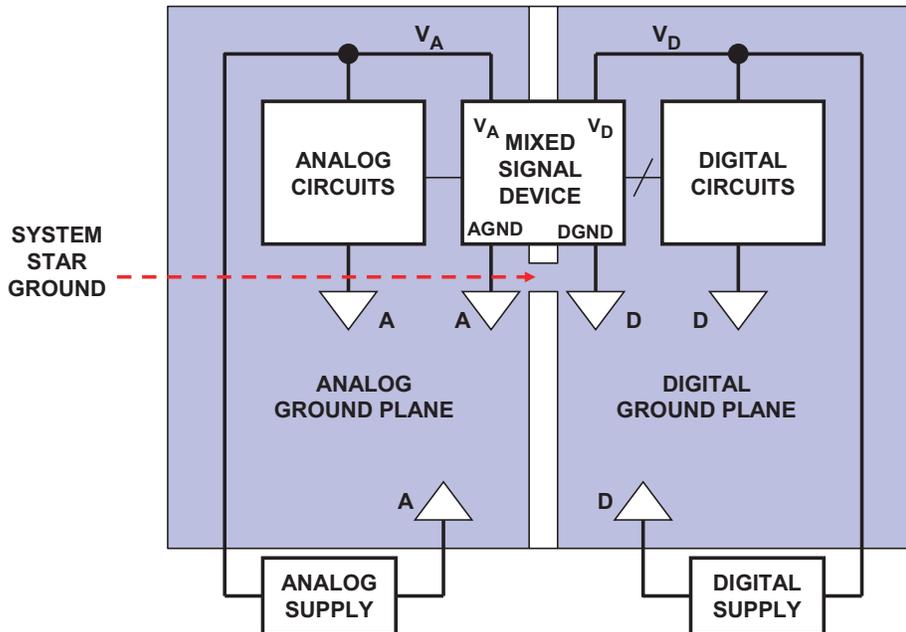


图 8 : 混合信号 IC 接地 : 单个 PC 板 (典型评估 / 测试板)

总结 : 多卡系统中具有低数字电流的混合信号器件的接地

图 9 总结了上述具有低数字电流的混合信号器件的接地方法。由于小数字瞬态电流流入去耦电容 V_D 与 DGND (显示为粗实线) 间的小环路，模拟接地层未被破坏。混合信号器件适合作为模拟元件的所有应用。接地层间的噪声 V_N 会降低数字接口上的噪声裕量，但如果使用低阻抗数字接地层保持在 300 mV 以下，且一直回到系统星型接地，则一般无不利影响。

不过， Σ - Δ 型 ADC、编解码器和 DSP 等具有片内模拟功能的混合信号器件数字化密集度越来越高。再加上其他数字电路，使数字电流和噪声越来越大。例如， Σ - Δ 型 ADC 或 DAC 含有复杂的数字滤波器，会大量增加器件内的数字电流。上述方法依靠 V_D 与 DGND 间的去耦电容，将数字瞬态电流隔离在小环路内。不过，如果数字电流太大，且具有直流或低频成分，去耦电容可能因过大而变得不可行。在 V_D 与 DGND 间的环路外流动的任何数字电流必须流经模拟接地层。这可能会降低性能，特别是在高分辨率系统中。

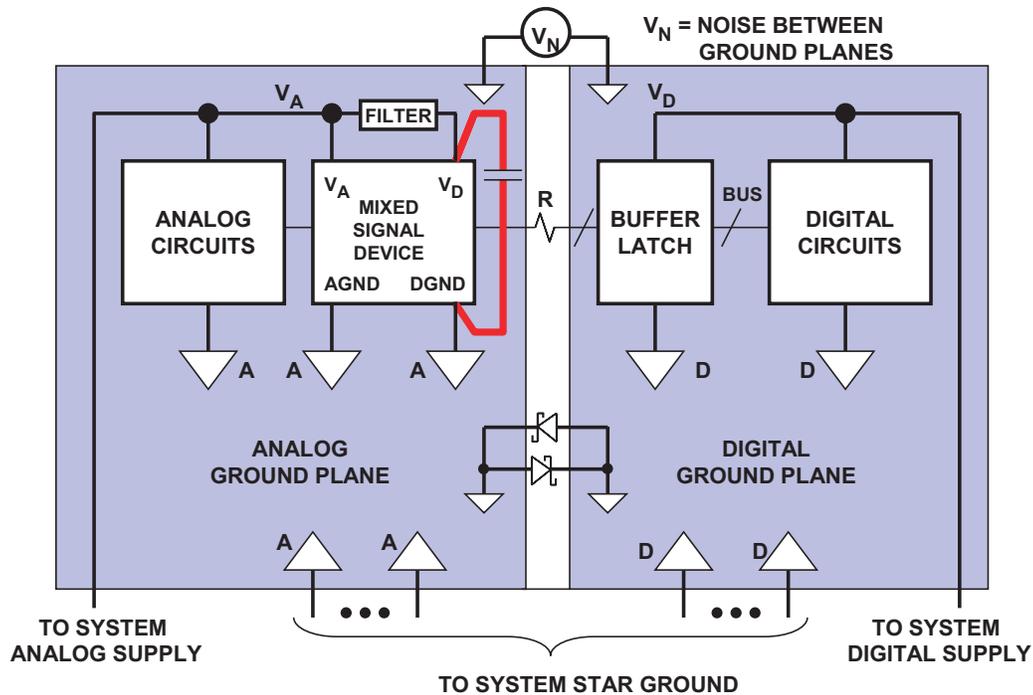


图 9：具有低内部数字电流的混合信号 IC 的接地：多个 PC 板

要预测流入模拟接地层的多大数字电流会让系统无法接受很困难。目前我们只能推荐可能提供较佳性能的替代接地方法。

总结：多卡系统中具有高数字电流的混合信号器件的接地（请谨慎使用本方法！）

图 10 中显示了适合高数字电流混合信号器件的替代接地方法。混合信号器件的 AGND 连接到模拟接地层，而 DGND 连接到数字接地层。数字电流与模拟接地层隔离开，但两个接地层之间的噪声直接施加于器件的 AGND 与 DGND 引脚间。为了成功实施本方法，混合信号器件内的模拟和数字电路必须充分隔离。

AGND 与 DGND 引脚间的噪声不得过大，以免降低内部噪声裕量或损坏内部模拟电路。

图 10 显示可选用连接模拟和数字接地层的肖特基二极管（背对背）或铁氧体磁珠。肖特基二极管可防止两层两端产生大的直流电压或低频电压尖峰。如果这些电压超过 300 mV，由于是直接出现在 AGND 与 DGND 引脚之间，可能会损坏混合信号 IC。作为背对背肖特基二极管的备选器件，铁氧体磁珠可在两层间提供直流连接，但在高于数 MHz 的频率下，由于铁氧体磁珠变为电阻，会导致隔离。这可以保护 IC 不受 AGND 与 DGND 间直流电压的影响，但铁氧体磁珠提供的直流连接可能引入无用的直流接地环路，因此可能不适合高分辨率系统。

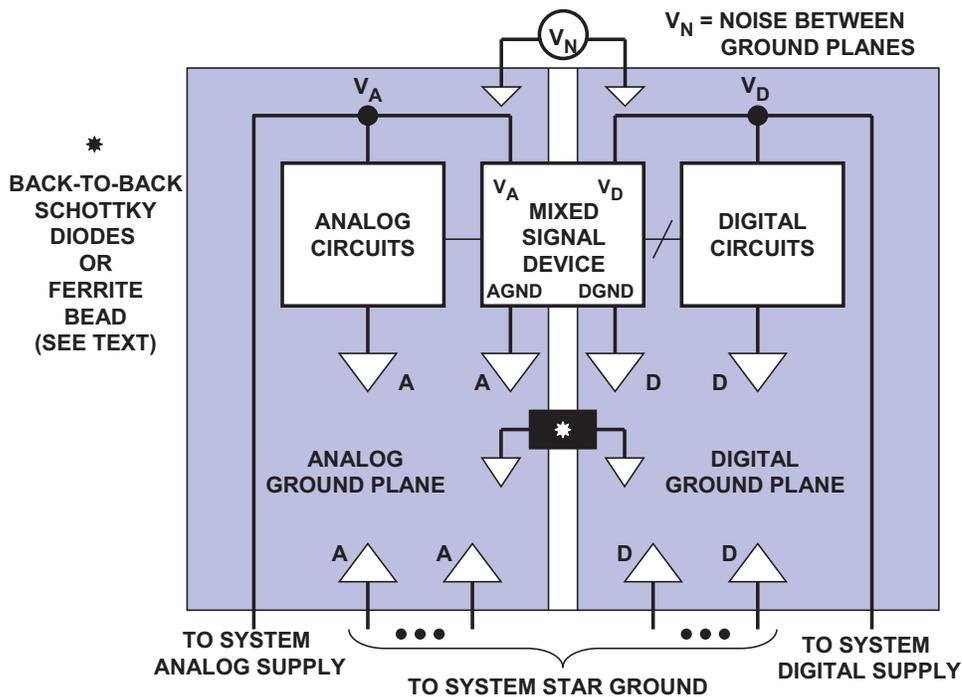


图 10：具有高数字电流的混合信号 IC 的替代接地法：
多个 PC 板

AGND 与 DGND 引脚在具有高数字电流的特殊 IC 内分离时，必要时应设法将其连接在一起。通过跳线和 / 或带线选项，可以尝试两种方法，看看哪一种提供最佳的系统整体性能。

接地总结

没有单一一种接地方法能始终保证最佳性能！本节根据所考虑的特定混合信号器件特性提出了几种可能的选项。但在实施初始 PC 板布局时，提供尽可能多的选项会很有帮助。

PC 板必须至少有一层专用于接地层！初始电路板布局应提供非重叠的模拟和数字接地层，如果需要，应在数个位置提供焊盘和过孔，以便安装背对背肖特基二极管或铁氧体磁珠。提供焊盘和过孔也极为重要，需要时可以使用跳线将模拟和数字接地层连接在一起。目前，预测“多点”（单一接地层）还是“星型”接地（分离模拟和数字接地层）方法能提供最佳整体系统性能还很难；因此，可能需要使用跳线对最终 PC 板做一些实验。

如有疑问，最好先分离模拟和数字接地层，以后再用跳线连接，而不要一开始就使用单一接地层，随后又尝试分离！

混合信号系统的一些通用 PC 板布局指南

很显然，多关注系统布局并防止不同信号彼此干扰，可以将噪声降至最低。高电平模拟信号应与低电平模拟信号隔离开，两者均应远离数字信号。我们曾经在波形采样和重建系统中发现，采样时钟（数字信号）与模拟信号一样易受噪声影响，同时与数字信号一样易于产生噪声，因此必须与模拟和数字系统都隔离开。如果在时钟分配中使用时钟驱动器封装，应仅有一个频率时钟通过单个封装。在相同封装内的不同频率时钟间共享驱动器将产生过度抖动和串扰，并降低性能。

在敏感信号穿过的地方，接地层可发挥屏蔽作用。图 11 显示了数据采集电路板的良好布局，其中所有敏感区域彼此隔离开，且信号路径尽量短。虽然实际布局不太可能如此整洁，但基本原则仍然适用。

执行信号和电源连接时有许多要点需要考虑。首先，连接器是系统中所有信号传输线必须并行的几个位置之一，因此它们必须与接地引脚分开（形成法拉第屏蔽），以减少其间的耦合。

多接地引脚非常重要还有另一原因：可以降低电路板与背板间结点的接地阻抗。对于新电路板，PCB 连接器单一引脚的接触电阻很低（10 mΩ 水平），随着电路板变旧，接触电阻可能升高，电路板性能会受影响。因此通过分配额外 PCB 连接器引脚来增加接地连接很有必要（PCB 连接器上所有引脚中约 30 至 40% 应为接地引脚）。出于同样的理由，每个电源连接应有数个引脚，当然数量不必像接地引脚一样多。

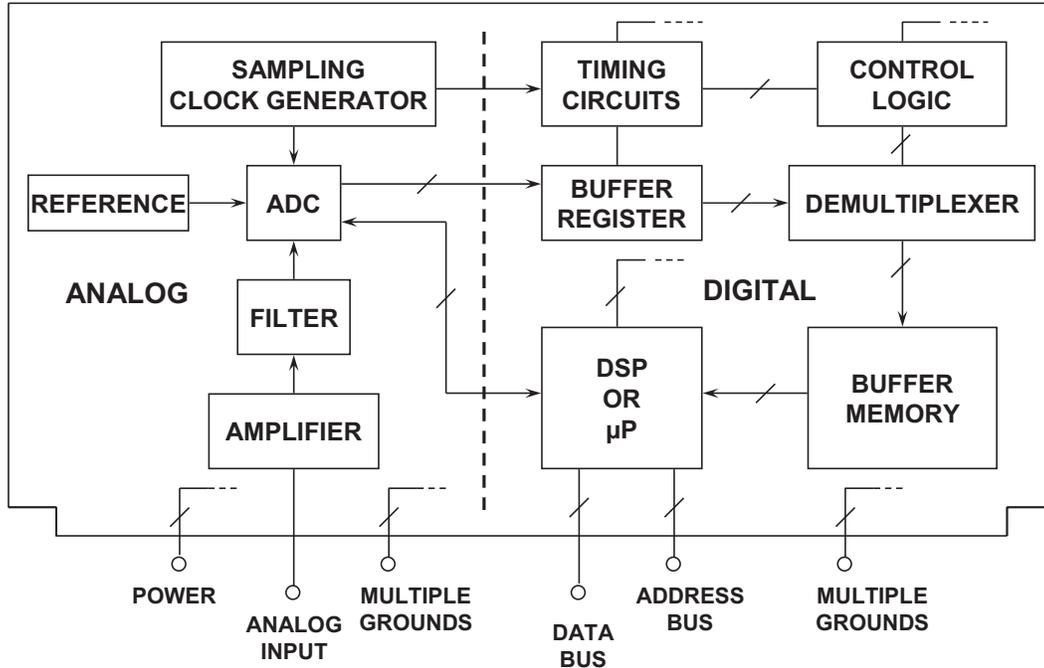


图 11 : 在 PCB 布局中应将模拟和数字电路分开

ADI 公司和其他高性能混合信号 IC 制造商提供评估板来协助客户进行初始评估和布局。ADC 评估板一般包含片上低抖动采样时钟振荡器、输出寄存器和适当的电源和信号连接器。另外还有额外的支持电路，例如 ADC 输入缓冲放大器和外部基准电压。

评估板布局已针对接地、去耦和信号路由进行优化，可用作系统内 ADC PC 板布局的模型。实际评估板布局通常由 ADC 制造商以电脑 CAD 文件形式(Gerber 文件)提供。许多情况下，器件数据手册都会提供各层的布局。

参考文献

1. Ralph Morrison, *Grounding and Shielding Techniques, 4th Edition*, John Wiley, Inc., 1998, ISBN: 0471245186.
2. Henry W. Ott, *Noise Reduction Techniques in Electronic Systems, 2nd Edition*, John Wiley, Inc., 1988, ISBN: 0-471-85068-3.
3. Paul Brokaw, "An IC Amplifier User's Guide to Decoupling, Grounding and Making Things Go Right for a Change", Analog Devices Application Note [AN-202](#).
4. Paul Brokaw and Jeff Barrow, "Grounding for Low- and High-Frequency Circuits," Analog Devices Application Note [AN-345](#).
5. Howard W. Johnson and Martin Graham, *High-Speed Digital Design*, PTR Prentice Hall, 1993, ISBN: 0133957241.
6. Ralph Morrison, *Solving Interference Problems in Electronics*, John Wiley, 1995.
7. Crystal Oscillators: MF Electronics, 10 Commerce Drive, New Rochelle, NY, 10801, 914-576-6570.
8. Mark Montrose, *EMC and the Printed Circuit Board*, IEEE Press, 1999 (IEEE Order Number PC5756).
9. John Ardizzoni, "[A Practical Guide to High-Speed Printed-Circuit-Board Layout](#)," *Analog Dialogue*, Vol. 39, Sept. 2005.
10. Grant, Doug and Scott Wurcer, "Avoiding Passive-Component Pitfalls," Analog Devices Application Note [AN-348](#)
11. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 9. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 9.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.