

产品特性

无混叠：固有抗混叠抑制高性能模式102.5 dB（典型值）

出色的交流和直流性能

108 dB动态范围（ODR = 374 kSPS，FIR滤波器，典型值）

137 dB动态范围（ODR = 10 SPS，sinc3滤波器，典型值）

THD：-120 dB（典型值，1 kHz输入信号音）

失调误差漂移：0.7 $\mu\text{V}/^\circ\text{C}$ （典型值）

增益漂移：2 ppm/ $^\circ\text{C}$ （典型值）

INL：FSR的 ± 2 ppm（典型值）

动态范围增强：4:1和2:1均值模式

126 dB（A加权动态范围）

阻性ADC和基准输入

易于同步：异步采样速率转换器

使用一条信号线实现多器件同步

可编程数据速率从0.01 kSPS到1496 kSPS，分辨率为0.01

SPS

通过外部信号控制输出数据速率的选项

线性相位数字滤波器选项

低纹波FIR滤波器：32 μdB 通带纹波，DC至161.942 kHz

低延迟Sinc3滤波器和Sinc6滤波器，DC至391.5 kHz

具有50 Hz/60 Hz抑制能力的Sinc3滤波器

串扰：130.7 dBFS

菊花链连接

数据和SPI接口支持CRC错误检查

两种功耗模式：高性能模式和低功耗模式

电源：4.5 V至5.5 V和1.65 V至1.95 V

1.8 V IOVDD电平

外部基准电压源：4.096 V或5 V

晶体或外部48 MHz CMOS时钟

SPI或引脚（独立）可配置操作

工作温度范围：0 $^\circ\text{C}$ 至85 $^\circ\text{C}$

提供8 mm \times 8 mm、56引脚LFCSP封装，带裸露焊盘

应用

电气测试和测量

音频测试

3相电能质量分析

控制和硬件循环验证

声纳

针对预测性维护的状态监控

声波和材料科学研究

功能框图

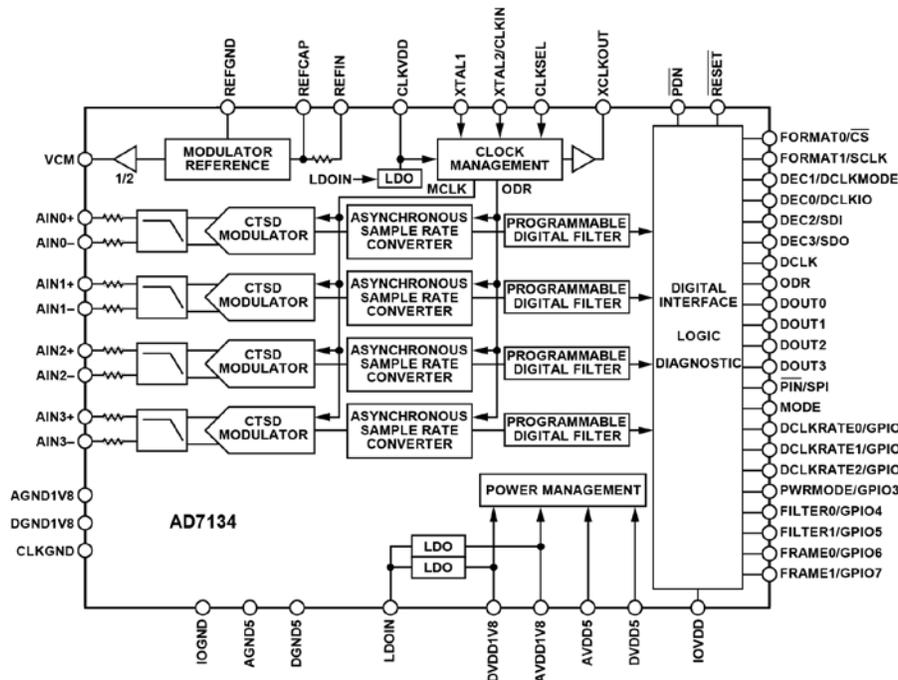


图1.

Rev. 0

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

©2020 Analog Devices, Inc. All rights reserved.

[Technical Support](#)

www.analog.com/cn

ADI 中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考 ADI 提供的最新英文版数据手册。

目录

产品特性	1	输出数据速率和时钟编程	46
应用	1	数字滤波器编程	49
功能框图	1	数据接口编程	49
修订历史	2	功耗模式	50
概述	3	固有抗混叠滤波器模式	51
技术规格	4	动态范围增强、通道均值	52
时序规格	10	校准	53
绝对最大额定值	12	失调校准	53
热阻	12	增益校准	53
ESD警告	12	应用信息	54
引脚配置和功能描述	13	电源	54
典型性能参数	17	基准电压噪声滤波	54
术语	26	多器件同步	55
工作原理	28	相干采样	55
连续时间 Σ - Δ 调制器	28	低延迟数字控制环路	55
易于驱动的输入和基准电压源	28	自动增益控制	56
固有抗混叠滤波器(AAF)	29	前端设计示例	56
模拟前端设计简化	30	数字接口	58
噪声性能和分辨率	31	SPI接口	58
电路信息	35	数据接口	59
内核信号链	35	最小I/O模式	64
模拟输入	35	诊断	65
VCM输出	35	内部Fuse完整性检查	65
基准输入	36	模拟输入超量程	66
时钟输入	36	MCLK计数器	66
XCLKOUT输出	36	SPI接口监控	66
电源选项	37	存储器映射完整性检查	66
复位	37	ODR输入频率检查	66
异步采样速率转换器	37	数字滤波器上溢和下溢	67
数字滤波器	39	DCLK错误	67
快速入门指南	42	GPIO功能	68
独立模式	43	引脚错误报告	68
低延迟同步数据采集	43	寄存器映射 (SPI控制)	69
器件控制	44	寄存器详解	71
引脚控制模式	44	外形尺寸	86
SPI控制模式	45	订购指南	86
多功能引脚	45		
器件配置	46		

修订历史

2020年4月—修订版0：初始版

概述

AD7134是一款四通道、低噪声、同步采样、精密模数转换器(ADC)，具有出色的功能、性能和易用性。

AD7134基于连续时间 Σ - Δ (CTSD)调制方案，消除了传统上需要的位于 Σ - Δ 调制器之前的开关电容电路采样，从而放宽了ADC输入驱动要求。CTSD架构还能固有力地抑制ADC混叠频带附近的信号，从而赋予器件固有抗混叠能力，并且无需复杂的外部抗混叠滤波器。

AD7134具有四个并行的独立转换器通道，每个通道均有CTSD调制器和数字抽取与滤波路径。AD7134能够同时对四个独立的信号源进行采样，每个信号测量支持391.5 kHz的最大输入带宽，四个信号测量之间实现了严密的相位匹配。高通道集成度及简化的模拟前端要求，使AD7134能够以小尺寸提供高密度多通道数据采集解决方案。

AD7134的信号链简化特性还通过降低噪声、误差、失配和失真（通常由模拟前端电路引入）来改善系统级性能。

AD7134具有出色的直流和交流性能。每个ADC通道的带宽范围为DC至391.5 kHz，因而该器件是通用精密数据采集解决方案的理想选择，支持从温度、压力到振动、冲击的各类传感器。

AD7134提供众多功能和配置选项，用户可以灵活地为给定应用实现带宽、噪声、精度和功耗的最佳平衡。

集成异步采样速率转换器(ASRC)允许AD7134利用插值和重采样技术精确控制抽取率，进而控制输出数据速率(ODR)。AD7134支持从0.01 kSPS到1496 kSPS的宽范围ODR频率，调整分辨率小于0.01 SPS，允许用户微调采样速度以实现相干采样。ODR值可通过ODR_VAL_INT_x和ODR_VAL_FLT_x寄存器（寄存器0x16至寄存器0x1C，ASRC主机模式）或使用外部时钟源（ASRC从机模式）来控制。ASRC从机工作模式支持多个AD7134器件以单个系统时钟同步采样。ASRC不再需要将数字后端的高频低抖动主时钟路由到各ADC，因此可简化中等带宽数据采集系统的时钟分配要求。

ASRC充当数字滤波器，将来自 Σ - Δ 调制器的过采样数据抽取到较低速率以提高精度。然后，ADC数据由用户可选的AD7134数字滤波器配置方案之一做进一步处理，以进一步抑制带外信号和噪声，并将数据速率降低至最终所需的ODR值。

AD7134提供三种主要数字滤波器配置选项：宽带低纹波滤波器，使用砖墙式频率配置方案，ODR范围为2.5 kSPS至374 kSPS，适用于频域分析；快速响应sinc3滤波器，ODR范围为0.01 kSPS至1496 kSPS，适用于低延迟时域分析和低频高动态范围输入类型；平衡sinc6滤波器，ODR范围从2.5 kSPS至1.496 MSPS，提供最优噪声性能和响应时间。

AD7134还能在两个或四个输入通道之间执行片上平均。如果将两个通道组合在一起，动态范围提高将近3 dB；如果将所有四个通道组合在一起，动态范围提高将近6 dB，同时带宽保持不变。

AD7134支持两种器件配置方案：串行外设接口(SPI)和硬件引脚配置（引脚控制模式）。SPI控制模式允许访问AD7134的所有特性和配置选项。SPI控制模式还支持访问为实现稳定可靠的系统设计而提供的片上诊断特性。引脚控制模式的优点是简化了器件配置，使得独立工作模式下的器件在上电后能自主运行。

除了可选的SPI，AD7134还有灵活且独立的数据接口，用于传输ADC输出数据。数据接口既可充当总线主机，也可充当从机，具有各种时钟选项，支持多种通信总线协议。数据接口还支持菊花链连接和可选的最小输入/输出(I/O)模式，目的是尽可能减少隔离应用所需的数字隔离器通道数量。

AD7134的工作环境温度范围为0°C至85°C。该器件采用8 mm × 8 mm、56引脚引线框架芯片级封装(LFCSP)。

请注意，在整篇数据手册中，多功能引脚（如FORMAT1/SCLK）由整个引脚名称或引脚的单个功能表示，例如SCLK即表示仅与此功能相关。

技术规格

除非另有说明, AVDD5 = DVDD5 = 4.5 V至5.5 V, AVDD1V8 = DVDD1V8 = 1.65 V至1.95 V, CLKVDD = 1.65 V至1.95 V, LDOIN = 2.6 V至5.5 V, IOVDD = 1.65 V至1.95 V, CLKIN = 48 MHz, AGND5 = DGND5 = AGND1V8 = DGND1V8 = IOGND = CLKGND = 0 V, REFIN电压(V_{REF}) = 4.096 V, 高性能模式, 输入共模电压(V_{CM}) = 2.048 V, 宽带0.433 Hz × ODR滤波器, 抗混叠1 (AA1)模式。除非另有说明, 典型值条件为: $T_A = 25^\circ\text{C}$, AVDD5 = DVDD5 = 5 V, AVDD1V8 = DVDD1V8 = CLKVDD = 1.8 V, LDOIN = 5 V, IOVDD = 1.8 V。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
ADC速度和数据输出					
ODR					
宽带0.10825 Hz × ODR和 0.433 Hz × ODR滤波器 ^{1,2}		2.5		374	kSPS
Sinc6滤波器 ³		2.5		1496	kSPS
Sinc3滤波器 ⁴		0.01		1496	kSPS
-3 dB带宽					
宽带0.433 Hz × ODR滤波器		1.08		161.942	kHz
宽带0.10825 Hz × ODR滤波器		0.27		40.48	kHz
Sinc6滤波器		0.47		278.4	kHz
Sinc3滤波器		0.003		391.5	kHz
数据输出编码		二进制补码, MSB优先			
动态性能	更多信息参见“噪声性能和分辨率”部分。				
动态范围(DR)	短路输入				
高性能模式	ODR = 374 kSPS	105.7	108		dB
	ODR = 10 SPS, sinc3滤波器		137		dB
	A加权1kHz输入, -60dBFS, ODR = 48kSPS		120		dB
	2:1通道均值, A加权, 1 kHz输入, -60 dBFS,		123		dB
	ODR = 48 kSPS				
	4:1通道均值, A加权, 1 kHz输入, -60 dBFS,		126		dB
	ODR = 48 kSPS				
低功耗模式	ODR = 187 kSPS	102.7	106		dB
信噪比	1 kHz、-0.5 dBFS正弦波输入				
高性能模式	ODR = 374 kSPS	105.6	107		dB
低功耗模式	ODR = 187 kSPS	105.3	106		dB
信纳比(SINAD)	1 kHz、-0.5 dBFS正弦波输入				
高性能模式	ODR = 374 kSPS		106.5		dB
低功耗模式	ODR = 187 kSPS		105.5		dB
总谐波失真(THD)	1 kHz、-0.5 dBFS正弦波输入				
高性能模式			-120		dB
低功耗模式			-119		dB
无杂散动态范围 ⁵ (SFDR)	1 kHz、-0.5 dBFS正弦波输入				
高性能模式			125		dBc
低功耗模式			125		dBc
交调失真(IMD)	9.7 kHz和10.3 kHz输入信号音				
	二阶		-122		dB
	三阶		-125		dB

参数	测试条件/注释	最小值	典型值	最大值	单位
精度					
积分非线性(INL)	端点方法 高性能模式 低功耗模式		±2 ±2		ppm FSR ppm FSR
偏置误差 ⁶	高性能模式 低功耗模式		±100 ±100	±700 ±700	μV μV
失调误差漂移	高性能模式 低功耗模式		0.7 0.8	3.7 2.7	μV/°C μV/°C
增益误差 ⁶	高性能模式, 主机模式 低功耗模式, 主机模式		350 150	646 390	ppm FSR ppm FSR
增益漂移			2	5.4	ppm/°C
电压噪声	0.1Hz至10Hz		1.01		μV p-p
模拟输入					
差分输入电压范围(V _{IN})	-V _{REF} 为负基准电压, +V _{REF} 为正基准电压	-V _{REF}		+V _{REF}	V
输入共模电压范围(V _{CM})			V _{REF} /2	AVDD5/2	V
输入电流			317		μA/V
输入电流漂移			8.3		nA/V/°C
差分输入电阻			6.25		kΩ
VCM引脚					
输出电压		V _{REF} /20		AVDD5/2	V
负载调整率(ΔV _{OUT} /ΔI _L)			313		μV/mA
电压调整率(ΔV _{OUT} /ΔV _{AVDD5V})			993		μV/V
短路电流			45		mA
负载电容				200	pF
加性电压噪声密度			70		nV/√Hz
外部基准电压源					
REFIN电压(V _{REF})	REFIN至REFGND高性能模式 REFIN至REFGND低功耗模式		4.096或5 4.096或5		V V
REFIN电流	所有通道开启, 高性能模式 所有通道开启, 低功耗模式 一个通道开启, 高性能模式 一个通道开启, 低功耗模式 REFIN关闭		5.85 3.22 1.53 0.9 0.5		mA mA mA mA μA
REFIN电流漂移			40		nA/V/°C
REFIN电阻	所有通道开启 一个通道开启 所有通道开启, 低功耗模式 一个通道开启, 低功耗模式		0.7 2.66 1.27 4.79		kΩ kΩ kΩ kΩ
调制器幅度响应					
高性能模式	100 kHz, ODR = 374 kSPS 20 kHz, ODR = 374 kSPS		-0.0202 -0.0024		dB dB
低功耗模式	50 kHz, ODR = 187 kSPS 20 kHz, ODR = 187 kSPS		-0.0122 -0.00189		dB dB

参数	测试条件/注释	最小值	典型值	最大值	单位
同步	20 kHz时		1.57	3.3	ns
通道间相位匹配 ⁷			4.17		ps/°C
通道间相位匹配漂移			10		ns
器件间相位匹配 ⁸	ODR = 1496 kSPS				
数字滤波器响应					
低纹波宽带					
群延迟			39.8/ODR		s
建立时间			79.6/ODR		s
通带纹波			32		μdB
通带频率(f_{PASS})					
宽带0.433 Hz × ODR	±32 μdB通带		0.4 × ODR		Hz
滤波器	-0.1 dB通带		0.401 × ODR		Hz
	-3 dB带宽		0.433 × ODR		Hz
宽带0.10825 Hz × ODR	±32 μdB通带		0.1 × ODR		Hz
滤波器	-0.1 dB通带		0.101 × ODR		Hz
	-3 dB带宽		0.10825 × ODR		Hz
阻带频率(f_{STOP})					
宽带0.433 Hz × ODR			0.499 × ODR		Hz
滤波器			ODR		
宽带0.10825 Hz × ODR			0.2 × ODR		Hz
滤波器					
阻带衰减			110		dB
Sinc6					
群延迟			3.25/ODR		
建立时间			6.5/ODR		
通带	-3 dB带宽		0.1861 × ODR		s
Sinc3					
群延迟(GD)	延迟		1.75/ODR		s
建立时间	完全建立		3.5/ODR		s
通带	-3 dB带宽		0.2617 × ODR		s
衰减					
50 Hz时	50 SPS, 50 Hz ± 1 Hz		102		dB
60 Hz时	60 SPS, 60 Hz ± 1 Hz		106		dB
50 Hz、60 Hz时	10 SPS, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz		102		dB
50 Hz、60 Hz时	50 SPS, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz, sinc3抑制和50 Hz/60 Hz抑制滤波器 ¹		67		dB
组合响应					
总群延迟	Sinc3滤波器, 从机选通模式			8/ODR	s
	Sinc6滤波器, 从机选通模式			10.5/ODR	s
抑制	高性能模式				
电源抑制比					
DC					
AVDD5			101.8		dB
DVDD5			80.4		dB

参数	测试条件/注释	最小值	典型值	最大值	单位
AVDD1V8			87.2		dB
DVDD1V8			100		dB
IOVDD			102		dB
LDOIN			116.6		dB
CLKVDD			61		dB
电源抑制 (交流)	电源上有100 mV p-p、1 MHz信号, 无解耦电容, 相对于满量程输入的值				
AVDD5			101		dB
DVDD5			102		dB
AVDD1V8			104		dB
DVDD1V8			101		dB
IOVDD			114		dB
CLKVDD			103		dB
共模抑制比(CMRR)	V_{CM} 上有100 mV p-p, 无解耦电容				
DC			78.4		dB
AC	最高10 kHz		74.5		dB
串扰	相邻通道上有-0.5 dBFS、1 kHz输入		130.7		dBFS
输入信号混叠抑制(AA _{REJ}) 高性能模式	频带信号音的-6 dBFS输出, 从主时钟(MCLK) - 160 kHz到MCLK + 160 kHz, AA1模式		85.4		dB
	频带信号音的-6 dBFS输出, 从MCLK - 160 kHz到MCLK + 160 kHz, 抗混叠2 (AA2)模式		102.5		dB
低功耗模式	频带信号音的-6 dBFS输出, 从MCLK - 80 kHz到MCLK + 80 kHz, AA1模式		87.4		dB
	频带信号音的-6 dBFS输出, 从MCLK - 80 kHz到MCLK + 80 kHz, AA2模式		97.2		dB
外部时钟输入					
频率		47.9	48	48.1	MHz
占空比		40	50:50	60	%
输入高电压		0.65 × CLKVDD			V
输入低电压				0.35 × CLKVDD	V
输入电容			10		pF
晶振					
频率	±100 ppm		48		MHz
启动时间			4.4		ms
CLKSEL输入逻辑					
输入高电压(V_{INH})		0.7 × IOVDD			V
输入低电压(V_{INL})				0.3 × IOVDD	V
漏电流		-1		+1	μA
XCLKOUT引脚					
输出频率			48		MHz
上升/下降时间 (20%至80%)	45 pF负载		0.85		ps
占空比	外部时钟输入占空比 = 50:50		53.8		%
输出高电压	拉电流(I_{SOURCE}) = 100 μA	CLKVDD - 0.2			V
输出低电压	灌电流(I_{SINK}) = 100 μA			0.2	V
ODR引脚					
输出频率		0.01		1496	kHz
输出上升/下降时间 (20%至80%)	45 pF负载		2.8		ns
输出高电压	I_{SOURCE} = 100 μA	IOVDD - 0.2			V

参数	测试条件/注释	最小值	典型值	最大值	单位
输出低电压	$I_{SINK} = 100 \mu A$			0.2	V
输入频率(f_{IN})		0.01		1496	kHz
V_{INH}		$0.7 \times IOVDD$			V
V_{INL}				$0.3 \times IOVDD$	V
输入电容	引脚配置为输入		10		pF
DCLK引脚					
输出频率		2.93		48000	kHz
输出上升/下降时间 (20%至80%)	45 pF负载		2.8		ns
输出占空比			50:50		%
输出高电压	$I_{SOURCE} = 100 \mu A$	$IOVDD - 0.2$			V
输出低电压	$I_{SINK} = 100 \mu A$			0.2	V
f_{IN}				50,000	kHz
V_{INH}		$0.7 \times IOVDD$			V
V_{INL}				$0.3 \times IOVDD$	V
输入电容	引脚配置为输入		10		pF
逻辑输入					
V_{INH}		$0.7 \times IOVDD$			V
V_{INL}				$0.2 \times IOVDD$	V
漏电流		-10		+10	μA
逻辑输出					
输出高电压(V_{OH})	$I_{SOURCE} = 100 \mu A$	$IOVDD - 0.2$			V
输出低电压(V_{OL})	$I_{SINK} = 100 \mu A$			0.2	V
集成低压差(LDO)调节器					
输出电压			1.85		V
输入电压		2.6		5.5	V
电源电压					
AVDD5至AGND5		4.5	5	5.5	V
DVDD5至DGND5		4.5	5	5.5	V
AVDD5至AGND5	$V_{REF} = 5 V$	4.7	5	5.5	V
DVDD5至DGND5	$V_{REF} = 5 V$	4.7	5	5.5	V
DVDD1V8至DGND		1.65	1.8	1.95	V
AVDD1V8至AGND1V8		1.65	1.8	1.95	V
AVDD1V8至AGND1V8	$V_{REF} = 5 V$	1.8	1.85	1.95	V
DVDD1V8至DGND	$V_{REF} = 5 V$	1.8	1.85	1.95	V
IOVDD至IOGND		1.65	1.8	1.95	V
CLKVDD至CLKGND		1.65	1.8	1.95	V
CLKVDD至CLKGND	$V_{REF} = 5 V$	1.8	1.85	1.95	V
电源电流	4个通道活动, 旁路内部LDO稳压器, 禁用XCLKOUT				
高性能模式	ODR = 374 kSPS				
AVDD5			8.2	10.3	mA
DVDD5			38.6	44.8	mA
AVDD1V8			56	73.9	mA
DVDD1V8	Sinc3滤波器, ODR = 1496 kSPS		60	70.6	mA
	Sinc6滤波器, ODR = 1496 kSPS		60.9	71.8	mA
	宽带0.433 Hz \times ODR滤波器		90	105.5	mA
IOVDD			2.25	3.17	mA
CLKVDD			2.8	3.53	mA
低功耗模式	ODR = 187 kSPS				
AVDD5			8.2	10.3	mA
DVDD5			14.1	16.5	mA
AVDD1V8			51	69	mA

参数	测试条件/注释	最小值	典型值	最大值	单位
DVDD1V8	Sinc3滤波器, ODR = 1496 kSPS		30.6	36	mA
	Sinc6滤波器, ODR = 1496 kSPS		38.5	45.2	mA
	宽带0.433 Hz × ODR滤波器		48.5	56.8	mA
IOVDD			1.27	1.7	mA
CLKVDD			1.89	2.3	mA
总功耗	外部LDO模式; AVDD5 = DVDD5 = 5 V, AVDD1V8 = DVDD1V8 = CLKVDD = IOVDD = LDOIN = 1.8 V, 旁路内部LDO稳压器, 禁用XCLKOUT				
高性能模式	ODR = 374 kSPS, 宽带0.433 Hz × ODR滤波器				
	4个通道活动		504	540	mW
	1个通道活动		201		mW
	2:1均值		472		mW
	4:1均值		450		mW
	ODR = 2.5 kSPS, 4个通道活动		418		mW
	ODR = 1496 kSPS, 4个通道活动, sinc3滤波器		446		mW
低功耗模式	ODR = 187 kSPS, 宽带0.433 Hz × ODR滤波器				
	4个通道活动		297	386	mW
	1个通道活动		121		mW
	2:1均值		288		mW
	4:1均值		254		mW
	ODR = 2.5 kSPS, 4个通道活动		260		mW
	ODR = 1496 kSPS, 4个通道活动, sinc3滤波器		285		mW
高性能模式	内部LDO稳压器模式: AVDD5 = DVDD5 = 5 V, LDOIN = 2.6 V, 禁用XCLKOUT				
	ODR = 270 kSPS, 宽带0.433 Hz × ODR滤波器				
	4个通道活动		593		mW
	1个通道活动		246		mW
	2:1均值		555		mW
	4:1均值		530		mW
	ODR = 2.5 kSPS, 4个通道活动		484		mW
低功耗模式	ODR = 1496 kSPS, 4个通道活动, sinc3滤波器		547		mW
	ODR = 187 kSPS, 宽带0.433 Hz × ODR滤波器				
	4个通道活动		386		mW
	1个通道活动		147		mW
	2:1均值		356		mW
	4:1均值		334		mW
	ODR = 2.5 kSPS, 4个通道活动		316		mW
完全掉电模式	ODR = 1496 kSPS, 4个通道活动, sinc3滤波器		355		mW
			1		mW
休眠模式			15		mW

¹ 对于内部 LDO 稳压器模式, 宽带 FIR 滤波器支持的最大 ODR 为 270 kSPS。

² 对于从机模式, 宽带 FIR 滤波器支持的最大 ODR 为 365 kSPS。

³ 对于从机模式, sinc6 滤波器支持的最大 ODR 为 1460 kSPS。

⁴ 对于从机模式, sinc3 滤波器支持的最大 ODR 为 1460 kSPS。

⁵ 不包括前五次谐波。

⁶ 经过全面系统校准后, 对于所选的编程输出数据速率, 失调误差和增益误差的大小与噪声相当。在从机模式下, 增益误差是输出数据速率的函数。因此, 当输出数据速率改变时, 需要进行增益误差校准。建议定期校准系统以消除与老化相关的漂移。

⁷ 同一器件的任意两个通道之间。

⁸ 任何两个器件的任意两个通道之间。SPI 从机模式, DCLK 仅作为选通输入, 同时向两个器件发出 DIG_IF_RESET SPI 写操作。

时序规格

除非另有说明，AVDD5 = DVDD5 = 4.5 V至5.5 V，AVDD1V8 = DVDD1V8 = 1.65 V至1.95 V，CLKVDD = 1.65 V至1.95 V，IOVDD = 1.65 V至1.95 V，CLKIN = 48 MHz，AGND5 = DGND5 = AGND1V8 = DGND1V8 = IOGND = CLKGND = 0 V， $T_A = 0^\circ\text{C}$ 至 85°C 。除非另有说明，典型值在 $T_A = 25^\circ\text{C}$ 的条件下测得。

表2. 器件时钟时序

参数	描述	测试条件/注释	最小值	典型值	最大值	单位
f_{SYSCLK}	系统时钟频率			48		MHz
MCLK	主时钟	高性能模式		$f_{\text{SYSCLK}}/2$		Hz
		低功耗模式		$f_{\text{SYSCLK}}/4$		Hz
f_{DIGCLK}	内部数字时钟($t_{\text{DIGCLK}} = 1/f_{\text{DIGCLK}}$)			$f_{\text{SYSCLK}}/2$		Hz
f_{DCLK}	数据接口时钟($t_{\text{DCLK}} = 1/f_{\text{DCLK}}$)	DCLK作为输出，SPI控制模式			f_{SYSCLK}	MHz
		DCLK作为输出，引脚控制模式			f_{SYSCLK}	MHz
		DCLK作为输入			50	MHz
f_{SCLK}	SPI时钟速率($t_{\text{SCLK}} = 1/f_{\text{SCLK}}$)				50	MHz

DOUTx上的信号在DCLK的上升沿被驱动出来。 $t_{\text{ODR_PERIOD}}$ 为 $1/\text{ODR}$ 。参见图2。

表3. 使用选通DCLK的数据接口时序

参数	描述	测试条件/注释	最小值	典型值	最大值	单位
t_1	ODR高电平时间	主机模式， $t_{\text{DCLK}} > t_{\text{DIGCLK}}$	$2.5 \times t_{\text{DCLK}}$		$3.5 \times t_{\text{DCLK}}$	ns
		主机模式， $t_{\text{DCLK}} \leq t_{\text{DIGCLK}}$	$3 \times t_{\text{DIGCLK}}$		$3 \times t_{\text{DIGCLK}} + 4$	ns
		从机模式	$3 \times t_{\text{DIGCLK}}$			ns
t_2	ODR低电平时间	从机模式	$3 \times t_{\text{DIGCLK}}$			ns
t_3	ODR下降沿到DCLK上升沿	主机模式	$t_{\text{DCLK}} - 2$			ns
		从机模式	8			ns
t_4	上个数据DCLK下降沿到ODR上升沿	主机模式	$0.5 \times t_{\text{DCLK}}$			ns
		从机模式	$2 \times t_{\text{DCLK}}$			ns
t_5	DCLK上升到DOUTx无效	主机模式	-4			ns
		从机模式	0			ns
t_6	DCLK上升到DOUTx有效	主机模式	0	3		ns
		从机模式		8.2		ns
t_7	DCLK低电平时间		$t_{\text{DCLK}}/2 - 1$			ns
t_8	DCLK高电平时间		$t_{\text{DCLK}}/2 - 1$			ns

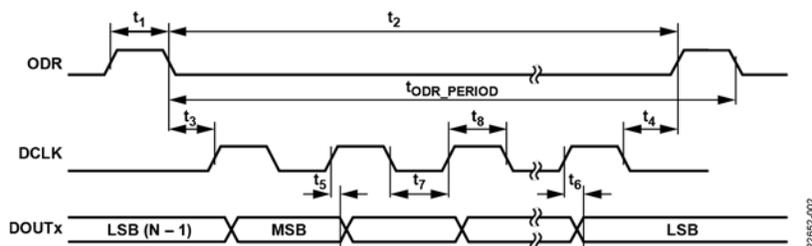


图2. 使用选通DCLK的数据接口时序图

DOUTx上的信号在DCLK的上升沿被驱动出来。参见图3。

表4. 使用自由振荡DCLK的数据接口时序

参数	描述	测试条件/注释	最小值	典型值	最大值	单位
t ₉	ODR高电平时间	主机模式, t _{DCLK} > t _{DIGCLK}	2.5 × t _{DCLK}		3.5 × t _{DCLK} - t _{DIGCLK} + 4	ns
		主机模式, t _{DCLK} ≤ t _{DIGCLK}	3 × t _{DIGCLK}		3 × t _{DIGCLK} + 4	ns
		从机模式, t _{DCLK} > t _{DIGCLK}	3 × t _{DCLK}			ns
		从机模式, t _{DCLK} ≤ t _{DIGCLK}	3 × t _{DIGCLK}			ns
t ₁₀	ODR低电平时间	从机模式, t _{DCLK} > t _{DIGCLK}	3 × t _{DCLK}			ns
		从机模式, t _{DCLK} ≤ t _{DIGCLK}	3 × t _{DIGCLK}			ns
t ₁₁	DCLK上升沿到ODR上升沿	从机模式	t _{DCLK} /2			ns
t ₁₂	ODR上升沿到DCLK上升沿	从机模式	t _{DCLK} /2			ns
t ₁₃	ODR采样高电平到DOUTx活动				3 × t _{DCLK} + 4	
t ₁₄	DCLK上升到DOUTx无效	主机模式	-4			ns
t ₁₅	DCLK上升到DOUTx有效	主机模式	0		2	ns
		从机模式			3	ns
t ₁₆	DCLK低电平时间		t _{DCLK} /2 - 1			ns
t ₁₇	DCLK高电平时间		t _{DCLK} /2 - 1			ns

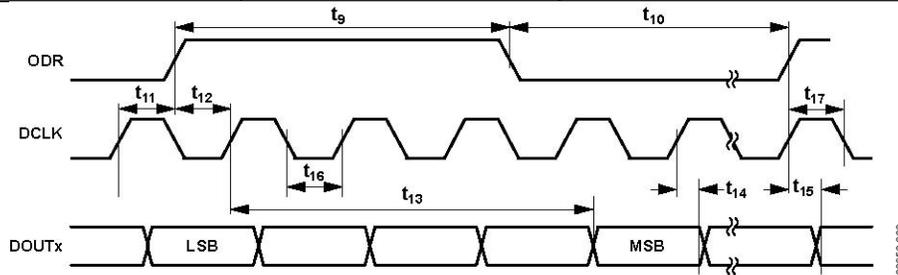


图3. 使用自由振荡DCLK的数据接口时序图

SDI在SCLK的上升沿进行采样。SDO在SCLK的下降沿被驱动出来。参见图4。

表5. SPI接口时序

参数	描述	最小值	典型值	最大值	单位
t ₁₈	CS下降至数据输出有效	0		7	ns
t ₁₉	SCLK下降沿到SDO有效			8	ns
t ₂₀	SCLK低电平时间	t _{SCLK} /2 - 1			ns
t ₂₁	SDI建立时间	2			ns
t ₂₂	SDI保持时间	2			ns
t ₂₃	SCLK下降后的SDO保持时间			7	ns
t ₂₄	SCLK高电平时间	t _{SCLK} /2 - 1			ns
t ₂₅	上一SCLK上升沿到CS上升沿	t _{SCLK}			ns
t ₂₆	CS高电平时间	0.9 × t _{SCLK} /2			ns
t ₂₇	CS下降沿到SCLK上升沿	9			ns

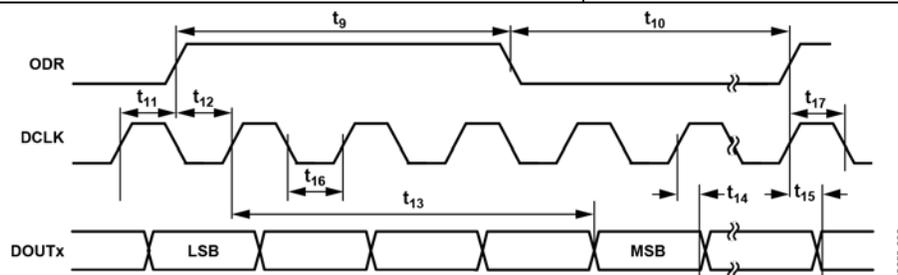


图4. SPI接口时序图

绝对最大额定值

表6.

参数	额定值
AVDD5至AGND5	-0.3 V至+6 V
DVDD5至DGND5	-0.3 V至+6 V
AVDD1V8至AGND1V8	-0.3 V至2.2 V或LDOIN + 0.3 V (取较低者)
DVDD1V8至DGND1V8	-0.3 V至2.2 V或LDOIN + 0.3 V (取较低者)
CLKVDD至CLKGND	-0.3 V至2.2 V或LDOIN + 0.3 V (取较低者)
IOVDD至IOGND	-0.3 V至+2.2 V
DGND5至AGND5	-0.3 V至+0.3 V
AGND1V8至AGND5	-0.3 V至+0.3 V
DGND1V8至AGND5	-0.3 V至+0.3 V
IOGND至AGND5	-0.3 V至+0.3 V
CLKGND至AGND5	-0.3 V至+0.3 V
LDOIN至AGND5	AVDD1V8 - 0.3 V至6 V
AIn±输入至AGND5	-0.3 V至AVDD5 + 0.3 V
REFIN至AGND5	-0.3 V至AVDD5 + 0.3 V
REFCAP至AGND5	-0.3 V至AVDD5 + 0.3 V
REFGND至AGND5	-0.3 V至+0.3 V
数字I/O引脚至IOGND	-0.3 V至IOVDD + 0.3 V
XCLKOUT、XTAL2/CLKIN 和 XTAL1至CLKGND	-0.3 V至CLKVDD + 0.3 V
工作环境温度范围	0°C至85°C
存储温度范围	-65°C至+150°C
无铅焊接温度, 回流焊 (10秒至30秒)	260°C
结温	150°C
封装分类温度	260°C

注意, 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最大值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

热性能与印刷电路板(PCB)设计和工作环境直接相关。必须慎重对待PCB散热设计。

θ_{JA} 是自然对流下的结至环境热阻, 在 1 立方英尺的密封外罩中测量。 θ_{JC} 是结至外壳热阻。

表7. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
CP-56-9			
2S2P或1S测试板	37 ¹	5.4 ²	°C/W
2S2P测试板, 带36个散热通孔	27 ³	N/A ⁴	°C/W

¹ 基于JEDEC 2S2P测试板的仿真数据, JEDEC自然对流环境。

² 基于JEDEC 1S测试板的仿真数据, 在裸露焊盘上测量, 冷板直接安装到封装表面。

³ 基于带36个散热通孔的JEDEC 2S2P测试板的仿真数据, JEDEC自然对流环境。

⁴ N/A表示不适用。

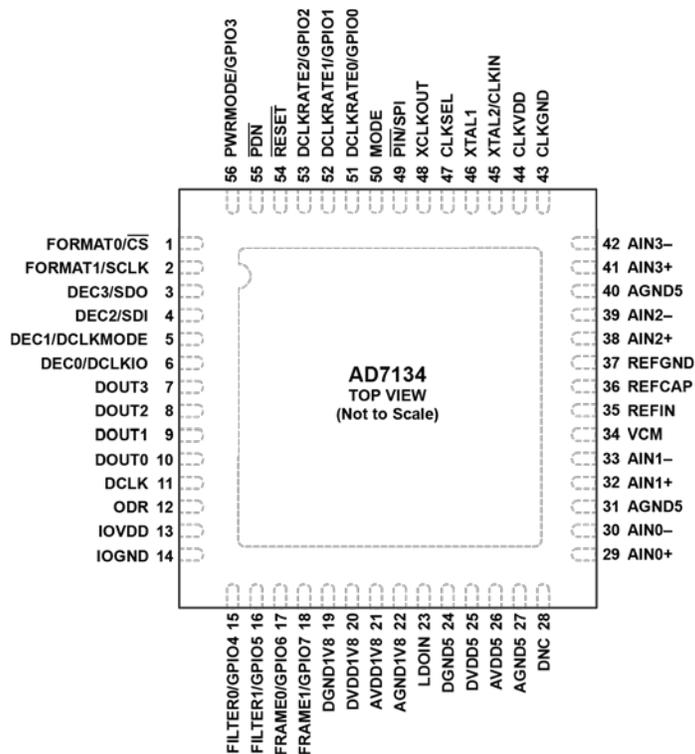
ESD警告



ESD (静电放电) 敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述



- NOTES
 1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
 2. EXPOSED PAD. CONNECT THE EXPOSED PAD TO AGND5.

Z2852-005

图5. 引脚配置

表8. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1	FORMAT0/CS	DI	引脚控制模式下为ADC输出数据格式选择输入0 (FORMAT0)。此引脚连接到IOVDD或IOGND, 以设置用于输出ADC转换数据的DOUTx引脚数。更多信息参见“输出通道格式”部分。 SPI控制模式下为片选输入(\overline{CS})。
2	FORMAT1/SCLK	DI	引脚控制模式下为ADC输出数据格式选择输入1 (FORMAT1)。此引脚连接到IOVDD或IOGND, 以设置用于输出ADC转换数据的DOUTx引脚数。更多信息参见“输出通道格式”部分。 SPI控制模式下为串行时钟输入(SCLK)。
3	DEC3/SDO	DI/O	引脚控制主机模式下为抽取率选择输入3, 引脚控制从机模式下为PLL锁定状态输出(DEC3)。此引脚连接到IOVDD或IOGND以设置输出数据速率。更多信息参见“输出数据速率和时钟编程”部分。在引脚控制从机模式下, 此引脚输出高电平表示内部PLL处于锁定状态。 SPI控制模式下为串行数据输出(SDO)。
4	DEC2/SDI	DI	引脚控制主机模式下为主机模式抽取率选择输入2 (DEC2)。此引脚连接到IOVDD或IOGND以设置输出数据速率。更多信息参见“输出数据速率和时钟编程”部分。 SPI控制模式下为串行数据输入(SDI)。
5	DEC1/DCLKMODE	DI	引脚控制主机模式下为抽取率选择输入1 (DEC1)。此引脚连接到IOVDD或IOGND以设置输出数据速率。更多信息参见“输出数据速率和时钟编程”部分。 引脚控制从机模式和SPI控制模式下为DCLK模式控制(DCLKMODE)。此引脚接高电平(IOVDD)时, 设置DCLK以自由振荡模式工作。此引脚接低电平(地)时, 设置DCLK以选通模式工作。

引脚编号	引脚名称	类型 ¹	描述
6	DEC0/DCLKIO	DI	引脚控制主机模式下为抽取率选择输入0 (DEC0)。此引脚连接到IOVDD或IOGND以设置输出数据速率。更多信息参见“输出数据速率和时钟编程”部分。 引脚控制从机模式和SPI控制模式下为DCLK引脚I/O方向控制(DCLKIO)。在主机模式下,此引脚连接到IOVDD可将DCLK配置为输出。在从机模式下,此引脚接低电平(地)可将DCLK设置为输入。当DEC1/DCLKMODE引脚为高电平时(DCLK处于自由振荡模式),DCLKIO输入会被忽略,DCLK方向始终与ODR引脚相同。
7	DOUT3	DO	数据输出3。输出数据与DCLK同步,并由ODR引脚使能帧传输。
8	DOUT2	DO	数据输出2。输出数据与DCLK同步,并由ODR引脚使能帧传输。
9	DOUT1	DO	数据输出1。输出数据与DCLK同步,并由ODR引脚使能帧传输。
10	DOUT0	DO	数据输出0。输出数据与DCLK同步,并由ODR引脚使能帧传输。
11	DCLK	DI/O	ADC转换数据时钟。DOUT0引脚至DOUT3引脚上的转换数据由DCLK同步输出。在引脚控制主机模式下,DCLK配置为以选通模式工作的输出。在引脚控制从机模式或SPI控制模式下,DCLK的方向和工作模式由DEC1/DCLKMODE引脚和DCLKIO引脚决定。详情参见表29。在主机模式下,DCLK频率可通过DCLKRATE _x (引脚控制模式下)或DATA_PACKET_CONFIG寄存器(SPI控制模式下)进行编程。
12	ODR	DI/O	输出数据速率控制和帧传输。ODR信号的频率与ADC输出数据速率匹配。ODR信号的边沿可用于使能转换输出数据位流的帧传输。在主机模式下,ODR引脚配置为输出,引脚可编程和寄存器可编程频率从器件主时钟导出。在从机模式下,ODR引脚配置为输入,允许外部时钟控制ADC输出数据速率。
13	IOVDD	P	数字I/O电源。此引脚设置所有接口I/O引脚的逻辑电平。
14	IOGND	GND	I/O接口接地基准。
15	FILTER0/GPIO4	DI/O	引脚控制模式下为数字滤波器类型选择输入0 (FILTER0)。此引脚连接到IOVDD或IOGND以选择数字滤波器选项。更多信息参见“数字滤波器编程”部分。 SPI控制模式下为通用输入/输出4 (GPIO4)。
16	FILTER1/GPIO5	DI/O	引脚控制模式下为数字滤波器类型选择输入1 (FILTER1)。此引脚连接到IOVDD或IOGND以选择数字滤波器选项。更多信息参见“数字滤波器编程”部分。 SPI控制模式下为通用输入/输出5 (GPIO5)。
17	FRAME0/GPIO6	DI/O	引脚控制模式下为转换输出数据帧控制输入0 (FRAME0)。此引脚连接到IOVDD或IOGND以选择转换输出数据帧。更多信息参见“数据帧”部分。 SPI控制模式下为通用输入/输出6 (GPIO6)。
18	FRAME1/GPIO7	DI/O	引脚控制模式下为转换输出数据帧控制输入1 (FRAME1)。此引脚连接到IOVDD或IOGND以选择转换输出数据帧。更多信息参见“数据帧”部分。 SPI控制模式下为通用输入/输出7 (GPIO7)。
19	DGND1V8	GND	数字电源电压1.8V的接地基准。
20	DVDD1V8	P	数字电源电压1.8V。该引脚由外部电源或内部LDO稳压器供电。无论何种情况,DVDD1V8和DGND1V8之间都需要一个10μF解耦电容。
21	AVDD1V8	P	模拟电源电压1.8V。该引脚由外部电源或内部LDO稳压器供电。无论何种情况,AVDD1V8和AGND1V8之间都需要一个10μF解耦电容。
22	AGND1V8	GND	模拟电源电压1.8V的接地基准。
23	LDOIN	P	为AVDD1V8、DVDD1V8和CLKVDD供电的三个内部1.8 V LDO稳压器的输入。如果使用外部电源为AVDD1V8、DVDD1V8和CLKVDD供电,应将此引脚连接到DVDD1V8。LDOIN和DGND1V8之间需要一个10μF解耦电容。更多信息参见“片上LDO稳压器”部分。
24	DGND5	GND	数字电源电压5 V的接地基准。
25	DVDD5	P	数字电源电压5V。DVDD5和DGND5之间需要一个10μF解耦电容。
26	AVDD5	P	模拟电源电压5V。AVDD5和AGND5之间需要一个10μF解耦电容。
27	AGND5	GND	模拟电源电压5 V的接地基准。
28	DNC	DNC	不连接。请勿连接该引脚。
29	AIN0+	AI	ADC通道0的正模拟输入。
30	AIN0-	AI	ADC通道0的负模拟输入。
31	AGND5	GND	模拟电源电压5 V的接地基准。
32	AIN1+	AI	ADC通道1的正模拟输入。
33	AIN1-	AI	ADC通道1的负模拟输入。

引脚编号	引脚名称	类型 ¹	描述
34	VCM	AO	共模电压输出。VCM输出可用来为模拟前端电路提供共模电压。VCM引脚提供缓冲电压输出。在引脚控制模式下，该电平固定为REFCAP引脚电压的1/2；在SPI控制模式下，该电平可编程。当驱动大于0.2 nF的容性负载时，建议在该引脚与容性负载之间放置一个50 Ω串联电阻以确保稳定性。
35	REFIN	AI	ADC基准电压滤波器输入。内部20Ω电阻与REFCAP引脚上的外部电容配合使用来对基准电压源噪声进行滤波。
36	REFCAP	AO	ADC基准电压直接输入。此引脚连接到外部基准电压源以提供直接基准电压输入。或者将基准电压源连接到REFIN引脚，并在REFCAP引脚和REFGND引脚之间放置一个滤波电容，以限制基准电压噪声带宽。更多信息参见“基准输入”部分。
37	REFGND	GND	ADC基准接地参考。
38	AIN2+	AI	ADC通道2的正模拟输入。
39	AIN2-	AI	ADC通道2的负模拟输入。
40	AGND5	GND	模拟电源电压5 V的接地基准。
41	AIN3+	AI	ADC通道3的正模拟输入。
42	AIN3-	AI	ADC通道3的负模拟输入。
43	CLKGND	GND	时钟管理电路接地基准。
44	CLKVDD	P	时钟管理电路电源，1.8V。此引脚由外部电源或内部LDO稳压器供电。无论何种情况，CLKVDD引脚和CLKGND引脚之间都需要一个2.2 μF解耦电容。
45	XTAL2/CLKIN	DI	内部晶振的输入2 (XTAL2)。在XTAL1引脚和XTAL2/CLKIN引脚之间连接一个外部晶振以产生片内时钟。 时钟输入(CLKIN)。要使用外部时钟信号进行操作，请将此引脚连接到外部时钟源。更多信息参见“时钟输入”部分。
46	XTAL1	DI	内部晶振的输入1。在XTAL1引脚和XTAL2/CLKIN引脚之间连接一个外部晶振以产生片内时钟。如果器件使用单端外部时钟信号工作，此引脚应悬空。
47	CLKSEL	DI	时钟源选择输入。此引脚连接到IOVDD时，可从外部晶振产生片内时钟。如果从外部通过XTAL2/CLKIN引脚提供时钟信号，此引脚应连接到IOGND。
48	XCLKOUT	DO	晶振缓冲输出。此引脚可提供内部晶振产生的缓冲时钟信号。该信号可用于驱动其他并行工作的AD7134器件。在引脚控制模式下，仅当选择了晶振时钟选项时，XCLKOUT输出才会默认使能。在SPI控制模式下，XCLKOUT输出默认禁用。更多信息参见“XCLKOUT输出”部分。
49	$\overline{\text{PIN}}/\text{SPI}$	DI	器件配置模式控制输入。此引脚连接到IOVDD时，支持通过SPI接口的寄存器访问来配置器件。此引脚接地时，支持通过配置输入引脚来配置器件。
50	MODE	DI	ASRC工作模式控制输入。此引脚接IOVDD时选择主机工作模式。此引脚接IOGND时选择从机工作模式。
51	DCLKRATE0/GPIO0	DI/O	引脚控制模式下为DCLK频率控制输入0 (DCLKRATE0)。当DCLK配置为输出时，将此引脚连接到IOVDD或IOGND以设置DCLK与器件主时钟的频率比。更多信息参见表30。 SPI控制模式下为通用输入/输出0 (GPIO0)。
52	DCLKRATE1/GPIO1	DI/O	引脚控制模式下为DCLK频率控制输入1 (DCLKRATE1)。当DCLK配置为输出时，将此引脚连接到IOVDD或IOGND以设置DCLK与器件主时钟的频率比。更多信息参见表30。 SPI控制模式下为通用输入/输出1 (GPIO1)。
53	DCLKRATE2/GPIO2	DI/O	引脚控制模式下为DCLK频率控制输入2 (DCLKRATE2)。当DCLK配置为输出时，将此引脚连接到IOVDD或IOGND以设置DCLK与器件主时钟的频率比。更多信息参见表30。 SPI控制模式下为通用输入/输出2 (GPIO2)。
54	$\overline{\text{RESET}}$	DI	硬件异步复位输入，低电平有效。正常工作期间，通过一个10 kΩ上拉电阻将该引脚拉至IOVDD。将该引脚拉低至IOGND可强制器件复位。详情见“复位”部分。
55	$\overline{\text{PDN}}$	DI	完全关断模式控制输入，低电平有效。正常工作期间，通过一个10 kΩ上拉电阻将该引脚拉至IOVDD。将该引脚拉至IOGND可强制器件进入完全关断模式。更多信息参见“功耗模式”部分。

引脚编号	引脚名称	类型 ¹	描述
56	PWRMODE/GPIO3 EPAD	DI/O	引脚控制模式下为功耗模式选择输入(PWRMODE)。此引脚接IOVDD时选择高性能模式。此引脚接IOGND时选择低功耗模式。 SPI控制模式下为通用输入/输出3 (GPIO3)。 裸露焊盘。裸露焊盘连接到AGND5。

¹ DI为数字输入，DI/O为双向数字输入/输出，DO为数字输出，P为电源，GND为地，DNC为不连接，AI为模拟输入，AO为模拟输出。

典型性能参数

除非另有说明, $V_{REF} = 4.096\text{ V}$, AA1模式, $V_{CM} = 2.048\text{ V}$, 宽带 $0.433 \times \text{ODR}$ 滤波器, 高性能模式, 宽带滤波器曲线对应的 $\text{ODR} = 374\text{ kSPS}$, sinc3和sinc6曲线对应的 $\text{ODR} = 1496\text{ kSPS}$ 。

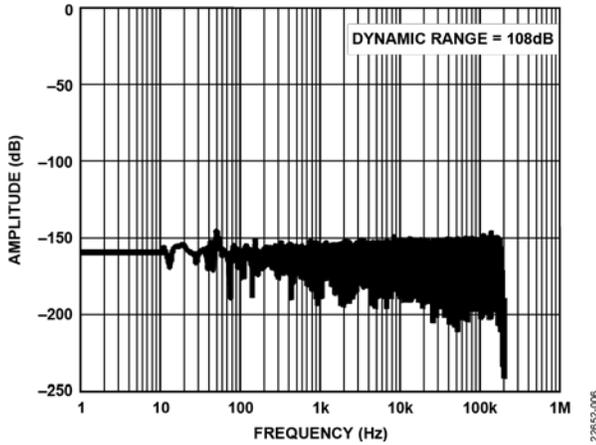


图6. 动态范围性能, 高性能模式, 宽带 $0.433\text{ Hz} \times \text{ODR}$ 滤波器, $\text{ODR} = 374\text{ kSPS}$

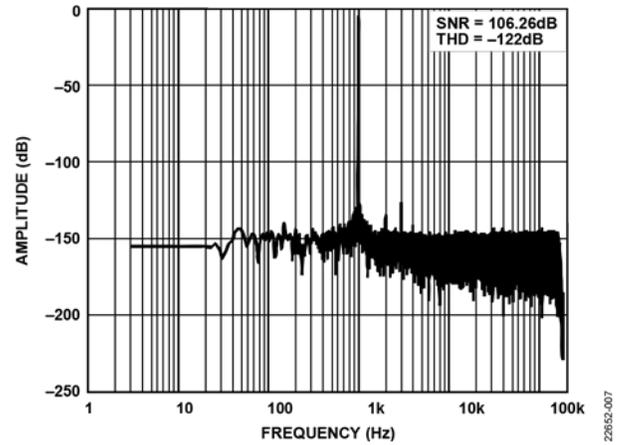


图9. FFT, 高性能模式, -0.5 dBFS , 宽带 $0.433\text{ Hz} \times \text{ODR}$ 滤波器, $\text{ODR} = 374\text{ kSPS}$

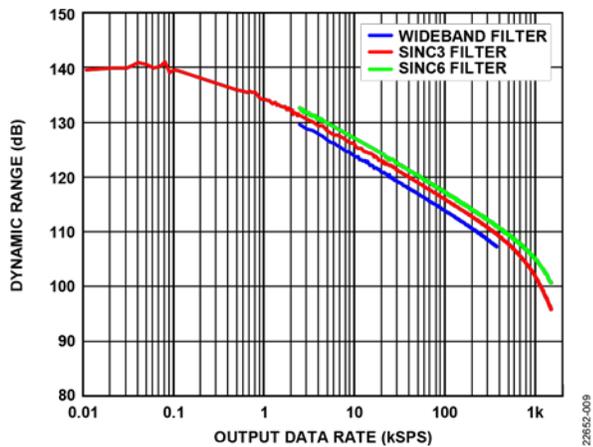


图7. 动态范围与输出数据速率的关系, 高性能模式, 宽带FIR, Sinc3和Sinc6滤波器

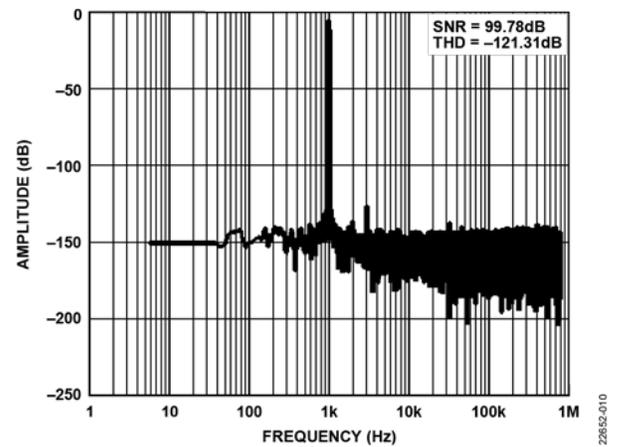


图10. FFT, 高性能模式, Sinc6滤波器, -0.5 dBFS , $\text{ODR} = 1496\text{ kSPS}$

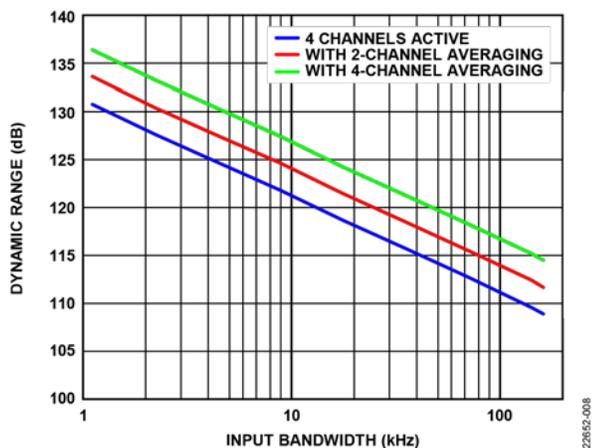


图8. 动态范围与输入带宽的关系, 宽带 $0.433\text{ Hz} \times \text{ODR}$ 滤波器

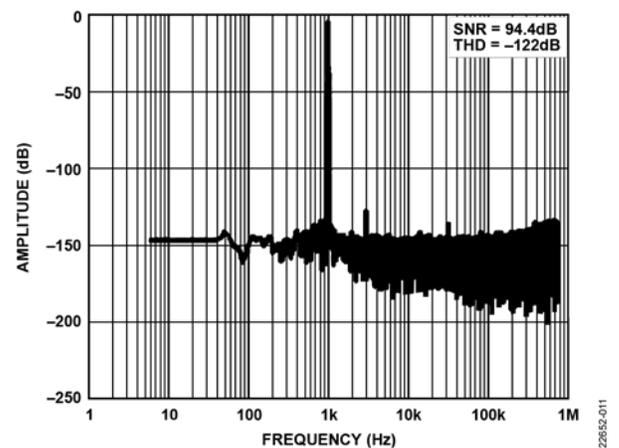


图11. FFT, 高性能模式, Sinc3滤波器, -0.5 dBFS , $\text{ODR} = 1496\text{ kSPS}$

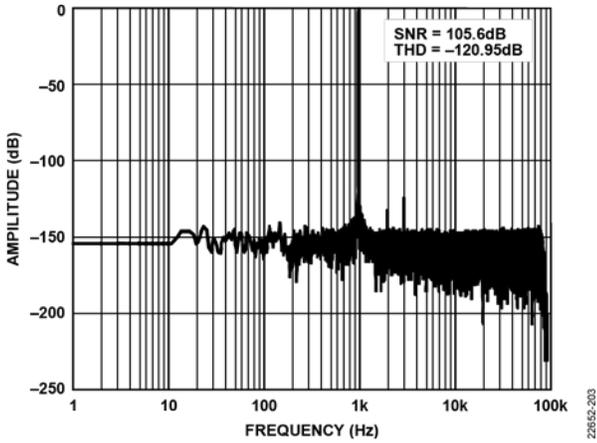


图12. FFT, 低功耗模式, 宽带 $0.433 \times \text{ODR}$ 滤波器, -0.5 dBFS , $\text{ODR} = 187 \text{ kSPS}$

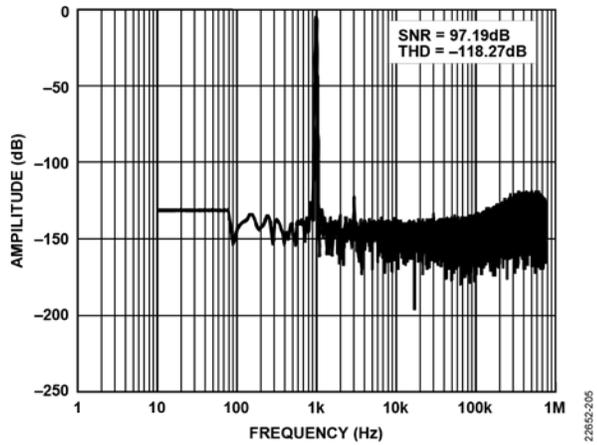


图13. FFT, 低功耗模式, Sinc6滤波器, -0.5 dBFS , $\text{ODR} = 750 \text{ kSPS}$

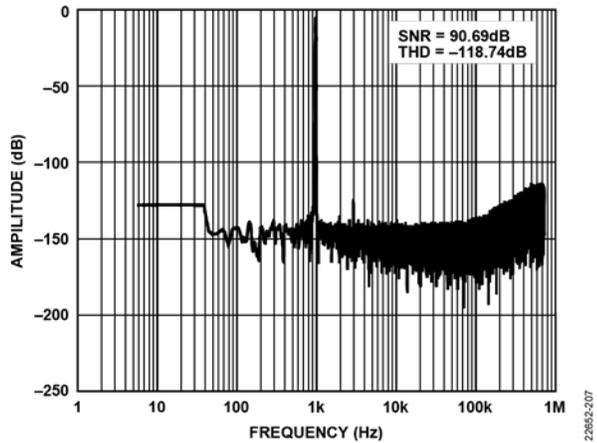


图14. FFT, 低功耗模式, Sinc3滤波器, -0.5 dBFS , $\text{ODR} = 750 \text{ kSPS}$

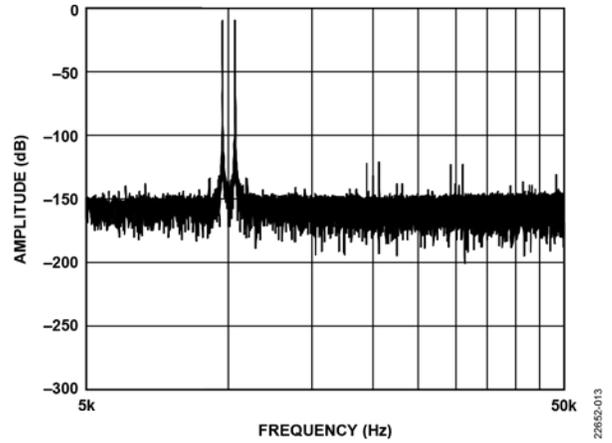


图15. IMD, 9.7 kHz 和 10.3 kHz 输入信号, 宽带 $0.433 \times \text{ODR}$ 滤波器

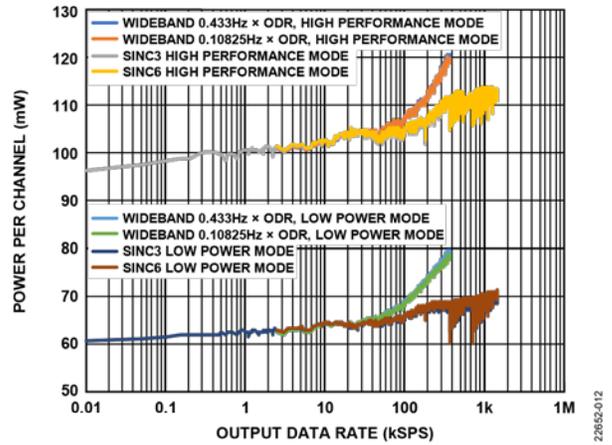


图16. 每通道功耗与输出数据速率的关系

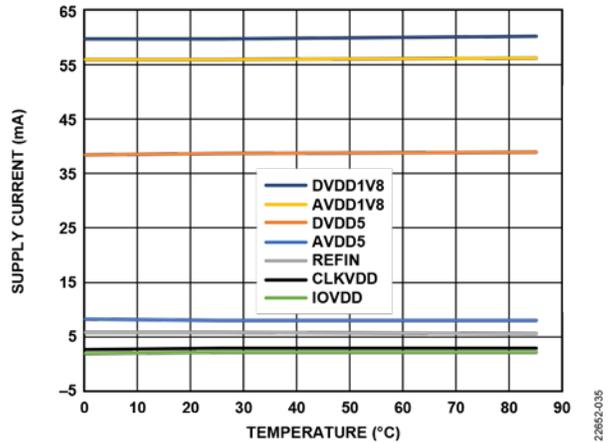


图17. 电源电流与温度的关系, 宽带 $0.433 \text{ Hz} \times \text{ODR}$ 滤波器

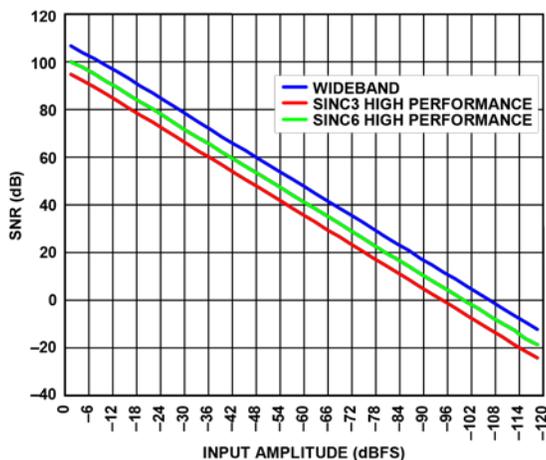


图18. SNR与输入幅度的关系, 1 kHz信号音

Z2652-017

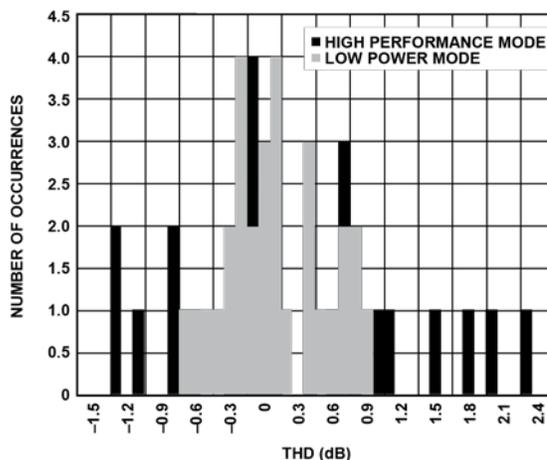


图21. THD直方图

Z2652-274

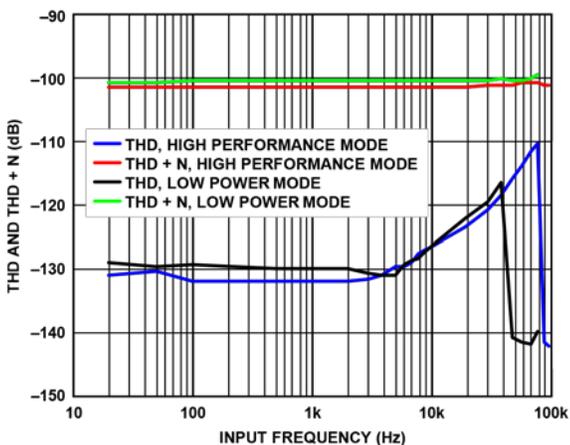


图19. THD和THD + N与输入频率的关系, -6 dBFS输入, 0.433 × ODR滤波器

Z2652-221

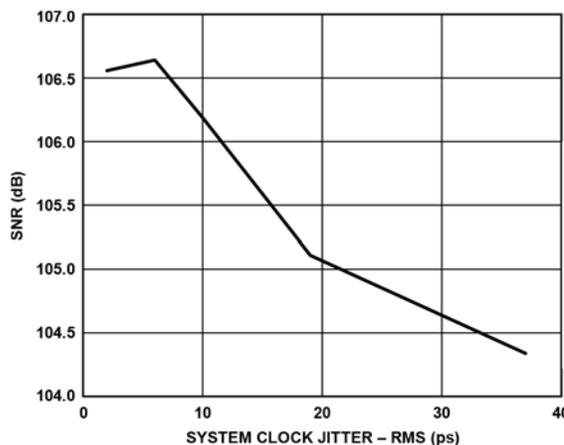


图22. SNR与系统时钟抖动的关系, 宽带0.433 Hz × ODR滤波器

Z2652-039

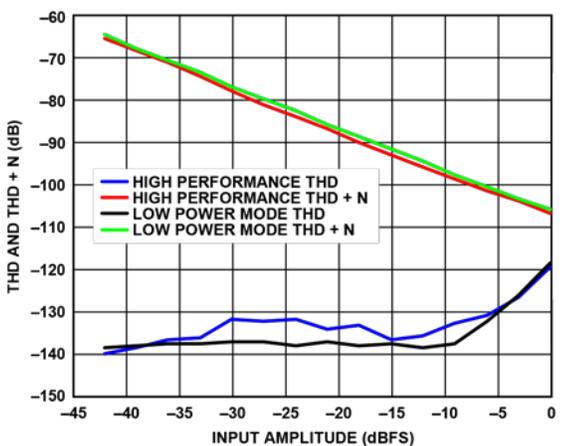


图20. THD和THD + N与输入幅度的关系, 宽带滤波器, 1 kHz信号音

Z2652-222

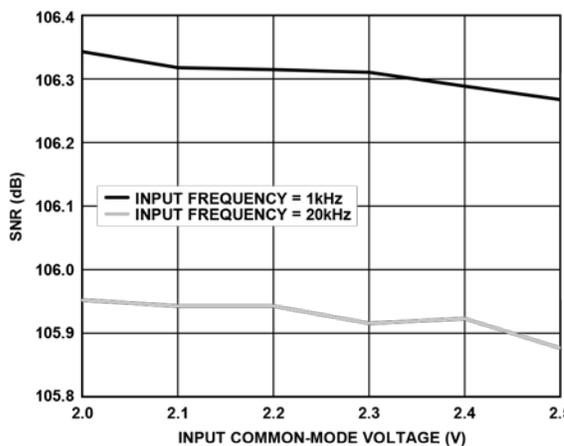


图23. SNR与输入共模电压的关系, 宽带0.433 Hz × ODR滤波器

Z2652-040

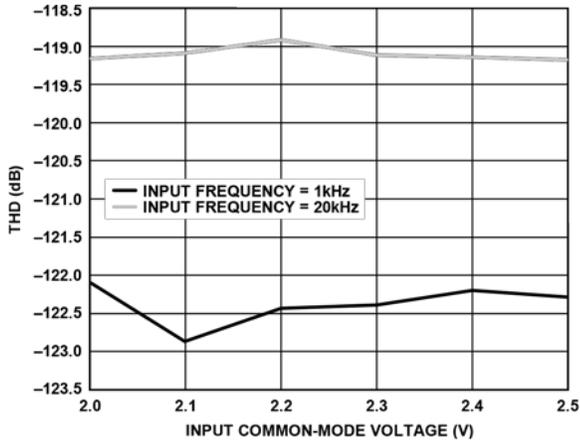


图24. THD与输入共模电压的关系, 0.5 dBFS输入信号音, 宽带0.433 Hz × ODR滤波器, 满量程输入信号音

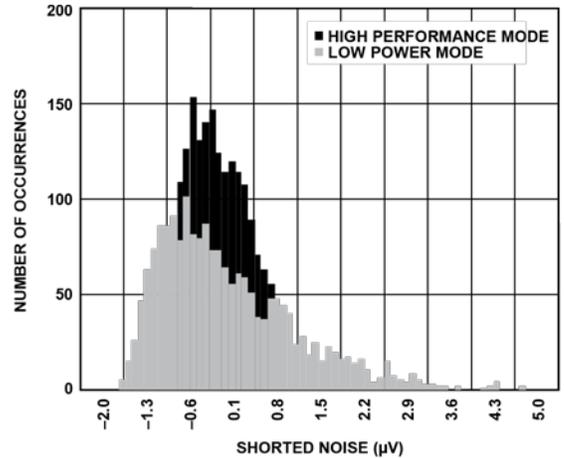


图27. 短路噪声, 0.433 × ODR滤波器

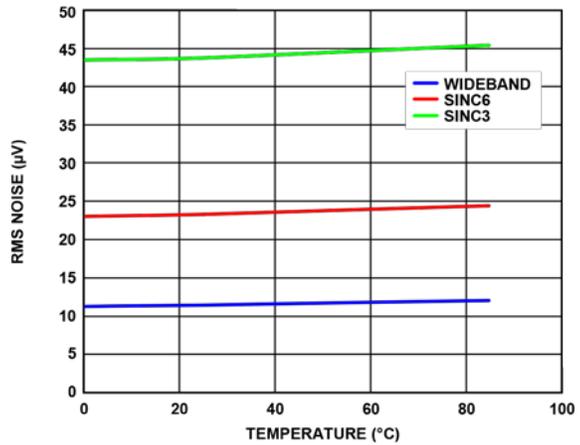


图25. 有效值噪声与温度的关系, 宽带0.433 Hz × ODR, Sinc6和Sinc3滤波器

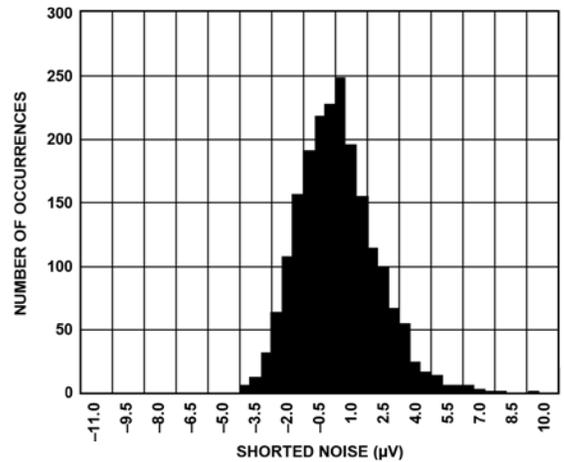


图28. 短路噪声, Sinc3滤波器

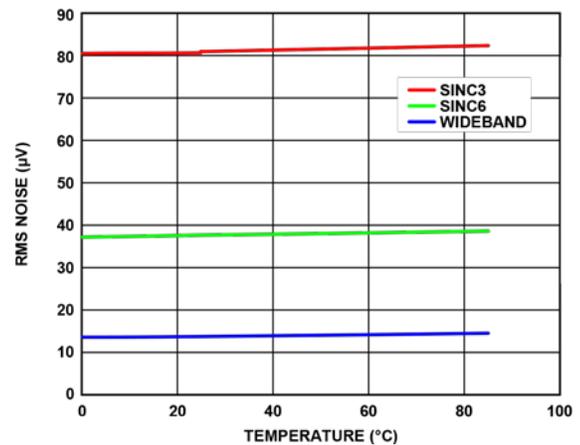


图26. 有效值噪声与温度的关系, 低功耗模式, 宽带0.433 × ODR滤波器, Sinc6, Sinc3

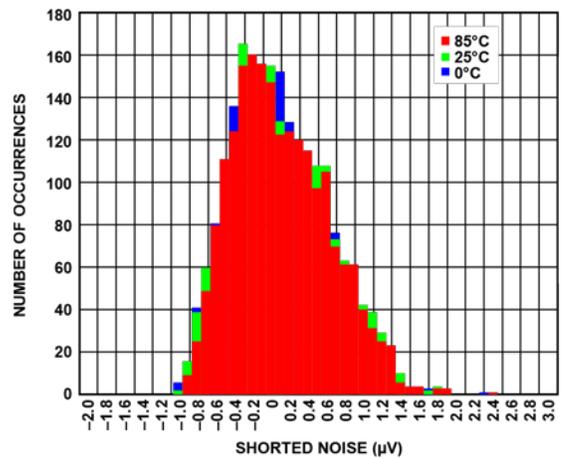


图29. 短路噪声直方图, 0.433 × ODR滤波器, 不同温度下

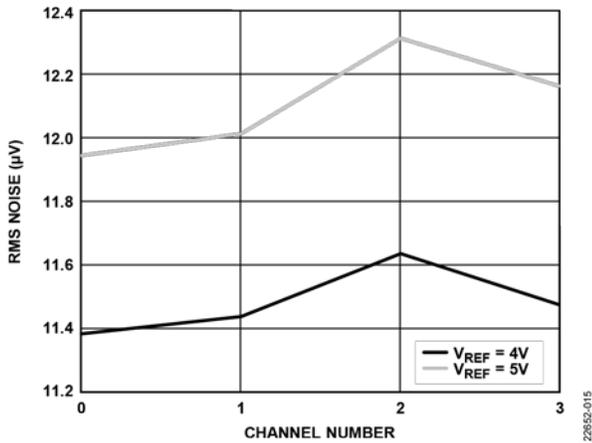


图30. 不同 V_{REF} 值下每通道的有效值噪声, 宽带 $0.433 \times ODR$ 滤波器

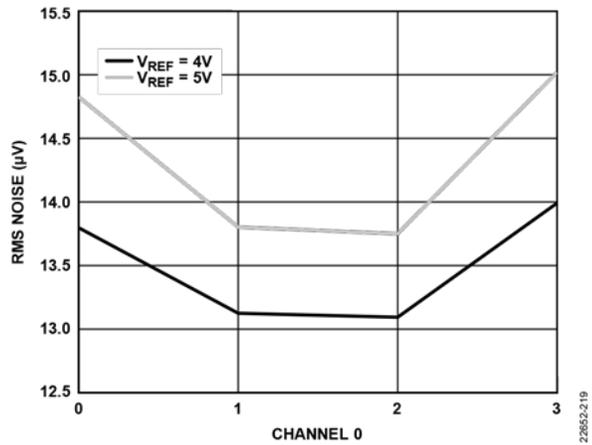


图31. 不同 V_{REF} 值下每通道的有效值噪声, 低功耗模式

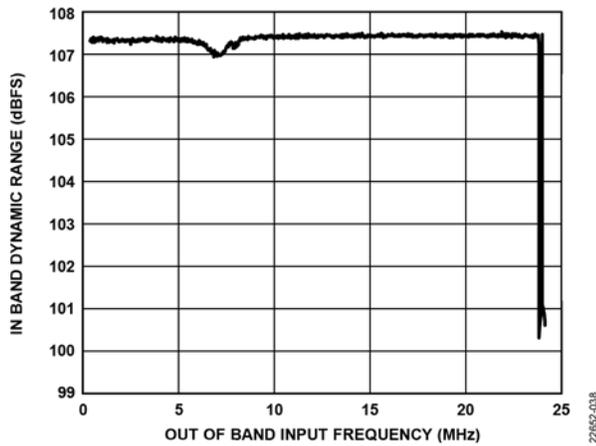


图32. 1 V p-p输入信号宽带 $0.433 \text{ Hz} \times ODR$ 滤波器的带内动态范围与带外输入频率的关系

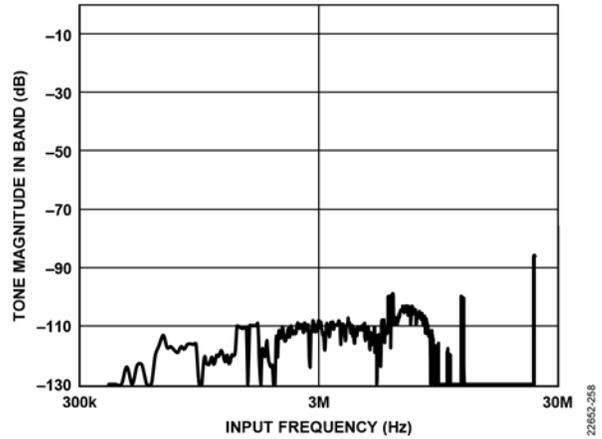


图33. 带内信号音幅度与输入频率的关系

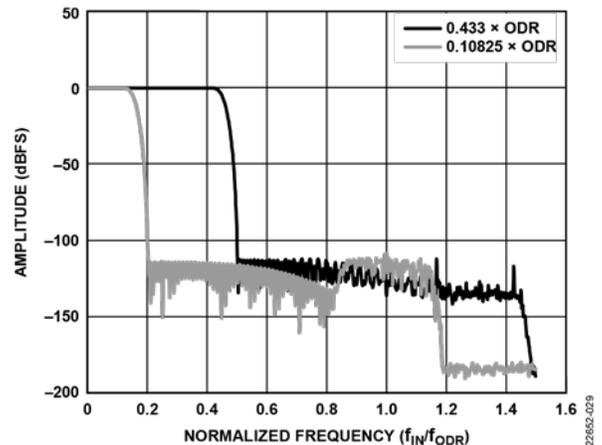


图34. 幅度与归一化频率(f_{IN}/f_{ODR})的关系

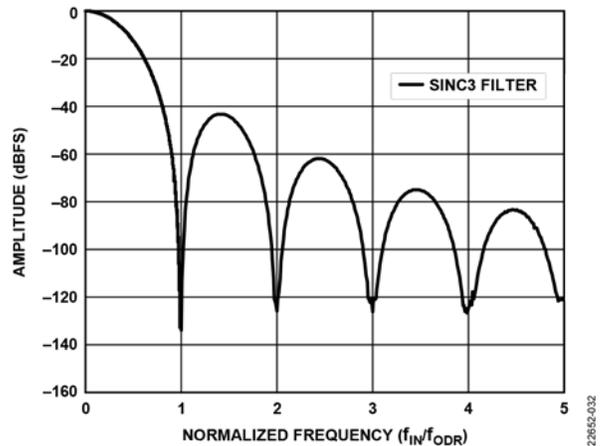


图35. 幅度与归一化频率(f_{IN}/f_{ODR})的关系, Sinc滤波器曲线

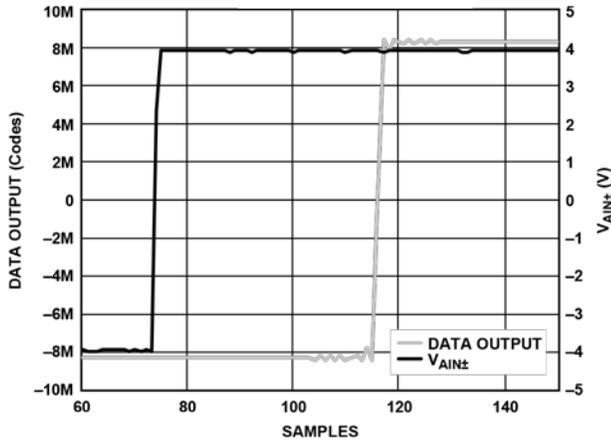


图36. 阶跃响应, 宽带滤波器

22652-031

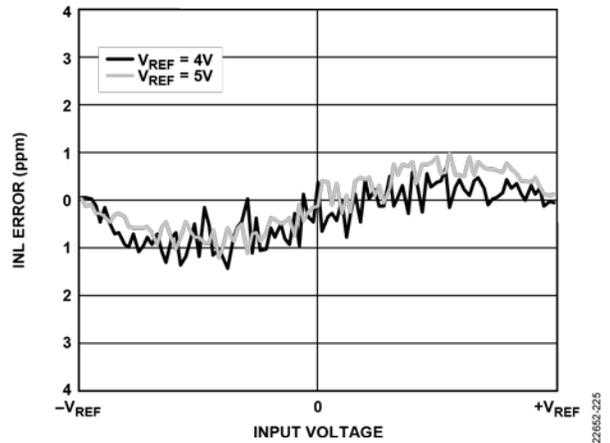


图39. 不同VREF电平下INL误差与输入电压的关系, 低功耗模式

22652-225

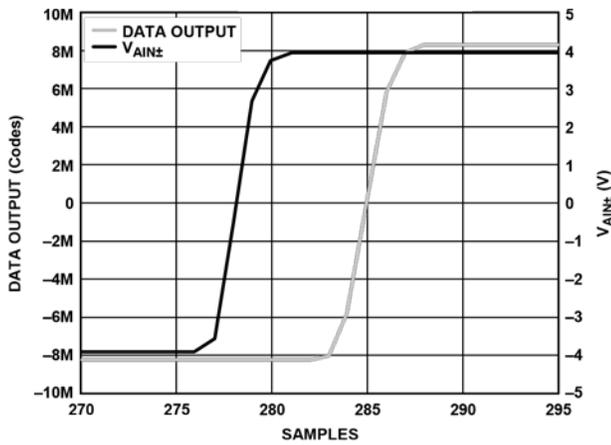


图37. 阶跃响应, Sinc3滤波器

22652-033

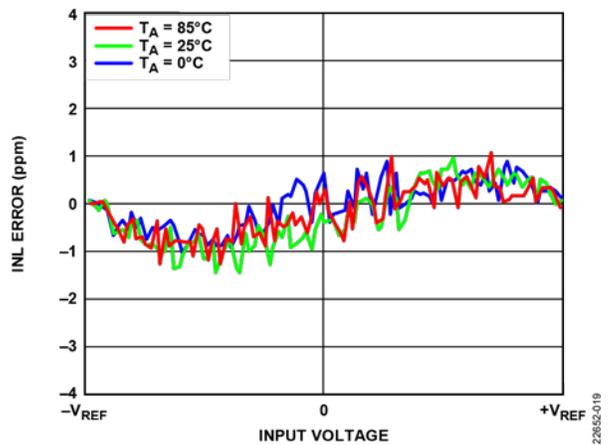


图40. INL误差与输入电压的关系, 宽带0.433 × ODR滤波器

22652-019

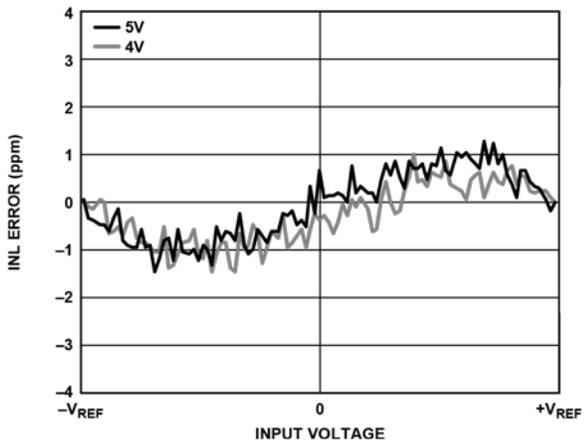


图38. INL误差与输入电压的关系, 宽带0.433 × ODR滤波器

22652-018

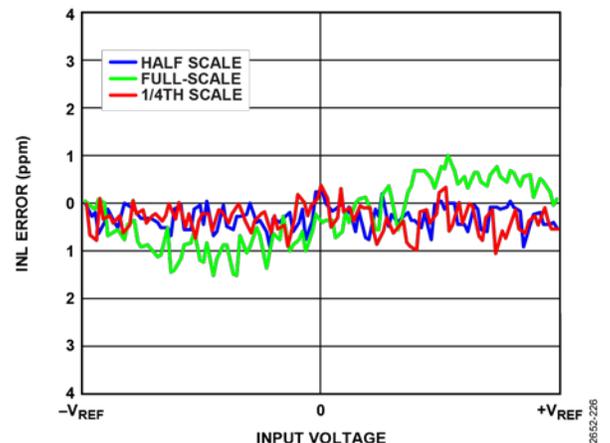


图41. INL误差与输入电压的关系, 满量程、半量程和1/4量程

22652-226

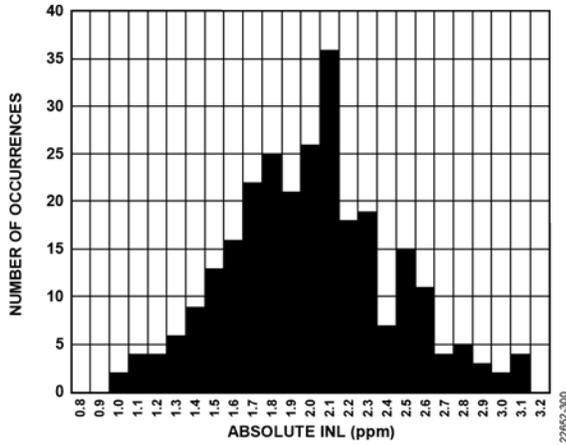


图42. INL分布

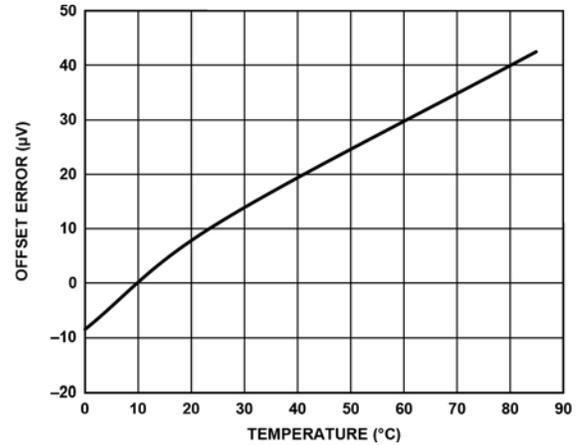


图45. 失调误差与温度的关系

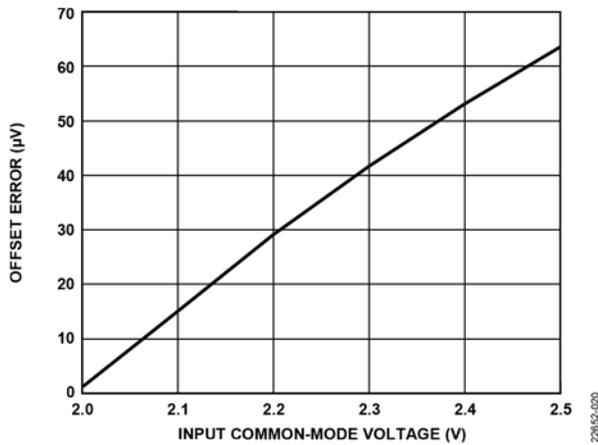


图43. 失调误差与输入共模电压的关系, 宽带0.433 Hz × ODR滤波器

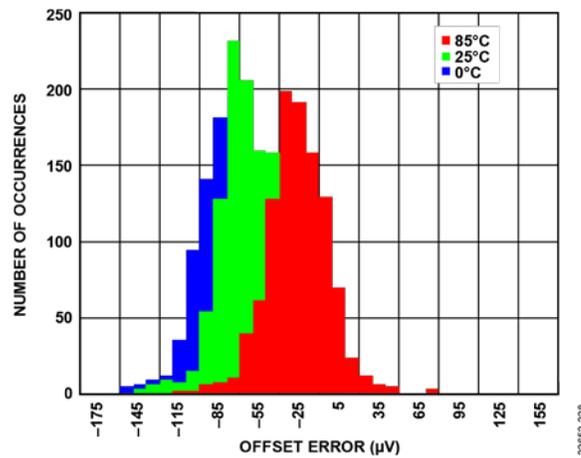


图46. 失调误差分布, 高性能模式

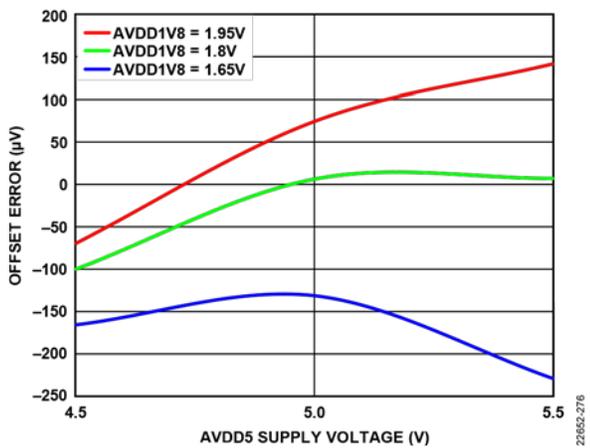


图44. 失调误差与AVDD5电源电压的关系

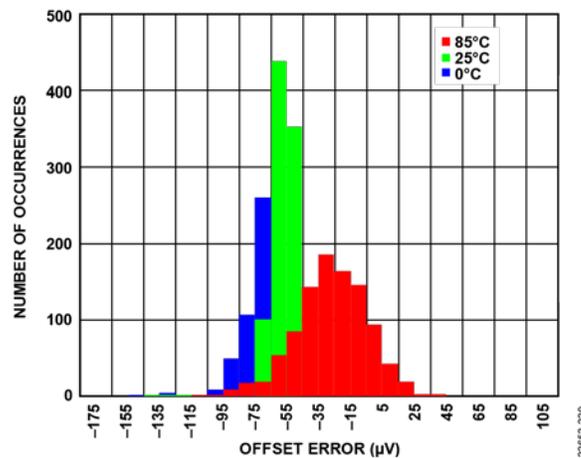


图47. 失调误差分布, 低功耗模式

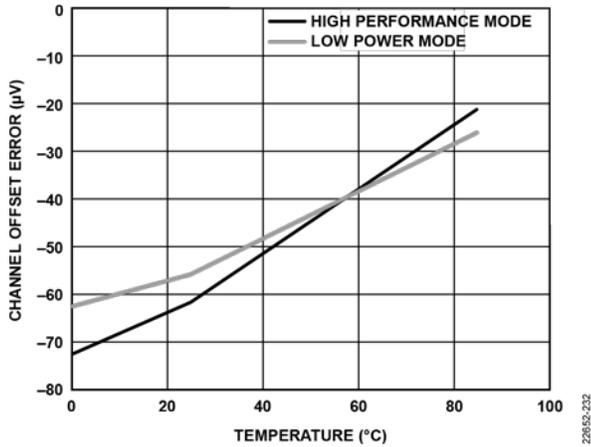


图48. 通道失调误差匹配

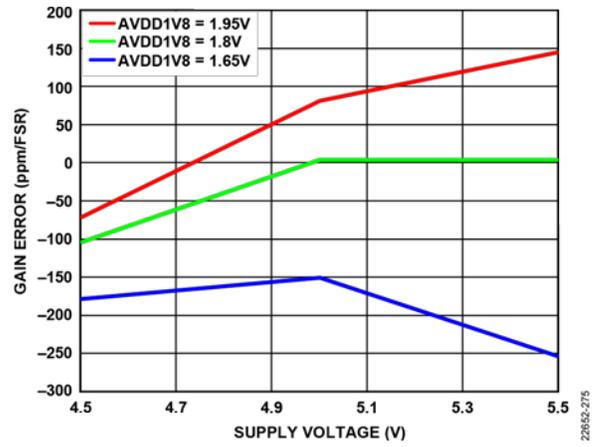


图51. 增益误差与电源电压的关系

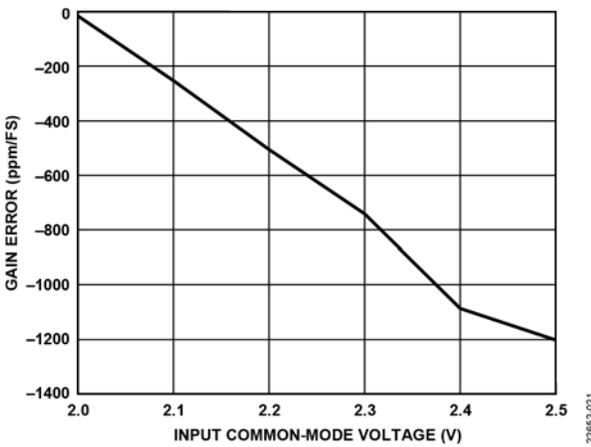


图49. 增益误差与输入共模电压的关系，宽带0.433 × ODR滤波器

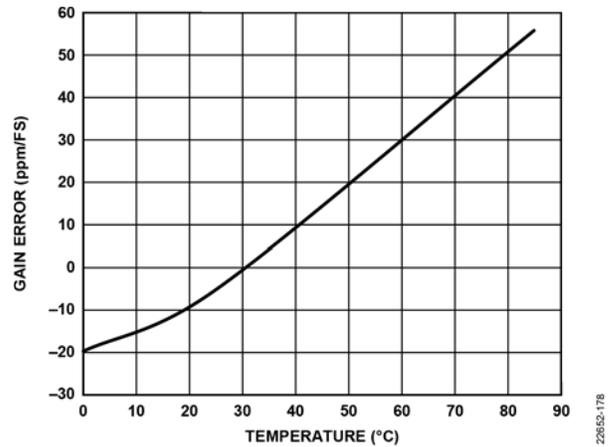


图52. 增益误差与温度的关系

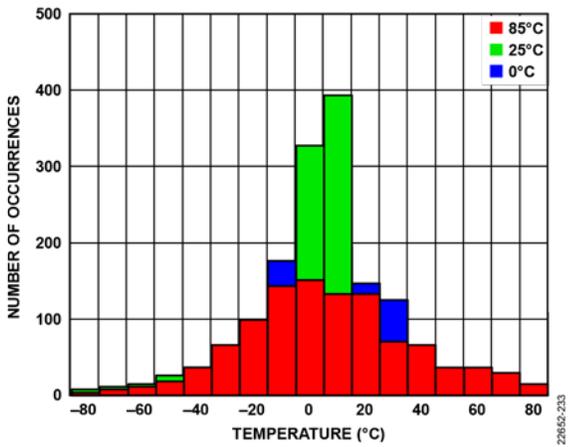


图50. 增益误差分布

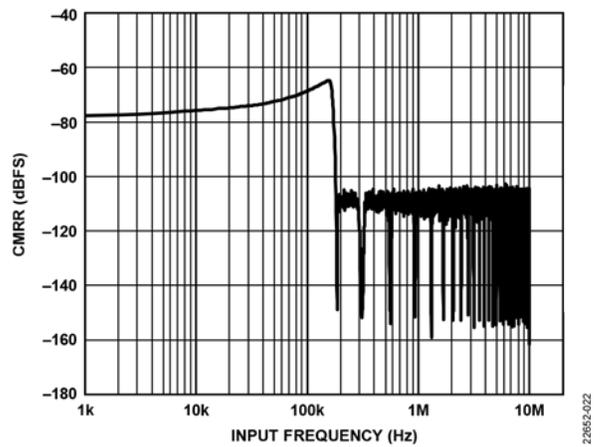


图53. CMRR与输入频率的关系，宽带0.433 × ODR滤波器

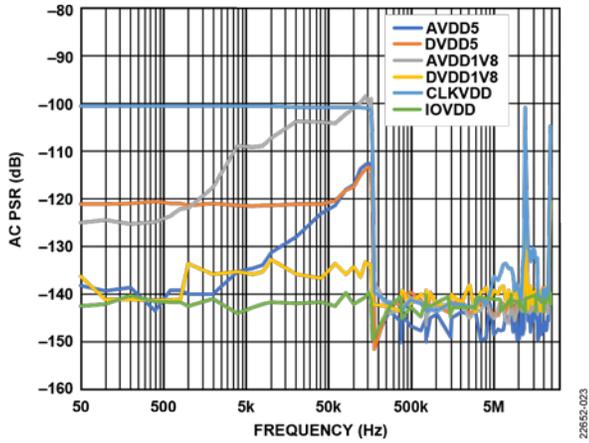


图54. 交流电源抑制(PSR)与频率的关系, 宽带 $0.433 \times \text{ODR}$ 滤波器

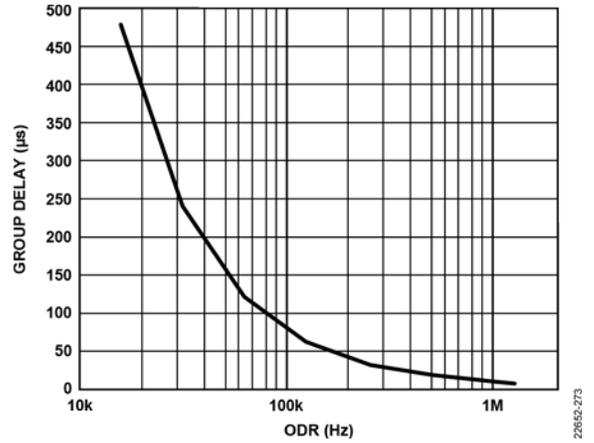


图57. 群延迟与ODR的关系, Sinc3滤波器

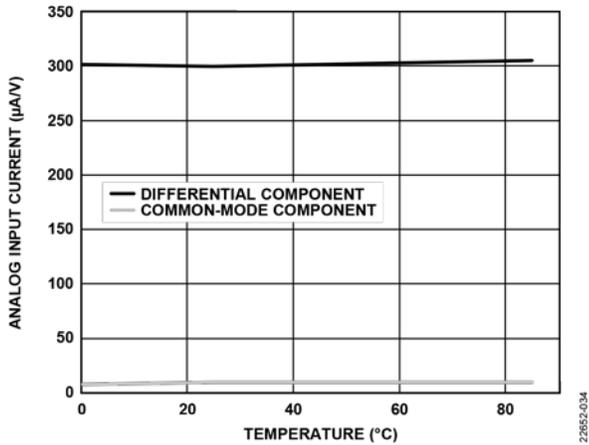


图55. 模拟输入电流与温度的关系, 宽带 $0.433 \text{ Hz} \times \text{ODR}$ 滤波器

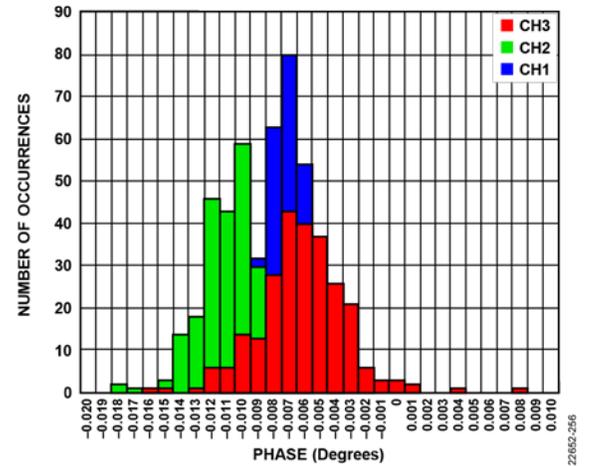


图58. 通道相位匹配分布, 20 kHz输入信号音

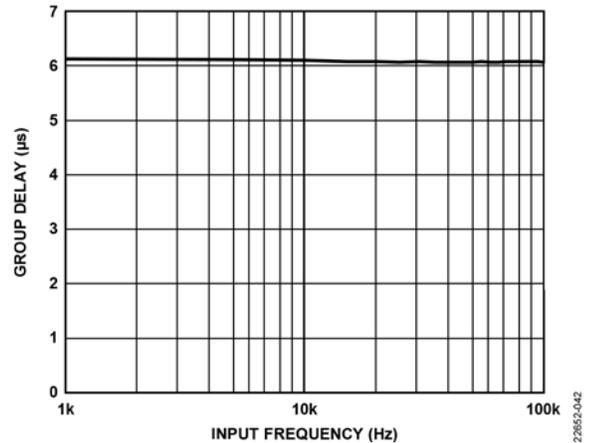


图56. 群延迟与输入频率的关系, Sinc3滤波器 $\text{ODR} = 1250 \text{ kSPS}$

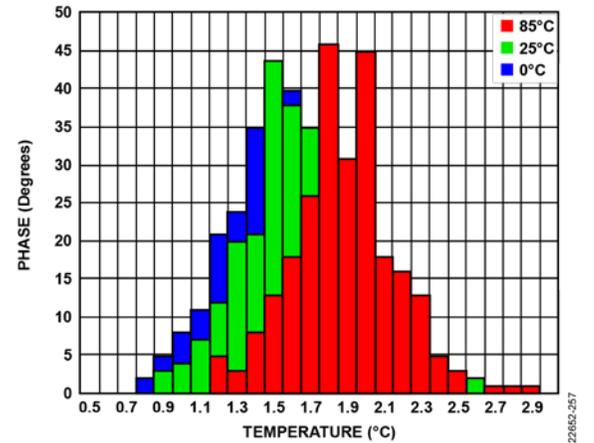


图59. 通道相位匹配与温度的关系

术语

交流共模抑制比(CMRR)

交流共模抑制比定义为频率 f 下的ADC输出功率与采样频率(f_s)下作为共模电压施加于 A_{INx+} 和 A_{INx-} 的100 mV p-p正弦波功率的比值。

$$AC\ CMRR\ (dB) = 10\ \log(P_f/P_{f_s})$$

其中:

P_f 为频率 f 下ADC的输出功率。

P_{f_s} 为频率 f_s 下ADC的输出功率。

积分非线性(INL)误差

INL误差是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码跃迁之前的 $1/2$ LSB处。正满量程定义为超出最后一个码跃迁 $1/2$ LSB的一个电平。从各码的中点到该直线的距离即为偏差。

交调失真(IMD)

当输入由两个频率分别为 f_a 和 f_b 的正弦波组成时, 任何具有非线性因素的有源器件都会以 $m_f a$ 、 $n_f b$ 的和与差频(其中 m 、 $n = 0, 1, 2, 3, \dots$)的形式产生失真产物。交调失真项的 m 和 n 都不等于0。例如, 二阶项包括 $(f_a + f_b)$ 和 $(f_a - f_b)$, 而三阶项包括 $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 和 $(f_a - 2f_b)$ 。

AD7134经过CCIF(国际电话咨询委员会)标准测试, 此标准使用两个相互接近的输入频率。在此情况下, 二阶项频率通常远离最初正弦波, 而三阶项频率通常靠近输入频率。因此, 二阶项和三阶项需分别指定。交调失真根据THD参数来计算, 它是个别失真产物的均方根和与基波和的振幅均方根的比值, 用分贝(dB)表示。

增益误差

当模拟电压高于标称负满量程 $1/2$ LSB时(对于 ± 4.096 V范围来说, 应在 -4.0959375 V), 发生第一个码跃迁(从100 ... 000跃迁至100 ... 001)。当模拟电压低于标称正满量程 $1/2$ LSB时(对于 ± 4.096 V范围为 4.0959375 V), 发生最后一个码跃迁(从011 ... 110跃迁至011 ... 111)。增益误差指最后一个跃迁的实际电平与第一个跃迁的实际电平之差与二者的理想电平之差的偏差。

增益漂移

增益漂移是指 1°C 温度变化所引起的增益误差变化量与满量程范围(2^N)的比值, 采用百万分率表示。

最低有效位(LSB)

最低有效位或LSB是转换器可以表示的最小增量。对于 N 位分辨率的全差分输入ADC, LSB(单位: 伏特)的计算公式如下:

$$LSB = 2 \times \frac{V_{REFCAP}}{2^N}$$

其中:

V_{REFCAP} 为REFCAP引脚上测得的电压。

$N = 24$ (AD7134)。

直流电源抑制比(DC PSRR)

电源变化会影响转换器的满量程转换, 但不会影响其线性。直流电源抑制比指由于电源电压偏离标称值所引起的满量程转换点的最大变化。

交流电源抑制(AC PSR)

交流电源抑制是在电源上注入100 mV p-p信号时观察到的信号音幅度。

例如, 若在1 kHz的频率时将100 mV p-p信号注入电源上, 并且在FFT输出中观测到1 kHz的信号音为 -108 dB, 则 -108 dB就是交流电源抑制。

混叠抑制

混叠抑制定义为频率 f_{IN} 时ADC的输出功率与频率 $MCLK \pm f_{IN}$ 时 -6 dBFS输入信号的功率之比。

$$\text{混叠抑制} = 10\ \log(P_{f_{IN}}/P_{MCLK \pm f_{IN}})$$

其中:

$P_{f_{IN}}$ 为频率 f_{IN} 时ADC的输出功率。

$P_{MCLK \pm f_{IN}}$ 为频率 $MCLK \pm f_{IN}$ 时ADC的输出功率。

群延迟

群延迟定义为ADC输出端和满量程正弦波ADC输入端测得的相位延迟之差。

信噪比(SNR)

SNR指实际输入信号的均方根值与ODR/2频率以下除谐波和直流以外所有其它频谱成分的均方根和之比, 用分贝(dB)表示。

信纳比(SINAD)

SINAD指实际输入信号的均方根值与ODR/2频率以下包括谐波但直流除外的所有其它频谱成分的均方根和之比, SINAD值用分贝(dB)表示。

无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号(不包括前五个谐波)的均方根幅值之差, 用分贝(dB)表示。

总谐波失真(THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用分贝(dB)表示。

失调误差

理想中间电平输入电压(0 V)与产生中间电平输出码的实际电压之差称为失调误差。

失调误差漂移

失调误差漂移是指温度变化1°C所引起的失调误差变化量与满量程范围的比值。对于此计算，观测温度在整个范围内变化时输出码的变化并求取比例。失调误差漂移用 $\mu\text{V}/^\circ\text{C}$ 表示。

串扰

串扰是指当以频率 X 的满量程信号音同时驱动通道 0 和通道 2 时，在通道 1 上观测到的频率 X 的信号音幅度。

工作原理

图60显示了AD7134的四个 Σ - Δ ADC通道之一的简化信号路径。在典型操作中，CTSD调制器以调制器采样频率MCLK对模拟输入信号进行过采样。在此过程中，ADC量化噪声被调制到较高的频带。然后，过采样调制器输出通过ASRC和数字滤波器进行抽取。抽取可消除过采样及整形量化引起的额外带宽。结果便是从数字滤波器以用户定义的ODR输出的高精度数据。

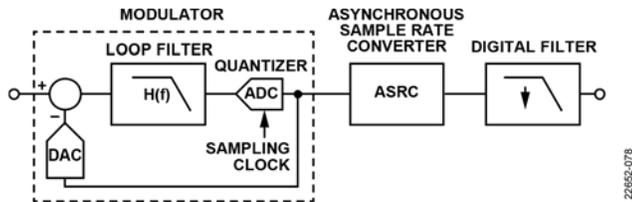


图60. 信号路径概览

连续时间 Σ - Δ 调制器

几乎所有当代精密ADC都是利用基于开关电容的采样保持电路来设计。采样保持电路是逐次逼近寄存器(SAR) ADC架构的重要组成部分，例如，它可用于减少孔径时间并在转换期间保持稳定的输入电平。离散时间 Σ - Δ ADC在输入路径和反馈环路中也会使用采样保持电路，从而简化设计。采样保持电路将模拟输入信号转换为离散时间信号，因此带有采样保持电路的ADC也称为离散时间ADC。

采样保持电路为ADC设计提供了许多好处。但是，使用采样保持电路也有一些副作用，例如电荷反冲和信号混叠，在将ADC设计到系统中时需要付出额外的努力来消除这些影响。

CTSD调制器采用与离散时间 Σ - Δ (DTSD)调制器相同的 Σ - Δ 调制原理，例如过采样和噪声整形，其主要区别在于CTSD不使用采样保持电路。

AD7134使用的CTSD调制器设计同时使用了连续时间积分器和连续时间DAC。相比于离散时间ADC，这种架构为精密数据采集系统设计提供了一些独特的系统优势。

易于驱动的输入和基准电压源

离散时间ADC使用的采样保持电路的开关动作会在输入节点上产生干扰。干扰主要有两个影响。首先是采样电容对输入节点的突然加载，这种情况的干扰幅度与输入差分电压/差分时间成比例。第二个影响是当开关闭合时，存储在开关寄生电容中的电荷被推到输入节点，这种现象称为电荷注入或电荷反冲。无论哪种情况，ADC输入端电流的突然变化都

会与驱动电路的有限阻抗发生反应，产生干扰，表现为电压变化。变化曲线取决于驱动电路的带宽和阻抗。

为了达到所需的精度水平，在每个采样周期结束时，受干扰的输入信号必须建立到实际源值且误差在ADC目标有效分辨率的1 LSB以内，这对于更高的精度或输入带宽要求尤其具有挑战性。

应对输入建立挑战的常见解决方案是用高带宽、高输出驱动能力的放大器缓冲输入，如图61所示。

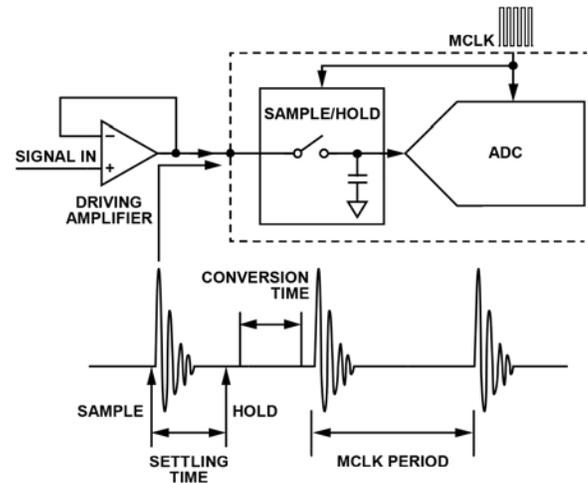


图61. 驱动离散时间ADC的输入

离散时间ADC的基准输入也使用采样保持电路。还需要一个高带宽放大器来驱动ADC基准输入。

使用ADC驱动放大器的缺点包括：

- 放大器带宽必须远高于输入信号带宽，导致功耗较高
- 信号链中增加的元件会引起更多噪声和误差
- 为了在驱动离散时间ADC的动态容性负载时保持稳定，设计会更加复杂

CTSD架构允许AD7134具有恒定的阻性输入特性。这种行为可简化前端电路设计，支持较低带宽和低功耗高性能精密放大器直接驱动ADC。

类似地，由于调制器反馈环路中使用连续时间DAC，因此AD7134基准输入也有恒定阻性输入特性，可以直接用基准电压源IC驱动ADC基准输入。

固有抗混叠滤波器(AAF)

当以低于两倍频率的频率对模拟正弦信号进行采样时，通过插值进行重构会导致信号频率比原始频率低。这种现象称为混叠。图62显示了时域和频域中观测到的信号混叠实例。例子显示了以20 kHz采样的3 kHz、17 kHz和23 kHz信号的数字离散时间表示是相同的。对结果进行插值时，输出始终为3 kHz正弦波，这意味着在该采样系统中，输入信号在17 kHz和23 kHz的能量谱分量在输出中出现在3 kHz。

混叠发生在模拟信号的采样点。保证输入和输出信号频率匹配的唯一方法是在采样之前限制输入信号带宽。在前面的能量谱分量输入信号示例中，如果信号以10 kHz带宽进行低通滤波，则插值输出始终与滤波后的输入信号匹配。低通滤波器的作用是防止高频信号向下混叠，所以该滤波器也称为抗混叠滤波器。

信号采样发生在采样保持电路中离散时间ADC的最前方。离散时间ADC的前面需要一个外部抗混叠滤波器，以防信号混叠。

抗混叠滤波器设计要求在混叠抑制水平与输入信号的相位和幅度失真之间保持良好的平衡。额外的元件也会给信号链带来误差、噪声和额外的功耗。

除了易于驱动之外，CTSD架构的另一个主要优点是其固有的抗混叠特性。在没有采样保持电路的情况下，模拟信号采样是在CTSD调制器内部的量化器（积分器之后）处进行。这种采样方案使器件能够利用积分器的低通响应，固有地抑制调制器采样频率附近的信号。此特性为AD7134提供高达102.5 dB的固有混叠抑制。如图63所示，CTSD调制器的固有抗混叠响应与低纹波宽带数字滤波器相结合，可以全面保护AD7134免受带外频率信号音的影响。

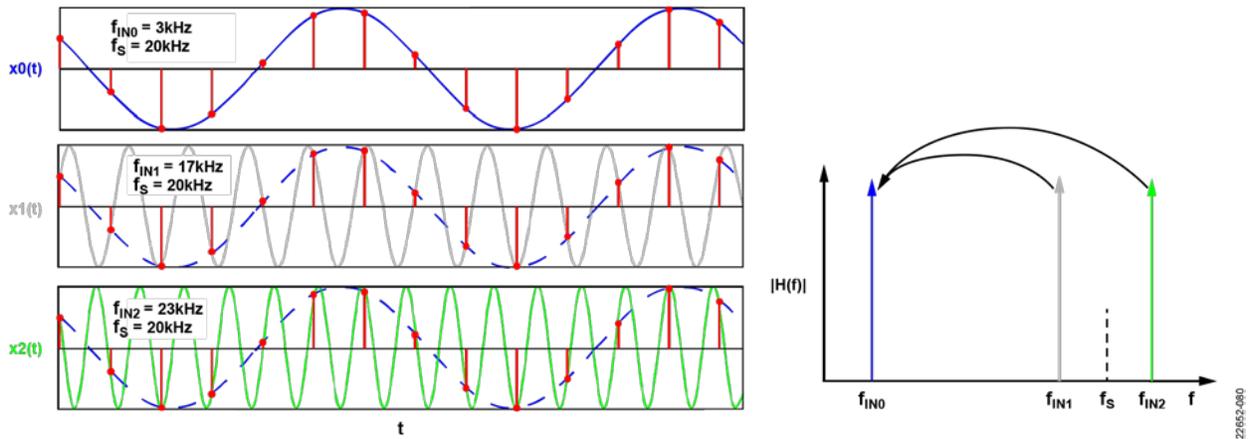


图62. 用时域和频域中显示的例子解释混叠

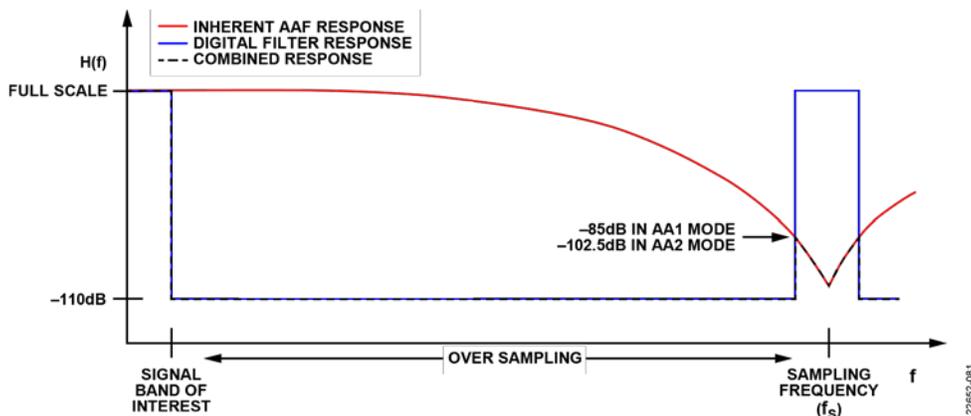


图63. 固有抗混叠滤波器和AD7134的数字滤波器的组合幅度响应

模拟前端设计简化

“易于驱动的输入和基准电压源”部分以及“固有抗混叠滤波器”部分所述的CTSD架构的两大主要优点，使得精密中等带宽数据采集信号链的模拟前端设计大大简化。

图64显示了离散时间ADC的模拟前端电路。对于离散时间ADC，在精密仪表放大器和ADC之间是一个三阶抗混叠滤波器以及一个基于全差分ADC驱动放大器的ADC驱动电路。ADC输入端需要一个附加RC电路，以确保驱动器的稳定性并帮助进一步抑制反冲。基于运算放大器的基准电压驱动电路位于基准电压源IC与ADC之间。该电路包含一个二阶低通滤波器，用以帮助降低来自基准电压源的宽带噪声。

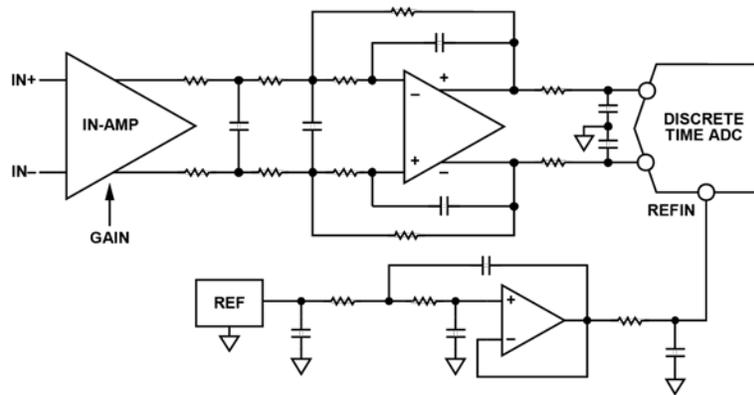


图64. 离散时间ADC的模拟前端电路设计示例

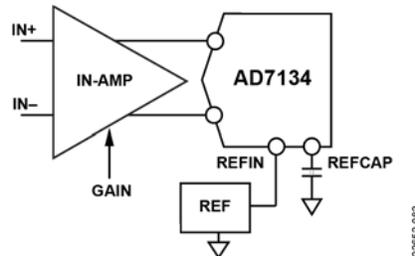


图65. AD7134的模拟前端电路设计示例

图65显示了AD7134的信号链。对于基于连续时间的AD7134，其易于驱动特性和固有的抗混叠特性大大简化了模拟前端设计。除了节省面积和成本这些明显的好处之外，前端简化还能消除一些噪声、误差和不稳定性，从而改善信号链的整体性能。如图65所示，仪表放大器可以直接驱动AD7134的阻性输入，放大器的带宽会增加抗混叠抑制能力，使信号链成为无混叠信号链。

噪声性能和分辨率

表9至表16包含AD7134的宽带0.433 Hz × ODR滤波器、宽带0.10825 Hz × ODR滤波器、sinc6滤波器和sinc3数字滤波器在各种输出数据速率和通道均值设置下的噪声性能数据。所示噪声值和动态范围是针对双极性输入范围和采用4.096 V外部基准电压(V_{REF})的典型值。

均方根噪声是通过短路模拟输入测量的。动态范围计算如下：

$$\text{动态范围(dB)} = 20\log_{10}((2 \times V_{REF}/2\sqrt{2})/(\text{有效值噪声}))$$

LSB大小计算如下：

$$\text{LSB大小} = (2 \times V_{REF})/2^{24}$$

使用4.096V基准电压时，LSB大小为488 nV。

表9. 宽带0.433 Hz × ODR滤波器，高性能模式噪声性能与输出数据速率的关系($V_{REF} = 4.096 V$)

输出数据速率(kSPS)	-3 dB带宽(kHz)	单通道		2:1通道均值		4:1通道均值	
		动态范围(dB)	均方根噪声(μV)	动态范围(dB)	均方根噪声(μV)	动态范围(dB)	均方根噪声(μV)
374	161.94	107.21	12.63	110.46	8.68	113.46	6.15
325	140.73	108.09	11.41	111.21	7.96	114.25	5.61
285	123.41	108.65	10.69	111.81	7.43	114.8	5.27
256	110.85	109.21	10.03	112.5	6.87	115.26	4.99
235	101.76	109.71	9.47	112.79	6.63	115.85	4.67
200	86.60	110.58	8.57	113.63	6.02	116.57	4.29
175	75.78	111.12	8.05	114.27	5.6	117.25	3.97
128	55.42	112.72	6.70	115.66	4.77	118.68	3.37
100	43.30	113.71	5.97	116.81	4.17	119.83	2.95
80	34.64	114.80	5.27	117.9	3.68	120.78	2.64
64	27.71	115.83	4.68	118.87	3.29	121.87	2.33
32	13.86	118.91	3.28	121.82	2.34	124.89	1.65
16	6.93	121.94	2.32	124.81	1.66	127.8	1.17
10	4.33	123.80	1.87	126.67	1.34	129.76	0.94
5	2.17	126.68	1.34	129.55	0.96	132.34	0.69
2.5	1.08	129.36	0.99	132.32	0.7	135.08	0.51

表10. 宽带0.433 Hz × ODR滤波器，低功耗模式噪声性能与输出数据速率的关系($V_{REF} = 4.096 V$)

输出数据速率(kSPS)	-3 dB带宽(kHz)	单通道		2:1通道均值		4:1通道均值	
		动态范围(dB)	均方根噪声(μV)	动态范围(dB)	均方根噪声(μV)	动态范围(dB)	均方根噪声(μV)
374	161.94	100.42	27.61	103.41	19.55	106.33	13.96
325	140.73	102.03	22.93	105.04	16.21	107.96	11.57
285	123.41	103.21	20.01	106.37	13.9	109.21	10.03
256	110.85	104.08	18.10	107.12	12.75	110.12	9.03
235	101.76	104.67	16.91	107.89	11.68	110.64	8.50
200	86.60	105.80	14.85	108.97	10.31	111.76	7.47
175	75.78	106.64	13.48	109.79	9.37	112.55	6.82
128	55.42	108.29	11.15	111.32	7.87	114.31	5.57
100	43.30	109.49	9.71	112.55	6.83	115.51	4.85
80	34.64	110.58	8.57	113.54	6.09	116.47	4.34
64	27.71	111.63	7.59	114.68	5.34	117.61	3.81
32	13.86	114.72	5.32	117.75	3.75	120.64	2.68
16	6.93	117.69	3.78	120.78	2.64	123.71	1.88
10	4.33	119.73	2.99	122.72	2.11	125.76	1.49
5	2.17	122.79	2.10	125.66	1.50	128.61	1.07
2.5	1.08	125.64	1.51	128.58	1.07	131.48	0.77

表11. 宽带0.10825 Hz × ODR滤波器，高性能模式噪声性能与输出数据速率的关系($V_{REF} = 4.096\text{ V}$)

输出数据速率(kSPS)	-3 dB带宽(kHz)	单通道		2:1通道均值		4:1通道均值	
		动态范围(dB)	均方根噪声(μV)	动态范围(dB)	均方根噪声(μV)	动态范围(dB)	均方根噪声(μV)
374	40.49	112.80	6.63	116.03	4.57	119.01	3.24
325	35.18	113.57	6.07	116.84	4.16	119.67	3.00
285	30.85	114.20	5.65	117.37	3.91	120.12	2.85
256	27.71	114.71	5.33	117.63	3.80	120.71	2.66
235	25.44	115.14	5.07	118.13	3.59	121.16	2.53
200	21.65	115.72	4.74	118.88	3.29	121.61	2.40
175	18.94	116.44	4.36	119.62	3.02	122.37	2.20
128	13.86	117.76	3.75	120.88	2.61	123.85	1.86
100	10.83	118.82	3.32	121.9	2.32	124.79	1.66
80	8.66	119.76	2.98	123.06	2.03	125.85	1.47
64	6.93	120.85	2.63	123.78	1.87	126.78	1.32
32	3.46	123.64	1.91	126.56	1.36	129.61	0.95
16	1.73	126.50	1.37	129.30	0.99	132.36	0.69
10	1.08	128.44	1.10	131.23	0.79	134.15	0.56
5	40.49	130.91	0.83	133.54	0.60	136.31	0.44
2.5	35.18	133.59	0.61	136.13	0.45	138.84	0.33

表12. 宽带0.10825 Hz × ODR滤波器，低功耗模式噪声性能与输出数据速率的关系($V_{REF} = 4.096\text{ V}$)

输出数据速率(kSPS)	-3 dB带宽(kHz)	单通道		2:1通道均值		4:1通道均值	
		动态范围(dB)	均方根噪声(μV)	动态范围(dB)	均方根噪声(μV)	动态范围(dB)	均方根噪声(μV)
374	40.49	108.46	10.94	111.64	7.58	114.53	5.43
325	35.18	109.29	9.94	112.34	6.99	115.20	5.03
285	30.85	110.05	9.11	113.09	6.41	115.90	4.64
256	27.71	110.46	8.69	113.61	6.04	116.42	4.37
235	25.44	110.80	8.35	113.97	5.79	116.96	4.01
200	21.65	111.45	7.75	114.69	5.33	117.66	3.79
175	18.94	112.26	7.06	115.35	4.94	118.24	3.54
128	13.86	113.51	6.12	116.6	4.28	119.63	3.02
100	10.83	114.69	5.34	117.6	3.81	120.61	2.69
80	8.66	115.64	4.78	118.64	3.38	121.76	2.36
64	6.93	116.73	4.22	119.66	3.01	122.54	2.16
32	3.46	119.81	2.96	122.58	2.15	125.64	1.51
16	1.73	122.60	2.15	125.58	1.52	128.61	1.07
10	1.08	124.75	1.68	127.41	1.23	130.45	0.86
5	40.49	127.37	1.24	130.32	0.88	133.14	0.63
2.5	35.18	130.14	0.90	132.99	0.64	135.84	0.46

表13. Sinc6滤波器, 高性能模式噪声性能与输出数据速率的关系($V_{REF} = 4.096 V$)

输出数据速率(kSPS)	-3 dB带宽(kHz)	单通道		2:1通道均值		4:1通道均值	
		动态范围(dB)	均方根噪声(μV)	动态范围(dB)	均方根噪声(μV)	动态范围(dB)	均方根噪声(μV)
1496	278.406	100.66	26.85	104.13	18.01	107.07	12.83
1250	232.63	102.98	20.56	106.34	13.95	109.24	10.00
1000	186.10	105.15	16.01	108.48	10.90	111.44	7.75
750	139.58	107.33	12.46	110.57	8.57	113.52	6.10
500	93.05	109.64	9.54	112.87	6.57	115.85	4.66
375	69.79	111.09	8.08	114.27	5.59	117.32	3.94
325	60.48	111.94	7.32	115.02	5.13	118.02	3.63
256	47.64	113.20	6.34	116.20	4.48	119.16	3.19
175	32.57	114.82	5.26	117.97	3.65	120.90	2.61
128	23.82	116.32	4.42	119.35	3.12	122.29	2.22
80	14.89	118.34	3.50	121.50	2.43	124.26	1.77
64	11.91	119.38	3.11	122.36	2.20	125.46	1.54
32	5.96	122.38	2.20	125.33	1.56	128.24	1.12
10	1.86	126.98	1.30	129.87	0.92	132.90	0.65
5	0.93	129.69	0.95	132.47	0.68	135.29	0.49
2.5	0.47	131.97	0.73	135.31	0.49	137.57	0.383

表14. Sinc6滤波器, 低功耗模式噪声性能与输出数据速率的关系($V_{REF} = 4.096 V$)

输出数据速率(kSPS)	-3 dB带宽(kHz)	单通道		2:1通道均值		4:1通道均值	
		动态范围(dB)	均方根噪声(μV)	动态范围(dB)	均方根噪声(μV)	动态范围(dB)	均方根噪声(μV)
1496	278.406	84.11	180.40	87.30	124.98	90.05	91.06
1250	232.63	87.78	118.22	90.93	82.3	93.92	58.31
1000	186.10	92.28	70.43	95.42	49.04	98.36	34.99
750	139.58	97.65	37.96	100.78	26.48	103.61	19.12
500	93.05	103.33	19.74	106.53	13.65	109.33	9.89
375	69.79	101.17	25.32	103.98	18.32	104.34	17.57
325	60.48	107.19	12.65	110.22	8.93	113.13	6.38
256	47.64	108.60	10.76	111.58	7.63	114.51	5.44
175	32.57	110.53	8.62	113.63	6.03	116.51	4.33
128	23.82	112.05	7.23	115.08	5.10	118.06	3.62
80	14.89	114.25	5.61	117.28	3.96	120.16	2.84
64	11.91	115.17	5.05	118.21	3.56	121.20	2.52
32	5.96	118.22	3.55	121.30	2.49	124.23	1.78
10	1.86	123.03	2.04	126.15	1.42	129.02	1.02
5	0.93	125.99	1.45	129.11	1.01	131.99	0.72
2.5	0.47	128.91	1.04	131.75	0.74	134.57	0.54

表15. Sinc3滤波器，高性能模式噪声性能与输出数据速率的关系($V_{REF} = 4.096 V$)

输出数据速率(kSPS)	-3 dB带宽(kHz)	单通道		2:1通道均值		4:1通道均值	
		动态范围(dB)	均方根噪声(μV)	动态范围(dB)	均方根噪声(μV)	动态范围(dB)	均方根噪声(μV)
1496	391.503	95.32	49.64	98.67	33.74	101.46	24.48
1000	261.70	101.62	24.03	105.05	16.18	107.97	11.56
750	196.28	104.72	16.82	108.01	11.51	110.97	8.19
375	98.14	109.56	9.63	112.64	6.76	115.59	4.81
187.5	49.07	112.88	6.58	116.11	4.53	119.04	3.23
128	33.50	114.76	5.29	117.81	3.72	120.72	2.66
64	16.75	117.83	3.72	120.91	2.60	123.88	1.85
32	8.37	120.91	2.61	124.10	1.80	126.87	1.31
16	4.19	125.74	1.50	128.66	1.06	131.54	0.76
5	1.31	128.29	1.11	131.34	0.78	134.17	0.56
2.5	0.654	130.89	0.83	133.60	0.60	136.30	0.44
1.25	0.327	132.91	0.66	135.52	0.48	138.08	0.36
0.625	0.164	134.66	0.54	137.28	0.39	139.79	0.29
0.06	0.016	137.59	0.38	139.89	0.29	142.62	0.21
0.05	0.013	137.46	0.39	139.49	0.30	141.81	0.23
0.01	0.003	137.22	0.40	140.07	0.28	141.65	0.23

表16. Sinc3滤波器，低功耗模式噪声性能与输出数据速率的关系($V_{REF} = 4.096 V$)

输出数据速率(kSPS)	-3 dB带宽(kHz)	单通道		2:1通道均值		4:1通道均值	
		动态范围(dB)	均方根噪声(μV)	动态范围(dB)	均方根噪声(μV)	动态范围(dB)	均方根噪声(μV)
1496	391.503	76.68	424.32	79.72	299.01	82.62	214.21
1000	261.70	85.34	156.58	88.44	109.66	91.26	79.17
750	196.28	91.30	78.89	87.19	126.6	97.41	39.00
375	98.14	98.67	33.77	101.30	24.94	103.42	19.52
187.5	49.07	108.35	11.08	111.42	7.78	114.42	5.50
128	33.50	110.49	8.65	113.50	6.12	116.36	4.40
64	16.75	113.73	5.96	116.70	4.23	119.69	3.00
32	8.37	116.75	4.21	119.73	2.98	122.74	2.11
16	4.19	121.75	2.37	124.65	1.69	127.7	1.19
5	1.31	124.63	1.70	127.59	1.20	130.54	0.86
2.5	0.654	127.47	1.23	130.24	0.89	133.21	0.63
1.25	0.327	130.07	0.91	133.05	0.64	135.59	0.48
0.625	0.164	132.59	0.68	135.23	0.50	137.85	0.37
0.06	0.016	137.95	0.37	140.07	0.28	141.77	0.23
0.05	0.013	137.87	0.37	139.98	0.29	141.97	0.23
0.01	0.003	138.06	0.36	140.67	0.26	141.78	0.23

电路信息

内核信号链

AD7134的每个ADC通道都有一条相同的从模拟输入引脚到数据接口的信号路径。每个ADC通道都有自己的CTSD调制器，其对模拟输入进行过采样，并将数字表示传送到数字滤波器模块。数据经过滤波、增益和失调调整（取决于用户设置）后，通过数据接口输出。通过引脚或SPI接口控制该信号链的灵活设置，控制模式是在上电时由 $\overline{\text{PIN}}/\text{SPI}$ 输入引脚的状态决定。

ADC可使用最高5 V基准电压并将模拟输入（ $\text{AINx}+$ 和 $\text{AINx}-$ ）之间的差分电压转换为数字输出信号。模拟输入仅接受差分输入。ADC将模拟输入引脚之间的电压差转换为数字输出码。模拟输入 $\text{AINx}+$ 和 $\text{AINx}-$ 使用 $V_{\text{REF}}/2$ 的共模电压，可使ADC输入范围最大化。24位转换结果以二进制补码、MSB优先格式提供。更多信息参见表17。

模拟输入

输入结构

由于采用CTSD架构，AD7134具有纯阻性输入，输入结构图也很简单，如图66所示。ADC仅支持全差分输入信号。输入阻抗的差分电阻值为6.25 k Ω 。在内部， $\text{AINx}+$ 和 $\text{AINx}-$ 均通过内部电阻网络偏置到 $V_{\text{REF}}/2$ 。AD7134利用共模电压等于 $V_{\text{REF}}/2$ 的差分输入信号实现最佳性能。在图66中， C_{IN} 表示输入电容， R_{IN} 表示输入电阻。

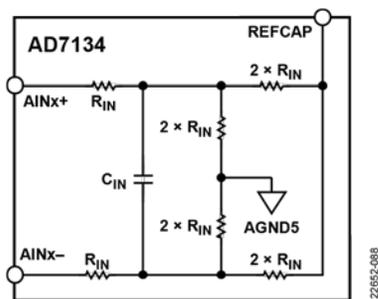


图66. ADC输入结构

表17. 输出码和理想输入电压

描述	模拟输入($\text{AINx}+ - \text{AINx}-$), $V_{\text{REF}} = 4.096 \text{ V}$	以二进制补码形式表示的数字输出代码（十六进制数）
满量程(FS) - 1 LSB	4.095999512 V	0x7FFFFFFF
中间电平 + 1 LSB	488 nV	0x000001
中间电平	0 V	0x000000
中间电平 - 1 LSB	-488 nV	0xFFFFF
-FS + 1 LSB	-4.095999512 V	0x800001
-FS	-4.096 V	0x800000

当器件关断、 $\overline{\text{PDN}}$ 引脚处于低电平、处于休眠模式或使用 PWRDN_CHx 位时，输入表现为高阻抗。

输入电压范围

AD7134的阻性输入结构允许其输入引脚承受较宽的输入电压摆幅，而不会损坏器件。ADC满量程输入为 $\pm V_{\text{REF}}$ ，每个ADC输入引脚可以接受0 V至5 V的绝对输入电压。

当个别ADC输入通道关断时，其输入为高阻抗。

输入共模范围

AD7134支持的输入共模范围为 $V_{\text{REF}}/2$ 至 $\text{AVDD}5/2$ 。输入共模电平等于基准输入电压的一半时，可实现最佳性能。

VCM输出

AD7134在VCM引脚上提供一个缓冲共模电压输出。此输出可以用来偏移模拟输入信号的电平。通过将VCM缓冲器纳入ADC中，AD7134减少了器件数和电路板空间。

在引脚控制模式下，VCM电位为固定值 $V_{\text{REF}}/2$ ，并且默认使能。

在SPI控制模式下，用户可以选择将VCM输出电压电平设置为 $V_{\text{REF}}/20$ 至 $19 \times V_{\text{REF}}/20$ ，或设置为 $\text{AVDD}5/2$ 。如果在SPI控制模式下不使用，用户还可以选择禁用VCM输出。

VCM输出电平可通过 $\text{VCMBUF_REF_DIV_SEL}$ 位和 VCMBUF_REF_SEL 位配置。VCM输出可以利用 PWRDN_VCMBUF 位使能或禁用。禁用时，VCM表现为高阻抗。

当驱动大于0.1 μF 的容性负载时，建议在VCM引脚和容性负载之间放置一个50 Ω 串联电阻，以确保输出缓冲器的稳定性。

基准输入

与ADC输入相似，AD7134基准输入也是阻性的，允许外部基准电压源IC直接驱动AD7134，而无需基准电压缓冲器。用户可以直接将外部基准源连接到AD7134的REFCAP引脚。

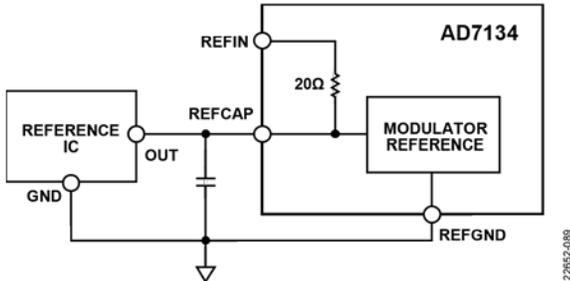


图67. 基准输入直接连接到REFCAP引脚

用户可以通过对基准电压信号进行滤波来降低基准源上的噪声。REFIN引脚和REFCAP引脚之间有一个内部20Ω电阻，用户可以在REFCAP引脚上连接一个电容，从而形成一阶RC滤波器。

有关如何设计基准电压滤波器的例子，参见“基准电压噪声滤波”部分。

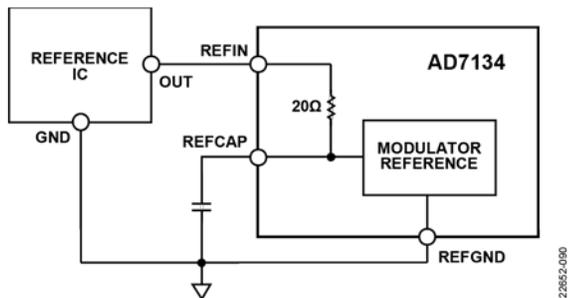


图68. 使用REFIN引脚的基准输入连接

串联电阻会产生一个小的压降，该压降随器件的工作模式不同而变化。在SPI控制模式下，用户可以将REFIN_GAIN_CORR_EN位设置为1，使得器件在不同工作模式下可以自动校正该压降。每禁用一个ADC通道，基准输入电流便减少1/4。基准电压自动校正功能同样考虑到了电流的这种减少。

在引脚控制模式下，自动校正功能被禁用。

当器件关断或处于关断模式（ $\overline{\text{PDN}}$ 引脚为低电平）时，基准输入表现为高阻抗。

时钟输入

初始上电配置期间，AD7134使用内部振荡器。AD7134完成启动程序之后，时钟会转移到外加的CLKIN。

AD7134支持两个主时钟输入选项。该器件既可接受外部CMOS时钟信号，也可使用外部晶振产生时钟信号。时钟源是在上电时由CLKSEL引脚的状态决定。

若将CLKSEL引脚连接到IOVDD引脚，并在XTAL1引脚和XTAL2/CLKIN引脚之间连接一个外部晶振，则使能晶振时钟选项。若将CLKSEL引脚连接到IOGND引脚，并将外部CMOS时钟信号连接到XTAL2/CLKIN引脚，则使能CMOS时钟选项。

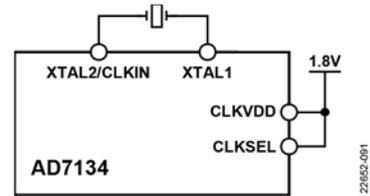


图69. 晶振提供的主时钟

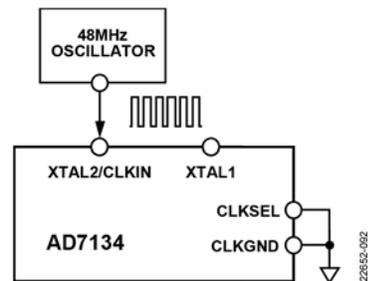


图70. 振荡器提供的主时钟

XCLKOUT输出

当使用晶振时钟选项时，可以在XCLKOUT引脚上获得内部晶体振荡器的缓冲输出。将此CMOS时钟信号分配给同一系统中的其他AD7134器件，使得多个AD7134器件可以利用单个外部晶振工作。XCLKOUT引脚可以驱动45 pF负载。

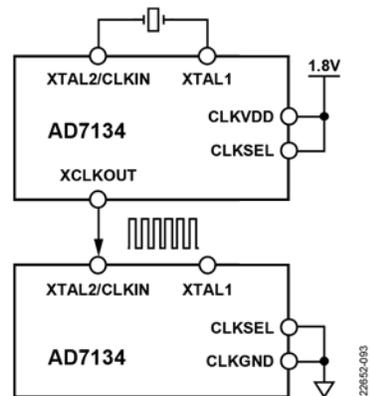


图71. 从单个晶振向多个器件提供主时钟

在引脚控制模式下，如果选择晶振时钟选项，则会默认使能XCLKOUT输出。在引脚控制模式下，如果选择CMOS时钟选项，则会禁用XCLKOUT输出。

XCLKOUT输出在SPI控制模式下默认禁用，可以通过向XCLKOUT_EN位写入1来使能。

功耗选项

工作功耗模式

根据测量的目标带宽, AD7134允许用户通过两种可选的功耗模式(高性能和低功耗)以功耗或分辨率来换取测量带宽。低功耗模式以1/2的调制器时钟频率工作, 由此得到的噪声性能与1/2输出数据速率的高性能模式相当, 而功耗节省40%。有关两种模式的性能差异的详细信息, 参见“噪声性能和分辨率”部分。

通道关断

在SPI控制模式下, 各ADC通道在不使用时可以单独关断以节省功耗。

PWRDN_CHx位控制各通道的关断。

关断ADC通道会降低电源电流和输入电流。关断通道的输入变为高阻态。每关断一个ADC通道, 基准输入电流便减小1/4。

休眠模式

在SPI控制模式下, 通过将SLEEP_MODE_EN位设置为1, 可以激活休眠模式。

在这种模式下, 器件关断除数字LDO稳压器之外的所有模块, 并保留片内寄存器值。

此模式下的典型功耗为15 mW。退出此模式后, 器件可以在100 μs内恢复全面运行。

在休眠模式下, 基准输入和输入通道均变为高阻态。

完全关断

通过将PDN引脚保持低电平可以激活完全关断模式。在此模式下, 所有内部模块均关断。

此模式下的典型功耗为1 mW。退出此模式后, 器件需要10 ms的上电时间, 器件寄存器会复位为默认值。

在休眠模式下, 基准输入和输入通道均变为高阻态。

复位

复位后, AD7134将内部寄存器值恢复为默认值, 并复位内部逻辑和功能模块。

用户可以通过两种方法来复位AD7134: 将RESET引脚拉低来进行硬复位, 或者向SOFT_RESET写入1来进行软件复位(自清零)。

异步采样速率转换器

CTSD调制器架构的一个独特之处是具有固定时间常数。因此, AD7134器件以固定的调制器时钟频率工作。

为便于精确调整输出数据速率, AD7134具有数字可编程ASRC。

ASRC放在每个ADC通道的调制器和数字滤波器之间。ASRC具有以下两个输入:

- 来自调制器的速率为MCLK的数据
- ODR输入, 它可以是外部异步信号(从机)或小数值(主机)

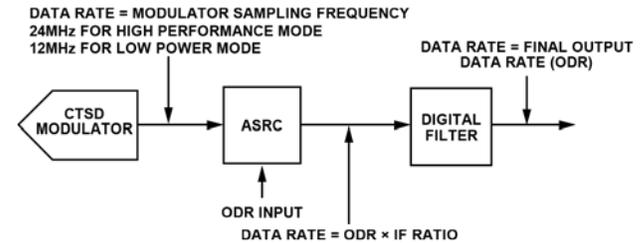


图72. 转换路径各级的数据速率

ASRC模块中的数字PLL跟踪并锁定ODR输入, 产生一个小数比。ASRC通过对调制器输出进行插值和重采样来发挥作用, 重采样速率是调制器采样频率的一个小数比例。

插值系数取决于所选的ODR。ASRC的小数采样速率转换允许最终ODR与调制器的采样时钟异步。

然后, 在数字滤波器中以一个整数对ASRC输出进行抽取, 产生最终ODR。

仅ASRC响应取决于所选的ODR, 其陷波频率等于插值系数 × ODR频率。表18中显示了各种ODR对应的插值系数值。

表18. 不同ODR范围的插值系数值

ODR范围	插值系数值
750 kSPS至1.496 MSPS	8
375 kSPS至749.999 kSPS	16
366.99 SPS至374.999 kSPS	32
10 SPS至366.99 SPS	1024

例如, ODR为374 kSPS的ASRC响应显示, 在32 × 374 kHz = 11.968 MHz处有一个陷波, 如图73所示。

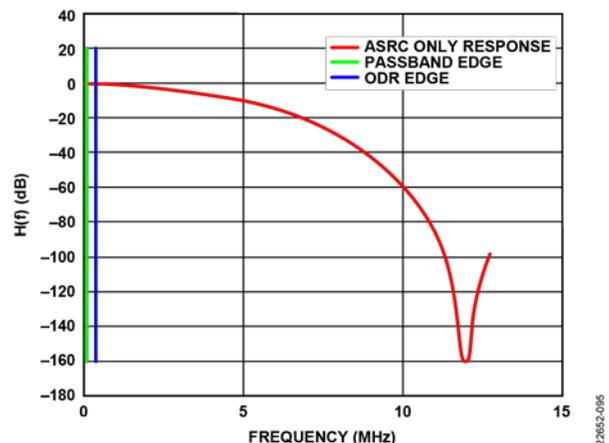


图73. ODR = 374 kSPS的仅ASRC响应

类似地，ODR为1496 kSPS的ASRC响应显示，在 $8 \times 1496 \text{ kHz} = 11.968 \text{ MHz}$ 处有一个陷波，如图74所示。

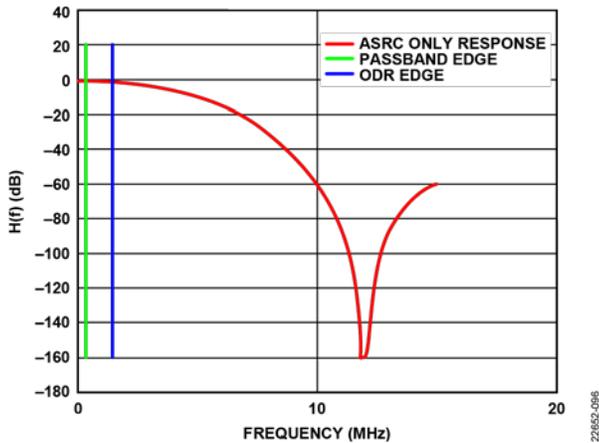


图74. ODR为1496 kSPS时的响应

可用输出数据速率范围取决于数字滤波器类型和所选的ASRC模式（更多信息参见“数字滤波器”部分）。

AD7134上的ASRC具有以下两种工作模式：

- 在主机模式下，ODR引脚为输出，ODR通过引脚配置或寄存器写操作设置。
- 在从机模式下，ODR引脚为AD7134的输入，ODR通过外部时钟源设置。

ASRC主机模式

在主机模式下，ASRC以与调制器时钟固定的比率对插值调制器输出进行重采样（参见图75）。该比率是根据最终ODR的用户设置在内部计算的。在引脚控制模式下，用户可以通过配置ODR引脚来配置ODR；在SPI控制模式下，用户可以通过配置寄存器来配置ODR。

在ASRC主机模式下，ODR引脚用作输出。它以输出数据速率的频率产生脉冲串信号。ADC输出数据可相对于ODR信号进行采样。

有关ASRC主机模式输出数据速率设置的详细信息，参见“ASRC主机模式”部分。

ASRC从机模式

在从机模式下，ODR引脚用作输入（参见图76）。用户通过向ODR引脚提供所需ODR频率(f_{ODR})的时钟或脉冲串来设置ODR。AD7134利用输入信号上升沿测量ODR频率。内部数字PLL跟踪ODR引脚输入信号频率，并使用它来设置ASRC的重采样速率。ADC输出数据可相对于ODR信号进行采样。

用户必须提供连续周期的ODR信号，直至STAT_PLL_LOCK位显示PLL已锁定，然后读取数据。ODR值的任何变化都会导致PLL解锁并重新锁定，需要等待一段时间才能读取数据。

用户还必须确保ODR引脚上的抖动不超过100 ns p-p，以确保性能不会下降。

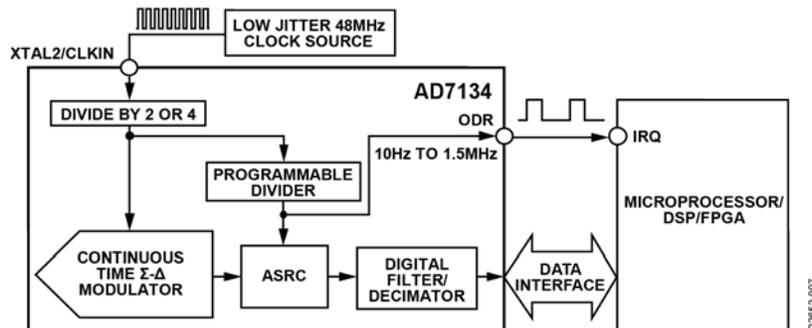


图75. ASRC主机模式功能图

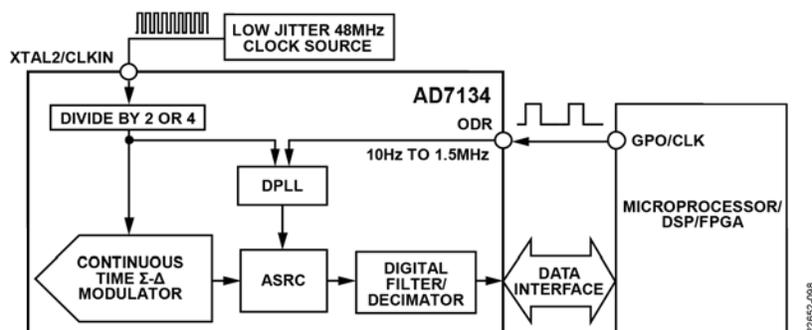


图76. ASRC从机模式功能图

数字滤波器

AD7134提供四类数字滤波器：sinc3、sinc6和两个宽带滤波器。sinc3滤波器类型包括50 Hz/60 Hz抑制的额外设置（参见表19）。在SPI控制模式下，可以基于通道选择这些滤波器。在引脚控制模式下，所有通道只能选择一种滤波器。

可用数字滤波器可以表19所示范围内的任何输出数据速率工作，允许用户根据所需的功耗模式或分辨率选择最佳输入带宽和转换速度。

Sinc滤波器

AD7134的sinc滤波器采用级联积分梳状(CIC)拓扑结构，产生类似于sinc函数的响应，等效于对ASRC输出采样求移动平均值。sinc滤波器可实现低延迟信号路径，对诸如时域分析、直流输入测量、控制环路等应用非常有用。AD7134有两类sinc滤波器。sinc6滤波器在噪声抑制和延迟两方面实现了平衡，而sinc3滤波器则提供最短延迟路径，并支持低至10 SPS的宽ODR范围。

sinc6滤波器的-3 dB带宽为 $0.1861 \times \text{ODR}$ ，而sinc3滤波器的-3 dB带宽为 $0.2617 \times \text{ODR}$ 。“噪声性能和分辨率”部分包含sinc滤波器在不同功耗模式和ODR值下的噪声性能。

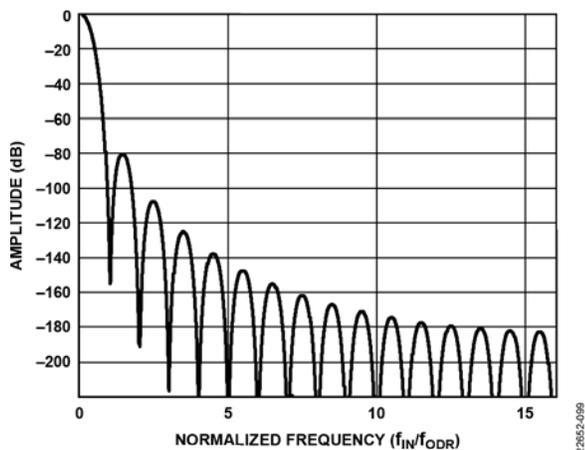


图77. Sinc6滤波器频率响应

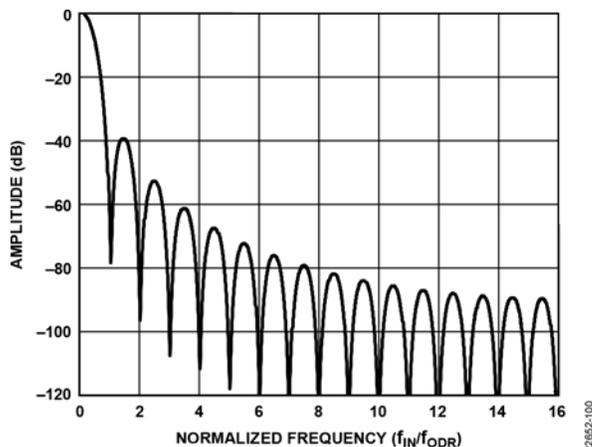


图78. Sinc3滤波器频率响应

sinc6滤波器的建立时间为 $6.5/\text{ODR}$ 。对于374 kSPS ODR，数据完全建立的时间为 $17.37 \mu\text{s}$ 。

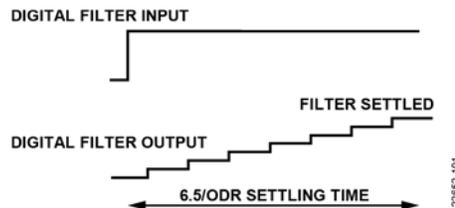


图79. Sinc6滤波器阶跃响应

sinc3滤波器的建立时间为 $3.5/\text{ODR}$ 周期。因此，对于374 kSPS ODR，数据完全建立的时间为 $9.35 \mu\text{s}$ 。

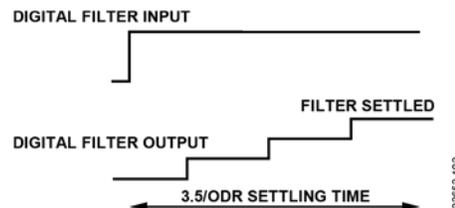


图80. Sinc3滤波器阶跃响应

表19. 数字滤波器选项

滤波器名称	-3 dB带宽(Hz)	ODR范围	描述
Sinc3滤波器	$0.2617 \times \text{ODR}$	0.01 kSPS至1496 kSPS	快速建立
Sinc3滤波器, 50 Hz/60 Hz抑制	$0.2753 \times \text{ODR}$	0.01 kSPS至1496 kSPS	当ODR等于50 SPS时, 快速建立并提供50 Hz/60 Hz同时抑制
Sinc6滤波器	$0.1861 \times \text{ODR}$	2.5 kSPS至1.496 MSPS	建立时间与抑制平衡
宽带 $0.433 \text{ Hz} \times \text{ODR}$ 滤波器	$0.433 \times \text{ODR}$	2.5 kSPS至374 kSPS	宽带低纹波滤波器
宽带 $0.10825 \text{ Hz} \times \text{ODR}$ 滤波器 (仅在SPI控制模式下可用)	$0.108 \times \text{ODR}$	2.5 kSPS至374 kSPS	带宽较低的宽带低纹波滤波器

50 Hz和60 Hz同时抑制

sinc滤波器会抑制频率接近ODR整数倍的信号，因此它可用于抑制高于目标输入频段的特定频率的不良干扰。sinc3滤波器支持低至10 SPS的ODR，因此sinc3滤波器的典型应用是进行直流至低带宽测量，同时抑制50 Hz或60 Hz的线路频率。

图81显示了输出数据速率设置为50 SPS时sinc3滤波器的频率响应。sinc3滤波器在50 Hz \pm 1 Hz时提供102 dB抑制。

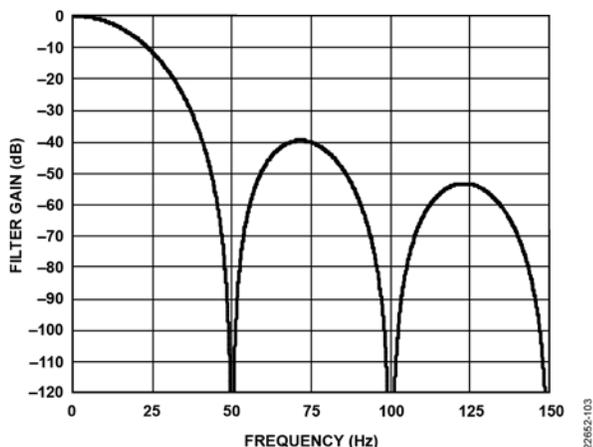


图81. Sinc3和Sinc6滤波器响应(ODR = 50 SPS)

图82显示了输出数据速率设置为60 SPS时sinc3滤波器的频率响应。sinc3滤波器在60 Hz \pm 1 Hz时提供106 dB抑制。

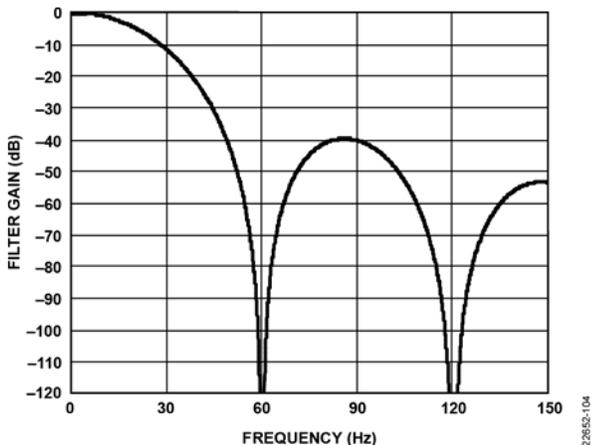


图82. Sinc3和Sinc6滤波器响应(ODR = 60 SPS)

当输出数据速率为10 SPS时，可以获得50 Hz和60 Hz同时抑制能力。sinc3滤波器在50 Hz \pm 1 Hz时提供102 dB的抑制，在60 Hz \pm 1 Hz时提供105 dB的抑制。

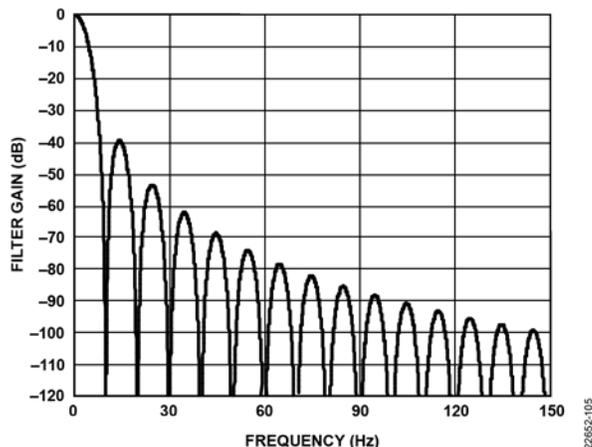


图83. Sinc3和Sinc6滤波器响应(ODR = 10 SPS)

通过选择sinc3和50 Hz/60 Hz抑制滤波器路径，也可以实现50 Hz和60 Hz同时抑制。当sinc3滤波器将陷波频率置于50 Hz时，50 Hz/60 Hz抑制后置滤波器将一阶陷波频率置于60 Hz。输出数据速率为50 SPS。图84显示了sinc3和50 Hz/60 Hz抑制滤波器路径的频率响应。50 Hz和60 Hz (\pm 1 Hz)的抑制性能超过67 dB。

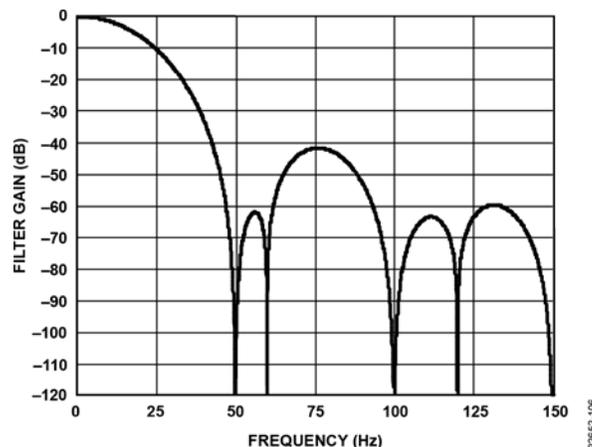


图84. Sinc3和50 Hz/60 Hz抑制滤波器响应(ODR = 50 SPS)

宽带低纹波滤波器

宽带低纹波滤波器具有低纹波通带、窄过渡带和高阻带抑制性能。滤波器响应接近理想的砖墙式滤波器，因此它非常适合于频域测量和分析。

AD7134提供两个宽带低纹波滤波器选项，一个滤波器的-3 dB转折频率为 $0.433 \text{ Hz} \times \text{ODR}$ ，另一个滤波器的-3 dB转折频率为 $0.10825 \text{ Hz} \times \text{ODR}$ 。

两种宽带低纹波滤波器选项均提供32 μ dB的通带纹波和-110 dB的阻带衰减。有关噪声性能和分辨率，参见“噪声性能和分辨率”部分。

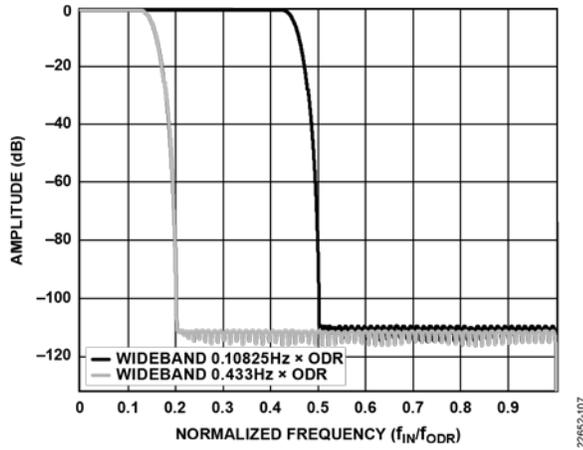


图85. 低纹波宽带 $0.433 \text{ Hz} \times \text{ODR}$ 滤波器和
宽带 $0.10825 \text{ Hz} \times \text{ODR}$ 滤波器频率响应

22652-107

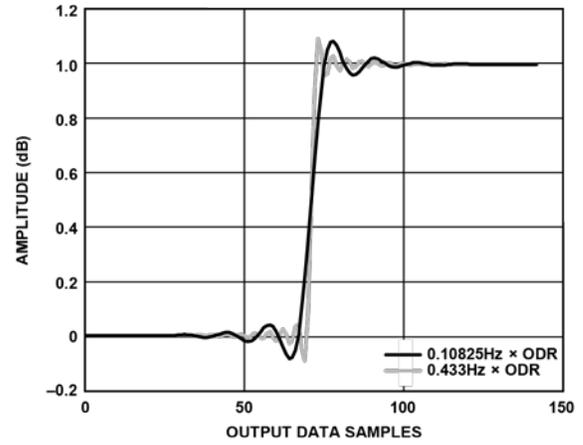


图87. 低纹波宽带 $0.433 \text{ Hz} \times \text{ODR}$ 滤波器和
宽带 $0.10825 \text{ Hz} \times \text{ODR}$ 滤波器阶跃响应

22652-109

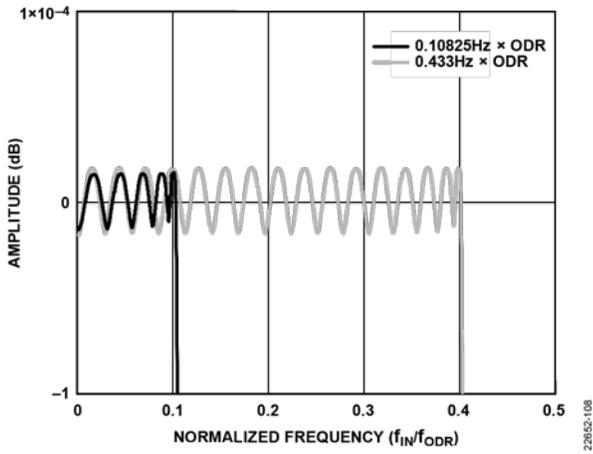


图86. 低纹波宽带 $0.433 \text{ Hz} \times \text{ODR}$ 滤波器和
宽带 $0.10825 \text{ Hz} \times \text{ODR}$ 滤波器通带纹波

22652-108

快速入门指南

AD7134为交流和直流信号处理提供一种多通道平台测量解决方案。灵活的滤波使得AD7134可基于通道来对交流和直流信号同时采样。ASRC允许用户精细设置输出数据速率，以控制测量的输入带宽。这种能力加上数字滤波的灵活性，使得用户可以选择合适的应用设置，并实现延迟、带宽和性能目标。促使用户选择AD7134作为其平台高分辨率ADC的关键能力说明如下：

- 四个全差分模拟输入
- 快速吞吐同步采样ADC支持高达391 kHz的输入信号
- 两种可选功耗模式（高性能和低功耗），支持调整ADC的功耗与输入带宽以优化测量效率

- 宽带低纹波数字滤波器支持交流测量
- 快速sinc3滤波器支持精密低频低延迟测量
- 两种ASRC模式（主机模式和从机模式）允许用户灵活使用数字接口
- 两种抗混叠模式支持用户选择更高水平的混叠抑制
- SPI或引脚绑定配置选项
- 每通道均有失调、增益和相位校准寄存器
- 共模电压输出缓冲器设置输入共模电压
- 片上1.8 V LDO稳压器支持单电源供电

要开始使用AD7134，请参阅图88和表20以了解典型连接和最低要求。

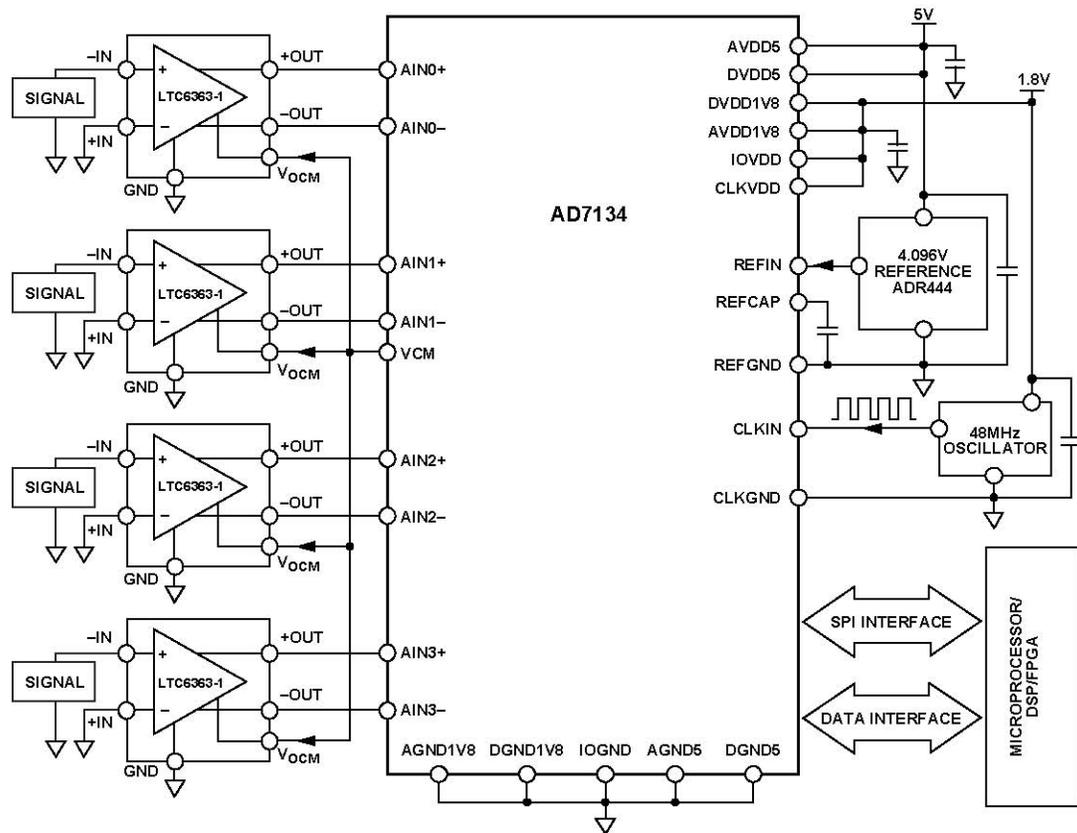


图88. 典型连接图

表20. AD7134工作要求

要求	描述
电源	5 V AVDD5和DVDD5电源，1.8 V – IOVDD、CLKVDD、AVDD1V8和DVDD1V8 (LT8606、LT8607)
外部基准电压源	4.096 V或5 V (ADR444/ADR445)
输入级	AD8421、ADA4075-2、ADA4945-1、LTC6363
外部时钟	晶振或CMOS/LVDS时钟，用于ADC调制器采样
FPGA或DSP	1.65 V至1.95 V数字I/O电平

独立模式

用户有一个数字主机，无SPI接口，需要102.4 kHz的-3 dB输入带宽。用户还希望获得平坦的通带响应和鲁棒的数据接口。推荐方案是引脚控制的主模式。使用 $0.433 \times \text{ODR}$ FIR滤波器可以实现具有平坦通带的102.4 kHz输入带宽。所需的最小ODR可以通过输入带宽 = $0.433 \times \text{ODR}$ 来计算。因此，所需的最小ODR为237 kSPS。根据表28，可编程的最接近ODR值为256 kSPS。

鲁棒的接口要求使用CRC。因此，帧大小为24个数据位加8位标头（包括6位CRC和2位状态）。

所需的DCLK值应大于 $(\text{帧大小} + 6) \times \text{ODR}$ ，其结果为9.7 MHz。根据表30，最接近的DCLK选项是12 MHz。

要配置的设置：引脚控制模式，ASRC主机，高性能模式，选通DCLK输出，32位数据输出，256 kSPS ODR，12 MHz DCLK， $0.433 \times \text{ODR}$ 滤波器，外部LDO稳压器，以及4通道输出。

关于这些设置的编程，请参阅“器件配置”部分。

表21. 配置1硬件设置

引脚功能	电源/电平	注释
AVDD5、DVDD5	5 V	电源
IOVDD、LDOIN、AVDD1V8、DVDD1V8、CLKVDD	1.8 V	电源
$\overline{\text{PIN/SPI}}$	低	引脚控制
CLKSEL	高	晶振输入
MODE	高	ASRC主机
DCLKMODE	低	选通DCLK
DCLKIO	高	DCLK输出
FILTER1、FILTER0	低、低	$0.433 \times \text{ODR}$ 滤波器
FORMAT1、FORMAT0	高、低	4通道输出
FRAME1、FRAME0	高、高	32位输出
PWRMODE	高	高性能
DCLKRATE2、DCLKRATE1、DCLKRATE0	低、低、高	12 MHz DCLK
DEC3、DEC2、DEC1、DEC0	低、低、高、高	256 kSPS ODR

低延迟同步数据采集

用户的输入信号带宽为250 kHz，需要24位输出和极低延迟。一共有八个通道，用户要求通道之间严格同步。

推荐方案是在SPI控制的从机模式下使用两个器件。外部ODR信号可让两个器件与同时发出的数字接口复位信号同步。有关更多信息，请参见“多器件同步”部分。

利用sinc3滤波器可实现延迟最低的250 kHz输入带宽。所需的最小ODR可以通过输入带宽 = $0.2617 \times \text{ODR}$ 来计算。因此，所需的ODR为956 kSPS。

所需的外部DCLK值应大于 $(\text{帧大小} + 6) \times \text{ODR}$ ，其结果为29 MHz。根据表3列出的时序规格提供DCLK和ODR值。

要配置的设置：SPI控制模式，ASRC从机，高性能模式，选通DCLK输入，24位数据输出，956 kSPS ODR，29 MHz DCLK，sinc3滤波器，外部LDO稳压器，以及4通道输出。

关于这些设置的编程，请参阅“器件配置”部分。上电后，通过读取DEVICE_STATUS寄存器来验证硬件配置。

表22. 配置2硬件设置

引脚功能	电源/电平	注释
AVDD5、DVDD5	5 V	电源
IOVDD、CLKVDD、AVDD1V8、LDOIN、DVDD1V8	1.8 V	电源
$\overline{\text{PIN/SPI}}$	高	SPI控制模式
CLKSEL	高	晶振输入
MODE	低	ASRC从机
DCLKMODE	低	选通DCLK
DCLKIO	低	DCLK输入

使用列出的值对表23中的寄存器进行编程，所有其他寄存器保持默认值。

表23. 软件设置

SPI寄存器	值	注释
DATA_PACKET_CONFIG	0x20	24位帧
DEVICE_CONFIG	0x01	高性能模式
CHAN_DIG_FILTER_SEL	0xAA	Sinc3滤波器
DIGITAL_INTERFACE_CONFIG	0x03	4通道并行

器件控制

AD7134有独立路径来读取ADC转换数据和控制器件功能。

对于控制，该器件可配置为如下两种模式中的一种：

- 引脚控制模式：引脚绑定的数字逻辑输入（允许使用配置选项的一个子集）
- SPI控制模式：通过3线或4线SPI接口（完整配置）

上电时， $\overline{\text{PIN}}/\text{SPI}$ 引脚的状态决定所用模式。SPI控制模式提供全套配置，包括访问AD7134内部诊断功能。引脚控制模式提供一些可选特性，以便简化配置。用户可以通过施加于 $\overline{\text{PIN}}/\text{SPI}$ 引脚的电压电平来选择工作模式。

除 $\overline{\text{PIN}}/\text{SPI}$ 引脚外，还要配置另外四个引脚，以确保SPI或引脚控制模式正确运行。表24显示了引脚控制模式和SPI控制模式共有的引脚控制功能列表。表24列出的引脚仅在AD7134上电时采样。

表24. 通用控制引脚功能总结

引脚名称	引脚功能
$\overline{\text{PIN}}/\text{SPI}$	控制模式选择：引脚或SPI。
MODE	ASRC工作模式选择：主机或从机工作模式。
CLKSEL	输入时钟源选择：晶振或CMOS。
DEC0/DCLKIO	DCLK方向选择。
DEC1/DCLKMODE	选通或自由振荡DCLK选择。

引脚控制模式

引脚控制模式无需SPI通信接口。当用户只需要一种已知配置时，或者只需要有限的重新配置时，可以使用这种模式来减少需要连接数字主机的信号数目。引脚控制模式在配置调整极少的数字隔离应用中很有用。引脚控制模式有助于减少PCB设计工作，并消除数字线路的布线。

引脚控制提供核心功能的一个子集，确保上电或复位后器件处于已知工作状态。引脚控制模式的可选选项包括：

- 数字滤波器
- 帧大小
- 数据接口格式
- 抽取率和DCLK频率
- 高性能模式或低功耗模式

图89显示了引脚可配置的功能。除表24列出的引脚外，所有其他引脚都可以动态更改。

有关更多信息，请参见图90。在引脚控制模式下，仅当选择了晶振选项时，才能使用有限的诊断功能，并且CLKOUT默认使能。

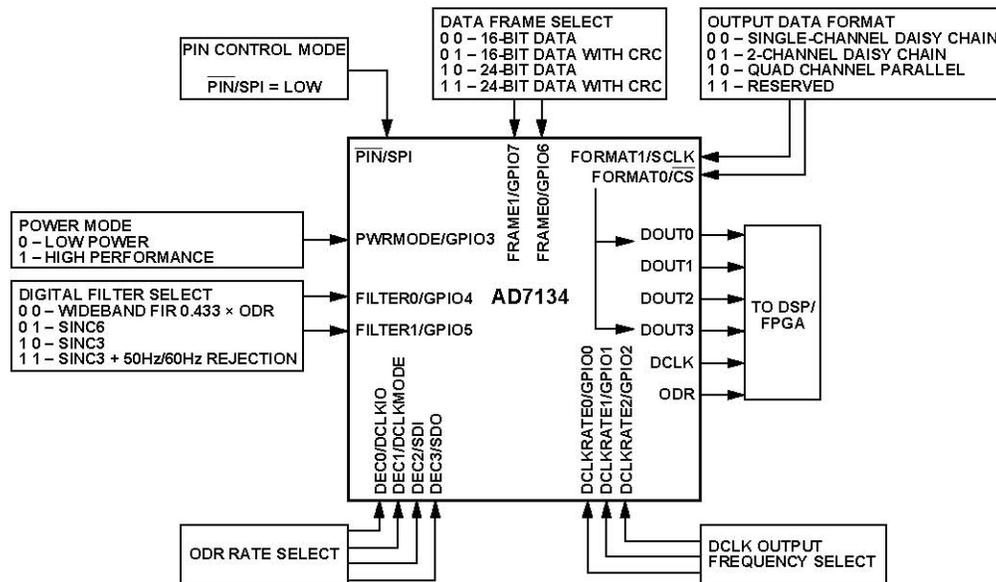


图89. 引脚控制模式的可配置功能

218652-084

SPI控制模式

AD7134有一个4线SPI接口，其与QSPI™、MICROWIRE®和DSP兼容。使用SPI接口，用户可以访问ADC寄存器映射并控制AD7134。

要使用SPI控制模式，必须将AD7134的 $\overline{\text{PIN}}/\text{SPI}$ 引脚设置为逻辑高电平。SPI控制采用16位、4线接口，支持读和写访问。AD7134的SPI串行控制接口是用于控制和监测AD7134的独立路径。没有直接与数据接口相连的链路。ODR和DCLK时序与SPI控制接口不是直接相关。详情参见“SPI接口”部分。

相比于引脚控制模式，SPI控制模式允许用户配置更多特性并充分利用器件。SPI控制模式下可用的更多特性如下：

- 全套诊断特性
- 主机模式下ODR选择和DCLK频率选择的选项更多
- XCLKOUT禁用

- 宽带数字滤波器FIR $0.108 \times \text{ODR}$ 选项
- 数字接口复位
- 可编程增益、失调和通道延迟
- 休眠模式
- 2通道均值
- 额外的固有抗混叠模式(AA2)
- 可编程ODR、ODR/2、ODR/4和ODR/8
- VCM引脚输出电压可编程
- 每通道相位延迟

多功能引脚

AD7134具有多功能引脚，这些引脚的功能根据所选的控制模式而变化。表25总结了每种工作模式下多功能引脚的功能。

表25. 多功能引脚功能总结

引脚名称	引脚控制模式下的引脚功能	SPI控制模式下的引脚功能
FORMAT0/CS	ADC输出通道格式选择	SPI接口
FORMAT1/SCLK		
DEC3/SDO DEC2/SDI	ASRC主机模式抽取率选择	
DEC1/DCLKMODE	ASRC主机模式：抽取率选择 ASRC从机模式：DCLK模式选择（自由振荡或选通）	DCLK模式选择（自由振荡或选通）
DEC0/DCLKIO	ASRC主机模式：抽取率选择，DCLK为输出 ASRC从机模式：引脚拉低时设置为输入	DCLK I/O方向选择（输入或输出）
DCLKRATE0/GPIO0 DCLKRATE1/GPIO1 DCLKRATE2/GPIO2	ASRC主机模式下的DCLK输出频率选择	通用I/O
PWRMODE/GPIO3	器件功耗模式选择（高性能或低功耗模式）	
FILTER0/GPIO4 FILTER1/GPIO5	数字滤波器类型选择	
FRAME0/GPIO6 FRAME1/GPIO7	输出数据帧选择	

器件配置

输出数据速率和时钟编程

输出数据速率

AD7134可以设置10 SPS至1496 kSPS的任何输出数据速率。根据MODE引脚配置, ODR可以由AD7134产生, 或由外部提供。当AD7134产生ODR时, 该模式称为主机模式; 当外部提供ODR时, 该模式称为从机模式。

表26. 模式引脚配置

MODE引脚	ASRC工作模式	ODR引脚方向
0	从机	输入
1	主机	输出

ASRC从机模式

在ASRC从机模式下, ODR由连接到ODR引脚的外部连续脉冲信号控制, ODR等于脉冲频率。该特性使用户可以灵活地动态更新外部脉冲的频率, 从而改变ODR值, 但时间变化加上滤波器的建立时间, 可能会造成数据丢失。时间变化主要是跟踪ODR的锁相环(PLL)的解锁和锁定。对于ODR值大于10 kSPS的情况, 将ODR值改为小于500 SPS不会导致PLL再次解锁和锁定, 支持无缝数据传输。有关从机模式下各种滤波器的ODR范围的时间变化, 参见表27。

对于示例1, 如果用户在使用数字FIR滤波器时将ODR值从300 kSPS更改为2500 SPS, 则时间变化为 $22 \text{ ms} + 512/2500 = 226.8 \text{ ms}$ 。

对于示例2, 如果用户在使用sinc3数字滤波器时将ODR值从1 MSPS更改为500 kSPS, 则时间变化为 $11 \text{ ms} + 512 / 500,000 = 12 \text{ ms}$ 。

支持的ODR范围随功耗模式和所选的数字滤波器类型而变化(更多信息参见表19)。

表27. 从机模式下ODR随时间变化

ODR范围	FIR	Sinc6	Sinc3
750 kHz至1.46 MHz	不适用	$5.5 \text{ ms} + 512/\text{ODR}$	$5.5 \text{ ms} + 512/\text{ODR}$
374 kHz至750 kHz	不适用	$11 \text{ ms} + 512/\text{ODR}$	$11 \text{ ms} + 512/\text{ODR}$
365 kHz至374 kHz	从机模式不支持的ODR范围	$22 \text{ ms} + 512/\text{ODR}$	$22 \text{ ms} + 512/\text{ODR}$
1.46 kHz至365 kHz	$22 \text{ ms} + 512/\text{ODR}$	$22 \text{ ms} + 512/\text{ODR}$	$22 \text{ ms} + 512/\text{ODR}$
1.46 kHz至2.5 kHz	不适用	$22 \text{ ms} + 512/\text{ODR}$	$22 \text{ ms} + 512/\text{ODR}$
732 SPS至1.46 kHz	不适用	不适用	$44 \text{ ms} + 512/\text{ODR}$
366 SPS至732 SPS	不适用	不适用	$88 \text{ ms} + 512/\text{ODR}$
183 SPS至366 SPS	不适用	不适用	$6 \text{ s} + 512/\text{ODR}$
91.5 SPS至183 SPS	不适用	不适用	$12 \text{ s} + 512/\text{ODR}$
45.7 SPS至91.5 SPS	不适用	不适用	$24 \text{ s} + 512/\text{ODR}$
22.8 SPS至45.7 SPS	不适用	不适用	$48 \text{ s} + 512/\text{ODR}$
11.4 SPS至22.8 SPS	不适用	不适用	$96 \text{ s} + 512/\text{ODR}$
10 SPS至11.4 SPS	不适用	不适用	$192 \text{ s} + 512/\text{ODR}$

ASRC主机模式

在ASRC主机模式下，AD7134器件以可编程的抽取率产生输出数据。用户在引脚控制和SPI控制模式下均可对抽取率进行编程，以实现所需的输出数据速率。

在引脚控制模式下，抽取率是固定的，取决于预定义的引脚控制选项。通过配置DEC0/DCLKIO引脚至DEC3/SDO引脚，有16种抽取率选项可用。最终ODR值还取决于数字滤波器的类型。表28总结了主机模式下可用的ODR值。

在SPI控制模式下，ODR可以是表19所示完整范围内的值。ODR可以通过ODR_VAL_INT位[23:0]和ODR_VAL_FLT位[31:0]进行编程，分辨率为0.01 SPS。

在示例1中，为使ODR等于187.23 kSPS，抽取率计算如下：

$$\begin{aligned} \text{抽取率} &= \text{MCLK}/187.23 \text{ kHz} = \\ &24 \text{ MHz}/187.23 \text{ kHz} = 128.1846 = 0x0000802F4103E5 \end{aligned}$$

将0x80写入ODR_VAL_INT位[23:0]。

将0x2F4103E5写入ODR_VAL_FLT位[31:0]。

在示例2中，为使ODR等于375 kSPS，抽取率计算如下：

$$\begin{aligned} \text{抽取率} &= \text{MCLK}/375 \text{ kHz} = 24 \text{ MHz}/375 \text{ kHz} = \\ &64 = 0x00004000000000 \end{aligned}$$

将0x000040写入ODR_VAL_INT位[23:0]。

将0x00000000写入ODR_VAL_FLT位[31:0]。

每次更改ODR_VAL_INT位[23:0]和ODR_VAL_FLT位[31:0]时，都要设置TRANSFER_REGISTER中的MASTER_SLAVE_TX_BIT以将ODR更新到新值。

用户可以灵活地更改ODR值，但这意味着要丢失大约2 μs加上滤波器建立时间的数据。在全部ODR范围内，2 μs时间t_{DELAY}是恒定的。更多信息参见图90。

SPI控制模式还允许用户利用ODR_RATE_SEL_CHx位为四个ADC通道中的每个通道设置不同的ODR速率。ODR选项以ODR频率的1、1/2、1/4或1/8为限。

表28. 引脚控制主机模式下的输出数据速率配置

DEC3	DEC2	DEC1	DEC0	宽带0.433 Hz × ODR滤波器(kSPS)	Sinc6滤波器(kSPS)	Sinc3滤波器(kSPS)
0	0	0	0	374	1496	1496
0	0	0	1	325	1250	1000
0	0	1	0	285	1000	750
0	0	1	1	256	750	375
0	1	0	0	235	500	187.5
0	1	0	1	200	375	128
0	1	1	0	175	325	64
0	1	1	1	128	256	32
1	0	0	0	100	175	16
1	0	0	1	80	128	5
1	0	1	0	64	80	2.5
1	0	1	1	32	64	1.25
1	1	0	0	16	32	0.625
1	1	0	1	10	10	0.06
1	1	1	0	5	5	0.05
1	1	1	1	2.5	2.5	0.01

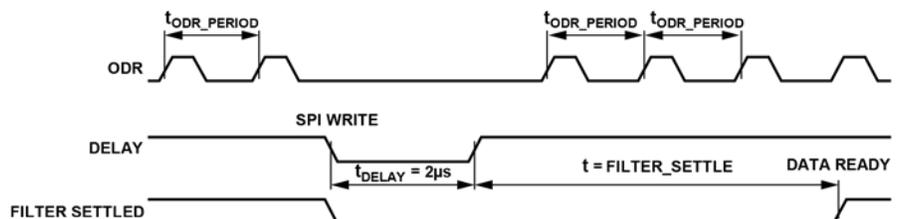


图90. 主模式ODR变换

数据时钟(DCLK)

数据时钟可以是输入或输出，具体取决于ODR引脚的方向。当ODR为主机模式下的输出时，应将DEC0/DCLKIO引脚设置为高电平以将DCLK配置为输出。当ODR为从机模式下的输入时，应将DEC0/DCLKIO引脚接低电平以将DCLK配置为输入。数据时钟由DEC1/DCLKMODE引脚控制，可以工作在选通模式或自由振荡模式。

当以引脚控制模式工作且ASRC设置为主机模式时，DCLK操作只能是选通输出。当以引脚控制模式工作且ASRC设置为从机模式时，或者当以SPI控制模式工作时，DCLK工作模式由

DEC1/DCLKMODE引脚和DEC0/DCLKIO引脚控制，如表29所示。

在主机模式下，DCLK引脚配置为输出。DCLK频率源自AD7134器件的主时钟，在引脚控制模式下可以利用DCLKRATE0/GPIO0引脚至DCLKRATE2/GPIO2引脚进行配置，在SPI控制模式下可以利用寄存器0x11的DCLK_FREQ_SEL (位[3:0]) 进行配置。SPI控制模式提供16种DCLK输出频率选项，引脚控制模式提供8种。表30列出了所有DCLK输出频率选项。

在从机模式下，DCLK引脚为外部信号。

表29. 引脚控制模式或SPI控制模式下的DCLK工作模式

DEC1/DCLKMODE	DEC0/DCLKIO	MODE	DCLK方向	DCLK模式
0	0	0	输入	选通
0	0	1	保留	保留
0	1	0	保留	保留
0	1	1	输出	选通
1	0	0	输入	自由振荡
1	0	1	保留	保留
1	1	0	保留	保留
1	1	1	输出	自由振荡

表30. DCLK输出频率配置

DCLKRATE2 或 寄存器0x11位3	DCLKRATE1 或 寄存器0x11位2	DCLKRATE0 或 寄存器0x11位1	寄存器0x11位0	DCLK输出频率选项
0	0	0	0	48 MHz (SPI/引脚控制模式默认值)
0	0	0	1	24 MHz ¹
0	0	1	0	12 MHz
0	0	1	1	6 MHz ¹
0	1	0	0	3 MHz
0	1	0	1	1.5 MHz ¹
0	1	1	0	750 kHz
0	1	1	1	375 kHz ¹
1	0	0	0	187.5 kHz
1	0	0	1	93.75 kHz ¹
1	0	1	0	46.875 kHz
1	0	1	1	234.375 kHz ¹
1	1	0	0	11.71875 kHz
1	1	0	1	5.859375 kHz ¹
1	1	1	0	2.929688 kHz
1	1	1	1	1.464844 kHz ¹

¹ 引脚控制模式下不可用。

数字滤波器编程

在引脚控制模式下，通过配置 FILTER1/GPIO5 引脚和 FILTER0/GPIO4 引脚，可以使用四类数字滤波器。所有四个 ADC 通道共享同一类型的数字滤波器。

还有一类数字滤波器，即宽带 $0.10825 \text{ Hz} \times \text{ODR}$ 滤波器，只能在 SPI 控制模式下可用。在 SPI 控制模式下，每个 ADC 通道可以通过 DIGFILTER_SEL_CHx 位独立配置数字滤波器类型，以及通过 WB_FILTER_SEL_CHx 位配置额外数字滤波器类型（宽带 $0.10825 \text{ Hz} \times \text{ODR}$ 滤波器或宽带 $0.433 \text{ Hz} \times \text{ODR}$ 滤波器），其中 x 为通道号 0 至 3。表 31 列出了所有数字滤波器选项。

要动态配置数字滤波器，须先更改数字滤波器，然后更改输出数据速率，以确保正确工作。

数据接口编程

数字接口包括设置格式、帧和均值选项。

输出通道格式

数据接口格式通过设置 FORMAT0/ $\overline{\text{CS}}$ 引脚和 FORMAT1/SCLK 引脚来确定。FORMAT0/ $\overline{\text{CS}}$ 引脚和 FORMAT1/SCLK 引脚的逻辑状态在上电时读取，决定 ADC 转换结果通过多少条数据线 (DOUTx) 输出。

由于 FORMAT0/ $\overline{\text{CS}}$ 引脚和 FORMAT1/SCLK 引脚是在 AD7134 上电时读取，并且器件一直处于这种输出配置，因此必须用硬连线方式实现这种功能，不得动态改变。图 91 和图 92 显示了 AD7134 数字输出引脚的格式配置。

表 31. 数字滤波器配置

FILTER1 或 DIGFILTER_SEL_CHx, 位 1	FILTER0 或 DIGFILTER_SEL_CHx, 位 0	WB_FILTER_SEL_CHx, 位 0	数字滤波器类型
0	0	0	宽带 $0.433 \text{ Hz} \times \text{ODR}$ 滤波器
0	0	1	宽带 $0.10825 \text{ Hz} \times \text{ODR}$ 滤波器 ¹
0	1	X ²	Sinc6
1	0	X ²	Sinc3
1	1	X ²	Sinc3 加额外的 60 Hz 抑制

¹ 仅在 SPI 控制模式下可用。

² X 表示无关。

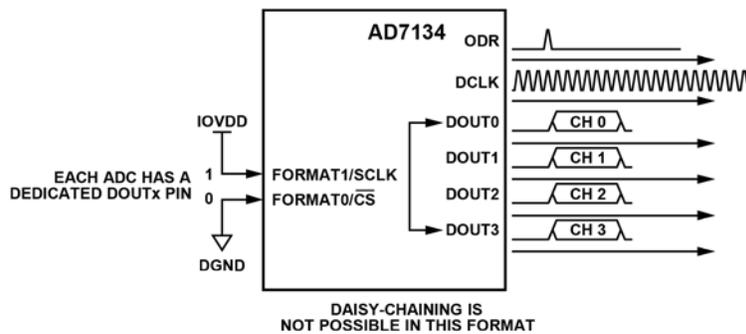


图 91. FORMAT1、FORMAT0 = 10，四个数据输出引脚

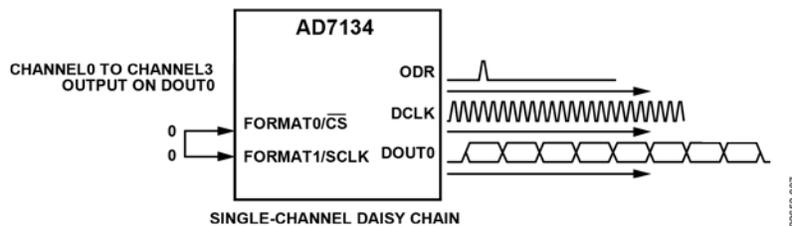


图 92. FORMAT1、FORMAT0 = 00，一个数据输出引脚

对于给定数据接口配置，所需的最小DCLK速率计算如下：

$$DCLK \text{ (最小值)} = \text{输出数据速率} \times \text{每个DOUTx的通道数} \times (\text{帧大小} + 6)$$

例如，若数据大小 = 24，使能CRC，使用一条DOUTx线，单通道菊花链连接，

$$DCLK \text{ (最小值)} = 374 \text{ kSPS} \times 4 \text{ 通道/DOUTx} \times (24 + 8 + 6) = 44.88 \text{ Mbps}$$

AD7134可以使用四个输出引脚从四个ADC通道并行输出数据，或者将数据串行化并使用较少的引脚予以输出。对于给定的DCLK频率，并行输出可实现更高的输出数据速率。数据串行化除了可以使用较少的I/O外，还支持多个AD7134器件以菊花链方式连接并输出数据。

在引脚控制模式下，输出通道格式由FORMAT0/ $\overline{\text{CS}}$ 引脚和FORMAT1/SCLK引脚控制；在SPI控制模式下，输出通道格式由DIGITAL_INTERFACE_CONFIG寄存器中的格式位控制。

表33列出了所有输出通道格式选项。

数据帧

每个ADC样本输出数据的帧由数据和可选的状态/CRC标头组成。

AD7134支持两种数据长度选项：16位和24位。AD7134还支持一个CRC-6标头选项。表34列出了所有输出数据帧选项。

数据延迟

使用MPC_CONFIG寄存器可以将AD7134每个通道的数据输出分别延迟0、1或2个MCLK周期。根据增益设置和滤波等因素，前端信号链元件可能增加不同量的相位延迟。利用此特

性，用户可以灵活地匹配不同通道上的延迟，从而实现通道间相位的严格匹配。

功耗模式

AD7134有两种功耗模式：高性能模式和低功耗模式。这些模式在引脚控制模式和SPI控制模式下均可用。在引脚控制模式下，PWRMODE/GPIO3引脚控制AD7134的工作功耗模式。在SPI控制模式下，POWER_MODE位控制功耗模式。在SPI控制模式下还有休眠模式可用。表32总结了功耗模式配置。在引脚控制模式和SPI控制模式下，均可通过PDN引脚启动器件的完全关断模式。

表32. 功耗模式配置

PWRMODE/GPIO3或POWER_MODE位	SLEEP_MODE_EN	器件功耗模式
0	0	低功耗模式
1	0	高性能模式
X	1	休眠模式

要在低功耗模式下正确操作器件，用户必须将设置从低功耗模式切换到高性能模式，然后再切换回低功耗模式。

在引脚控制模式下，要将AD7134设置为低功耗模式，须将PWRMODE/GPIO3引脚切换为高电平，经过10 ms的延迟后，再将其切换回低电平。在SPI控制模式下，上电之后将POWER_MODE位从低电平变为高电平，经过10 ms的延迟后，再将其恢复为低电平。

同样，在引脚从机模式下，首先提供ODR信号，然后更改功耗模式以确保对PWRMODE/GPIO3引脚进行动态采样。

表33. 输出通道格式配置

FORMAT1/SCLK引脚或DIGITAL_INTERFACE_CONFIG寄存器位1	FORMAT0/ $\overline{\text{CS}}$ 引脚或DIGITAL_INTERFACE_CONFIG寄存器位0	输出通道格式
0	0	单通道菊花链模式。DOUT0充当输出，DOUT2充当菊花链输入。禁用DOUT1和DOUT3。所有四个ADC通道的数据串行化后通过DOUT0输出（SPI默认模式）。
0	1	双通道菊花链模式。DOUT0和DOUT1充当输出，DOUT2和DOUT3充当菊花链输入。通道0和通道1的数据串行化后通过DOUT0输出。通道2和通道3的数据串行化后通过DOUT1输出。
1	0	四通道并行输出模式。每个ADC通道有一个专用数据输出引脚。
1	1	通道数据均值模式。在引脚控制模式下，所有四个通道的数据平均后通过DOUT0输出。DOUT2充当菊花链输入。禁用DOUT1和DOUT3。在SPI控制模式下，均值操作由寄存器0x12的AVG_SEL位定义。

表34. 数据帧选项

FRAME1/GPIO7引脚或DATA_PACKET_CONFIG寄存器位1	FRAME0/GPIO6引脚或DATA_PACKET_CONFIG寄存器位0	数据帧	帧长度
0	0	16位ADC数据	16
0	1	16位数据加CRC-6	24
1	0	24位ADC数据	24
1	1	24位数据加CRC-6	32

固有抗混叠滤波器模式

CTSD架构允许AD7134抑制调制器采样频率整数倍附近的信号，从而保护其目标输入频带免于混叠。AD7134提供两种抗混叠模式。默认抗混叠模式AA1提供典型值为85 dB的混叠抑制。

另一种抗混叠模式AA2可将抑制性能提高到102.5 dB，代价是失调漂移增加到1.03 $\mu\text{V}/^\circ\text{C}$ ，每通道功耗增加3 mW，噪声电平更高，动态范围降低。

AA2模式仅在SPI控制模式下可用，可以通过将AA_MODE位设置为1来使能。

表35显示了固有抗混叠模式的典型性能差异。滤波器为宽带 $0.433 \times \text{ODR}$ FIR滤波器，ODR值为 $\text{ODR} = 374 \text{ kSPS}$ 。

表35. 固有抗混叠模式的性能差异

参数	AA1模式	AA2模式
动态范围	107.4 dB	105.9 dB
SNR	106.6 dB	105.4 dB
混叠抑制	85 dB	102.5 dB
失调漂移	0.5 $\mu\text{V}/^\circ\text{C}$	1.03 $\mu\text{V}/^\circ\text{C}$
每通道功耗	126 mW	129 mW

动态范围增强、通道均值

AD7134内置4通道和2通道均值功能，这些功能分别可将性能提高6 dB和3 dB。该器件对来自其两个或四个ADC通道的输出数据进行片上平均，以改善动态范围。

均值是数字滤波器之后的数字后处理选项，用于对多个ADC通道的输出数据进行平均。此均值特性允许用户使用多个ADC通道测量一个信号，并对结果求均值以实现更高的动态范围。

在4:1均值模式下，单个输入信号施加于所有四个输入通道，如图93所示。在这种使能均值的模式下，AD7134为单通道器件，动态范围提高6 dB。

在2:1均值模式下，单个输入信号施加于两个输入通道，如图94所示。在这种使能均值的模式下，AD7134表现为双通道器件，各通道的动态范围提高3 dB。

有关通道均值的噪声性能，参见“噪声性能和分辨率”部分。

图93和图94显示了使用这些功能的连接图。对于4:1通道均值，所有四个输入短接在一起，而对于2:1通道均值，两个输入短接在一起。

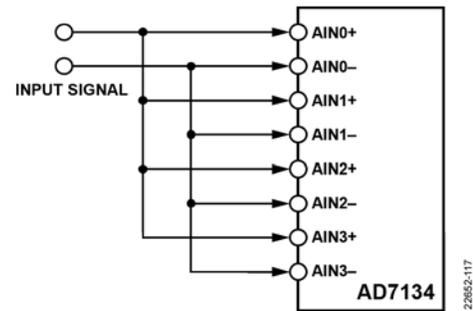


图93. 4:1通道均值

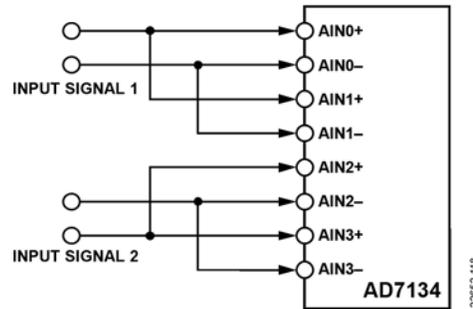


图94. 2:1通道均值

在引脚控制模式下，只有4:1均值可用，通过FORMAT0/ $\overline{\text{CS}}$ 引脚和FORMAT1/SCLK引脚进行配置，如表33所示。

在SPI控制模式下，将寄存器0x12的格式位[1:0]设置为11，使能输出均值功能。然后，使用寄存器0x12的位[3:2]选择通道均值选项。

校准

在SPI控制模式下，AD7134能够分别校准每个通道的失调和增益。用户可以更改AD7134和子系统的增益和失调。

ADC的每个通道都有相关联的增益和失调系数，每个ADC的这些系数在工厂编程后存储起来。用户可以使用增益和失调校正寄存器覆盖这些增益和失调系数。然而，在复位或周期供电之后，增益和失调寄存器值会回到硬编码的出厂设置。

这些选项仅在SPI控制模式下可用。

失调校准

失调校正寄存器是用于通道失调调整的23位带符号二进制补码寄存器。使用OFFSET_CAL_EN_CHx位使能每个通道的失

调设置。失调范围为 $\pm V_{REF}$ ，步长为 $V_{REF}/2^{22}$ 。失调寄存器调整的1 LSB使数字输出改变2 LSB。例如，失调寄存器从0变为100时，数字输出改变200 LSB。

有关该寄存器的更多信息，参见表81、表87、表93和表99中的OFFSET_CAL_EN_CHx位描述。

增益校准

增益寄存器为20位，范围为 $\pm 50\%$ ，1 LSB相当于0.95 ppm的增益。使用GAIN_CAL_SEL_CHx位使能每个通道的增益设置。

有关该寄存器的更多信息，参见表78、表84、表90和表96中的GAIN_CAL_SEL_CHx位描述。

应用信息

电源

AD7134共有七个电源输入引脚: AVDD5、DVDD5、LDOIN、AVDD1V8、DVDD1V8、CLKVDD和IOVDD。

针对4.096 V和5 V基准输入的工作电源电压值, 参见表1中的电源电压。

为了简化电源设计, 用户可以只用一个低噪声5 V电源为AVDD5引脚和DVDD5引脚供电, 只用一个低噪声1.8 V电源为AVDD1V8、DVDD1V8、CLKVDD和IOVDD引脚供电。

为产生5 V和1.8 V供电轨, 使用LT8606或LT8607的电源电路可提供一种低EMI、小尺寸解决方案, 支持宽范围的输入电压。

片上LDO稳压器

为简化电源设计, AD7134提供了三个内部LDO稳压器, 可从LDOIN引脚连接的2.6 V至5.5 V单电源产生AVDD1V8、DVDD1V8和CLKVDD引脚所需的1.8 V电压, 如图95所示。

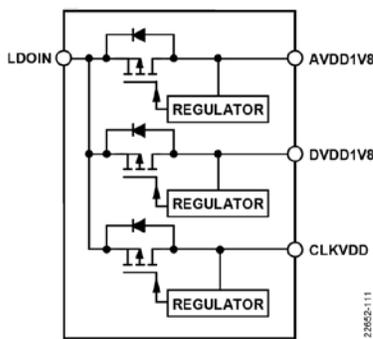


图95. 内部LDO稳压器连接

如果使用内部LDO稳压器, 必须通过10 μ F、10 μ F和2.2 μ F电容分别将AVDD1V8、DVDD1V8和CLKVDD引脚解耦至各自的地, 如图96所示。

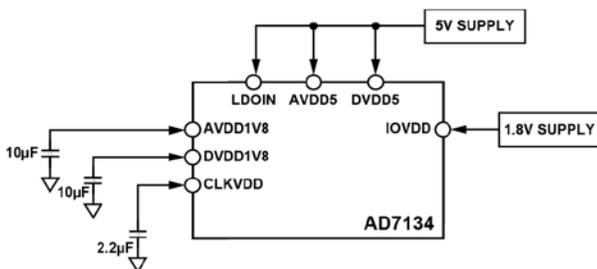


图96. 内部LDO稳压器模式电源连接

只有IOVDD电源首先上电(由外部1.8 V电源供电), 内部LDO稳压器才会使能。

如果遵循图97所示的电源顺序, 内部LDO稳压器将会正常工作。确保在DVDD5之后为IOVDD和LDOIN引脚供电, 如图97所示。



图97. 内部LDO模式下的上电时序

如果不使用内部LDO稳压器, 应将LDOIN引脚连接到DVDD1V8, 如图98所示。

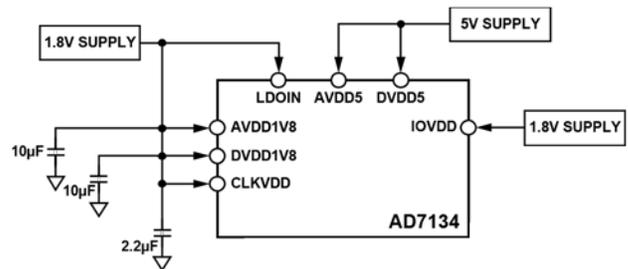


图98. 外部电源模式连接

如果AVDD1V8、DVDD1V8和CLKVDD由单独的外部电源供电, 须注意电源时序。所有三个电源都通过稳压器的背靠背二极管在内部连接。如果一个电源先上电, 它可以通过背向二极管和其他LDO稳压器为其他电源供电。

基准电压噪声滤波

用户可以通过对基准电压信号进行滤波来降低基准源的噪声, 减轻其对整体ADC转换精度的影响。REFIN引脚和REFCAP引脚之间有一个内部20 Ω 电阻, 用户可以在REFCAP引脚上连接一个电容, 从而形成一阶RC滤波器。

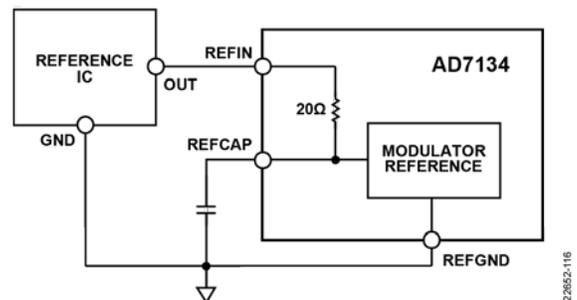


图99. 使用REFIN引脚的基准输入连接

一阶滤波器的等效噪声带宽为 $0.25/RC$ (单位为Hz)。

基准源的噪声影响与ADC输入信号成比例。当输入信号为满量程时, 基准电压源的噪声贡献最大。当ADC输入短路时, 基准电压噪声对输出无影响。

一般来说, 将基准电压噪声限制为ADC噪声的1/4时, 其对整体SN的影响最小。

总基准电压噪声为其1/f噪声和宽带噪声的平方和。

基准电压源的1/f噪声可以通过其在0.1 Hz至10 Hz频率范围内的峰峰值噪声规格来估算。宽带噪声可以根据基准电压噪声密度规格和基准电压噪声带宽来计算。

下面是一个基于ADC工作模式计算基准电压噪声要求的示例。

考虑AD7134器件以高性能模式工作，ODR = 374 kSPS，使用宽带0.433 Hz × ODR滤波器，基准电压为4.096 V。

根据表9，此设置中的ADC噪声为12.63 μV rms。基准电压噪声为其1/4，等于3.16 μV rms。

选择ADR444基准电压源IC来为AD7134提供基准电压。ADR444的0.1 Hz至10 Hz峰峰值噪声为1.8 μV p-p，噪声频谱密度为78.6 nV/√Hz。ADR444的1/f噪声为1.8 μV p-p，或1.8/6.6 = 0.273 μV rms。

总基准电压噪声为其1/f噪声和宽带噪声的和方根。因此，

$$\sqrt{(0.273^2 + n_{WB}^2)} < 3.16$$

求解方程式可得出ADR444的宽带噪声 n_{WB} ，该噪声必须小于3.14 μV rms。

ADR444的宽带噪声可以通过将其噪声频谱密度乘以噪声带宽的平方根来计算。

$$78.6 \text{ nV}/\sqrt{\text{Hz}} \times \sqrt{NBW} < 3.14 \text{ } \mu\text{V rms}$$

其中NBW为噪声带宽。

计算结果表明，噪声带宽必须小于1.6 kHz。一阶滤波器的等效噪声带宽为0.25/RC（单位为Hz）。

AD7134的REFIN引脚和REFCAP引脚之间有一个内部20Ω电阻。通过将ADR444的输出连接到REFIN输入，REFCAP引脚上的7.9 μF以上电容足以将基准电压噪声限制在所需值以下。建议在REFCAP引脚上放置一个10 μF电容。

多器件同步

AD7134的集成式ASRC有助于通过一条低速ODR线路实现多器件同步，使得不同器件的通道之间的相位匹配小于10 ns，因而易于同步。状态监控、电能质量分析仪和声纳系统之类的应用要求大量通道保持严格的相位匹配，导致数字接口设计非常复杂。

器件可以由自己的本地时钟源提供时钟，无需布设高速时钟线路（这会增加EMI问题）即可实现严格的相位匹配。这种时钟方案还意味着，对于要求隔离的应用，用户可以让更少的低速线路跨越隔离栅，如图100所示。

AD7134不需要跨隔离栅的系统时钟来同步隔离器件，因而在隔离式同步采样应用中可以实现更高的ODR。

为了实现紧密同步，用户必须将所有器件配置为从机模式，并使用SPI设置DIG_IF_RESET位来复位数字接口，然后进行数据捕捉。此DIG_IF_RESET命令必须通过单一SPI写命令同时提供给所有从机。

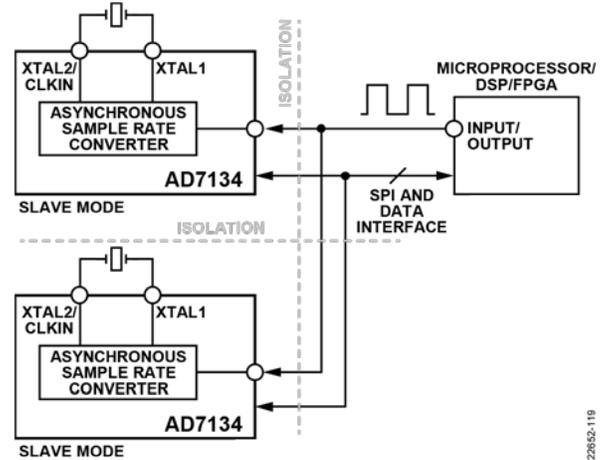


图100. AD7134中的简化时钟

相干采样

AD7134的集成ASRC允许用户以0.01 SPS的分辨率设置从0.01 kSPS到1496 kSPS的精细采样速度。ASRC允许用户检测线路频率并更改ODR，以使输入信号频率与采样速度之间有一个合理的关系。

在数学上，相干采样表示为 f_{IN}/f_{ODR} = 采样窗口中的周期数 ÷ FFT的数据点数。例如， f_{ODR} 为32 kSPS， f_{IN} 为1 kHz，样本数为512。采样窗口中的周期数 = 512 × 1000/32 kSPS = 16。

如果输入频率为1.01 kHz，则为实现相干采样，ODR变化为4096 × 1010/16 = 258.56 kSPS。

在电能计量和分析等应用中，谐波数据和计量参数必须达到所需的精度，并且应确保ADC采样速率和电力线频率之间存在相干性。

低延迟数字控制环路

控制环路要求低延迟，但用于降低噪声的抗混叠滤波器会增加显著的延迟，导致环路延迟加大。AD7134固有的抗混叠抑制功能消除了对抗混叠滤波器的需求，大大降低了信号链的延迟时间。

AD7134支持高达1496 kSPS的吞吐速率，因而它是低延迟24位数字控制环路的理想选择。

自动增益控制

以SPI控制模式工作时，AD7134具有额外的GPIO功能。AD7134的诊断特性之一是通过使能ERR_PIN_OUT_EN位，GPIO7可以报告任何诊断错误。

用户可以利用GPIO7报告任何输入超量程检测；基于该报告，用户可以控制前端放大器的增益。将GPIO7配置为输出，并将ERR_PIN_EN_OR_AIN位置1，便会使能输入超量程错误和GPIO7报告错误。连接FRAME1/GPIO7引脚以控制放大器。

输入线上任何超出 $\pm V_{REF}$ 的超量程输入都会导致GPIO7变为高电平，进而降低PGA增益，使其输出降至 $\pm V_{REF}$ 以下。该控制自动进行，无需数字主机的任何干预。

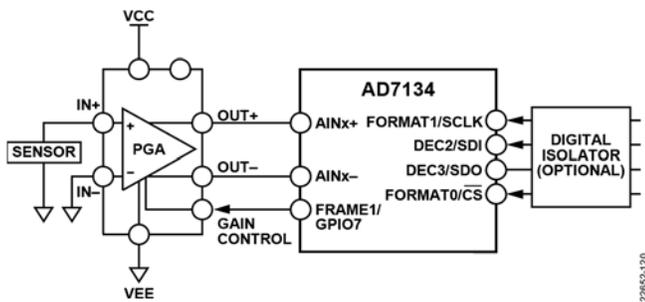


图101. 自动增益控制

前端设计示例

AD7134的模拟前端电路必须执行以下序列：

1. 提供足够的输入阻抗以匹配信号源。
2. 提供合理的低输出阻抗以驱动ADC的6 k Ω 差分输入电阻。
3. 使用2 V至2.5 V的固定共模电压将输入信号转换为平衡的全差分信号。
4. 提供必要的增益或衰减，以使最大源信号幅度与ADC的满量程输入范围相匹配。

建议使用如下低噪声放大器来应对各类系统挑战。典型运算放大器包括ADA4625-2、ADA4610-2、AD8605和ADA4075-2。典型全差分放大器包括ADA4940-2、LTC6363和ADA4945-1。典型仪表放大器包括AD8421。

具有受控共模和高阻抗源的差分输入信号

高阻抗源的例子包括用于应变和压力监控的惠斯通电桥型配置。

输入共模受到良好控制，不需要共模抑制，双运放配置可以正常工作。图102中的电路还能为信号提供增益。AD7134具有易于驱动的特性，因此运算放大器不需要具有高带宽和强大的输出驱动能力即可克服传统ADC的反冲。ADA4610-2是优先选择，因为它提供宽输入范围、低噪声、合适的带宽和高线性度。AD8605是另一个是另一个优先选择，支持轨到轨、低压、单电源操作。

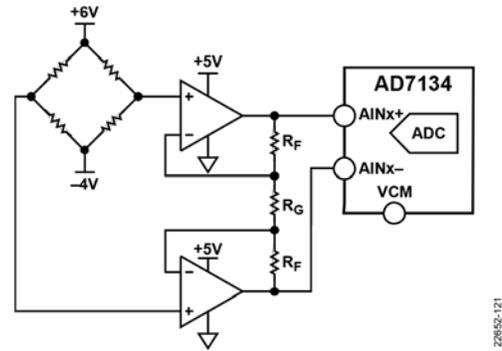


图102. 具有增益的缓冲输入，无需额外的共模抑制

具有未调节共模电压和低阻抗源的差分输入

如果需要更宽的输入共模范围，可以使用全差分放大器，如图103所示。

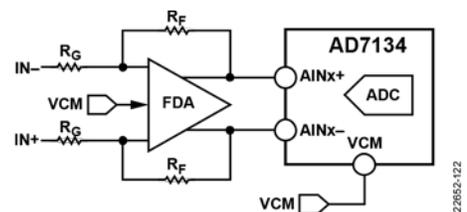


图103. 使用全差分放大器扩展输入共模电压和信号增益/衰减

此电路还能放大或衰减信号，并负责抑制输入共模。

ADA4940-2、ADA4945-1和LTC6363等全差分放大器都是合适的选择。具有高度匹配的集成电阻网络的器件，例如LTC6363-0.5、LTC6363-1和LTC6363-2，可提供最低94 dB的无与伦比的CMRR。

使用单极性单电源的全差分放大器

图104中的电路没有无源元件，但它为具有低阻抗源的单端或差分输入提供固定增益。单极性5 V单电源供电可简化电源设计。

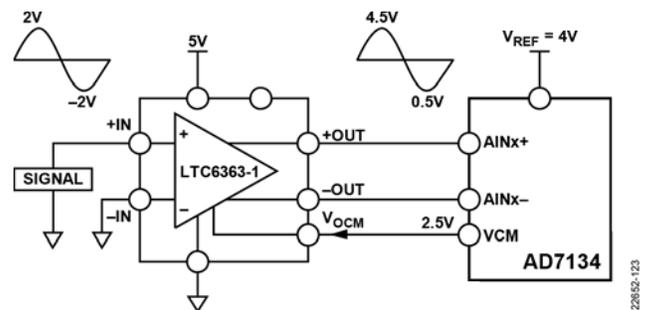


图104. 单电源全差分放大器

具有高源阻抗的单端或伪差分输入

单端或伪差分输入信号在驱动到AD7134之前, 必须转换为全差分信号。“前端设计示例”部分给出的与差分信号接口的所有电路示例都支持与单端或伪差分信号接口。将第二个输入连接到信号地或共模电压源。

其他几个电路可用于执行单端到差分转换。

单端转差分输出的仪表放大器

图105中的电路配置适合于单端输入信号、高共模范围和低输入电流, 支持增益 ≥ 1 的高阻抗源。

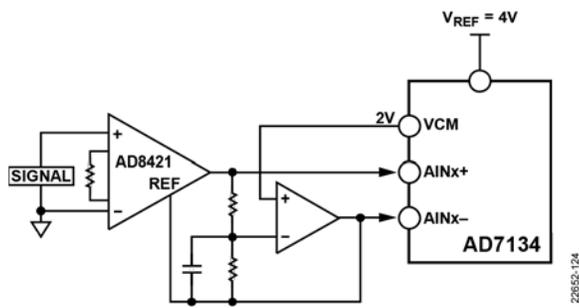


图105. 差分输出配置的仪表放大器

22652-124

精密双通道放大器

图106中的电路适合于高阻抗源, 它能增加增益或衰减。典型运算放大器有ADA4941-1、LT6350、ADA4805-2和ADA4004-2。

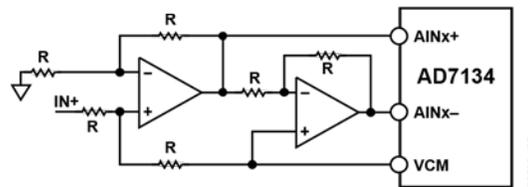


图106. 双通道运算放大器配置

22652-125

运算放大器和全差分放大器

图107中的电路是采用全差分放大器(例如ADA4945-1)的低输入偏置运算放大器, 适合于高阻抗源。全差分放大器电路可以增加增益或衰减。

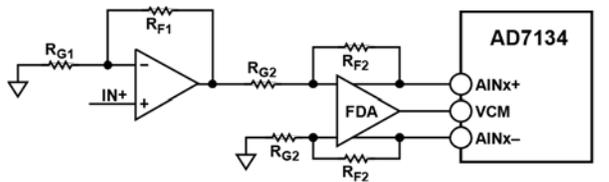


图107. 运算放大器和全差分放大器

22652-126

数字接口

AD7134数字接口包括两个独立的部分：一个用于寄存器访问和器件配置的SPI接口，以及一个用于发送转换数据的数据接口。

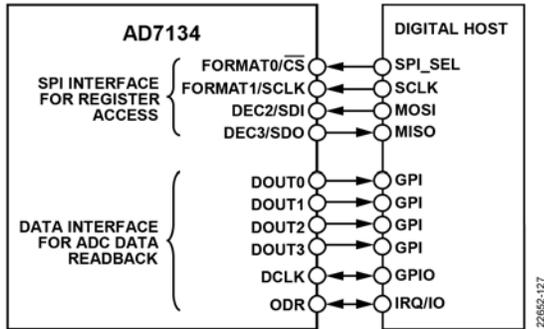


图108. AD7134的通信接口

SPI接口

SPI控制模式是AD7134支持的两种控制模式之一。另一种模式是引脚控制模式。用户可以通过设置 $\overline{\text{PIN}}/\text{SPI}$ 引脚的逻辑电平来选择器件的工作模式。将 $\overline{\text{PIN}}/\text{SPI}$ 引脚设置为高电平可选择SPI控制模式，这会使得器件的SPI接口。

AD7134有一个与QSPI、MICROWIRE和DSP兼容的4线SPI接口。该接口以SPI控制模式0工作。在SPI控制模式0下，SCLK空闲时为低电平，SCLK的下降沿为驱动沿，SCLK的上升沿为采样沿。SDO引脚上的输出数据在SCLK的下降沿移出，而SDI引脚上的输入数据在SCLK的上升沿进行采样。

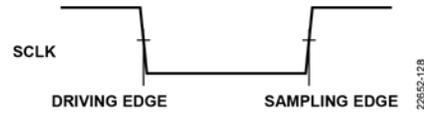


图109. SCLK边沿

SPI接口使用7位寻址方案，支持三种工作模式：3线模式、4线模式和最小I/O模式。还有可选的CRC功能，用于提高通信的鲁棒性。

3线模式

在此模式下，SDO禁用，读取的数据通过DEC2/SDI引脚获得。SDO在命令中为高阻抗，数据短接到SDI（参见图110）。

4线模式

标准SPI接口由四个信号组成，如图111所示。

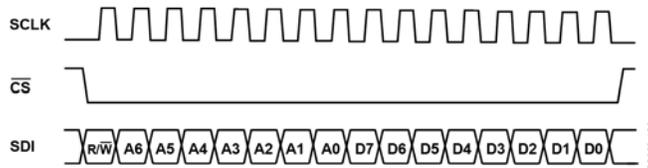


图110. 3线模式写/读命令

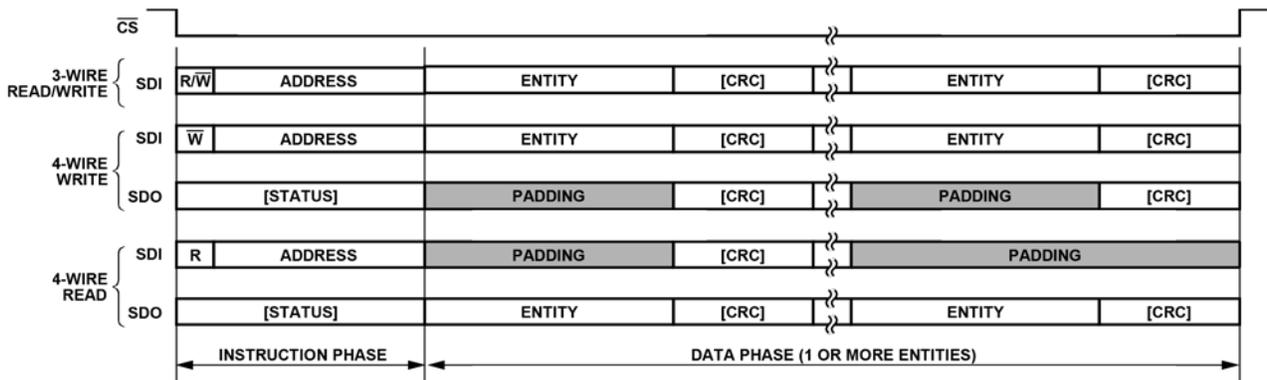


图111. 3线和4线SPI处理协议

SPI CRC

SPI CRC码是可选特性。使能它可以提高SPI总线上事务处理的鲁棒性，例如在高噪声环境中。

SPI CRC是利用多项式 $x^8 + x^2 + x + 1$ 计算的，其初始种子值为0xA5。

SPI CRC实现的Hamming距离为4，最大字长为119位。

3线隔离模式

AD7134以3线隔离模式上电，切换片选线会使AD7134退出该模式。片选线不使用，必须接地。SPI数据包为24位，由8位命令和地址、8位数据（实体）、8位CRC组成。3线隔离模式参见图112。另请注意，此模式不支持流式寄存器读或写操作。

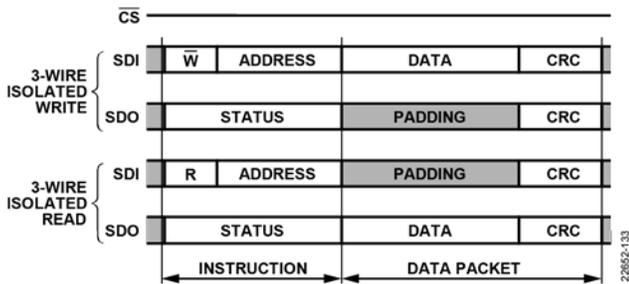


图112. 3线隔离模式

其他SPI特性

AD7134为用户提供了多种控制SPI接口的选项。下面说明其中的一些特性。

单指令模式

当SINGLE_INSTR位置1时，流传输被禁用，无论CS线的状态如何，都仅执行一次读或写操作。如果该位置1且CS保持置位，状态机将在数据字节后复位，就像CS解除置位一样，并等待下一条指令。单指令模式强制每个数据字节都有一个新的指令在先，不管CS线有没有解除置位。如果应用需要，单指令模式还能对CS引脚的使用提供更大的灵活性。该位的默认值为1，因而默认使能流传输。

SPI接口锁定/解锁



图113. SPI锁定/解锁和复位

AD7134为用户提供了一个选项，通过执行连续24个1的SPI写操作可以锁定SPI接口。该写操作会阻止SPI对寄存器的读/写访问。要解锁和复位，用户必须执行23个1和1个0的SPI写操作。通过完成对已知值的SPI寄存器的SPI读操作，可以读

取SPI接口的状态。如果SPI接口不同步，用户可启动解锁操作并复位SPI接口。在任何时候，如果SPI接口没有响应，应执行锁定和解锁操作。这种解锁/锁定不会影响数据接口上正在进行的数据处理，也不会影响SDO行为。

流模式

流模式允许用户连续重复访问一个或多个寄存器，而不必承担每个周期都要设置地址的相关开销。在循环结束时，自动生成的地址复位到起始地址，并继续计数，直至再次到达最后一个地址为止。只要CS没有变为无效，该过程就会继续。当CS变为无效后，流模式终止，直到用户再次启动。

STREAM_MODE寄存器用于告知器件在流模式下要访问多少个连续寄存器。如果该寄存器为0x00（默认值），则不使能流传输。如果该寄存器中的值不为零，则在启动流传输时，该寄存器中的值告诉地址生成器，在循环回到起始地址之前，要写入或读取多少个连续地址。如果该地址中的值为0x01，则在流事件持续时间内写入或读取同一地址。如果值为0x02，则在此持续时间内写入或读取两个连续地址。例如，若流传输的入口点是地址0x10，则地址0x10是第一个地址，地址0x11是第二个地址。此循环完成后，下一个自动生成的地址为0x10，依此类推。该循环一直持续到用户通过取消置位CS线来终止。

要启动流模式，用户必须首先将该寄存器0x00E设置为非零值，指示要访问多少个地址。0x01到0xFF之间的任何值都是有效的。请注意，此范围内的所有地址都适合流传输，因为可以将某些地址指定为不变。接下来，开始正常读或写周期。

主从传输位

TRANSFER_REGISTER的位0用作主从传输位，当一个寄存器由多个字节组成且必须同时写入所有字节以防止器件操作出错时，该位很有用。在主机模式下，ODR_VAL_INT_x和ODR_VAL_FLT_x寄存器需要这种实现。当该位置1时，使用SPI传输的多字节数据将一次写入从机。传输完成后，从器件将该位清0（自清零），从而向SPI主机表明传输已完成；如果控制程序需要，可以读取从机数据。

数据接口

AD7134有一个灵活的数据接口，支持不同类型的数字主机和应用需求。

AD7134可以用作数据接口的主机或从机。数据接口支持选通和自由振荡的时钟信号、并行或串行输出数据流传输模式以及菊花链配置。

数据接口包含三种信号类型：时钟、数据和数据帧信号。

数据接口时钟

AD7134同时支持选通和自由振荡的DCLK信号。ADC输出数据在DCLK上升沿移出。



图114. DCLK边沿

DCLK是双向引脚。AD7134可以充当接口主机并生成DCLK信号，或者充当接口从机并根据接收到的DCLK信号将数据移出。

当DCLK引脚配置为输出时，用户可以通过DATA_PACKET_CONFIG寄存器（或在引脚控制模式下通过配置DCLKRATE_x/GPIO_x引脚）来选择DCLK输出频率。

有关如何配置DCLK频率的更多信息，参见“输出数据速率和时钟编程”部分。

数据总线

ADC输出数据出现在DOUT_x引脚上。每个AD7134器件有四个数据输出引脚：DOUT0、DOUT1、DOUT2和DOUT3。用户可以选择在四个DOUT_x引脚上并行输出ADC转换结果，或者将来自多个通道的数据串行化，然后使用一个或两个DOUT_x引脚输出。

并行输出配置支持在低DCLK频率下实现高数据速率。串行输出配置需要的数字主机I/O更少，并且可以减少隔离应用中需要的数字隔离器通道数量。菊花链模式仅在串行输出配置中可用。

数据帧信号

ODR控制信号具有双重作用，可充当AD7134数据接口的帧传输信号。

ODR引脚是双向的，其信号方向取决于ASRC工作模式。

根据所用的DCLK模式，输出数据可以相对于ODR下降沿或

上升沿驱动出来。

选择数据接口工作模式

ODR信号的方向取决于ASRC工作模式的选择。有关ASRC的更多信息，参见“异步采样速率转换器”部分。

数据接口状态和CRC标头

用户可以选择将一个字节宽度的标头附加到每个输出数据样本中，以提供更多状态信息和/或错误检查。标头由6位CRC码和2个状态位组成，如表36所示。

表36. 标头详情

位	位功能描述
7	芯片错误
6	滤波器已建立且PLL已锁定
[5:0]	6位CRC

如果AD7134的片内诊断电路检测到错误，则位7置1。有关器件诊断特性的更多信息，参见“诊断”部分。

当相应通道上的数字滤波器完全建立时，以及在ASRC从机工作模式下，当PLL在ODR输入频率改变后锁定时，位6置1。

当标头的位6值为零时，数据样本值不反映正确的转换结果。

数据CRC计算

CRC利用表37所示的多项式和初始种子值计算。

表37. 数据CRC计算

CRC模式	多项式	默认种子值
CRC-6	$x^6 + x^5 + x^2 + x + 1$	0x25

备选CRC工作模式

AD7134使用线性反馈移位寄存器(LFSR)来计算CRC。在引脚控制模式和SPI控制模式下，在每个数据样本之后，LFSR的默认行为是使用默认种子值复位（参见表37）。在SPI控制模式下，用户可以改变LFSR复位行为。将CRC_POLY_RST_SEL配置为1可禁止LFSR在每次采样后复位，使当前CRC结果成为下一次计算的种子值。此模式使得基于处理器的数字主机可以减少CRC检查次数，但仍能检测到位传输中的错误。

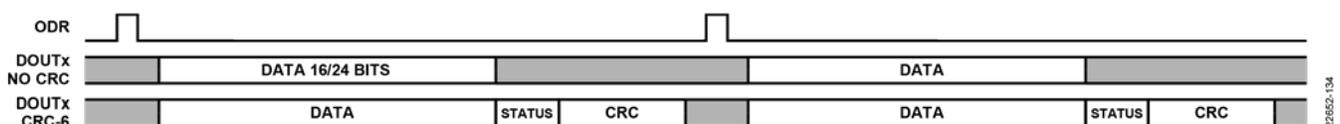


图115. 数据CRC选项

ASRC主机模式数据接口

当ASRC处于主机模式时，ODR引脚用作输出。用户可以选择DCLK引脚以选通模式或自由振荡模式运行。

DCLK引脚配置为输出时，AD7134充当数据接口主机，DCLK信号和输出数据流与ODR信号同步提供。

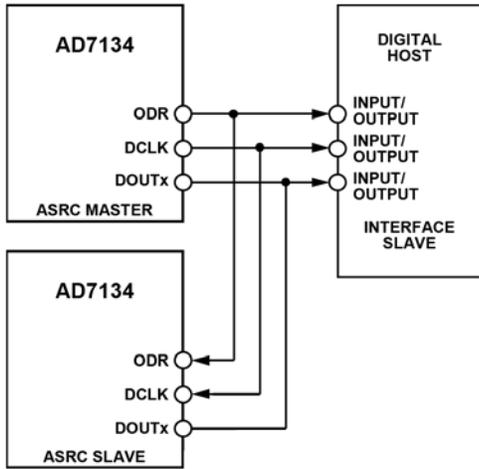


图116. 数据接口示例1, 第一个AD7134器件处于ASRC主机模式, 数字主机作为接口从机

ASRC从机模式数据接口

当ASRC处于从机模式时，ODR引脚用作输入。用户可以选择DCLK引脚以选通模式或自由振荡模式运行。

DCLK引脚配置为输入时，AD7134充当数据接口从机，在输入DCLK驱动沿提供输出数据流。

如果DCLK引脚配置为自由振荡输入，为了正确进行数据帧传输，用户必须确保DCLK引脚与ODR信号同步。

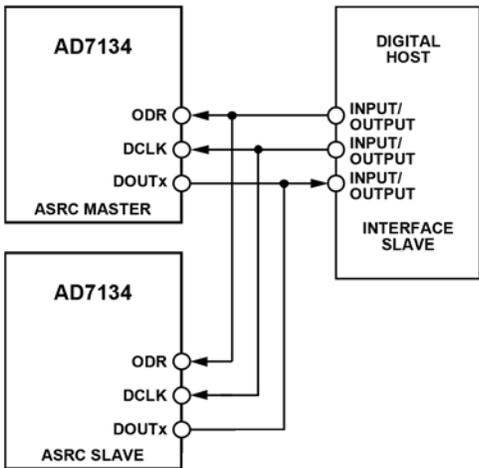


图117. 数据接口示例2, 两个AD7134器件处于ASRC从机模式, 数字主机作为接口主机

菊花链连接

菊花链连接是将各个AD7134器件的多个ADC输出端级联, 这样多个器件就可以使用同一数据接口线。仅一个ADC器件的数据接口与数字主机直接相连。

对于AD7134, 其实现方法是使用DOUT0和DOUT1级联多个器件, 或者仅使用DOUT0。

这一特性特别有助于减少器件数量和线路连接; 例如在隔离式多转换器应用或接口能力有限的系统中, 希望器件和连接越少越好。

当两个通道以菊花链连接时, DOUT2和DOUT3成为串行数据输入, 而DOUT0和DOUT1仍为串行数据输出。

图118显示了AD7134器件使用两个通道以菊花链方式连接的示例。这种情况下, AD7134器件的DOUT0和DOUT1引脚级联到菊花链中下一器件的DOUT2和DOUT3引脚。数据回读与读取移位寄存器相似。

所示方案的工作原理是: 下游AD7134器件的DOUT0和DOUT1引脚的输出数据传送至链中下一上游AD7134器件的DOUT2和DOUT3输入。数据以这种方式穿过菊花链, 直到它被送至链中最后一个上游器件的DOUT0和DOUT1引脚上。

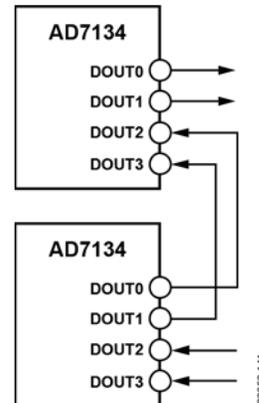


图118. 2通道菊花链配置的数据接口连接

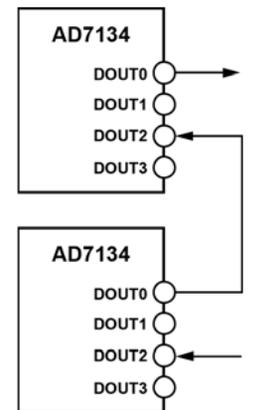


图119. 1通道菊花链配置的数据接口连接

仅使用DOUT0引脚时，AD7134实现菊花链连接的方式相似。在这种情况下，只有DOUT2引脚用作串行数据输入引脚，如图119所示。

如果AD7134在链中用作生成ODR和DCLK的主机，则用户必须对DAISY_CHAIN_DEV_NUM位进行编程，以使它知道连接了多少个器件。对DAISY_CHAIN_DEV_NUM位进行编程可确保AD7134产生足够数量的DCLK周期，以将数据从链中的所有器件移出。例如在图120中，主器件的DAISY_CHAIN_DEV_NUM位编程为0x01，使得AD7134可以产生所需数量的DCLK周期以从这两个器件中输出数据。

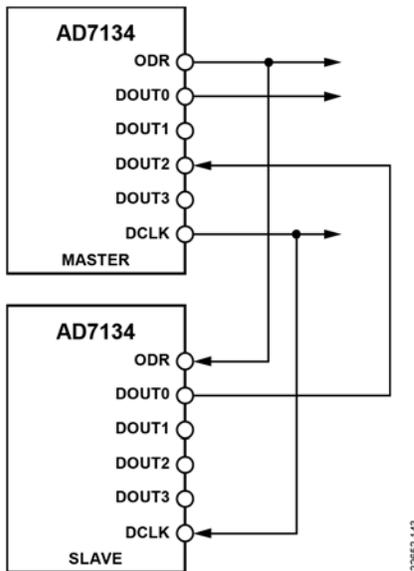


图120. 主从配置的单通道菊花链

链上支持的器件数量受针对给定输出数据速率而选择的DCLK频率限制。

以菊花链连接器件时，允许的最大可用DCLK频率受时序规格和DCLK工作模式的组合限制。

数据接口帧长度

AD7134数据接口采用基于字节的传输方案。也就是说，事务处理是以8位的倍数进行的。

数据帧长度定义为每个DOUTx引脚每个ODR周期的数据字节数，取决于以下因素：

- 转换输出字长
- 状态或CRC标头
- 数据输出格式配置
- 菊花链配置
- 数据平均值

转换输出字的大小可以是16位或24位。

每个转换结果可以包括一个状态或CRC标头字节，以提高通信的鲁棒性并接收实时错误状态。

用户可以选择并行或串行化输出数据。四个ADC通道的输出数据串行化传输到一个DOUTx引脚时，数据帧长度增加4倍。

如果以菊花链方式连接多个器件，则总数据帧长度等于链上各器件的数据帧长度之和。

帧长度示例

情况1的条件如下：

- 16位输出格式
- 无状态或CRC标头
- 通过所有四个DOUTx引脚并行输出
- 无菊花链
- 禁用平均

每个DOUTx引脚（共四个）上每个ODR周期的输出数据帧长度为 $16/8 = 2$ 字节。

情况2的条件如下：

- 24位数据格式
- 使能状态和CRC标头
- 通过两个DOUTx引脚输出
- 以菊花链连接三个器件
- 禁用平均

每个DOUTx引脚（共两个）上每个ODR周期的输出数据帧长度为 $(24/8 + 1) \times 2 \times 3 = 24$ 字节。

情况3的条件如下：

- 24位输出格式
- 使能状态/CRC标头
- 通过一个DOUTx引脚输出
- 以菊花链连接两个器件
- 4:1均值

每个ODR周期的输出数据帧长度为 $(24/8 + 1) \times 4 \times 2/4 = 8$ 字节。

DCLK频率选择

用户必须确保使用足够高的DCLK频率来及时输出完整长度的数据帧。

AD7134支持的最大DCLK频率为48 MHz（输出）和50 MHz（输入）。

选通DCLK输出周期

当DCLK配置为选通输出时，AD7134使用内部计数器控制每个ODR脉冲后输出的DCLK周期数。器件根据其数据帧和格式配置自动调整要输出的DCLK周期数。

但在菊花链模式下，器件不知道链上连接的器件数量。

在引脚控制模式下，除非器件配置为以四通道并行输出模式运行，否则它将认为是菊花链配置。如果DCLK引脚配置为选通输出，该器件将认为菊花链上有四个器件。它在每个ODR脉冲之后产生的DCLK周期数等于器件数据帧长度的四倍。

在SPI控制模式下，用户可以通过DAISY_CHAIN_DEV_NUM位灵活地设置菊花链上的器件数量。当DCLK配置为选通输出时，该值用作器件在每个ODR脉冲之后输出的DCLK周期数的乘数。

选通DCLK输出周期示例

情况1的条件如下：

- 16位输出格式
- 无状态或CRC标头
- 单通道菊花链模式
- 引脚控制工作模式
- DCLK配置为选通输出

每个ODR脉冲后器件输出 $16 \times 4 = 64$ DCLK周期。

情况2的条件如下：

- 24位输出格式
- 使能状态和CRC标头

- 双通道菊花链模式
- 禁用平均
- SPI控制工作模式
- DAISY_CHAIN_DEV_NUM = 3 (十进制)

每个ODR脉冲后器件输出 $(24 + 8) \times 2 \times 3 = 192$ DCLK周期。

通道相关ODR

在SPI控制模式下，AD7134支持使用CHANNEL_ODR_SELECT寄存器为每个通道配置不同的ODR速率。该速率必须是ODR引脚上信号频率的二分之一的幂，最小值为主ODR频率的1/8。

每个通道基于其ODR速率更新转换输出。例如，若一个通道的输出数据速率配置为ODR/4，则其输出数据每四个ODR周期更新一次。图121显示了一个器件的数据接口时序实例，其每个通道具有不同的输出数据速率设置。

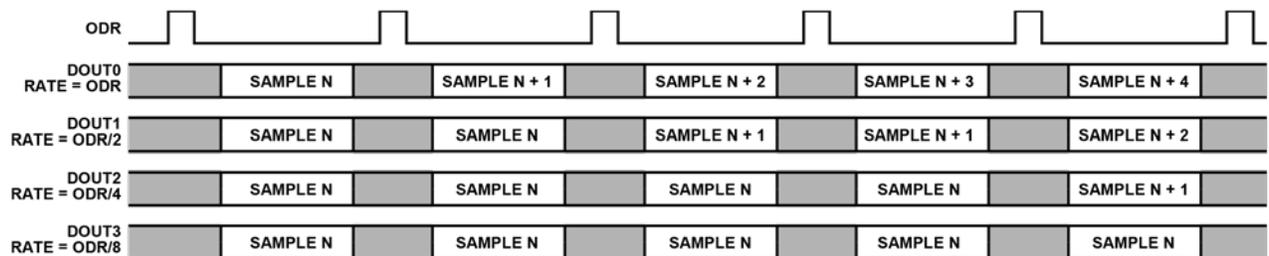


图121. 每个通道具有不同ODR设置的器件的数据接口时序示例

数字接口复位

INTERFACE_CONFIG_B寄存器的位1 (DIG_IF_RESET)用于复位数据接口。在多器件配置中, 此位使数据通道输出同步, 以实现器件间通道相位匹配。此位是自清零位, 仅在SPI从机工作模式下可用。请参阅“多器件同步”部分。

最小I/O模式

某些应用要求使用最少数量的I/O线与AD7134接口。此要求可能是由于数字主机上可用的I/O数量有限, 或者是出于成本原因, 需要尽可能减少隔离应用中的数字隔离通道数量。

AD7134支持仅使用四条单向I/O线进行寄存器和数据访问。

最小I/O模式配置实质上是将AD7134的寄存器和数据访问接口结合在一起, 允许数字主机仅通过一个SPI端口作为主机与AD7134接口。

由于I/O端口数量最小化, 固件设计会更复杂, CPU处理负荷可能更高。

上电时, AD7134以最小I/O模式引导, 切换 $\overline{\text{CS}}$ 引脚就会使器件退出最小I/O模式。此外, SPI CRC在最小I/O模式下使能, 不能禁用。所有SPI数据包必须为24位, 即R/W+地址(8位)、数据(8位)和CRC(8位), 如图114所示。要将AD7134配置为以最少数量的IO线工作, 请执行以下序列:

1. 将FORMAT0/ $\overline{\text{CS}}$ 引脚接地。
2. 在外部将DCLK连接到FORMAT1/SCLK引脚。
3. 将DCLK配置为选通输入。
4. 设置ASRC从机模式。
5. 将FORMATx设置为00, 来自所有四个ADC通道的数据会聚后通过DOUT0输出。
6. 将SDO_PIN_SRC_SEL设置为1。

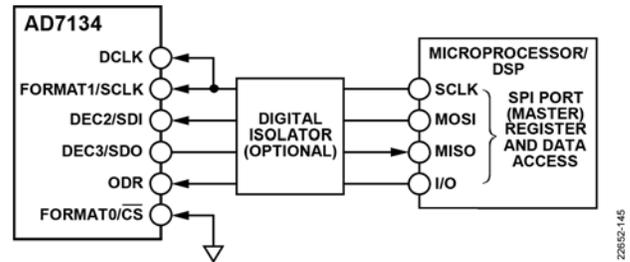


图122. 最小I/O配置的信号连接图

在最小I/O模式下, 用户可以使用DEC3/SDO引脚回读寄存器内容和ADC转换数据。在任何给定时间, 仅允许使能SDO和DOUT0输出中的一个。将SDO_PIN_SRC_SEL设置为1会使DOUT0上的信号重复出现在DEC3/SDO引脚上。

诊断

AD7134具有许多片内诊断功能,可监视和报告以下功能模块的错误:

- 内部Fuse
- 模拟输入范围
- MCLK频率
- SPI通信
- 存储器映射值
- ODR输入频率
- 数字滤波器

在SPI控制模式下,用户可以通过诊断控制寄存器使能或禁用以下诊断特性:

- Fuse循环冗余校验(CRC)
- 存储器映射CRC
- SPI CRC
- MCLK计数器
- 模拟输入范围

图123显示了所监视的所有不同类型的模,以及通过诊断控制寄存器使能的模块。

其余诊断特性在器件上连续运行,读取时除NO_CHIP_ERR位以外的所有位都会清零。

如图123所示,器件配置寄存器中的NO_CHIP_ERR位为主机错误状态位。如果任何其他状态错误位置1,则该位清0。当所有状态位清零时,该位变回1,表示无芯片错误。

内部Fuse完整性检查

AD7134使用Fuse类型存储器来存储每个器件独有的出厂编程校准值。出厂时,根据器件的最终Fuse值计算CRC码,并将其存储在器件存储器中。

每次上电时,器件都会读取Fuse存储器以进行自我配置。该器件还根据读取的Fuse值执行CRC计算,并将计算结果与出厂编程值进行比较以检测有无Fuse读取错误。

如果检测到Fuse CRC错误,则器件将ERR_FUSE_CRC位置1。

用户还可以使用诊断控制寄存器中的FUSE_CRC_CHECK位来启动Fuse检查。检查完成后,此位清0。执行该检查时,数据输出会中断。

Fuse CRC支持1位纠错。检测到错误后,器件会尝试纠错。如果错误得到纠正,AD7134会将STAT_FUSE_ECC位置1;如果Fuse CRC纠错未完成,则将ERR_FUSE_CRC位置1。

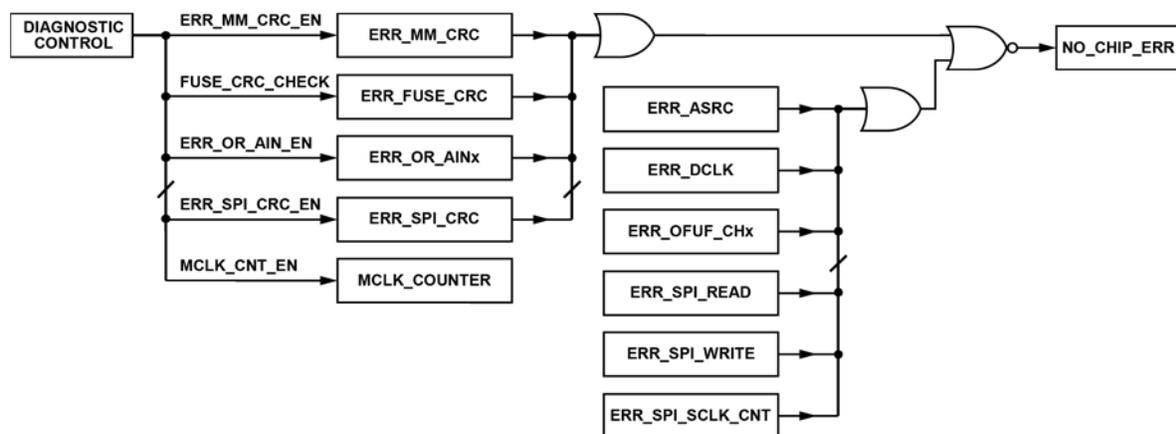


图123. 错误

22652-146

模拟输入超量程

当检测到AIN_{x+}引脚和AIN_{x-}引脚之间存在一个正满量程输入电压时，片内满量程超范围检测监控器会设置一个标志位。使用诊断控制寄存器中的ERR_OR_AIN_EN位可以在每个通道上使能该检测；如果电压超过一个通道对应的满量程，则与该特定通道相对应的过压位会被置1。

读取时会清除AIN_OR_ERROR寄存器中与四个输入通道相对应的四个过压标志。

MCLK计数器

稳定的MCLK非常重要，因为输出数据速率、滤波器建立时间和滤波器陷波频率均依赖于主时钟。AD7134允许用户监控主时钟。当诊断控制寄存器中的MCLK_CNT_EN位置1时，每经过12,000个主时钟周期，MCLK_COUNTER寄存器就会递增1。用户可以运行控制器中的定时器，从而在一个固定周期内监视该寄存器；主时钟频率可以根据MCLK_COUNTER寄存器中的结果确定。

$$MCLK = \text{寄存器数据} \times 12,000 / \text{定时器值}$$

其中寄存器数据为十进制格式。

例如，如果MCLK为24 MHz，定时器设置为100 ms，则预期的MCLK_COUNTER值为0xC8。此寄存器达到最大值后会绕回。

SPI接口监控

AD7134支持多种诊断措施以提高其SPI接口的鲁棒性。

访问未定义的寄存器地址

当用户尝试访问未定义的寄存器地址时，器件会忽略指令并设置错误标志位ERR_SPI_READ或ERR_SPI_WRITE。这些位在读取时清零。

SCLK计数器

AD7134使用一个SCLK计数器来计数由 \overline{CS} 信号使能的每个读写帧事务中提供的SCLK周期数。如果每个SPI事务结束时的SCLK周期数不是8的整数倍，则器件会设置错误标志位ERR_SPI_SCLK_CNT。此位在读取时清0。SCLK计数器在最小I/O模式下不可用。

SPI CRC

当诊断控制寄存器中的ERR_SPI_CRC_EN位置1时，器件会使能对所有SPI读写操作的CRC检查。如果CRC检查失败，SPI错误寄存器中的ERR_SPI_CRC位就会置1。此位在读取时清0。

对于CRC校验和计算，使用的多项式为 $x^8 + x^2 + x + 1$ ，复位种子为0xA5。

8位校验和附加于每次读和写处理的末尾。写处理的校验和利用8位命令字和数据计算。读处理的校验和利用命令字和数据输出计算。

对于写或读操作，主机发送R/W位、地址（8位）、数据（8位）和8位CRC（基于R/W、地址和数据）。

在写操作中，当主机通过SDI线发送CRC时，从机同时发送基于从机接收到的“写+地址+数据”计算出的CRC。只有接收到的CRC与计算出的CRC匹配时，从机才会执行写操作。从机发送1个状态位，随后是15个零和8位CRC（参见图124）。

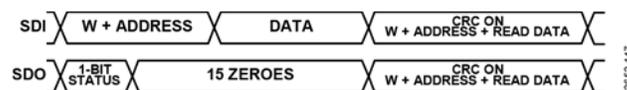


图124. 带CRC的SPI写操作

在读操作中，当主机通过SDI线发送CRC时，从机同时发送基于命令数据和读取数据计算出的CRC。从机发送1个状态位，随后是7个零、8位读取数据和8位CRC（参见图125）。

从机发送的1位状态是错误位，指示前一帧是否发生了读取、写入或CRC错误。

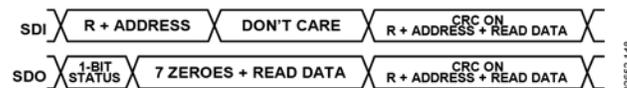


图125. 带CRC的SPI读操作

存储器映射完整性检查

当诊断控制寄存器中的ERR_MM_CRC_EN位置1时，器件会计算所有支持写访问的片上寄存器的数据的CRC，并将结果存储在存储器中。然后，器件以2.4 kHz的频率连续执行CRC计算，并将每个输出与存储器中存储的CRC值进行比较。如果两个值不同，器件就会将ERR_MM_CRC位置1。此位在读取时清0。每次SPI写操作之后，存储器中存储的CRC值也会重新计算。

此特性对于检测存储器映射中的软错误很有用。

ODR输入频率检查

ODR输入频率检查仅适用于ASRC从机模式下的器件操作。

器件会在PLL锁定后检查输入ODR信号频率，如果检测到的ODR频率超出选定类型滤波器的范围（如表19所示），则会将ERR_ASRC位置1。此位在读取时清0。

例如，若ODR输入设置为600 kSPS，滤波器组的类型为宽带，就会设置错误标志位。这种情况下没有数据输出。

数字滤波器上溢和下溢

当输入超出范围时，或者因为增益和校准寄存器的设置不正确，数字滤波器会发生上溢/下溢。AD7134监视数字滤波器路径，当检测到上溢或下溢状况时，它会设置DIG_FILTER_OFUF寄存器中的相应通道位。

为了正确使用该诊断特性，建议在上电后回读这些标志。

DCLK错误

该器件有一个内置特性，当数据时钟数不足以移出完整帧时，它会设置一个标志。

用户必须设置或提供足够快的数据时钟，以在给定ODR下移出完整帧，并确保满足如下条件，对于选通模式：

$$\text{ODR时间} > t_{\text{DCLK}} \times \text{帧大小} + 6 \times t_{\text{DCLK}} / t_{\text{DIGCLK}} \quad (\text{取较大者})$$

对于自由振荡模式：

$$\text{ODR时间} > t_{\text{DCLK}} \times \text{帧大小} + 4 \times t_{\text{DCLK}} / t_{\text{DIGCLK}} \quad (\text{取较大者}) \quad (1)$$

如果设置或提供的DCLK频率不满足式1，导致数据时钟数不足以移出整个帧，ERR_DCLK标志就会置1。此位在读取时清0。

GPIO功能

以SPI控制模式工作时，AD7134具有额外的GPIO功能。这种完全可配置的模式允许器件操作八个GPIO，使得AD7134可用作基于SPI的GPIO扩展器。各GPIO引脚可以设置为输入或输出（读或写）。

在写入模式下，这些GPIO引脚可用来控制其他电路，如开关、放大器、多路复用器、缓冲器等，像通过AD7134的SPI接口进行控制一样。以这种方式共享SPI接口时，与需要多个控制信号的系统相比，用户可以使用较少的控制器数据线。这种共享在需要减少跨越隔离栅的控制线数量的系统中尤其有用。类似地，GPIO读取是一个有用的特性，因为它允许外设向输入GPIO发送信息，然后可从AD7134的SPI接口读取此信息。

GPIO引脚可用作通用输入或输出。GPIO_DIR_CTRL寄存器将各引脚配置为输入或输出。当配置为输入时，GPIO_DATA寄存器反映引脚的状态；当配置为输出时，用户可以写入该寄存器以设置引脚（参见图126）。

引脚错误报告

此外，通过使能ERR_PIN_OUT_EN位，GPIO7可以用作输出来报告任何诊断错误。寄存器ERROR_PIN_SRC_CONTROL控制此引脚可报告的错误类型。如果选择了多个类型，则输出为所有选定错误的“逻辑或”结果。

通过使能ERR_PIN_IN_EN位，GPIO6可以用作其他任何器件的错误输入。此位的状态可以利用ERR_PIN_IN_STATUS位读取。

根据ERROR_PIN_SRC_CONTROL寄存器和ERR_PIN_IN_STATUS位，GPIO7输出是所有选定错误的“逻辑或”结果。

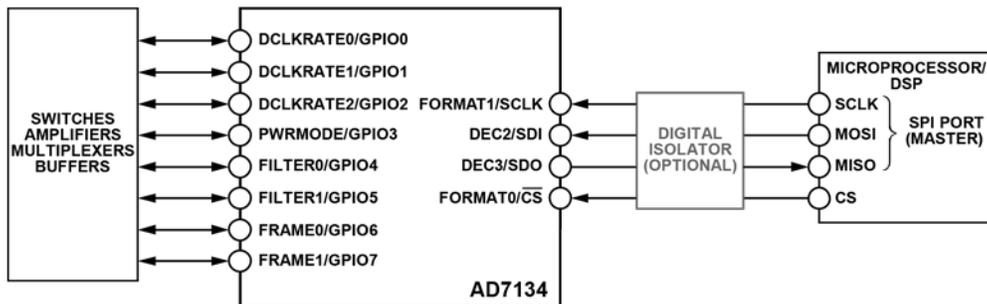


图126. AD7134作为SPI GPIO扩展器

22/652-149

寄存器映射 (SPI控制)

该器件的寄存器映射 (SPI控制) 参见表38。

表38. 寄存器映射

寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x0	INTERFACE_CONFIG_A	SOFT_RESET	保留	ADDRESS_ASCENSION_BIT	SDO_ACTIVE_BIT	SDO_ACTIVE_BIT_MIRROR	ADDRESS_ASCENSION_BIT_MIRROR	保留	SOFT_RESET_MIRROR	0x18	R/W
0x1	INTERFACE_CONFIG_B	SINGLE_INSTR	保留	MASTER_SLAVE_RD_CTRL	保留			DIG_IF_RESET	保留	0x80	R/W
0x2	DEVICE_CONFIG	保留		OP_IN_PROGRESS	NO_CHIP_ERR	保留			POWER_MODE	0xD0	R/W
0x3	CHIP_TYPE	CHIP_TYPE								0x07	R
0x4	PRODUCT_ID_LSB	PRODUCT_ID[7:0]								N/A ¹	R
0x5	PRODUCT_ID_MSB	PRODUCT_ID[15:8]								N/A ¹	R
0x6	CHIP_GRADE	PRODUCT_GRADE				DEVICE_VERSION				0x00	R
0x7	SILICON_REV	SILICON_REVISION_ID								0x02	R
0xA	SCRATCH_PAD	SCRATCH_PAD								0x00	R/W
0xB	SPI_REVISION	SPI_REVISION_NUMBER								0x02	R
0xC	VENDOR_ID_LSB	VENDOR_ID[7:0]								0x56	R
0xD	VENDOR_ID_MSB	VENDOR_ID[15:8]								0x04	R
0xE	STREAM_MODE	STREAM_MODE_BITS								0x00	R/W
0xF	TRANSFER_REGISTER	保留							MASTER_SLAVE_TX_BIT	0x00	R/W
0x10	DEVICE_CONFIG_1	保留				AA_MODE	SDO_PIN_SRC_SEL	REFIN_GAIN_CORR_EN	XCLKOUT_EN	0x00	R/W
0x11	DATA_PACKET_CONFIG	CRC_POLY_RST_SEL	保留	帧	DCLK_FREQ_SEL				0x00	R/W	
0x12	DIGITAL_INTERFACE_CONFIG	DAISY_CHAIN_DEV_NUM				AVG_SEL		格式		0x00	R/W
0x13	POWER_DOWN_CONTROL	保留	PWRDN_CH3	PWRDN_CH2	PWRDN_CH1	PWRDN_CH0	保留	PWRDN_LDO	SLEEP_MODE_EN	0x00	R/W
0x14	RESERVED	保留								0x00	R/W
0x15	DEVICE_STATUS	保留		STAT_DCLKMODE	STAT_DCLKIO	STAT_MODE	STAT_CLKSEL	STAT_FUZECC	STAT_PLL_LOCK	0x00	R
0x16	ODR_VAL_INT_LSB	ODR_VAL_INT[7:0]								0x40	R/W
0x17	ODR_VAL_INT_MID	ODR_VAL_INT[15:8]								0x00	R/W
0x18	ODR_VAL_INT_MSB	ODR_VAL_INT[23:16]								0x00	R/W
0x19	ODR_VAL_FLT_LSB	ODR_VAL_FLT[7:0]								0x72	R/W
0x1A	ODR_VAL_FLT_MID0	ODR_VAL_FLT[15:8]								0xB7	R/W
0x1B	ODR_VAL_FLT_MID1	ODR_VAL_FLT[23:16]								0xCE	R/W
0x1C	ODR_VAL_FLT_MSB	ODR_VAL_FLT[31:24]								0x2B	R/W
0x1D	CHANNEL_ODR_SELECT	ODR_RATE_SEL_CH3	ODR_RATE_SEL_CH2			ODR_RATE_SEL_CH1		ODR_RATE_SEL_CH0		0x00	R/W
0x1E	CHAN_DIG_FILTER_SEL	DIGFILTER_SEL_CH3	DIGFILTER_SEL_CH2			DIGFILTER_SEL_CH1		DIGFILTER_SEL_CH0		0x00	R/W
0x1F	FIR_BW_SEL	保留				WB_FILTER_SEL_CH3	WB_FILTER_SEL_CH2	WB_FILTER_SEL_CH1	WB_FILTER_SEL_CH0	0x00	R/W
0x20	GPIO_DIR_CTRL	GPIO_IO_CONTROL								0x00	R/W
0x21	GPIO_DATA	GPIO_DATA								0x00	R/W
0x22	ERROR_PIN_SRC_CONTROL	保留		ERR_PIN_EN_OR_AIN	ERR_PIN_EN_INTERNAL	ERR_PIN_EN_SPI	保留			0x00	R/W
0x23	ERROR_PIN_CONTROL	保留					ERR_PIN_IN_STATUS	ERR_PIN_IN_EN	ERR_PIN_OUT_EN	0x00	R/W
0x24	VCMBUF_CTRL	保留	PWRDN_VCMBUF	VCMBUF_REF_DIV_SEL				VCMBUF_REF_SEL	0x00	R/W	
0x25	诊断控制	保留		ERR_OR_AIN_EN	保留	MCLK_CNT_EN	ERR_SPI_CRC_EN	ERR_MM_CRC_EN	FUZE_CRC_CHECK	0x00	R/W

寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW		
0x26	MPC_CONFIG	MPC_CLKDEL_EN_CH3		MPC_CLKDEL_EN_CH2		MPC_CLKDEL_EN_CH1		MPC_CLKDEL_EN_CH0		0x00	R/W		
0x27	CH0_GAIN_LSB	GAIN_CH0[7:0]										0x00	R/W
0x28	CH0_GAIN_MID	GAIN_CH0[15:8]										0x00	R/W
0x29	CH0_GAIN_MSB	保留			GAIN_CAL_SEL_CH0		GAIN_CH0[19:16]				0x00	R/W	
0x2A	CH0_OFFSET_LSB	OFFSET_CH0[7:0]										0x00	R/W
0x2B	CH0_OFFSET_MID	OFFSET_CH0[15:8]										0x00	R/W
0x2C	CH0_OFFSET_MSB	OFFSET_CAL_EN_CH0	OFFSET_CH0[22:16]									0x00	R/W
0x2D	CH1_GAIN_LSB	GAIN_CH1[7:0]										0x00	R/W
0x2E	CH1_GAIN_MID	GAIN_CH1[15:8]										0x00	R/W
0x2F	CH1_GAIN_MSB	保留			GAIN_CAL_SEL_CH1		GAIN_CH1[19:16]				0x00	R/W	
0x30	CH1_OFFSET_LSB	OFFSET_CH1[7:0]										0x00	R/W
0x31	CH1_OFFSET_MID	OFFSET_CH1[15:8]										0x00	R/W
0x32	CH1_OFFSET_MSB	OFFSET_CAL_EN_CH1	OFFSET_CH1[22:16]									0x00	R/W
0x33	CH2_GAIN_LSB	GAIN_CH2[7:0]										0x00	R/W
0x34	CH2_GAIN_MID	GAIN_CH2[15:8]										0x00	R/W
0x35	CH2_GAIN_MSB	保留			GAIN_CAL_SEL_CH2		GAIN_CH2[19:16]				0x00	R/W	
0x36	CH2_OFFSET_LSB	OFFSET_CH2[7:0]										0x00	R/W
0x37	CH2_OFFSET_MID	OFFSET_CH2[15:8]										0x00	R/W
0x38	CH2_OFFSET_MSB	OFFSET_CAL_EN_CH2	OFFSET_CH2[22:16]									0x00	R/W
0x39	CH3_GAIN_LSB	GAIN_CH3[7:0]										0x00	R/W
0x3A	CH3_GAIN_MID	GAIN_CH3[15:8]										0x00	R/W
0x3B	CH3_GAIN_MSB	保留			GAIN_CAL_SEL_CH3		GAIN_CH3[19:16]				0x00	R/W	
0x3C	CH3_OFFSET_LSB	OFFSET_CH3[7:0]										0x00	R/W
0x3D	CH3_OFFSET_MID	OFFSET_CH3[15:8]										0x00	R/W
0x3E	CH3_OFFSET_MSB	OFFSET_CAL_EN_CH3	OFFSET_CH3[22:16]									0x00	R/W
0x3F	MCLK_COUNTER	MCLK_COUNT										0x00	R
0x40	DIG_FILTER_OFUF	保留				ERR_OFUF_CH3	ERR_OFUF_CH2	ERR_OFUF_CH1	ERR_OFUF_CH0	0x00		R	
0x41	DIG_FILTER_SETTLED	保留				CH3_SETTLED	CH2_SETTLED	CH1_SETTLED	CH0_SETTLED	0x00		R	
0x42	INTERNAL_ERROR	保留				ERR_DCLK	ERR_FUSE_CRC	ERR_ASRC	ERR_MM_CRC	0x00		R	
0x47	SPI错误	保留				ERR_SPI_CRC	ERR_SPI_SCLK_CNT	ERR_SPI_WRITE	ERR_SPI_READ	0x00		R	
0x48	AIN_OR_ERROR	保留				ERR_OR_AIN3	ERR_OR_AIN2	ERR_OR_AIN1	ERR_OR_AIN0	0x00		R	

¹ N/A 表示不适用。复位值与时间戳相关，在生产时写入。

寄存器详解

地址：0x0；复位：0x18；名称：INTERFACE_CONFIG_A

表39. INTERFACE_CONFIG_A的位功能描述

位	位名称	设置	描述	复位	访问类型
7	SOFT_RESET	0 默认值。 1 启动软复位。	器件软复位。此位在复位完成时清0。	0x0	R/W
6	保留		保留。	0x0	R
5	ADDRESS_ASCENSION_BIT	0 顺序寄存器地址按降序变化。 1 顺序寄存器地址按升序变化。	寄存器映射地址上升/下降控制。与流模式一起使用，地址上升会导致顺序寄存器地址按顺序上升。禁用会导致顺序寄存器地址按顺序下降。	0x0	R/W
4	SDO_ACTIVE_BIT	0 禁用SDO，表现为高阻抗。 1 使能SDO。	SDO控制。	0x1	R/W
3	SDO_ACTIVE_BIT_MIRROR		SDO_ACTIVE_BIT的镜像。	0x1	R
2	ADDRESS_ASCENSION_BIT_MIRROR		ADDRESS_ASCENSION_BIT的镜像。	0x0	R
1	保留		保留。	0x0	R
0	SOFT_RESET_MIRROR	0 默认值。 1 启动软复位。	SOFT_RESET的镜像。	0x0	R/W

地址：0x1；复位：0x80；名称：INTERFACE_CONFIG_B

表40. INTERFACE_CONFIG_B的位功能描述

位	位名称	设置	描述	复位	访问类型
7	SINGLE_INSTR	0 禁用。 1 使能。	单指令模式控制。置1时，无论CS状态如何，该位都会禁用流传输。清0时，使能流传输。	0x1	R/W
6	保留		保留。	0x0	R
5	MASTER_SLAVE_RD_CTRL	0 回读从机触发器输出。 1 回读主机触发器输出。	主从回读控制。确定要从主机缓冲位还是从机缓冲位(ODR_VAL_INT_x和ODR_VAL_FLT_x)回读数据。置1时，从主机输出回读数据。清0时，从从机输出回读数据。	0x0	R/W
[4:2]	保留		保留。	0x0	R
1	DIG_IF_RESET		数字接口复位。	0x0	R/W
0	保留		保留。	0x0	R/W

地址：0x2；复位：0xD0；名称：DEVICE_CONFIG

表41. DEVICE_CONFIG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	保留		保留。	0x3	R
5	OP_IN_PROGRESS	0 一些操作正在进行中。 1 没有正在进行的操作。	操作正在进行指示器。回读值为0表示器件正忙。	0x0	R

位	位名称	设置	描述	复位	访问类型
4	NO_CHIP_ERR		所有已使能状态错误的错误标志。此位是所有已使能错误位的“或”结果，只要有错误标志置1，它就保持清0状态。 0 器件出现芯片错误。 1 无芯片错误。	0x1	R
[3:1]	保留		保留。	0x0	R
0	POWER_MODE		器件功耗模式控制。 0 低功耗模式。 1 高性能模式。	0x0	R/W

地址：0x3；复位：0x07；名称：CHIP_TYPE

表42. CHIP_TYPE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CHIP_TYPE		指示器件类型的代码。读取值0x07确认其为精密ADC。	0x7	R

地址：0x4；复位：0x00；名称：PRODUCT_ID_LSB

表43. PRODUCT_ID_LSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	PRODUCT_ID[7:0]		产品ID。	不适用 ¹	R

¹ 复位值与时间戳相关，在生产时写入。

地址：0x5；复位：0x00；名称：PRODUCT_ID_MSB

表44. PRODUCT_ID_MSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	PRODUCT_ID[15:8]		产品ID。	不适用 ¹	R

¹ 复位值与时间戳相关，在生产时写入。

地址：0x6；复位：0x00；名称：CHIP_GRADE

表45. CHIP_GRADE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:4]	PRODUCT_GRADE		器件等级。	0x0	R
[3:0]	DEVICE_VERSION		器件版本。	0x0	R

地址：0x7；复位：0x02；名称：SILICON_REV

表46. SILICON_REV位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	SILICON_REVISION_ID		存储当前芯片的版本号。	0x2	R

地址：0xA；复位：0x00；名称：SCRATCH_PAD

表47. SCRATCH_PAD的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	SCRATCH_PAD		暂存器，用于检查SPI读写操作。	0x0	R/W

地址：0xB；复位：0x02；名称：SPI_REVISION

表48. SPI_REVISION的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	SPI_REVISION_NUMBER		表示SPI协议的版本号。	0x2	R

地址：0xC；复位：0x56；名称：VENDOR_ID_LSB

表49. VENDOR_ID_LSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	VENDOR_ID[7:0]		供应商ID。	0x56	R

地址：0xD；复位：0x04；名称：VENDOR_ID_MSB

表50. VENDOR_ID_MSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	VENDOR_ID[15:8]		供应商ID。	0x4	R

地址：0xE；复位：0x00；名称：STREAM_MODE

表51. STREAM_MODE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	STREAM_MODE_BITS		定义用户流模式的循环深度。	0x0	R/W

地址：0xF；复位：0x00；名称：TRANSFER_REGISTER

表52. TRANSFER_REGISTER位功能描述

位	位名称	设置	描述	复位	访问类型
[7:1]	保留		保留。	0x0	R
0	MASTER_SLAVE_TX_BIT		主从传输位。当该位置1时，数据输入到主机寄存器以传输到从机。传输完成后，从器件将该位清0（自清零），从而向SPI主机表明传输已完成；如果控制程序需要，可以读取从机数据。传输之前，除非寄存器0x1（MASTER_SLAVE_RD_CTRL）的位5置1，否则回读操作看到的将是先前的数据。这种情况下会访问主机数据。调用该传输的另一种方法是使用CS低到高转换。	0x0	R/W

地址：0x10；复位：0x00；名称：DEVICE_CONFIG_1

表53. DEVICE_CONFIG_1位功能描述

位	位名称	设置	描述	复位	访问类型
[7:4]	保留		保留，始终为零。	0x0	R/W
3	AA_MODE	0 AA1模式。 1 AA2模式。	设置固有抗混叠模式。	0x0	R/W
2	SDO_PIN_SRC_SEL	0 DEC3/SDO引脚用作SPI串行数据输出。 1 DOUT0上的信号在DEC3/SDO引脚上重复。	DEC3/SDO引脚信号源选择。在最小I/O模式下，用户可以使用DEC3/SDO引脚回读寄存器内容和ADC转换数据。	0x0	R/W
1	REFIN_GAIN_CORR_EN	0 基准电压增益校正禁用。 1 基准电压增益校正使能。	使能基准电压增益校正。	0x0	R/W
0	XCLKOUT_EN	0 XCLKOUT禁用。 1 XCLKOUT使能。	XCLKOUT输出使能控制。	0x0	R/W

地址：0x11；复位：0x00；名称：DATA_PACKET_CONFIG

表54. DATA_PACKET_CONFIG位功能描述

位	位名称	设置	描述	复位	访问类型
7	CRC_POLY_RST_SEL	0 在每个数据帧的末尾，使用默认种子值复位数据接口CRC。 1 在每个数据帧的末尾，数据接口CRC不复位。基于前一数据帧计算出的CRC值用作当前数据帧的CRC计算的种子。	数据接口CRC复位方法选择。	0x0	R/W
6	保留		保留	0x0	R

位	位名称	设置	描述	复位	访问类型
[5:4]	帧		ADC转换数据输出帧控制。 0 仅16位ADC数据。 1 16位ADC数据加6位CRC。 10 仅24位ADC数据。 11 24位ADC数据加6位CRC。	0x0	R/W
[3:0]	DCLK_FREQ_SEL		控制DCLK输出频率。 0 $f_{DCLK} = 48 \text{ MHz}$ 。 1 $f_{DCLK} = 24 \text{ MHz}$ 。 10 $f_{DCLK} = 12 \text{ MHz}$ 。 11 $f_{DCLK} = 6 \text{ MHz}$ 。 100 $f_{DCLK} = 3 \text{ MHz}$ 。 101 $f_{DCLK} = 1.5 \text{ MHz}$ 。 110 $f_{DCLK} = 750 \text{ kHz}$ 。 111 $f_{DCLK} = 375 \text{ kHz}$ 。 1000 $f_{DCLK} = 187.5 \text{ kHz}$ 。 1001 $f_{DCLK} = 93.75 \text{ kHz}$ 。 1010 $f_{DCLK} = 46.875 \text{ kHz}$ 。 1011 $f_{DCLK} = 23.4375 \text{ kHz}$ 。 1100 $f_{DCLK} = 11.71875 \text{ kHz}$ 。 1101 $f_{DCLK} = 5.859 \text{ kHz}$ 。 1110 $f_{DCLK} = 2.929 \text{ kHz}$ 。 1111 $f_{DCLK} = 1.464 \text{ kHz}$ 。	0x0	R/W

地址：0x12；复位：0x00；名称：DIGITAL_INTERFACE_CONFIG

表55. DIGITAL_INTERFACE_CONFIG位功能描述

位	位名称	设置	描述	复位	访问类型
[7:4]	DAISY_CHAIN_DEV_NUM		设置菊花链配置中连接的器件数。此寄存器仅适用于菊花链配置中设置为向其他器件输出DCLK的器件。寄存器值用作DCLK输出配置中的时钟周期乘数。例如，菊花链器件数设置为2时，每个ODR周期输出的DCLK周期数增加一倍。 0 仅使用一个器件。 1 2个器件形成菊花链配置。 10 3个器件形成菊花链配置。 11 4个器件形成菊花链配置。 100 5个器件形成菊花链配置。 101 6个器件形成菊花链配置。 110 7个器件形成菊花链配置。 111 8个器件形成菊花链配置。 1000 9个器件形成菊花链配置。 1001 10个器件形成菊花链配置。 1010 11个器件形成菊花链配置。 1011 12个器件形成菊花链配置。 1100 13个器件形成菊花链配置。 1101 14个器件形成菊花链配置。 1110 15个器件形成菊花链配置。 1111 16个器件形成菊花链配置。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
[3:2]	AVG_SEL		<p>多通道ADC转换数据均值控制。</p> <p>0 所有四个通道的数据平均后通过DOUT0输出。DOUT2充当菊花链输入。禁用DOUT1和DOUT3。</p> <p>1 通道0和通道1的数据平均后通过DOUT0输出。禁用DOUT1。通道2和通道3处于正常运行状态。</p> <p>10 通道2和通道3的数据平均后通过DOUT2输出。禁用DOUT3。通道0和通道1处于正常运行状态。</p> <p>11 通道0和通道1的数据平均后通过DOUT0输出。通道2和通道3的数据平均后通过DOUT1输出。DOUT2和DOUT3充当菊花链输入。</p>	0x0	R/W
[1:0]	格式		<p>DOUTx输出格式配置。</p> <p>0 单通道菊花链模式。DOUT0充当输出，DOUT2充当菊花链输入。禁用DOUT1和DOUT3。所有四个ADC通道的数据通过DOUT0输出。</p> <p>1 双通道菊花链模式。DOUT0和DOUT1充当输出，DOUT2和DOUT3充当菊花链输入。通道0和通道1的数据通过DOUT0输出。通道2和通道3的数据通过DOUT1输出。</p> <p>10 四通道并行输出模式。每个ADC通道有一个专用数据输出引脚。</p> <p>11 通道数据均值模式，均值操作由AVG_SEL定义。</p>	0x0	R/W

地址：0x13；复位：0x00；名称：POWER_DOWN_CONTROL

表56. POWER_DOWN_CONTROL位功能描述

位	位名称	设置	描述	复位	访问类型
7	保留		保留。	0x0	R
6	PWRDN_CH3		<p>关断模拟输入通道3。</p> <p>0 上电。</p> <p>1 关断。</p>	0x0	R/W
5	PWRDN_CH2		<p>关断模拟输入通道2。</p> <p>0 上电。</p> <p>1 关断。</p>	0x0	R/W
4	PWRDN_CH1		<p>关断模拟输入通道1。</p> <p>0 上电。</p> <p>1 关断。</p>	0x0	R/W
3	PWRDN_CH0		<p>关断模拟输入通道0。</p> <p>0 上电。</p> <p>1 关断。</p>	0x0	R/W
2	保留		保留。	0x0	R
1	PWRDN_LDO		<p>关断内部模拟和时钟LDO稳压器。</p> <p>0 内部LDO稳压器通电。</p> <p>1 内部LDO稳压器关断。</p>	0x0	R/W
0	SLEEP_MODE_EN		<p>除数字LDO稳压器外，所有模块都被关闭。片内寄存器内容保持不变。</p> <p>0 禁用休眠模式。</p> <p>1 使能休眠模式。</p>	0x0	R/W

地址：0x14；复位：0x00；名称：RESERVED

表57. RESERVED的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	保留		保留。始终为零。	0x0	R/W

地址：0x15；复位：0x00；名称：DEVICE_STATUS

表58. DEVICE_STATUS位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	保留		保留。	0x0	R
5	STAT_DCLKMODE		DEC1/DCLKMODE引脚状态指示DCLK是处于自由振荡模式还是选通模式。 0 DCLK处于选通模式。与SPI接口兼容。 1 DCLK处于自由振荡模式。	0x0	R
4	STAT_DCLKIO		DEC0/DCLKIO引脚状态指示DCLK引脚方向。 0 DCLK为输入。 1 DCLK为输出。	0x0	R
3	STAT_MODE		MODE引脚状态指示器件是主机还是从机。 0 从机模式；ODR为输入。 1 主机模式；ODR为输出。	0x0	R
2	STAT_CLKSEL		CLKSEL引脚状态指示时钟源。 0 连接CMOS输入时钟。 1 连接晶振输入。	0x0	R
1	STAT_FUSE_ECC		指示应用Fuse纠错码的状态位。此位在读取时清0。 0 未应用错误代码纠正。 1 已应用错误代码纠正。	0x0	R
0	STAT_PLL_LOCK		从机模式下的PLL状态。指示PLL是否已锁定。此位置1表示PLL已锁定。 0 PLL未锁定。 1 PLL已锁定。	0x0	R

地址：0x16；复位：0x40；名称：ODR_VAL_INT_LSB

表59. ODR_VAL_INT_LSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	ODR_VAL_INT[7:0]		抽取率的整数部分。抽取率是MCLK与ODR之比。在主机模式下，用户可以对该寄存器编程，根据MCLK频率设置ODR输出频率。	0x40	R/W

地址：0x17；复位：0x00；名称：ODR_VAL_INT_MID

表60. ODR_VAL_INT_MID位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	ODR_VAL_INT[15:8]		抽取率的整数部分。抽取率是MCLK与ODR之比。在主机模式下，用户可以对该寄存器编程，根据MCLK频率设置ODR输出频率。	0x0	R/W

地址：0x18；复位：0x00；名称：ODR_VAL_INT_MSB

表61. ODR_VAL_INT_MSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	ODR_VAL_INT[23:16]		抽取率的整数部分。抽取率是MCLK与ODR之比。在主机模式下，用户可以对该寄存器编程，根据MCLK频率设置ODR输出频率。	0x0	R/W

地址：0x19；复位：0x72；名称：ODR_VAL_FLT_LSB

表62. ODR_VAL_FLT_LSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	ODR_VAL_FLT[7:0]		抽取率的小数部分。抽取率是MCLK与ODR之比。在主机模式下，用户可以对该寄存器编程，根据MCLK频率设置ODR输出频率。	0x72	R/W

地址：0x1A；复位：0xB7；名称：ODR_VAL_FLT_MID0

表63. ODR_VAL_FLT_MID0位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	ODR_VAL_FLT[15:8]		抽取率的小数部分。抽取率是MCLK与ODR之比。在主机模式下，用户可以对该寄存器编程，根据MCLK频率设置ODR输出频率。	0xB7	R/W

地址：0x1B；复位：0xCE；名称：ODR_VAL_FLT_MID1

表64. ODR_VAL_FLT_MID1位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	ODR_VAL_FLT[23:16]		抽取率的小数部分。抽取率是MCLK与ODR之比。在主机模式下，用户可以对该寄存器编程，根据MCLK频率设置ODR输出频率。	0xCE	R/W

地址：0x1C；复位：0x2B；名称：ODR_VAL_FLT_MSB

表65. ODR_VAL_FLT_MSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	ODR_VAL_FLT[31:24]		抽取率的小数部分。抽取率是MCLK与ODR之比。在主机模式下，用户可以对该寄存器编程，根据MCLK频率设置ODR输出频率。	0x2B	R/W

地址：0x1D；复位：0x00；名称：CHANNEL_ODR_SELECT

表66. CHANNEL_ODR_SELECT位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	ODR_RATE_SEL_CH3	0 1 10 11	选择通道3的输出数据速率与ODR频率之比。 输出数据速率 = ODR。 输出数据速率= ODR/2。 输出数据速率= ODR/4。 输出数据速率= ODR/8。	0x0	R/W
[5:4]	ODR_RATE_SEL_CH2	0 1 10 11	选择通道2的输出数据速率与ODR频率之比。 输出数据速率 = ODR。 输出数据速率= ODR/2。 输出数据速率= ODR/4。 输出数据速率= ODR/8。	0x0	R/W
[3:2]	ODR_RATE_SEL_CH1	0 1 10 11	选择通道1的输出数据速率与ODR频率之比。 输出数据速率 = ODR。 输出数据速率= ODR/2。 输出数据速率= ODR/4。 输出数据速率= ODR/8。	0x0	R/W
[1:0]	ODR_RATE_SEL_CH0	0 1 10 11	选择通道0的输出数据速率与ODR频率之比。 输出数据速率 = ODR。 输出数据速率= ODR/2。 输出数据速率= ODR/4。 输出数据速率= ODR/8。	0x0	R/W

地址：0x1E；复位：0x00；名称：CHAN_DIG_FILTER_SEL

表67. CHAN_DIG_FILTER_SEL位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	DIGFILTER_SEL_CH3	0 01 10 11	通道3数字滤波器类型选择。 宽带滤波器。 Sinc6过滤器。 Sinc3滤波器。 具有50 Hz和60 Hz同时抑制能力的Sinc3滤波器	0x0	R/W
[5:4]	DIGFILTER_SEL_CH2	0 01	通道2数字滤波器类型选择。 宽带滤波器。 Sinc6过滤器。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
		10	Sinc3滤波器。		
		11	具有50 Hz和60 Hz同时抑制能力的Sinc3滤波器		
[3:2]	DIGFILTER_SEL_CH1		通道1数字滤波器类型选择。 0 宽带滤波器。 01 Sinc6过滤器。 10 Sinc3滤波器。 11 具有50 Hz和60 Hz同时抑制能力的Sinc3滤波器	0x0	R/W
[1:0]	DIGFILTER_SEL_CH0		通道0数字滤波器类型选择。 0 宽带滤波器。 01 Sinc6过滤器。 10 Sinc3滤波器。 11 具有50 Hz和60 Hz同时抑制能力的Sinc3滤波器	0x0	R/W

地址：0x1F；复位：0x00；名称：FIR_BW_SEL

表68. FIR_BW_SEL位功能描述

位	位名称	设置	描述	复位	访问类型
[7:4]	保留		保留。	0x0	R
3	WB_FILTER_SEL_CH3		通道3宽带滤波器带宽选择。 0 宽带滤波器的带宽为0.433 Hz × ODR。 1 宽带滤波器的带宽为0.10825 Hz × ODR。	0x0	R/W
2	WB_FILTER_SEL_CH2		通道2宽带滤波器带宽选择。 0 宽带滤波器的带宽为0.433 Hz × ODR。 1 宽带滤波器的带宽为0.10825 Hz × ODR。	0x0	R/W
1	WB_FILTER_SEL_CH1		通道1宽带滤波器带宽选择。 0 宽带滤波器的带宽为0.433 Hz × ODR。 1 宽带滤波器的带宽为0.10825 Hz × ODR。	0x0	R/W
0	WB_FILTER_SEL_CH0		通道0宽带滤波器带宽选择。 0 宽带滤波器的带宽为0.433 Hz × ODR。 1 宽带滤波器的带宽为0.10825 Hz × ODR。	0x0	R/W

地址：0x20；复位：0x00；名称：GPIO_DIR_CTRL

表69. GPIO_DIR_CTRL位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	GPIO_IO_CONTROL		GPIO I/O方向控制。每一位控制一个GPIO引脚的方向。值为0将GPIO引脚设置为输入。值为1将GPIO引脚设置为输出。位0与GPIO0相关联。	0x0	R/W

地址：0x21；复位：0x00；名称：GPIO_DATA

表70. GPIO_DATA的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	GPIO_DATA		GPIO数据值。如果GPIO引脚配置为输入，则对应的位为只读位，其值反映该引脚的输入逻辑状态。如果GPIO引脚配置为输出，则写入对应的位可控制该引脚的输出逻辑。位0与GPIO0相关联。1 = 逻辑高电平，0 = 逻辑低电平。	0x0	R/W

地址：0x22；复位：0x00；名称：ERROR_PIN_SRC_CONTROL

表71. ERROR_PIN_SRC_CONTROL位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	保留		保留。	0x0	R
5	ERR_PIN_EN_OR_AIN		使能GPIO7报告输入超范围错误。 0 禁用引脚针对过压错误切换。 1 使能引脚针对过压错误切换。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
4	ERR_PIN_EN_INTERNAL		使能GPIO7报告所有内部错误。内部错误可以是数字上溢或下溢错误、存储器映射CRC错误、ASRC错误、Fuse CRC错误或DCLK计数器错误。确保在诊断控制寄存器中使能相应的错误以使能此报告。 0 禁用引脚针对内部错误切换。 1 使能引脚针对内部错误切换。	0x0	R/W
3	ERR_PIN_EN_SPI		使能GPIO7报告SPI错误，例如读取、写入、CRC检查、时钟计数器错误。为通过该引脚报告这些错误，应确保使能SPI CRC错误。 0 禁用引脚针对SPI相关错误切换。 1 使能引脚针对SPI相关错误切换。	0x0	R/W
[2:0]	保留		保留。	0x0	R

地址：0x23；复位：0x00；名称：ERROR_PIN_CONTROL

表72. ERROR_PIN_CONTROL位功能描述

位	位名称	设置	描述	复位	访问类型
[7:3]	保留		保留。	0x0	R
2	ERR_PIN_IN_STATUS		当使用ERR_PIN_IN_EN位使能错误输入GPIO6时，该位是其锁存状态的回读值。	0x0	R
1	ERR_PIN_IN_EN		使能GPIO6作为错误输入。此位允许错误从数字主机以菊花链方式连接，并与内部错误进行“或”运算。	0x0	R/W
0	ERR_PIN_OUT_EN		使能GPIO7作为错误输出引脚。该错误的源由ERROR_PIN_SRC_CONTROL寄存器定义。	0x0	R/W

地址：0x24；复位：0x00；名称：VCMBUF_CTRL

表73. VCMBUF_CTRL位功能描述

位	位名称	设置	描述	复位	访问类型
7	保留		保留。	0x0	R
6	PWRDN_VCMBUF		VCM缓冲器电源控制。 0 VCM缓冲器通电。 1 VCM缓冲器关断。	0x0	R/W
[5:1]	VCMBUF_REF_DIV_SEL		VCMBUF_REF_SEL = 0时，选择 V_{CM} 输出电压电平。 0 $V_{CM} = V_{REF} \times 10/20$ 。 1 保留。 10 $V_{CM} = V_{REF} \times 19/20$ 。 11 $V_{CM} = V_{REF} \times 18/20$ 。 100 $V_{CM} = V_{REF} \times 17/20$ 。 101 $V_{CM} = V_{REF} \times 16/20$ 。 110 $V_{CM} = V_{REF} \times 15/20$ 。 111 $V_{CM} = V_{REF} \times 14/20$ 。 1000 $V_{CM} = V_{REF} \times 13/20$ 。 1001 $V_{CM} = V_{REF} \times 12/20$ 。 1010 $V_{CM} = V_{REF} \times 11/20$ 。 1011 $V_{CM} = V_{REF} \times 9/20$ 。 1100 $V_{CM} = V_{REF} \times 8/20$ 。 1101 $V_{CM} = V_{REF} \times 7/20$ 。 1110 $V_{CM} = V_{REF} \times 6/20$ 。 1111 $V_{CM} = V_{REF} \times 5/20$ 。 10000 $V_{CM} = V_{REF} \times 4/20$ 。 10001 $V_{CM} = V_{REF} \times 3/20$ 。 10010 $V_{CM} = V_{REF} \times 2/20$ 。 10011 $V_{CM} = V_{REF} \times 1/20$ 。 11101 $V_{CM} = V_{REF} \times 10/20$ 。 11110 $V_{CM} = V_{REF} \times 10/20$ 。 11111 $V_{CM} = V_{REF} \times 10/20$ 。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
0	VCMBUF_REF_SEL		VCM输出源选择。 0 VCM与 V_{REF} 之比。VCM输出电平为 V_{REF} 除以VCMBUF_REF_DIV_SEL设置的比率。 1 V_{CM} 为固定值AVDD5/2。	0x0	R/W

地址：0x25；复位：0x00；名称：诊断控制

表74. 诊断控制位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	保留		保留。	0x0	R
5	ERR_OR_AIN_EN		在所有已使能模拟输入通道上使能超范围监视。 0 禁用输入过压监视。 1 使能输入过压监视。	0x0	R/W
4	保留		保留	0x0	R
3	MCLK_CNT_EN		使能主时钟计数器。启动MCLK计数器，其监视ADC使用的外部时钟。 0 禁用MCLK计数器。 1 使能MCLK计数器。	0x0	R/W
2	ERR_SPI_CRC_EN		对SPI读写操作使能CRC检查。如果CRC检查失败，SPI错误寄存器中的ERR_SPI_CRC位就会置1。此外，所有SPI读操作都会附加一个8位CRC字。 0 禁用SPI CRC。 1 使能SPI CRC。	0x0	R/W
1	ERR_MM_CRC_EN		使能存储器映射CRC计算。每次写入寄存器时，都会对存储器映射执行CRC计算。写入之后会对片内寄存器定期执行CRC检查。如果寄存器内容发生改变，则ERR_MM_CRC位置1。 0 禁用存储器映射CRC检查。 1 使能存储器映射CRC检查。	0x0	R/W
0	FUSE_CRC_CHECK		启动对Fuse内容的CRC计算。如果Fuse内容发生改变，则ERR_FUSE_CRC位置1。此位在完成检查后清0。 0 禁用CRC计算。 1 使能CRC计算。	0x0	R/W

地址：0x26；复位：0x00；名称：MPC_CONFIG

表75. MPC_CONFIG位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	MPC_CLKDEL_EN_CH3		通道3的幅度和相位匹配校准时钟延迟使能。 00 幅度和相位时钟延迟：0时钟延迟。 01 幅度和相位时钟延迟：1时钟延迟。 10 幅度和相位时钟延迟：2时钟延迟。 11 幅度和相位时钟延迟：0时钟延迟。	0x0	R/W
[5:4]	MPC_CLKDEL_EN_CH2		通道2的幅度和相位匹配校准时钟延迟使能。 00 幅度和相位时钟延迟：0时钟延迟。 01 幅度和相位时钟延迟：1时钟延迟。 10 幅度和相位时钟延迟：2时钟延迟。 11 幅度和相位时钟延迟：0时钟延迟。	0x0	R/W
[3:2]	MPC_CLKDEL_EN_CH1		通道1的幅度和相位匹配校准时钟延迟使能。 00 幅度和相位时钟延迟：0时钟延迟。 01 幅度和相位时钟延迟：1时钟延迟。 10 幅度和相位时钟延迟：2时钟延迟。 11 幅度和相位时钟延迟：0时钟延迟。	0x0	R/W
[1:0]	MPC_CLKDEL_EN_CH0		通道0的幅度和相位匹配校准时钟延迟使能。 00 幅度和相位时钟延迟：0时钟延迟。 01 幅度和相位时钟延迟：1时钟延迟。	0x0	R/W

位	位名称	设置	描述	复位	访问类型
		10	幅度和相位时钟延迟; 2时钟延迟。		
		11	幅度和相位时钟延迟; 0时钟延迟。		

地址: 0x27; 复位: 0x00; 名称: CH0_GAIN_LSB

表76. CH0_GAIN_LSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	GAIN_CH0[7:0]		通道0增益校准值。	0x0	R/W

地址: 0x28; 复位: 0x00; 名称: CH0_GAIN_MID

表77. CH0_GAIN_MID位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	GAIN_CH0[15:8]		通道0增益校准值。	0x0	R/W

地址: 0x29; 复位: 0x00; 名称: CH0_GAIN_MSB

表78. CH0_GAIN_MSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:5]	保留		保留。	0x0	R
4	GAIN_CAL_SEL_CH0		使能通道0增益校准。	0x0	R/W
[3:0]	GAIN_CH0[19:16]		通道0增益校准值。	0x0	R/W

地址: 0x2A; 复位: 0x00; 名称: CH0_OFFSET_LSB

表79. CH0_OFFSET_LSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	OFFSET_CH0[7:0]		通道0失调校准值。	0x0	R/W

地址: 0x2B; 复位: 0x00; 名称: CH0_OFFSET_MID

表80. CH0_OFFSET_MID位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	OFFSET_CH0[15:8]		通道0失调校准值。	0x0	R/W

地址: 0x2C; 复位: 0x00; 名称: CH0_OFFSET_MSB

表81. CH0_OFFSET_MSB位功能描述

位	位名称	设置	描述	复位	访问类型
7	OFFSET_CAL_EN_CH0		使能通道0失调校准。	0x0	R/W
[6:0]	OFFSET_CH0[22:16]		通道0失调校准值。	0x0	R/W

地址: 0x2D; 复位: 0x00; 名称: CH1_GAIN_LSB

表82. CH1_GAIN_LSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	GAIN_CH1[7:0]		通道1增益校准值。	0x0	R/W

地址: 0x2E; 复位: 0x00; 名称: CH1_GAIN_MID

表83. CH1_GAIN_MID位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	GAIN_CH1[15:8]		通道1增益校准值。	0x0	R/W

地址: 0x2F; 复位: 0x00; 名称: CH1_GAIN_MSB

表84. CH1_GAIN_MSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:5]	保留		保留。	0x0	R
4	GAIN_CAL_SEL_CH1		使能通道1增益校准。	0x0	R/W
[3:0]	GAIN_CH1[19:16]		通道1增益校准值。	0x0	R/W

地址：0x30；复位：0x00；名称：CH1_OFFSET_LSB

表85. CH1_OFFSET_LSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	OFFSET_CH1[7:0]		通道1失调校准值。	0x0	R/W

地址：0x31；复位：0x00；名称：CH1_OFFSET_MID

表86. CH1_OFFSET_MID位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	OFFSET_CH1[15:8]		通道1失调校准值。	0x0	R/W

地址：0x32；复位：0x00；名称：CH1_OFFSET_MSB

表87. CH1_OFFSET_MSB位功能描述

位	位名称	设置	描述	复位	访问类型
7	OFFSET_CAL_EN_CH1		使能通道1失调校准。	0x0	R/W
[6:0]	OFFSET_CH1[22:16]		通道1失调校准值。	0x0	R/W

地址：0x33；复位：0x00；名称：CH2_GAIN_LSB

表88. CH2_GAIN_LSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	GAIN_CH2[7:0]		通道2增益校准值。	0x0	R/W

地址：0x34；复位：0x00；名称：CH2_GAIN_MID

表89. CH2_GAIN_MID位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	GAIN_CH2[15:8]		通道2增益校准值。	0x0	R/W

地址：0x35；复位：0x00；名称：CH2_GAIN_MSB

表90. CH2_GAIN_MSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:5]	保留		保留。	0x0	R
4	GAIN_CAL_SEL_CH2		使能通道2增益校准。	0x0	R/W
[3:0]	GAIN_CH2[19:16]		通道2增益校准值。	0x0	R/W

地址：0x36；复位：0x00；名称：CH2_OFFSET_LSB

表91. CH2_OFFSET_LSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	OFFSET_CH2[7:0]		通道2失调校准值。	0x0	R/W

地址：0x37；复位：0x00；名称：CH2_OFFSET_MID

表92. CH2_OFFSET_MID位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	OFFSET_CH2[15:8]		通道2失调校准值。	0x0	R/W

地址：0x38；复位：0x00；名称：CH2_OFFSET_MSB

表93. CH2_OFFSET_MSB位功能描述

位	位名称	设置	描述	复位	访问类型
7	OFFSET_CAL_EN_CH2		使能通道2失调校准。	0x0	R/W
[6:0]	OFFSET_CH2[22:16]		通道2失调校准值。	0x0	R/W

地址：0x39；复位：0x00；名称：CH3_GAIN_LSB

表94. CH3_GAIN_LSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	GAIN_CH3[7:0]		通道3增益校准值。	0x0	R/W

地址：0x3A；复位：0x00；名称：CH3_GAIN_MID

表95. CH3_GAIN_MID位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	GAIN_CH3[15:8]		通道3增益校准值。	0x0	R/W

地址：0x3B；复位：0x00；名称：CH3_GAIN_MSB

表96. CH3_GAIN_MSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:5]	保留		保留。	0x0	R
4	GAIN_CAL_SEL_CH3		使能通道3增益校准。	0x0	R/W
[3:0]	GAIN_CH3[19:16]		通道3增益校准值。	0x0	R/W

地址：0x3C；复位：0x00；名称：CH3_OFFSET_LSB

表97. CH3_OFFSET_LSB位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	OFFSET_CH3[7:0]		通道3失调校准值。	0x0	R/W

地址：0x3D；复位：0x00；名称：CH3_OFFSET_MID

表98. CH3_OFFSET_MID位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	OFFSET_CH3[15:8]		通道3失调校准值。	0x0	R/W

地址：0x3E；复位：0x00；名称：CH3_OFFSET_MSB

表99. CH3_OFFSET_MSB位功能描述

位	位名称	设置	描述	复位	访问类型
7	OFFSET_CAL_EN_CH3		使能通道3失调校准。	0x0	R/W
[6:0]	OFFSET_CH3[22:16]		通道3失调校准值。	0x0	R/W

地址：0x3F；复位：0x00；名称：MCLK_COUNTER

表100. MCLK_COUNTER位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	MCLK_COUNT		8位计数器，每12,000 MCLK周期递增一次。回读计数器输出，使用户可以确定外部时钟的频率。当MCLK_CNT_EN置1时，MCLK计数器启动，达到255个MCLK周期时结束。	0x0	R

地址：0x40；复位：0x00；名称：DIG_FILTER_OFUF

表101. DIG_FILTER_OFUF位功能描述

位	位名称	设置	描述	复位	访问类型
[7:4]	保留		保留。	0x0	R
3	ERR_OFUF_CH3		通道3数字滤波器上溢或下溢错误。 0 无上溢或下溢错误。 1 有上溢或下溢错误。	0x0	R
2	ERR_OFUF_CH2		通道2数字滤波器上溢或下溢错误。 0 无上溢或下溢错误。 1 有上溢或下溢错误。	0x0	R
1	ERR_OFUF_CH1		通道1数字滤波器上溢或下溢错误。 0 无上溢或下溢错误。 1 有上溢或下溢错误。	0x0	R
0	ERR_OFUF_CH0		通道0数字滤波器上溢或下溢错误。 0 无上溢或下溢错误。 1 有上溢或下溢错误。	0x0	R

地址：0x41；复位：0x00；名称：DIG_FILTER_SETTLED

表102. DIG_FILTER_SETTLED位功能描述

位	位名称	设置	描述	复位	访问类型
[7:4]	保留		保留。	0x0	R
3	CH3_SETTLED		通道3数字滤波器状态。 0 数字滤波器未建立。 1 数字滤波器已建立。	0x0	R
2	CH2_SETTLED		通道2数字滤波器状态。 0 数字滤波器未建立。 1 数字滤波器已建立。	0x0	R
1	CH1_SETTLED		通道1数字滤波器状态。 0 数字滤波器未建立。 1 数字滤波器已建立。	0x0	R
0	CH0_SETTLED		通道0数字滤波器状态。 0 数字滤波器未建立。 1 数字滤波器已建立。	0x0	R

地址：0x42；复位：0x00；名称：INTERNAL_ERROR

表103. INTERNAL_ERROR位功能描述

位	位名称	设置	描述	复位	访问类型
[7:4]	保留		保留。	0x0	R
3	ERR_DCLK		DCLK错误标志指示设置或提供的DCLK过低，不足以输出完整帧。 0 无DCLK错误。 1 DCLK错误。	0x0	R
2	ERR_FUSE_CRC		Fuse错误标志指示Fuse内容发生CRC错误。若使能，则对Fuse内容执行CRC计算。如果内容发生改变，此位会置1。 0 无Fuse CRC错误。 1 Fuse CRC错误。	0x0	R
1	ERR_ASRC		ASRC错误标志指示ODR是否超出所选滤波器的范围。 0 无ASRC错误。 1 ASRC错误。	0x0	R
0	ERR_MM_CRC		存储器映射错误标志指示片内寄存器内容发生CRC错误。若使能，则每次写入寄存器时，都会对存储器映射执行CRC计算。完成计算之后会对片内寄存器定期执行CRC检查。如果寄存器内容发生改变，就会设置错误标志位。 0 无存储器映射错误。 1 存储器映射错误。	0x0	R

地址：0x47；复位：0x00；名称：SPI错误

表104. SPI错误位功能描述

位	位名称	设置	描述	复位	访问类型
[7:4]	保留		保留。	0x0	R
3	ERR_SPI_CRC		SPI CRC错误标志指示SPI通信期间发生CRC错误。此错误报告通过诊断控制寄存器中的ERR_SPI_CRC_EN位使能。 0 无CRC错误。 1 检测到CRC错误。	0x0	R
2	ERR_SPI_SCLK_CNT		SCLK计数器错误标志指示SPI通信期间的SCLK周期数不是8的倍数。 0 无错误。 1 检测到SCLK计数器错误。	0x0	R
1	ERR_SPI_WRITE		SPI写错误标志指示在SPI写操作期间发生错误。 0 无错误。 1 SPI写错误。	0x0	R

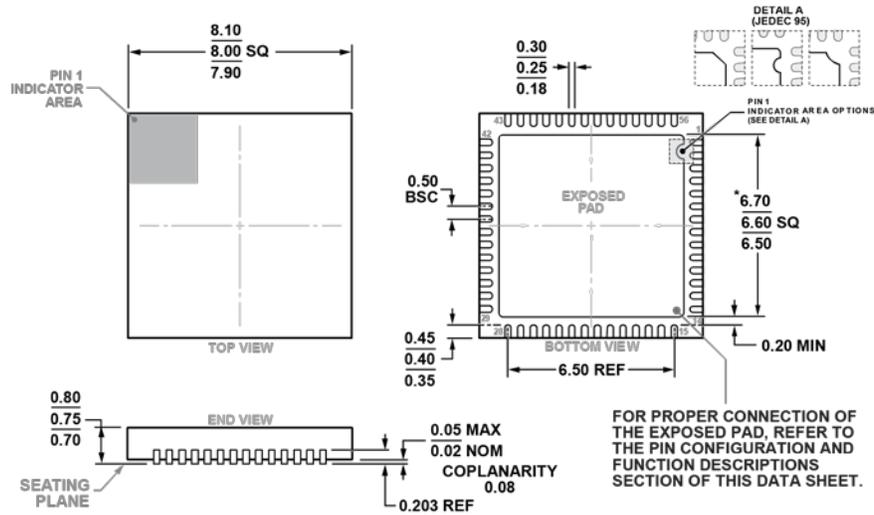
位	位名称	设置	描述	复位	访问类型
0	ERR_SPI_READ		SPI读错误标志指示在SPI读操作期间发生错误。 0 无错误。 1 检测到读错误。	0x0	R

地址：0x48；复位：0x00；名称：AIN_OR_ERROR

表105. AIN_OR_ERROR位功能描述

位	位名称	设置	描述	复位	访问类型
[7:4]	保留		保留。	0x0	R
3	ERR_OR_AIN3		通道3的输入过压标志。使能时，此位检测输入电压是否超过 V_{REF} 的绝对值。 0 未检测到过压输入。 1 检测到过压输入。	0x0	R
2	ERR_OR_AIN2		通道2的输入过压标志。使能时，此位检测输入电压是否超过 V_{REF} 的绝对值。 0 未检测到过压输入。 1 检测到过压输入。	0x0	R
1	ERR_OR_AIN1		通道1的输入过压标志。使能时，此位检测输入电压是否超过 V_{REF} 的绝对值。 0 未检测到过压输入。 1 检测到过压输入。	0x0	R
0	ERR_OR_AIN0		通道0的输入过压标志。使能时，此位检测输入电压是否超过 V_{REF} 的绝对值。 0 未检测到过压输入。 1 检测到过压输入。	0x0	R

外形尺寸



*COMPLIANT TO JEDEC STANDARDS MO-220-WLLD-5
WITH EXCEPTION TO EXPOSED PAD DIMENSION

图127. 56引脚引线框芯片级封装[LFCSP] 8 mm × 8 mm 本体,
0.75 mm 封装高度(CP-56-9)
图示尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD7134BCPZ	0°C至85°C	56引脚引线框芯片级封装[LFCSP]	CP-56-9
AD7134BCPZ-RL7	0°C至85°C	56引脚引线框芯片级封装[LFCSP]	CP-56-9
EVAL-AD7134FMCZ		评估板	
EVAL-SDP-CH1Z		控制板	

¹ Z = 符合RoHS标准的器件。

