

特性

完整的16通道、12位/16位DAC

8个软件可编程输出范围：-20 V至0 V、-16 V至0 V、-10 V至0 V、-10 V至+6 V、-12 V至+14 V、-16 V至+10 V、±5 V和±10 V

集成DAC输出缓冲器，具备±20 mA输出电流能力

4 mm × 4 mm WLCSP和40引脚LFCSP两种封装

集成基准电压缓冲器

2个扰动信号输入引脚

通道监控多路复用器

1.8 V逻辑兼容性

温度范围：-40°C至+105°C

应用

Mach Zehnder 调制器偏置控制

光纤网络

仪器仪表

工业自动化

数据采集系统

模拟输出模块

概述

AD5766/AD5767 分别是 16 通道、16 位/12 位、电压输出 denseDAC®数模转换器(DAC)。

这些DAC采用外部2.5 V基准电压产生输出电压。根据选择的电压范围，输出范围的中点可以调整，最小输出电压可以低至-20 V，最大输出电压可以高达+14 V。利用集成输出电压多路复用器可以监控16个通道中的每个通道。

AD5766/AD5767集成了输出缓冲器，后者具有20 mA的灌电流或源电流能力。结合这些缓冲器，通过专用扰动引脚可以将低频信号叠加在各DAC输出上。这些专用扰动引脚简化了系统设计，减少了类似外部方案所需的外部元件数目，例如运算放大器或电阻等。外部元件的减少使得AD5766/AD5767适合磷化钢Mach Zehnder调制器(InP MZM)偏置应用。

这些器件内置上电复位(POR)电路，确保DAC输出上电后箝位至接地并保持此电平，直到DAC输出范围配置完成。通过寄存器配置更新所有DAC的输出，用户选择DAC的其它功能也会同时更新。

AD5766/AD5767采用多功能四线式串行接口，在写入模式下能够以最高50 MHz的时钟速率工作，并与串行外设接口(SPI)、QSPI™、MICROWIRE™和DSP接口标准兼容。AD5766/AD5767还包含一个V_{LOGIC}引脚，其旨在支持1.8 V/3.3 V/5 V逻辑。

AD5766/AD5767 提供 4 mm × 4 mm WLCSP 和 40 引脚 LFCSP 两种封装。AD5766/AD5767 的工作温度范围为-40°C至+105°C。

功能框图

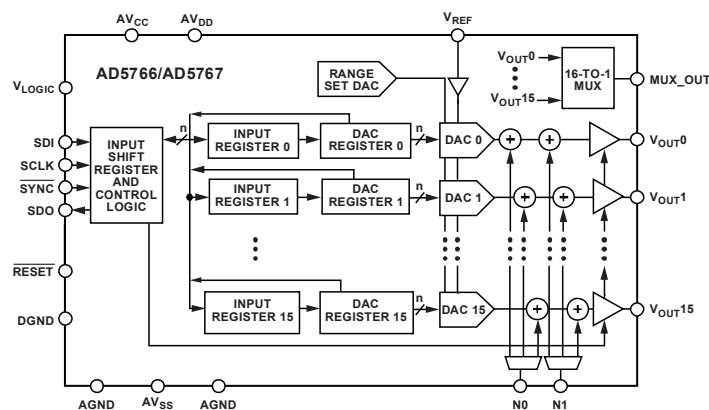


图 1.

Rev. C

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2017-2018 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com/cn

ADI 中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考 ADI 提供的最新英文版数据手册。

目录

特性.....	1	寄存器详解.....	33
应用.....	1	输入移位寄存器.....	33
概述.....	1	监控器复用控制.....	34
功能框图.....	1	无操作.....	35
修订历史.....	3	菊花链模式.....	35
技术规格.....	4	写命令和更新命令.....	35
交流工作特性.....	8	范围寄存器.....	36
时序特性.....	9	扰动电源控制寄存器.....	36
绝对最大额定值.....	11	输入数据写入所有DAC寄存器.....	36
热阻.....	11	软件完全复位.....	37
ESD警告.....	11	选择用于回读的寄存器.....	37
引脚配置和功能描述.....	12	对DAC寄存器应用N0或N1扰动信号.....	38
典型性能参数.....	16	扰动比例.....	38
扰动特性.....	25	反转扰动寄存器.....	39
术语.....	27	应用信息.....	40
工作原理.....	29	扰动配置.....	40
数模转换器.....	29	散热考虑.....	40
DAC架构.....	29	微处理器接口.....	40
电阻串.....	29	AD5766/AD5767与SPI接口.....	40
上电复位(POR).....	29	布局布线指南.....	41
扰动.....	31	外形尺寸.....	42
扰动关断模式.....	31	订购指南.....	43
监控器复用.....	31		
串行接口.....	32		

修订历史

2018年1月—修订版B至修订版C

更改表3的输出电压建立时间参数.....	8
更改图6.....	14
更改图11.....	16
更改图13.....	17
更改图37.....	21
更改“术语”部分.....	27
更改图72.....	32
更改“订购指南”.....	43

2017年10月—修订版A至修订版B

增加AD5766.....	通篇
更改“特性”部分、“应用”部分和“概述”部分.....	1
更改表1.....	4
增加表2；重新排序.....	7
更改表3.....	8
更改表4和图2的 t_{14} 和 t_{15} 参数.....	9
更改图4.....	10
更改表7的 AV_{CC} 引脚描述.....	13
更改表8的 AV_{CC} 引脚描述.....	15
更改图7至图12.....	16
更改图13至图18.....	17
删除图30；重新排序.....	17
增加图19至图24；重新排序.....	18
增加图29和图30.....	19
增加图31至图36.....	20
增加图37至图42.....	21
增加图43和图46.....	22
更改图49.....	23
增加图50至图54.....	23
更改图56.....	24
增加图67.....	26
更改“数模转换器”部分、“DAC架构”部分和“上电复位(POR)”部分.....	29
增加图70.....	30
更改“扰动”部分和“扰动关断模式”部分.....	31
更改表10.....	33
增加表17和表19.....	35
更改“扰动电源控制寄存器”部分、表26、“输入数据写入所有DAC寄存器”部分和表28.....	36

更改表32和表33.....	37
更改“扰动配置”部分.....	40
更新外形尺寸.....	42
更改“订购指南”.....	43

2017年4月—修订版0至修订版A

增加40引脚LFCSP封装.....	通篇
更改“特性”.....	1
更改“概述”.....	1
更改功能框图（图1）.....	1
增加图6和表7；重新排序.....	12
更改图23和图24.....	16
增加图26.....	17
更改图28和图29.....	17
更改“扰动直流偏移”部分.....	20
更改图43的标题.....	23
更改“输入移位寄存器”部分和表9.....	25
更改表18.....	27
更改“散热考虑”部分.....	32
更改“布局布线指南”部分并增加图47.....	33
更新外形尺寸.....	34
更改“订购指南”.....	35

2017年1月—修订版0：初始版

技术规格

除非另有说明， $V_{CC} = 2.97\text{ V}$ 至 3.6 V ， $V_{LOGIC} = 1.7\text{ V}$ 至 5.5 V ， $V_{DD} = 2.97\text{ V}$ 至 16 V ， $V_{SS} = -22\text{ V}$ 至 -7 V ， $AGND = DGND = 0\text{ V}$ ， $V_{REF} = 2.5\text{ V}$ ，输出范围 = $\pm 5\text{ V}$ ， V_{OUTx} 无负载，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言，扰动开启，典型规格对应于 $T_A = 25^\circ\text{C}$ 。

表1.

参数	最小值	典型值	最大值	单位	测试条件/注释
静态性能					
分辨率	16			位	AD5766
	12			位	AD5767
相对精度(INL)					
AD5766	-16		+16	LSB	
AD5767	-1		+1	LSB	
差分非线性	-1		+1	LSB	通过设计保证单调性
双极性零误差	-85	± 12	+85	mV	$\pm 5\text{ V}$ 范围
	-110	± 13	+110	mV	-10 V至+6 V范围
	-120	± 15	+120	mV	$\pm 10\text{ V}$ 范围
	-145	± 16	+145	mV	-12 V至+14 V范围
	-145	± 16	+145	mV	-16 V至+10 V范围
双极性零误差温度系数(TC)		± 2		ppm FSR/ $^\circ\text{C}$	
零电平误差					DAC寄存器载入全0
	-80	± 25	+80	mV	-10 V至0 V范围
	-80	± 25	+80	mV	$\pm 5\text{ V}$ 范围
	-110	± 35	+110	mV	-16 V至0 V范围
	-110	± 35	+110	mV	-10 V至+6 V范围
	-130	± 35	+130	mV	-20 V至0 V范围
	-130	± 35	+130	mV	$\pm 10\text{ V}$ 范围
	-140	± 45	+140	mV	-12 V至+14 V范围
	-140	± 45	+140	mV	-16 V至+10 V范围
零电平误差温度系数		± 2		ppm FSR/ $^\circ\text{C}$	
满量程误差					DAC寄存器载入全1
	-0.9	± 0.23	+0.9	% FSR	-10 V至0 V范围
	-0.9	± 0.23	+0.9	% FSR	$\pm 5\text{ V}$ 范围
	-0.8	± 0.2	+0.8	% FSR	-16 V至0 V范围
	-0.8	± 0.2	+0.8	% FSR	-10 V至+6 V范围
	-0.7	± 0.18	+0.7	% FSR	-20 V至0 V范围
	-0.7	± 0.18	+0.7	% FSR	$\pm 10\text{ V}$ 范围
	-0.6	± 0.15	+0.6	% FSR	-12 V至+14 V范围
	-0.6	± 0.15	+0.6	% FSR	-16 V至+10 V范围
满量程误差漂移		± 3		ppm FSR/ $^\circ\text{C}$	
增益误差	-0.4	± 0.07	+0.4	% FSR	
增益误差温度系数(TC)		± 2		ppm FSR/ $^\circ\text{C}$	
失调误差	-80	± 25	+80	mV	-10 V至0 V范围
	-80	± 25	+80	mV	$\pm 5\text{ V}$ 范围
	-110	± 35	+110	mV	-16 V至0 V范围
	-110	± 35	+110	mV	-10 V至+6 V范围
	-130	± 35	+130	mV	-20 V至0 V范围
	-130	± 35	+130	mV	$\pm 10\text{ V}$ 范围
	-140	± 45	+140	mV	-12 V至+14 V范围
	-140	± 45	+140	mV	-16 V至+10 V范围
失调误差漂移		± 2		$\mu\text{V}/^\circ\text{C}$	

参数	最小值	典型值	最大值	单位	测试条件/注释
总非调整误差	-0.9	±0.18	+0.9	%FSR	-10 V至0 V范围
	-0.9	±0.18	+0.9	%FSR	±5 V范围
	-0.8	±0.15	+0.8	%FSR	-16 V至0 V范围
	-0.8	±0.15	+0.8	%FSR	-10 V至+6 V范围
	-0.7	±0.13	+0.7	%FSR	-20 V至0 V范围
	-0.7	±0.13	+0.7	%FSR	±10 V范围
	-0.6	±0.12	+0.6	%FSR	-12 V至+14 V范围
	-0.6	±0.12	+0.6	%FSR	-16 V至+10 V范围
直流串扰		30		μV	输出电压变化引起
		35		μV/mA	负载电流变化引起(1 LSB)
输出特性					
输出电压范围 ¹	-20		0	V	参见“散热考虑”部分
	-16		0	V	
	-10		0	V	
	-10		+6	V	
	-12		+14	V	
	-16		+10	V	
	-5		+5	V	
	-10		+10	V	
输出电流	-20		+20	mA	
容性负载稳定性			1	nF	
直流输出阻抗		0.2		Ω	仅单通道
短路电流		±60		mA	
输出放大器带宽		108		kHz	
基准输入					
基准输入电压		2.5		V	±1% (额定性能)
基准电压范围	2.375		2.625	V	仅功能性能
直流输入阻抗	2.5			MΩ	
输入电流			1	μA	
扰动输入					对于扰动输入到DAC输出衰减, 典型性能 请参见图62至图65
扰动频率		10		kHz	低-3 dB点
		100		kHz	高-3 dB点
幅度			0.25	V p-p	峰峰值交流电压
直流偏移	0		AV_{CC}	V	峰峰值交流和直流电压
AD5766	-2	±1	+2	LSB	参见“术语”部分
AD5767	-1	±0.063	+1	LSB	
扰动瞬变					扰动使能/禁用, N0和N1浮空
选择扰动的通道		5		nV-sec	$AV_{CC} = 2.97 V$ 和 $AV_{CC} = 3.6 V$
未选择扰动的通道		2		nV-sec	$AV_{CC} = 2.97 V$ 和 $AV_{CC} = 3.6 V$
扰动串扰 ¹		-70		dB	10 kHz扰动频率
		-55		dB	100 kHz扰动频率
逻辑输入					
输入高电压, V_{IH}	$0.7 \times V_{LOGIC}$			V	每引脚 RESET引脚拉高 RESET引脚拉低 每引脚
输入低电压, V_{IL}			$0.3 \times V_{LOGIC}$	V	
输入电流	-2		+2	μA	
	-6		+6	μA	
	-57		+57	μA	
输入电容		2		pF	

参数	最小值	典型值	最大值	单位	测试条件/注释
逻辑输出					
输出低电压			0.4	V	吸电流200 μ A
输出高电压	$V_{\text{LOGIC}} - 0.4$			V	源电流200 μ A
高阻抗漏电流	-1		+1	μ A	
高阻抗输出电容		5		pF	
电压监控引脚(MUX_OUT)					
阻抗		1.3		k Ω	
三态漏电流	-1	0.006	+1	μ A	芯片温度低于105°C
连续电流	-1		+1	mA	多路复用器使能引起的 V_{OUT} 毛刺
毛刺脉冲		0.2		nV-sec	$\frac{1}{4}$ 到 $\frac{3}{4}$ 量程建立至 ± 0.5 LSB, ± 5 V范围和
电压建立时间		12		μ s	-10 V至0 V范围
电源					
AV_{DD}	2.97		16	V	$AV_{\text{DD}} - AV_{\text{SS}}$ 必须小于或等于30 V
AV_{SS}	-22		-7	V	$AV_{\text{DD}} - AV_{\text{SS}}$ 必须小于或等于30 V
AV_{CC}	2.97		3.6	V	
V_{LOGIC}	1.7		5.5	V	
上裕量/下裕量		± 0.7		V	对于20 mA输出负载, 输出电压偏移 ± 2 LSB; 适用于 AV_{DD} 和 AV_{SS}
		± 2		V	对于20 mA输出负载, 输出电压偏移 ± 1 LSB; 适用于 AV_{DD} 和 AV_{SS}
正常模式					
AI_{DD}		6	9	mA	所有输出范围, -40°C至+105°C
AI_{SS}	-11	-9		mA	所有输出范围, -40°C至+105°C
AI_{CC}		8.3	10	mA	所有输出范围, -40°C至+105°C
I_{LOGIC}		0.02	1	μ A	所有输出范围, -40°C至+105°C, $V_{\text{IH}} = V_{\text{LOGIC}}$, $V_{\text{IL}} = \text{DGND}$
直流电源电压抑制比(PSRR)		50		μ V/V	AV_{DD} 电源
		50		μ V/V	AV_{SS} 电源
		3		mV/V	AV_{CC} 电源
交流电源电压抑制比(PSRR)		-80		dB	AV_{DD} 电源, 50 Hz
		-80		dB	AV_{SS} 电源, 50 Hz
		-50		dB	AV_{CC} 电源, 50 Hz

¹输出放大器裕量要求为 2 V (最小值)。

除非另有说明, $AV_{CC} = 2.97\text{ V}$ 至 3.6 V , $V_{LOGIC} = 1.7\text{ V}$ 至 5.5 V , $AV_{DD} = 2.97\text{ V}$ 至 16 V , $AV_{SS} = -22\text{ V}$ 至 -7 V , $AGND = DGND = 0\text{ V}$, $V_{REF} = 2.5\text{ V}$, 输出范围 $= \pm 5\text{ V}$, V_{OUTX} 无负载, 所有规格均相对于 T_{MIN} 至 T_{MAX} 而言, 扰动关闭, 典型规格对应于 $T_A = 25^\circ\text{C}$ 。

表2.

参数	最小值	典型值	最大值	单位	测试条件/注释
双极性零误差	-50	± 11	+50	mV	$\pm 5\text{ V}$ 范围
	-75	± 12	+75	mV	-10 V至+6 V范围
	-90	± 12	+90	mV	$\pm 10\text{ V}$ 范围
	-110	± 13	+110	mV	-12 V至+14 V范围
	-110	± 13	+110	mV	-16 V至+10 V范围
零电平误差	-50	± 15	+50	mV	DAC寄存器载入全0 -10 V至0 V范围
	-50	± 15	+50	mV	$\pm 5\text{ V}$ 范围
	-75	± 20	+75	mV	-16 V至0 V范围
	-75	± 20	+75	mV	-10 V至+6 V范围
	-90	± 25	+90	mV	-20 V至0 V范围
	-90	± 25	+90	mV	$\pm 10\text{ V}$ 范围
	-110	± 35	+110	mV	-12 V至+14 V范围
-110	± 35	+110	mV	-16 V至+10 V范围	
满量程误差	-0.5	± 0.15	+0.5	% FSR	DAC寄存器载入全1; 所有输出范围
增益误差	-0.3	± 0.07	+0.3	% FSR	所有输出范围
失调误差	-50	± 15	+50	mV	-10 V至0 V范围
	-50	± 15	+50	mV	$\pm 5\text{ V}$ 范围
	-75	± 20	+75	mV	-16 V至0 V范围
	-75	± 20	+75	mV	-10 V至+6 V范围
	-90	± 25	+90	mV	-20 V至0 V范围
	-90	± 25	+90	mV	$\pm 10\text{ V}$ 范围
	-110	± 35	+110	mV	-12 V至+14 V范围
-110	± 35	+110	mV	-16 V至+10 V范围	
总非调整误差	-0.5	± 0.12	+0.5	%FSR	所有输出范围

交流工作特性

除非另有说明， $AV_{CC} = 2.97\text{ V}$ 至 3.6 V ， $V_{LOGIC} = 1.7\text{ V}$ 至 5.5 V ， $AV_{DD} = 2.97\text{ V}$ 至 15 V ， $AV_{SS} = -22\text{ V}$ 至 -7 V ， $AGND = DGND = 0\text{ V}$ ， $V_{REF} = 2.5\text{ V}$ ，输出范围 = -10 V 至 0 V ， V_{OUTX} 无负载，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言，扰动开启，未应用模拟扰动信号，典型规格对应于 $T_A = 25^\circ\text{C}$ 。

表3.

参数	最小值	典型值	最大值	单位	测试条件/注释
动态性能 ¹					
输出电压建立时间					
AD5766		16		μs	$\frac{1}{4}$ 到 $\frac{3}{4}$ 量程建立至 $\pm 0.5\text{ LSB}$ ， $\pm 5\text{ V}$ 范围和 -10 V 至 0 V 范围
		14		μs	256 LSB步进至 $\pm 0.5\text{ LSB}$
AD5767		10		μs	$\frac{1}{4}$ 到 $\frac{3}{4}$ 量程建立至 $\pm 0.5\text{ LSB}$ ， $\pm 5\text{ V}$ 范围和 -10 V 至 0 V 范围
		4		μs	32 LSB步进至 $\pm 0.5\text{ LSB}$
压摆率		1		$\text{V}/\mu\text{s}$	
数模转换脉冲干扰		10		$\text{nV}\cdot\text{sec}$	主进位发生1 LSB变化，10 V范围
毛刺脉冲峰值幅度		8		mV	
数字馈通		1		$\text{nV}\cdot\text{sec}$	
数字串扰		2		$\text{nV}\cdot\text{sec}$	
模拟串扰		15		$\text{nV}\cdot\text{sec}$	
DAC间串扰		15		$\text{nV}\cdot\text{sec}$	
总谐波失真		-80		dB	$V_{REF} = 2.5\text{ V} \pm 0.1\text{ V p-p}$ ，频率 = 10 kHz， $AV_{CC} = 2.97\text{ V}$ 和 3.6 V
		-75		dB	$V_{REF} = 2.5\text{ V} \pm 0.1\text{ V p-p}$ ，频率 = 10 kHz， $AV_{CC} = 3.6\text{ V}$
输出噪声谱密度 ¹		375		$\text{nV}/\sqrt{\text{Hz}}$	-10 V 至 0 V 和 $\pm 5\text{ V}$ 范围，频率 = 1 kHz
		605		$\text{nV}/\sqrt{\text{Hz}}$	-16 V 至 0 V 和 -10 V 至 $+6\text{ V}$ 范围，频率 = 1 kHz
		750		$\text{nV}/\sqrt{\text{Hz}}$	-20 V 至 0 V 和 $\pm 10\text{ V}$ 范围，频率 = 1 kHz
		835		$\text{nV}/\sqrt{\text{Hz}}$	-12 V 至 14 V 和 -16 V 至 $+10\text{ V}$ 范围，频率 = 1 kHz
		280		$\text{nV}/\sqrt{\text{Hz}}$	-10 V 至 0 V 和 $\pm 5\text{ V}$ 范围，频率 = 10 kHz
		440		$\text{nV}/\sqrt{\text{Hz}}$	-16 V 至 0 V 和 -10 V 至 $+6\text{ V}$ 范围，频率 = 10 kHz
		470		$\text{nV}/\sqrt{\text{Hz}}$	-20 V 至 0 V 和 $\pm 10\text{ V}$ 范围，频率 = 10 kHz
		610		$\text{nV}/\sqrt{\text{Hz}}$	-12 V 至 14 V 和 -16 V 至 $+10\text{ V}$ 范围，频率 = 10 kHz
输出噪声 ²					扰动禁用
		20		$\mu\text{V rms}$	$\pm 5\text{ V}$ 范围
		23		$\mu\text{V rms}$	-10 V 至 0 V 范围
		33		$\mu\text{V rms}$	-10 V 至 $+6\text{ V}$ 范围
		38		$\mu\text{V rms}$	-16 V 至 0 V 范围
		36		$\mu\text{V rms}$	$\pm 10\text{ V}$ 范围
		45		$\mu\text{V rms}$	-20 V 至 0 V 范围
		45		$\mu\text{V rms}$	-16 V 至 10 V 范围
		45		$\mu\text{V rms}$	-12 V 至 14 V 范围

¹DAC编码 = 中间量程。 $AV_{DD} = V_{OUT_MAX} + 2\text{ V}$ 。 $AV_{SS} = V_{OUT_MIN} - 2\text{ V}$ 。

²0.1 Hz至10 Hz。 $AV_{DD} = V_{OUT_MAX} + 2\text{ V}$ 。 $AV_{SS} = V_{OUT_MIN} - 2\text{ V}$ 。

时序特性

所有输入信号都指定 $t_r = t_f = 1 \text{ ns/V}$ (AV_{DD} 的10%至90%)，并从 $(V_{IL} + V_{IH})/2$ 的电压开始计时。参见图2、图3和图4。除非另有说明， $AV_{CC} = 2.97 \text{ V}$ 至 3.6 V ， $V_{LOGIC} = 1.7 \text{ V}$ 至 5.5 V ， $V_{REF} = 2.5 \text{ V}$ ，所有规格均相对于 -40°C 至 $+105^\circ\text{C}$ 而言，扰动开启。

表4.

参数	T_{MIN} 、 T_{MAX} 时的限值	单位	描述
t_1^1	20	ns (最小值)	SCLK周期时间
t_2	10	ns (最小值)	SCLK高电平时间
t_3	10	ns (最小值)	SCLK低电平时间
t_4	15	ns (最小值)	SYNC下降沿到SCLK下降沿建立时间
t_5	15	ns (最小值)	SCLK下降沿到SYNC上升沿时间
t_6	20	ns (最小值)	最小SYNC高电平时间 (写入模式)
t_7	5	ns (最小值)	数据建立时间
t_8	5	ns (最小值)	数据保持时间
t_9	4	μs (典型值)	DAC输出建立时间, 32代码步进至 $\pm 0.5 \text{ LSB}$, 12位分辨率 (参见表3)
t_{10}	100	ns (典型值)	RESET ² 低电平脉冲宽度
t_{11}	100	ns (典型值)	RESET ² 脉冲启动时间RESET
t_{12}	10	ns (最小值)	SYNC上升沿到SCLK下降沿
t_{13}	40	ns (最大值)	SCLK上升沿到SDO有效 ($C_{L_SDO}^3 = 15 \text{ pF}$)
t_{14}	80	ns (最小值)	最小SYNC高电平时间 (回读/菊花链模式)
t_{15}	5	μs (典型值)	SYNC上升沿到SYNC上升沿 (DAC寄存器更新)

¹写入模式下最大SCLK频率为50 MHz，回读模式下则为10 MHz。

²复位和随后成功写操作之间的最短时间通常是25 ns。

³ C_{L_SDO} 为SDO输出端的容性负载。

时序图

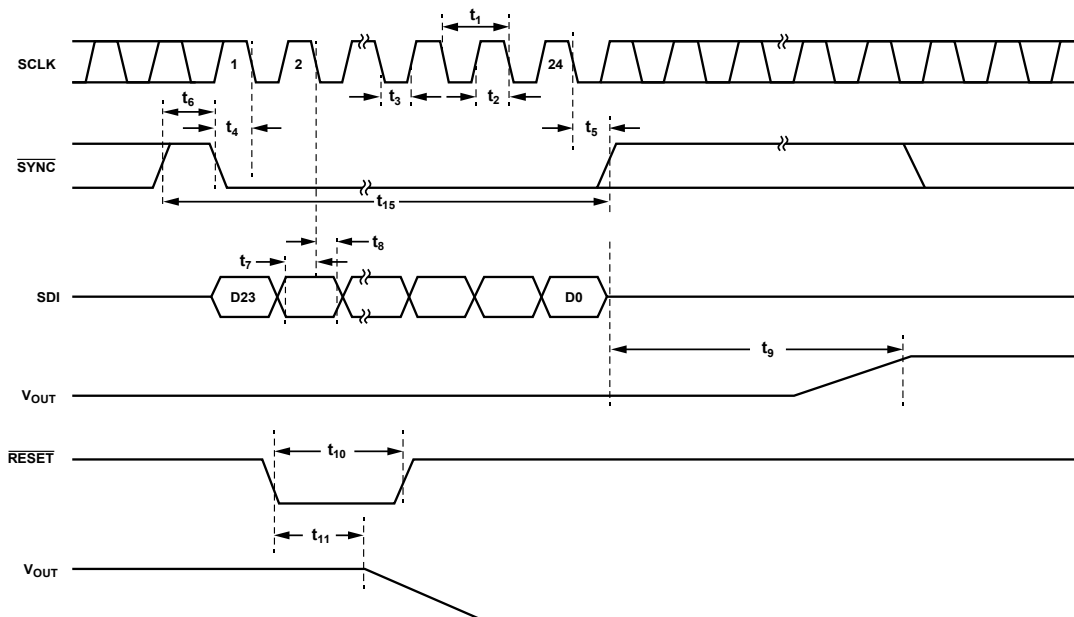


图2. 串行接口时序图

15145002

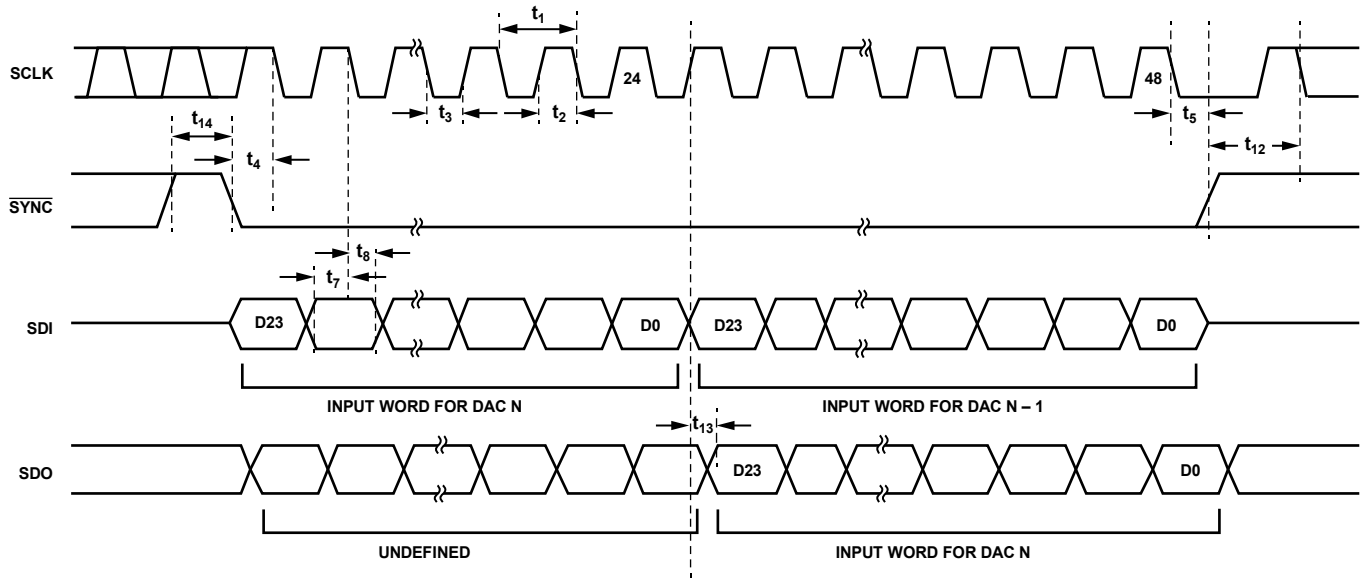
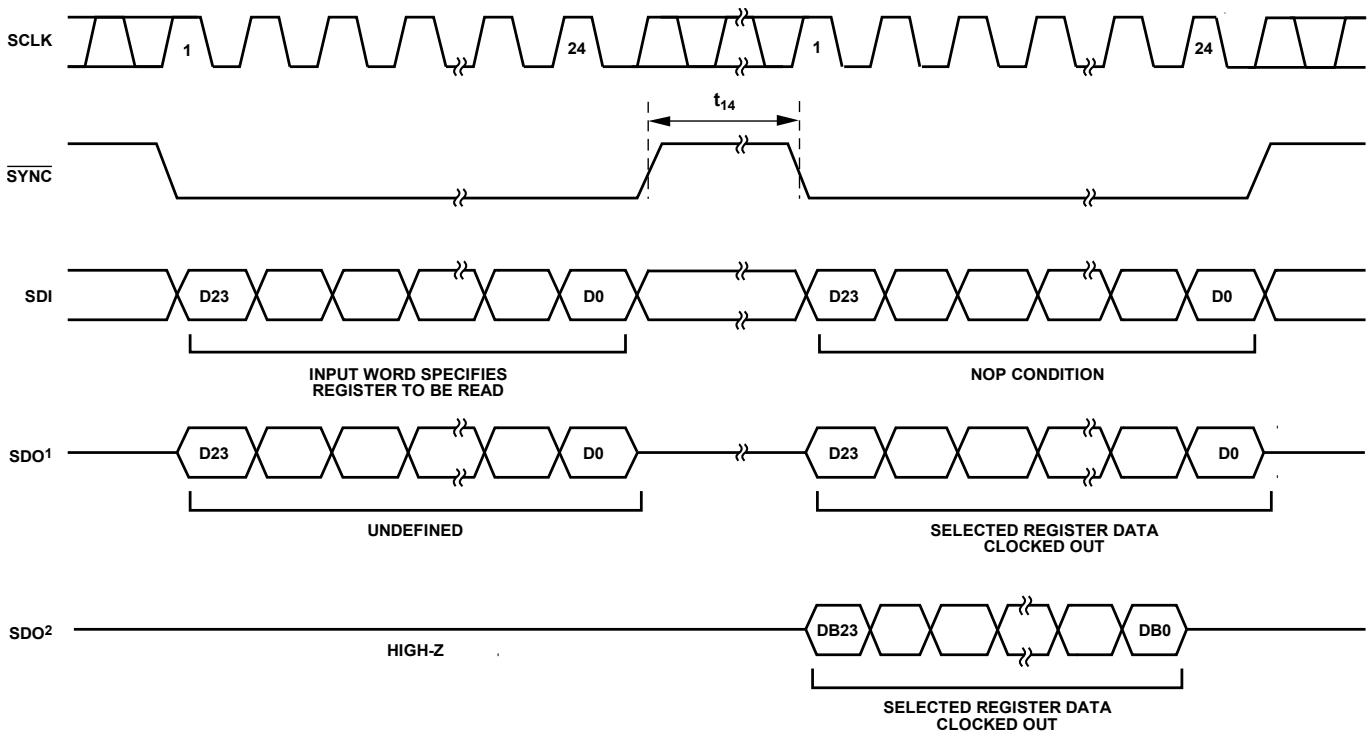


图3. 菊花链时序图



¹SDO OUTPUT BUFFER ENABLED
²SDO OUTPUT BUFFER DISABLED

图4. 回读时序图

15145-003

15145-004

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。100 mA以下的瞬态电流不会造成硅控整流器(SCR)闩锁。

表5.

参数	额定值
AV_{DD} 至AGND	-0.3 V至+34 V
AV_{SS} 至AGND	+0.3 V至-34 V
AV_{DD} 至 AV_{SS}	-0.3 V至+34 V
AV_{CC} 至AGND	-0.3 V至+7 V
AV_{CC} 至AGND	-0.3 V至 $AV_{DD} + 0.3\text{ V}$
V_{LOGIC} 至DGND	-0.3 V至+7 V
数字输入 ¹ 至DGND	-0.3 V至 $V_{LOGIC} + 0.3\text{ V}$
数字输出(SDO)至DGND	-0.3 V至 $V_{LOGIC} + 0.3\text{ V}$
N0、N1至AGND	-0.3 V至 $AV_{CC} + 0.3\text{ V}$
V_{REF} 至AGND	-0.3 V至 $AV_{CC} + 0.3\text{ V}$
V_{OUTX} 至AGND	$AV_{SS} - 0.3\text{ V}$ 至 $AV_{DD} + 0.3\text{ V}$
AGND至DGND	-0.3 V至+0.3 V
工作温度范围， T_A (工业)	-40°C至+105°C
存储温度范围	-65°C至+150°C
结温， T_{JMAX}	150°C
功耗	$(T_{JMAX} - T_A)/\theta_{JA}$
引脚温度 回流焊	260°C，依据JEDEC J-STD-020

¹数字输入包括 $\overline{\text{RESET}}$ 、 $\overline{\text{SCLK}}$ 、 $\overline{\text{SYNC}}$ 和SDI。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

热性能与印刷电路板(PCB)设计和工作环境直接相关。必须慎重对待PCB散热设计。

θ_{JA} 是自然对流下的结至环境热阻，在1立方英尺的密封外罩中测量。

表6. 热阻

封装类型	θ_{JA}	单位
CB-49-4 ¹	53	°C/W
CP-40-7 ¹	31.71	°C/W

¹热阻仿真值基于JEDEC 2S2P带16个热过孔的热测试板。参见JEDEC JESD51。

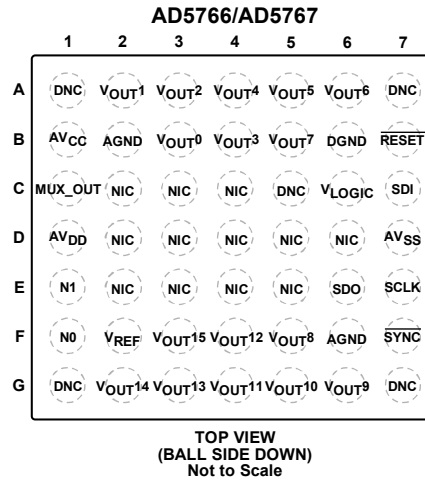
ESD警告



ESD (静电放电) 敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THESE PINS.
2. NIC = NO INTERNAL CONNECTION. THESE PINS SHOULD BE ROUTED TO THERMAL VIAS ON THE PCB TO AID WITH HEAT DISSIPATION. CONNECT THESE PINS TO GROUND.

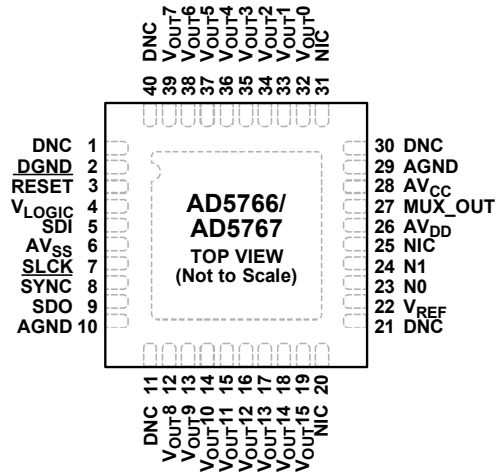
15-146-005

图5. WLCSP封装引脚配置

表7. 49引脚WLCSP引脚功能描述

引脚编号	引脚名称	描述
扰动		
F1	N0	扰动信号输入引脚0。通过寄存器命令可以将连接到此引脚的信号增加到DAC输出上。若不使用，应将此引脚连接到地。更多信息请参考“扰动”部分。
E1	N1	扰动信号输入引脚1。通过寄存器命令可以将连接到此引脚的信号增加到DAC输出上。若不使用，应将此引脚连接到地。更多信息请参考“扰动”部分。
逻辑输入和输出		
E7	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入移位寄存器。写入模式下数据传输速率最高为50 MHz，回读和菊花链模式下为10 MHz。
F7	SYNC	低电平有效控制输入。SYNC是输入数据的帧同步信号。当SYNC变为低电平时，SCLK和SDI缓冲器上电，输入移位寄存器使能。数据在后续24个时钟的下降沿读入。如果SYNC在第24个下降沿之前变为高电平，SYNC的上升沿将用作中断，器件将忽略写序列。
C7	SDI	串行数据输入。该器件有一个24位移位寄存器。数据在串行时钟输入的下降沿读入该寄存器。
E6	SDO	串行数据输出。此引脚用于在菊花链模式或回读模式下从串行寄存器逐个输出数据。数据在SCLK上升沿逐个输出，而且在SCLK下降沿有效。
B7	RESET	低电平有效复位输入。此引脚置位逻辑低电平时，AD5766/AD5767返回默认上电状态。此引脚回到逻辑高电平状态之后，器件退出复位模式，准备接受新的SPI命令。此引脚内置弱上拉电阻，可以保持浮空。
模拟输出		
B3	V _{OUT0}	DAC 0的模拟输出电压。
A2	V _{OUT1}	DAC 1的模拟输出电压。
A3	V _{OUT2}	DAC 2的模拟输出电压。
B4	V _{OUT3}	DAC 3的模拟输出电压。
A4	V _{OUT4}	DAC 4的模拟输出电压。
A5	V _{OUT5}	DAC 5的模拟输出电压。
A6	V _{OUT6}	DAC 6的模拟输出电压。

引脚编号	引脚名称	描述
B5	V_{OUT7}	DAC 7的模拟输出电压。
F5	V_{OUT8}	DAC 8的模拟输出电压。
G6	V_{OUT9}	DAC 9的模拟输出电压。
G5	V_{OUT10}	DAC 10的模拟输出电压。
G4	V_{OUT11}	DAC 11的模拟输出电压。
F4	V_{OUT12}	DAC 12的模拟输出电压。
G3	V_{OUT13}	DAC 13的模拟输出电压。
G2	V_{OUT14}	DAC 14的模拟输出电压。
F3	V_{OUT15}	DAC 15的模拟输出电压。
电源和基准电压输入		
F2	V_{REF}	基准输入电压。针对额定性能, $V_{REFIN} = 2.5 V$ 。
C6	V_{LOGIC}	数字电源。
B1	AV_{CC}	电源输入引脚。AD5766/AD5767采用2.97 V至3.6 V电源供电。 AV_{CC} 应通过并联的10 μF 电容和0.1 μF 电容去耦至模拟地。
D1	AV_{DD}	输出放大器正模拟电源。
D7	AV_{SS}	输出放大器负模拟电源。
B2, F6	AGND	模拟地。
B6	DGND	数字地引脚。
通道监控		
C1	MUX_OUT	监控输出。此引脚用作16:1通道复用器的输出端, 可通过编程将16个通道(通道0至通道15)中的一个通道复用至MUX_OUT引脚。
不连接		
A1, A7, C5, G1, G7	DNC	不连接。请勿连接到这些引脚。
内部不连接		
C2 to C4, D2 to D6, E2 to E5	NIC	无内部连接。将这些引脚连接到PCB上的热过孔以帮助散热。连接这些引脚到地。



NOTES

1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THESE PINS.
2. NIC = NO INTERNAL CONNECTION. THESE PINS SHOULD BE ROUTED TO THERMAL VIAS ON THE PCB TO AID WITH HEAT DISSIPATION. THESE SHOULD BE CONNECTED TO GROUND.
3. EXPOSED PAD (LFCSP PACKAGE ONLY). CONNECT THIS EXPOSED PAD TO THE POTENTIAL OF THE AV_{SS} PIN, OR, ALTERNATIVELY, LEAVE IT ELECTRICALLY UNCONNECTED. IT IS RECOMMENDED THAT THE PAD BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

15145-006

图6. LFCSP封装引脚配置

表8. 40引脚LFCSP引脚功能描述

引脚编号	引脚名称	描述
扰动 23	N0	扰动信号输入引脚0。通过寄存器命令可以将连接到此引脚的信号增加到DAC输出上。若不使用，应将此引脚连接到地。更多信息请参考“扰动”部分。
24	N1	扰动信号输入引脚1。通过寄存器命令可以将连接到此引脚的信号增加到DAC输出上。若不使用，应将此引脚连接到地。更多信息请参考“扰动”部分。
逻辑输入和输出 7	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入移位寄存器。写入模式下数据传输速率最高为50 MHz，回读和菊花链模式下为10 MHz。
8	SYNC	低电平有效控制输入。 <u>SYNC</u> 是输入数据的帧同步信号。当 <u>SYNC</u> 变为低电平时，SCLK和SDI缓冲器上电，输入移位寄存器使能。数据在后续24个时钟的下降沿读入。如果 <u>SYNC</u> 在第24个下降沿之前变为高电平， <u>SYNC</u> 的上升沿将用作中断，器件将忽略写序列。
5	SDI	串行数据输入。该器件有一个24位移位寄存器。数据在串行时钟输入的下降沿读入该寄存器。
9	SDO	串行数据输出。此引脚用于在菊花链模式或回读模式下从串行寄存器逐个输出数据。数据在SCLK上升沿逐个输出，而且在SCLK下降沿有效。
3	RESET	低电平有效复位输入。此引脚置位逻辑低电平时，AD5766/AD5767返回默认上电状态。此引脚回到逻辑高电平状态之后，器件退出复位模式，准备接受新的SPI命令。此引脚内置弱上拉电阻，可以保持浮空。
模拟输出 32	V _{OUT} 0	DAC 0的模拟输出电压。
33	V _{OUT} 1	DAC 1的模拟输出电压。
34	V _{OUT} 2	DAC 2的模拟输出电压。
35	V _{OUT} 3	DAC 3的模拟输出电压。
36	V _{OUT} 4	DAC 4的模拟输出电压。
37	V _{OUT} 5	DAC 5的模拟输出电压。

引脚编号	引脚名称	描述
38	V_{OUT6}	DAC 6的模拟输出电压。
39	V_{OUT7}	DAC 7的模拟输出电压。
12	V_{OUT8}	DAC 8的模拟输出电压。
13	V_{OUT9}	DAC 9的模拟输出电压。
14	V_{OUT10}	DAC 10的模拟输出电压。
15	V_{OUT11}	DAC 11的模拟输出电压。
16	V_{OUT12}	DAC 12的模拟输出电压。
17	V_{OUT13}	DAC 13的模拟输出电压。
18	V_{OUT14}	DAC 14的模拟输出电压。
19	V_{OUT15}	DAC 15的模拟输出电压。
电源和基准电压输入		
22	V_{REF}	基准输入电压。针对额定性能, $V_{REFIN} = 2.5 V$ 。
4	V_{LOGIC}	数字电源。
28	AV_{CC}	电源输入引脚。AD5766/AD5767采用2.97 V至3.6 V电源供电。 AV_{CC} 应通过并联的10 μF 电容和0.1 μF 电容去耦至模拟地。
26	AV_{DD}	输出放大器正模拟电源。
6	AV_{SS}	输出放大器负模拟电源。
10, 29	AGND	模拟地。
2	DGND	数字地引脚。
通道监控		
27	MUX_OUT	监控输出。此引脚用作16:1通道复用器的输出端, 可通过编程将16个通道(通道0至通道15)中的一个通道复用至MUX_OUT引脚。
不连接		
1, 11, 21, 30, 40	DNC	不连接。请勿连接到这些引脚。
内部不连接		
20, 25, 31	NIC	无内部连接。将这些引脚连接到PCB上的热过孔以帮助散热。连接这些引脚到地。
不适用	EPAD	裸露焊盘。将此裸露焊盘连接到 AV_{SS} 引脚的电位, 或者不进行电气连接。建议将裸露焊盘与一个铜片形成散热连接, 以增强散热性能。

典型性能参数

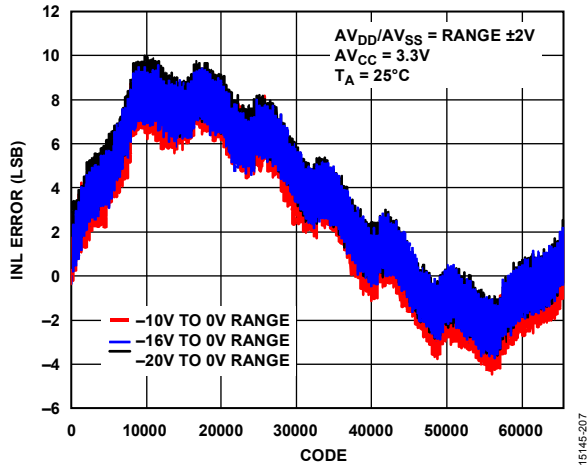


图7. AD5766 INL误差与DAC代码的关系 (单极性输出)

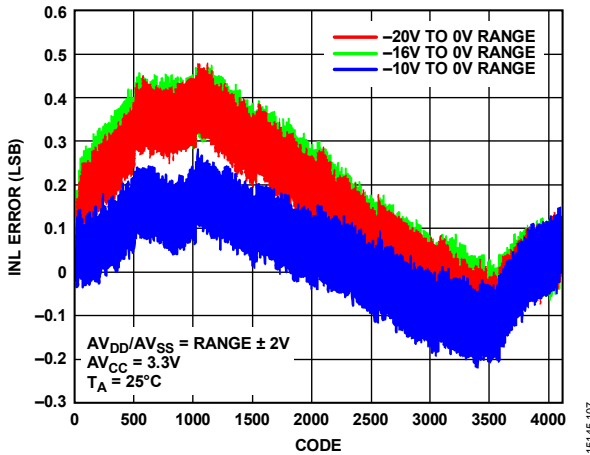


图8. AD5767 INL误差与DAC代码的关系 (单极性输出)

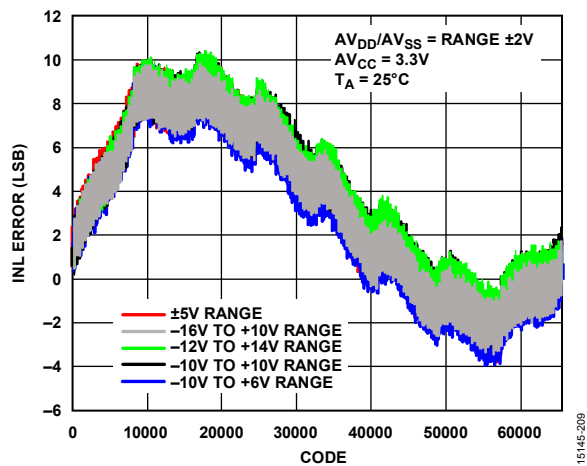


图9. AD5766 INL误差与DAC代码的关系 (双极性输出)

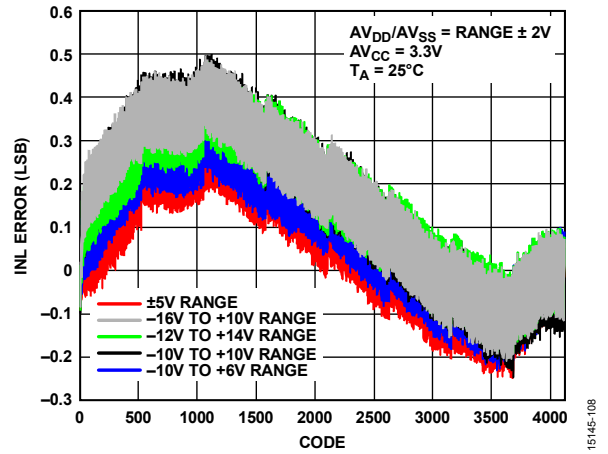


图10. AD5767 INL误差与DAC代码的关系 (双极性输出)

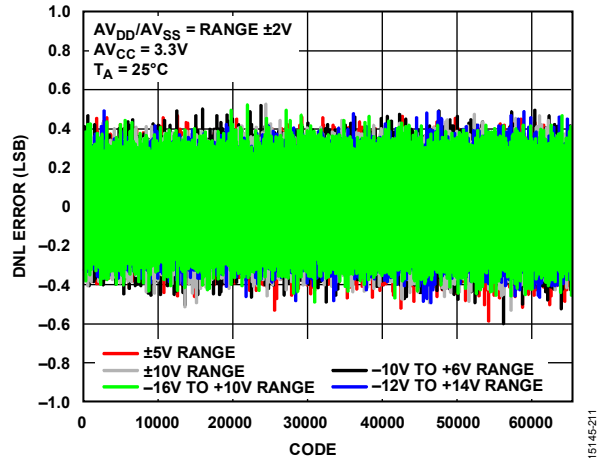


图11. AD5766 DNL误差与DAC代码的关系 (双极性输出)

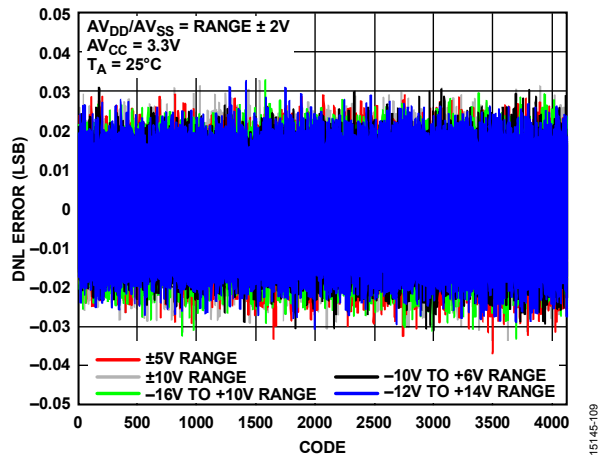


图12. AD5767 DNL误差与DAC代码的关系 (双极性输出)

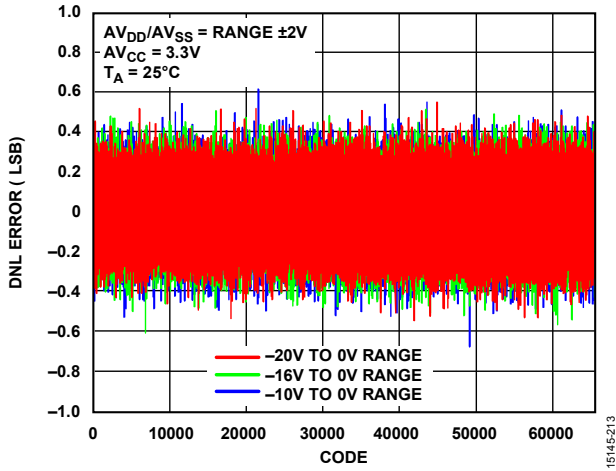


图13. AD5766 DNL误差与DAC代码的关系 (单极性输出)

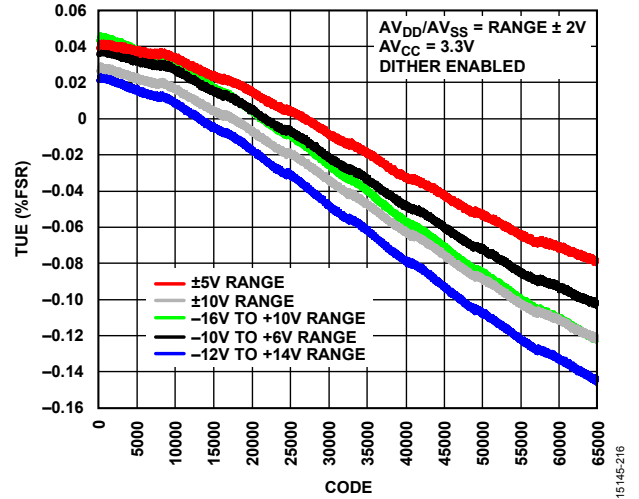


图16. 总非调整误差(TUE)与DAC代码的关系 (双极性输出)

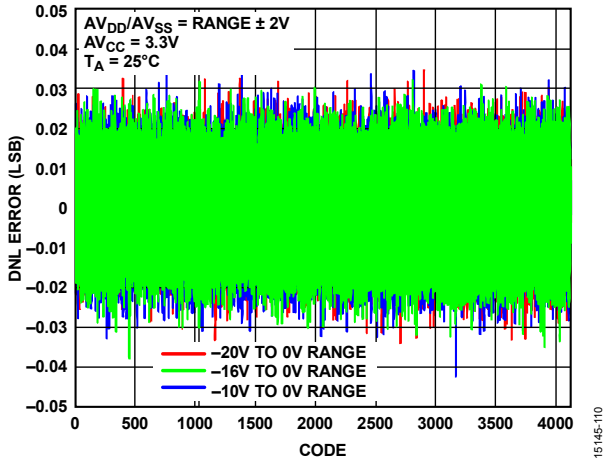


图14. AD5767 DNL误差与DAC代码的关系 (单极性输出)

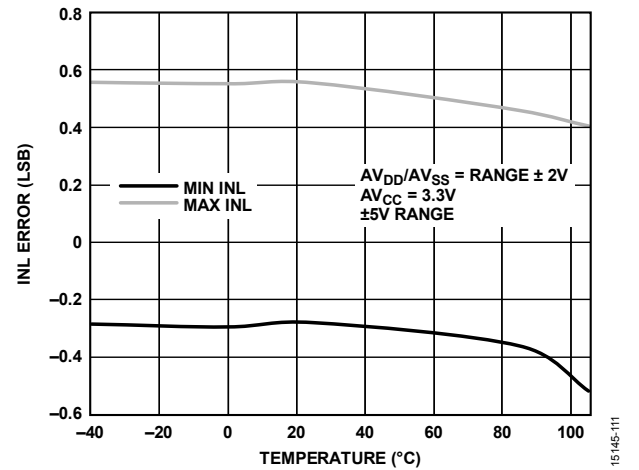


图17. INL误差与温度的关系

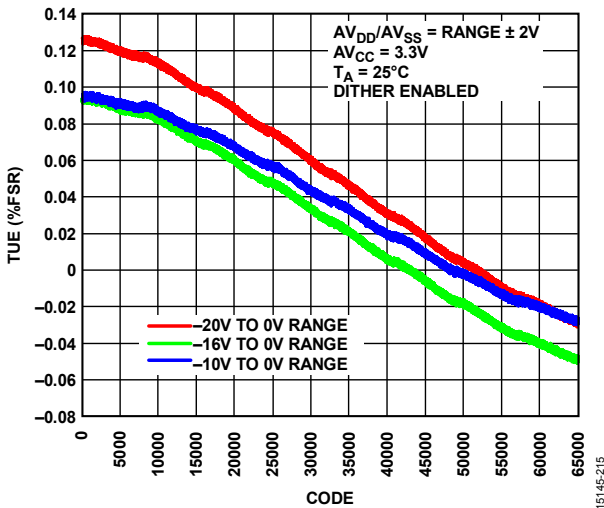


图15. 总非调整误差(TUE)与DAC代码的关系 (单极性输出)

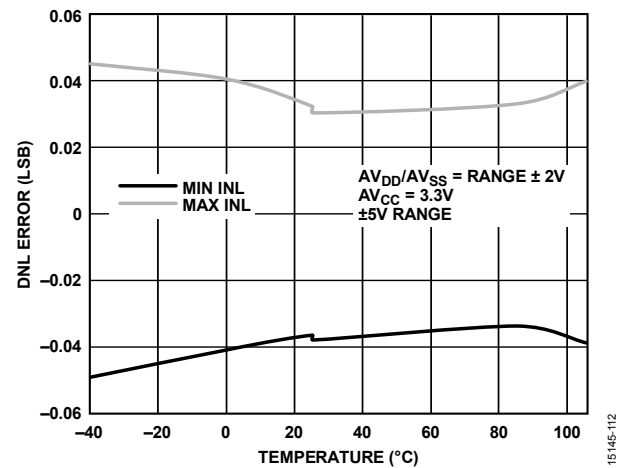


图18. DNL误差与温度的关系

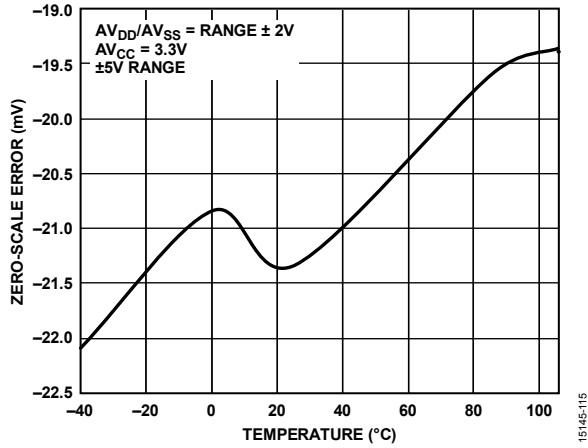


图19. 零电平误差与温度的关系

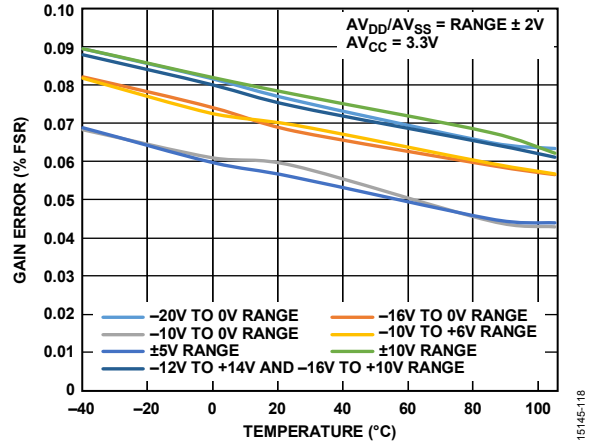


图22. 增益误差与温度的关系

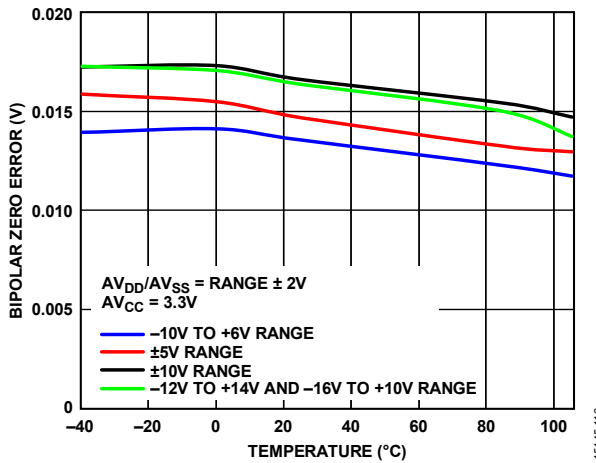


图20. 双极性零误差与温度的关系

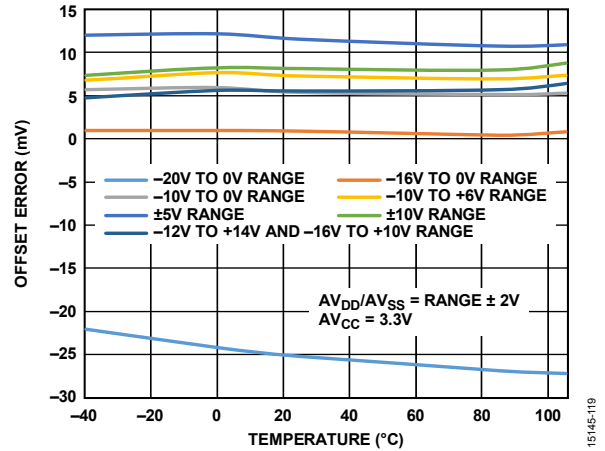


图23. 失调误差与温度的关系

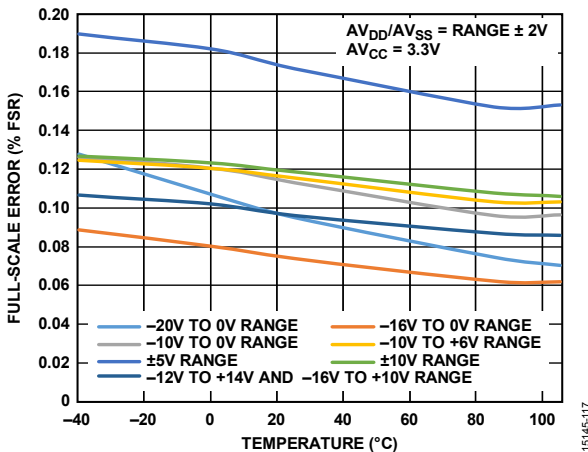


图21. 满量程误差与温度的关系

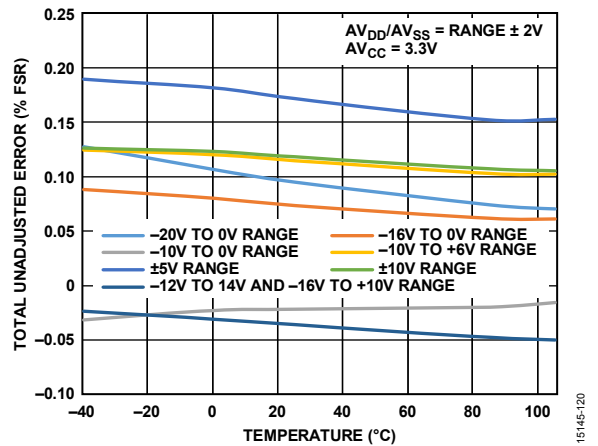


图24. 总非调整误差与温度的关系

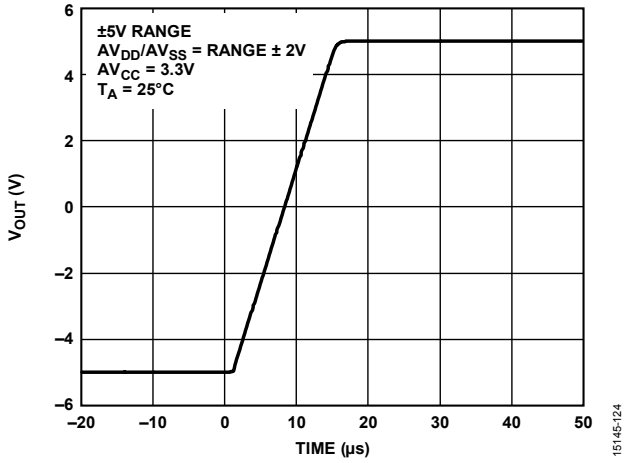


图25. 满量程建立时间 (上升电压阶跃)

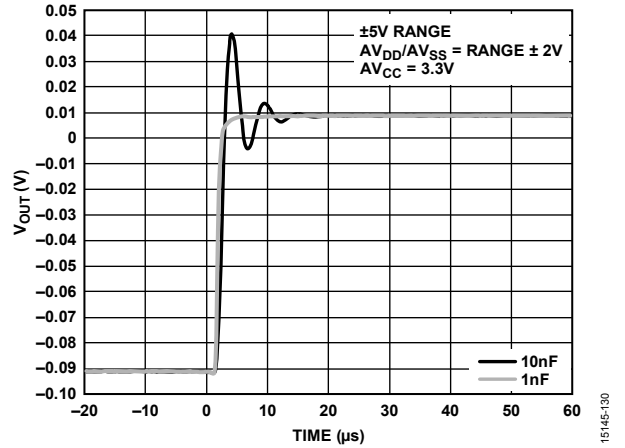


图28. 不同容性负载下输出电压(V_{OUT})与建立时间的关系

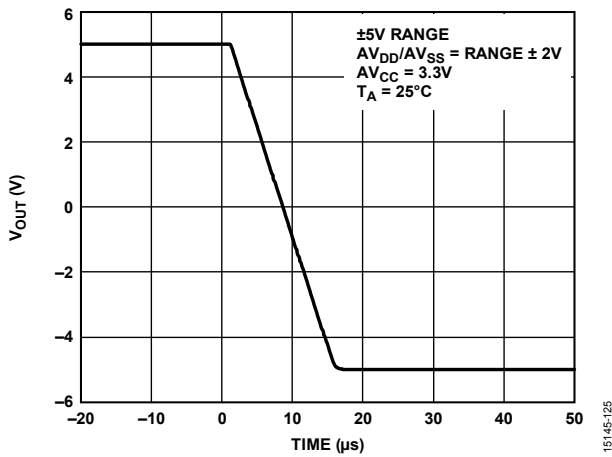


图26. 满量程建立时间 (下降电压阶跃)

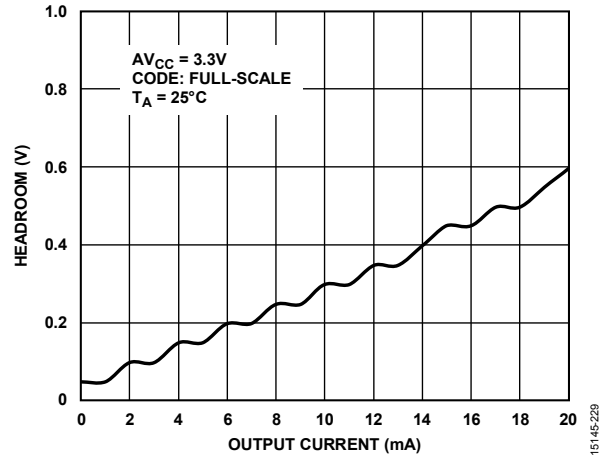


图29. 上裕量与输出电流的关系

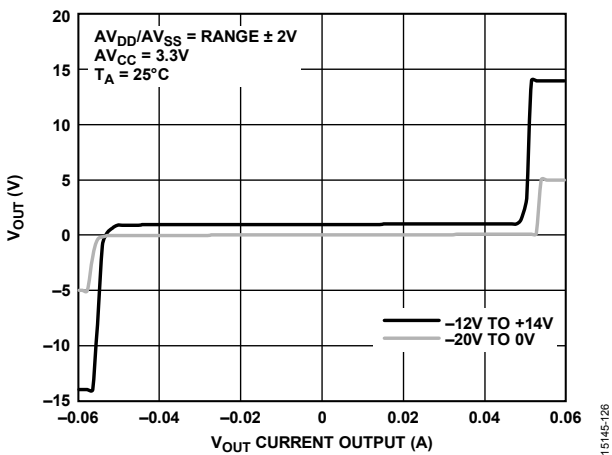


图27. 输出放大器的源电流和吸电流能力

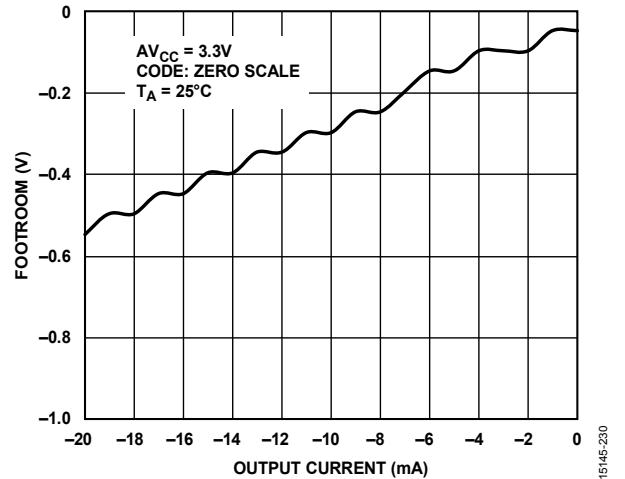


图30. 下裕量与输出电流的关系

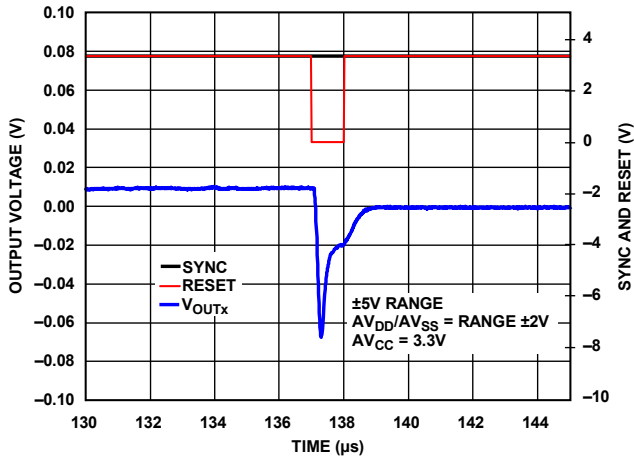


图31. 硬件复位毛刺

15145-231

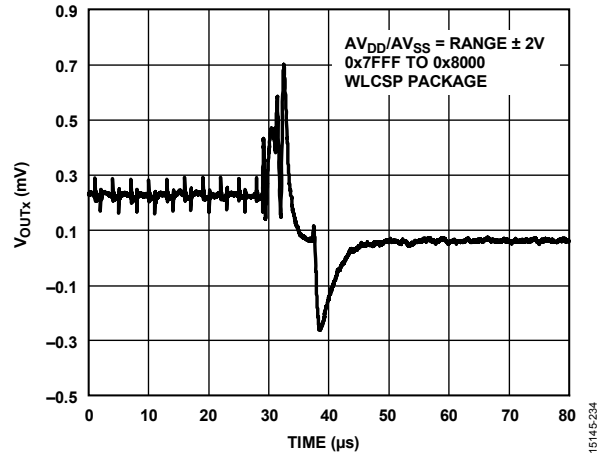


图34. WLCSP封装的数模转换毛刺脉冲

15145-234

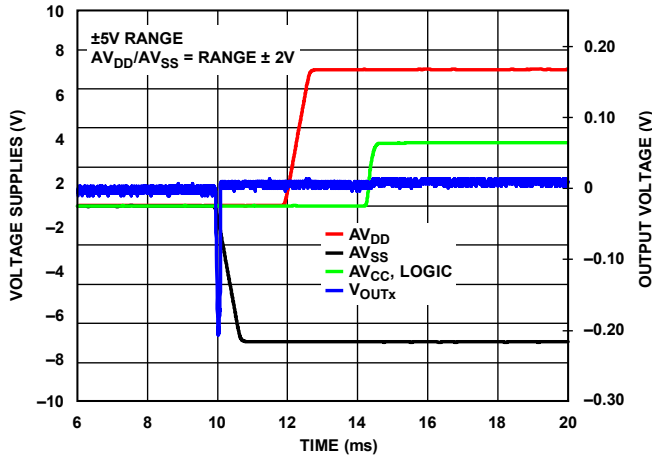


图32. 上电毛刺

15145-232

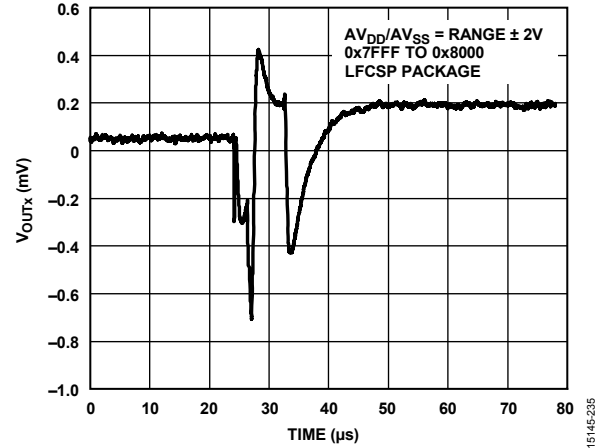


图35. LFCSP封装的数模转换毛刺脉冲

15145-235

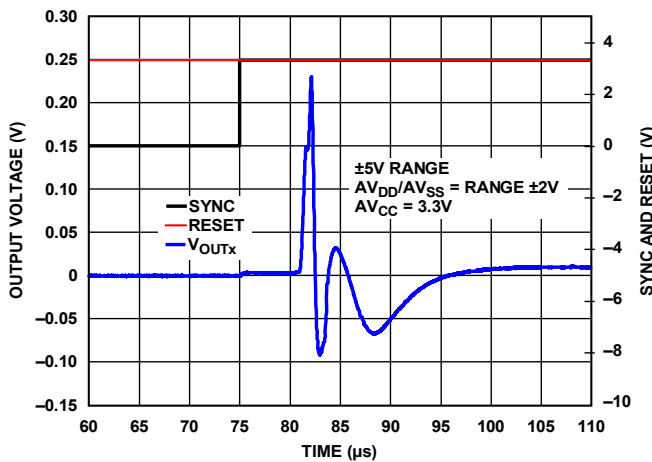


图33. 输出范围使能毛刺

15145-233

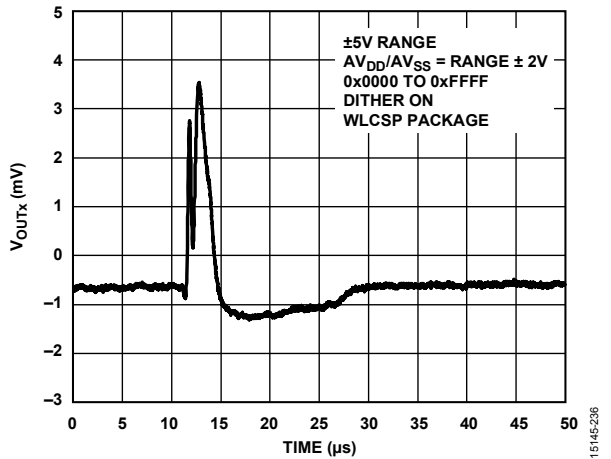


图36. WLCSP封装的模拟串扰 (扰动使能)

15145-236

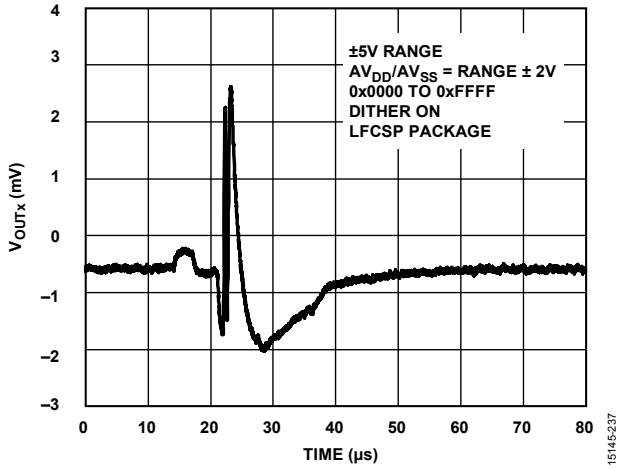


图37. LFCSP封装的模拟串扰 (扰动使能)

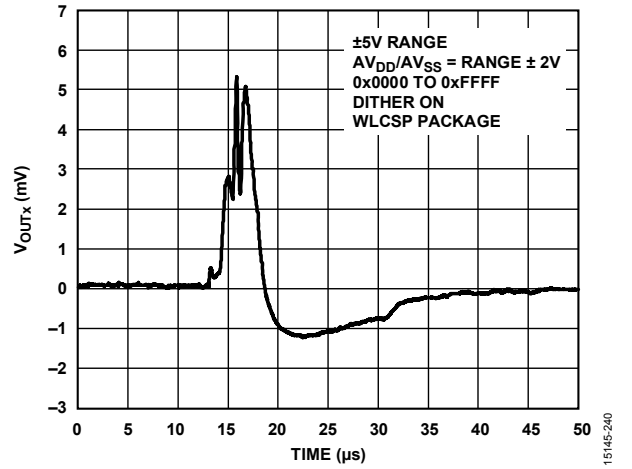


图40. WLCSP封装的DAC间串扰 (扰动使能)

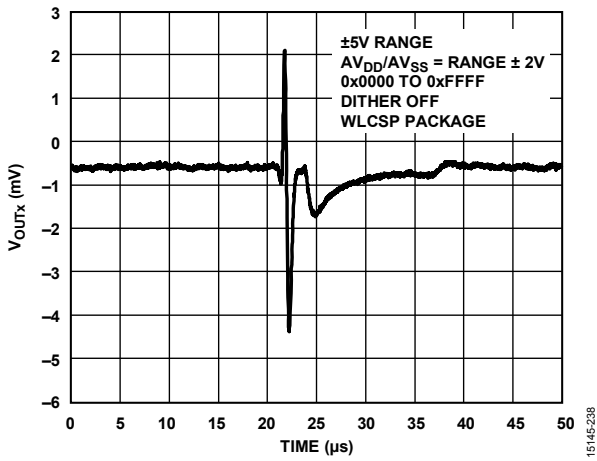


图38. WLCSP封装的模拟串扰 (扰动禁用)

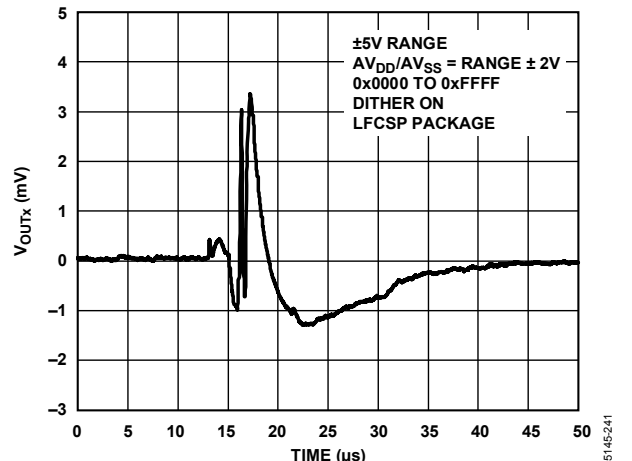


图41. LFCSP封装的DAC间串扰 (扰动使能)

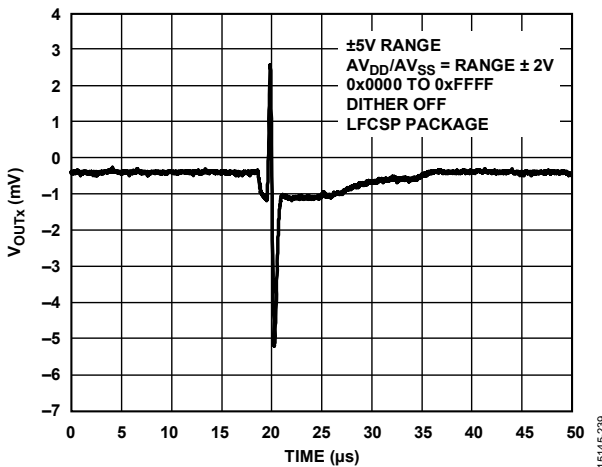


图39. LFCSP封装的模拟串扰 (扰动禁用)

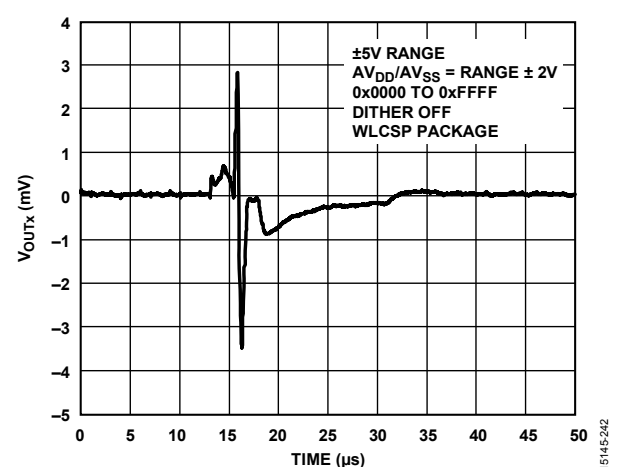


图42. WLCSP封装的DAC间串扰 (扰动禁用)

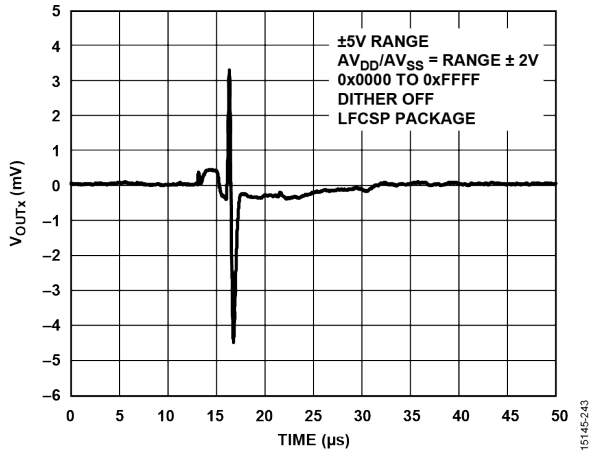


图43. LFCSP封装的DAC间串扰 (扰动禁用)

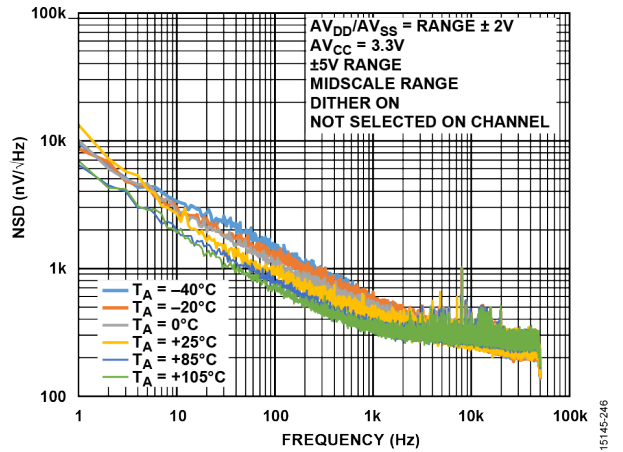


图46. 不同温度下输出噪声(NSD)与频率的关系

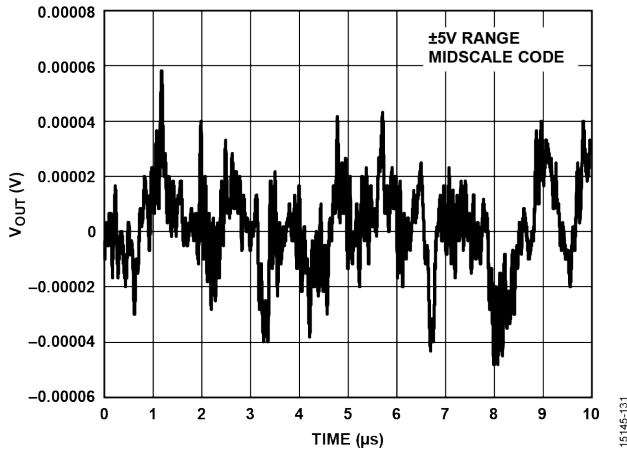


图44. 扰动禁用时的峰峰值噪声 (0.1 Hz至10 Hz带宽)

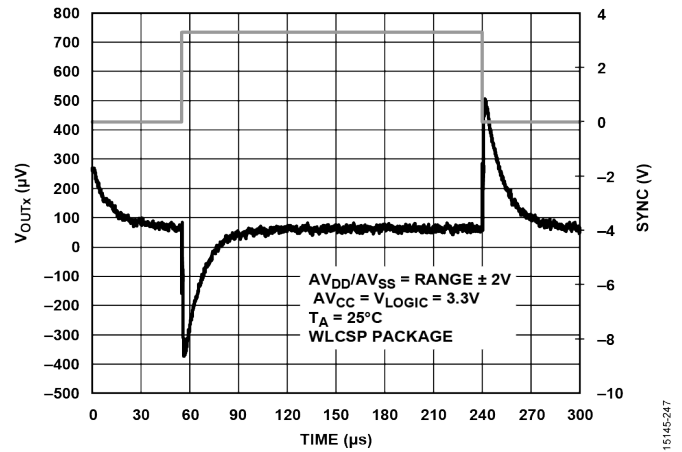


图47. WLCSP封装的数字馈通

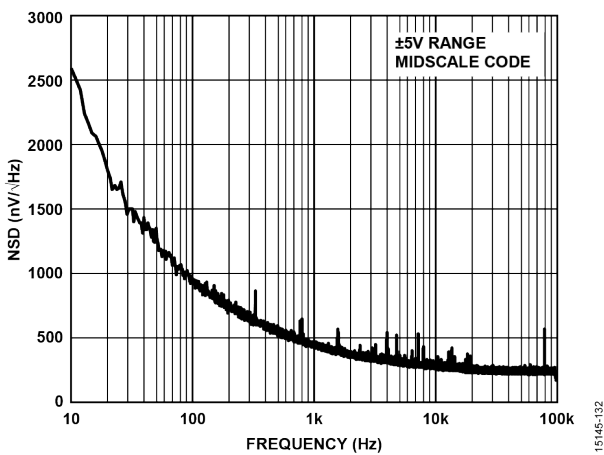


图45. 噪声谱密度(NSD)与频率的关系

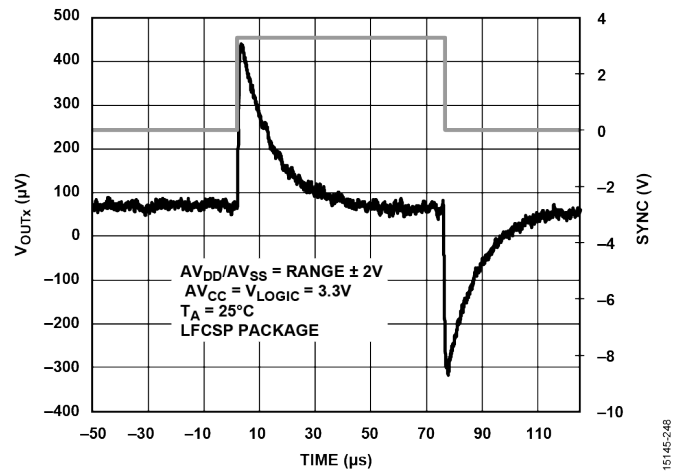


图48. LFCSP封装的数字馈通

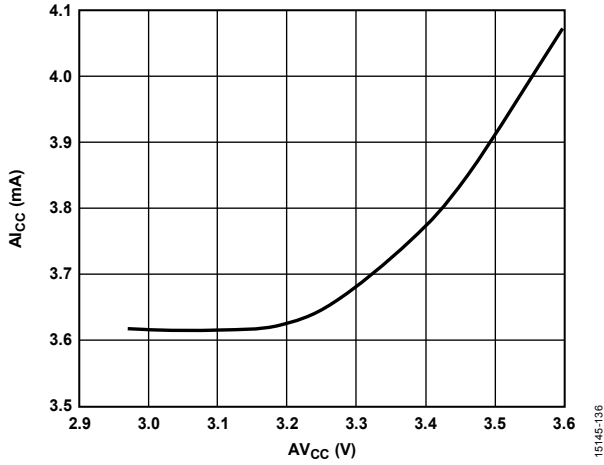


图49. 电源电流(I_{CC})与电源电压(AV_{CC})的关系

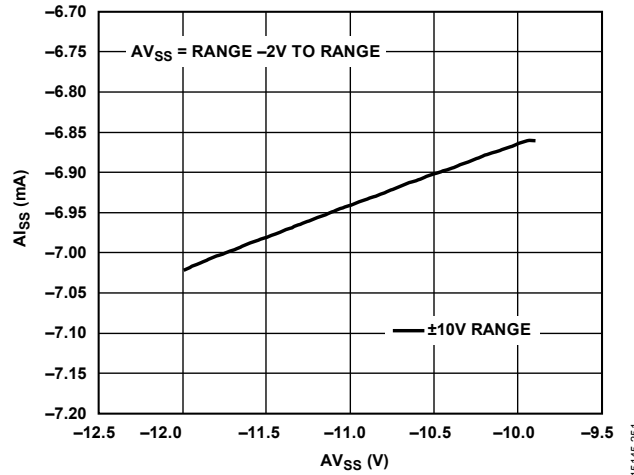


图51. 电源电流(I_{SS})与电源电压(AV_{SS})的关系

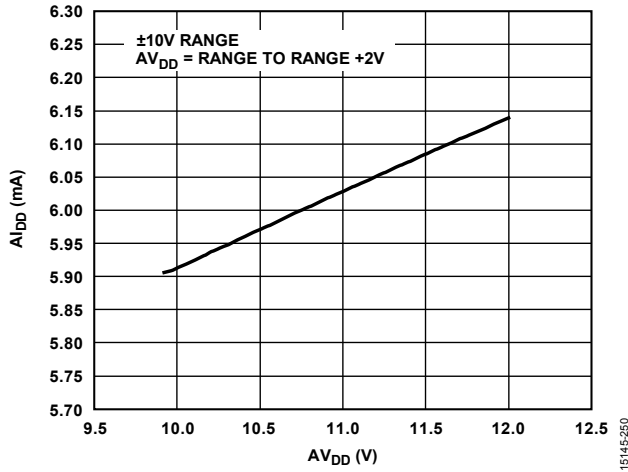


图50. 电源电流(I_{DD})与电源电压(AV_{DD})的关系

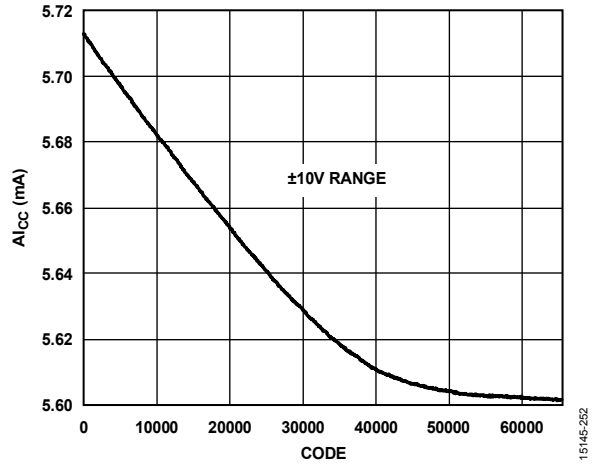


图52. 电源电流(I_{CC})与代码的关系

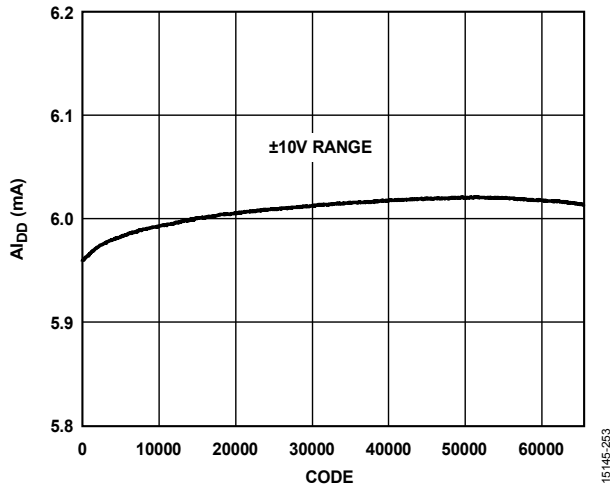


图53. 电源电流(I_{DD})与代码的关系

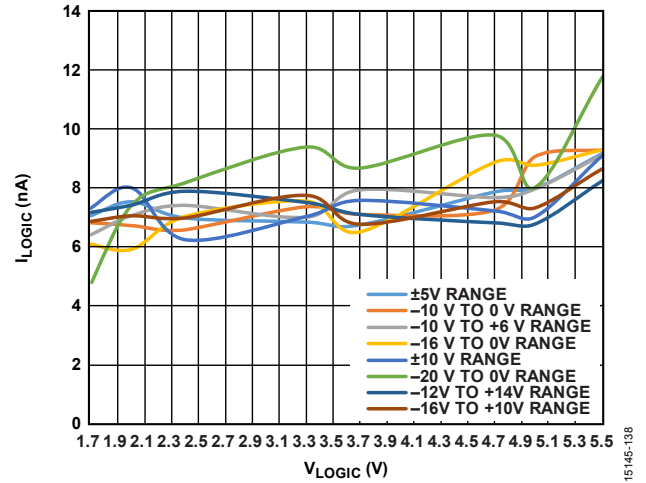


图55. 逻辑电流(I_{LOGIC})与逻辑输入电压(V_{LOGIC})的关系

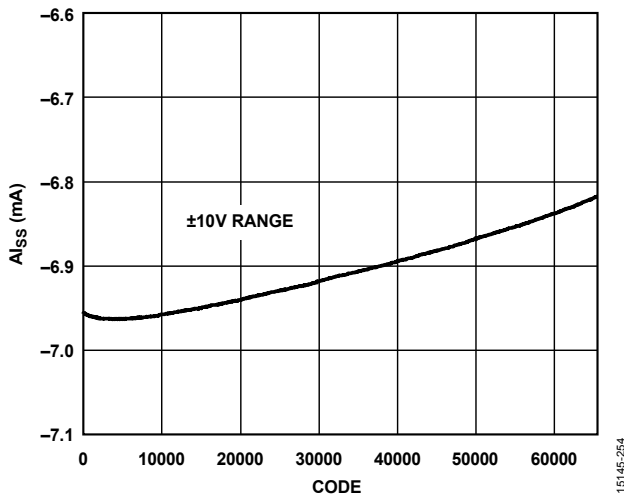


图54. 电源电流(I_{SS})与代码的关系

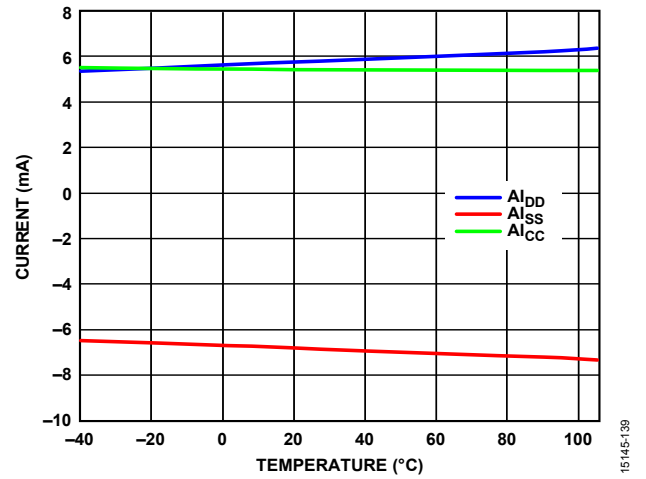


图56. 电源电流与温度的关系

扰动特性

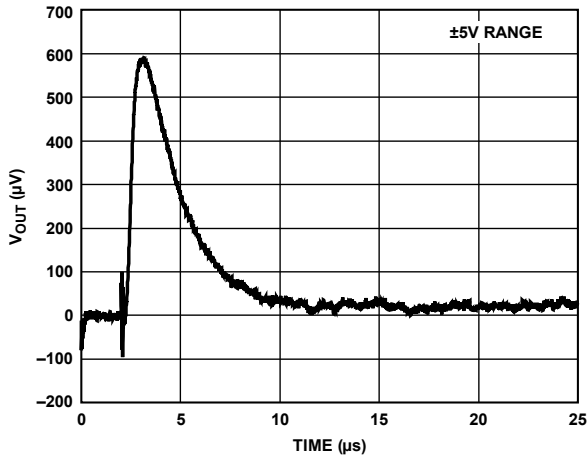


图57. 选择扰动的通道上的瞬变 (扰动使能)

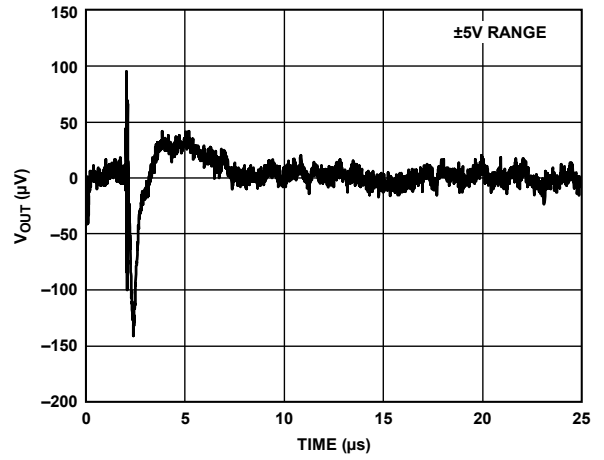


图60. 选择不扰动的通道上的瞬变 (扰动禁用)

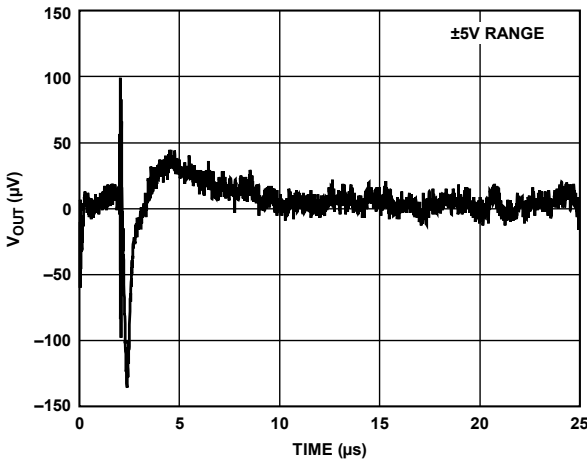


图58. 选择不扰动的通道上的瞬变 (扰动使能)

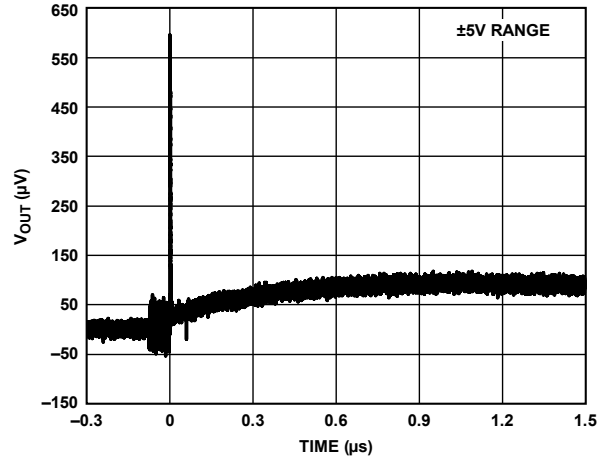


图61. 扰动直流偏移

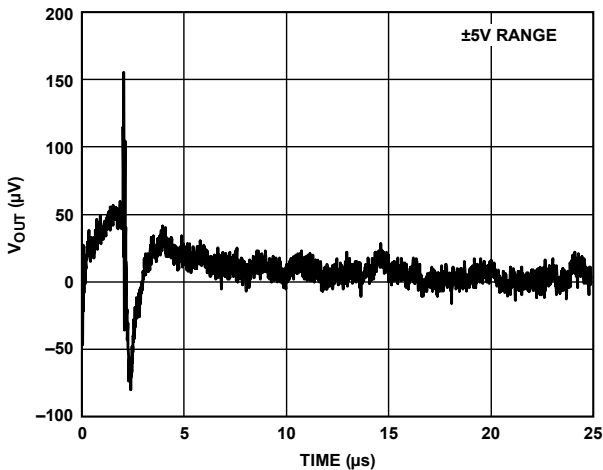


图59. 选择扰动的通道上的瞬变 (扰动禁用)

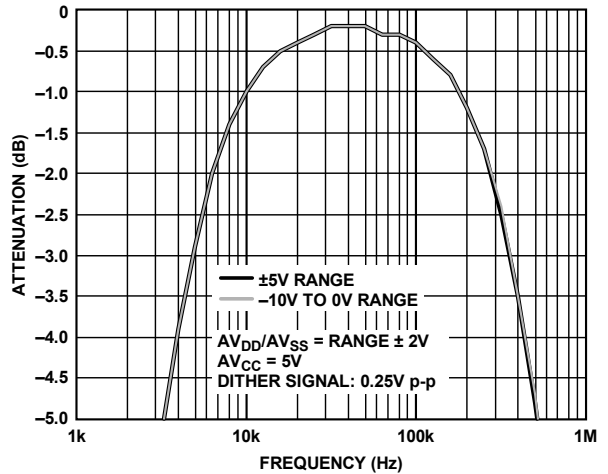


图62. 扰动输入至DAC输出衰减与频率的关系 (±5 V范围和-10 V至0 V范围)

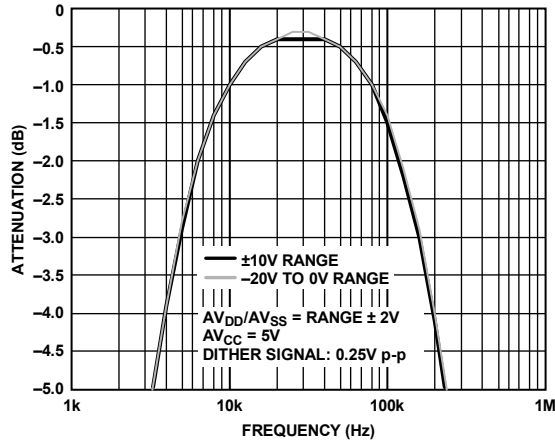


图63. 扰动输入至DAC输出衰减与频率的关系
(±10 V范围和-20 V至0 V范围)

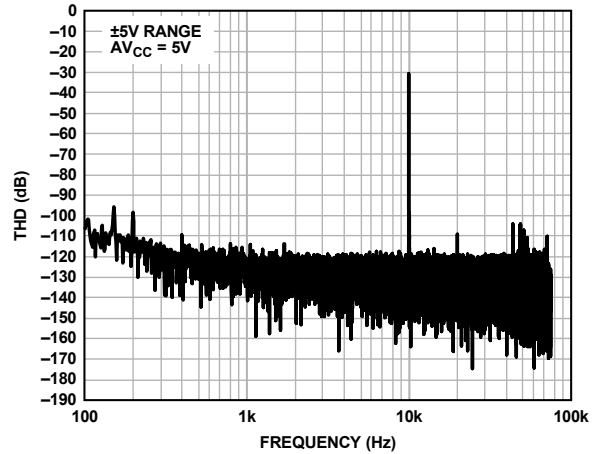


图66. 总谐波失真(THD)与频率的关系

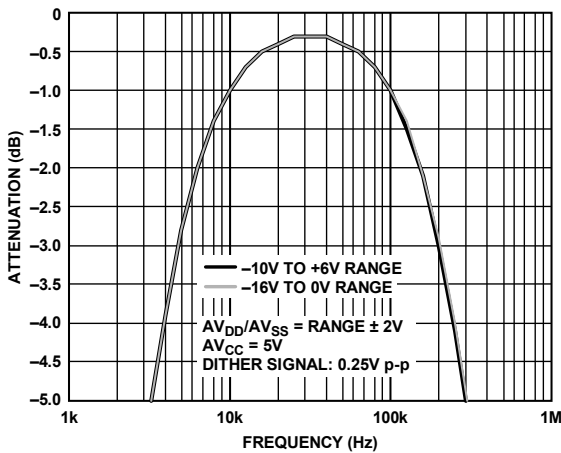


图64. 扰动输入至DAC输出衰减与频率的关系
(-10 V至+6 V范围和-16 V至0 V范围)

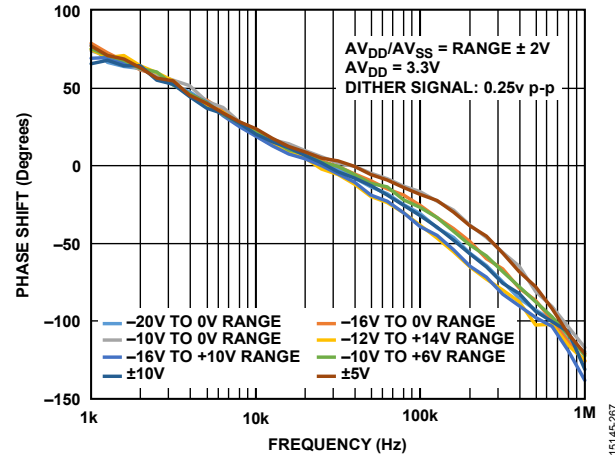


图67. 扰动输入至DAC输出相移与频率的关系

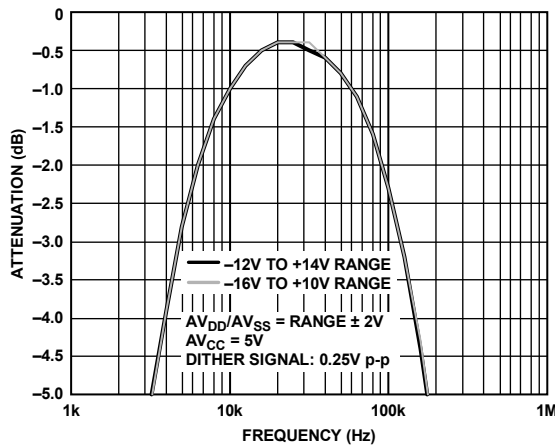


图65. 扰动输入至DAC输出衰减与频率的关系
(-12 V至+14 V范围和-16 V至+10 V范围)

术语

总非调整误差(TUE)

总非调整误差衡量包括所有误差在内的总输出误差，即INL误差、失调误差、增量误差以及在电源电压、温度和时间范围内的输出漂移，TUE用% FSR表示。

相对精度或积分非线性(INL)

相对精度或积分非线性(INL)是指DAC输出与通过DAC端点的传递函数直线之间的最大偏差，单位为LSB。图7和图10显示了典型INL误差与DAC代码的关系曲线图。

差分非线性(DNL)

差分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 ± 1 LSB的额定差分非线性可确保单调性。本DAC通过设计保证单调性。图12和图14显示了典型DNL误差与DAC代码的关系曲线图。

零电平误差

零电平误差衡量将零电平码(0x0000)载入DAC寄存器时的输出误差。零代码误差用mV表示。

零电平误差温度系数

零代码误差漂移衡量零代码误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

双极性零误差

双极性零误差是DAC寄存器载入0x2000时模拟输出与0 V的理想半刻度输出的偏差。

双极性零误差温度系数

双极性零点漂移衡量双极性零误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

增益误差

增益误差衡量DAC的量程误差，是指DAC传递特性的斜率与理想值之间的偏差，用% FSR表示。

增益误差温度系数

增益温度系数用来衡量增益误差随温度的变化，用ppm FSR/ $^\circ\text{C}$ 表示。

失调误差

失调误差是指传递函数线性区内 V_{OUTX} （实际）和 V_{OUTX} （理想）之间的差值，用mV表示。失调误差可以为正，也可为负。

失调误差漂移

失调误差漂移衡量失调误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

扰动直流偏移

扰动直流偏移是指扰动音耦合到模拟输出所引起的 V_{OUTX} （实际）与 V_{OUTX} （理想）之间的直流电压差值，以LSB为单位。

扰动瞬变

输出通道上使能或禁用扰动功能会导致脉冲注入模拟输出，扰动瞬变衡量该脉冲的幅度。在选定的输出通道上和其他未选定的通道上测量扰动瞬变，用nV-sec表示。

直流电源电压抑制比(PSRR)

PSRR表示电源电压变化对DAC输出的影响大小，PSRR指DAC满量程输出条件下 V_{OUTX} 变化量与 AV_{DD} 变化量之比，用V/V表示。

输出电压建立时间

输出电压建立时间是指对于一个 $\frac{1}{4}$ 至 $\frac{3}{4}$ 满量程输入变化，DAC输出建立为指定电平所需的时间。该时间从SYNC上升沿开始测量。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的输入编码变化时注入到模拟输出的脉冲。数模转换毛刺脉冲通常规定为毛刺的面积，用nV-sec表示，在数字输入码于主进位跃迁中改变1 LSB（对于AD5767为0x7FF至0x800，对于AD5766为0x7FFF至0x8000）时进行测量。

数字馈通

数字馈通衡量从DAC的数字输入注入到DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为nV-sec，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。

直流串扰

直流串扰是一个DAC输出电平因响应另一个DAC输出变化而发生的直流变化。其测量方法是让一个DAC发生满量程输出变化（或关断后上电），同时监控另一个保持中间电平的DAC，单位为 μV 。

负载电流变化引起的直流串扰用来衡量一个DAC的负载电流变化对另一个保持中间电平的DAC的影响，单位为 $\mu\text{V}/\text{mA}$ 。

数字串扰

数字串扰是指一个输出为中间电平的DAC，其输出因响应另一个DAC的输入寄存器的满量程编码变化（全0至全1或相反）而引起的毛刺脉冲，该值在独立模式下进行测量，用nV-sec表示。

模拟串扰

模拟串扰是指一个DAC的输出因响应另一个DAC输出的变化引起毛刺脉冲，其测量方法是向一个DAC的输入寄存器加载满量程编码变化（全0至全1，或相反），然后执行软件LDAC（参见表21）并监控数字编码未改变的DAC的输出。毛刺面积用nV-sec表示。

DAC间串扰

DAC间串扰是指一个DAC的输出因响应另一个DAC的数字编码变化和后续的模拟输出变化，而引起的毛刺脉冲，其测量方法是使用写入和更新命令让一个通道发生满量程编码变化（全0到全1，或相反），同时监控处于中间电平的一个通道的输出。毛刺的能量用nV-sec表示。

输出噪声谱密度

输出噪声谱密度衡量内部产生的随机噪声。随机噪声表示为频谱密度(nV/√Hz)。测量方法是将DAC加载到中间电平，然后测量输出端噪声，单位为nV/√Hz。

工作原理

数模转换器

AD5766/AD5767是16通道、16位/12位、串行输入、电压输出DAC，能够提供多种输出范围，并具有±20 mA输出电流能力。可用输出电压范围如下所示：

- -20 V至0 V
- -16 V至0 V
- -10 V至0 V
- -10 V至+6 V
- -12 V至+14 V
- -16 V至+10 V
- ±5 V
- ±10 V

该器件采用四个电源电压工作： AV_{CC} 、 AV_{DD} 、 AV_{SS} 和 V_{LOGIC} 。 AV_{CC} 是DAC和其他低压电路的电源输入电压，而 AV_{DD} 和 AV_{SS} 分别是输出放大器的正负模拟电源。为了以小于1 LSB的最小输出电压误差驱动20 mA负载，输出放大器需要+2 V的上裕量和-2 V的下裕量。表9显示了各选定输出范围的电源要求。 V_{LOGIC} 定义数字输入和输出信号的逻辑电平。

表9. 选定输出范围的电源要求

范围(V)	AV_{SS} 最大值(V)	AV_{DD} 最小值(V)
-20至0	-22	2.97
-16至0	-18	2.97
-10至0	-12	2.97
-10至+6	-12	8
-12至+14	-14	16
-16至+10	-18	12
-5至+5	-7	7
-10至+10	-12	12

DAC架构

一个DAC通道的架构由一电阻串DAC和一个输出缓冲放大器构成。 V_{REF} 引脚电压为所有DAC通道提供基准电压。图68为DAC架构框图。

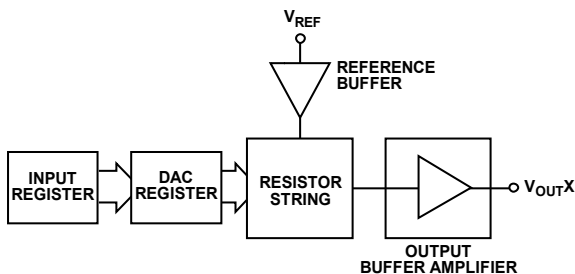


图68. DAC架构

DAC的输入编码为直接二进制，理想输出电压为：

$$V_{OUT} = \left(Span \times \frac{D}{N} \right) + V_{MIN}$$

其中

$Span$ 为DAC输出电压的全部范围，从最小限值到最大限值。 D 为载入DAC寄存器的二进制编码的十进制等效值。

N 为4096（对于12位版本AD5767）或65536（对于16位版本AD5766）。

V_{MIN} 为该范围的最低电压。

电阻串

电阻串部分如图69所示。它是一个简化的电阻串结构，各电阻的值为 R 。载入DAC寄存器的数字码决定连接电阻串上哪一个节点的电压馈入输出放大器。抽取电压的方法是将连接电阻串与放大器的开关之一闭合。由于使用电阻串，故能保证DAC是单调的。

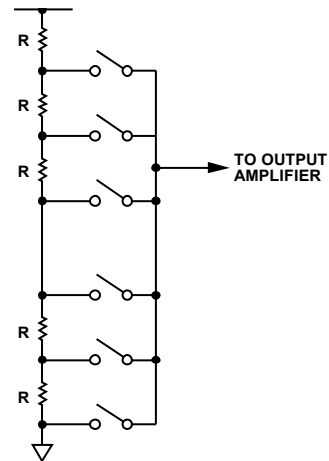
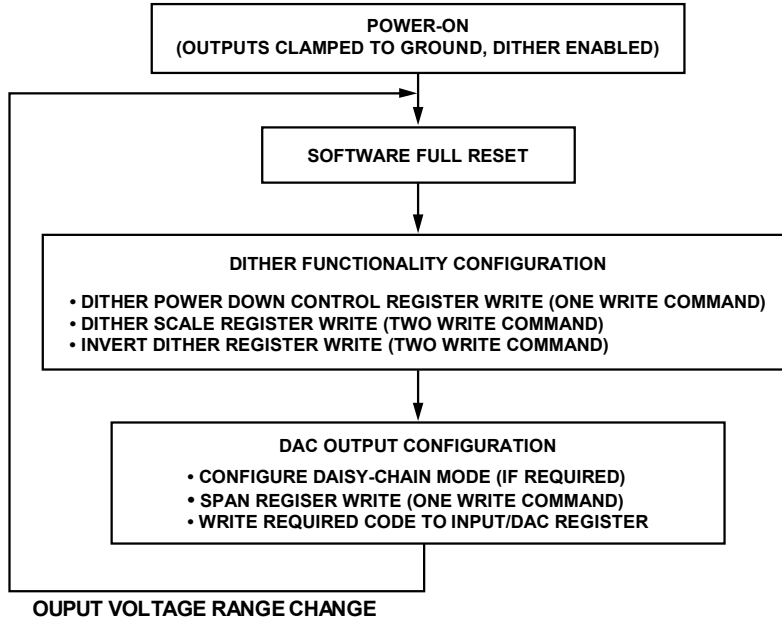


图69. 电阻串

上电复位(POR)

AD5766/AD5767内置POR电路，用于在上电时控制输出电压。AD5766/AD5767输出在上电时箝位到地电压并保持此电平，直到对范围寄存器执行一个有效写序列以配置DAC输出范围。上电时，扰动功能也使能。

软件可执行的复位功能可将DAC复位至上电状态。命令0111保留用于该复位功能（参见表30）。复位和成功写操作之间有一个最小时间要求（参见表4中的时序特性）。图70显示了上电时配置AD5766/AD5767所要遵循的编程顺序。



15145-264

图70. 写入/使能AD5766/AD5767输出的编程序列

扰动

将适当的值写入扰动寄存器,便可将外部扰动信号耦合到任意DAC输出上。扰动信号施加于N0和N1输入引脚(参见图71)。如果不需要扰动,应将这些引脚连接到AGND。扰动信号幅度具有0.25 V p-p的最大峰峰值电压(交流电压),绝对输入电压(交流和直流电压)不得超过0 V至 V_{CC} 范围。如需要,各通道的扰动信号可加以衰减和/或内部反转。可以将10 kHz至100 kHz的扰动信号施加于扰动输入引脚。由于内部扰动电路的性质,输出的直流值可能有偏移(参见表1),对该偏移可予以补偿。关于扰动功能的推荐配置,请参阅“应用信息”部分。

扰动关断模式

AD5766/AD5767每个通道都包含扰动模块关断模式。命令0101用于关断功能(参见表10)。该关断模式可通过软件编程,

方法是设置电源控制寄存器中的4个位(位D19至位D16)。要能使每个通道的扰动模块关断功能,D19至D16必须设置为0001(参见表26)。表27列出了位D16的状态与器件工作模式的对应关系。将相应的16位(D15至D0)设为1,便可将任意或所有DAC的扰动功能关断到选定的模式。

写入范围寄存器之前,确保所有通道都已上电。

监控器复用

AD5766/AD5767内置通道监控功能,该功能由一个通过串行接口寻址的模拟多路复用器实现,任意通道输出均可路由至公用MUX_OUT引脚以便进行外部监控。

MUX_OUT引脚无缓冲,所以从该引脚汲取的电流会在开关上产生一个压降,进而导致受监控的电压出现误差。因此,必须将MUX_OUT引脚连接到高阻抗输入或提供外部缓冲。

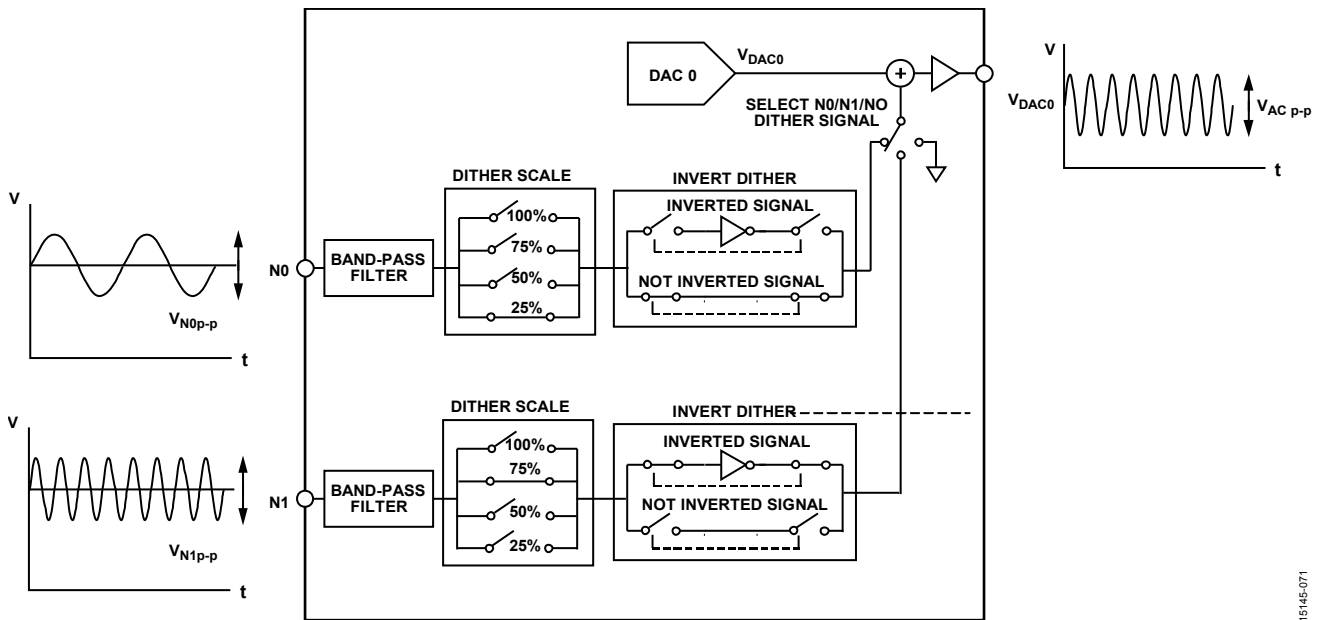


图71. 扰动信号产生

15145-071

串行接口

AD5766/AD5767 4线 ($\overline{\text{SYNC}}$ 、SCLK、SDI和SDO) 接口与 SPI、QSPI、MICROWIRE接口标准以及大多数数字信号处理器(DSP)兼容。写序列开始于 $\overline{\text{SYNC}}$ 线被拉低后,此线必须保持低电平,直到从SDI引脚载入完整的数据字。数据在SCLK下降沿时载入AD5766/AD5767(参见图2)。当在 $\overline{\text{SYNC}}$ 上检测到上升沿时,串行数据字按照表10中的说明解码。该命令必须是24的倍数,否则器件会忽略该命令。AD5766/AD5767包含一个SDO引脚,允许用户以菊花链形式将多个器件连接在一起或回读状态寄存器内容。

回读操作

通过SDO引脚可以回读状态寄存器内容。图4显示了这些寄存器的解码情况。寻址一个待读取的寄存器后,数据将通过SDO引脚在接下来的24个时钟周期输出。时钟必须在 $\overline{\text{SYNC}}$ 为低电平时施加。当读取单个寄存器时,无操作(NOP)功能用于输出数据。如果读取一个以上的寄存器,则第一个待寻址寄存器的数据可以在寻址第二个待读取寄存器的同时输出。

菊花链操作

菊花链形式可以最大程度地减少控制IC的端口引脚数量要求。如图72所示,必须将一个封装的SDO引脚连接到下一个封装的SDI引脚。要使能菊花链模式,表15中的DC_EN位必须为1。当两个AD5766/AD5767器件以菊花链形式连接时,需要48位数据。前24位分配给U2,后24位分配给U1,如图72所示。将 $\overline{\text{SYNC}}$ 引脚保持为低电平,直到所有48位都已输入其各自的串行寄存器中。

然后拉高 $\overline{\text{SYNC}}$ 引脚,以完成该操作。

为避免数据被误读(例如由噪声导致),该器件包括一个内部计数器;当SCLK下降沿计数不是24的倍数时,器件忽略该命令。有效时钟计数为24、48、72,以此类推。当 $\overline{\text{SYNC}}$ 返回高电平时,计数器复位。

菊花链模式默认禁用,可利用菊花链控制寄存器使能(参见表15)。

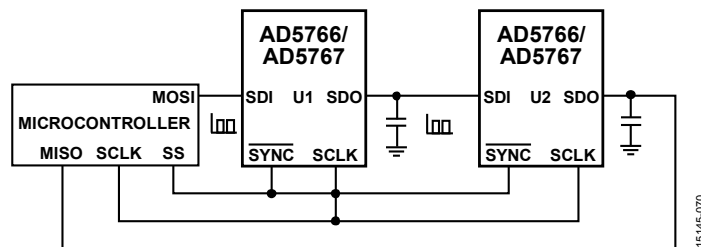


图72. 菊花链框图

寄存器详解

输入移位寄存器

AD5766/AD5767的输入移位寄存器为24位宽。数据以MSB优先(D23)方式加载。前4位是命令位C3至C0（参见图73），然后是4位DAC地址（参见表11），最后是数据位。24位数据字在SCLK的24个下降沿传送至输入寄存器，并在SYNC上升沿进行更新。

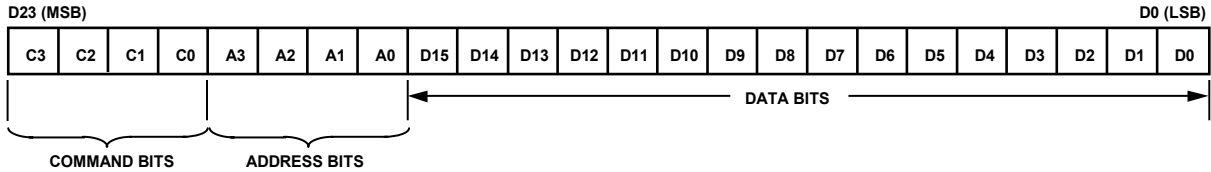


图73. 输入移位寄存器内容

表10. 命令定义¹

C3	C2	C1	C0	A3	A2	A1	A0	名称	描述
0	0	0	0	0	0	0	0	NOP/监控器复用控制	无操作（全0寄存器）。监控器复用控制寄存器(D4 = 1)决定是否将一个DAC输出切换到MUX_OUT引脚上。
0	0	0	0	0	0	0	1	菊花链模式	使能/禁用菊花链模式的SDO输出缓冲器。
0	0	0	1	A3 ²	A2 ²	A1 ²	A0 ²	写入DACx输入寄存器	写入数据到选定DAC通道的输入寄存器。
0	0	1	0	A3 ²	A2 ²	A1 ²	A0 ²	写入输入寄存器和DAC寄存器	写入数据到选定DAC通道的输入寄存器和DAC寄存器。
0	0	1	1	X	X	X	X	软件加载DAC (LDAC)	用来自相应输入寄存器的数据更新选定DAC寄存器。
0	1	0	0	X	X	X	X	范围	选择AD5766/AD5767的输出范围。
0	1	0	1	X	X	X	0	保留	不适用。
0	1	0	1	0	0	0	1	扰动电源控制	上电/关断各DAC通道的扰动功能。
0	1	1	0	X	X	X	X	输入数据写入所有DAC寄存器	数据写入所有DAC通道的输入寄存器和DAC寄存器。
0	1	1	1	0	0	0	0	软件完全复位	将0x1234写入此寄存器会使AD5766/AD5767复位。
1	0	0	0	A3 ²	A2 ²	A1 ²	A0 ²	选择用于回读的寄存器	针对选定DAC通道，选择要回读的寄存器。
1	0	0	1	X	X	X	X	对DAC（DAC 7至DAC 0）应用N0或N1扰动信号	选择对各DAC输出应用N0上的扰动或N1上的扰动，或不应用扰动。
1	0	1	0	X	X	X	X	对DAC（DAC 15至DAC 8）应用N0或N1扰动信号	选择对各DAC输出应用N0上的扰动或N1上的扰动，或不应用扰动。
1	1	0	0	X	X	X	X	扰动比例（DAC 7至DAC 0）	调整应用于选定DAC输出的扰动信号比例。
1	1	0	1	X	X	X	X	扰动比例(DAC 15至DAC 8)	调整应用于选定DAC输出的扰动信号比例。
1	0	1	1	X	X	X	X	反转扰动	反转应用于选定DAC输出的扰动信号。
1	1	1	0	X	X	X	X	保留	不适用。
1	1	1	1	X	X	X	X	保留	不适用。

¹X表示无关。

²地址位设置参见表11。

表11显示了DAC x地址命令。对于采用WLCSP封装的不需要使用全部16个通道的应用，请勿使用通道8，因为它对串扰和数字馈通更敏感。

表11. DAC x地址命令

地址				选定DAC
A3	A2	A1	A0	
0	0	0	0	DAC 0
0	0	0	1	DAC 1
0	0	1	0	DAC 2
0	0	1	1	DAC 3
0	1	0	0	DAC 4
0	1	0	1	DAC 5
0	1	1	0	DAC 6
0	1	1	1	DAC 7
1	0	0	0	DAC 8
1	0	0	1	DAC 9
1	0	1	0	DAC 10
1	0	1	1	DAC 11
1	1	0	0	DAC 12
1	1	0	1	DAC 13
1	1	1	0	DAC 14
1	1	1	1	DAC 15

监控器复用控制

根据所需的D[4:0]值，监控器复用控制命令决定是否将一个DAC输出切换到MUX_OUT引脚。要使用无操作命令，请向D15到D0位写入全0。

表12. 监控器复用控制寄存器

D23	D22	D21	D20	D19	D18	D17	D16	D15至D5	D4至D0
0	0	0	0	0	0	0	0	无关位	VOUT_SEL

表13. 多路复用器的输出电压选择

VOUT_SEL, 位[4:0] ¹					多路复用器输出
0	X	X	X	X	无输出被切换到复用输出
1	0	0	0	0	V _{OUT0}
1	0	0	0	1	V _{OUT1}
1	0	0	1	0	V _{OUT2}
1	0	0	1	1	V _{OUT3}
1	0	1	0	0	V _{OUT4}
1	0	1	0	1	V _{OUT5}
1	0	1	1	0	V _{OUT6}
1	0	1	1	1	V _{OUT7}
1	1	0	0	0	V _{OUT8}
1	1	0	0	1	V _{OUT9}
1	1	0	1	0	V _{OUT10}
1	1	0	1	1	V _{OUT11}
1	1	1	0	0	V _{OUT12}
1	1	1	0	1	V _{OUT13}
1	1	1	1	0	V _{OUT14}
1	1	1	1	1	V _{OUT15}

¹X表示无关。

无操作

写入全0不会改变器件状态。

表14. 无操作寄存器

D23	D22	D21	D20	D19	D18	D17	D16	D15至D0
0	0	0	0	0	0	0	0	0000 0000 0000 0000

菊花链模式

要使用菊花链模式，须使能菊花链控制寄存器中的DC_EN位。此位与内部SDO缓冲器相关联。如果不需要该功能，应将DC_EN位设为0以节省SDO缓冲器的功耗。

表15. 菊花链控制寄存器

D23	D22	D21	D20	D19	D18	D17	D16	D15至D1	D0
0	0	0	0	0	0	0	1	无关位	DC_EN

表16. 菊花链使能/禁用位描述

DC_EN	描述
0	菊花链禁用（默认）
1	菊花链使能

写命令和更新命令**写入DAC x输入寄存器**

此命令允许用户逐个写入各个DAC的专用输入寄存器。DAC输出的值不改变，直到对软件LDAC寄存器执行写操作，并且相应的位设置为1以将寻址的通道包括在更新中。

表17. AD5766写入DAC x输入寄存器

D23	D22	D21	D20	D19至D16	D15至D0
0	0	0	1	DAC x地址（参见表11）	输入寄存器数据

表18. AD5767写入DAC x输入寄存器

D23	D22	D21	D20	D19至D16	D15至D4	D3至D0
0	0	0	1	DAC x地址（参见表11）	输入寄存器数据	无关位

写入输入寄存器和DAC寄存器

此命令直接写入选定DAC寄存器并相应地更新输出。

表19. AD5766写入DAC x输入寄存器和DAC寄存器

D23	D22	D21	D20	D19至D16	D15至D0
0	0	1	0	DAC x地址（参见表11）	输入寄存器数据

表20. AD5767写入DAC x输入寄存器和DAC寄存器

D23	D22	D21	D20	D19至D16	D15至D4	D3至D0
0	0	1	0	DAC x地址（参见表11）	输入寄存器数据	无关位

软件LDAC寄存器

此命令将选定输入寄存器中的数据复制到对应的DAC寄存器，输出相应地更新。

表21. 软件LDAC寄存器

D23	D22	D21	D20	D19至D16	D15至D0
0	0	1	1	无关位	LDAC（各通道对应的位）

表22. LDAC位描述

LDAC	描述
0	不更新通道
1	更新通道

范围寄存器

此寄存器选择AD5766/AD5767的输出范围。参见表24和表25。写入范围寄存器之前，常常执行软件复位。

表23. 范围寄存器

D23	D22	D21	D20	D19至D5	D4至D3	D2至D0
0	1	0	0	无关位	P[1:0] (上电条件)	S[2:0] (范围)

表24. 范围选择

S2	S1	S0	输出电压范围
0	0	0	-20 V至0 V
0	0	1	-16 V至0 V
0	1	0	-10 V至0 V
0	1	1	-12 V至+14 V
1	0	0	-16 V至+10 V
1	0	1	-10 V至+6 V
1	1	0	-5 V至+5 V
1	1	1	-10 V至+10 V

表25. 上电条件选择

P1	P0	上电条件
0	0	零电平
0	1	中间电平
1	无关位	满量程

扰动电源控制寄存器

D[19:16] = 0001时，扰动电源控制寄存器上电或关断各DAC的扰动功能。如果扰动输入N0和N1上均无扰动音输入，建议在第一次写入AD5766/AD5767期间关断选定通道的扰动模块。

表26. 扰动电源控制寄存器

D23	D22	D21	D20	D19	D18	D17	D16	D15至D0
0	1	0	1	0	0	0	1	各通道扰动模块的关断位 (例如, D15 = DAC 15, D8 = DAC 8, D0 = DAC 0)

表27. 扰动电源控制

D16	工作模式
0	正常工作 (默认)
1	关断

输入数据写入所有DAC寄存器

此命令将D[15:0]中的数据写入所有DAC的DAC寄存器，并将全部DAC输出设置为相同的值。对于AD5766/AD5767，数据写入D[15:0] (16位分辨率DAC) 或D[15:4] (12位分辨率版本)。

表28. AD5766输入数据写入所有DAC寄存器

D23	D22	D21	D20	D19至D16	D15至D0
0	1	1	0	无关位	DAC寄存器数据

表29. AD5767输入数据写入所有DAC寄存器

D23	D22	D21	D20	D19至D16	D15至D4	D3至D0
0	1	1	0	无关位	DAC寄存器数据	无关位

软件完全复位

写入0x1234会启动复位例行程序，AD5766/AD5767回到上电状态。

表30. 软件完全复位寄存器

D23	D22	D21	D20	D19至D16	D15至D12	D11至D8	D7至D4	D3至D0
0	1	1	1	0000	0001	0010	0011	0100

选择用于回读的寄存器

此命令选择要回读的寄存器（参见表31）。发出此命令之后，选定寄存器的内容在随后的24位帧上输出到SDO（参见表32）。

表31. 启动回读寄存器

D23	D22	D21	D20	D19至D16	D15至D0
1	0	0	0	DAC x地址（参见表11）	无关位

表32. 回读数据寄存器

D23	D22	D21	D20	D19至D16	D15至D10	D9	D8至D7	D6至D5	D4	D3	D2至D0
1	0	0	0	DAC x地址 (参见表11)	000000	反转扰动	扰动比例	扰动信号	保留	保留	范围S[2:0]

表33. 回读寄存器数据功能

位名称	描述			
范围S[2:0]	范围寄存器			
	D2	D1	D0	输出电压范围
	0	0	0	-20 V至0 V
	0	0	1	-16 V至0 V
	0	1	0	-10 V至0 V
	0	1	1	-12 V至+14 V
	1	0	0	-16 V至+10 V
	1	0	1	-10 V至+6 V
	1	1	0	-5 V至+5 V
1	1	1	-10 V至+10 V	
保留	这是一个保留位；忽略其内容			
扰动信号	对DAC寄存器应用N0或N1扰动信号			
	D6	D5	扰动设置	
	0	0	不应用扰动	
	0	1	应用N0扰动	
	1	0	应用N1扰动	
1	1	不应用扰动		
扰动比例	扰动比例寄存器			
	D8	D7	比例因子	
	0	0	无比例	
	0	1	75%比例	
	1	0	50%比例	
1	1	25%比例		
反转扰动	反转扰动寄存器			
	D9	扰动模式		
	0	扰动信号不反转		
1	扰动信号反转			

对DAC寄存器应用N0或N1扰动信号

这些命令决定哪一个扰动信号（N0或N1）应用于选定的DAC。配置扰动信号并通过写入范围寄存器消除接地箝位后，将扰动信号耦合到AD5766/AD5767输出。更多信息请参阅“应用信息”部分。

表34. 对DAC寄存器（DAC 7至DAC 0）应用N0或N1扰动信号

D23至D20	D19至D16	D15至D14	D13至D12	D11至D10	D9至D8	D7至D6	D5至D4	D3至D2	D1至D0
1001	无关位	DAC 7	DAC 6	DAC 5	DAC 4	DAC 3	DAC 2	DAC 1	DAC 0

表35. 对DAC寄存器（DAC 15至DAC 8）应用N0或N1扰动信号

D23至D20	D19至D16	D15至D14	D13至D12	D11至D10	D9至D8	D7至D6	D5至D4	D3至D2	D1至D0
1010	无关位	DAC 15	DAC 14	DAC 13	DAC 12	DAC 11	DAC 10	DAC 9	DAC 8

表36以位[D15:D14]为例显示扰动比例设置。要将N0扰动应用于DAC 7（参见表34），须将D15设置为0，并将D14设置为1。该扰动选择设置同样适用于其他位，即表34和表35中的位[D13:D12]、位[D11:D10]、位[D9:D8]、位[D7:D6]、位[D5:D4]、位[D3:D2]和位[D1:D0]。

表36. DAC x（DAC 0至DAC 15）的扰动选择

D15	D14	扰动设置
0	0	不应用扰动
0	1	应用N0扰动信号
1	0	应用N1扰动信号
1	1	不应用扰动

扰动比例

在对选定通道应用扰动之前，此命令调整扰动比例。

表37. 扰动比例寄存器（DAC 7至DAC 0）

D23至D20	D19至D16	D15至D14	D13至D12	D11至D10	D9至D8	D7至D6	D5至D4	D3至D2	D1至D0
1100	无关位	DAC 7	DAC 6	DAC 5	DAC 4	DAC 3	DAC 2	DAC 1	DAC 0

表38. 扰动比例寄存器（DAC 15至DAC 8）

D23至D20	D19至D16	D15至D14	D13至D12	D11至D10	D9至D8	D7至D6	D5至D4	D3至D2	D1至D0
1101	无关位	DAC 15	DAC 14	DAC 13	DAC 12	DAC 11	DAC 10	DAC 9	DAC 8

表39以位[D15:D14]为例显示扰动比例设置。要将25%比例应用于DAC 7（参见表37），须将D15设置为1，并将D14设置为1。该扰动比例设置同样适用于其他位，即表34和表35中的位[D13:D12]、位[D11:D10]、位[D9:D8]、位[D7:D6]、位[D5:D4]、位[D3:D2]和位[D1:D0]。

表39. 对DAC x（DAC 0至DAC 15）应用扰动信号

D15	D14	比例因子
0	0	无比例
0	1	75%比例
1	0	50%比例
1	1	25%比例

反转扰动寄存器

当相应的位设置为0时，此命令会反转应用于选定DAC的扰动。

表40. 反转扰动寄存器

D23	D22	D21	D20	D19至D16	D15至D0
1	0	1	1	无关位	Dx（各通道的反转扰动位）

表41. 反转扰动

Dx	扰动模式
0	扰动信号不反转（默认）
1	扰动信号反转

应用信息

扰动配置

AD5766/AD5767包含两个扰动输入引脚,允许扰动音信号耦合到16个DAC输出通道中的任何一个。

利用AD5766/AD5767的扰动功能将扰动功能使能或禁用时DAC输出上的瞬变幅度降至最小。扰动功能的推荐配置如下:

1. 在AD5766/AD5767上电之后,必须写入扰动比例寄存器和反转扰动寄存器以配置输入扰动信号(如需要)。
2. 配置AD5766/AD5767为正常工作模式,然后通过对范围寄存器编程来应用扰动。
3. 写入数据以将N0或N1扰动信号应用于DAC寄存器,使N0/N1输入扰动信号耦合到任意DAC输出 V_{OUTX}

使能通道的扰动功能会提高其对数字馈通的敏感性。

散热考虑

AD5766/AD5767的各通道最多可提供 ± 20 mA电流。因此,了解功耗对封装和结温的影响情况非常重要。内部结温不得超过 150°C 。AD5766/AD5767采用49引脚 $4\text{ mm} \times 4\text{ mm}$ WLCSP和40引脚 $6\text{ mm} \times 6\text{ mm}$ LFCSP封装。关于热阻 θ_{JA} ,请参阅“绝对最大额定值”部分。器件不得在会引起结温超过“绝对最大额定值”部分中规定的最大温度的条件下工作。

“热计算示例(WLCSP)”部分详细说明了如何计算芯片温度和最大容许环境温度。 AV_{DD} 、 AV_{SS} 、 AV_{CC} 和 V_{LOGIC} 引脚的静态电流也必须包括在结温计算中。这些计算使用表1中给出的典型电源电流。

热计算示例(WLCSP)

此热计算示例中,16个通道全部使能,并使用 ± 10 V输出电压范围。输出电压为+1V时,每个通道消耗2 mA。

$$AV_{DD} = \text{Span} + 2\text{ V} = 12\text{ V}$$

$$AV_{SS} = \text{Span} - 2\text{ V} = -12\text{ V}$$

$$AV_{CC} = V_{LOGIC} = 3.3\text{ V}$$

其中,Span为输出电压范围 ± 10 V。

供应16个通道所需的电流(输出功率)为

$$2\text{ mA} \times 16 = 32\text{ mA}$$

AV_{DD} 轨上用于AD5766/AD5767供应16个通道及6 mA典型电源电流所需的功耗为:

$$12\text{ V} \times (32\text{ mA} + 6\text{ mA}) = 0.456\text{ W}$$

然后加上 AV_{SS} 、 AV_{CC} 和 V_{LOGIC} 轨的功耗(输入功率),如下所示:

$$0.456\text{ W} + (-12\text{ V} \times -9\text{ mA}) + (3.3\text{ V} \times 8.3\text{ mA}) + (3.3\text{ V} \times 0.02\text{ }\mu\text{A}) = 0.59\text{ W}$$

使用下式计算AD5766/AD5767的功耗:

$$P_{DISS} = \text{输入功率} - \text{输出功率}$$

例如:

$$0.59\text{ W} - (32\text{ mA} \times 1\text{ V}) = 0.558\text{ W}$$

然后计算芯片温度:

$$0.558\text{ W} \times 53^{\circ}\text{C}/\text{W} = 29.57^{\circ}\text{C}$$

使用下式计算最大容许环境温度:

$$T_{A,MAX} = T_{J,MAX} - \text{芯片温度}$$

例如:

$$150^{\circ}\text{C} - 29.57^{\circ} = 120^{\circ}\text{C}$$

θ_{JA} 规格假设已采用“布局布线指南”部分所述的正确布局和接地方法,以将功耗降至最低。

微处理器接口

AD5766/AD5767的微处理器接口是通过串行总线实现的,使用与DSP和微控制器兼容的标准协议。通信通道需要一个由时钟信号、数据输入信号、数据输出信号和同步信号组成的四线串行接口。器件要求24位数据字,数据在SCLK下降沿有效。

AD5766/AD5767与SPI接口

AD5766/AD5767的SPI接口设计旨在轻松连接到业界标准DSP和微控制器。图74显示AD5766/AD5767连接到ADI公司的ADSP-BF531 Blackfin® DSP。Blackfin有一个集成SPI端口,可以直接连接到AD5766/AD5767的SPI引脚。

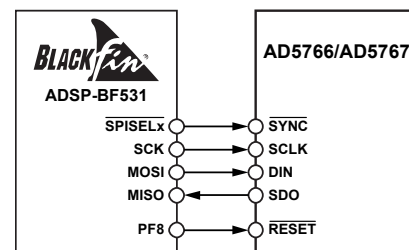


图74. ADSP-BF531 SPI接口

布局布线指南

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。安装AD5766/AD5767所用的PCB必须经过专门设计，使AD5766/AD5767位于模拟平面。电路板的模拟部分与数字部分必须分离。如果AD5766/AD5767所在系统中有其他器件要求AGND至DGND连接，则只能在一个点进行连接。此接地点应尽可能靠近AD5766/AD5767。

AD5766/AD5767必须具有足够大的10 μF 电源旁路电容，与每个电源上的0.1 μF 电容并联，并且尽可能靠近封装，最好是正对着该器件。10 μF 电容应为钽珠型电容。0.1 μF 电容必须具有低等效串联电阻(ESR)和低等效串联电感(ESL)。例如，陶瓷电容可在高频时提供低阻抗接地路径，以便处理内部逻辑开关所引起的瞬态电流。

确保电源走线尽可能宽，以提供低阻抗路径，并减小电源线路上的毛刺效应。通过数字地将时钟及其它快速开关数字信号屏蔽起来，使之不影响电路板的其它器件。尽可能避免数

字信号与模拟信号交叠。当电路板相反两侧的走线相交时，应确保这些走线彼此垂直，以减小电路板的馈通效应。最佳电路板布局技术是微带线技术，其中电路板的元件侧专用于接地层，信号走线则布设在焊接侧。但是，这种技术对于双层电路板未必可行。

提供一定的散热能力通常有助于功率耗散。

对于WLCSP封装，热量通过焊球传输到PCB板。 θ_{JA} 热阻取决于电路板构造。增加铜层有利于更有效地散热。

LFCSP封装的AD5766/AD5767器件下方具有裸露焊盘。该焊盘与器件的 AV_{SS} 电源相连。为了获得最佳性能，在设计母板和安装器件时需要有一些特殊考虑。为了改善散热、电气和板级性能，需将封装底部的裸露焊盘焊接到PCB上相应的散热焊盘上。为进一步改善散热性能，PCB焊盘区可以设计一些散热通孔。

可以扩大器件上的 AV_{SS} 平面（如图75所示），以提供自然散热效应。

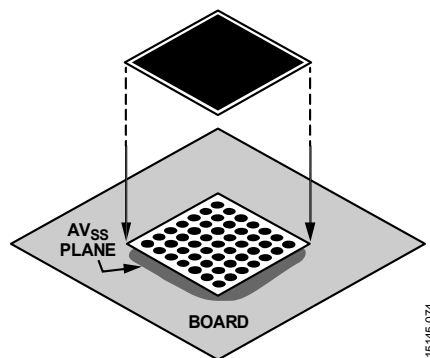


图75. 裸露焊盘与电路板的连接

15146-074

外形尺寸

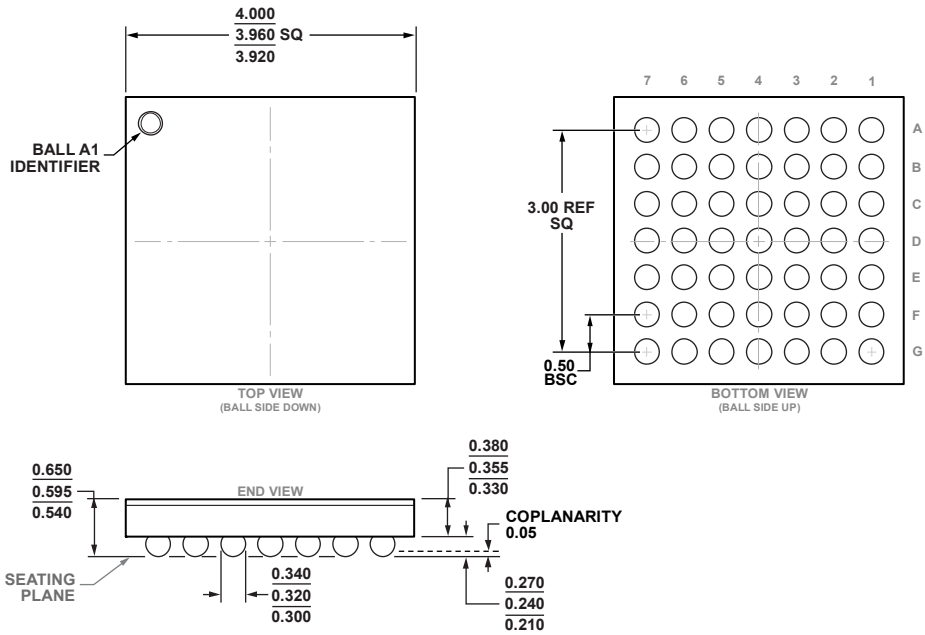
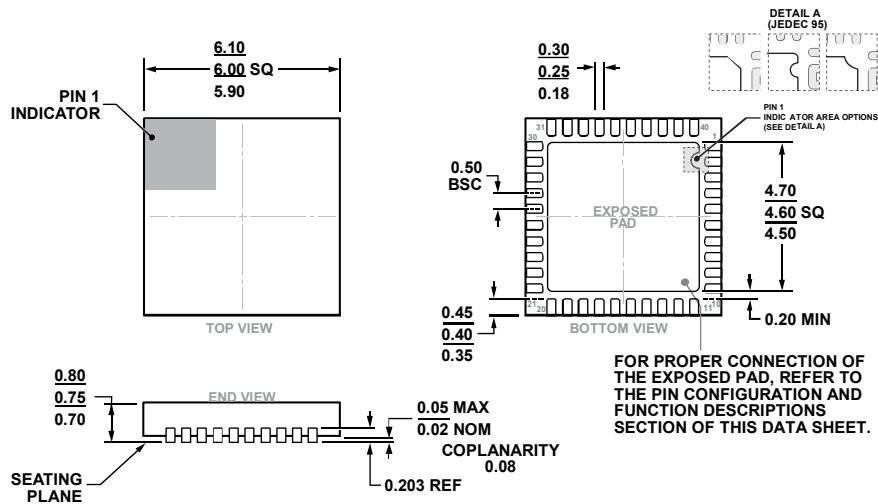


图76. 49引脚晶圆级芯片规模封装[WLCSP]

(CB-49-4)

图示尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MO-220-WJJD-5

图77. 40引脚引线框芯片级封装[LFCSP]

6 mm × 6 mm, 0.75 mm封装高度

(CP-40-7)

图示尺寸单位: mm

订购指南

型号 ^{1,2}	分辨率 (位)	温度范围	封装描述	封装选项
AD5766BCBZ-RL7	16	-40°C至+105°C	49引脚晶圆级芯片规模封装[WLCSP]	CB-49-4
AD5766BCPZ-RL7	16	-40°C至+105°C	40引脚引线框芯片级封装[LFCSP]	CP-40-7
AD5767BCBZ-RL7	12	-40°C至+105°C	49引脚晶圆级芯片规模封装[WLCSP]	CB-49-4
AD5767BCPZ-RL7	12	-40°C至+105°C	40引脚引线框芯片级封装[LFCSP]	CP-40-7
EVAL-AD5766SD2Z			评估板	
EVAL-AD5767SD2Z			评估板	
EVAL-SDP-CB1Z			控制器板	

¹Z = 符合RoHS标准的兼容器件。

²为与EVAL-AD5767SD2Z接口，还需要EVAL-SDP-CB1Z。