

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

概述

MAX1300/MAX1301多量程、低功耗、16位、逐次逼近型模/数转换器(ADC)采用+5V单电源供电,具有高达115ksps的吞吐率。独立的数字电源允许通过SPI/QSPI™/MICROWIRE®兼容的串行接口与2.7V至5.25V系统连接。局部关断模式可将电源电流降至1.3mA(典型值),完全关断模式则可将电源电流进一步降至1 μ A(典型值)。

MAX1300提供8路(单端)或4路(真差分)模拟输入通道,MAX1301则提供4路(单端)或2路(真差分)模拟输入通道。每一路模拟输入通道都可通过软件独立编程设置为7种单端输入范围[0至 $(3 \times V_{REF})/2$ 、 $(-3 \times V_{REF})/2$ 至0、0至 $3 \times V_{REF}$ 、 $-3 \times V_{REF}$ 至0、 $(\pm 3 \times V_{REF})/4$ 、 $(\pm 3 \times V_{REF})/2$ 、 $\pm 3 \times V_{REF}$]和3种差分输入范围[$(\pm 3 \times V_{REF})/2$ 、 $\pm 3 \times V_{REF}$ 、 $\pm 6 \times V_{REF}$]。

片上+4.096V基准可实现小巧、便利的ADC解决方案。MAX1300/MAX1301还可接受3.800V至4.136V的外部基准电压。

MAX1300采用24引脚TSSOP封装,MAX1301采用20引脚TSSOP封装。每款器件都工作在-40°C至+85°C温度范围。

应用

- 工业控制系统
- 数据采集系统
- 航空电子
- 机器人技术

QSPI是Motorola, Inc的商标。

MICROWIRE是National Semiconductor Corp的注册商标。

特性

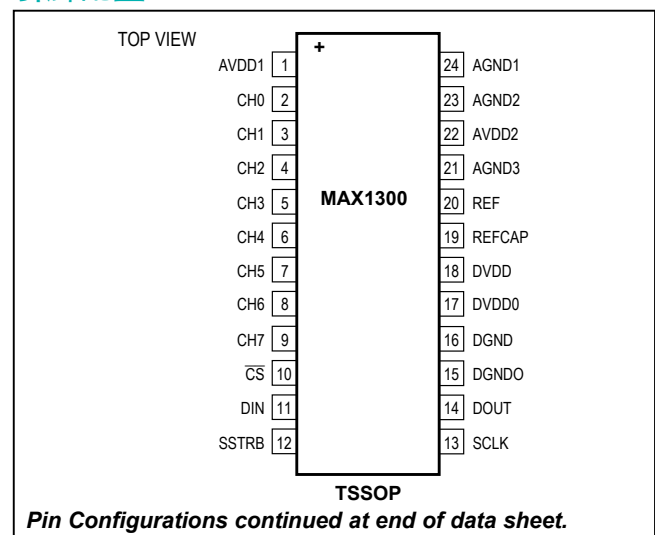
- 每路通道的输入范围可通过软件编程设置
- 单端输入范围($V_{REF} = 4.096V$)
0至 $(3 \times V_{REF})/2$ 、 $(-3 \times V_{REF})/2$ 至0、0至 $3 \times V_{REF}$ 、 $-3 \times V_{REF}$ 至0、 $(\pm 3 \times V_{REF})/4$ 、 $(\pm 3 \times V_{REF})/2$ 、 $\pm 3 \times V_{REF}$
- 差分输入范围
 $(\pm 3 \times V_{REF})/2$ 、 $\pm 3 \times V_{REF}$ 、 $\pm 6 \times V_{REF}$
- 8路单端或4路差分模拟输入(MAX1300)
- 4路单端或2路差分模拟输入(MAX1301)
- $\pm 16.5V$ 过压容限输入
- 内部或外部基准
- 115ksps最大采样率
- +5V单电源供电
- 20/24引脚TSSOP封装

订购信息

器件	温度范围	引脚-封装	通道
MAX1300AEUG+	-40°C至+85°C	24 TSSOP	8
MAX1300BEUG+	-40°C至+85°C	24 TSSOP	8
MAX1301AEUP+	-40°C至+85°C	20 TSSOP	4
MAX1301BEUP+	-40°C至+85°C	20 TSSOP	4

+表示无铅(Pb)/符合RoHS标准的封装。

引脚配置



本文是英文数据资料的译文,文中可能存在翻译上的不准确或错误。如需进一步确认,请在您的设计中参考英文资料。

有关价格、供货及订购信息,请联络Maxim亚洲销售中心:10800 852 1249(北中国区),10800 152 1249(南中国区),或访问Maxim的中文网站:www.maximintegrated.com/cn。

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

Absolute Maximum Ratings

AVDD1 to AGND1	-0.3V to +6V	CH0–CH7 to AGND1.....	-16.5V to +16.5V
AVDD2 to AGND2	-0.3V to +6V	REF, REFCAP to AGND1.....	-0.3V to ($V_{AVDD1} + 0.3V$)
DVDD to DGND.....	-0.3V to +6V	Continuous Current (any pin)	$\pm 50mA$
DVDDO to DGNDO.....	-0.3V to +6V	Continuous Power Dissipation ($T_A = +70^\circ C$).....	
DVDD to DVDDO	-0.3V to +6V	20-Pin TSSOP (derate 11mW/ $^\circ C$ above $+70^\circ C$).....	879mW
DVDD, DVDDO to AVDD1.....	-0.3V to +6V	24-Pin TSSOP (derate 12.2mW/ $^\circ C$ above $+70^\circ C$).....	976mW
AVDD1, DVDD, DVDDO to AVDD2.....	-0.3V to +6V	Operating Temperature Range.....	$-40^\circ C$ to $+85^\circ C$
DGND, DGNDO, AGND3, AGND2 to AGND1	-0.3V to +0.3V	Junction Temperature	$+150^\circ C$
CS, SCLK, DIN, DOUT, SSTRB to		Storage Temperature Range.....	$-65^\circ C$ to $+150^\circ C$
DGNDO	-0.3V to ($V_{DVDDO} + 0.3V$)	Lead Temperature (soldering, 10s)	$+300^\circ C$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Electrical Characteristics

($V_{AVDD1} = V_{AVDD2} = V_{DVDD} = V_{DVDDO} = 5V$, $V_{AGND1} = V_{DGND} = V_{DGNDO} = V_{AGND2} = V_{AGND3} = 0V$, $f_{CLK} = 3.5MHz$ (50% duty cycle), external clock mode, $V_{REF} = 4.096V$ (external reference operation), REFCAP = AVDD1, maximum single-ended bipolar input range ($\pm 3 \times V_{REF}$), $C_{DOUT} = 50pF$, $C_{SSTRB} = 50pF$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Notes 1, 2)						
Resolution			16			Bits
Integral Nonlinearity	INL	MAX130_A		± 1.0	± 2	LSB
		MAX130_B		± 1.0	± 4	
Differential Nonlinearity	DNL	No missing codes	-1		+2	LSB
Transition Noise		External or internal reference		1		LSB _{RMS}
Offset Error		Single-ended inputs	Unipolar	0	± 20	mV
			Bipolar	-1.0	± 12	
		Differential inputs (Note 3)	Bipolar	-2.0	± 20	
Channel-to-Channel Gain Matching		Unipolar or bipolar		0.025		%FSR
Channel-to-Channel Offset Error Matching		Unipolar or bipolar		1.0		mV
Offset Temperature Coefficient		Unipolar		3		$\mu V/^\circ C$
		Bipolar		1		
		Fully differential		2		
Gain Error		Unipolar			± 0.5	%FSR
		Bipolar			± 0.8	
		Fully differential			± 1	
Gain Temperature Coefficient		Unipolar		2		ppm/ $^\circ C$
		Bipolar		1		
		Fully differential		2		
DYNAMIC SPECIFICATIONS $f_{IN(SINE-WAVE)} = 5kHz$, $V_{IN} = FSR - 0.05dB$ (Notes 1, 2)						
Signal-to-Noise Plus Distortion	SINAD	Differential inputs, $FSR = \pm 6 \times V_{REF}$		91		dB
		Single-ended inputs, $FSR = \pm 3 \times V_{REF}$		89		
		Single-ended inputs, $FSR = (\pm 3 \times V_{REF})/2$		86		
		Single-ended inputs, $FSR = (\pm 3 \times V_{REF})/4$	80	83		

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

Electrical Characteristics (continued)

($V_{AVDD1} = V_{AVDD2} = V_{DVDD} = V_{DVDDO} = 5V$, $V_{AGND1} = V_{DGND} = V_{DGND0} = V_{AGND2} = V_{AGND3} = 0V$, $f_{CLK} = 3.5MHz$ (50% duty cycle), external clock mode, $V_{REF} = 4.096V$ (external reference operation), $REFCAP = AVDD1$, maximum single-ended bipolar input range ($\pm 3 \times V_{REF}$), $C_{DOUT} = 50pF$, $C_{SSTRB} = 50pF$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Signal-to-Noise Ratio	SNR	Differential inputs, $FSR = \pm 6 \times V_{REF}$		91		dB
		Single-ended inputs, $FSR = \pm 3 \times V_{REF}$		89		
		Single-ended inputs, $FSR = (\pm 3 \times V_{REF})/2$		86		
		Single-ended inputs, $FSR = (\pm 3 \times V_{REF})/4$		83		
Total Harmonic Distortion (Up to the 5th Harmonic)	THD			-97		dB
Spurious-Free Dynamic Range	SFDR		92	99		dB
Aperture Delay	t_{AD}	Figure 21		15		ns
Aperture Jitter	t_{AJ}	Figure 21		100		ps
Channel-to-Channel Isolation				105		dB
CONVERSION RATE						
Byte-Wide Throughput Rate	f_{SAMPLE}	External clock mode, Figure 2			114	ksps
		External acquisition mode, Figure 3			84	
		Internal clock mode, Figure 4			106	
ANALOG INPUTS (CH0-CH3 MAX1301, CH0-CH7 MAX1300, AGND1)						
Small-Signal Bandwidth		All input ranges, $V_{IN} = 100mV_{P-P}$ (Note 2)		2		MHz
Full-Power Bandwidth		All input ranges, $V_{IN} = 4V_{P-P}$ (Note 2)		700		kHz
Input Voltage Range (Table 6)	$V_{CH_}$	R[2:1] = 001	$(-3 \times V_{REF})/4$		$(+3 \times V_{REF})/4$	V
		R[2:1] = 010	$(-3 \times V_{REF})/2$		0	
		R[2:1] = 011	0		$(+3 \times V_{REF})/2$	
		R[2:1] = 100	$(-3 \times V_{REF})/2$		$(+3 \times V_{REF})/2$	
		R[2:1] = 101	$-3 \times V_{REF}$		0	
		R[2:1] = 110	0		$+3 \times V_{REF}$	
		R[2:1] = 111	$-3 \times V_{REF}$		$+3 \times V_{REF}$	
True-Differential Analog Common-Mode Voltage Range	V_{CMDR}	$DIF/\overline{SGL} = 1$ (Note 4)	-14		+9	V
Common-Mode Rejection Ratio	CMRR	$DIF/\overline{SGL} = 1$, input voltage range = $(\pm 3 \times V_{REF})/4$		75		dB
Input Current	$I_{CH_}$	$-3 \times V_{REF} < V_{CH_} < +3 \times V_{REF}$	-1250		+900	μA
Input Capacitance	$C_{CH_}$			5		pF
Input Resistance	$R_{CH_}$			17		k Ω

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

Electrical Characteristics (continued)

($V_{AVDD1} = V_{AVDD2} = V_{DVDD} = V_{DVDDO} = 5V$, $V_{AGND1} = V_{DGND} = V_{DGND0} = V_{AGND2} = V_{AGND3} = 0V$, $f_{CLK} = 3.5MHz$ (50% duty cycle), external clock mode, $V_{REF} = 4.096V$ (external reference operation), $REFCAP = AVDD1$, maximum single-ended bipolar input range ($\pm 3 \times V_{REF}$), $C_{DOUT} = 50pF$, $C_{SSTRB} = 50pF$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
INTERNAL REFERENCE (Bypass REFCAP with 0.1μF to AGND1 and REF with 1.0μF to AGND1)						
Reference Output Voltage	V_{REF}		4.056	4.096	4.136	V
Reference Temperature Coefficient	TC_{REF}			± 30		ppm/ $^\circ C$
Reference Short-Circuit Current	I_{REFSC}	REF shorted to AGND1		10		mA
		REF shorted to AVDD		-1		
Reference Load Regulation		$I_{REF} = 0$ to 0.5mA		0.1	10	mV
EXTERNAL REFERENCE (REFCAP = AVDD)						
Reference Input Voltage Range	V_{REF}		3.800		4.136	V
REFCAP Buffer Disable Threshold	V_{RCTH}	(Note 5)	$V_{AVDD1} - 0.4$		$V_{AVDD1} - 0.1$	V
Reference Input Current	I_{REF}	$V_{REF} = +4.096V$, external clock mode, external acquisition mode, internal clock mode, or partial power-down mode		90	200	μA
		$V_{REF} = +4.096V$, full power-down mode		± 0.1	± 10	
Reference Input Resistance	R_{REF}	External clock mode, external acquisition mode, internal clock mode, or partial power-down mode	20	45		k Ω
		Full power-down mode		40		M Ω
DIGITAL INPUTS (DIN, SCLK, \overline{CS})						
Input High Voltage	V_{IH}		$0.7 \times V_{DVDDO}$			V
Input Low Voltage	V_{IL}			$0.3 \times V_{DVDDO}$		V
Input Hysteresis	V_{HYST}			0.2		V
Input Leakage Current	I_{IN}	$V_{IN} = 0$ to V_{DVDDO}	-10		+10	μA
Input Capacitance	C_{IN}			10		pF
DIGITAL OUTPUTS (DOUT, SSTRB)						
Output Low Voltage	V_{OL}	$V_{DVDDO} = 4.75V$, $I_{SINK} = 10mA$			0.4	V
		$V_{DVDDO} = 2.7V$, $I_{SINK} = 5mA$			0.4	
Output High Voltage	V_{OH}	$I_{SOURCE} = 0.5mA$	$V_{DVDDO} - 0.4$			V
DOUT Tri-State Leakage Current	I_{DDO}	$\overline{CS} = V_{DVDDO}$	-10		+10	μA
POWER REQUIREMENTS (AVDD1 and AGND1, AVDD2 and AGND2, DVDD and DGND, DVDDO and DGND0)						
Analog Supply Voltage	AVDD1		4.75		5.25	V
Digital Supply Voltage	DVDD		4.75		5.25	V

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

Electrical Characteristics (continued)

($V_{AVDD1} = V_{AVDD2} = V_{DVDD} = V_{DVDDO} = 5V$, $V_{AGND1} = V_{DGND} = V_{DGND0} = V_{AGND2} = V_{AGND3} = 0V$, $f_{CLK} = 3.5MHz$ (50% duty cycle), external clock mode, $V_{REF} = 4.096V$ (external reference operation), $REFCAP = AVDD1$, maximum single-ended bipolar input range ($\pm 3 \times V_{REF}$), $C_{DOUT} = 50pF$, $C_{SSTRB} = 50pF$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Preamplifier Supply Voltage	AVDD2		4.75		5.25	V
Digital I/O Supply Voltage	DVDDO		2.70		5.25	V
AV_{DD1} Supply Current	I_{AVDD1}	External clock mode, external acquisition mode, or internal clock mode	Internal reference	3	3.5	mA
			External reference	2.3	3	
DV_{DD} Supply Current	I_{DVDD}	External clock mode, external acquisition mode, or internal clock mode		0.8	2	mA
AV_{DD2} Supply Current	I_{AVDD2}	External clock mode, external acquisition mode, or internal clock mode		13.5	20	mA
DV_{DDO} Supply Current	I_{DVDDO}	External clock mode, external acquisition mode, or internal clock mode		0.01	1	mA
Total Supply Current		Partial power-down mode		1.3		mA
		Full power-down mode		0.5		μA
Power-Supply Rejection Ratio	PSRR	All analog input ranges		± 0.5		LSB
TIMING CHARACTERISTICS (Figures 15 and 16)						
SCLK Period	t_{CP}	External clock mode		0.272	62	μs
		External acquisition mode		0.228	62	
		Internal clock mode		0.1		
SCLK High Pulse Width (Note 6)	t_{CH}	External clock mode		109		ns
		External acquisition mode		92		
		Internal clock mode		40		
SCLK Low Pulse Width (Note 6)	t_{CL}	External clock mode		109		ns
		External acquisition mode		92		
		Internal clock mode		40		
DIN to SCLK Setup	t_{DS}			40		ns
DIN to SCLK Hold	t_{DH}			0		ns
SCLK Fall to DOUT Valid	t_{DO}				40	ns
\overline{CS} Fall to DOUT Enable	t_{DV}				40	ns

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

Electrical Characteristics (continued)

($V_{AVDD1} = V_{AVDD2} = V_{DVDD} = V_{DVDDO} = 5V$, $V_{AGND1} = V_{DGND} = V_{DGND0} = V_{AGND2} = V_{AGND3} = 0V$, $f_{CLK} = 3.5MHz$ (50% duty cycle), external clock mode, $V_{REF} = 4.096V$ (external reference operation), $REFCAP = AVDD1$, maximum single-ended bipolar input range ($\pm 3 \times V_{REF}$), $C_{DOUT} = 50pF$, $C_{SSTRB} = 50pF$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
\overline{CS} Rise to DOUT Disable	t_{TR}				40	ns
\overline{CS} Fall to SCLK Rise Setup	t_{CSS}		40			ns
\overline{CS} High Minimum Pulse Width	t_{CSPW}		40			ns
SCLK Fall to \overline{CS} Rise Hold	t_{CSH}		0			ns
SSTRB Rise to \overline{CS} Fall Setup		(Note 4)	40			ns
DOUT Rise/Fall Time		$C_L = 50pF$		10		ns
SSTRB Rise/Fall Time		$C_L = 50pF$		10		ns

Note 1: Parameter tested at $V_{AVDD1} = V_{AVDD2} = V_{DVDD} = V_{DVDDO} = 5V$.

Note 2: See definitions in the *Parameter Definitions* section at the end of the data sheet.

Note 3: Guaranteed by correlation with single-ended measurements.

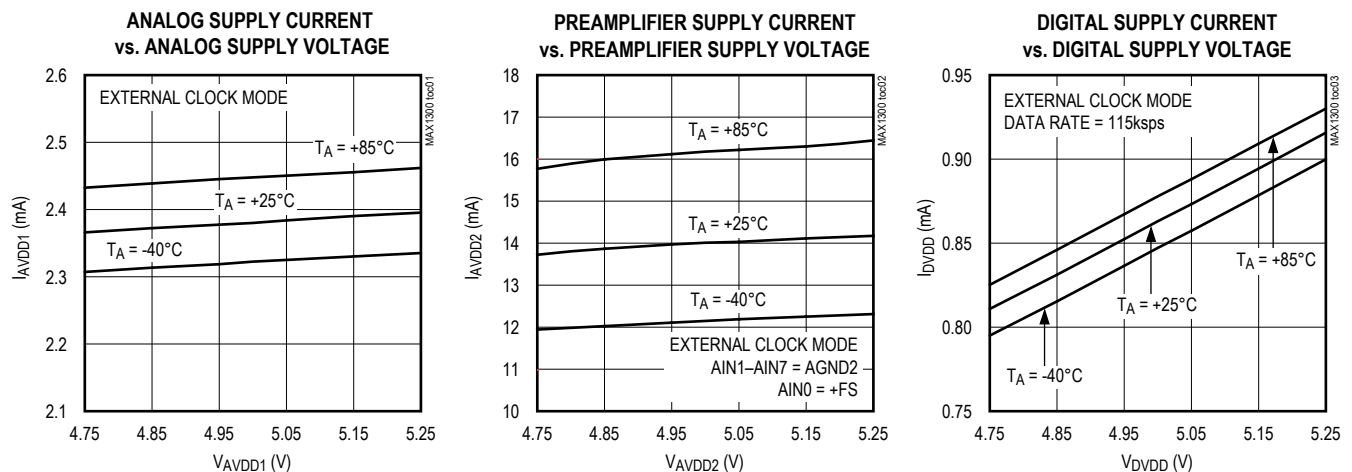
Note 4: Not production tested. Guaranteed by design.

Note 5: To ensure external reference operation, V_{REFCAP} must exceed $(V_{AVDD1} - 0.1V)$. To ensure internal reference operation, V_{REFCAP} must be below $(V_{AVDD1} - 0.4V)$. Bypassing REFCAP with a $0.1\mu F$ or larger capacitor to AGND1 sets $V_{REFCAP} \approx 4.096V$. The transition point between internal reference mode and external reference mode lies between the REFCAP buffer disable threshold minimum and maximum values (Figures 17 and 18).

Note 6: The SCLK duty cycle can vary between 40% and 60%, as long as the t_{CL} and t_{CH} timing requirements are met.

典型工作特性

($V_{AVDD1} = V_{AVDD2} = V_{DVDD} = V_{DVDDO} = 5V$, $V_{AGND1} = V_{DGND} = V_{DGND0} = V_{AGND2} = V_{AGND3} = 0V$, $f_{CLK} = 3.5MHz$ (50% duty cycle), external clock mode, $V_{REF} = 4.096V$ (external reference operation), $REFCAP = AVDD1$, maximum single-ended bipolar input range, $C_{DOUT} = 50pF$, $C_{SSTRB} = 50pF$; unless otherwise noted.)

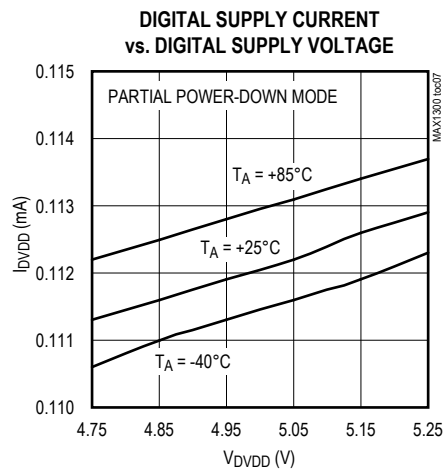
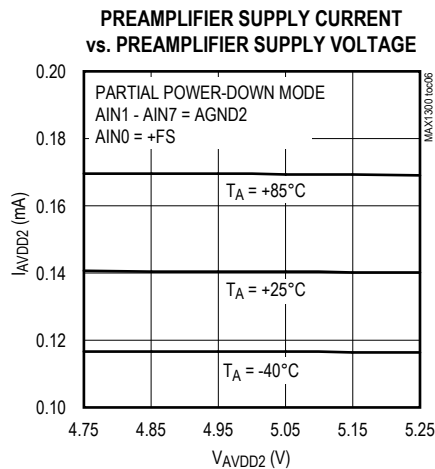
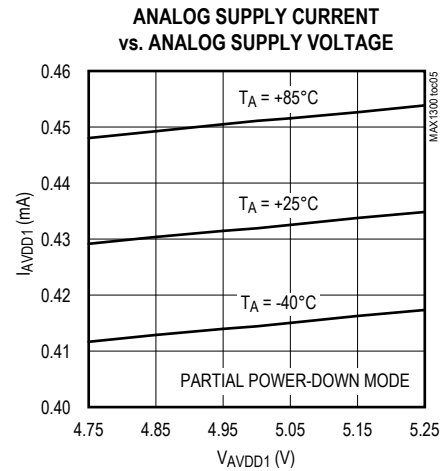
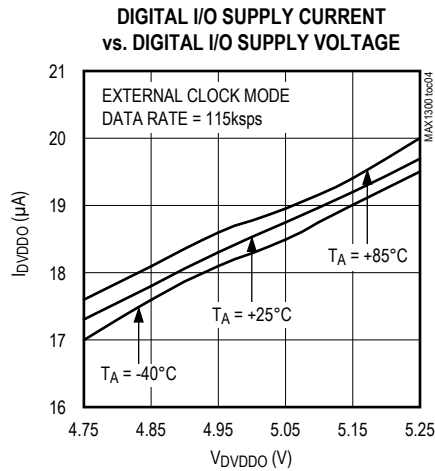


MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

典型工作特性(续)

($V_{AVDD1} = V_{AVDD2} = V_{DVDD} = V_{DVDDO} = 5V$, $V_{AGND1} = V_{DGND} = V_{DGND0} = V_{AGND2} = V_{AGND3} = 0V$, $f_{CLK} = 3.5MHz$ (50% duty cycle), external clock mode, $V_{REF} = 4.096V$ (external reference operation), $REFCAP = AVDD1$, maximum single-ended bipolar input range, $C_{DOUT} = 50pF$, $C_{SSTRB} = 50pF$; unless otherwise noted.)

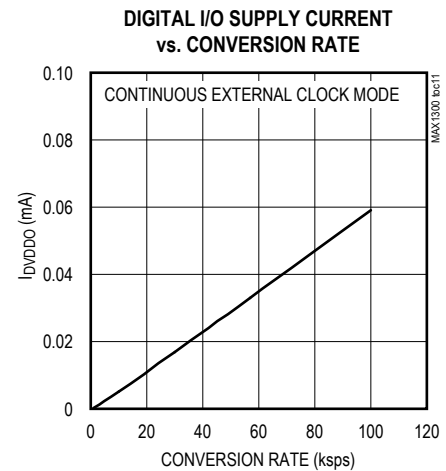
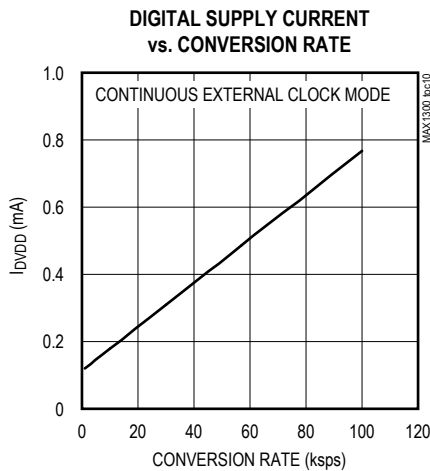
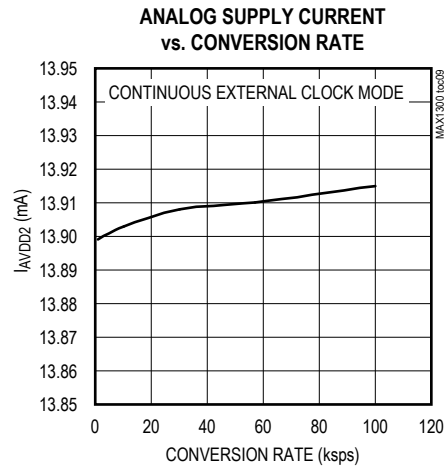
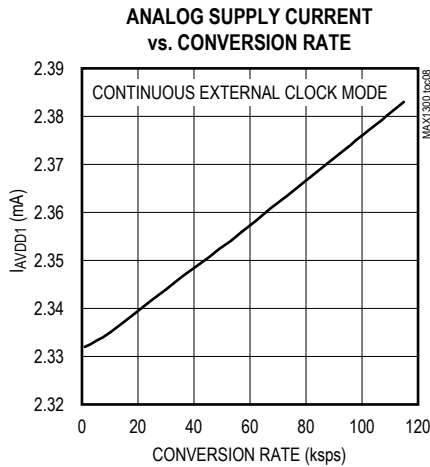


MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

典型工作特性(续)

($V_{AVDD1} = V_{AVDD2} = V_{DVDD} = V_{DVDDO} = 5V$, $V_{AGND1} = V_{DGND} = V_{DGND0} = V_{AGND2} = V_{AGND3} = 0V$, $f_{CLK} = 3.5MHz$ (50% duty cycle), external clock mode, $V_{REF} = 4.096V$ (external reference operation), $REFCAP = AVDD1$, maximum single-ended bipolar input range, $C_{DOUT} = 50pF$, $C_{SSTRB} = 50pF$; unless otherwise noted.)



Note 7: For partial power-down and full power-down modes, external clock mode was used for a burst of continuous samples. Partial power-down or full power-down modes were entered thereafter. By using this method, the conversion rate was found by averaging the number of conversions over the time starting from the first conversion to the end of the partial power-down or full power-down modes.

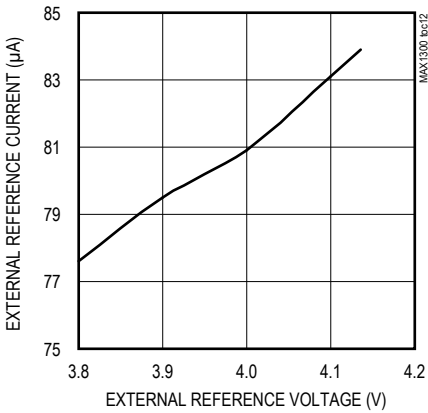
MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

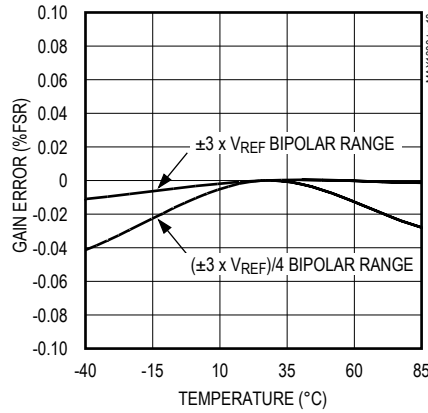
典型工作特性(续)

($V_{AVDD1} = V_{AVDD2} = V_{DVDD} = V_{DVDD0} = 5V$, $V_{AGND1} = V_{DGND} = V_{DGND0} = V_{AGND2} = V_{AGND3} = 0V$, $f_{CLK} = 3.5MHz$ (50% duty cycle), external clock mode, $V_{REF} = 4.096V$ (external reference operation), $REFCAP = AVDD1$, maximum single-ended bipolar input range, $C_{DOUT} = 50pF$, $C_{SSTRB} = 50pF$; unless otherwise noted.)

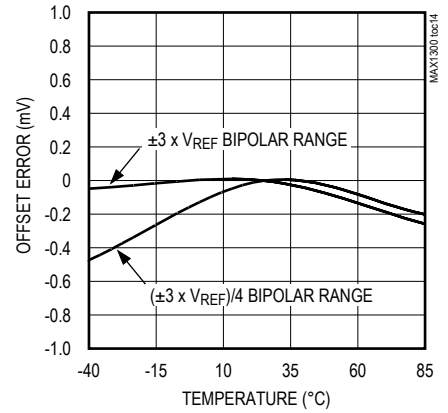
EXTERNAL REFERENCE INPUT CURRENT vs. EXTERNAL REFERENCE INPUT VOLTAGE



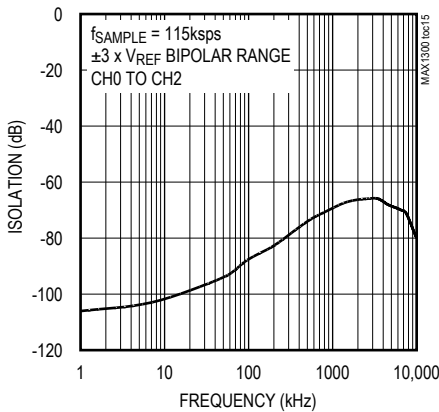
GAIN DRIFT vs. TEMPERATURE



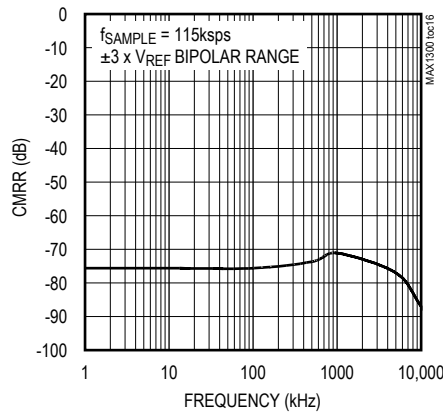
OFFSET DRIFT vs. TEMPERATURE



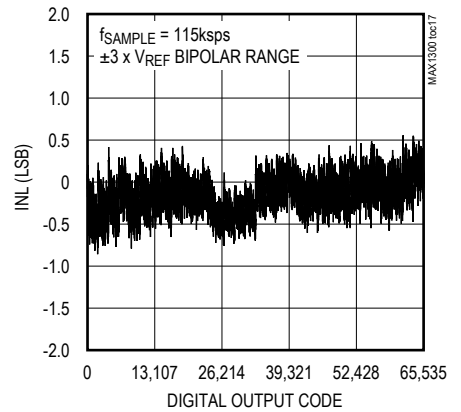
CHANNEL-TO-CHANNEL ISOLATION vs. INPUT FREQUENCY



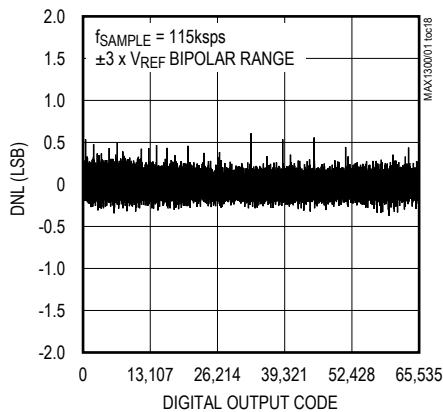
COMMON-MODE REJECTION RATIO vs. FREQUENCY



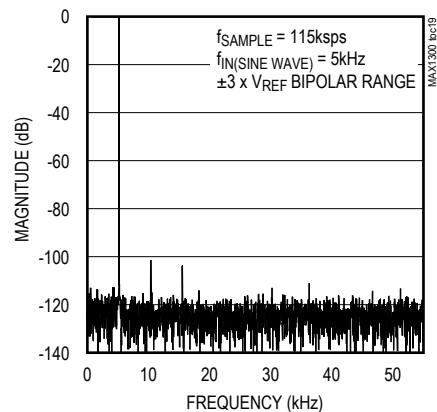
INTEGRAL NONLINEARITY vs. DIGITAL OUTPUT CODE



DIFFERENTIAL NONLINEARITY vs. DIGITAL OUTPUT CODE



FFT AT 5kHz

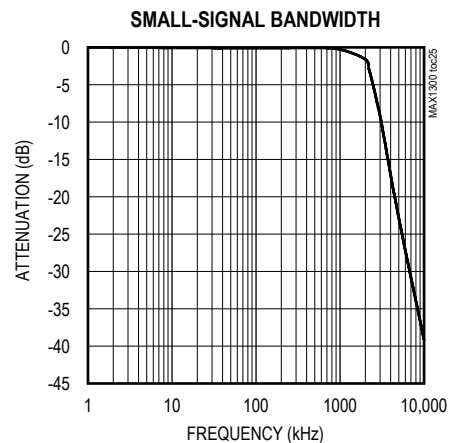
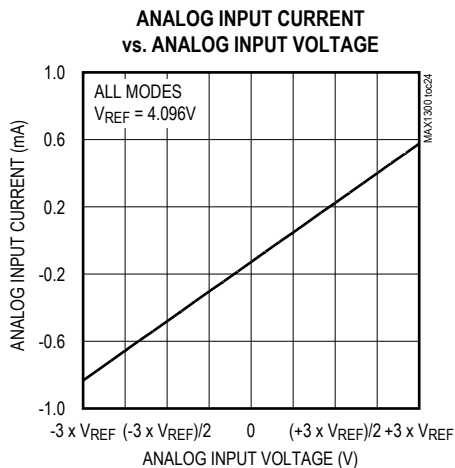
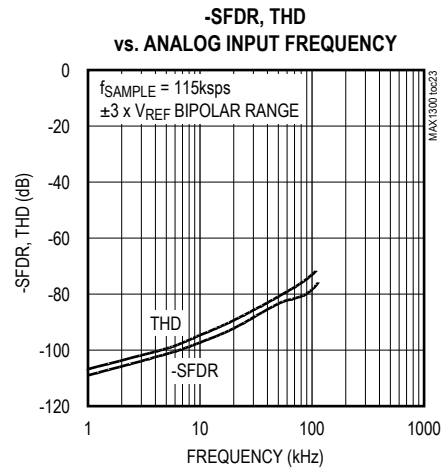
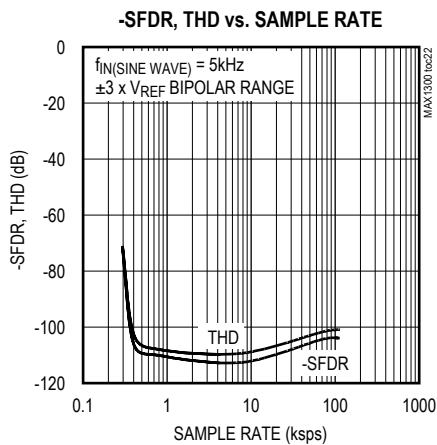
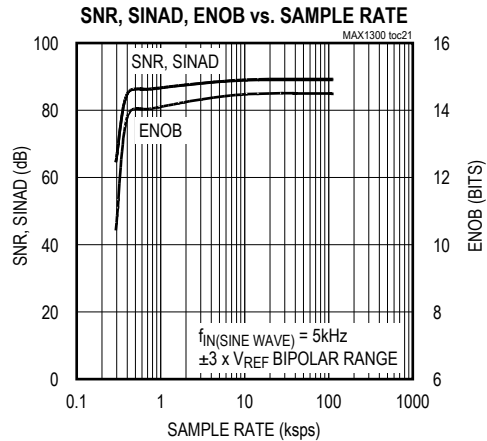
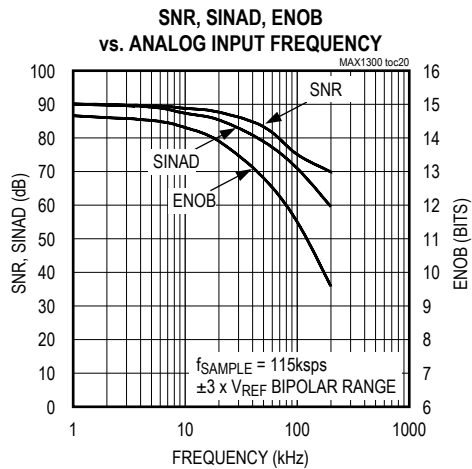


MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

典型工作特性(续)

($V_{AVDD1} = V_{AVDD2} = V_{DVDD} = V_{DVDDO} = 5V$, $V_{AGND1} = V_{DGND} = V_{DGNDO} = V_{AGND2} = V_{AGND3} = 0V$, $f_{CLK} = 3.5MHz$ (50% duty cycle), external clock mode, $V_{REF} = 4.096V$ (external reference operation), $REFCAP = AVDD1$, maximum single-ended bipolar input range, $C_{DOUT} = 50pF$, $C_{SSTRB} = 50pF$; unless otherwise noted.)

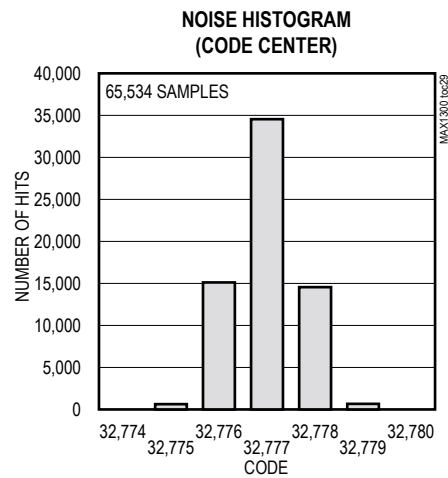
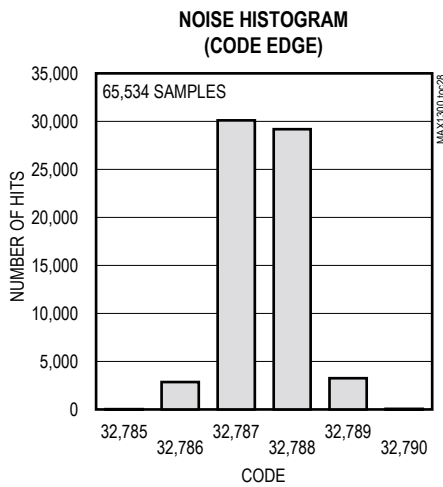
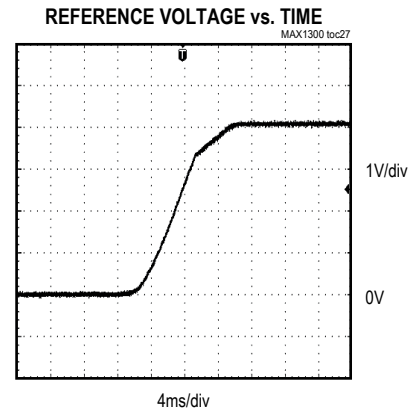
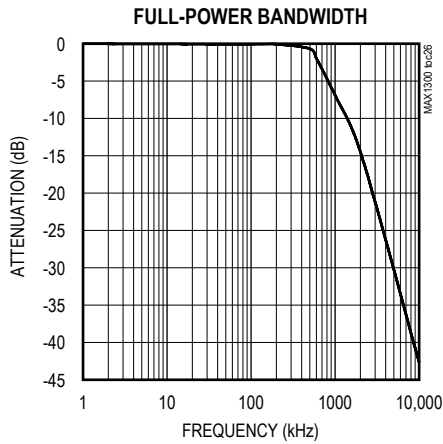


MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

典型工作特性(续)

($V_{AVDD1} = V_{AVDD2} = V_{DVDD} = V_{DVDDO} = 5V$, $V_{AGND1} = V_{DGND} = V_{DGND0} = V_{AGND2} = V_{AGND3} = 0V$, $f_{CLK} = 3.5MHz$ (50% duty cycle), external clock mode, $V_{REF} = 4.096V$ (external reference operation), $REFCAP = AVDD1$, maximum single-ended bipolar input range, $C_{DOUT} = 50pF$, $C_{SSTRB} = 50pF$; unless otherwise noted.)



MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

引脚说明

引脚		名称	功能
MAX1300	MAX1301		
1	2	AVDD1	模拟电源电压输入。将AVDD1连接到+4.75V至+5.25V电源。用0.1 μ F电容将AVDD1旁路至AGND1。
2	3	CH0	模拟输入通道0。
3	4	CH1	模拟输入通道1。
4	5	CH2	模拟输入通道2。
5	6	CH3	模拟输入通道3。
6	—	CH4	模拟输入通道4。
7	—	CH5	模拟输入通道5。
8	—	CH6	模拟输入通道6。
9	—	CH7	模拟输入通道7。
10	7	\overline{CS}	低电平有效片选输入。 \overline{CS} 为低电平时，在SCLK上升沿从DIN将数据移入器件，在SCLK下降沿将数据移出至DOUT； \overline{CS} 为高电平时，忽略SCLK和DIN上的活动，DOUT为高阻态。
11	8	DIN	串行数据输入。 \overline{CS} 为低电平时，在SCLK上升沿移入数据； \overline{CS} 为高电平时，忽略DIN跳变。
12	9	SSTRB	串行选通输出。使用内部时钟时，SSTRB上升沿跳变表示数据就绪，可以从器件进行读取；工作在外部时钟模式时，SSTRB始终为低电平。无论CS的状态如何，SSTRB均不为三态，所以要求专用的I/O线。
13	10	SCLK	串行时钟输入。 \overline{CS} 为低电平时，SCLK跳变从DIN上移入数据，从DOUT移出数据； \overline{CS} 为高电平时，忽略SCLK跳变。
14	11	DOUT	串行数据输出。 \overline{CS} 为低电平时，在每个SCLK跳变下降沿将数据移出至DOUT； \overline{CS} 为高电平时，DOUT为高阻。
15	12	DGND0	数字I/O地。DGND、DGND0、AGND3、AGND2和AGND1必须连接在一起。
16	13	DGND	数字地。DGND、DGND0、AGND3、AGND2和AGND1必须连接在一起。
17	14	DVDD0	数字I/O电源电压输入。将DVDD0连接到+2.7V至+5.25V电源。利用0.1 μ F电容将DVDD0旁路至DGND0。
18	15	DVDD	数字电源电压输入。将DVDD连接到+4.75V至+5.25V电源。利用0.1 μ F电容将DVDD旁路至DGND。
19	16	REFCAP	带隙电压旁路节点。为使用外部基准工作，将REFCAP连接到AVDD；为使用内部基准工作，利用0.01 μ F电容将REFCAP旁路至AGND1 ($V_{REFCAP} \approx 4.096V$)。
20	17	REF	基准缓冲输出ADC基准输入。为使用外部基准工作，将3.800V至4.136V外部基准电压连接到REF；为使用内部基准工作，利用1 μ F电容将REF旁路至AGND1，设置 $V_{REF} = 4.096V \pm 1\%$ 。

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

引脚说明(续)

引脚		名称	功能
MAX1300	MAX1301		
21	18	AGND3	模拟信号地3。AGND3为ADC负基准电势。将AGND3连接至AGND1。DGND、DGND0、AGND3、AGND2和AGND1必须连接在一起。
22	19	AVDD2	模拟电源电压2。将AVDD2连接到+4.75V至+5.25V电源。利用0.1 μ F电容将AVDD2旁路至AGND2。
23	20	AGND2	模拟地2。该接地承载的电流大约是AGND1的5倍。DGND、DGND0、AGND3、AGND2和AGND1必须连接在一起。
24	1	AGND1	模拟地1。DGND、DGND0、AGND3、AGND2和AGND1必须连接在一起。

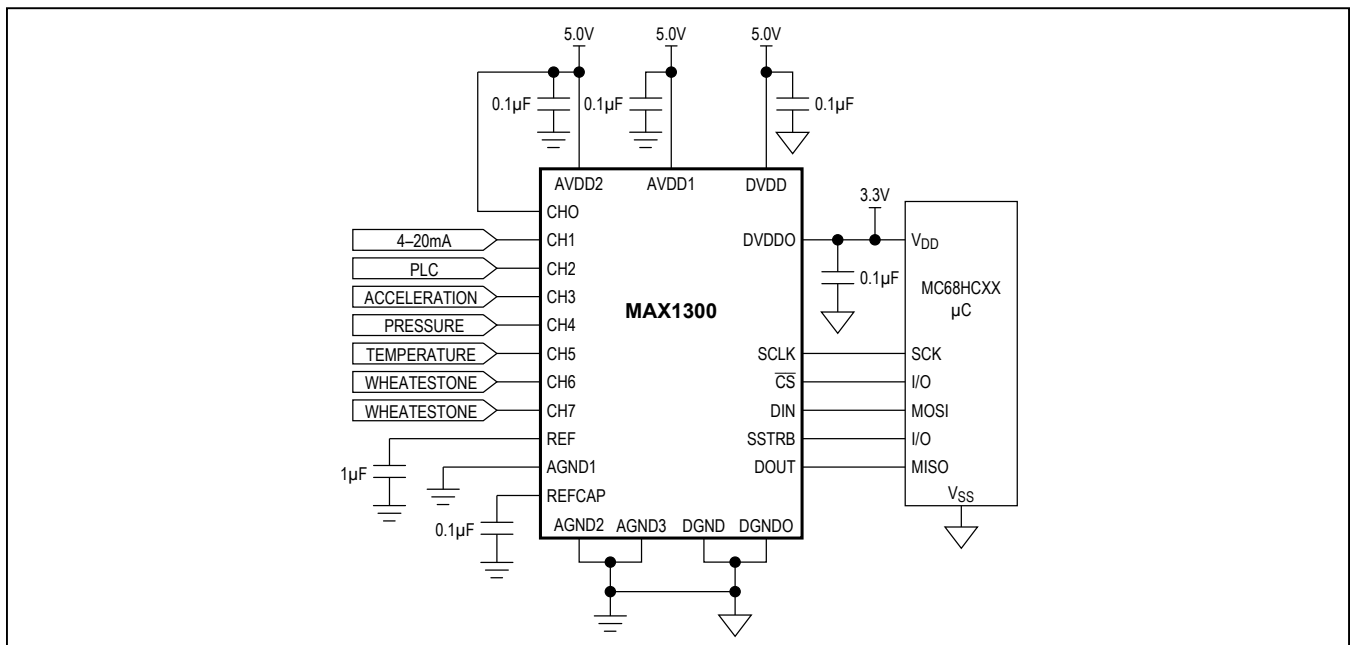


图1. 典型应用电路

详细说明

MAX1300/MAX1301多量程、低功耗、16位逐次逼近型ADC采用+5V单电源供电，具有独立的数字电源，允许与2.7V至5.25V系统连接。16位ADC内有内部采样/保持(T/H)电路，支持单端和全差分输入。对于单端转换，有效模拟输入电压范围为低电平以下 $-3 \times V_{REF}$ 至低电平以上 $+3 \times V_{REF}$ ；最大允许差分输入电压范围为 $-6 \times V_{REF}$ 至 $+6 \times V_{REF}$ 。能够以各种软件可编程的通道和数据采集配置进行数据转换。通过SPI/QSPI/MICROWIRE兼容的串行接口，很容易实现微处理器(μ P)控制。

MAX1300具有8路单端模拟输入通道或4路差分通道(见数据资料末尾的方框图)；MAX1301具有4路单端模拟输入通道或2路差分通道。每一路模拟输入通道可通过软件独立编程设置为7种单端输入范围 $[0$ 至 $(+3 \times V_{REF})/2$ 、 $(-3 \times V_{REF})/2$ 至 0 、 0 至 $+3 \times V_{REF}$ 、 $-3 \times V_{REF}$ 至 0 、 $(+3 \times V_{REF})/4$ 、 $(+3 \times V_{REF})/2$ 、 $+3 \times V_{REF}$]和3种差分输入范围 $[(+3 \times V_{REF})/2$ 、 $+3 \times V_{REF}$ 、 $\pm 6 \times V_{REF}]$ 。此外，所有模拟输入通道的故障容限为 $\pm 16.5V$ 。空闲通道上的故障条件不影响其它通道的转换结果。

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

电源

为保证低噪声环境，MAX1300和MAX1301为每部分电路提供独立的电源，表1所示为4个独立的电源。使用AVDD1、AVDD2、DVDD和DVDDO电源可达到最佳性能；也可以将AVDD1、AVDD2和DVDD连接在一起，尽量靠近器件，实现便利的电源连接。将AGND1、AGND2、AGND3、DGND和DGND0连接在一起，尽量靠近器件。利用0.1 μ F电容将每个电源旁路至对应地(表1)。如果存在明显的低频噪声，可增加10 μ F电容，与0.1 μ F旁路电容并联。

转换操作

MAX1300/MAX1301 ADC具有全差分、逐次逼近寄存器(SAR)转换技术和片上T/H电路，将电压信号转换为16位数字结果。支持单端和差分配置，具有可编程的单极性和双极性信号范围。

采样/保持电路

MAX1300/MAX1301具有开关电容T/H结构，允许将模拟输入信号储存为采样电容上的电荷。关于每种工作模式的T/H定时和采样时刻，参见2、3和4。MAX1300/MAX1301模拟输入电路对来自于采样电容的输入信号进行缓冲，从而输入阻抗在输入电压变化时保持恒定(图5)。

模拟输入电路

利用相关的模拟输入配置字节选择差分或单端转换(表2)。模拟输入信号源必须能够驱动ADC的17k Ω 输入电阻(图6)。

图6所示为模拟输入电路简化图。模拟输入故障容限为 $\pm 16.5V$ ，具有反向配置二极管保护。求和点电压 V_{SJ} 是通道输入共模电压的函数：

$$V_{SJ} = \left(\frac{R1}{R1+R2} \right) \times 2.375V + \left(1 + \left(\frac{R1}{R1+R2} \right) \right) \times V_{CM}$$

所以模拟输入阻抗在输入电压变化时保持相对很定，如图5所示。

表1. MAX1300/MAX1301电源和旁路

POWER SUPPLY/GROUND	SUPPLY VOLTAGE RANGE (V)	TYPICAL SUPPLY CURRENT (mA)	CIRCUIT SECTION	BYPASSING
DVDDO/DGND0	2.7 to 5.25	0.03	Digital I/O	0.1 μ F to DGND0
AVDD2/AGND2	4.75 to 5.25	135	Analog Circuitry	0.1 μ F to AGND2
AVDD1/AGND1	4.75 to 5.25	3.0	Analog Circuitry	0.1 μ F to AGND1
DVDD/DGND	4.75 to 5.25	0.8	Digital Control Logic and Memory	0.1 μ F to DGND

表2. 模拟输入配置字节

位编号	名称	说明
7	START	开始位。 \overline{CS} 变为低电平后的第一个逻辑1表示模拟输入配置字节的开始。
6	C2	通道选择位。SEL[2:0]选择待配置的模拟输入通道(表4和5)。
5	C1	
4	C0	
3	DIF/SGL	差分或单端配置位。DIF/SGL = 0时，将所选模拟输入通道配置为单端操作；DIF/SGL = 1时，将通道配置为差分操作。单端模式下，测量所选输入通道和AGND1之间的输入电压，如表4所示；差分模式下，测量两路输入通道之间的输入电压，如表5所示。注意，DIF/SGL改变时调节FSR，如表6所示。
2	R2	输入范围选择位。R[2:0]选择输入电压范围，如表6和图7所示。
1	R1	
0	R0	

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

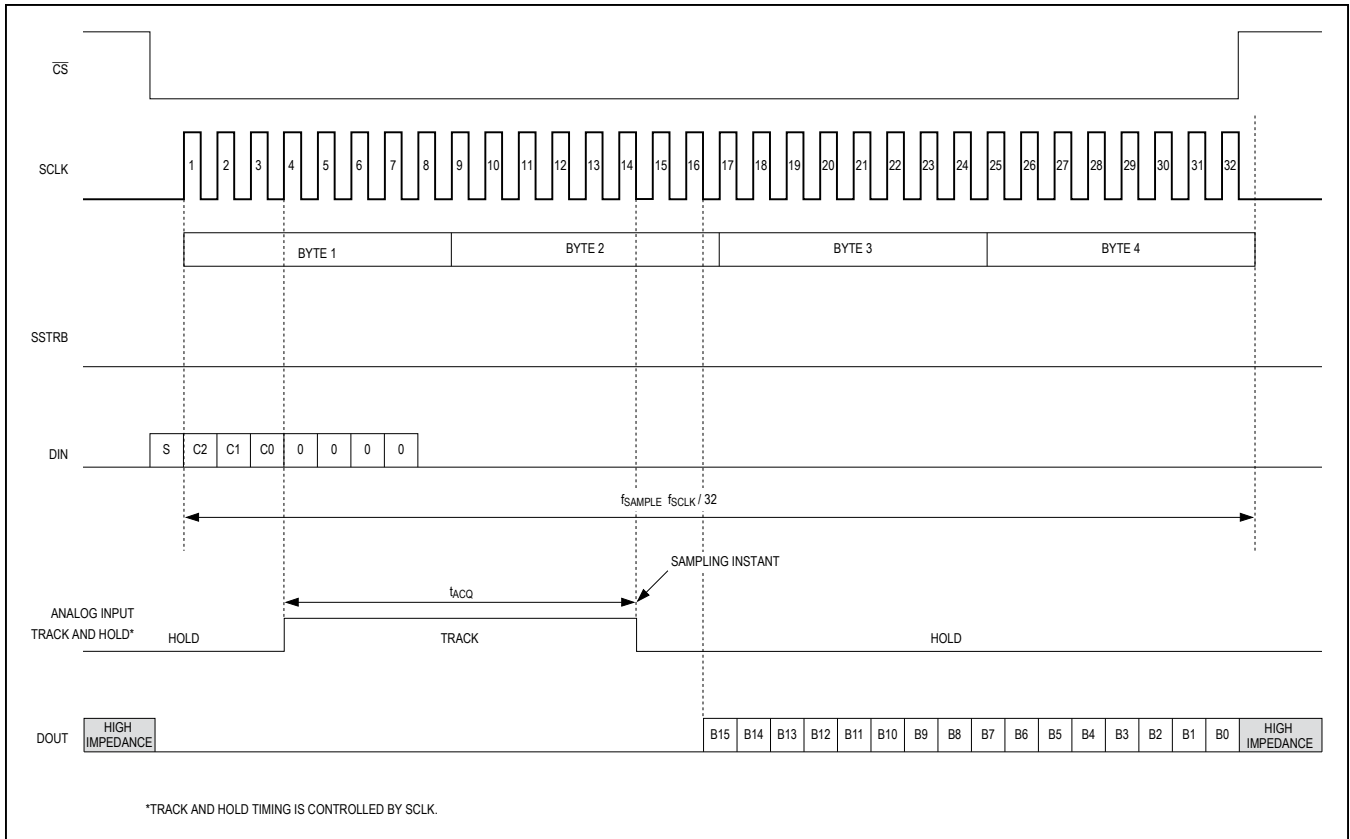


图2. 外部时钟模式转换(模式0)

单端转换在内部以AGND1为基准(表3和4); 差分模式下, 根据表3和5选择IN+和IN-。配置差分通道时, 模拟配置字节之后的差分对为正极通道。例如, 为了将CH2和CH3配置为 $\pm 3 \times V_{REF}$ 差分转换, 将CH2模拟配置字节设置为差分转换, $\pm 3 \times V_{REF}$ 范围(1010 1100)。为启动CH2和CH3差分对的转换, 发布命令: 1010 0000。

模拟输入带宽

MAX1300/MAX1301输入跟踪电路具有2MHz小信号带宽。2MHz输入带宽使其能够数字化高速瞬态事件。对15kHz以上的信号频率进行数字化时, 谐波失真增大, 如典型工作特性部分THD及-SFDR与输入频率关系图所示。

模拟输入方位和故障容限

图7所示为软件可选的可产生有效数字输出的单端模拟输入电压范围。DIF/SGL = 0时, 通过设置R[2:0]控制位, 可将每路模拟输入通道独立编程设置为7种单端输入范围之一。

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

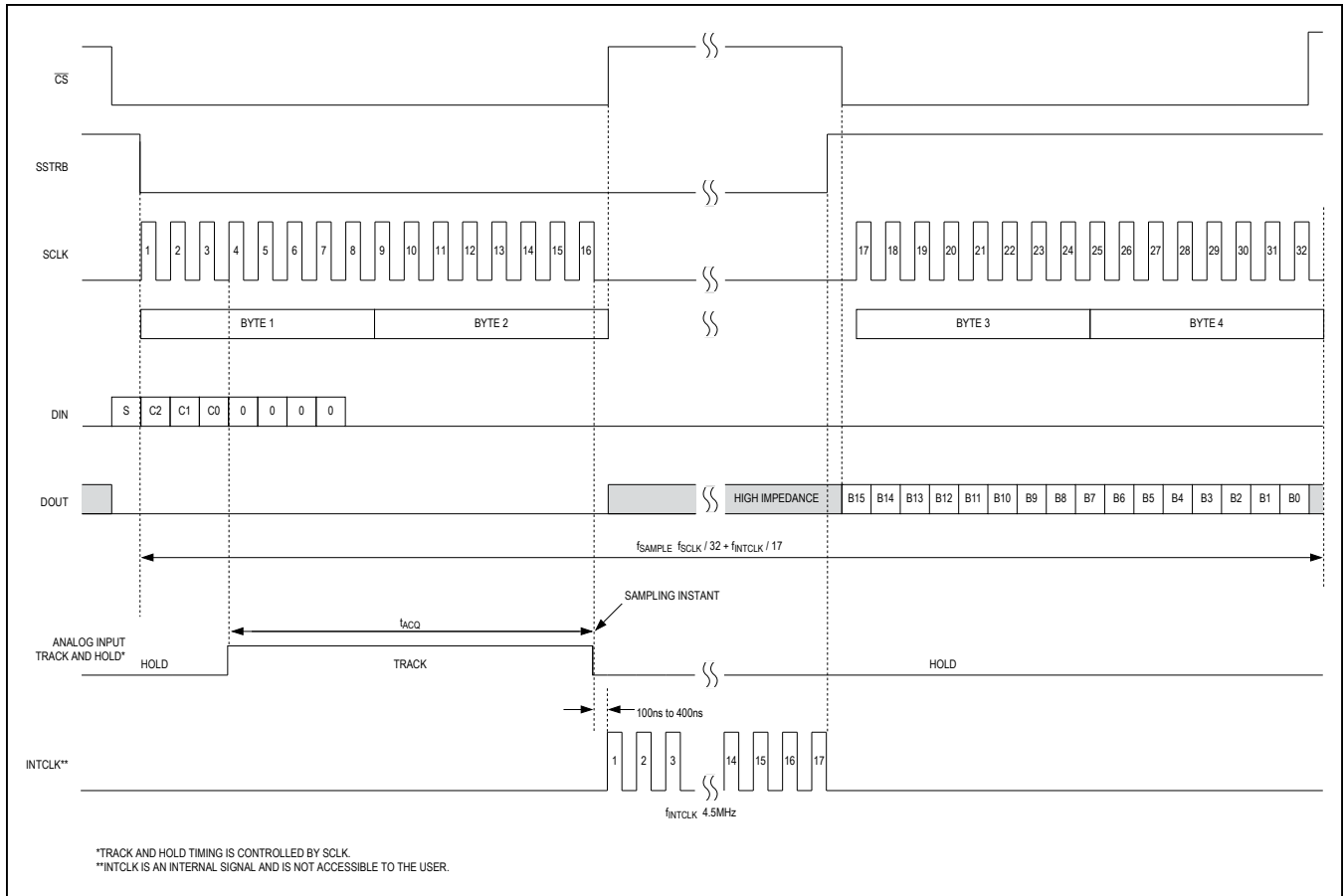


图3. 外部采集模式转换(模式1)

图8所示为软件可选的可产生有效数字输出的差分模拟输入电压范围。DIF/SGL = 1时，通过设置R[2:0]控制位，可将每路模拟输入通道独立编程设置为3种差分输入范围之一。无论指定的输入电压范围如何以及通道是否被选中，每路模拟输入的故障容限均为 $\pm 16.5V$ 。无论器件是否上电，模拟输入故障保护均有效。如果电压超过FSR，但在 $\pm 16.5V$

故障容限范围之内，施加至模拟输入时，该通道产生满幅输出电压。

箝位二极管的击穿门限为16.5V，保护MAX1300/MAX1301模拟输入不受ESD及其它瞬态事件的损害(图6)。器件常规工作期间，箝位二极管不导通，也不限制此类瞬态期间的电流。工作在高能量电压和/或电流瞬态环境时，在外部保护MAX1300/MAX1301。

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

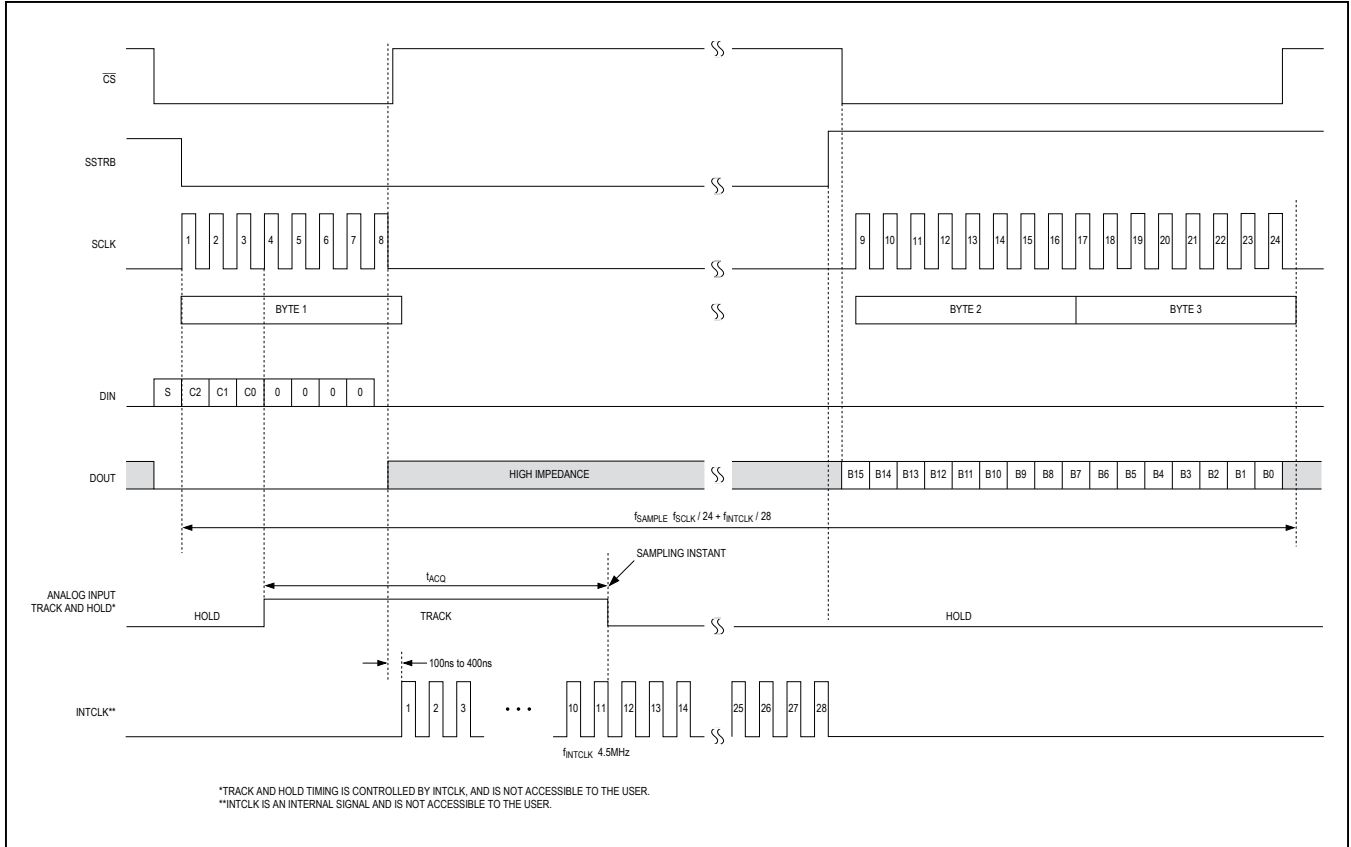


图4. 内部时钟模式转换(模式2)

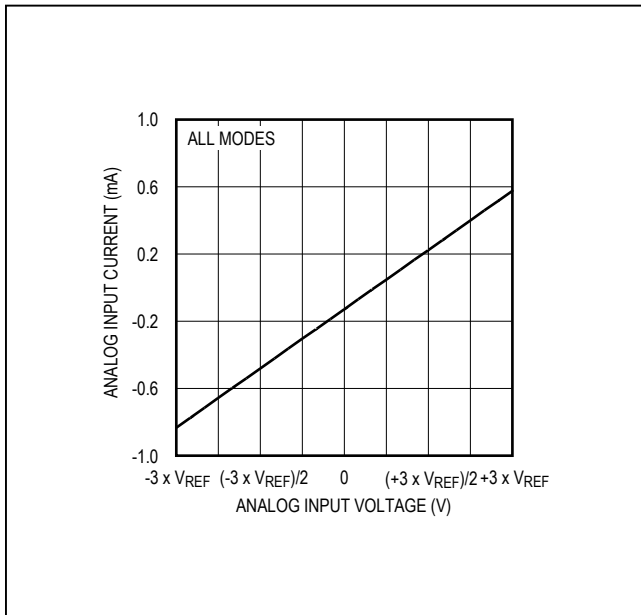


图5. 模拟输入电流与输入电压的关系

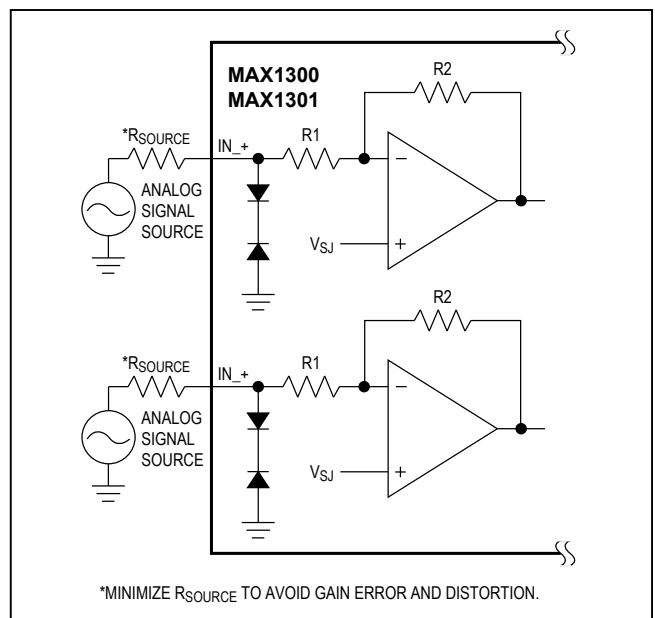


图6. 模拟输入电路简化图

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

表3. 输入数据字格式

OPERATION	DATA BIT							
	D7 (START)	D6	D5	D4	D3	D2	D1	D0
Conversion-Start Byte (Tables 4 and 5)	1	C2	C1	C0	0	0	0	0
Analog-Input Configuration Byte (Table 2)	1	C2	C1	C0	DIF/SGL	R2	R1	R0
Mode-Control Byte (Table 7)	1	M2	M1	M0	1	0	0	0

表4. 单端模式下的通道选择(DIF/SGL = 0)

CHANNEL-SELECT BIT			CHANNEL								
C2	C1	C0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	AGND1
0	0	0	+								-
0	0	1		+							-
0	1	0			+						-
0	1	1				+					-
1	0	0					+				-
1	0	1						+			-
1	1	0							+		-
1	1	1								+	-

表5. 真差分模式下的通道选择(DIF/SGL = 1)

CHANNEL-SELECT BIT			CHANNEL								
C2	C1	C0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	AGND1
0	0	0	+	-							
0	0	1	RESERVED								
0	1	0			+	-					
0	1	1	RESERVED								
1	0	0					+	-			
1	0	1	RESERVED								
1	1	0							+	-	
1	1	1	RESERVED								

差分共模范围

MAX1300/MAX1301的差分共模范围(V_{CMDR})必须保持在-14V至+10V之内, 才能获得有效的转换结果。差分共模范围定义为:

$$V_{CMDR} = \frac{(CH_{+}) + (CH_{-})}{2}$$

除共模输入电压限制外, 每路模拟输入必须限制到 $\pm 16.5V$, 相对于AGND1。

www.maximintegrated.com/cn

模拟输入配置字节的范围选择位R[2:0]决定对应通道的满幅范围(表2和6)。图9、10和11所示为MAX1300/MAX1301分别工作在 $FSR = (\pm 3 \times V_{REF})/2$ 、 $FSR = \pm 3 \times V_{REF}$ 和 $FSR = \pm 6 \times V_{REF}$ 时的有效模拟输入电压范围。阴影区域包含支持整个FSR的有效共模电压范围。

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

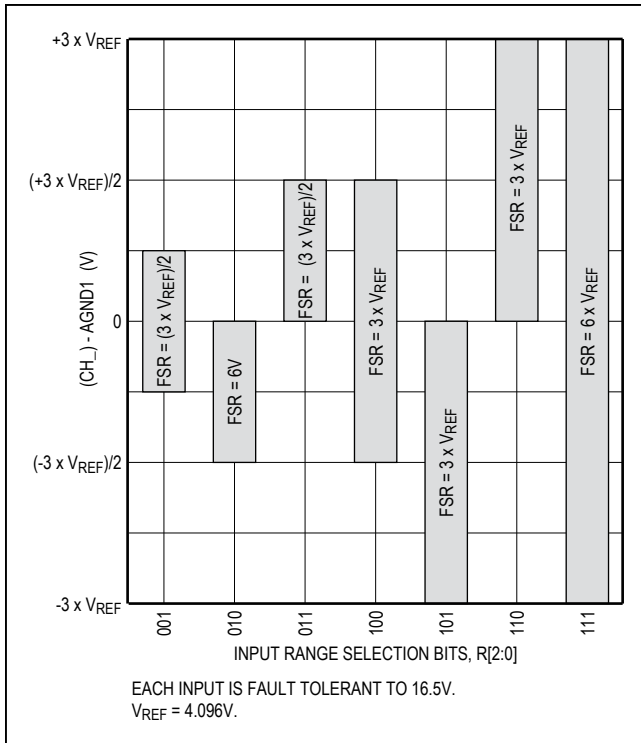


图7. 单端输入电压范围

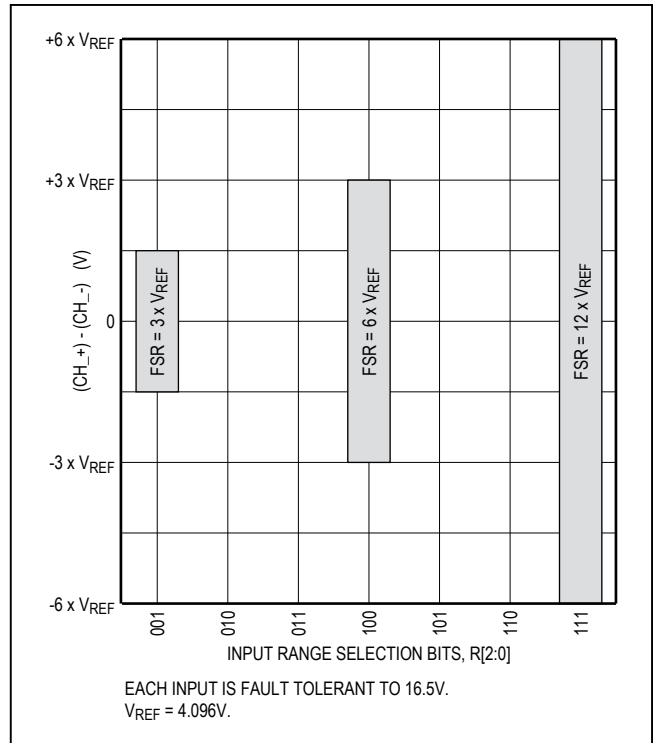


图8. 差分输入电压范围

数字接口

MAX1300/MAX1301具有兼容SPI/QSPI和MICROWIRE器件的串行接口。DIN、DOUT、SCLK、 \overline{CS} 和SSTRB便于MAX1300/MAX1301和主机之间的双向通信，SCLK速率可高达10MHz（内部时钟模式，模式2）、3.67MHz（外部时钟模式，模式0）或4.39MHz（外部采集模式，模式1）。主机（一般为微控制器）应采用CPOL = 0、CPHA = 0、SPI传输格式，如图2、3和4中的时序图所示。

数字接口用于：

- 选择单端或真差分输入通道配置
- 选择单极性或双极性输入范围
- 选择工作模式：
 - 外部时钟(模式0)
 - 外部采集(模式1)
 - 内部时钟(模式2)
 - 复位(模式4)
 - 局部关断(模式6)
 - 全关断(模式7)
- 启动转换及读取结果

片选(\overline{CS})

\overline{CS} 使能与MAX1300/MAX1301通信。 \overline{CS} 为低电平时，在SCLK上升沿从DIN将数据移入器件，在SCLK下降沿从DOUT移出器件； \overline{CS} 为高电平时，忽略SCLK和DIN上的活动，DOUT为高阻态，允许与其它外设共用DOUT。SSTRB不会为高阻态，所以不能与其它外设共用。

串行选通输出(SSTRB)

如图3和4所示，SSTRB跳变为高电平表示ADC已经完成一次转换，结果就绪，可供主机读取。外部时钟模式下，SSTRB保持为低电平(图2)，所以可浮动。SSTRB驱动为高电平或低电平与 \overline{CS} 的状态无关，因此SSTRB不能与其它外设共用。

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

表6. 范围选择位

DIF/SGL	R2	R1	R0	MODE	TRANSFER FUNCTION
0	0	0	0	No Range Change*	—
0	0	0	1	Single-Ended Bipolar $(-3 \times V_{REF})/4$ to $(+3 \times V_{REF})/4$ Full-Scale Range (FSR) = $(3 \times V_{REF})/2$	Figure 12
0	0	1	0	Single-Ended Unipolar $(-3 \times V_{REF})/2$ to 0 FSR = $(3 \times V_{REF})/2$	Figure 13
0	0	1	1	Single-Ended Unipolar 0 to $(+3 \times V_{REF})/2$ FSR = $(+3 \times V_{REF})/2$	Figure 14
0	1	0	0	Single-Ended Bipolar $(-3 \times V_{REF})/2$ to $(+3 \times V_{REF})/2$ FSR = $3 \times V_{REF}$	Figure 12
0	1	0	1	Single-Ended Unipolar $-3 \times V_{REF}$ to 0 FSR = $3 \times V_{REF}$	Figure 13
0	1	1	0	Single-Ended Unipolar 0 to $+3 \times V_{REF}$ FSR = $3 \times V_{REF}$	Figure 14
0	1	1	1	DEFAULT SETTING Single-Ended Bipolar $-3 \times V_{REF}$ to $+3 \times V_{REF}$ FSR = $6 \times V_{REF}$	Figure 12
1	0	0	0	No Range Change**	—
1	0	0	1	Differential Bipolar $(-3 \times V_{REF})/2$ to $(+3 \times V_{REF})/2$ FSR = $3 \times V_{REF}$	Figure 12
1	0	1	0	Reserved	—
1	0	1	1	Reserved	—
1	1	0	0	Differential Bipolar $-3 \times V_{REF}$ to $+3 \times V_{REF}$ FSR = $6 \times V_{REF}$	Figure 12
1	1	0	1	Reserved	—
1	1	1	0	Reserved	—
1	1	1	1	Differential Bipolar $-6 \times V_{REF}$ to $+6 \times V_{REF}$ FSR = $12 \times V_{REF}$	Figure 12

* 转换开始字节(见表3)。

** 模式控制字节(见表3)。

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

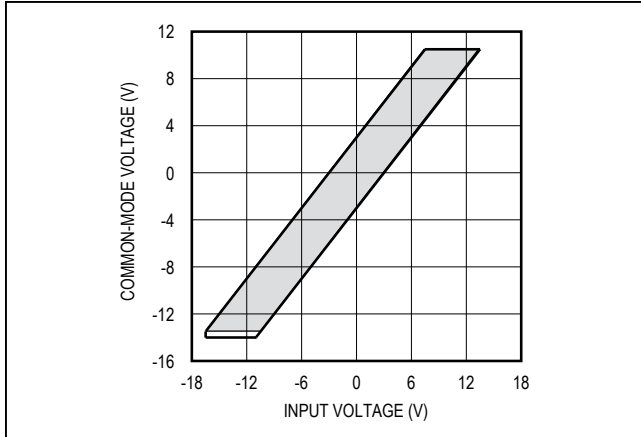


图9. 共模电压与输入电压关系($FSR = 3 \times V_{REF}$)

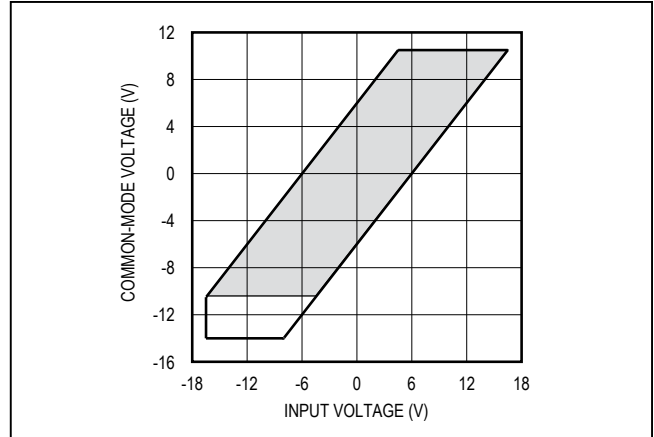


图10. 共模电压与输入电压关系($FSR = 6 \times V_{REF}$)

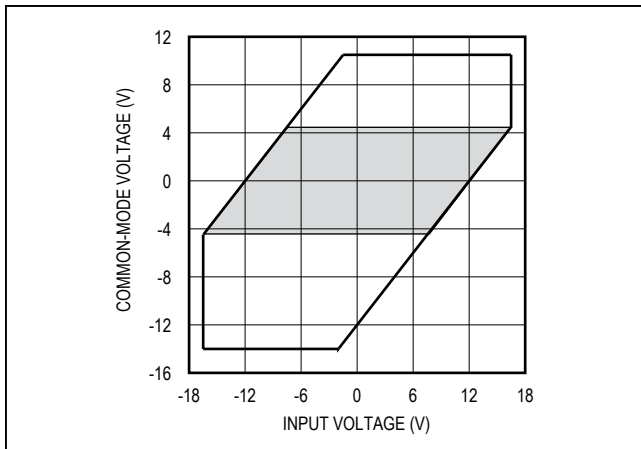


图11. 共模电压与输入电压关系($FSR = 12 \times V_{REF}$)

开始位

利用表3所示的三种输入数据字格式，实现与MAX1300/MAX1301通信。每种输入数据字以开始位开始。开始位定义为在以下任意条件下， \overline{CS} 为低电平时移入DIN的第一个高位：

- 没有正在进行数据转换，已经通过DOUT移出之前转换的所有数据。
- 器件配置为工作在外部时钟模式(模式0)，之前转换结果位B15-B3已经通过DOUT移出。
- 器件配置为工作在外部采集模式(模式1)，之前转换结果位B15-B7已经通过DOUT移出。
- 器件配置为工作在内部时钟模式(模式2)，之前转换结果位B15-B4已经通过DOUT移出。

输出数据格式

输出数据在SCLK下降沿通过DOUT移出，格式为偏移二进制，MSB在前(B15)。关于输出二进制编码，参见传递函数部分及图12、13和14。

配置模拟输入

每路模拟输入有两个可配置的参数：

- 单端或双端差分输入
- 输入电压范围

使用表2所示的模拟输入配置字节对这些参数进行配置。每路模拟输入具有专用寄存器来储存器输入配置信息。图15所示为如何写模拟输入配置寄存器的时序图，图16所示为DOUT和SSTRB时序。

传递函数

ADC的传递函数定义模拟输入电压与数字输出编码之间的关系。图12、13和14所示为MAX1300/MAX1301的传递函数。传递函数由以下特性决定：

- 模拟输入电压范围
- 单端或差分配置
- 基准电压

ADC传递函数的轴一般为最低有效位(LSB)。对于MAX1300/MAX1301，使用下式计算LSB：

$$1\text{LSB} = \frac{FSR \times V_{REF}}{2^N \times 4.096V}$$

式中，N为位数($N = 16$)，FSR为满幅范围(见图7和8)。

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

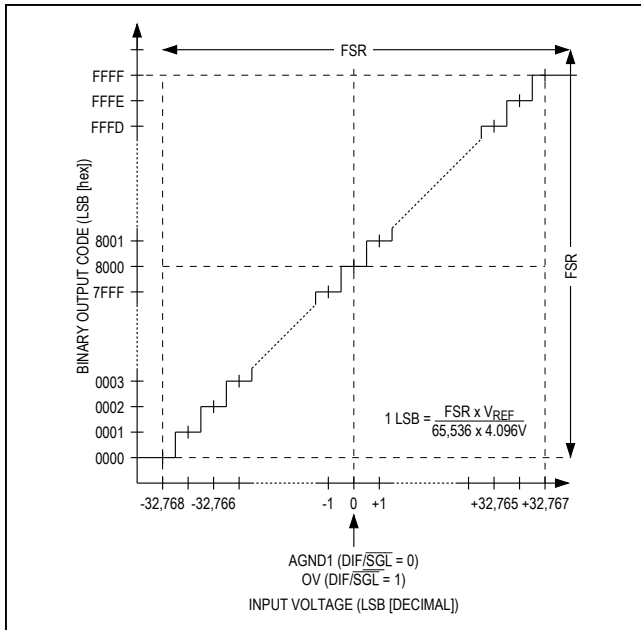


图12. 理想双极性传递函数，单端或差分输入

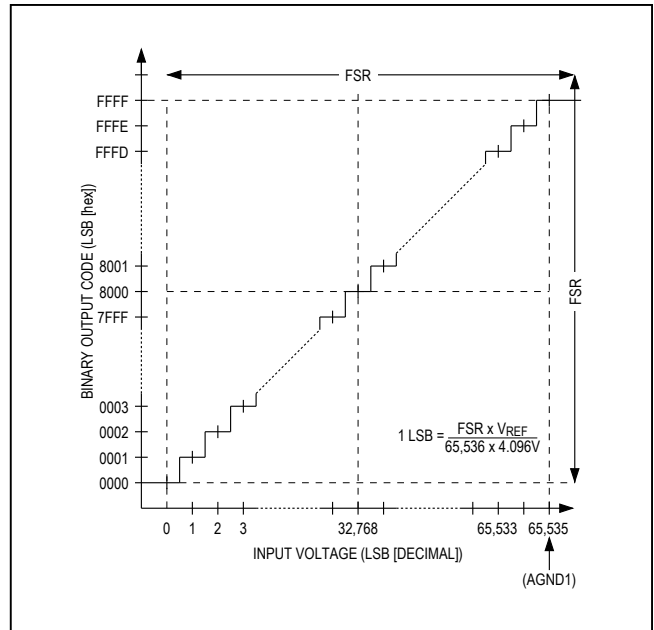


图13. 理想单极性传递函数，单端输入，-FSR至0

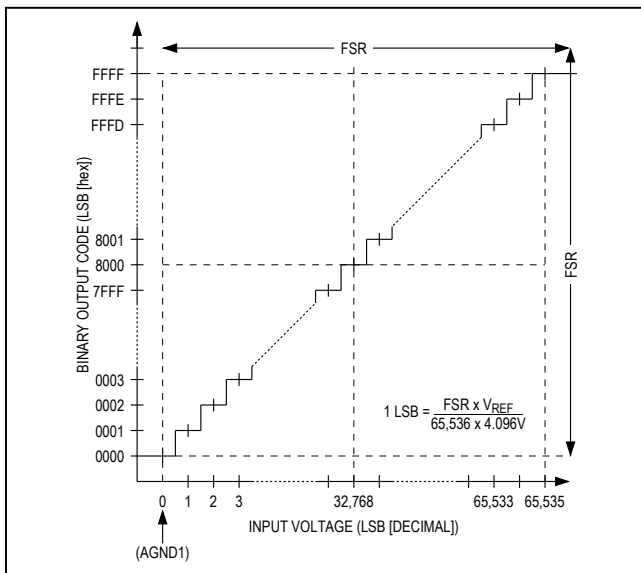


图14. 理想单极性传递函数，单端输入，0至+FSR

模式控制

MAX1300/MAX1301包含一字节宽度模式控制寄存器。图15所示为如何使用模式控制字节的时序图，模式控制字节的格式如表7所示。模式控制字节用于选择转换方法，以及控制MAX1300/MAX1301的电源模式。

选择转换方法

使用模式控制字节选择转换方法(见模式控制部分)，利用转换开始命令启动转换(表3以及图2、3和4)。MAX1300/MAX1301采用三种方法之一将模拟输入转换为数字数据：

- 外部时钟模式，模式0 (图2)
 - 最大吞吐量最高(见*Electrical Characteristics*表)
 - 用户控制采样时刻
 - \overline{CS} 在转换期间保持为低电平
 - 用户在整个ADC转换期间提供SCLK，在DOUT读取数据
- 外部采集模式，模式1 (图3)
 - 最大吞吐量最低(见*Electrical Characteristics*表)
 - 用户控制采样时刻
 - 用户提供两字节SCLK，然后将 \overline{CS} 驱动为高电平，以释放处理器载荷，同时ADC执行转换
 - SSTRB跳变为高电平后，用户提供两字节SCLK，在DOUT读取数据
- 内部时钟模式，模式2 (图4)
 - 最大吞吐量较高(见*Electrical Characteristics*表)

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

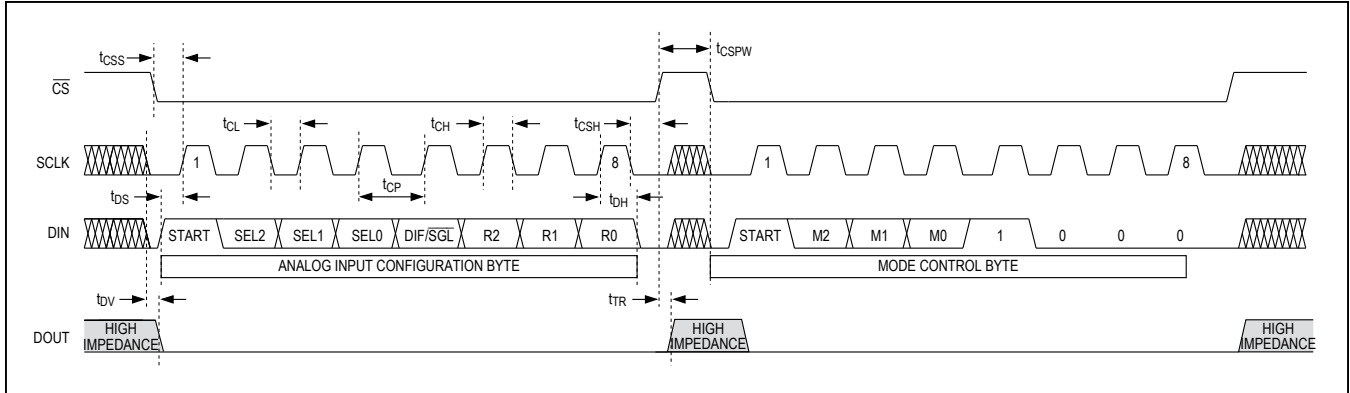


图15. 模拟输入配置字节和模式控制字节时序

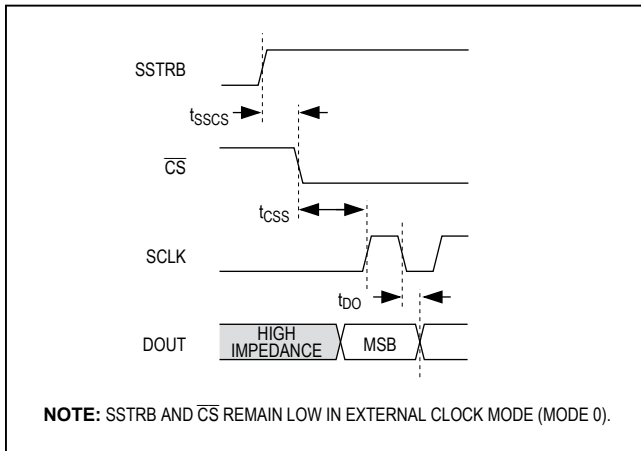


图16. DOUT和SSTRB时序

- 内部时钟控制采样时刻
- 用户提供一字节SCLK，然后将CS驱动为高电平，以释放处理器载荷，同时ADC执行转换

- SSTRB跳变为高电平后，用户提供两字节SCLK，在DOUT读取数据

外部时钟模式(模式0)

在外部时钟模式下，MAX1300/MAX1301的最大吞吐量最高。SCLK控制模拟信号的采集和转换，有利于高精度控制何时捕获模拟信号。模拟输入采样时刻为第14个SCLK的下降沿(图2)。

外部时钟模式下，由于SCLK驱动转换，所以SCLK频率在驱动转换期间应保持恒定。转换期间，最小SCLK频率阻止内部采样电容电压下降。

外部时钟模式下，SSTRB保持为低电平，所以如果MAX1300/MAX1301始终工作在外部时钟模式，该引脚可保持浮空。

表7. 模式控制字节

位编号	BIT NAME	说明
7	START	开始位。 \overline{CS} 变为低电平后的第一个逻辑1表示模块控制字节的开始。
6	M2	模式控制位。M[2:0]选择工作模式，如表8所示。
5	M1	
4	M0	
3	1	模式控制字节的第3位必须为逻辑1。
2	0	模式控制字节的第2位必须为逻辑0。
1	0	模式控制字节的第1位必须为逻辑0。
0	0	模式控制字节的第0位必须为逻辑0。

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

表8. 模式控制位M[2:0]

M2	M1	M0	MODE
0	0	0	外部时钟(默认值)
0	0	1	外部采集
0	1	0	内部时钟
0	1	1	保留
1	0	0	复位
1	0	1	保留
1	1	0	局部关断
1	1	1	全关断

外部采集模式(模式1)

使用外部采集方法时，最大吞吐率最低。外部采集模式下，SCLK控制对模拟信号的采集，有利于高精度控制何时捕获模拟信号。内部时钟控制模拟输入电压的转换。模拟输入采样时刻为第16个SCLK的下降沿(图3)。

对于外部采集模式， \overline{CS} 在前15个时钟周期必须保持为低电平，在第16个时钟周期的下降沿或之后上升，如图3所示。为优化性能，DIN和SCLK在转换期间为空闲。谨慎考虑电路板布局，DIN和SCLK在转换期间跳变对转换结果的影响最小。

完成转换后，SSTRB变为有效高电平， \overline{CS} 可变为低电平，以读取转换结果。SSTRB在随后起始位的SCLK上升沿返回低电平。

内部时钟模式(模式2)

内部时钟模式下，内部时钟控制模拟信号的采集和转换。在第8个SCLK下降沿之后大约100ns至400ns，内部时钟启动，速率大约为4.5MHz。模拟输入采样时刻为第11个内部时钟信号的下降沿(图4)。

对于内部时钟模式， \overline{CS} 在前7个SCLK周期必须保持为低电平，在第8个SCLK周期的下降沿或之后上升。完成转换后，SSTRB变为有效高电平， \overline{CS} 可变为低电平，以读取转换结果。SSTRB在随后起始位的SCLK上升沿返回低电平。

复位(模式4)

如表8所示，设置M[2:0] = 100时，将MAX1300/MAX1301复位至其默认状态。默认状态为全功率工作状态，每路通道配置为 $\pm 3 \times V_{REF}$ 、双极性、单端转换，采用外部时钟模式(模式0)。

局部关断模式(模式6)

如表8所示，M[2:0] = 110时，器件进入局部关断模式。局部关断模式下，器件的所有模拟部分关断，基准电压发生器和偏置电源除外。

为退出局部关断，通过发送以下模式控制字节之一更改模式(见模式控制部分)：

- 外部时钟模式控制字节
- 外部采集模式控制字节
- 内部时钟模式控制字节
- 复位字节
- 全关断模式控制字节

这可防止多噪数字环境下的 \overline{CS} 尖峰脉冲造成MAX1300/MAX1301意外退出局部关断模式。

全关断模式(模式7)

M[2:0] = 111时，器件进入全关断模式，电源总耗流下降至1 μ A(典型值)。全关断模式下，器件的所有模拟部分关断。如果使用内部基准，退出全关断模式时，留出10ms时间，使内部基准电压达到稳定，然后再启动转换。

为退出全关断模式，通过发送以下模式控制字节之一更改模式(见模式控制部分)：

- 外部时钟模式控制字节

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

- 外部采集模式控制字节
- 内部时钟模式控制字节
- 复位字节
- 局部关断模式控制字节

这可防止多噪数字环境下的 \overline{CS} 尖峰脉冲造成MAX1300/MAX1301意外退出全关断模式。

上电复位

MAX1300/MAX1301上电复位时进入常规工作，配置为外部时钟模式，全部电路保持有效工作(表7和8)。每路模拟输入通道(CH0-CH7)设置为单端转换、 $\pm 3 \times V_{REF}$ 双极性输入范围(表6)。

上电后，使电源达到稳定。电源达到稳定之前，不要启动任何转换。此外， $C_{REF} = 1.0\mu\text{F}$ 、 $C_{REFCAP} = 0.1\mu\text{F}$ 时，留出10ms时间，使内部基准达到稳定。较大的基准电容要求较长的稳定时间。

内部或外部基准

MAX1300/MAX1301采用内部或外部基准工作。基准电压影响ADC的FSR(图12、13和14)。如果要求的精度超出内部基准的性能，以及/或者转换器要求相同的基准电压，建议使用外部基准。

内部基准

MAX1300/MAX1301内置4.096V带隙基准。该带隙基准通过标称5k Ω 电阻连接至REFCAP(图17)。REFCAP电压经过缓冲，在REF产生4.096V电压。使用内部基准时，利用0.1 μF 或更大的电容将REFCAP旁路至AGND1，利用1.0 μF 或更大的电容将REF旁路至AGND1。

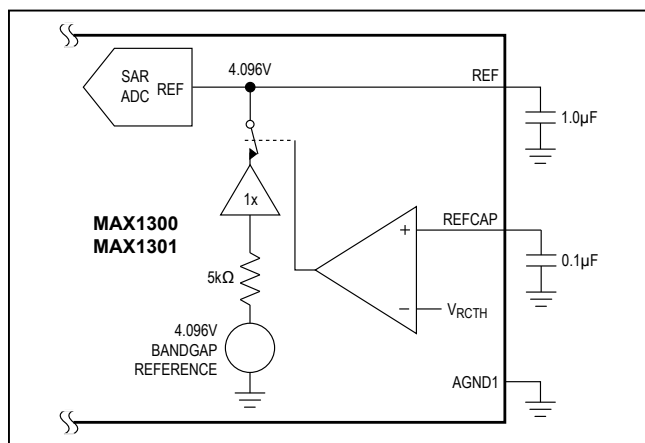


图17. 内部基准操作

外部基准

对于内部基准操作，通过将REFCAP连接至AVDD1，禁止内部基准和基准缓冲器。AVDD1连接至REFCAP时，REF变为高阻输入，支持外部基准电压。MAX1300/MAX1301可支持4.096V或较低的外部基准电压。然而，为满足所有电气特性指标， V_{REF} 必须大于38V。根据施加的基准电压和工作模式的不同，MAX1300/MAX1301外部基准电压有所不同(见典型工作特性部分的外部基准输入电流与外部基准输入电压关系曲线图)。

应用信息

噪声抑制

可进行附加采样和平均(过采样)，从而消除转换噪声对转换结果的影响。采样数量的平方根决定性能改善程度。例如，转换噪声为 $2/3\text{LSB}_{\text{RMS}}$ ($4\text{LSB}_{\text{P-P}}$)时，必须利用16 ($4^2 = 16$)个采样才可将噪声降低至 $1\text{LSB}_{\text{P-P}}$ 。

连接0至10V信号

在工业控制应用中，0至10V信号很普遍。对于0至10V应用，将所选的MAX1300/MAX1301输入通道配置为单端0至 $3 \times V_{REF}$ 输入范围($R[2:0] = 110$ ，表6)。0至 $3 \times V_{REF}$ 范围支持0至10V；如果超出范围，信号在大约 $3 \times V_{REF}$ 时饱和。

连接4-20mA信号

图19所示为MAX1300/MAX1301与4-20mA信号之间的简单接口。4-20mA信号可用作二值开关(4mA表示逻辑低信号，20mA表示逻辑高信号)，或者用于高精度通信，4mA和20mA之间的电流表示中间模拟数据。对于二值开关应用，将4-20mA信号连接至MAX1300/MAX1301，通过电阻接地。例如，250 Ω 电阻将4-20mA信号转换为1V至5V信号。调节电阻值，使电阻与MAX1300/MAX1301源阻抗的并联组合值为250 Ω 。该应用中，选择单端0至 $(3 \times V_{REF})/2$ 范围($R[2:0] = 011$ ，表6)。对于要求高精度测量4mA至20mA连续模拟电流的应用，使用缓冲器，防止MAX1300/MAX1301输入从4-20mA信号吸入电流。

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

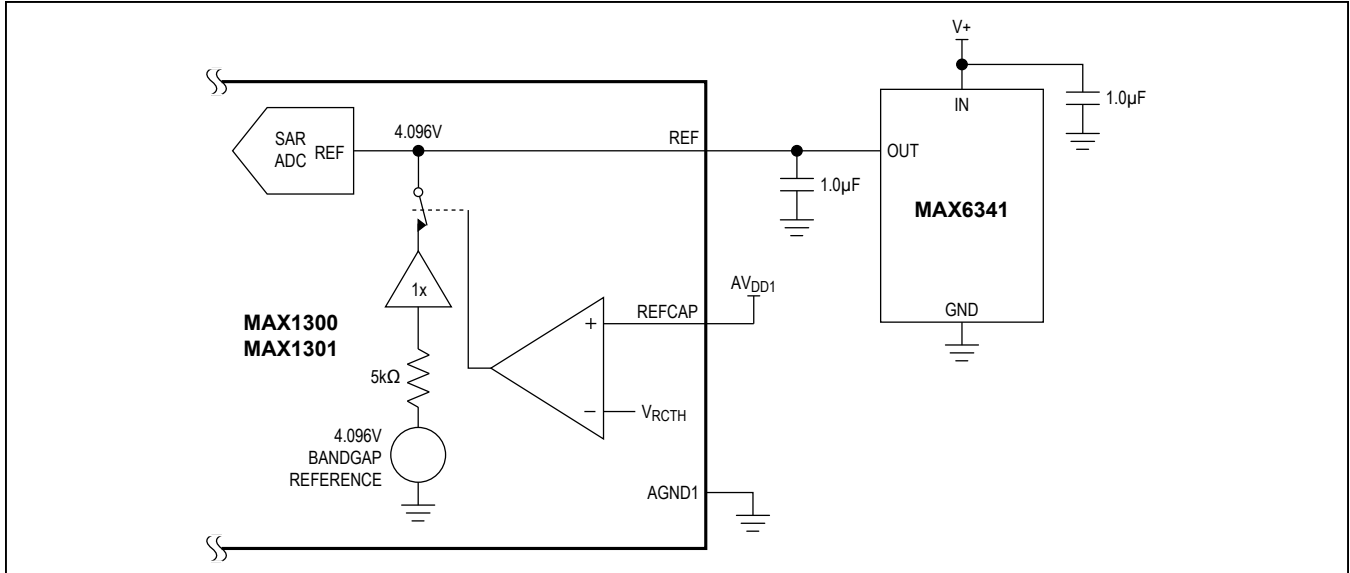


图18. 外部基准操作

电桥应用

MAX1300/MAX1301 转换1kHz信号的精度高于类似的 Σ - Δ 转换器，可能考虑用于桥接应用。MAX1300的输入阻抗与限流电阻相结合，可能影响MAX1300的增益。在诸多应用中，这种误差是可接受的，但对于不能承受这一误差的应用，可对MAX1300输入进行缓冲(图20)。将电桥连接至低失调差分放大器，然后再连接至MAX1300/MAX1301的真差分输入。较大激励电压具有比 $(\pm 3 \times V_{REF})/4$ 差分输入电压范围更大的优势。选择输入电压范围，使之与放大器输出相匹配。选择正确放大器时，要考虑放大器失调和失调漂移。

动态调节输入范围

软件控制每路通道的模拟输入范围和单极性端点重叠指标，使得用户能够在某些应用中动态改变通道的输入范围，以及提高性能。更改输入范围造成在较宽输出电压范围内具有较小的LSB步距。例如，通过在 $(-3 \times V_{REF})/2$ 至 $0V$ 范围和 0 至 $(+3 \times V_{REF})/2$ 范围之前切换，LSB为：

$$\frac{(+3 \times V_{REF}) / 2 \times V_{REF}}{65,536 \times 4.096}$$

但输入电压范围实际上是 $(-3 \times V_{REF})/2$ 至 $(+3 \times V_{REF})/2$ ($FSR = 3 \times V_{REF}$)。

布局、接地和旁路

严谨的PCB布局对于实现最佳系统性能至关重要。电路板应该具有独立的模拟和数字接地区域，确保数字和模拟信号彼此隔离。不要将模拟和数字(尤其是时钟)线平行走线，不要在器件封装下方走数字信号线。

图1所示为推荐的系统接地连接。在AGND1建立模拟接地点，在DGND建立数字接地点。将所有模拟地连接至星型模拟地，将数字地连接至星型数字地、在某个点将数字接地区域连接至模拟接地区域。为最大程度降低噪声，使星型地电源的地回路保持低阻，并尽量短。

AVDD1电源中高频噪声会降低ADC的高速比较器性能。利用 $0.1\mu F$ 陶瓷表贴电容将AVDD1旁路至AGND1，使旁路电容连接尽可能短。

参数定义

积分非线性(INL)

INL是实际传递函数与理想传递函数直线的偏差。这条直线是消除失调与增益误差后传递函数两个端点间的最佳直线拟合或连线。MAX1300/MAX1301 INL是采用端点法测得的。

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

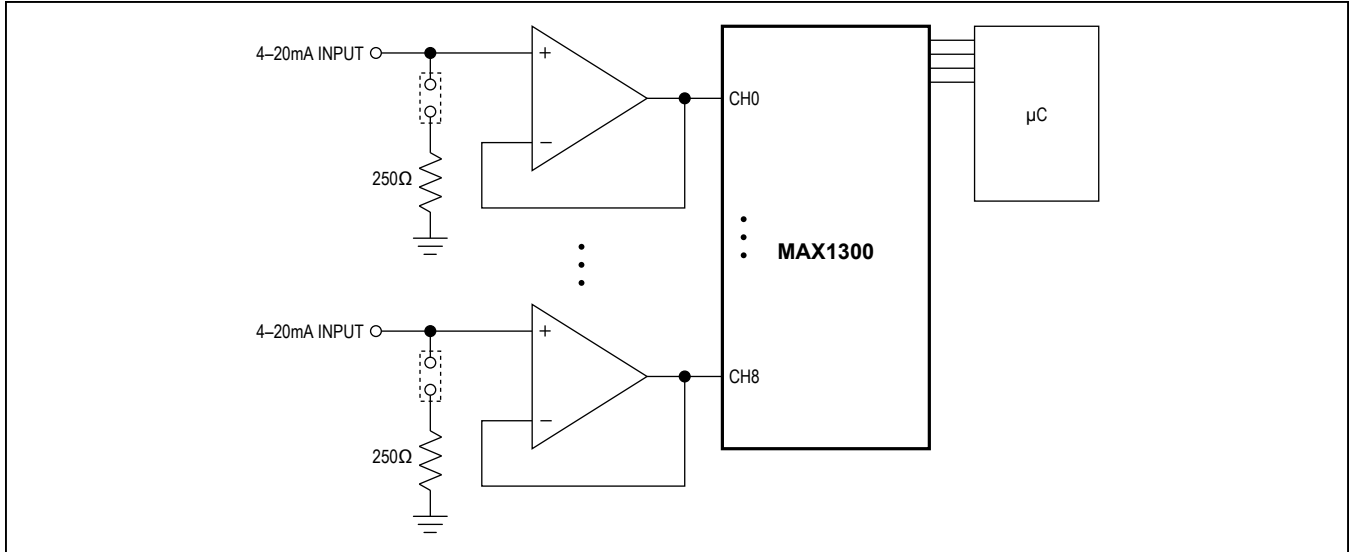


图19. 4-20mA应用

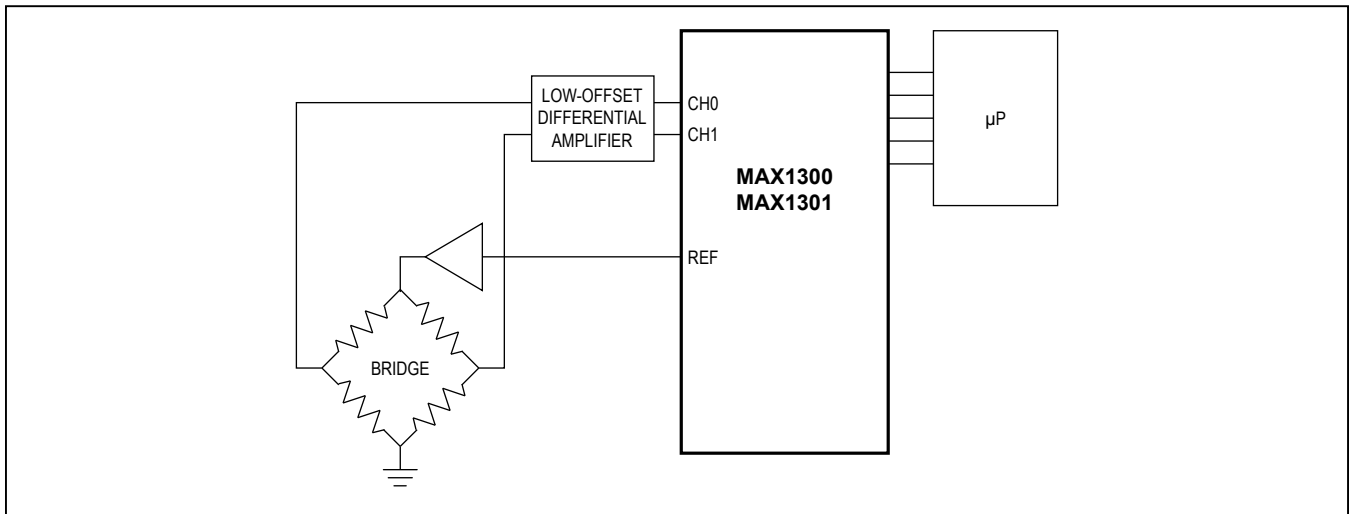


图20. 电桥应用

微分非线性(DNL)

DNL是实际步长与1 LSB理想值之差。大于-1 LSB的DNL误差保证不会产生失码，并可确保传递函数的单调性。

转换噪声

转换噪声是传递函数中编码跳变时表现的噪声量。如果在模拟输入恰好位于编码跳变处时执行转换，会造成编码的LSB不确定。

通道间隔离

通道间隔离表示每路模拟输入与其它通道之间的隔离程度。在测量通道间隔离时，向选定的模拟输入通道施加接近满幅的5kHz正弦波，同时向所有未选中通道施加幅值相等、频率不同的正弦波。利用所选通道输出的FFT确定施加至未选中通道的信号与施加至选定模拟输入通道的5kHz信号的幅值比。该比值的单位用dB表示，即为通道间隔离。

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

单极性失调误差

-FSR至0V

向转换器输入施加零幅模拟输入电压时，数字输出为全1 (0xFFFF)。理想情况下，从0xFFFF跳变为0xFFFE发生在AGND1 - 0.5 LSB。单极性失调误差是实测零幅跳变点与理想零幅跳变点之间的偏移量，非测试通道全部接地。

0V至+FSR

向转换器输入施加零幅模拟输入电压时，数字输出为全0 (0x0000)。理想情况下，从0x0000跳变为0x0001发生在AGND1 + 0.5 LSB。单极性失调误差是实测零幅跳变点与理想零幅跳变点之间的偏移量，非测试通道全部接地。

双极性失调误差

向转换器输入施加零幅模拟输入电压时，数字输出为一个1，后边全为0 (0x8000)。理想情况下，从0x7FFF跳变为0x8000发生在 $(2^{N-1} - 0.5)$ LSB。双极性失调误差是实测中点跳变点与理想中点跳变点之间的偏移量，非测试通道全部接地。

增益误差

向转换器施加正满幅电压时，数字输出为全1 (0xFFFF)。从0xFFFE跳变为0xFFFF发生在低于满幅1.5 LSB处。增益误差是消除失调误差后实测满幅跳变点与理想满幅跳变点之间的偏移量，非测试通道全部接地。

单极性端点重叠

单极性端点重叠是指在互补输入电压范围切换时失调量的变化。例如，在 $-3 \times V_{REF}/2$ 至0V输入电压范围产生0xFFFF输出的电压与在0至 $+3 \times V_{REF}/2$ 输入电压范围产生0x0000输出的电压之差即为单极性端点重叠。MAX1300/MAX1301的单极性端点重叠为正值，防止在相邻模拟输入电压范围之间切换时发生信号丢失或死区。

小信号带宽

将100mV_{P-P}正弦波施加至ADC，随着输入频率的升高，数字转换结果将会下降，下降-3dB时所对应的频率点称为小信号带宽。

全功率带宽

将95%满幅正弦波施加至ADC，随着输入频率的升高，数字转换结果将会下降，下降-3dB时所对应的频率点称为全功率带宽。

共模抑制比(CMRR)

CMRR是指器件抑制“公共”或施加至两路输入端子的共模信号的能力。共模信号可以是交流或直流信号，或者两者的组合。CMR以分贝为单位表示。共模抑制比是指差分信号增益与共模信号增益之比。CMRR仅适用于差分操作。

电源抑制比(PSRR)

PSRR是指固定输入电压下输出电压变化与电源电压变化之比。对于MAX1300/MAX1301，AV_{DD1}可在4.75V至5.25V范围内变化。PSRR以分贝表示，采用下式计算：

$$PSRR[dB] = 20 \times \log \left(\frac{5.25V - 4.75V}{V_{OUT}(5.25V) - V_{OUT}(4.75V)} \right)$$

对于MAX1300/MAX1301，在模拟输入接地、双极性工作时测试PSRR。

孔径抖动

孔径抖动(t_{AJ})是指采样时刻变化的统计分布(图21)。

孔径延迟

孔径延迟(t_{AD})是指从SCLK下降沿到采样时刻的时间(图21)。

信噪比(SNR)

SNR由信号RMS值与噪声RMS值之比计算得到。RMS噪声包括奈奎斯特频率以下除基波、前五次谐波以及直流失调以外的所有频谱成分。

信号与噪声 + 失真比(SINAD)

SINAD由信号RMS值与噪声RMS值加失真之比计算得到。RMS噪声加失真包括奈奎斯特频率以下除基波和直流失调以外的所有频谱成分。

$$SINAD(dB) = 20 \times \log \left(\frac{Signal_{RMS}}{Noise_{RMS}} \right)$$

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

有效位数(ENOB)

ENOB表示一个ADC在特定输入频率和采样率下的总体精度。输入范围等于ADC满幅范围时，由下式计算ENOB：

$$ENOB = \left(\frac{SINAD - 1.76}{6.02} \right)$$

总谐波失真(THD)

对于MAX1300/MAX1301，THD是输入信号前4次谐波的RMS之和与基波之比，可以用下式表示：

$$THD = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

式中， V_1 为基波幅值， V_2 至 V_5 为2次至5次谐波幅值。

无杂散动态范围(SFDR)

SFDR是基波(信号成分最大值)RMS幅值与第二大频率成份的RMS值之比。

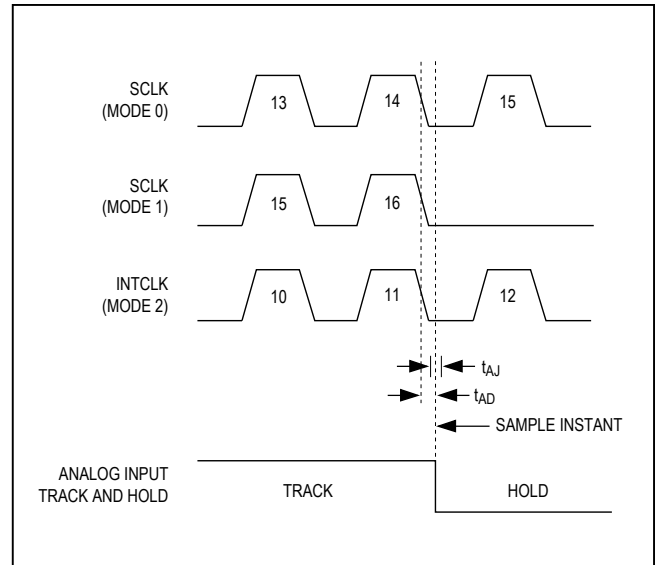
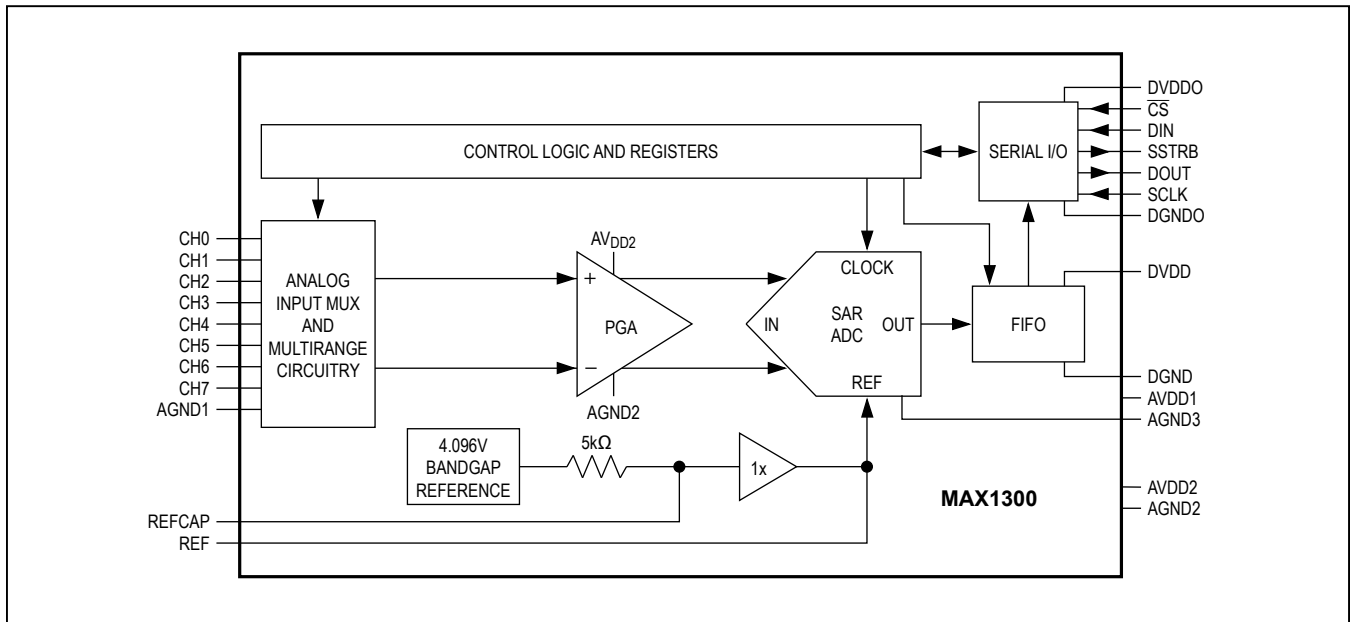


图21. 孔径图

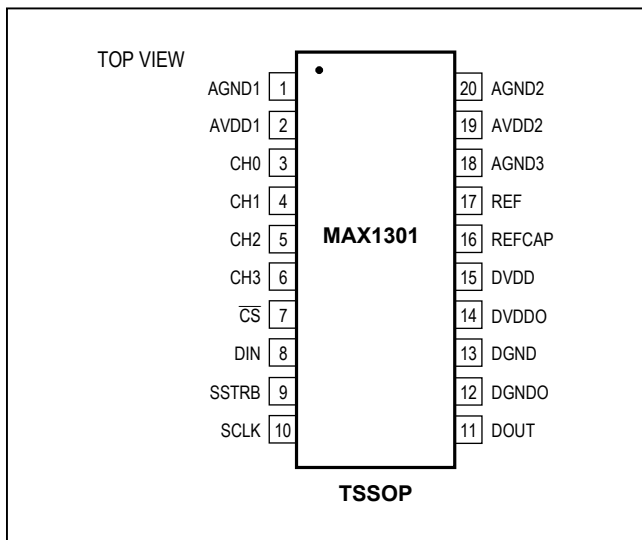
MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、
串行16位ADC

方框图



引脚配置(续)



芯片信息

PROCESS: BiCMOS

封装信息

如需最近的封装外形信息和焊盘布局(占位面积), 请查询www.maximintegrated.com/cn/design/packaging。请注意, 封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符, 但封装图只与封装有关, 与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
20 TSSOP	U20+2	21-0066	90-0116
24 TSSOP	U24+1		90-0118

MAX1300/MAX1301

8通道和4通道、 $\pm 3 \times V_{REF}$ 多量程输入、 串行16位ADC

修订历史

修订号	修订日期	说明	修改页
0	11/06	最初版本。	1
2	6/10	更新 <i>Electrical Characteristics</i> 表、TOC，以优化打印输出。	1–10, 13, 14, 15, 17–21, 24, 25, 26, 28, 31
3	12/11	发布MAX1300，更新 <i>Electrical Characteristics</i> 表。	1, 2



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。